

第十三届 蓝桥杯 EDA设计与开发项目 省赛

第二部分 设计试题 (85 分)

试题一 库文件设计 (5 分)

按照图 1 给出的封装设计要求,设计元器件封装,将其命名为 IC-10。设计完成后,导出立创 EDA 封装 Json 文件,并将其命名为 IC-10.Json。

设计要求:

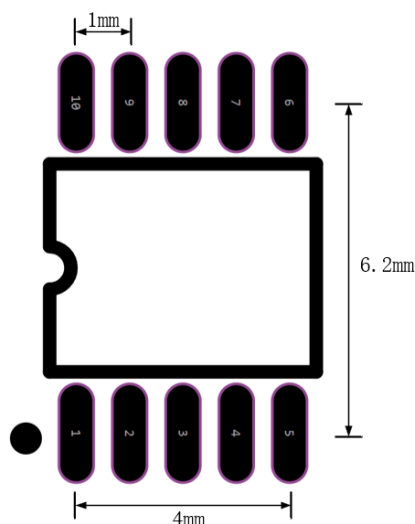


图 1 IC-10 元器件封装设计图

- IC-10 元器件位于顶层。
- 设置 IC-10 引脚 1 为坐标原点。
- IC-10 引脚 1、2、3、4、5、6、7、8、9、10 焊盘形状为长圆形,宽为 0.6mm、高为 1.8mm。
- IC-10 引脚 1、2、3、4、5、6、7、8、9、10 按照逆时针顺序排列。

试题二 原理图设计 (10 分)

使用立创 EDA 标准版设计环境打开“资源数据包”中提供的原理图文件 SCH.json。

- 1、在低通滤波器电路设计区域内,使用给定的元器件(运算放大器-U3.1、电

阻等)和网络标识设计低通滤波器电路,输出滤波后的信号连接到单片机的 AD 转换通道(ADC_IN)。

设计要求:

- 在原理图中指定的矩形区域内完成电路设计。
- 设计区域内给定的元器件的位号、名称、网络端口名称、网络标识名称等信息不可修改。
- 不可以使用给定元件外的其他元件。
- 端子 P1 的引脚 2 接地。
- 完成设计后,需保存原理图文件,并将原理图添加到工程中。

2、完成试题要求的电路设计后,在原理图设计环境下导出立创 EDA 原理图文件、Free PCB 格式网表文件,分别命名为 SCH.json 和 1.net。

试题三 印制线路板设计 (70 分)

1、准备工作

- 按照试题一、二中的要求,设计封装、绘制更新原理图文件。
- 打开“资源数据包”中提供的库提取.json 文件,导入、提取试题相关封装库文件并添加到库中。
- 打开“资源数据包”中的 PCB.json,更新、同步封装和网络连接关系,开始 PCB 的布局、布线设计。

元器件封装表

序号	位号	封装
1	B1	BAT-SMD_CR1220-2
2	C1,C2	C0805
3	C3,C4,C5,C6,C7,C11,C12,C13,C16	C0805
4	C8	C0805
5	C9,C10,C15	CAP-D5.0×H5.5
6	C14	C0805
7	D1,D2	DO-35_BD2.0-L4.2-P8.20-D0.5-RD
8	DC1	DC-IN-TH_DC005
9	H1	HDR-F-2.54_1X4
10	JP1,JP2	JUMPER2
11	KEY1,KEY2	KEY-SMD_4P-L6.0-W6.0-P3.90-LS10.0
12	LED1	LED-SEG-TH_FJ5461AH

13	LED4	LED-TH_BD3.0_RED
14	LED5	LED-TH_BD3.0_GREEN
15	LED6	LED-TH_BD3.0_BLUE
16	P1	CONN-TH_2P-P5.08
17	Q1,Q2,Q3,Q4	SOT-23-3_L2.9-W1.6-P1.90-LS2.8-TR-CW
18	R1	R0805
19	R2,R4,R6,R7,R8,R9,R10,R13,R27,R30,R31,R32,R33,R35	R0805
20	R3,R5,R34	R0805
21	R11,R12,R14,R15,R16,R17,R18,R19,R28,R29	R0805
22	R20,R21,R22,R23,R24,R25,R26	R0805
23	U1	SOT-25_L2.9-W1.6-P0.95-LS2.8-BL
24	U2	SOP-8_L5.3-W5.3-P1.27-LS8.0-BL
25	U3	SOIC-8_L4.9-W3.9-P1.27-LS6.0-BL
26	U4	SOIC-8_L5.0-W4.0-P1.27-LS6.0-BL
27	U6	SOP-28_L17.9-W7.5-P1.27-LS10.3-BL
28	U7	IC-10
29	X1	OSC-49U-1
30	X2	XTAL-DT38

备注：表中 **U7 (IC-10)** 需要选手绘制，其余封装均可以通过库提取方式获得，选手不可以自定义或使用其他封装库。

2、元器件布局

在给定的边框层区域内，完成 PCB 的布局设计，不可以修改边框尺寸、形状、画布原点。

- 电源插座 DC1：坐标位置 (X=11mm, Y=5mm)，旋转角度 0°。
- 数码管 LED1：坐标位置 (X=75mm, Y=70mm)，旋转角度 0°。
- 电池底座 B1：坐标位置 (X=97mm, Y=27mm)，旋转角度 90°。
- 端子 P1：坐标位置 (X=100mm, Y=10mm)，旋转角度 270°。
- 通用要求

合理安排布局，元器件之间应相互平行或者垂直排列，以求整齐、美观，不允许元件重叠；元件排列要紧凑，元件在整个版面上应分布均匀、疏密一致。

所有元器件均放置在顶层。

3、布线设计

在给定的边框层区域内，完成 PCB 的布线设计，不可以修改边框尺寸、形状、画布原点。

- PCB 设计要求

布线层数：2

字符层：顶层丝印层，文本线宽 6mil，高 45mil，要求摆放整齐。

覆铜层：顶层、底层，GND 网络。

网络布通率：100%

4、DRC 规则

线宽：12mil

间距：12mil

孔外径：24mil

孔内径：12mil

文件提交要求

- 1、 将 IC-10. json、SCH. json、PCB. json 和 1.net 共 4 个文件，打包为压缩文件，压缩文件以准考证号命名，提交文件。
备注：请确保所有导出文件为最终版本。
- 2、 未按照试题要求命名和提交文件的选手将被酌情扣分或记零分。
- 3、 提交不属于试题要求文件的选手将被酌情扣分或记零分。