UM

HPM6700/6400 系列

基于 RISC-V 内核的 32 位高性能微控制器用户手册

Rev 2.3

HPM6700/6400 系列高性能微控制器用户手册

适用于上海先楫半导体科技有限公司以下型号产品:

HPM6750IVM1、HPM6750IAN1、HPM6730IVM1、HPM6730IAN1
HPM6450IVM1、HPM6450IAN1、HPM6430IVM1、HPM6430IAN1
HPM6754IVM1、HPM6754IAN1、HPM6454IVM1、HPM6454IAN1
HPM6750IVM2、HPM6750IAN2、HPM6730IVM2、HPM6730IAN2
HPM6450IVM2、HPM6450IAN2、HPM6430IVM2、HPM6430IAN2
HPM6754IVM2、HPM6754IAN2、HPM6454IVM2、HPM6454IAN2
HPM64G0CVM2、HPM64G0CAN2
HPM64A0AVM2、HPM64A0AAN2

目录

1 产品概述 1
1.1 系统框图 1
1.2 特性总结 3
1.2.1 内核与系统 4
1.2.2 内部存储器 4
1.2.3 电源管理 5
1.2.4 时钟 5
1.2.5 复位 5
1.2.6 启动 6
1.2.7 外部存储器 6
1.2.8 图形系统 6
1.2.9 音频外设 7
1.2.10 电机控制系统 7
1.2.11 定时器 8
1.2.12 通讯外设 8
1.2.13 模拟外设 8
1.2.14 输入输出 9
1.2.15 信息安全系统 9
1.2.16 系统调试 10
1.3 文档约定 10
1.3.1 寄存器相关缩写词列表 10
2 处理器内核 11
2.1 中央处理器 11
2.2 双核配置 11
2.3 总线和存储器接口 12
2.4 TRAP 12
2.5 机器定时器 MCHTMR 12
2.6 硬件性能监视器 (Hardware Performance Monitor) 12
2.7 特权模式 13
2.8 物理内存属性（Physical Memory Attributes） 13
2.9 物理内存保护（Physical Memory Protection） 14
2.10 相关文档 14
3 RISC-V 处理器的控制状态寄存器 15
3.1 控制状态寄存器 CSR 说明 15
3.2 控制状态寄存器 CSR 详细信息 20
3.2.1 USTATUS (0x0) (standard read/write) 20
3.2.2 UIE (0x4) (standard read/write) 21
3.2.3 UTVEC (0x5) (standard read/write) 21
3.2.4 USCRATCH (0x40) (standard read/write) 22
3.2.5 UEPC (0x41) (standard read/write) 22
3.2.6 UCAUSE (0x42) (standard read/write) 22

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

3.2.7 UTVAL (0x43) (standard read/write) . . . 23
3.2.8 UIP (0x44) (standard read/write) . . . 24
3.2.9 SSTATUS (0x100) (standard read/write) . . . 24
3.2.10 SEDELEG (0x102) (standard read/write) . . . 26
3.2.11 SIDELEG (0x103) (standard read/write) . . . 27
3.2.12 SIE (0x104) (standard read/write) . . . 28
3.2.13 STVEC (0x105) (standard read/write) . . . 28
3.2.14 SCOUNTEREN (0x106) (non-standard read/write) . . . 29
3.2.15 SSCRATCH (0x140) (standard read/write) . . . 29
3.2.16 SEPC (0x141) (standard read/write) . . . 29
3.2.17 SCAUSE (0x142) (standard read/write) . . . 30
3.2.18 STVAL (0x143) (standard read/write) . . . 31
3.2.19 SIP (0x144) (standard read/write) . . . 32
3.2.20 SATP (0x180) (standard read/write) . . . 32
3.2.21 MSTATUS (0x300) (standard read/write) . . . 33
3.2.22 MISA (0x301) (standard read/write) . . . 35
3.2.23 MEDELEG (0x302) (standard read/write) . . . 36
3.2.24 MIDELEG (0x303) (standard read/write) . . . 38
3.2.25 MIE (0x304) (standard read/write) . . . 38
3.2.26 MTVEC (0x305) (standard read/write) . . . 40
3.2.27 MCOUNTEREN (0x306) (standard read/write) . . . 40
3.2.28 MCOUNTINHIBIT (0x320) (non-standard read/write) . . . 40
3.2.29 MHPMEVENT3 (0x323) (standard read/write) . . . 41
3.2.30 MHPMEVENT4 (0x324) (standard read/write) . . . 44
3.2.31 MHPMEVENT5 (0x325) (standard read/write) . . . 45
3.2.32 MHPMEVENT6 (0x326) (standard read/write) . . . 45
3.2.33 MSCRATCH (0x340) (standard read/write) . . . 45
3.2.34 MEPC (0x341) (standard read/write) . . . 46
3.2.35 MCAUSE (0x342) (standard read/write) . . . 46
3.2.36 MTVAL (0x343) (standard read/write) . . . 47
3.2.37 MIP (0x344) (standard read/write) . . . 48
3.2.38 PMPCFG0 (0x3A0) (standard read/write) . . . 49
3.2.39 PMPCFG1 (0x3A1) (standard read/write) . . . 49
3.2.40 PMPCFG2 (0x3A2) (standard read/write) . . . 50
3.2.41 PMPCFG3 (0x3A3) (standard read/write) . . . 50
3.2.42 PMPADDR[PMPADDR0] (0x3B0 + 0x1 * n) (standard read/write) . . . 52
3.2.43 TSELECT (0x7A0) (standard read/write) . . . 52
3.2.44 TDATA1 (0x7A1) (standard read/write) . . . 53
3.2.45 MCONTROL (0x7A1) (standard read/write) . . . 53
3.2.46 ICOUNT (0x7A1) (standard read/write) . . . 54
3.2.47 ITRIGGER (0x7A1) (standard read/write) . . . 55
3.2.48 ETRIGGER (0x7A1) (standard read/write) . . . 56
3.2.49 TDATA2 (0x7A2) (standard read/write) . . . 56

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

3.2.50 TDATA3 (0x7A3) (standard read/write) . . . 57
3.2.51 TEXTRA (0x7A3) (standard read/write) . . . 57
3.2.52 TINFO (0x7A4) (standard read/write) . . . 57
3.2.53 TCONTROL (0x7A5) (standard read/write) . . . 58
3.2.54 MCONTEXT (0x7A8) (standard read/write) . . . 59
3.2.55 SCONTEXT (0x7AA) (standard read/write) . . . 59
3.2.56 DCSR (0x7B0) (debug-mode-only) . . . 59
3.2.57 DPC (0x7B1) (debug-mode-only) . . . 61
3.2.58 DSCRATCH0 (0x7B2) (debug-mode-only) . . . 61
3.2.59 DSCRATCH1 (0x7B3) (debug-mode-only) . . . 62
3.2.60 MILMB (0x7C0) (non-standard read/write) . . . 62
3.2.61 MDLMB (0x7C1) (non-standard read/write) . . . 63
3.2.62 MECC_CODE (0x7C2) (non-standard read/write) . . . 63
3.2.63 MNVEC (0x7C3) (non-standard read/write) . . . 64
3.2.64 MXSTATUS (0x7C4) (non-standard read/write) . . . 65
3.2.65 MPFT_CTL (0x7C5) (non-standard read/write) . . . 65
3.2.66 MHSP_CTL (0x7C6) (non-standard read/write) . . . 66
3.2.67 MSP_BOUND (0x7C7) (non-standard read/write) . . . 67
3.2.68 MSP_BASE (0x7C8) (non-standard read/write) . . . 67
3.2.69 MDCAUSE (0x7C9) (non-standard read/write) . . . 67
3.2.70 MCACHE_CTL (0x7CA) (non-standard read/write) . . . 68
3.2.71 MCCTLBEGINADDR (0x7CB) (non-standard read/write) . . . 70
3.2.72 MCCTLCOMMAND (0x7CC) (non-standard read/write) . . . 70
3.2.73 MCCTLDATA (0x7CD) (non-standard read/write) . . . 71
3.2.74 MCOUNTERWEN (0x7CE) (non-standard read/write) . . . 72
3.2.75 MCOUNTERINTEN (0x7CF) (non-standard read/write) . . . 73
3.2.76 MMISC_CTL (0x7D0) (non-standard read/write) . . . 73
3.2.77 MCOUNTERMASK_M (0x7D1) (non-standard read/write) . . . 74
3.2.78 MCOUNTERMASK_S (0x7D2) (non-standard read/write) . . . 75
3.2.79 MCOUNTERMASK_U (0x7D3) (non-standard read/write) . . . 75
3.2.80 MCOUNTEROVF (0x7D4) (non-standard read/write) . . . 75
3.2.81 MSLIDELEG (0x7D5) (non-standard read/write) . . . 76
3.2.82 MCLK_CTL (0x7DF) (non-standard read/write) . . . 77
3.2.83 DEXC2DBG (0x7E0) (non-standard read/write) . . . 77
3.2.84 DDCAUSE (0x7E1) (non-standard read/write) . . . 79
3.2.85 UITB (0x800) (non-standard read/write) . . . 80
3.2.86 UCODE (0x801) (non-standard read/write) . . . 81
3.2.87 UDCAUSE (0x809) (non-standard read/write) . . . 81
3.2.88 UCCTLBEGINADDR (0x80B) (non-standard read/write) . . . 82
3.2.89 UCCTLCOMMAND (0x80C) (non-standard read/write) . . . 83
3.2.90 SLIE (0x9C4) (non-standard read/write) . . . 84
3.2.91 SLIP (0x9C5) (non-standard read/write) . . . 84
3.2.92 SDCAUSE (0x9C9) (non-standard read/write) . . . 85

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

3.2.93 SCCTLDATA (0x9CD) (non-standard read/write) . . . 86
3.2.94 SCOUNTERINTEN (0x9CF) (non-standard read/write) . . . 87
3.2.95 SCOUNTERMASK_M (0x9D1) (non-standard read/write) . . . 87
3.2.96 SCOUNTERMASK_S (0x9D2) (non-standard read/write) . . . 88
3.2.97 SCOUNTERMASK_U (0x9D3) (non-standard read/write) . . . 88
3.2.98 SCOUNTEROVF (0x9D4) (non-standard read/write) . . . 89
3.2.99 SCOUNTINHIBIT (0x9E0) (non-standard read/write) . . . 89
3.2.100 SHPMEVENT3 (0x9E3) (non-standard read/write) . . . 89
3.2.101 SHPMEVENT4 (0x9E4) (non-standard read/write) . . . 90
3.2.102 SHPMEVENT5 (0x9E5) (non-standard read/write) . . . 90
3.2.103 SHPMEVENT6 (0x9E6) (non-standard read/write) . . . 91
3.2.104 MCYCLE (0xB00) (standard read/write) . . . 91
3.2.105 MINSTRET (0xB02) (standard read/write) . . . 91
3.2.106 MHPMCOUNTER3 (0xB03) (standard read/write) . . . 92
3.2.107 MHPMCOUNTER4 (0xB04) (standard read/write) . . . 92
3.2.108 MHPMCOUNTER5 (0xB05) (standard read/write) . . . 92
3.2.109 MHPMCOUNTER6 (0xB06) (standard read/write) . . . 93
3.2.110 MCYCLEH (0xB80) (standard read/write) . . . 93
3.2.111 MINSTRETH (0xB82) (standard read/write) . . . 93
3.2.112 MHPMCOUNTER3H (0xB83) (standard read/write) . . . 94
3.2.113 MHPMCOUNTER4H (0xB84) (standard read/write) . . . 94
3.2.114 MHPMCOUNTER5H (0xB85) (standard read/write) . . . 94
3.2.115 MHPMCOUNTER6H (0xB86) (standard read/write) . . . 95
3.2.116 PMACFG0 (0xBC0) (standard read/write) . . . 95
3.2.117 PMACFG1 (0xBC1) (standard read/write) . . . 95
3.2.118 PMACFG2 (0xBC2) (standard read/write) . . . 96
3.2.119 PMACFG3 (0xBC3) (standard read/write) . . . 96
3.2.120 PMAADDR[PMAADDR0] (0xBD0 + 0x1 * n) (standard read/write) . . . 98
3.2.121 CYCLE (0xC00) () . . . 99
3.2.122 CYCLEH (0xC80) () . . . 99
3.2.123 MVENDORID (0xF11) (standard read only) . . . 100
3.2.124 MARCHID (0xF12) (standard read only) . . . 100
3.2.125 MIMPID (0xF13) (standard read only) . . . 100
3.2.126 MHARTID (0xF14) (standard read only) . . . 101
4 TRAP 处理器的异常和中断 . . . 102
4.1 RISC-V 处理器 TRAP 概述 . . . 102
4.1.1 异常 . . . 102
4.1.2 中断 . . . 103
4.1.3 平台中断控制器 PLIC . . . 103
4.1.4 软件中断控制器 PLICSW . . . 103
4.1.5 机器定时器 MCHTMR . . . 103
4.2 TRAP 和处理器特权模式 . . . 103
4.3 中断嵌套 . . . 104

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

4.4 中断向量 . . . 104
4.5 中断响应流程 . . . 108
5 机器定时器 MCHTMR . . . 110
5.1 特性总结 . . . 110
5.2 功能描述 . . . 110
5.2.1 计时与定时功能 . . . 110
5.2.2 计时器重置 . . . 110
5.3 MCHTMR 寄存器说明 . . . 111
5.4 MCHTMR 寄存器详细信息 . . . 111
5.4.1 MTIME (0x0) . . . 111
5.4.2 MTIMECMP (0x8) . . . 111
6 平台级中断控制器 PLIC . . . 113
6.1 特性总结 . . . 113
6.2 功能描述 . . . 113
6.2.1 向量式中断扩展 . . . 113
6.2.2 中断优先级抢占 . . . 113
6.3 PLIC 寄存器说明 . . . 114
6.4 PLIC 寄存器详细信息 . . . 118
6.4.1 FEATURE (0x0) . . . 118
6.4.2 PRIORITY (0x4 + 0x4 * n) . . . 118
6.4.3 PENDING (0x1000 + 0x4 * n) . . . 119
6.4.4 TRIGGER (0x1080 + 0x4 * n) . . . 119
6.4.5 NUMBER (0x1100) . . . 120
6.4.6 INFO (0x1104) . . . 120
6.4.7 TARGETINT[INTEN] (0x2000 + 0x80 * n + 0x4 * m) . . . 120
6.4.8 TARGETCONFIG[THRESHOLD] (0x200000 + 0x1000 * n) . . . 121
6.4.9 TARGETCONFIG[CLAIM] (0x200004 + 0x1000 * n) . . . 121
6.4.10 TARGETCONFIG[PPS] (0x200400 + 0x1000 * n) . . . 122
7 平台级软件中断控制器 PLICSW . . . 123
7.1 特性总结 . . . 123
7.2 功能描述 . . . 123
7.3 PLICSW 寄存器说明 . . . 123
7.3.1 PLICSW 寄存器详细信息 . . . 123
7.3.2 PENDING (0x1000) . . . 123
7.3.3 INTEN (0x2000) . . . 124
7.3.4 CLAIM (0x200004) . . . 124
8 电源管理 . . . 125
8.1 电源系统结构 . . . 125
8.2 电源供电系统 . . . 125
8.2.1 开关电源 DCDC . . . 126
8.2.2 电源管理域线性稳压器 LDOPMC . . . 126
8.2.3 OTP 线性稳压器 LDOOTP . . . 126

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

8.2.4 电池备份域线性稳压器 LDOBAT . . . 126
8.3 IO 供电 . . . 127
8.4 电源引脚说明 . . . 127
8.5 上电和掉电时序 . . . 128
8.6 低功耗概览 . . . 128
8.7 电源管理功能相关 IO . . . 128
9 系统复位 . . . 130
9.1 复位概览 . . . 130
9.2 全局复位 . . . 130
9.3 系统电源域的复位 . . . 130
10 时钟系统 . . . 132
10.1 时钟系统概述 . . . 132
10.2 时钟源 . . . 132
10.2.1 32KHz 时钟源 CLK_32K . . . 132
10.2.2 24MHz 时钟源 CLK_24M . . . 133
10.2.3 锁相环 PLL . . . 133
10.3 功能时钟 . . . 133
10.4 直接使用时钟源的模块 . . . 137
11 电池备份域管理器 BCFG . . . 139
11.1 主要特性 . . . 139
11.2 Bandgap 模式控制 . . . 139
11.3 LDOBAT 电压调节 . . . 139
11.4 CLK_32K 时钟源管理 . . . 139
11.5 电池备份域复位控制 BPOR . . . 139
11.5.1 引脚复位配置 . . . 139
11.5.2 电池备份域低功耗管理 . . . 140
11.6 电池备份域按键控制 BUTN . . . 140
11.6.1 电源按键和电源按键指示 . . . 140
11.6.2 唤醒按键和唤醒按键指示 . . . 141
11.7 按键状态检测和中断 . . . 141
11.8 BCFG 寄存器说明 . . . 141
11.9 BCFG 寄存器详细信息 . . . 142
11.9.1 VBG_CFG (0x0) . . . 142
11.9.2 LDO_CFG (0x4) . . . 142
11.9.3 IRC32K_CFG (0x8) . . . 143
11.9.4 XTAL32K_CFG (0xC) . . . 144
11.9.5 CLK_CFG (0x10) . . . 144
11.10 BPOR 寄存器说明 . . . 145
11.11 BPOR 寄存器详细信息 . . . 145
11.11.1 POR_CAUSE (0x0) . . . 145
11.11.2 POR_SELECT (0x4) . . . 145
11.11.3 POR_CONFIG (0x8) . . . 146

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

11.11.4 POR_CONTROL (0xC) . . . 146
11.12 BUTN 寄存器说明 . . . 147
11.13 BUTN 寄存器详细信息 . . . 147
11.13.1 BTN_STATUS (0x0) . . . 147
11.13.2 BTN_IRQ_MASK (0x4) . . . 148
11.13.3 LED_INTENSE (0x8) . . . 149
12 电源管理域配置模块 PCFG . . . 151
12.1 特性总结 . . . 151
12.2 功能描述 . . . 151
12.2.1 线性稳压器 LDOOTP 配置 . . . 151
12.2.2 开关电源 DCDC 配置 . . . 151
12.2.3 电源管理域模块的时钟门控 . . . 151
12.2.4 系统电源域唤醒 . . . 152
12.2.5 调试控制 . . . 152
12.2.6 电源管理域复位控制模块 PPOR . . . 152
12.3 PCFG 寄存器说明 . . . 153
12.4 PCFG 寄存器详细信息 . . . 153
12.4.1 BANDGAP (0x0) . . . 153
12.4.2 LDO1P1 (0x4) . . . 154
12.4.3 LDO2P5 (0x8) . . . 155
12.4.4 DCDC_MODE (0x10) . . . 155
12.4.5 DCDC_LPMODE (0x14) . . . 156
12.4.6 DCDC_PROT (0x18) . . . 156
12.4.7 DCDC_CURRENT (0x1C) . . . 157
12.4.8 DCDC_ADVMODE (0x20) . . . 158
12.4.9 DCDC_ADVPARAM (0x24) . . . 158
12.4.10 DCDC_MISC (0x28) . . . 159
12.4.11 DCDC_DEBUG (0x2C) . . . 160
12.4.12 DCDC_START_TIME (0x30) . . . 160
12.4.13 DCDC_RESUME_TIME (0x34) . . . 160
12.4.14 POWER_TRAP (0x40) . . . 161
12.4.15 WAKE_CAUSE (0x44) . . . 161
12.4.16 WAKE_MASK (0x48) . . . 162
12.4.17 SCG_CTRL (0x4C) . . . 163
12.4.18 DEBUG_STOP (0x50) . . . 164
12.4.19 RC24M (0x60) . . . 164
12.4.20 RC24M_TRACK (0x64) . . . 165
12.4.21 TRACK_TARGET (0x68) . . . 165
12.4.22 STATUS (0x6C) . . . 166
12.5 PPOR 寄存器说明 . . . 166
12.6 PPOR 寄存器详细信息 . . . 167
12.6.1 RESET_FLAG (0x0) . . . 167
12.6.2 RESET_STATUS (0x4) . . . 167

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

12.6.3 RESET_HOLD (0x8) . . . 168
12.6.4 RESET_ENABLE (0xC) . . . 168
12.6.5 RESET_HOT (0x10) . . . 169
12.6.6 RESET_COLD (0x14) . . . 170
12.6.7 SOFTWARE_RESET (0x1C) . . . 170
13 系统控制模块 SYSCTL . . . 171
13.1 特性总结 . . . 171
13.2 功能时钟配置 . . . 171
13.3 CPU 启动管理 . . . 171
13.3.1 主核启动管理 . . . 171
13.3.2 从核启动管理 . . . 171
13.4 系统电源域资源管理 . . . 171
13.4.1 资源节点 . . . 171
13.4.2 资源节点的链式结构 . . . 172
13.4.3 资源节点的自动关闭机制 . . . 173
13.4.4 资源节点保持开启 . . . 173
13.4.5 功能模块与处理器的连接 . . . 173
13.4.6 资源节点的使用 . . . 175
13.5 低功耗管理 . . . 176
13.5.1 处理器的低功耗模式及唤醒 . . . 176
13.5.2 低功耗模式下资源节点的状态保持 . . . 176
13.6 时钟测量模块 . . . 177
13.7 SYSCTL 寄存器说明 . . . 179
13.8 寄存器详细信息 . . . 190
13.8.1 RESOURCE (0x0 + 0x4 * n) . . . 190
13.8.2 GROUP0[VALUE] (0x800 + 0x10 * n) . . . 191
13.8.3 GROUP0[SET] (0x804 + 0x10 * n) . . . 191
13.8.4 GROUP0[CLEAR] (0x808 + 0x10 * n) . . . 192
13.8.5 GROUP0[TOGGLE] (0x80C + 0x10 * n) . . . 192
13.8.6 GROUP1[VALUE] (0x840 + 0x10 * n) . . . 193
13.8.7 GROUP1[SET] (0x844 + 0x10 * n) . . . 193
13.8.8 GROUP1[CLEAR] (0x848 + 0x10 * n) . . . 193
13.8.9 GROUP1[TOGGLE] (0x84C + 0x10 * n) . . . 194
13.8.10 AFFILIATE[VALUE] (0x900 + 0x10 * n) . . . 194
13.8.11 AFFILIATE[SET] (0x904 + 0x10 * n) . . . 194
13.8.12 AFFILIATE[CLEAR] (0x908 + 0x10 * n) . . . 195
13.8.13 AFFILIATE[TOGGLE] (0x90C + 0x10 * n) . . . 195
13.8.14 RETENTION[VALUE] (0x920 + 0x10 * n) . . . 196
13.8.15 RETENTION[SET] (0x924 + 0x10 * n) . . . 196
13.8.16 RETENTION[CLEAR] (0x928 + 0x10 * n) . . . 197
13.8.17 RETENTION[TOGGLE] (0x92C + 0x10 * n) . . . 197
13.8.18 POWER[STATUS] (0x1000 + 0x10 * n) . . . 198
13.8.19 POWER[LF_WAIT] (0x1004 + 0x10 * n) . . . 198

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

13.8.20 POWER[OFF_WAIT] (0x100C + 0x10 * n) . . . 199
13.8.21 RESET[CONTROL] (0x1400 + 0x10 * n) . . . 199
13.8.22 RESET[CONFIG] (0x1404 + 0x10 * n) . . . 200
13.8.23 RESET[COUNTER] (0x140C + 0x10 * n) . . . 200
13.8.24 CLOCK (0x1800 + 0x4 * n) . . . 201
13.8.25 ADCCLK (0x1C00 + 0x4 * n) . . . 202
13.8.26 I2SCLK (0x1C10 + 0x4 * n) . . . 203
13.8.27 GLOBAL00 (0x2000) . . . 203
13.8.28 MONITOR[CONTROL] (0x2400 + 0x20 * n) . . . 204
13.8.29 MONITOR[CURRENT] (0x2404 + 0x20 * n) . . . 205
13.8.30 MONITOR[LOW_LIMIT] (0x2408 + 0x20 * n) . . . 205
13.8.31 MONITOR[HIGH_LIMIT] (0x240C + 0x20 * n) . . . 205
13.8.32 CPU[LP] (0x2800 + 0x400 * n) . . . 206
13.8.33 CPU[LOCK] (0x2804 + 0x400 * n) . . . 207
13.8.34 CPU[GPR] (0x2808 + 0x400 * n + 0x4 * m) . . . 207
13.8.35 CPU[WAKEUP_STATUS] (0x2840 + 0x400 * n + 0x4 * m) . . . 208
13.8.36 CPU[WAKEUP_ENABLE] (0x2880 + 0x400 * n + 0x4 * m) . . . 208
14 锁相环控制器 PLLCTL . . . 209
14.1 特性总结 . . . 209
14.2 功能描述 . . . 209
14.2.1 PLL 参考时钟源监测 . . . 209
14.2.2 PLL 工作参数配置 . . . 209
14.3 PLL 硬件自动控制 . . . 210
14.4 PLL 扩频 . . . 210
14.5 PLL 工作参数锁定 . . . 211
14.6 PLLCTL 寄存器 . . . 211
14.6.1 寄存器说明 . . . 211
14.6.2 XTAL (0x0) . . . 212
14.6.3 PLL[CFG0] (0x80 + 0x80 * n) . . . 213
14.6.4 PLL[CFG1] (0x84 + 0x80 * n) . . . 214
14.6.5 PLL[CFG2] (0x88 + 0x80 * n) . . . 214
14.6.6 PLL[FREQ] (0x8C + 0x80 * n) . . . 215
14.6.7 PLL[LOCK] (0x90 + 0x80 * n) . . . 215
14.6.8 PLL[STATUS] (0xA0 + 0x80 * n) . . . 216
14.6.9 PLL[DIV0] (0xC0 + 0x80 * n) . . . 217
14.6.10 PLL[DIV1] (0xC4 + 0x80 * n) . . . 217
15 低功耗管理 . . . 219
15.1 运行模式 RUN . . . 219
15.2 等待模式 WAIT . . . 219
15.3 停止模式 STOP . . . 219
15.4 休眠模式 STANDBY . . . 220
15.5 关机模式 SHUTDOWN . . . 221

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

15.6 低功耗总结 . . . 221
16 系统内存映射 . . . 223
16.1 系统内存映射 System Memory Map . . . 223
17 OTP 映射表 . . . 228
18 总线 . . . 229
18.1 总线结构概述 . . . 229
18.2 总线配置 . . . 229
18.2.1 AXI 系统总线 . . . 229
18.2.2 AHB/APB 外设总线 . . . 230
19 BootROM . . . 231
19.1 BootROM 概述 . . . 231
19.2 启动流程 . . . 232
19.2.1 启动流程图 . . . 232
19.2.2 XPI NOR 启动 . . . 232
19.2.2.1 支持的 Serial NOR 设备 . . . 232
19.2.2.2 FLASH 的接入方式 . . . 233
19.2.2.3 XPI NOR 启动流程 . . . 234
19.2.2.4 XPI NOR 启动镜像布局 . . . 234
19.2.2.5 原地解密执行 . . . 235
19.2.3 串行启动 (Serial Boot) . . . 236
19.2.4 在系统编程 (In-System-Programming)) . . . 236
19.2.4.1 命令协议 . . . 236
19.2.5 串口通信 . . . 247
19.2.5.1 载荷包 (Payload Packet) . . . 247
19.2.5.2 确认包 (ACK Packet) . . . 248
19.2.6 USB-HID 通信 . . . 248
19.2.6.1 USB-HID 描述符信息 . . . 248
19.2.6.2 USB 端点信息 . . . 249
19.2.6.3 USB-HID 通信协议 . . . 249
19.3 启动镜像 (Boot Image) . . . 250
19.3.1 固件容器头 (FW Container Header) . . . 250
19.3.2 固件信息表 (FW Info Table) . . . 251
19.3.3 设备配置信息块 (Device Configuration Info Block) . . . 252
19.3.3.1 XPI NOR 配置信息 . . . 253
19.3.3.2 唤醒验证信息 . . . 257
19.3.3.3 OTP 解锁信息 . . . 258
19.3.4 签名块 (Signature Block) . . . 258
19.3.4.1 签名块头部 (Signature Block Header) . . . 258
19.3.5 根密钥表 (SRK Table) . . . 260
19.3.5.1 根密钥表头 (SRK Table Header) . . . 260
19.3.5.2 根密钥表项 (SRK Table Item) . . . 260
19.3.6 签名信息 (Signature Info) . . . 261

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

19.3.7 证书 (Certificate) . . . 261
19.3.8 固件 BLOB(FW BLOB) . . . 261
19.3.9 命令容器 (Command Container) . . . 262
19.3.9.1 命令容器头 (Command Container Header) . . . 263
19.3.9.2 命令容器支持的命令 . . . 263
19.3.9.3 加密命令容器 (Encrypted Command Container) . . . 265
19.4 安全启动 (Secure Boot) . . . 266
19.4.1 安全启动简介 . . . 266
19.4.2 安全启动流程 . . . 266
19.4.3 固件容器验签 . . . 267
19.4.4 固件的验签 . . . 267
19.4.5 公钥的撤销 . . . 267
19.5 低功耗唤醒 . . . 269
19.5.1 快速跳转 . . . 269
19.5.2 强检验跳转 . . . 269
19.5.3 禁用低功耗唤醒 . . . 269
19.6 Debug 接口权限管理 . . . 270
19.7 ROM API . . . 271
19.7.1 简介 . . . 271
19.7.2 run_bootloader API . . . 271
19.7.2.1 示例: . . . 272
19.7.3 OTP API . . . 272
19.7.3.1 init . . . 272
19.7.3.2 read_from_shadow . . . 273
19.7.3.3 read_from_ip . . . 273
19.7.3.4 program . . . 273
19.7.3.5 reload . . . 273
19.7.3.6 lock_otp . . . 273
19.7.3.7 set_configuratable_region . . . 273
19.7.3.8 write_shadow_register . . . 273
19.7.3.9 示例 . . . 274
19.7.4 XPI 底层驱动 API . . . 274
19.7.4.1 get_default_config . . . 274
19.7.4.2 get_default_device_config . . . 274
19.7.4.3 init . . . 275
19.7.4.4 config_ahb_buffer . . . 275
19.7.4.5 config_device . . . 275
19.7.4.6 update_instr_table . . . 276
19.7.4.7 transfer_blocking . . . 276
19.7.4.8 software_reset . . . 276
19.7.4.9 is_idle . . . 276
19.7.4.10 update_dllcr . . . 276
19.7.5 XPI NOR API . . . 277

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

19.7.5.1 get_config . . . 278
19.7.5.2 init . . . 278
19.7.5.3 enable_write . . . 278
19.7.5.4 get_status . . . 278
19.7.5.5 wait_busy . . . 279
19.7.5.6 erase . . . 279
19.7.5.7 erase_chip . . . 279
19.7.5.8 erase_sector . . . 279
19.7.5.9 erase_block . . . 279
19.7.5.10 program . . . 279
19.7.5.11 read . . . 280
19.7.5.12 page_program_nonblocking . . . 280
19.7.5.13 erase_sector_nonblocking . . . 280
19.7.5.14 erase_block_nonblocking . . . 280
19.7.5.15 erase_chip_nonblocking . . . 280
19.7.6 XPI RAM API . . . 280
19.7.6.1 get_config . . . 281
19.7.6.2 init . . . 281
19.7.7 安全启动 API . . . 281
19.7.8 SM3 API . . . 282
19.7.9 SM4 API . . . 282
19.8 SoC 专有信息 . . . 283
19.8.1 OTP 映射表 . . . 283
19.8.2 BootROM 支持的外设信息 . . . 286
19.8.2.1 XPI 信息 . . . 286
19.8.2.2 UART 引脚 . . . 288
19.8.2.3 USB 引脚 . . . 288
19.8.2.4 启动模式 (BOOT_MODE) 引脚 . . . 288
19.8.3 BootROM 预占用的寄存器信息 . . . 288
19.8.4 通用寄存器配置支持的寄存器范围 . . . 289
19.8.5 BootROM 内存映射表 . . . 289
19.8.6 BootROM 生命周期 (Lifecycle) . . . 289
20 引脚配置及功能 PINMUX . . . 291
20.1 IO 功能分配 . . . 291
20.2 电源管理域 IO 功能分配 . . . 326
20.3 电池备份域 IO 功能分配 . . . 328
20.4 系统电源域外设管脚分配 . . . 329
20.5 电源管理域外设管脚分配 . . . 368
20.6 电池备份域外设管脚分配 . . . 370
20.7 特殊功能引脚 . . . 373
20.8 IO 复位状态 . . . 373

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

21 输入输出模块概述 . . . 375
21.1 IO 控制器 . . . 375
21.2 GPIO 控制器 . . . 376
21.3 GPIO 管理器 GPIOM . . . 377
21.4 IO 复位状态 . . . 378
22 IO 控制器 IOC，PIOC，BIOC . . . 379
22.1 特性总结 . . . 379
22.2 功能描述 . . . 379
22.2.1 IO 基本配置 . . . 379
22.2.2 IO 外设功能配置 . . . 379
22.3 IOC 寄存器 . . . 379
22.3.1 寄存器说明 . . . 380
22.3.2 PAD[FUNC_CTL] (0x0 + 0x8 * n) . . . 390
22.3.3 PAD[PAD_CTL] (0x4 + 0x8 * n) . . . 391
23 GPIO 控制器 . . . 393
23.1 特性总结 . . . 393
23.2 功能描述 . . . 393
23.2.1 GPIO 控制 . . . 393
23.2.2 GPIO 中断 . . . 393
23.3 GPIO 寄存器列表 . . . 393
23.4 GPIO 寄存器描述 . . . 400
23.4.1 DI[VALUE] (0x0 + 0x10 * n) . . . 400
23.4.2 DO[VALUE] (0x100 + 0x10 * n) . . . 400
23.4.3 DO[SET] (0x104 + 0x10 * n) . . . 400
23.4.4 DO[CLEAR] (0x108 + 0x10 * n) . . . 401
23.4.5 DO[TOGGLE] (0x10C + 0x10 * n) . . . 401
23.4.6 OE[VALUE] (0x200 + 0x10 * n) . . . 402
23.4.7 OE[SET] (0x204 + 0x10 * n) . . . 402
23.4.8 OE[CLEAR] (0x208 + 0x10 * n) . . . 402
23.4.9 OE[TOGGLE] (0x20C + 0x10 * n) . . . 403
23.4.10 IF[VALUE] (0x300 + 0x10 * n) . . . 403
23.4.11 IE[VALUE] (0x400 + 0x10 * n) . . . 404
23.4.12 IE[SET] (0x404 + 0x10 * n) . . . 404
23.4.13 IE[CLEAR] (0x408 + 0x10 * n) . . . 404
23.4.14 IE[TOGGLE] (0x40C + 0x10 * n) . . . 405
23.4.15 PL[VALUE] (0x500 + 0x10 * n) . . . 405
23.4.16 PL[SET] (0x504 + 0x10 * n) . . . 406
23.4.17 PL[CLEAR] (0x508 + 0x10 * n) . . . 406
23.4.18 PL[TOGGLE] (0x50C + 0x10 * n) . . . 406
23.4.19 TP[VALUE] (0x600 + 0x10 * n) . . . 407
23.4.20 TP[SET] (0x604 + 0x10 * n) . . . 407
23.4.21 TP[CLEAR] (0x608 + 0x10 * n) . . . 408

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

23.4.22 TP[TOGGLE] (0x60C + 0x10 * n) . . . 408
23.4.23 AS[VALUE] (0x700 + 0x10 * n) . . . 408
23.4.24 AS[SET] (0x704 + 0x10 * n) . . . 409
23.4.25 AS[CLEAR] (0x708 + 0x10 * n) . . . 409
23.4.26 AS[TOGGLE] (0x70C + 0x10 * n) . . . 410
24 GPIO 管理器 GPIOM . . . 411
24.1 特性总结 . . . 411
24.2 功能描述 . . . 411
24.2.1 GPIO 分配 . . . 411
24.2.2 访问控制 . . . 411
24.3 GPIOM 寄存器列表 . . . 412
24.4 GPIOM 寄存器描述 . . . 417
24.4.1 ASSIGN[PIN] (0x0 + 0x80 * n + 0x4 * m) . . . 417
25 存储器概述 . . . 419
25.1 内部 SRAM . . . 419
25.1.1 本地存储器 Local Memory . . . 419
25.1.2 通用内存 . . . 419
25.2 通用寄存器 . . . 419
25.3 串行总线控制器 XPI . . . 419
25.4 多功能外部存储器控制器 FEMC . . . 420
25.5 SDXC 控制器 . . . 420
25.6 只读存储器 ROM . . . 420
25.7 一次性可编程存储器 OTP . . . 420
26 OTP 和 OTP 控制器 . . . 422
26.1 特性总结 . . . 422
26.1.1 OTP 控制器特性总结 . . . 422
26.2 OTP 控制器功能描述 . . . 423
26.2.1 OTP 影子寄存器 . . . 423
26.3 OTP 熔丝寄存器 . . . 423
26.4 OTP 操作引擎 . . . 424
26.5 OTP 读写保护 . . . 424
26.6 OTP 控制器寄存器 . . . 426
26.7 OTP 控制器寄存器详细信息 . . . 434
26.7.1 SHADOW (0x0 + 0x4 * n) . . . 434
26.7.2 SHADOW_LOCK (0x200 + 0x4 * n) . . . 434
26.7.3 FUSE (0x400 + 0x4 * n) . . . 434
26.7.4 FUSE_LOCK (0x600 + 0x4 * n) . . . 435
26.7.5 UNLOCK (0x800) . . . 435
26.7.6 DATA (0x804) . . . 436
26.7.7 ADDR (0x808) . . . 436
26.7.8 CMD (0x80C) . . . 436
26.7.9 LOAD_REQ (0xA00) . . . 437

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

26.7.10 LOAD_COMP (0xA04) . . . 437
26.7.11 REGION (0xA20 + 0x4 * n) . . . 438
26.7.12 INT_FLAG (0xC00) . . . 438
26.7.13 INT_EN (0xC04) . . . 439
27 串行总线控制器 XPI . . . 440
27.1 特性总结 . . . 440
27.2 功能描述 . . . 440
27.2.1 外部器件连接配置 . . . 440
27.2.2 XPI 地址映射 . . . 441
27.2.3 外部器件地址转换 . . . 441
27.2.4 指令表 . . . 441
27.2.5 总线寻址访问 . . . 442
27.2.6 寄存器指令访问 . . . 442
27.2.7 XPI 时间特性 . . . 442
27.2.8 中断 . . . 443
27.3 XPI 配置和使用 . . . 443
28 多功能外部存储控制器 FEMC . . . 444
28.1 特性总结 . . . 444
28.2 FEMC 工作机制 . . . 444
28.2.1 FEMC 信号分配 . . . 444
28.2.2 FEMC 信号说明 . . . 446
28.2.3 FEM 地址映射配置 . . . 447
28.3 DRAM 控制器功能描述 . . . 447
28.3.1 初始化流程 . . . 447
28.4 SRAM 控制器功能描述 . . . 448
28.4.1 数据地址非复用模式 Non-ADMUX . . . 448
28.4.2 数据地址复用模式 ADMUX . . . 449
28.4.3 SRAM 控制器时序参数配置 . . . 449
28.4.4 SRAM 控制器应用提示 . . . 449
28.5 FEMC 寄存器列表 . . . 449
28.6 FEMC 寄存器描述 . . . 450
28.6.1 CTRL (0x0) . . . 450
28.6.2 IOCTRL (0x4) . . . 451
28.6.3 BMW0 (0x8) . . . 451
28.6.4 BMW1 (0xC) . . . 452
28.6.5 BR (0x10 + 0x4 * n) . . . 452
28.6.6 INTEN (0x38) . . . 453
28.6.7 INTR (0x3C) . . . 454
28.6.8 SDRCTRL0 (0x40) . . . 454
28.6.9 SDRCTRL1 (0x44) . . . 455
28.6.10 SDRCTRL2 (0x48) . . . 456
28.6.11 SDRCTRL3 (0x4C) . . . 457

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

28.6.12 SRCTRL0 (0x70) . . . 458
28.6.13 SRCTRL1 (0x74) . . . 458
28.6.14 SADDR (0x90) . . . 459
28.6.15 DATSZ (0x94) . . . 459
28.6.16 BYTEMSK (0x98) . . . 459
28.6.17 IPCMD (0x9C) . . . 460
28.6.18 IPTX (0xA0) . . . 460
28.6.19 IPRX (0xB0) . . . 461
28.6.20 STAT0 (0xC0) . . . 461
28.6.21 DLYCFG (0x150) . . . 462
29 SD/eMMC 控制器 SDXC . . . 463
29.1 功能简介 . . . 463
29.2 初始化流程 . . . 463
29.3 数据传输 . . . 465
29.3.1 CPU 模式 . . . 465
29.3.2 SDMA 模式 . . . 466
29.3.3 ADMA2 模式 . . . 466
29.3.4 ADMA3 模式 . . . 468
29.4 SDXC 寄存器列表 . . . 471
29.5 SDXC 寄存器描述 . . . 472
29.5.1 SDMASA (0x0) . . . 472
29.5.2 BLK_ATTR (0x4) . . . 473
29.5.3 CMD_ARG (0x8) . . . 475
29.5.4 CMD_XFER (0xC) . . . 475
29.5.5 RESP (0x10 + 0x4 * n) . . . 479
29.5.6 BUF_DATA (0x20) . . . 479
29.5.7 PSTATE (0x24) . . . 480
29.5.8 PROT_CTRL (0x28) . . . 482
29.5.9 SYS_CTRL (0x2C) . . . 485
29.5.10 INT_STAT (0x30) . . . 489
29.5.11 INT_STAT_EN (0x34) . . . 494
29.5.12 INT_SIGNAL_EN (0x38) . . . 496
29.5.13 AC_HOST_CTRL (0x3C) . . . 499
29.5.14 CAPABILITIES1 (0x40) . . . 502
29.5.15 CAPABILITIES2 (0x44) . . . 505
29.5.16 CURR_CAPABILITIES1 (0x48) . . . 508
29.5.17 CURR_CAPABILITIES2 (0x4C) . . . 508
29.5.18 FORCE_EVENT (0x50) . . . 509
29.5.19 ADMA_ERR_STAT (0x54) . . . 510
29.5.20 ADMA_SYS_ADDR (0x58) . . . 511
29.5.21 PRESET (0x60 + 0x2 * n) . . . 512
29.5.22 ADMA_ID_ADDR (0x78) . . . 512
29.5.23 P_EMBEDDED_CNTRL (0xE6) . . . 513

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

29.5.24 P_VENDOR_SPECIFIC_AREA (0xE8) . . . 513
29.5.25 P_VENDOR2_SPECIFIC_AREA (0xEA) . . . 514
29.5.26 SLOT_INTR_STATUS (0xFC) . . . 514
29.5.27 CQVER (0x180) . . . 515
29.5.28 CQCAP (0x184) . . . 515
29.5.29 CQCFG (0x188) . . . 516
29.5.30 CQCTL (0x18C) . . . 517
29.5.31 CQIS (0x190) . . . 518
29.5.32 CQISE (0x194) . . . 519
29.5.33 CQISGE (0x198) . . . 520
29.5.34 CQIC (0x19C) . . . 520
29.5.35 CQTDLBA (0x1A0) . . . 522
29.5.36 CQTDBR (0x1A8) . . . 522
29.5.37 CQTCN (0x1AC) . . . 523
29.5.38 CQDQS (0x1B0) . . . 524
29.5.39 CQDPT (0x1B4) . . . 524
29.5.40 CQTCLR (0x1B8) . . . 525
29.5.41 CQSSC1 (0x1C0) . . . 525
29.5.42 CQSSC2 (0x1C4) . . . 526
29.5.43 CQCRDCT (0x1C8) . . . 527
29.5.44 CQRMEM (0x1D0) . . . 527
29.5.45 CQTERRI (0x1D4) . . . 528
29.5.46 CQCRI (0x1D8) . . . 529
29.5.47 CQCRA (0x1DC) . . . 529
29.5.48 MSHC_VER_ID (0x500) . . . 530
29.5.49 MSHC_VER_TYPE (0x504) . . . 530
29.5.50 MBIU_CTRL (0x510) . . . 530
29.5.51 EMMC_BOOT_CTRL (0x52C) . . . 531
29.5.52 AUTO_TUNING_CTRL (0x540) . . . 533
29.5.53 AUTO_TUNING_STAT (0x544) . . . 535
30 DMA 和信箱概述 . . . 536
30.1 DMA 控制器 . . . 536
30.2 DMA 请求路由器 . . . 536
30.3 通讯信箱 MBX . . . 539
31 DMA 控制器 . . . 540
31.1 特性总结 . . . 540
31.2 功能描述 . . . 540
31.2.1 DMA 硬件握手 . . . 540
31.2.2 DMA 链式传输 . . . 540
31.2.3 数据顺序 . . . 540
31.3 DMA 寄存器 . . . 541
31.4 DMA 寄存器详细信息 . . . 543

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31.4.1 DMACFG (0x10) . . . 543
31.4.2 DMACTRL (0x20) . . . 543
31.4.3 CHABORT (0x24) . . . 544
31.4.4 INTSTATUS (0x30) . . . 544
31.4.5 CHEN (0x34) . . . 545
31.4.6 CHCTRL[CTRL] (0x40 + 0x20 * n) . . . 545
31.4.7 CHCTRL[TRANSIZE] (0x44 + 0x20 * n) . . . 547
31.4.8 CHCTRL[SRCADDR] (0x48 + 0x20 * n) . . . 547
31.4.9 CHCTRL[SRCADDRH] (0x4C + 0x20 * n) . . . 548
31.4.10 CHCTRL[DSTADDR] (0x50 + 0x20 * n) . . . 548
31.4.11 CHCTRL[DSTADDRH] (0x54 + 0x20 * n) . . . 549
31.4.12 CHCTRL[LLPOINTER] (0x58 + 0x20 * n) . . . 549
31.4.13 CHCTRL[LLPOINTERH] (0x5C + 0x20 * n) . . . 549
32 DMA 请求路由器 DMAMUX . . . 551
32.1 特性总结 . . . 551
32.2 功能描述 . . . 551
32.3 DMAMUX 寄存器 . . . 551
32.4 DMAMUX 寄存器详细信息 . . . 552
32.4.1 MUXCFG (0x0 + 0x4 * n) . . . 552
33 通信信箱 MBX . . . 553
33.1 特性总结 . . . 553
33.2 功能描述 . . . 553
33.2.1 MBX 寄存器访问接口 . . . 553
33.2.2 FIFO 管理 . . . 553
33.2.3 中断 . . . 553
33.3 MBX 寄存器 . . . 553
33.4 MBX 寄存器详细信息 . . . 554
33.4.1 CR (0x0) . . . 554
33.4.2 SR (0x4) . . . 555
33.4.3 TXREG (0x8) . . . 555
33.4.4 RXREG (0xC) . . . 556
33.4.5 TXWRD (0x10 + 0x4 * n) . . . 556
33.4.6 RXWRD (0x20 + 0x4 * n) . . . 556
34 摄像和显示外设概述 . . . 558
34.1 显示接口 LCDC . . . 558
34.2 摄像接口 CAM . . . 558
34.3 2D 图形加速单元 PDMA . . . 558
34.4 JPEG 编解码器 . . . 559
35 显示接口 LCDC . . . 560
35.1 概述 . . . 560
35.2 LCDC 寄存器 . . . 560
35.3 LCDC 寄存器描述 . . . 563

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

35.3.1 CTRL (0x0) . . . 563
35.3.2 BGND_CL (0x4) . . . 565
35.3.3 DISP_WN_SIZE (0x8) . . . 565
35.3.4 HSYNC_PARA (0xC) . . . 565
35.3.5 VSYNC_PARA (0x10) . . . 566
35.3.6 DMA_ST (0x14) . . . 566
35.3.7 ST (0x18) . . . 567
35.3.8 INT_EN (0x1C) . . . 567
35.3.9 TXFIFO (0x20) . . . 568
35.3.10 LAYER[LAYCTRL] (0x200 + 0x40 * n) . . . 568
35.3.11 LAYER[ALPHAS] (0x204 + 0x40 * n) . . . 570
35.3.12 LAYER[LAYSIZE] (0x208 + 0x40 * n) . . . 571
35.3.13 LAYER[LAYPOS] (0x20C + 0x40 * n) . . . 571
35.3.14 LAYER[START0] (0x210 + 0x40 * n) . . . 572
35.3.15 LAYER[LINECFG] (0x218 + 0x40 * n) . . . 572
35.3.16 LAYER[BG_CL] (0x21C + 0x40 * n) . . . 573
35.3.17 LAYER[CSC_COEF0] (0x220 + 0x40 * n) . . . 573
35.3.18 LAYER[CSC_COEF1] (0x224 + 0x40 * n) . . . 574
35.3.19 LAYER[CSC_COEF2] (0x228 + 0x40 * n) . . . 574
35.3.20 CLUT_LOAD (0x400) . . . 575
35.4 LCDC 配置使用简单说明 . . . 575
35.4.1 停止 . . . 575
35.4.2 使能 . . . 576
35.4.3 SHADOW . . . 576
35.4.4 背景色 . . . 576
35.4.5 ALPHA_BLENDER 的模式 . . . 576
36 摄像接口 CAM . . . 577
36.1 概述 . . . 577
36.2 寄存器列表 . . . 577
36.3 寄存器描述 . . . 584
36.3.1 CR1 (0x0) . . . 584
36.3.2 INT_EN (0x4) . . . 586
36.3.3 CR2 (0x10) . . . 587
36.3.4 STA (0x24) . . . 588
36.3.5 DMASA_FB1 (0x30) . . . 589
36.3.6 DMASA_FB2 (0x34) . . . 589
36.3.7 BUF_PARA (0x38) . . . 590
36.3.8 IDEAL_WN_SIZE (0x3C) . . . 590
36.3.9 CR18 (0x4C) . . . 591
36.3.10 DMASA_UV1 (0x50) . . . 591
36.3.11 DMASA_UV2 (0x54) . . . 592
36.3.12 CR20 (0x58) . . . 592
36.3.13 MAX_WN_CYCLE (0x5C) . . . 592

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

36.3.14 CSC_COEF0 (0x70) . . . 593
36.3.15 CSC_COEF1 (0x74) . . . 594
36.3.16 CSC_COEF2 (0x78) . . . 594
36.3.17 CLRKEY_LOW (0x7C) . . . 594
36.3.18 CLRKEY_HIGH (0x80) . . . 595
36.3.19 HISTOGRAM_FIFO (0x90 + 0x4 * n) . . . 595
36.4 CAM 配置使用简单说明 . . . 595
36.4.1 停止 . . . 595
36.4.2 软件复位 . . . 596
36.4.3 使能 . . . 596
37 2D 图形加速单元 PDMA . . . 597
37.1 概述 . . . 597
37.2 寄存器列表 . . . 597
37.3 寄存器描述 . . . 598
37.3.1 CTRL (0x0) . . . 598
37.3.2 STAT (0x4) . . . 599
37.3.3 OUT_CTRL (0x8) . . . 600
37.3.4 OUT_BUF (0xC) . . . 601
37.3.5 OUT_PITCH (0x14) . . . 602
37.3.6 OUT_LRC (0x18) . . . 602
37.3.7 OUT_PS[ULC] (0x1C + 0x8 * n) . . . 602
37.3.8 OUT_PS[LRC] (0x20 + 0x8 * n) . . . 603
37.3.9 PS[CTRL] (0x30 + 0x30 * n) . . . 603
37.3.10 PS[BUF] (0x34 + 0x30 * n) . . . 604
37.3.11 PS[PITCH] (0x40 + 0x30 * n) . . . 605
37.3.12 PS[BKGD] (0x44 + 0x30 * n) . . . 605
37.3.13 PS[SCALE] (0x48 + 0x30 * n) . . . 606
37.3.14 PS[OFFSET] (0x4C + 0x30 * n) . . . 606
37.3.15 PS[CLRKEY_LOW] (0x50 + 0x30 * n) . . . 607
37.3.16 PS[CLRKEY_HIGH] (0x54 + 0x30 * n) . . . 607
37.3.17 PS[ORG] (0x58 + 0x30 * n) . . . 607
37.3.18 YUV2RGB_COEF0 (0xA0) . . . 608
37.3.19 YUV2RGB_COEF1 (0xA4) . . . 608
37.3.20 YUV2RGB_COEF2 (0xA8) . . . 609
37.3.21 RGB2YUV_COEF0 (0xAC) . . . 609
37.3.22 RGB2YUV_COEF1 (0xB0) . . . 609
37.3.23 RGB2YUV_COEF2 (0xB4) . . . 610
37.3.24 RGB2YUV_COEF3 (0xB8) . . . 610
37.3.25 RGB2YUV_COEF4 (0xBC) . . . 611
37.4 PDMA 配置使用简单说明 . . . 611
37.4.1 复位 . . . 611
37.4.2 停止 . . . 611
37.4.3 使能 . . . 611

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

37.4.4 背景色 . . . 611
37.4.5 色彩转换 . . . 611
37.4.6 ALPHA_BLENDER 的模式 . . . 613
38 JPEG 编解码器 . . . 616
38.1 概述 . . . 616
38.2 JPEG 架构图 . . . 616
38.3 寄存器列表 . . . 616
38.4 寄存器描述 . . . 618
38.4.1 INDMA_MISC (0x0) . . . 618
38.4.2 INDMABASE (0x4) . . . 619
38.4.3 INDMA_CTRL0 (0xC) . . . 619
38.4.4 INDMA_CTRL1 (0x10) . . . 620
38.4.5 INXT_CMD (0x14) . . . 620
38.4.6 OUTDMA_MISC (0x20) . . . 620
38.4.7 OUTDMABASE (0x24) . . . 621
38.4.8 OUTDMA_CTRL0 (0x2C) . . . 622
38.4.9 OUTDMA_CTRL1 (0x30) . . . 622
38.4.10 ONXT_CMD (0x34) . . . 623
38.4.11 CFG (0x40) . . . 623
38.4.12 STAT (0x44) . . . 625
38.4.13 WIDTH (0x48) . . . 626
38.4.14 HEIGHT (0x4C) . . . 626
38.4.15 BUFADDR (0x50) . . . 626
38.4.16 BUFDATA (0x54) . . . 627
38.4.17 OUTDMACNT (0x58) . . . 627
38.4.18 CSC_COEF0 (0x5C) . . . 628
38.4.19 CSC_COEF1 (0x60) . . . 628
38.4.20 CSC_COEF2 (0x64) . . . 629
38.4.21 RGB2YUV_COEF0 (0x68) . . . 629
38.4.22 RGB2YUV_COEF1 (0x6C) . . . 630
38.4.23 RGB2YUV_COEF2 (0x70) . . . 630
38.4.24 RGB2YUV_COEF3 (0x74) . . . 630
38.4.25 RGB2YUV_COEF4 (0x78) . . . 631
38.4.26 IMGREG1 (0x84) . . . 631
38.4.27 IMGREG2 (0x88) . . . 632
38.4.28 IMGREG3 (0x8C) . . . 632
38.4.29 IMGREG (0x90 + 0x4 * n) . . . 632
38.5 JPEG 配置使用简单说明 . . . 633
38.5.1 软件复位 . . . 633
38.5.2 Encoder 流程 . . . 633
38.5.3 Decoder 流程 . . . 633

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

39 音频外设概述 . . . 634
39.1 集成电路内置音频总线 I2S . . . 634
39.2 数字音频输出 DAO . . . 634
39.3 数字麦克风 PDM . . . 634
39.4 语音唤醒模块 VAD . . . 634
40 集成电路内置音频总线 I2S . . . 635
40.1 概述 . . . 635
40.2 I2S 架构图 . . . 635
40.3 管脚说明 . . . 636
40.4 功能说明 . . . 636
40.4.1 I2S 一般说明 . . . 636
40.4.2 设置分频 . . . 637
40.4.2.1 主模式和从模式 . . . 637
40.4.3 发送缓冲区和接收缓冲区 . . . 638
40.4.4 中断 . . . 638
40.4.5 DMA 传输 . . . 638
40.4.6 支持的传输格式 . . . 638
40.4.6.1 I2S Philips 标准 . . . 640
40.4.6.2 MSB 对齐模式 . . . 640
40.4.6.3 LSB 对齐模式 . . . 641
40.4.6.4 PCM 模式 . . . 641
40.4.6.5 TDM I2S Philips 标准 . . . 641
40.4.6.6 TDM MSB 对齐模式 . . . 641
40.4.6.7 TDM LSB 对齐模式 . . . 642
40.4.6.8 TDM PCM 模式 . . . 642
40.5 寄存器列表 . . . 643
40.6 寄存器描述 . . . 644
40.6.1 CTRL (0x0) . . . 644
40.6.2 RFIFO_FILLINGS (0x4) . . . 645
40.6.3 TFIFO_FILLINGS (0x8) . . . 645
40.6.4 FIFO_THRESH (0xC) . . . 645
40.6.5 STA (0x10) . . . 646
40.6.6 RXD (0x20 + 0x4 * n) . . . 646
40.6.7 TXD (0x30 + 0x4 * n) . . . 647
40.6.8 CFGR (0x50) . . . 647
40.6.9 MISC_CFGR (0x58) . . . 649
40.6.10 RXDSLOT (0x60 + 0x4 * n) . . . 650
40.6.11 TXDSLOT (0x70 + 0x4 * n) . . . 650
40.7 I2S 配置使用简单说明 . . . 650
40.7.1 软件复位 . . . 651
40.7.2 使能 TX 流程 . . . 651
40.7.3 使能 RX 流程 . . . 651
40.7.4 注意事项 . . . 651

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

41 数字麦克风 PDM . . . 652
41.1 概述 . . . 652
41.2 PDM 架构图 . . . 652
41.3 管脚说明 . . . 653
41.4 功能说明 . . . 653
41.4.1 PDM 一般说明 . . . 653
41.4.2 PDM_CLK 的产生 . . . 653
41.4.3 信号流图 . . . 653
41.4.3.1 PDM 信号 . . . 653
41.4.3.2 参考信号 . . . 655
41.4.4 发送缓冲区和接收缓冲区 . . . 655
41.4.5 中断 . . . 655
41.4.6 DMA 传输 . . . 656
41.4.7 SNR 的估算 . . . 656
41.5 寄存器列表 . . . 656
41.6 寄存器描述 . . . 657
41.6.1 CTRL (0x0) . . . 657
41.6.2 CH_CTRL (0x4) . . . 658
41.6.3 ST (0x8) . . . 658
41.6.4 CH_CFG (0xC) . . . 659
41.6.5 CIC_CFG (0x10) . . . 659
41.6.6 CTRL_INBUF (0x14) . . . 660
41.6.7 CTRL_FILT0 (0x18) . . . 660
41.6.8 CTRL_FILT1 (0x1C) . . . 661
41.6.9 RUN (0x20) . . . 661
41.6.10 MEMADDR (0x24) . . . 662
41.6.11 MEMDATA (0x28) . . . 662
41.6.12 HPF_MA (0x2C) . . . 662
41.6.13 HPF_B (0x30) . . . 663
41.7 PDM 配置使用简单说明 . . . 663
41.7.1 软件复位 . . . 663
41.7.2 使能流程 . . . 663
42 数字音频输出 DAO . . . 664
42.1 概述 . . . 664
42.2 DAO 架构图 . . . 664
42.3 管脚说明 . . . 664
42.4 功能说明 . . . 664
42.4.1 DAO 一般说明 . . . 664
42.4.2 DAO 输出波形 . . . 665
42.4.3 相应的 I2S 的配置，以及槽通道的选择 . . . 666
42.4.4 信号流图 . . . 666
42.4.4.1 PCM 信号的滤波和采样变换 . . . 666
42.4.4.2 高通滤波器 HPF 的配置 . . . 666

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

42.4.4.3 参考信号 . . . 667
42.4.5 发送缓冲区和接收缓冲区 . . . 667
42.4.6 中断 . . . 667
42.4.7 DMA 传输 . . . 667
42.5 寄存器列表 . . . 667
42.6 寄存器描述 . . . 667
42.6.1 CTRL (0x0) . . . 668
42.6.2 CMD (0x8) . . . 668
42.6.3 RX_CFGR (0xC) . . . 669
42.6.4 RXSLT (0x10) . . . 669
42.6.5 HPF_MA (0x14) . . . 669
42.6.6 HPF_B (0x18) . . . 670
42.7 DAO 配置使用简单说明 . . . 670
42.7.1 软件复位 . . . 670
42.7.2 使能流程 . . . 670
43 语音检测模块 VAD . . . 671
43.1 概述 . . . 671
43.2 VAD 架构图 . . . 671
43.3 寄存器列表 . . . 671
43.4 寄存器描述 . . . 672
43.4.1 CTRL (0x0) . . . 672
43.4.2 FILTCTRL (0x4) . . . 673
43.4.3 DEC_CTRL0 (0x8) . . . 673
43.4.4 DEC_CTRL1 (0xC) . . . 674
43.4.5 DEC_CTRL2 (0x10) . . . 674
43.4.6 ST (0x18) . . . 674
43.4.7 OFIFO (0x1C) . . . 675
43.4.8 RUN (0x20) . . . 676
43.4.9 OFIFO_CTRL (0x24) . . . 676
43.4.10 CIC_CFG (0x28) . . . 676
43.4.11 COEF (0xA0 + 0x4 * n) . . . 677
43.5 VAD 配置使用简单说明 . . . 677
43.5.1 软件复位 . . . 677
43.5.2 使能流程 . . . 677
44 电机系统概述 . . . 678
44.1 PWM 定时器 PWM . . . 678
44.2 正交编码器接口 QEI . . . 679
44.3 霍尔传感器接口 HALL . . . 679
44.4 互联管理器 TRGM . . . 679
44.4.1 互联管理器输入分配 . . . 680
44.4.2 互联管理器输出分配 . . . 686
44.4.3 互联管理器 DMA 请求 . . . 694

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

44.4.4 互联管理器数字滤波器 . . . 700
44.5 同步定时器 SYNT . . . 702
45 PWM 定时器 PWM . . . 703
45.1 特性总结 . . . 703
45.2 功能描述 . . . 703
45.2.1 定时器时间基准 . . . 703
45.2.2 PWM 生成 . . . 705
45.2.3 PWM 生成举例 . . . 707
45.2.4 PWM 输出控制概述 . . . 709
45.2.5 PWM 互补控制 . . . 709
45.2.6 死区控制 . . . 710
45.2.7 输出取反 . . . 710
45.2.8 强制输出控制 . . . 710
45.2.9 故障保护 . . . 711
45.2.10 Debug 模式支持 . . . 712
45.2.11 输入捕获模块 . . . 712
45.2.12 影子寄存器 . . . 712
45.2.13 中断和 DMA . . . 714
45.3 PWM 寄存器 . . . 714
45.4 PWM 寄存器详细信息 . . . 718
45.4.1 UNLK (0x0) . . . 718
45.4.2 STA (0x4) . . . 718
45.4.3 RLD (0x8) . . . 719
45.4.4 CMP (0xC + 0x4 * m) . . . 719
45.4.5 FRCMD (0x78) . . . 720
45.4.6 SHLK (0x7C) . . . 720
45.4.7 CHCFG (0x80 + 0x4 * n) . . . 721
45.4.8 GCR (0xF0) . . . 721
45.4.9 SHCR (0xF4) . . . 723
45.4.10 CAPPOS (0x100 + 0x4 * n) . . . 723
45.4.11 CNT (0x170) . . . 724
45.4.12 CAPNEG (0x180 + 0x4 * n) . . . 724
45.4.13 CNTCOPY (0x1F0) . . . 724
45.4.14 PWMCFG (0x200 + 0x4 * n) . . . 725
45.4.15 SR (0x220) . . . 726
45.4.16 IRQEN (0x224) . . . 726
45.4.17 DMAEN (0x22C) . . . 727
45.4.18 CMPCFG (0x230 + 0x4 * n) . . . 727
46 正交解码器接口 QEI . . . 729
46.1 特性总结 . . . 729
46.2 功能描述 . . . 729
46.2.1 正交信号解码逻辑 . . . 729

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

46.2.2 相位计数器 730
46.2.3 Z 相计数器 731
46.2.4 相位计数器校正 732
46.2.5 H 相输入 732
46.2.6 测速计数器 732
46.2.7 方向模式和上下模式 733
46.2.8 位置匹配 734
46.2.9 定时器 735
46.2.10 看门狗计数器 735
46.2.11 计数器读取和快照功能 735
46.2.12 计数器复位 736
46.2.13 计数器暂停 737
46.2.14 中断、DMA、触发输出 737
46.3 QEI 寄存器 737
46.4 QEI 寄存器详细信息 738
46.4.1 CR (0x0) 738
46.4.2 PHCFG (0x4) 739
46.4.3 WDGCFG (0x8) 740
46.4.4 PHIDX (0xC) 740
46.4.5 TRGOEN (0x10) 741
46.4.6 READEN (0x14) 741
46.4.7 ZCMP (0x18) 742
46.4.8 PHCMP (0x1C) 742
46.4.9 SPDCMP (0x20) 742
46.4.10 DMAEN (0x24) 743
46.4.11 SR (0x28) 743
46.4.12 IRQEN (0x2C) 744
46.4.13 COUNT[Z] (0x30 + 0x10 * n) 744
46.4.14 COUNT[PH] (0x34 + 0x10 * n) 744
46.4.15 COUNT[SPD] (0x38 + 0x10 * n) 745
46.4.16 COUNT[TMR] (0x3C + 0x10 * n) 745
46.4.17 SPDHIS (0x70 + 0x4 * n) 746
47 霍尔传感器接口 HALL 747
47.1 特性总结 747
47.2 功能描述 747
47.2.1 U，V，W 相输入 747
47.2.2 U，V，W 计数器 748
47.2.3 定时器 748
47.2.4 提前触发 748
47.2.5 延时事件 749
47.2.6 看门狗计数器 749
47.2.7 计数器读取和快照功能 749
47.2.8 计数器复位 750

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

47.2.9 中断、DMA、触发输出 . . . 750
47.3 HALL 寄存器列表 . . . 751
47.4 HALL 寄存器详细信息 . . . 752
47.4.1 CR (0x0) . . . 752
47.4.2 PHCFG (0x4) . . . 753
47.4.3 WDGCFG (0x8) . . . 753
47.4.4 UVWCFG (0xC) . . . 753
47.4.5 TRGOEN (0x10) . . . 754
47.4.6 READEN (0x14) . . . 754
47.4.7 DMAEN (0x24) . . . 755
47.4.8 SR (0x28) . . . 755
47.4.9 IRQEN (0x2C) . . . 756
47.4.10 COUNT[W] (0x30 + 0x10 * n) . . . 756
47.4.11 COUNT[V] (0x34 + 0x10 * n) . . . 757
47.4.12 COUNT[U] (0x38 + 0x10 * n) . . . 757
47.4.13 COUNT[TMR] (0x3C + 0x10 * n) . . . 758
47.4.14 HIS[HIS0] (0x70 + 0x8 * n) . . . 758
47.4.15 HIS[HIS1] (0x74 + 0x8 * n) . . . 758
48 互联管理器 TRGM . . . 760
48.1 特性总结 . . . 760
48.2 功能描述 . . . 760
48.2.1 管理器信号输入输出复选器 . . . 760
48.2.2 输出配置 . . . 760
48.2.3 数字滤波器 . . . 761
48.2.4 DMA 请求管理 . . . 761
48.3 TRGM 寄存器列表 . . . 761
48.4 TRGM 寄存器描述 . . . 763
48.4.1 FILTCFG (0x0 + 0x4 * n) . . . 764
48.4.2 TRGOCFG (0x100 + 0x4 * n) . . . 764
48.4.3 DMACFG (0x200 + 0x4 * n) . . . 765
48.4.4 GCR (0x400) . . . 765
49 同步定时器 SYNT . . . 766
49.1 特性总结 . . . 766
49.2 功能描述 . . . 766
49.3 SYNT 寄存器列表 . . . 766
49.4 SYNT 寄存器详细信息 . . . 766
49.4.1 GCR (0x0) . . . 767
49.4.2 RLD (0x4) . . . 767
49.4.3 CNT (0xC) . . . 767
49.4.4 CMP (0x20 + 0x4 * n) . . . 768
50 定时器概述 . . . 769
50.1 通用定时器 GPTMR, NTMR, PTMR . . . 769

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

50.2 看门狗定时器 WDG, PWDG . . . 769
50.3 实时时钟 RTC . . . 769
51 定时器 TMR . . . 770
51.1 特性总结 . . . 770
51.2 功能描述 . . . 770
51.2.1 定时器时间基准 . . . 770
51.2.2 输出比较 . . . 771
51.2.3 输入捕获 . . . 771
51.2.4 中断和 DMA . . . 772
51.2.5 调试模式支持 . . . 772
51.3 定时器寄存器 . . . 772
51.3.1 寄存器说明 . . . 772
51.3.2 CHANNEL[CR] (0x0 + 0x40 * n) . . . 774
51.3.3 CHANNEL[CMP] (0x4 + 0x40 * n + 0x4 * m) . . . 775
51.3.4 CHANNEL[RLD] (0xC + 0x40 * n) . . . 775
51.3.5 CHANNEL[CNTUPTVAL] (0x10 + 0x40 * n) . . . 776
51.3.6 CHANNEL[CAPPOS] (0x20 + 0x40 * n) . . . 776
51.3.7 CHANNEL[CAPNEG] (0x24 + 0x40 * n) . . . 777
51.3.8 CHANNEL[CAPPRD] (0x28 + 0x40 * n) . . . 777
51.3.9 CHANNEL[CAPDTY] (0x2C + 0x40 * n) . . . 777
51.3.10 CHANNEL[CNT] (0x30 + 0x40 * n) . . . 778
51.3.11 SR (0x200) . . . 778
51.3.12 IRQEN (0x204) . . . 779
51.3.13 GCR (0x208) . . . 779
52 看门狗 WDG . . . 781
52.1 特性总结 . . . 781
52.2 功能描述 . . . 781
52.2.1 WDG 超时中断和超时复位 . . . 781
52.2.2 WDG 喂狗 . . . 781
52.2.3 WDG 寄存器解锁 . . . 781
52.3 WDG 寄存器列表 . . . 782
52.4 WDOG 寄存器描述 . . . 782
52.4.1 CTRL (0x10) . . . 782
52.4.2 RESTART (0x14) . . . 783
52.4.3 WREN (0x18) . . . 783
52.4.4 ST (0x1C) . . . 784
53 实时时钟 RTC . . . 785
53.1 特性总结 . . . 785
53.2 时间计数器 . . . 785
53.3 定时器 . . . 785
53.4 RTC 寄存器列表 . . . 785
53.5 RTC 寄存器描述 . . . 786

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

53.5.1 SECOND (0x0) . . . 786
53.5.2 SUBSEC (0x4) . . . 786
53.5.3 SEC_SNAP (0x8) . . . 786
53.5.4 SUB_SNAP (0xC) . . . 787
53.5.5 ALARM0 (0x10) . . . 787
53.5.6 ALARM0_INC (0x14) . . . 787
53.5.7 ALARM1 (0x18) . . . 788
53.5.8 ALARM1_INC (0x1C) . . . 788
53.5.9 ALARM_FLAG (0x20) . . . 789
53.5.10 ALARM_EN (0x24) . . . 789
54 通讯外设概述 . . . 790
54.1 通用异步收发器 UART，PUART . . . 790
54.2 串行外设总线 SPI . . . 790
54.3 集成电路总线 I2C . . . 790
54.4 控制器局域网 CAN . . . 790
54.5 精确时间协议模块 PTPC . . . 790
54.6 以太网控制器 ENET . . . 790
54.7 通用串行总线 USB . . . 791
54.8 通讯系统控制器 CONCTL . . . 791
55 通用异步收发器 UART . . . 792
55.1 特性总结 . . . 792
55.2 功能描述 . . . 792
55.2.1 UART 发送 . . . 792
55.2.2 UART 接收 . . . 793
55.2.3 波特率控制 . . . 793
55.2.4 Modem 控制器 . . . 793
55.2.5 Loopback 模式 . . . 793
55.2.6 DMA . . . 794
55.3 寄存器说明 . . . 794
55.4 寄存器详细信息 . . . 794
55.4.1 CFG (0x10) . . . 795
55.4.2 OSCR (0x14) . . . 795
55.4.3 RBR (0x20) . . . 795
55.4.4 THR (0x20) . . . 796
55.4.5 DLL (0x20) . . . 796
55.4.6 IER (0x24) . . . 796
55.4.7 DLM (0x24) . . . 797
55.4.8 IIR (0x28) . . . 797
55.4.9 FCR (0x28) . . . 798
55.4.10 LCR (0x2C) . . . 799
55.4.11 MCR (0x30) . . . 800
55.4.12 LSR (0x34) . . . 800

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

55.4.13 MSR (0x38) . . . 801
56 串行外设总线 SPI . . . 802
56.1 模块功能 . . . 802
56.2 功能描述 . . . 802
56.2.1 主机模式 . . . 802
56.2.2 从机模式 . . . 802
56.2.3 2 线模式 . . . 802
56.2.4 4 线模式 . . . 803
56.3 SPI 寄存器列表 . . . 803
56.4 SPI 寄存器描述 . . . 803
56.4.1 TRANSFMT (0x10) . . . 803
56.4.2 TRANSCTRL (0x20) . . . 804
56.4.3 CMD (0x24) . . . 806
56.4.4 ADDR (0x28) . . . 806
56.4.5 DATA (0x2C) . . . 807
56.4.6 CTRL (0x30) . . . 807
56.4.7 STATUS (0x34) . . . 808
56.4.8 INTREN (0x38) . . . 809
56.4.9 INTRST (0x3C) . . . 809
56.4.10 TIMING (0x40) . . . 810
56.4.11 SLVST (0x60) . . . 810
56.4.12 SLVDATACNT (0x64) . . . 811
56.4.13 CONFIG (0x7C) . . . 811
57 集成电路总线 I2C . . . 813
57.1 特性总结 . . . 813
57.2 功能描述 . . . 813
57.2.1 主要功能 . . . 813
57.2.2 时序配置 . . . 814
57.2.3 主机模式 . . . 814
57.2.4 从机模式 . . . 815
57.3 I2C 寄存器 . . . 816
57.3.1 寄存器说明 . . . 816
57.3.2 寄存器详细信息 . . . 816
57.3.3 CFG (0x10) . . . 816
57.3.4 INTEN (0x14) . . . 817
57.3.5 STATUS (0x18) . . . 817
57.3.6 ADDR (0x1C) . . . 819
57.3.7 DATA (0x20) . . . 819
57.3.8 CTRL (0x24) . . . 819
57.3.9 CMD (0x28) . . . 820
57.3.10 SETUP (0x2C) . . . 821
57.3.11 TPM (0x30) . . . 822

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

58 控制器局域网 CAN 控制器 823
58.1 特性总结 823
58.2 功能描述 824
58.2.1 CAN 管脚说明 824
58.2.2 设定波特率 824
58.2.3 发送缓冲器 825
58.2.4 接受缓冲器 825
58.2.5 接收筛选寄存器组 825
58.2.6 单次数据发送 826
58.2.7 取消数据发送 826
58.2.8 数据接收 827
58.2.9 错误处理 827
58.2.10 节点关闭 827
58.2.11 仲裁失败位置捕捉 828
58.2.12 回环模式 828
58.2.13 静默模式 828
58.2.14 软件复位功能 829
58.2.15 向上兼容 CAN-FD 功能 832
58.2.16 时间触发 TTCAN 832
58.2.16.1 TTCAN 模式下的 TBUF 行为 832
58.2.16.2 TTCAN 功能描述 832
58.2.16.3 TTCAN 时序 832
58.2.16.4 TTCAN 触发方式 832
58.2.16.5 TTCAN 触发看门时间 833
58.2.17 CiA 603 时间戳 833
58.2.17.1 时间戳 833
58.2.17.2 外部定时器 834
58.3 CAN 寄存器 834
58.3.1 寄存器说明 834
58.3.2 寄存器详细信息 836
58.3.3 RBUF (0x0 + 0x4 * n) 836
58.3.4 TBUF (0x50 + 0x4 * n) 836
58.3.5 TTS (0x98 + 0x4 * n) 837
58.3.6 CMD_STA_CMD_CTRL (0xA0) 837
58.3.7 RTIE (0xA4) 842
58.3.8 RTIF (0xA5) 843
58.3.9 ERRINT (0xA6) 844
58.3.10 LIMIT (0xA7) 845
58.3.11 S_PRESC (0xA8) 845
58.3.12 F_PRESC (0xAC) 846
58.3.13 EALCAP (0xB0) 847
58.3.14 TDC (0xB1) 847
58.3.15 RECNT (0xB2) 848

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

58.3.16 TECNT (0xB3) . . . 848
58.3.17 ACFCTRL (0xB4) . . . 849
58.3.18 TIMECFG (0xB5) . . . 849
58.3.19 ACF_EN (0xB6) . . . 850
58.3.20 ACF (0xB8) . . . 850
58.3.21 VER (0xBC) . . . 851
58.3.22 TBSLOT (0xBE) . . . 851
58.3.23 TTCFG (0xBF) . . . 852
58.3.24 REF_MSG (0xC0) . . . 853
58.3.25 TRIG_CFG (0xC4) . . . 854
58.3.26 TT_TRIG (0xC6) . . . 855
58.3.27 TT_WTRIG (0xC8) . . . 855
59 精确时间协议模块 PTPC . . . 856
59.1 特性总结 . . . 856
59.2 功能描述 . . . 856
59.2.1 时间戳模块 . . . 856
59.2.2 时间戳捕获和比较 . . . 857
59.2.3 时间戳输出端口 . . . 857
59.3 PTPC 寄存器列表 . . . 857
59.4 PTPC 寄存器描述 . . . 858
59.4.1 PTPC[CTRL0] (0x0 + 0x1000 * n) . . . 858
59.4.2 PTPC[CTRL1] (0x4 + 0x1000 * n) . . . 859
59.4.3 PTPC[TIMEH] (0x8 + 0x1000 * n) . . . 860
59.4.4 PTPC[TIMEL] (0xC + 0x1000 * n) . . . 860
59.4.5 PTPC[TS_UPDTH] (0x10 + 0x1000 * n) . . . 861
59.4.6 PTPC[TS_UPDTL] (0x14 + 0x1000 * n) . . . 861
59.4.7 PTPC[ADDEND] (0x18 + 0x1000 * n) . . . 862
59.4.8 PTPC[TARH] (0x1C + 0x1000 * n) . . . 862
59.4.9 PTPC[TARL] (0x20 + 0x1000 * n) . . . 863
59.4.10 PTPC[PPS_CTRL] (0x2C + 0x1000 * n) . . . 863
59.4.11 PTPC[CAPT_SNAPH] (0x30 + 0x1000 * n) . . . 864
59.4.12 PTPC[CAPT_SNAPL] (0x34 + 0x1000 * n) . . . 865
59.4.13 TIME_SEL (0x2000) . . . 865
59.4.14 INT_STS (0x2004) . . . 865
59.4.15 INT_EN (0x2008) . . . 866
60 以太网控制器 ENET . . . 868
60.1 功能简介 . . . 868
60.2 初始化流程 . . . 868
60.3 描述符详解 . . . 869
60.3.1 发送描述符 . . . 869
60.3.2 接收描述符 . . . 875
60.3.3 Buffer Size Calculations . . . 882

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

60.4 ENET 寄存器列表 . . . 883
60.5 ENET 寄存器描述 . . . 887
60.5.1 MACCFG (0x0) . . . 887
60.5.2 MACFF (0x4) . . . 891
60.5.3 HASH_H (0x8) . . . 894
60.5.4 HASH_L (0xC) . . . 894
60.5.5 GMII_ADDR (0x10) . . . 894
60.5.6 GMII_DATA (0x14) . . . 896
60.5.7 FLOWCTRL (0x18) . . . 896
60.5.8 VLAN_TAG (0x1C) . . . 898
60.5.9 RWKFRMFILT (0x28) . . . 899
60.5.10 PMT_CSR (0x2C) . . . 899
60.5.11 LPI_CSR (0x30) . . . 901
60.5.12 LPI_TCR (0x34) . . . 902
60.5.13 INTR_STATUS (0x38) . . . 903
60.5.14 INTR_MASK (0x3C) . . . 904
60.5.15 MAC_ADDR_0_HIGH (0x40) . . . 905
60.5.16 MAC_ADDR_0_LOW (0x44) . . . 905
60.5.17 MAC_ADDR[HIGH] (0x48 + 0x8 * n) . . . 906
60.5.18 MAC_ADDR[LOW] (0x4C + 0x8 * n) . . . 906
60.5.19 XMII_CSR (0xD8) . . . 907
60.5.20 WDOG_WTO (0xDC) . . . 908
60.5.21 MMC_CNTRL (0x100) . . . 908
60.5.22 MMC_INTR_RX (0x104) . . . 909
60.5.23 MMC_INTR_TX (0x108) . . . 912
60.5.24 MMC_INTR_MASK_RX (0x10C) . . . 914
60.5.25 MMC_INTR_MASK_TX (0x110) . . . 916
60.5.26 TXOCTETCOUNT_GB (0x114) . . . 919
60.5.27 TXFRAMECOUNT_GB (0x118) . . . 919
60.5.28 TXBROADCASTFRAMES_G (0x11C) . . . 919
60.5.29 TXMLTICASTFRAMES_G (0x120) . . . 920
60.5.30 TX64OCTETS_GB (0x124) . . . 920
60.5.31 TX65TO127OCTETS_GB (0x128) . . . 920
60.5.32 TX128TO255OCTETS_GB (0x12C) . . . 921
60.5.33 TX256TO511OCTETS_GB (0x130) . . . 921
60.5.34 TX512TO1023OCTETS_GB (0x134) . . . 922
60.5.35 TX1024TOMAXOCTETS_GB (0x138) . . . 922
60.5.36 RXFRAMECOUNT_GB (0x180) . . . 922
60.5.37 MMC_IPC_INTR_MASK_RX (0x200) . . . 923
60.5.38 MMC_IPC_INTR_RX (0x208) . . . 925
60.5.39 RXIPV4_GD_FMS (0x210) . . . 927
60.5.40 L3_L4_CFG[L3_L4_CTRL] (0x400 + 0x30 * n) . . . 928
60.5.41 L3_L4_CFG[L4_ADDR] (0x404 + 0x30 * n) . . . 930

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

60.5.42 L3_L4_CFG[L3_ADDR_0] (0x410 + 0x30 * n) . . . 930
60.5.43 L3_L4_CFG[L3_ADDR_1] (0x414 + 0x30 * n) . . . 931
60.5.44 L3_L4_CFG[L3_ADDR_2] (0x418 + 0x30 * n) . . . 931
60.5.45 L3_L4_CFG[L3_ADDR_3] (0x41C + 0x30 * n) . . . 932
60.5.46 VLAN_TAG_INC_RPL (0x584) . . . 932
60.5.47 VLAN_HASH (0x588) . . . 933
60.5.48 TS_CTRL (0x700) . . . 934
60.5.49 SUB_SEC_INCR (0x704) . . . 936
60.5.50 SYST_SEC (0x708) . . . 937
60.5.51 SYST_NSEC (0x70C) . . . 937
60.5.52 SYST_SEC_UPD (0x710) . . . 938
60.5.53 SYST_NSEC_UPD (0x714) . . . 938
60.5.54 TS_ADDEND (0x718) . . . 938
60.5.55 TGTTM_SEC (0x71C) . . . 939
60.5.56 TGTTM_NSEC (0x720) . . . 939
60.5.57 SYSTM_H_SEC (0x724) . . . 940
60.5.58 TS_STATUS (0x728) . . . 940
60.5.59 PPS_CTRL (0x72C) . . . 942
60.5.60 AUX_TS_NSEC (0x730) . . . 943
60.5.61 AUX_TS_SEC (0x734) . . . 943
60.5.62 PPS0_INTERVAL (0x760) . . . 944
60.5.63 PPS0_WIDTH (0x764) . . . 944
60.5.64 PPS[TGTTM_SEC] (0x780 + 0x20 * n) . . . 945
60.5.65 PPS[TGTTM_NSEC] (0x784 + 0x20 * n) . . . 945
60.5.66 PPS[INTERVAL] (0x788 + 0x20 * n) . . . 946
60.5.67 PPS[WIDTH] (0x78C + 0x20 * n) . . . 946
60.5.68 DMA_BUS_MODE (0x1000) . . . 947
60.5.69 DMA_TX_POLL_DEMAND (0x1004) . . . 950
60.5.70 DMA_RX_POLL_DEMAND (0x1008) . . . 950
60.5.71 DMA_RX_DESC_LIST_ADDR (0x100C) . . . 951
60.5.72 DMA_TX_DESC_LIST_ADDR (0x1010) . . . 951
60.5.73 DMA_STATUS (0x1014) . . . 952
60.5.74 DMA_OP_MODE (0x1018) . . . 955
60.5.75 DMA_INTR_EN (0x101C) . . . 960
60.5.76 DMA_MISS_OVF_CNT (0x1020) . . . 962
60.5.77 DMA_RX_INTR_WDOG (0x1024) . . . 962
60.5.78 DMA_AXI_MODE (0x1028) . . . 963
60.5.79 DMA_BUS_STATUS (0x102C) . . . 965
60.5.80 DMA_CURR_HOST_TX_DESC (0x1048) . . . 965
60.5.81 DMA_CURR_HOST_RX_DESC (0x104C) . . . 966
60.5.82 DMA_CURR_HOST_TX_BUF (0x1050) . . . 966
60.5.83 DMA_CURR_HOST_RX_BUF (0x1054) . . . 966

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

61 通用串行总线 USB 968
61.1 功能简介 968
61.2 管脚说明 968
61.3 工作流程 968
61.3.1 usbphy 初始化 968
61.3.2 配置工作模式 968
61.3.3 主机初始化流程 969
61.3.4 设备初始化流程 969
61.4 数据结构 969
61.4.1 主机数据结构 969
61.4.2 设备数据结构 973
61.5 USB 寄存器列表 976
61.6 USB 寄存器描述 977
61.6.1 GPTIMER0LD (0x80) 977
61.6.2 GPTIMER0CTRL (0x84) 978
61.6.3 GPTIMER1LD (0x88) 979
61.6.4 GPTIMER1CTRL (0x8C) 979
61.6.5 SBUSCFG (0x90) 979
61.6.6 USBCMD (0x140) 980
61.6.7 USBSTS (0x144) 983
61.6.8 USBINTR (0x148) 986
61.6.9 FRINDEX (0x14C) 987
61.6.10 DEVICEADDR (0x154) 987
61.6.11 PERIODICLISTBASE (0x154) 988
61.6.12 ASYNCLISTADDR (0x158) 988
61.6.13 ENDPTLISTADDR (0x158) 989
61.6.14 BURSTSIZE (0x160) 989
61.6.15 TXFILLTUNING (0x164) 990
61.6.16 ENDPTNAK (0x178) 991
61.6.17 ENDPTNAKEN (0x17C) 991
61.6.18 PORTSC1 (0x184) 992
61.6.19 OTGSC (0x1A4) 997
61.6.20 USBMODE (0x1A8) 998
61.6.21 ENDPTSETUPSTAT (0x1AC) 999
61.6.22 ENDPTPRIME (0x1B0) 1000
61.6.23 ENDPTFLUSH (0x1B4) 1001
61.6.24 ENDPTSTAT (0x1B8) 1001
61.6.25 ENDPTCOMPLETE (0x1BC) 1002
61.6.26 ENDPTCTRL (0x1C0 + 0x4 * n) 1003
61.6.27 OTG_CTRL0 (0x200) 1005
61.6.28 PHY_CTRL0 (0x210) 1007
61.6.29 PHY_CTRL1 (0x214) 1008
61.6.30 TOP_STATUS (0x220) 1008

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

61.6.31 PHY_STATUS (0x224) . . . 1009
62 通信系统控制器 CONCTL . . . 1011
62.1 CONCTL 寄存器列表 . . . 1011
62.2 CONCTL 寄存器描述 . . . 1011
62.2.1 CTRL0 (0x0) . . . 1011
62.2.2 CTRL2 (0x8) . . . 1012
62.2.3 CTRL3 (0xC) . . . 1012
62.2.4 CTRL4 (0x10) . . . 1013
62.2.5 CTRL5 (0x14) . . . 1015
63 模拟外设概述 . . . 1017
63.1 12 位模拟数字转换器 ADC12 . . . 1017
63.1.1 ADC0 输入通道分配 . . . 1017
63.1.2 ADC1 输入通道分配 . . . 1017
63.1.3 ADC2 输入通道分配 . . . 1017
63.1.4 ADC12 的差分通道输入 . . . 1017
63.2 16 位模拟数字转换器 ADC16 . . . 1017
63.2.1 ADC3 输入通道分配 . . . 1018
63.2.2 ADC 转换触发信号连接 . . . 1018
63.3 比较器 ACMP . . . 1018
63.4 温度传感器 . . . 1018
64 12 位模数转换器 ADC12 . . . 1020
64.1 特性总结 . . . 1020
64.2 功能描述 . . . 1020
64.2.1 ADC 时钟 . . . 1020
64.2.2 ADC 输入通道配置 . . . 1021
64.2.3 读取转换模式 . . . 1021
64.2.4 周期转换模式 . . . 1021
64.2.5 序列转换模式 . . . 1022
64.2.6 序列转换模式的 DMA . . . 1023
64.2.7 抢占转换模式 . . . 1023
64.2.8 抢占转换模式的 DMA . . . 1024
64.2.9 ADC 中断 . . . 1026
64.2.10 ADC 启动和校正 . . . 1026
64.3 ADC12 寄存器列表 . . . 1027
64.4 ADC12 寄存器描述 . . . 1030
64.4.1 CONFIG (0x0 + 0x4 * n) . . . 1030
64.4.2 TRG_DMA_ADDR (0x30) . . . 1031
64.4.3 TRG_SW_STA (0x34) . . . 1032
64.4.4 BUS_RESULT (0x400 + 0x4 * n) . . . 1032
64.4.5 BUF_CFG0 (0x500) . . . 1033
64.4.6 SEQ_CFG0 (0x800) . . . 1033
64.4.7 SEQ_DMA_ADDR (0x804) . . . 1034

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

64.4.8 SEQ_WR_ADDR (0x808) . . . 1034
64.4.9 SEQ_DMA_CFG (0x80C) . . . 1034
64.4.10 SEQ_QUE (0x810 + 0x4 * n) . . . 1035
64.4.11 PRD_CFG[PRD_CFG] (0xC00 + 0x10 * n) . . . 1035
64.4.12 PRD_CFG[PRD_THSHD_CFG] (0xC04 + 0x10 * n) . . . 1036
64.4.13 PRD_CFG[PRD_RESULT] (0xC08 + 0x10 * n) . . . 1036
64.4.14 SAMPLE_CFG (0x1000 + 0x4 * n) . . . 1037
64.4.15 CONV_CFG1 (0x1104) . . . 1037
64.4.16 ADC_CFG0 (0x1108) . . . 1038
64.4.17 INT_STS (0x1110) . . . 1038
64.4.18 INT_EN (0x1114) . . . 1039
64.4.19 ANA_CTRL0 (0x1200) . . . 1040
64.4.20 ANA_CTRL1 (0x1204) . . . 1041
64.4.21 ANA_STATUS (0x1210) . . . 1041
65 16 位模数转换器 ADC16 . . . 1042
65.1 特性总结 . . . 1042
65.2 功能描述 . . . 1042
65.2.1 ADC 时钟 . . . 1042
65.2.2 ADC 输入通道配置 . . . 1043
65.2.3 读取转换模式 . . . 1043
65.2.4 周期转换模式 . . . 1043
65.2.5 序列转换模式 . . . 1044
65.2.6 序列转换模式的 DMA . . . 1045
65.2.7 抢占转换模式 . . . 1045
65.2.8 抢占转换模式的 DMA . . . 1046
65.2.9 ADC 中断 . . . 1048
65.3 ADC16 寄存器列表 . . . 1048
65.4 ADC16 寄存器描述 . . . 1051
65.4.1 CONFIG (0x0 + 0x4 * n) . . . 1051
65.4.2 TRG_DMA_ADDR (0x30) . . . 1052
65.4.3 TRG_SW_STA (0x34) . . . 1053
65.4.4 BUS_RESULT (0x400 + 0x4 * n) . . . 1053
65.4.5 BUF_CFG0 (0x500) . . . 1054
65.4.6 SEQ_CFG0 (0x800) . . . 1054
65.4.7 SEQ_DMA_ADDR (0x804) . . . 1054
65.4.8 SEQ_WR_ADDR (0x808) . . . 1055
65.4.9 SEQ_DMA_CFG (0x80C) . . . 1055
65.4.10 SEQ_QUE (0x810 + 0x4 * n) . . . 1056
65.4.11 PRD_CFG[PRD_CFG] (0xC00 + 0x10 * n) . . . 1056
65.4.12 PRD_CFG[PRD_THSHD_CFG] (0xC04 + 0x10 * n) . . . 1057
65.4.13 PRD_CFG[PRD_RESULT] (0xC08 + 0x10 * n) . . . 1057
65.4.14 SAMPLE_CFG (0x1000 + 0x4 * n) . . . 1058
65.4.15 CONV_CFG1 (0x1104) . . . 1058

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

65.4.16 ADC_CFG0 (0x1108) . . . 1059
65.4.17 INT_STS (0x1110) . . . 1059
65.4.18 INT_EN (0x1114) . . . 1060
65.4.19 ANA_CTRL0 (0x1200) . . . 1061
65.4.20 ANA_STATUS (0x1210) . . . 1061
65.4.21 ADC16_PARAMS (0x1400 + 0x2 * n) . . . 1062
65.4.22 ADC16_CONFIG0 (0x1444) . . . 1062
65.4.23 ADC16_CONFIG1 (0x1460) . . . 1063
66 模拟比较器 ACMP . . . 1064
66.1 特性总结 . . . 1064
66.2 功能描述 . . . 1064
66.2.1 ACMP 输入配置 . . . 1064
66.2.2 ACMP 输出控制 . . . 1065
66.2.3 ACMP 工作模式 . . . 1065
66.2.4 中断和 DMA . . . 1065
66.3 ACMP 寄存器列表 . . . 1065
66.4 ACMP 寄存器描述 . . . 1066
66.4.1 CHANNEL[CFG] (0x0 + 0x20 * n) . . . 1066
66.4.2 CHANNEL[DACCFG] (0x4 + 0x20 * n) . . . 1067
66.4.3 CHANNEL[SR] (0x10 + 0x20 * n) . . . 1068
66.4.4 CHANNEL[IRQEN] (0x14 + 0x20 * n) . . . 1068
66.4.5 CHANNEL[DMAEN] (0x18 + 0x20 * n) . . . 1068
67 信息安全模块概述 . . . 1070
67.1 安全数据处理器 SDP . . . 1070
67.2 在线解密引擎 EXIP . . . 1070
67.3 密钥管理器 . . . 1070
67.4 电池备份域密钥模块 BKEY . . . 1071
67.5 密钥管理总结 . . . 1071
67.6 一次性可编程存储 OTP . . . 1071
67.7 真随机数发生器 RNG . . . 1072
67.8 电源管理域安全管理器 PSEC . . . 1072
67.9 电源管理域监视器 PMON . . . 1072
67.10 电池备份域安全管理器 BSEC . . . 1072
67.11 电池备份域监视器 BMON . . . 1073
67.12 侵入检测模块 TAMP . . . 1073
67.13 单调计数器 MONO . . . 1073
67.14 BOOT ROM . . . 1073
68 安全数据处理器 SDP . . . 1074
68.1 特性总结 . . . 1074
68.2 功能描述 . . . 1074
68.2.1 命令描述符 . . . 1074
68.2.2 AES 加解密引擎 . . . 1075

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

68.2.3 AES 密钥配置 . . . 1076
68.2.4 HASH 模块 . . . 1077
68.2.5 数据拷贝和数据充填 . . . 1078
68.2.6 数据重排序 . . . 1078
68.3 SDP 寄存器 . . . 1079
68.3.1 寄存器说明 . . . 1079
68.3.2 SDPCR (0x0) . . . 1080
68.3.3 MODCTRL (0x4) . . . 1081
68.3.4 PKTCNT (0x8) . . . 1083
68.3.5 STA (0xC) . . . 1083
68.3.6 KEYADDR (0x10) . . . 1084
68.3.7 KEYDAT (0x14) . . . 1085
68.3.8 CIPHIV (0x18 + 0x4 * n) . . . 1085
68.3.9 HASWRD (0x28 + 0x4 * n) . . . 1085
68.3.10 CMDPTR (0x48) . . . 1086
68.3.11 NPKTPTR (0x4C) . . . 1086
68.3.12 PKTCTL (0x50) . . . 1087
68.3.13 PKTSRC (0x54) . . . 1087
68.3.14 PKTDST (0x58) . . . 1087
68.3.15 PKTBUF (0x5C) . . . 1088
69 在线解密引擎 EXIP . . . 1089
69.1 特性总结 . . . 1089
69.2 功能描述 . . . 1089
69.2.1 EXIP 区段，密钥，计数器 . . . 1089
69.2.2 EXIP 的密钥封装和密钥解封 . . . 1090
69.3 附录 . . . 1091
69.3.1 RFC3394 简介 . . . 1091
70 随机数发生器 RNG . . . 1094
70.1 特性总结 . . . 1094
70.2 功能描述 . . . 1094
70.2.1 RNG 初始化 . . . 1094
70.2.2 RNG 生成 SEED . . . 1094
70.2.3 RNG 自测试 . . . 1094
70.2.4 中断 . . . 1095
70.3 RNG 寄存器列表 . . . 1095
70.3.1 RNG 寄存器描述 . . . 1095
70.3.2 CMD (0x0) . . . 1095
70.3.3 CTRL (0x4) . . . 1096
70.3.4 STA (0x8) . . . 1097
70.3.5 ERR (0xC) . . . 1097
70.3.6 FO2B (0x10) . . . 1098
70.3.7 R2SK (0x20 + 0x4 * n) . . . 1098

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

71 密钥管理器 KEYM . . . 1100
71.1 特性总结 . . . 1100
71.2 功能描述 . . . 1100
71.2.1 ZMK 密钥 . . . 1100
71.2.2 FMK 密钥 . . . 1100
71.2.3 SMK 密钥 . . . 1100
71.2.4 MK 密钥 . . . 1101
71.2.5 SK 密钥 . . . 1101
71.3 KEYM 寄存器列表 . . . 1102
71.4 寄存器描述 . . . 1102
71.4.1 SOFTMKEY (0x0 + 0x4 * n) . . . 1103
71.4.2 SOFTPKEY (0x20 + 0x4 * n) . . . 1103
71.4.3 SEC_KEY_CTL (0x40) . . . 1103
71.4.4 NSC_KEY_CTL (0x44) . . . 1104
71.4.5 RNG (0x48) . . . 1105
71.4.6 READ_CONTROL (0x4C) . . . 1105
72 电池域密钥模块 BKEY . . . 1107
72.1 特性总结 . . . 1107
72.2 功能描述 . . . 1107
72.3 BKEY 寄存器列表 . . . 1107
72.4 寄存器详细信息描述 . . . 1108
72.4.1 KEY[DATA] (0x0 + 0x20 * n + 0x4 * m) . . . 1108
72.4.2 ECC (0x40 + 0x4 * n) . . . 1108
72.4.3 SELECT (0x48) . . . 1109
73 电源管理域安全管理器 PSEC . . . 1110
73.1 特性总结 . . . 1110
73.2 功能描述 . . . 1110
73.2.1 芯片生命周期 . . . 1110
73.2.2 电源管理域系统电源域安全状态管理 . . . 1111
73.2.3 安全事件通报 . . . 1112
73.3 PSEC 寄存器列表 . . . 1112
73.4 PSEC 寄存器描述 . . . 1112
73.4.1 SECURE_STATE (0x0) . . . 1112
73.4.2 SECURE_STATE_CONFIG (0x4) . . . 1113
73.4.3 VIOLATION_CONFIG (0x8) . . . 1114
73.4.4 ESCALATE_CONFIG (0xC) . . . 1114
73.4.5 EVENT (0x10) . . . 1115
73.4.6 LIFECYCLE (0x14) . . . 1116
74 电源管理域监视器 PMON . . . 1118
74.1 特性总结 . . . 1118
74.2 功能描述 . . . 1118
74.2.1 芯片生命周期 . . . 1118

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

74.2.2 中断 . . . 1118
74.3 PMON 寄存器列表 . . . 1118
74.4 PMON 寄存器描述 . . . 1119
74.4.1 MONITOR[CONTROL] (0x0 + 0x8 * n) . . . 1119
74.4.2 MONITOR[STATUS] (0x4 + 0x8 * n) . . . 1119
74.4.3 IRQ_FLAG (0x40) . . . 1120
74.4.4 IRQ_ENABLE (0x44) . . . 1120
75 电池备份域安全管理器 BSEC . . . 1121
75.1 特性总结 . . . 1121
75.2 功能描述 . . . 1121
75.2.1 电池备份域安全状态管理 . . . 1121
75.2.2 安全事件通报 . . . 1122
75.3 BSEC 寄存器列表 . . . 1122
75.4 BSEC 寄存器描述 . . . 1122
75.4.1 SECURE_STATE (0x0) . . . 1122
75.4.2 SECURE_STATE_CONFIG (0x4) . . . 1123
75.4.3 VIOLATION_CONFIG (0x8) . . . 1124
75.4.4 ESCALATE_CONFIG (0xC) . . . 1125
75.4.5 EVENT (0x10) . . . 1126
76 电池备份域监视器 BMON . . . 1127
76.1 特性总结 . . . 1127
76.2 功能描述 . . . 1127
76.2.1 芯片生命周期 . . . 1127
76.2.2 测试端口配置 . . . 1127
76.3 BMON 寄存器列表 . . . 1127
76.3.1 BMON 寄存器描述 . . . 1128
76.3.2 MONITOR[CONTROL] (0x0 + 0x10 * n) . . . 1128
76.3.3 MONITOR[STATUS] (0x4 + 0x10 * n) . . . 1128
77 侵入检测模块 TAMP . . . 1129
77.1 特性总结 . . . 1129
77.2 功能描述 . . . 1129
77.2.1 侵入检测引脚配置 . . . 1129
77.2.2 中断 . . . 1129
77.3 TAMP 寄存器列表 . . . 1130
77.4 TAMP 寄存器描述 . . . 1130
77.4.1 TAMP[CONTROL] (0x0 + 0x10 * n) . . . 1130
77.4.2 TAMP[POLY] (0x4 + 0x10 * n) . . . 1131
77.4.3 TAMP[LFSR] (0x8 + 0x10 * n) . . . 1132
77.4.4 TAMP_FLAG (0x80) . . . 1132
77.4.5 IRQ_EN (0x84) . . . 1132
78 单调计数器 MONO . . . 1134
78.1 特性总结 . . . 1134

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

78.2 功能描述 1134
78.3 MONO 寄存器列表 1134
78.3.1 MONO 寄存器描述 1134
78.3.2 MONOL (0x0) 1134
78.3.3 MONOH (0x4) 1135
79 系统调试概述 1136
80 调试传输模块 DTM 1137
80.1 DTM 指令 1137
80.2 DTM 指令描述 1137
80.2.1 USERCODE (0x0) 1137
80.2.2 IDCODE (0x1) 1137
80.2.3 CLAMP (0x8) 1137
80.2.4 EXTEST (0x9) 1138
80.2.5 SAMPLE/PRELOAD (0xA) 1138
80.2.6 HIGHZ (0xB) 1138
80.2.7 AUTHEN (0xF) 1138
80.2.8 DTMCS (0x10) 1138
80.2.9 DMI (0x11) 1139
80.2.10 BYPASS (0x1F) 1139
81 调试模块 DM 1140
81.1 系统内存映射 1140
81.2 DMI 内存映射 1140
81.3 DM 寄存器描述 1141
81.3.1 DATA (0x4 + 0x1 * n) 1141
81.3.2 DMCONTROL (0x10) 1141
81.3.3 DMSTATUS (0x11) 1142
81.3.4 HARTINFO (0x12) 1143
81.3.5 HALTSUM (0x13) 1144
81.3.6 HAWINDOWSEL (0x14) 1144
81.3.7 HAWINDOW (0x15) 1144
81.3.8 ABSTRACTCS (0x16) 1145
81.3.9 COMMAND (0x17) 1145
81.3.10 ABSTRACTAUTO (0x18) 1146
81.3.11 PROGBUF (0x20 + 0x1 * n) 1146
81.3.12 SBCS (0x38) 1146
81.3.13 SBADDRESS (0x39 + 0x1 * n) 1147
81.3.14 SBDATA (0x3C + 0x1 * n) 1148
82 版本信息 1149
83 免责声明 1151

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

1 产品概述

1.1 系统框图

本产品的系统框图如图 1。

图 1: 系统架构框图

表 1总结了图 1中所有外设简称的释义。

简称	描述
CPU0 子系统	包含 RISC-V CPU0 及其本地存储器和私有外设的子系统
CPU1 子系统	包含 RISC-V CPU1 及其本地存储器和私有外设的子系统
CONN 子系统	包含高速通讯外设的子系统

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

简称	描述
VIS 子系统	包含显示，图像外设的子系统
HART	硬件线程（Hardware Thread），RISC-V 规范定义一个可以包含完整 RISC-V 体系架构，并可以独立执行指令的单元为 HART。本手册中，HART 等同与 RISC-V 内核。
ILM	指令本地存储器（Instruction Local Memory）
DLM	数据本地存储器（Data Local Memory）
FGPIO	快速 GPIO 控制器（Fast General Purpose Input Output）
ENET	以太网控制器（Ethernet）
USB	通用串行总线（Universal Serial Bus）
SDXC	SD/eMMC 控制器（Secure Digital Memory Card / Multi-Media Card）
JPEG	JPEG 编解码器
CAM	摄像接口（Camera Controller）
LCDC	显示接口（LCD Controller）
PDMA	2D 图形加速单元（Pixel DMA）
SDP	安全数据处理器（Secure Data Processor）
XDMA	AXI 系统总线 DMA 控制器（AXI DMA）
HDMA	AHB 外设总线 DMA 控制器（AHB DMA）
AXI SRAM	AXI 总线 SRAM
AHB SRAM	AHB 总线 SRAM
APB SRAM	APB 总线 SRAM
XPI	串行总线控制器
FEMC	多功能外部存储器控制器（Flexible External Memory Controller）
EXIP	在线解密模块（Encrypted Execution-In-Place）
ADC	模数转换器（Analog-to-Digital Convertor）
SYSCTL	系统控制模块（System Control）
PLLCTL	锁相环控制器（PLL Controller）
ACMP	模拟比较器（Analog Comparator）
MBX	信箱（Mailbox）
DMAMUX	DMA 请求路由器
IOC	IO 控制器（Input Output Controllor）
PIOC	电源管理域 IO 控制器
BIOC	电池备份域 IO 控制器
GPIO	通用输入输出控制器（General Purpose Input Output）
PGPIO	电源管理域 GPIO 控制器
BGPIO	电池备份域 GPIO 控制器
GPIOM	GPIO 管理器（GPIO Manager）
OTP	一次性可编程存储（One Time Program）
I2S	集成电路内置音频总线（Inter IC Sound）
DAO	数字音频输出（Digital Audio Output）
PDM	PDM 数字麦克风（Pulse Density Modulation）

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

简称	描述
PWM	PWM 定时器（Pulse Width Modulation）
QEI	正交编码器接口（Quadrature Encoder Interface）
HALL	霍尔传感器接口
TRGM	互联管理器（Trigger Manager）
SYNT	同步定时器（Sync Timer）
GPTMR	通用定时器（General Purpose Timer）
PTMR	电源管理域内的通用定时器
WDG	看门狗（Watchdog）
PWDG	电源管理域内的看门狗
UART	通用异步收发器（Universal Asynchronous Receiver and Transmitter）
PUART	电源管理域内的通用异步收发器
SPI	串行外设接口（Serial Peripheral Interface）
I2C	集成电路总线（Inter-Integrated Circuit）
CAN	控制器局域网（Control Area Network）
PTPC	精确时间协议模块（Precise Time Protocol）
RNG	随机数发生器（Random Number Generator）
KEYM	密钥管理器（Key Manager）
PGPR	电源管理域的通用寄存器
BGPR	电池备份域的通用寄存器
PCFG	电源管理域配置模块
BCFG	电池备份域配置模块
PSEC	电源管理域安全管理器
BSEC	电池备份域安全管理器
PMON	电源管理域监视器
BMON	电池备份域监视器
VAD	语音唤醒模块（Voice Active Detector）
BKEY	电池备份域密钥模块
TAMP	侵入检测模块
MONO	单调计数器（Monolithic Counter）
RTC	实时时钟（Real Time Clock）
系统电源域	本手册中，系统电源域专指由 VDD_SOC 供电的逻辑和存储电路
电源管理域	本手册中，电源管理域专指由 VPMC 供电的逻辑和存储电路
电池备份域	本手册中，电池备份域专指由 VBAT 供电的逻辑和存储电路

表 1: 外设简称总结

1.2 特性总结

本章节介绍本产品的主要特性。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

1.2.1 内核与系统

双核 32 位 RISC-V 处理器，每个处理器特性如下:

- RV32-IMAFDCP 指令集
  - 整数指令集
  - 乘法指令集
  - 原子指令集
  - 单精度浮点数指令集
  - 双精度浮点数指令集
  - 压缩指令集
  - DSP 单元，支持 SIMD 和 DSP 指令，兼容 RV32-P 扩展指令集
- 性能可达 5.6 CoreMark / MHz
- 特权模式支持 Machine 模式，Supervisor 模式和 User 模式
- 支持 16 个物理内存保护（Physical Memory Protection PMP）区域
- 支持 32KB L1 指令缓存和 32KB L1 数据缓存
- 支持 256 KB 指令本地存储器 ILM 和 256 KB 数据本地存储器 DLM

每个处理器配备 1 个平台中断控制器 PLIC，用于管理 RISC-V 的外部中断

- 支持 128 个中断源
- 支持 8 级可编程中断优先级
- 中断嵌套扩展和中断向量扩展

每个处理器内核配备 1 个软件中断控制器 PLICSW，管理 RISC-V 的软件中断

- 生成 RISC-V 软件中断

每个处理器内核配备 1 个机器定时器 MCHTMR，管理 RISC-V 的定时器中断

- 生成 RISC-V 定时器中断

2 个 DMA 控制器：

- XDMA，支持 8 个通道，用于在存储器之间进行高带宽的数据搬移，也可以用于外设寄存器与存储器，或者外设寄存器之间的数据搬移。
- HDMA，支持 8 个通道，用于在外设寄存器和存储器之间进行低延迟的数据搬移，也可以用于存储器之间的数据搬移
- 支持 DMA 请求路由分配到任意 DMA 控制器

包括 2 个邮箱 MBX，支持处理器核间通信或不同进程间的通信：

- 每个处理器内核支持独立的信息收发接口
- 支持生成中断

1.2.2 内部存储器

内部存储器包括：

- 2088 KB 的片上 SRAM
  - ILM0，RISC-V CPU0 的指令本地存储器，256KB
  - DLM0，RISC-V CPU0 的数据本地存储器，256KB
  - ILM1，RISC-V CPU1 的指令本地存储器，256KB

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

  - DLM1，RISC-V CPU1 的数据本地存储器，256KB
  - AXI SRAM0，512KB，高速片上 SRAM
  - AXI SRAM1，512KB，高速片上 SRAM
  - AHB SRAM，32KB，适用于 HDMA 的低延时访问
  - APB SRAM，8KB，位于电源管理域，可以在系统电源域掉电时保存数据
- 通用寄存器
  - 电源管理域通用寄存器 PGPR，容量 64 字节，可以在系统电源域掉电时保存数据
  - 电池备份域通用寄存器 BGPR，容量 32 字节，可以在系统电源域，电源管理域掉电时保存数据
- 内部只读存储器 ROM，容量 128KB，ROM 存放本产品的启动代码，闪存加载（Flashloader）和部分外设驱动程序
- 一次性可编程存储器 OTP，4096 位，可用于存放芯片的部分出厂信息，用户密钥和安全配置，启动配置等数据

1.2.3 电源管理

本产品集成了完整的电源管理系统：

- 多个片上电源
  - DCDC 电压转换器，提供 0.9~1.3V 输出，为系统电源域的电路供电，可调节 DCDC 输出，以支持动态电压频率调整 DVFS
  - LDOPMC，典型值 1.1V 输出的线性稳压器，为电源管理域的电路供电
  - LDOOTP，典型值 2.5V 输出的线性稳压器，为 OTP 供电，仅可在烧写 OTP 时打开
  - LDOBAT，典型值 1.0V 输出的线性稳压器，为电池备份域的电路供电
- 运行模式和低功耗模式：等待模式、停止模式、休眠模式和关机模式
- 芯片集成上电复位电路
- 芯片集成低压检测电路

1.2.4 时钟

本产品时钟管理系统支持多个时钟源和时钟低功耗管理：

- 外部时钟源：
  - 24MHz 片上振荡器，XTAL24M，支持 24MHz 晶体，也支持通过引脚从外部输入 24MHz 有源时钟，24MHz 外部高速振荡器是片上各个 PLL 的时钟源
  - 32.768KHz 片上振荡器，XTAL32K，支持 32.768KHz 晶体，用作电池备份域外设如实时时钟 (RTC) 等的时钟源
- 内部时钟源：
  - 内部 RC 振荡器，RC24M，频率 24MHz
  - 内部 32KHz RC 振荡器，RC32K，作为 RTC 等设备的候补时钟源
- 5 个锁相环 PLL，支持小数分频，支持展频
- 支持低功耗管理，支持自动时钟门控

1.2.5 复位

全局复位，也称为电池备份域复位，可以复位整个芯片，包括电池备份域，电源管理域和系统电源域，复位源有：

- RESETN 引脚复位（RESETN）

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

系统电源域复位可以复位系统电源域，复位源有：

- VPMC 引脚的低压复位（VPMC BOR）
- 调试复位（DEBUG RST）
- 看门狗复位（WDOGx RST）
- 软件复位（SW RST）

1.2.6 启动

BootROM 为该芯片上电后执行的第一段程序, 它支持如下功能:

- 从串行 NOR FLASH 启动
- UART/USB 启动
- 在系统编程 (ISP)
- 安全启动
- 低功耗唤醒
- 多种 ROM API

1.2.7 外部存储器

外部存储器接口包括：

- 2 个串行总线控制器 XPI，可以连接片外的各种 SPI 串行存储设备，也可以连接支持串行总线的器件，每个 XPI：
  - 支持 1/2/4/8 位数据模式，支持 2 个 CS 片选信号
  - 支持 SDR 和 DDR，最高支持 166MHz
  - 支持 Quad-SPI 和 Octal-SPI 的串行 NOR Flash
  - 支持串行 NAND Flash
  - 支持 HyperBus，HyperRAM 和 HyperFlash
  - 支持 Quad/Oct SPI PSRAM
- 1 个多功能外部存储器控制器 FEMC
  - DRAM 控制器
    - 支持 SDRAM 和支持 LPSDR SDRAM
    - 支持 8 位，16 位和 32 位数据宽度
    - 支持最高 166MHz 时钟
  - SRAM 控制器
    - 支持连接外部 SRAM 存储器或者访问接口兼容 SRAM 的外部器件
    - 支持异步访问
    - 支持数据地址复用模式 (ADMUX) 或者非复用模式 (Non-ADMUX)
    - 支持 8 位或 16 位数据端口
- 2 个 SD/eMMC 控制器 SDXC
  - 支持 SD/SDHC/SDXC，支持 4 位数据位宽，支持 DS，HS，SDR12，SDR25，SDR50，SDR104
  - 支持 eMMC 5.1，支持 4 位/8 位接口，支持 legacy，HS SDR，HS DDR，HS200，HS400

1.2.8 图形系统

图形系统包括：

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

- 1 个显示接口 LCDC：
  - 支持 24 位 RGB 显示接口
  - 支持可配置的分辨率显示屏，刷新率可达 1366x768 60 fps
  - 支持多种数据格式输入 ARGB8888，RGB565，YUV422/YCbCr422，Y8，1bpp，2bpp，4bpp 和 8bpp
  - 支持多达 8 图层 Alpha Blending
- 2 个摄像接口 CAM：
  - 支持 DVP 接口
  - 支持提取 YUV422/YCbCr422 输入的灰度信息
  - 支持 YUV422/YCbCr422 输入数据转换为 1bpp 黑白格式输出
  - 支持 RGB565，YUV422/YCbCr422 输入数据转换为 ARGB8888 格式输出
- 1 个 2D 图形加速 PDMA：
  - 支持双图层输入独立缩放，支持水平和垂直方向独立缩放
  - 支持双图层输入独立旋转，90°、180°、270° 旋转
  - 支持双图层输入独立水平或垂直翻转
  - 支持双图层 Alpha Blending，Porter-Duff 操作
  - 支持输入图像数据格式转换，支持多种格式的输入和输出：RGB565、YUV422/YCbCr422，ARGB8888
  - 支持图块填色
- 1 个 JPEG 编解码器：
  - 支持 JPEG 编码和解码
  - 支持多种格式输入和输出：RGB565、YUV422/YCbCr422、ARGB8888、Y8

1.2.9 音频外设

音频接口包括：

- 4 个 I2S 接口，每个 I2S 支持 4 线 Tx 和 4 线 Rx，支持 I2S Philips 标准，MSB 对齐标准，LSB 对齐标准，PCM 对齐标准，支持 TDM 模式，最多 16 通道
- 1 个 PDM 数字麦克风接口，将 PDM 数据流转换为 24 位 PCM 音频数据，支持最多 8 通道数据输入
- 1 个数字音频输出 DAO，支持 2 通道输出，每个通道支持一对差分 PWM 输出引脚，直接驱动 Class D 音频放大器
- 1 个语音检测模块 VAD，支持语音检测，语音唤醒，可在系统电源域掉电时保持工作，PDM 数据流转换为 16 位 PCM 音频数据，支持 2 通道数据输入，支持保存 PCM 数据到 APB SRAM0

1.2.10 电机控制系统

电机控制系统包括：

- 4 组电机控制系统，每组电机控制系统配备有：
  - 1 个 8 通道 PWM 定时器 PWM，PWM 调制精度达 2.5ns，支持产生互补 PWM 输出，死区插入和故障保护
  - 1 个正交编码器接口 QEI
  - 1 个霍尔传感器接口 HALL
  - 1 个互联管理器 TRGM
- 各模块支持通过互联管理器 TRGM 与电机控制系统内部或外部的模块交互
- 1 个同步定时器，用于同步各组电机控制系统

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

1.2.11 定时器

定时器包括：

- 9 组 32 位通用定时器，其中一组 (PTMR) 位于电源管理域，支持低功耗唤醒，每组通用定时器包括 4 个 32 位计数器
- 5 个看门狗，其中一个 (PWDG) 位于电源管理域
- 1 个实时时钟，位于电池备份域

1.2.12 通讯外设

支持丰富的通讯外设，包括：

- 17 个通用异步收发器 UART，其中 1 个 (PUART) 位于电源管理域，支持低功耗唤醒
- 4 个串行外设接口 SPI
- 4 个集成电路总线 I2C，支持标准（100kbps），快速（400kbps）和快速 +（1 Mbps）
- 4 个控制器局域网 CAN，支持 CAN_FD
  - 支持 CAN 2.0B 标准，1Mbps
  - 支持 CAN FD，8 Mbps
  - 支持时间戳
- 1 个精确时间协议模块 PTPC，PTPC 支持 2 组时间戳模块，每组包含 64 位计数器，连接到 CAN 模块，CAN 模块可以随时从端口读取时间戳信息
- 2 个 USB OTG 控制器，集成 2 个高速 USB-PHY
  - 符合 *Universal Serial Bus Specification Rev. 2.0*
- 2 个以太网控制器 ENET
  - 支持 10/100/1000 Mbps 数据传输
  - 支持 RMII，RGMII 接口
  - 支持由 IEEE 1588-2002 和 IEEE 1588-2008 标准定义的以太网帧时间戳
  - MDIO 主接口，用于配置和管理 PHY

1.2.13 模拟外设

模拟外设包括：

- 3 个 12 位模拟数字转换器 ADC
  - 12 位逐次逼近型 ADC，可配置的 AD 转换分辨率，6 位，8 位，10 位，12 位
  - 支持 19 个输入通道，支持单端和差分输入
  - 5M 采样率
- 1 个 16 位模拟数字转换器 ADC
  - 16 位逐次逼近型 ADC
  - 支持 8 个输入通道
  - 2M 采样率
- 4 个高速比较器
  - 工作电压 3.0 ~ 3.6V，支持轨到轨输入
  - 内置 8 位 DAC

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

1.2.14 输入输出

- 提供 PA~PZ 共 8 组最多 195 个 GPIO 功能复用引脚
- IO 支持 3V 和 1.8V 两种电压模式，分组供电
- IO 支持开漏控制、内部上下拉、驱动能力调节，内置施密特触发器
- 2 个 GPIO 控制器，供 2 个处理器独立操作
  - 支持读取任意 IO 的输入或者控制 IO 的输出
  - 支持 IO 输入触发中断
- 2 个快速 GPIO 控制器 FGPIO，作为处理器私有的 IO 快速访问接口
- 提供一个 GPIO 管理器，管理各 GPIO 控制器的 IO 控制权限
- 电源管理域专属 IO PYxx 拥有专属 GPIO 控制器和 IO 配置模块，支持低功耗模式下状态保持
- 电池备份域专属 IO PZxx 拥有专属 GPIO 控制器和 IO 配置模块，支持低功耗模式下状态保持

1.2.15 信息安全系统

信息安全模块包含：

- 安全数据处理器 SDP，为片上加解密算法引擎：
  - 支持 AES-128/256，支持 ECB 模式和 CBC 模式
  - 支持 SHA-1/SHA-256
- 在线解密模块 EXIP：
  - 与串行总线控制器 XPI 紧密耦合，支持外部 NOR Flash 在线解密
  - AES-128 CTR 模式，零等待周期解密
  - 支持 RFC3394 的密钥解封，通过密钥加密密钥 KEK 保护数据加密密钥 DEK
- 密钥管理器 KEYM：
  - 支持通过独立的数据通路从电池域密钥单元 BKEY 和 OTP 的密钥区载入密钥
  - 支持密钥混淆
  - 支持从真随机数发生器 RNG 载入随机密钥
  - 支持生成 Session Key
  - 支持独立的数据通路将密钥传送到安全数据处理器 SDP
- 密钥单元 BKEY：
  - 使用电池备份域的供电保存密钥
  - 受电池备份域安全管理器 BSEC 保护，在违反安全规则的事件发生时，擦除密钥
- OTP 中的密钥区，支持存放并保护；
  - SDP，EXIP 的相关密钥
  - 安全启动的相关密钥
  - 安全调试相关密钥
  - 产品生命周期配置
- 真随机数发生器 RNG：
  - 3 个独立熵源为内部模拟噪声源
- 电源管理域安全管理器 PSEC：
  - 监测产品生命周期
  - 配置系统 (系统电源域和电源域) 安全状态，
  - 制定安全规则并监测安全规则违反的事件
  - 关联电源管理域监视器 PMON，监测 VPMC 供电和时钟 OSC24M

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

- 电池备份域安全管理器 BSEC：
  - 配置电池备份域安全状态，制定安全规则
  - 关联电池备份域监视器 BMON，监测 VBAT 供电和时钟 XTAL32K
  - 关联侵入检测模块 TAMP，监测侵入事件
  - 关联单调计数器 MONO
- 基于 BOOT ROM 的安全启动机制，支持加密启动，支持可信的执行环境

1.2.16 系统调试

系统调试模块包括：

- 支持 JTAG 接口
  - 支持 *RISC-V External Debug Support V0.13* 规范
  - 支持 IEEE1149.1
  - 访问 RISC-V 内核寄存器和 CSR，访问存储器
- 调试端口锁定功能
  - 开放模式，调试功能开放
  - 锁定模式，调试功能关闭，可以通过调试密钥解锁
  - 关闭模式，调试功能关闭

1.3 文档约定

1.3.1 寄存器相关缩写词列表

本手册的寄存器说明中采用了如下缩写词

缩写	描述
ro（只读）	软件只能读该位。
rc（只读，读清零）	软件只能读该位，读后清零。
wo（只写）	软件只能写该位。
w1c（写 1 清零）	软件可以通过写入 1 将该位清零。写入 0 对该位的值无影响。
w1s（写 1 置 1）	软件可以通过写入 1 将该位置 1。写入 0 对该位的值无影响。
wc（写清零）	软件可以通过写入任意值将该位清零。
ws（写置 1）	软件可以通过写入任意值将该位置 1。
rw（读/写）	软件可以读写该位。
rw1c（可读/写 1 清零）	软件可以读该位，也可以通过写入 1 将该位清零。写入 0 对该位的值无影响。
rw1s（可读/写 1 置 1）	软件可以读该位，也可以通过写入 1 将该位置 1。写入 0 对该位的值无影响。
rwc（可读/写清零）	软件可以读该位，也可以通过写入任意值将该位清零。
rws（可读/写置 1）	软件可以读该位，也可以通过写入任意值将该位置 1。

表 2: 寄存器描述缩写词列表

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

2 处理器内核

本产品集成 2 个高性能 RISC-V 处理器作为 CPU，符合以下 RISC-V 规范：

- ***The RISC-V Instruction Set Manual, Volume I: User-Level ISA, Version 2.2***
- ***The RISC-V Instruction Set Manual Volume II: Privileged Architecture Version 1.11***
- ***The RISC-V Debug Specification, Version 0.13***

2.1 中央处理器

RISC-V32 位高性能嵌入式处理器，支持以下指令集：

- RISC-V, RV32I：基础整数指令集
- RISC-V, M 扩展：乘法和除法指令集
- RISC-V, A 扩展：原子指令集
- RISC-V, F 扩展：单精度浮点数指令集
- RISC-V, D 扩展：双精度浮点数指令集
- RISC-V, C 扩展：压缩指令集

同时也支持扩展指令集：

- RISC-V, P 扩展：SIMD 和 DSP 扩展指令集

其他特性：

- 8 级顺序流水线
- 双发射超标量处理器
- 动态分支预测
- 处理器性能监视器
- 非对齐的存储器访问

2.2 双核配置

本产品集成 2 个 RISC-V 处理器。双核采用主从结构。

CPU0 和 CPU1 采用相同配置:

- 支持相同指令集
- 相同容量的 L1 指令和数据缓存
  - 32KB L1 I-Cache，4-way，128x 64B cache line per way
  - 32KB L1 D-cache，4-way，128x 64B cache line per way
- 相同容量的指令和数据本地存储器：256 KB ILM 和 256 KB DLM

CPU0 和 CPU1 采用相同的存储器映射，以下为例外：

- CPU 自身的指令/数据本地存储器 ILM / DLM 为私有；
- FGPIO 为私有
- 平台中断控制器 PLIC 为私有
- 软件中断控制器 PLICSW 为私有
- 机器定时器 MCHTMR 为私有

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

注意，CPU 自身的 ILM / DLM 是私有的，即 CPU 通过自身的指令/数据本地存储器接口只能访问自己的 ILM / DLM。但是，本产品支持通过存储器映射表 (Memory Map) 上 ILM / DLM 的别名 (alias)，通过系统总线矩阵从对方的本地存储器从接口，访问对方的 ILM / DLM。

CPU0 和 CPU1 采用相同的特权模式设置。

CPU0 为主 CPU，CPU1 为从 CPU。当复位发生时，系统总是由 CPU0 启动，而 CPU1 处于待机状态。

需要时，由 CPU0 装载 CPU1 的程序镜像，之后释放 CPU1，步骤如下：

1. CPU0 将 CPU1 的代码镜像地址写入 SYSCTL_CPU1_GPR0 寄存器
2. CPU0 将 CPU1 启动代号写入 SYSCTL_CPU1_GPR1 寄存器，代号为 0xC1BEF1A9
3. CPU0 将 SYSCTL_CPU1_LP [HALT] 位清 0，即可释放 CPU1

2.3 总线和存储器接口

RISC-V 处理器配置为支持以下总线接口:

- 总线主接口，处理器以之访问片上的内存和其他资源。
- 总线从接口，片上其他的总线主设备可以以之访问处理器的数据和指令本地存储器
- 指令本地存储器接口，处理器以之访问高速指令本地存储器
- 数据本地存储器接口，处理器以之访问高速数据本地存储器

2.4 TRAP

按照 RISC-V 规范，由异常或者中断引起的处理器指令执行控制流程转换称为 trap，其中异常由处理器自身的指令执行引发，而中断是由处理器内外部的中断源生成。当 trap 发生时，处理器会中断当前的指令执行流程，关闭中断，保存需要的内核通用寄存器到堆栈，随后执行相应的 trap 服务程序。

有关 RISC-V 处理器 TRAP 的细节，请用户查询 TRAP 相关章节。

本产品所有支持生成中断的外设，及其中断向量表，请查阅节 4.4。

2.5 机器定时器 MCHTMR

机器定时器是个 64 位的定时器，符合 RISC-V 规范，这个定时器以固定的时钟运行，提供固定的时间基准，并能够产生机器定时器中断 (Machine Timer Interrupt)。机器定时器 MCHTMR，包含 64 位的计数器 mtime 和 64 位的比较器 mtimecmpx，当计数器 mtime >= mtimecmpx 时，产生中断。

2.6 硬件性能监视器 (Hardware Performance Monitor)

硬件性能监视器符合 RISC-V 规范，包含：

- mcycle / mcycleh CSR，64 位的计数器，统计特定时刻以来处理器运行的时钟周期数。
- minstret / minstreth CSR，64 位的计数器，统计特定时刻以来处理器执行完成（instruction retired）的指令数目。
- hpmcounter3~6 / hpmcounterh3~6 CSR，4 个 64 位的事件计数器，通过配置 CSR mhpmevent3~6，可以配置事件计数器统计特定时刻以来：
  - 特定指令执行的数量，指令可以是 LOAD，STORE，乘法等整数指令，浮点数相关指令，跳转，返回等程序流控指令
  - 处理器本地存储器 ILM 和 DLM 的访问次数
  - 缓存相关的事件数目：如指令或数据缓存命中，MISS 次数等

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

  - 分支预测模块预测失败次数等

2.7 特权模式

本产品符合 The RISC-V Instruction Set Manual Volume II: Privileged Architecture Version 1.11 规范。

- 支持机器模式，也称为 Machine Mode，M-mode，M 模式
- 支持监管模式，也称为 Supervisor Mode，S-mode，S 模式
- 支持用户模式，也称为 User Mode，U-mode，U 模式

支持物理存储保护 Physical Memory Protection(PMP)。支持 16 个 region。

2.8 物理内存属性（Physical Memory Attributes）

系统的存储器映射 (Memory Map) 空间可以分为若干种不同的区域，有些对应存储器，有些对应外设的控制寄存器。这些区域都有着不同的属性，比如，有些区域不支持读，写或者代码执行，有些区域不支持缓存等。RISC-V 规范把这些不同物理地址存储区间的不同访问属性称为 PMA (Physical Memory Attributes)。

本产品的 RISC-V 处理器支持静态 PMA 配置和可编程 PMA 配置。

静态 PMA 配置，支持把存储器映射的制定区域设置为 Device Region，Device Region 的存储器不支持缓存 (non-cacheable)。在本产品上，静态 PMA 配置如下：

- 0x30000000 ~ 0x3FFFFFFF，Device Region 0
- 0xF0000000 ~ 0xFFFFFFFF，Device Region 1

可编程 PMA 支持 16 个 PMA 入口，允许软件通过 4 个 PMA CFG CSR 和 16 个 PMA ADDR CSR 设置 16 个 PMA 的存储器属性。可编程 PMA 配置的优先级高于静态 PMA，16 个 PMA region 中，序号较低的 PMA Region 优先级较高。

用户可以通过 PMA ADDR CSR 指定配置区域的基地址和长度。

用户可以通过 PMA CFG CSR 将指定的地址区域，配置为 Device Region 或者 Memory Region。

Memory Region 支持配置为 cacheable 或者 non-cacheable。

对应 cacheable 的 Memory Region，可以进一步配置缓存的策略，总结如下：

- Write-Back, Non-Allocate
  - 读命中时，从 cache 读
  - 写命中时，写入 cache，并将 cache line 标记为 modified
  - 读未命中，从存储器读
  - 写未命中，写入存储器
- Write-Back, Read-Allocate
  - 读命中时，从 cache 读
  - 写命中时，写入 cache，并将 cache line 标记为 modified
  - 读未命中，从存储器读，并 allocate cache line
  - 写未命中，写入存储器
- Write-Back, Write-Allocate
  - 读命中时，从 cache 读
  - 写命中时，写入 cache，并将 cache line 标记为 modified
  - 读未命中，从存储器读

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

  - 写未命中，allocate cache line，并标记为 modified，写入 cache
- Write-Back, Read-and-Write-Allocate
  - 读命中时，从 cache 读
  - 写命中时，写入 cache，并将 cache line 标记为 modified
  - 读未命中，从存储器读，并 allocate cache line
  - 写未命中，allocate cache line，并标记为 modified，写入 cache
- Write-Through, Non-Allocate
  - 读命中时，从 cache 读
  - 写命中时，写入 cache，并写入存储器
  - 读未命中，从存储器读
  - 写未命中，写入存储器
- Write-Through, Read-Allocate
  - 读命中时，从 cache 读
  - 写命中时，写入 cache，并写入存储器
  - 读未命中，从存储器读，并 allocate cache line
  - 写未命中，写入存储器

2.9 物理内存保护（Physical Memory Protection）

RISC-V 规范定义，RISC-V 处理器可以支持 PMP (Physical Memory Protection) 模块。PMP 支持对存储器映射的指定地址区间提供读，写和执行代码保护。PMP 的读，写，代码执行检查针对 CPU 的特权模式，即允许用户通过配置 PMP，向监管者模式 Supervisor Mode 或者用户模式 User Mode 下的软件授权对指定地址区间的读，写或者代码执行权限。

用户通过配置 PMP，可以撤回机器模式 Machine Mode 下执行的软件，对指定地址区间的读，写或者代码执行权限。

本产品的 RISC-V 处理器，支持 16 个 PMP 入口 entry，可以通过 4 个 PMP CFG CSR 和 16 个 PMP ADDR CSR，配置这 16 个 PMP 入口。

用户可以通过 PMP 的 ADDR CSR 配置指定内存区域的基地址和长度。

用户可以配置 PMP 的 CFG CSR，指定当 CPU 处于监管模式 Supervisor Mode 或者用户模式 User Mode 时，对指定的地址区间，可读，可写，或者可执行代码。

用户可以锁定 PMP CSR 的配置。一旦锁定，即使 CPU 在机器模式 Machine Mode 下，在下次复位前，也不能再修改 PMP 的相关 CSR。同时，一旦锁定，PMP 的配置不再只针对监管模式 Supervisor Mode 或者用户模式 User Mode 生效，对机器模式 Machine Mode 也有效。

2.10 相关文档

RISC-V 开源指令集的相关信息，请访问 RISC-V 主页 https://riscv.org/。

RISC-V 指令集相关规范，请访问 https://riscv.org/technical/specifications/。

本产品 RISC-V CPU 的 DSP 扩展指令相关信息，请访问 http://www.andestech.com/en/products-solutions/product-documentation/ 并下载《AndeStar V5 DSP ISA Extension Specification》。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

3 RISC-V 处理器的控制状态寄存器

本章节列举了本产品 RISC-V 处理器内核的控制状态寄存器组（control and status registers），简称为 CSR。

CSR 属于 RISC-V CPU 私有的寄存器，RISC-V 规范定义了一系列标准的 CSR，处理器厂家也可以在 CPU 中实现 CSR 支持非标准的功能。

CSR 主要功能有：

- 包含处理器固有信息相关：例如处理器的厂商信息，架构信息，核心数等；
- 中断相关：例如中断开关以及中断入口等信息；
- 中断响应相关：例如中断原因，中断返回地址等信息；
- 存储器保护相关：设置不同地址空间的存储器的访问属性，例如可读可写可执行等等；
- 性能统计相关和调试接口相关

RISC-V 指令集定义了一系列访问 CSR 的指令，用户可以通过这些指令来操作 CSR 寄存器，如：

```
csrr rd, csr   //Read CSR
csrw csr, rs   //Write CSR
```

用户可以查询 RISC-V 相关规范以了解更多的相关信息。

3.1 控制状态寄存器 CSR 说明

控制状态寄存器 CSR 列表如下，注意列表中的地址偏移，代表 RISC-V CPU 的 CSR 的编码空间地址：

地址偏移	名称	描述	类型	复位值
0x000	USTATUS	用户状态寄存器	standard read/write	0x00000000
0x004	UIE	用户中断使能	standard read/write	0x00000000
0x005	UTVEC	用户 trap 向量基地址	standard read/write	0x00000000
0x040	USCRATCH	用户暂存登记表	standard read/write	0x00000000
0x041	UEPC	用户异常程序计数器	standard read/write	0x00000000
0x042	UCAUSE	用户原因寄存器	standard read/write	0x00000000
0x043	UTVAL	用户 trap 值	standard read/write	0x00000000
0x044	UIP	用户中断未决	standard read/write	0x00000000
0x100	SSTATUS	特权状态	standard read/write	0x00000000
0x102	SEDELEG	特权异常委托	standard read/write	0x00000000
0x103	SIDELEG	特权中断委托	standard read/write	0x00000000
0x104	SIE	监控中断使能	standard read/write	0x00000000
0x105	STVEC	特权模式 trap 向量基地址	standard read/write	0x00000000
0x106	SCOUNTEREN	特权模式计数器使能寄存器	non-standard read/write	0x00000000
0x140	SSCRATCH	特权暂存器	standard read/write	0x00000000
0x141	SEPC	特权异常程序计数器	standard read/write	0x00000000
0x142	SCAUSE	特权原因登记	standard read/write	0x00000000
0x143	STVAL	特权 trap 值	standard read/write	0x00000000
0x144	SIP	特权中断待处理	standard read/write	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	类型	复位值
0x180	SATP	特权地址转换和保护	standard read/write	0x00000000
0x300	MSTATUS	机器模式状态	standard read/write	0x00001800
0x301	MISA	机器模式指令集架构寄存器	standard read/write	-
0x302	MEDELEG	机器模式异常委托	standard read/write	0x00000000
0x303	MIDELEG	机器模式中断委托	standard read/write	0x00000000
0x304	MIE	机器模式中断使能	standard read/write	0x00000000
0x305	MTVEC	机器模式 trap 向量基地址	standard read/write	0x00000000
0x306	MCOUNTEREN	机器计数器使能	standard read/write	0x00000000
0x320	MCOUNTINHIBIT	机器模式禁止计数	non-standard read/write	0x00000000
0x323	MHPMEVENT3	机器模式性能监控事件选择器	standard read/write	0x00000000
0x324	MHPMEVENT4	机器模式性能监控事件选择器	standard read/write	0x00000000
0x325	MHPMEVENT5	机器模式性能监控事件选择器	standard read/write	0x00000000
0x326	MHPMEVENT6	机器模式性能监控事件选择器	standard read/write	0x00000000
0x340	MSCRATCH	机器模式擦写寄存器	standard read/write	0x00000000
0x341	MEPC	机器模式异常程序计数器	standard read/write	0x00000000
0x342	MCAUSE	机器模式异常原因寄存器	standard read/write	0x00000000
0x343	MTVAL	机器模式 trap 值寄存器	standard read/write	0x00000000
0x344	MIP	机器模式中断未决	standard read/write	0x00000000
0x3A0	PMPCFG0	PMP 配置寄存器	standard read/write	0x00000000
0x3A1	PMPCFG1	PMP 配置寄存器	standard read/write	0x00000000
0x3A2	PMPCFG2	PMP 配置寄存器	standard read/write	0x00000000
0x3A3	PMPCFG3	PMP 配置寄存器	standard read/write	0x00000000
0x3B0	PMPADDR[PMPADDR0]	PMP 地址寄存器	standard read/write	-
0x3B1	PMPADDR[PMPADDR1]	PMP 地址寄存器	standard read/write	-
0x3B2	PMPADDR[PMPADDR2]	PMP 地址寄存器	standard read/write	-
0x3B3	PMPADDR[PMPADDR3]	PMP 地址寄存器	standard read/write	-
0x3B4	PMPADDR[PMPADDR4]	PMP 地址寄存器	standard read/write	-
0x3B5	PMPADDR[PMPADDR5]	PMP 地址寄存器	standard read/write	-
0x3B6	PMPADDR[PMPADDR6]	PMP 地址寄存器	standard read/write	-
0x3B7	PMPADDR[PMPADDR7]	PMP 地址寄存器	standard read/write	-
0x3B8	PMPADDR[PMPADDR8]	PMP 地址寄存器	standard read/write	-
0x3B9	PMPADDR[PMPADDR9]	PMP 地址寄存器	standard read/write	-
0x3BA	PMPADDR[PMPADDR10]	PMP 地址寄存器	standard read/write	-
0x3BB	PMPADDR[PMPADDR11]	PMP 地址寄存器	standard read/write	-
0x3BC	PMPADDR[PMPADDR12]	PMP 地址寄存器	standard read/write	-

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	类型	复位值
0x3BD	PMPADDR[PMPADDR13]	PMP 地址寄存器	standard read/write	-
0x3BE	PMPADDR[PMPADDR14]	PMP 地址寄存器	standard read/write	-
0x3BF	PMPADDR[PMPADDR15]	PMP 地址寄存器	standard read/write	-
0x7A0	TSELECT	trigger 选择	standard read/write	0x00000000
0x7A1	TDATA1	trigger 数据 1	standard read/write	0x20000000
0x7A1	MCONTROL	匹配控制	standard read/write	0x22400000
0x7A1	ICOUNT	指令计数	standard read/write	0x20000400
0x7A1	ITRIGGER	中断触发	standard read/write	0x20000000
0x7A1	ETRIGGER	异常 trigger	standard read/write	0x20000000
0x7A2	TDATA2	trigger 数据 2	standard read/write	0x00000000
0x7A3	TDATA3	triggr 数据 3	standard read/write	0x00000000
0x7A3	TEXTRA	额外触发	standard read/write	0x00000000
0x7A4	TINFO	trigger 信息	standard read/write	-
0x7A5	TCONTROL	trigger 控制	standard read/write	0x00000000
0x7A8	MCONTEXT	机器模式上下文	standard read/write	0x00000000
0x7AA	SCONTEXT	特权模式上下文	standard read/write	0x00000000
0x7B0	DCSR	调试控制和状态寄存器	debug-mode-only	0x40000603
0x7B1	DPC	调试程序计数器	debug-mode-only	0x00000000
0x7B2	DSCRATCH0	调试暂存寄存器 0	debug-mode-only	0x00000000
0x7B3	DSCRATCH1	调试暂存寄存器 1	debug-mode-only	0x00000000
0x7C0	MILMB	指令本地存储器基址寄存器	non-standard read/write	-
0x7C1	MDLMB	数据本地存储器基址寄存器	non-standard read/write	-
0x7C2	MECC_CODE	ECC 代码寄存器	non-standard read/write	0x00000001
0x7C3	MNVEC	NMI 向量基地址寄存器	non-standard read/write	-
0x7C4	MXSTATUS	机器模式扩展状态	non-standard read/write	0x00000000
0x7C5	MPFT_CTL	性能节流控制寄存器	non-standard read/write	0x00000000
0x7C6	MHSP_CTL	机器模式硬件堆栈保护控制	non-standard read/write	0x00000000
0x7C7	MSP_BOUND	机器模式 SP 绑定寄存器	non-standard read/write	0xFFFFFFFF
0x7C8	MSP_BASE	机器模式 SP 基址寄存器	non-standard read/write	0xFFFFFFFF
0x7C9	MDCAUSE	机器模式详细 trap 原因	non-standard read/write	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	类型	复位值
0x7CA	MCACHE_CTL	缓存控制寄存器	non-standard read/write	0x00001800
0x7CB	MCCTLBEGINADDR	机器模式 CCTL 起始地址	non-standard read/write	0x00000000
0x7CC	MCCTLCOMMAND	机器模式 CCTL 命令	non-standard read/write	0x00000000
0x7CD	MCCTLDATA	机器模式 CCTL 数据	non-standard read/write	0x00000000
0x7CE	MCOUNTERWEN	机器计数器写使能	non-standard read/write	0x00000000
0x7CF	MCOUNTERINTEN	机器计数器中断使能	non-standard read/write	0x00000000
0x7D0	MMISC_CTL	机器模式杂项控制寄存器	non-standard read/write	0x00000048
0x7D1	MCOUNTERMASK_M	机器模式的机器计数器掩码	non-standard read/write	0x00000000
0x7D2	MCOUNTERMASK_S	特权模式的机器计数器掩码	non-standard read/write	0x00000000
0x7D3	MCOUNTERMASK_U	用户模式的机器计数器掩码	non-standard read/write	0x00000000
0x7D4	MCOUNTEROVF	机器计数器溢出状态	non-standard read/write	0x00000000
0x7D5	MSLIDELEG	机器特权模式本地中断委托	non-standard read/write	0x00000000
0x7DF	MCLK_CTL	时钟控制寄存器	non-standard read/write	0x01FFFC07
0x7E0	DEXC2DBG	异常重定向寄存器	non-standard read/write	0x00000000
0x7E1	DDCAUSE	调试异常详细原因	non-standard read/write	0x00000000
0x800	UITB	指令表基地址寄存器	non-standard read/write	0x00000000
0x801	UCODE	代码寄存器	non-standard read/write	0x00000000
0x809	UDCAUSE	用户详细的 trap 原因	non-standard read/write	0x00000000
0x80B	UCCTLBEGINADDR	用户 CCTL 起始地址	non-standard read/write	0x00000000
0x80C	UCCTLCOMMAND	用户 CCTL 命令	non-standard read/write	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	类型	复位值
0x9C4	SLIE	特权本地中断使能	non-standard read/write	0x00000000
0x9C5	SLIP	特权本地中断未决	non-standard read/write	0x00000000
0x9C9	SDCAUSE	特权详细陷阱原因	non-standard read/write	0x00000000
0x9CD	SCCTLDATA	特权 CCTL 数据	non-standard read/write	0x00000000
0x9CF	SCOUNTERINTEN	特权计数器中断使能	non-standard read/write	0x00000000
0x9D1	SCOUNTERMASK_M	机器模式模式的特权计数器掩码	non-standard read/write	0x00000000
0x9D2	SCOUNTERMASK_S	特权模式的特权计数器掩码	non-standard read/write	0x00000000
0x9D3	SCOUNTERMASK_U	用户模式的特权计数器掩码	non-standard read/write	0x00000000
0x9D4	SCOUNTEROVF	特权计数器溢出状态	non-standard read/write	0x00000000
0x9E0	SCOUNTINHIBIT	特权反禁止	non-standard read/write	0x00000000
0x9E3	SHPMEVENT3	特权模式性能监控事件选择器	non-standard read/write	0x00000000
0x9E4	SHPMEVENT4	特权模式性能监控事件选择器	non-standard read/write	0x00000000
0x9E5	SHPMEVENT5	特权模式性能监控事件选择器	non-standard read/write	0x00000000
0x9E6	SHPMEVENT6	特权模式性能监控事件选择器	non-standard read/write	0x00000000
0xB00	MCYCLE	机器模式循环计数器	standard read/write	0x00000000
0xB02	MINSTRET	机器模式指令报废计数器	standard read/write	0x00000000
0xB03	MHPMCOUNTER3	机器模式性能监控计数器	standard read/write	0x00000000
0xB04	MHPMCOUNTER4	机器模式性能监控计数器	standard read/write	0x00000000
0xB05	MHPMCOUNTER5	机器模式性能监控计数器	standard read/write	0x00000000
0xB06	MHPMCOUNTER6	机器模式性能监控计数器	standard read/write	0x00000000
0xB80	MCYCLEH	机器模式循环计数器	standard read/write	0x00000000
0xB82	MINSTRETH	机器模式指令报废计数器	standard read/write	0x00000000
0xB83	MHPMCOUNTER3H	机器模式性能监控计数器	standard read/write	0x00000000
0xB84	MHPMCOUNTER4H	机器模式性能监控计数器	standard read/write	0x00000000
0xB85	MHPMCOUNTER5H	机器模式性能监控计数器	standard read/write	0x00000000
0xB86	MHPMCOUNTER6H	机器模式性能监控计数器	standard read/write	0x00000000
0xBC0	PMACFG0	PMA 配置寄存器	standard read/write	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	类型	复位值
0xBC1	PMACFG1	PMA 配置寄存器	standard read/write	0x00000000
0xBC2	PMACFG2	PMA 配置寄存器	standard read/write	0x00000000
0xBC3	PMACFG3	PMA 配置寄存器	standard read/write	0x00000000
0xBD0	PMAADDR[PMAADDR0]	PMA 地址寄存器	standard read/write	-
0xBD1	PMAADDR[PMAADDR1]	PMA 地址寄存器	standard read/write	-
0xBD2	PMAADDR[PMAADDR2]	PMA 地址寄存器	standard read/write	-
0xBD3	PMAADDR[PMAADDR3]	PMA 地址寄存器	standard read/write	-
0xBD4	PMAADDR[PMAADDR4]	PMA 地址寄存器	standard read/write	-
0xBD5	PMAADDR[PMAADDR5]	PMA 地址寄存器	standard read/write	-
0xBD6	PMAADDR[PMAADDR6]	PMA 地址寄存器	standard read/write	-
0xBD7	PMAADDR[PMAADDR7]	PMA 地址寄存器	standard read/write	-
0xBD8	PMAADDR[PMAADDR8]	PMA 地址寄存器	standard read/write	-
0xBD9	PMAADDR[PMAADDR9]	PMA 地址寄存器	standard read/write	-
0xBDA	PMAADDR[PMAADDR10]	PMA 地址寄存器	standard read/write	-
0xBDB	PMAADDR[PMAADDR11]	PMA 地址寄存器	standard read/write	-
0xBDC	PMAADDR[PMAADDR12]	PMA 地址寄存器	standard read/write	-
0xBDD	PMAADDR[PMAADDR13]	PMA 地址寄存器	standard read/write	-
0xBDE	PMAADDR[PMAADDR14]	PMA 地址寄存器	standard read/write	-
0xBDF	PMAADDR[PMAADDR15]	PMA 地址寄存器	standard read/write	-
0xC00	CYCLE	CYCLE 寄存器		0x00000000
0xC80	CYCLEH	CYCLE 高 32 位寄存器		0x00000000
0xF11	MVENDORID	机器模式供应商 ID 寄存器	standard read only	0x0000031E
0xF12	MARCHID	机器模式架构 ID 寄存器	standard read only	0x00000045
0xF13	MIMPID	机器模式实现 ID 寄存器	standard read only	-
0xF14	MHARTID	HartID 寄存器	standard read only	0x00000000

表 3: CSR 寄存器列表

3.2 控制状态寄存器 CSR 详细信息

控制状态寄存器 CSR 的详细说明如下：

3.2.1 USTATUS (0x0) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																											UPIE	RSVD			UIE
N/A																											RW	N/A			RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	x	x	x	0

USTATUS [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
4	UPIE	UPIE 在异常之前保存 UIE 位的值。
0	UIE	U 模式中断使能位。 0：禁用 1：启用

USTATUS 位域

3.2.2 UIE (0x4) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																							UEIE	RSVD			UTIE	RSVD			USIE
N/A																							RW	N/A			RW	N/A			RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	x	x	x	0	x	x	x	0

UIE [31:0]

位域	名称	描述
8	UEIE	U 模式外部中断使能位 0：禁用 1：启用
4	UTIE	U 模式定时器中断使能位。 0：禁用 1：启用
0	USIE	U 模式软件中断使能位。 0：禁用 1：启用

UIE 位域

3.2.3 UTVEC (0x5) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BASE_31_2																														RSVD	
RW																														N/A	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x

UTVEC [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-2	BASE_31_2	中断和异常处理程序的基址。当 PLIC 处于矢量模式时，请参阅上面的描述以了解对齐要求。

UTVEC 位域

3.2.4 USCRATCH (0x40) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
USCRATCH																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

USCRATCH [31:0]

位域	名称	描述
31-0	USCRATCH	暂存寄存器存储。

USCRATCH 位域

3.2.5 UEPC (0x41) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EPC																															RSVD
RW																															N/A
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x

UEPC [31:0]

位域	名称	描述
31-1	EPC	异常程序计数器。

UEPC 位域

3.2.6 UCAUSE (0x42) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INTERRUPT	RSVD																					EXCEPTION_CODE									

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RW	N/A																					RW									
0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0

UCAUSE [31:0]

位域	名称	描述
31	INTERRUPT	中断
9-0	EXCEPTION_CODE	异常代码。 当中断为 1 时： 0：用户软件中断 4：用户定时器中断 8：用户外部中断 当中断为 0 时： 0：指令地址未对齐 1：指令访问错误 2：非法指令 3：断点 4：加载地址未对齐 5：负载访问故障 6：Store/AMO 地址未对齐 7：Store/AMO 访问故障 8：U-mode 环境调用 9-11：保留 12：指令缺页 13：加载页面错误 14：保留 15: Store/AMO 页面错误 32：堆栈溢出异常 33：堆栈下溢异常 40-47：保留

UCAUSE 位域

3.2.7 UTVAL (0x43) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UTVAL																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

UTVAL [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-0	UTVAL	软件 trap 处理的异常特定信息。

UTVAL 位域

3.2.8 UIP (0x44) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																							UEIP	RSVD			UTIP	RSVD			USIP
N/A																							RW	N/A			RW	N/A			RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	x	x	x	0	x	x	x	0

UIP [31:0]

位域	名称	描述
8	UEIP	U 模式外部中断挂起位。 0：未挂起 1：待定
4	UTIP	U 模式定时器中断挂起位。 0：未挂起 1：待定
0	USIP	U 模式软件中断挂起位。 0：未挂起 1：待定

UIP 位域

3.2.9 SSTATUS (0x100) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SD	RSVD											MXR	SUM	RSVD	XS		FS		RSVD				SPP	RSVD		SPIE	UPIE	RSVD		SIE	UIE
RO	N/A											RW	RW	N/A	RO		RW		N/A				RW	N/A		RW	RW	N/A		RW	RW
0	x	x	x	x	x	x	x	x	x	x	x	0	0	x	0	0	0	0	x	x	x	x	0	x	x	0	0	x	x	0	0

SSTATUS [31:0]

位域	名称	描述
31	SD	SD 总结了 FS 字段或 XS 字段是否脏。
19	MXR	MXR 控制只执行页面是否可读。当基于页面的虚拟内存无效时，它没有任何影响。 0：只执行页面不可读 1：只执行页面是可读的

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
18	SUM	SUM 控制在启用页面转换时是否允许对用户可访问页面的 S 模式加载/存储指令。它在两种情况下有效：（a）MPRV=1 和 MPP=S 的 M 模式，(b) 在 S 模式下，当基于页的虚拟内存无效时，它没有影响。当相应 PTE 条目的 U 位为 1 时，用户可以访问页面。 0：不允许 1：允许
16-15	XS	XS 保存 ACE 指令的架构状态（ACE 寄存器）的状态。如果未配置 ACE 扩展，则该字段的值为零。 该领域主要由软件管理。处理器硬件在两个方面协助状态管理： XS 为 Off 时触发非法指令异常。 当 XS 不是 Off 时，随着 ACE 指令的执行，XS 更新为脏状态。更改此字段的设置对 ACE 状态的内容没有影响。特别是，将 XS 设置为 Off 不会破坏状态，将 XS 设置为 Initial 也不会清除内容。 mstatus 和 sstatus 共享相同的 XS 位副本。通常，管理员模式特权软件将使用 XS 位来管理 ACE 状态的延迟上下文切换。机器模式软件在使用 XS 位管理上下文切换时应该更加保守 0：关 1：初始 2：清洁 3：脏
14-13	FS	FS 保存着浮点单元的架构状态的状态，包括 fcsr CSR 和 f0 -f31 浮点数据寄存器。如果处理器没有 FPU，则该字段的值为零且只读。该领域主要由软件管理。处理器硬件在两个方面协助状态管理： 当 FS 关闭时，尝试访问 fcsr 或任何 f 寄存器会引发非法指令异常。否则，任何更新 fcsr 或任何 f 寄存器的指令都会将 FS 更新为脏状态。更改此字段的设置对浮点寄存器状态的内容没有影响。特别是，将 FS 设置为 Off 不会破坏状态，将 FS 设置为 Initial 也不会清除内容。mstatus 和 sstatus 共享相同的 FS 位副本。通常，管理员模式特权软件将使用 FS 位来管理 FPU 状态的延迟上下文切换。机器模式软件在使用 FS 位管理上下文切换时应该更加保守。 0：关 1：初始 2：清洁 3：脏
8	SPP	SPP 持有异常之前的特权模式。S 模式编码为 1，U 模式编码为 0。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
5	SPIE	SPIE 在异常之前保存 SIE 位的值。
4	UPIE	UPIE 在异常之前保存 UIE 位的值。
1	SIE	S 模式中断使能位 0 已禁用 1 启用
0	UIE	U 模式中断使能位。 0 已禁用 1 启用

SSTATUS 位域

3.2.10 SEDELEG (0x102) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																SPF	RSVD	LPF	IPF	RSVD			UEC	SAF	SAM	LAF	LAM	B	II	IAF	IAM
N/A																RW	N/A	RW	RW	N/A			RW	RW	RW	RW	RW	RW	RW	RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	x	0	0	x	x	x	0	0	0	0	0	0	0	0	0

SEDELEG [31:0]

位域	名称	描述
15	SPF	SPF 表示是否将 Store/AMO 页错误异常委托给 U-mode 0：不重定向 1：重定向
13	LPF	LPF 指示是否将加载页面错误异常委托给 U-mode 0：不重定向 1：重定向
12	IPF	IPF 指示是否将指令页错误异常委托给 U 模式 0：不重定向 1：重定向
8	UEC	UEC 表示是否将来自 U-mode 的环境调用触发的异常委托给 U-mode 0：不重定向 1：重定向
7	SAF	SAF 指示是否将 Store/AMO 访问故障异常委托给 U-mode 0：不重定向 1：重定向
6	SAM	SAM 指示是否将存储/AMO 地址未对齐异常委托给 U 模式 0：不重定向 1：重定向

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
5	LAF	LAF 指示是否将负载访问故障异常委托给 U 模式 0：不重定向 1：重定向
4	LAM	LAM 指示是否将加载地址未对齐异常委托给 U 模式 0：不重定向 1：重定向
3	B	B 表示断点触发的异常是否会委托给 U-mode 0：不重定向 1：重定向
2	II	II 指示是否将非法指令异常委托给 U 模式 0：不重定向 1：重定向
1	IAF	IAF 指示是否将指令访问错误异常委托给 U 模式 0：不重定向 1：重定向
0	IAM	IAM 指示指令地址未对齐异常是否将委托给 U 模式.. 0：不重定向 1：重定向

SEDELEG 位域

3.2.11 SIDELEG (0x103) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																							UEI	RSVD			UTI	RSVD			USI
N/A																							RW	N/A			RW	N/A			RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	x	x	x	0	x	x	x	0

SIDELEG [31:0]

位域	名称	描述
8	UEI	UEI 指示是否将 U-mode 外部中断委托给 S-mode 0：不重定向 1：重定向
4	UTI	UTI 指示是否将 U 模式定时器中断委托给 S 模式 0：不重定向 1：重定向
0	USI	USI 指示是否将 U 模式软件中断委托给 S 模式。 0：不重定向 1：重定向

SIDELEG 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

3.2.12 SIE (0x104) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																						SEIE	UEIE	RSVD		STIE	UTIE	RSVD		SSIE	USIE
N/A																						RW	RW	N/A		RW	RW	N/A		RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	x	x	0	0	x	x	0	0

SIE [31:0]

位域	名称	描述
9	SEIE	S 模式外部中断使能位 0：禁用 1：启用
8	UEIE	U 模式外部中断使能位 0：禁用 1：启用
5	STIE	S 模式定时器中断使能位。 0：禁用 1：启用
4	UTIE	U 模式定时器中断使能位 0：禁用 1：启用
1	SSIE	S 模式软件中断使能位。 0：禁用 1：启用
0	USIE	U 模式软件中断使能位。 0：禁用 1：启用

SIE 位域

3.2.13 STVEC (0x105) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BASE_31_2																														RSVD	
RW																														N/A	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x

STVEC [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-2	BASE_31_2	中断和异常处理程序的基址。当 PLIC 处于矢量模式时，请参阅上面的描述以了解对齐要求。

STVEC 位域

3.2.14 SCOUNTEREN (0x106) (non-standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																									HPM6	HPM5	HPM4	HPM3	IR	RSVD	CY
N/A																									RW	RW	RW	RW	RW	N/A	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	x	0

SCOUNTEREN [31:0]

位域	名称	描述
6	HPM6	见寄存器说明
5	HPM5	见寄存器说明
4	HPM4	见寄存器说明
3	HPM3	见寄存器说明
2	IR	见寄存器说明
0	CY	见寄存器说明

SCOUNTEREN 位域

3.2.15 SSCRATCH (0x140) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSCRATCH																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SSCRATCH [31:0]

位域	名称	描述
31-0	SSCRATCH	暂存寄存器存储。

SSCRATCH 位域

3.2.16 SEPC (0x141) (standard read/write)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EPC																															RSVD
RW																															N/A
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x

SEPC [31:0]

位域	名称	描述
31-1	EPC	异常程序计数器。

SEPC 位域

3.2.17 SCAUSE (0x142) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INTERRUPT	RSVD																					EXCEPTION_CODE									
RW	N/A																					RW									
0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0

SCAUSE [31:0]

位域	名称	描述
31	INTERRUPT	中断

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
9-0	EXCEPTION_CODE	异常代码。 当中断为 1 时： 0：用户软件中断 1：特权软件中断 4：用户定时器中断 5：特权定时器中断 8：用户外部中断 9：特权外部中断 256+16：从端口 ECC 错误中断（S 模式） 256+17：总线写事务错误中断（S-mode） 256+18：性能监视器溢出中断（S-mode） 当中断为 0 时： 0：指令地址未对齐 1：指令访问错误 2：非法指令 3：断点 4：加载地址未对齐 5：负载访问故障 6：Store/AMO 地址未对齐 7：Store/AMO 访问故障 8：U-mode 环境调用 9：来自 S 模式的环境调用 11:10：预约 12：指令缺页 13：加载页面错误 14：保留 15: Store/AMO 页面错误 32：堆栈溢出异常 33：堆栈下溢异常 40-47：保留

SCAUSE 位域

3.2.18 STVAL (0x143) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STVAL																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

STVAL [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-0	STVAL	软件 trap 处理的异常特定信息。

STVAL 位域

3.2.19 SIP (0x144) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																						SEIP	UEIP	RSVD		STIP	UTIP	RSVD		SSIP	USIP
N/A																						RO	RW	N/A		RO	RO	N/A		RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	x	x	0	0	x	x	0	0

SIP [31:0]

位域	名称	描述
9	SEIP	S 模式外部中断挂起位。 0：未挂起 1：挂起
8	UEIP	U 模式外部中断挂起位。 0：未挂起 1：挂起
5	STIP	S 模式定时器中断挂起位。 0：未挂起 1：挂起
4	UTIP	U 模式定时器中断挂起位 0：未挂起 1：挂起
1	SSIP	S 模式软件中断挂起位。 0：未挂起 1：挂起
0	USIP	U 模式软件中断挂起位。 0：未挂起 1：挂起

SIP 位域

3.2.20 SATP (0x180) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MODE	ASID									PPN																					
RW	RW									RW																					

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SATP [31:0]

位域	名称	描述
31	MODE	MODE 持有页面转换模式。当 MODE 为 Bare 时，虚拟地址等于 S-mode 中的物理地址。当不支持 MMU 时，此 CSR 将是硬连线到 0。 0：无页面翻译 1：基于页的 32 位虚拟寻址
30-22	ASID	ASID 保存地址空间标识符。
21-0	PPN	PPN 保存着根页表的物理页号。

SATP 位域

3.2.21 MSTATUS (0x300) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SD	RSVD								TSR	TW	TVM	MXR	SUM	MPRV	XS		FS		MPP		RSVD		SPP	MPIE	RSVD	SPIE	UPIE	MIE	RSVD	SIE	UIE
RO	N/A								RW	RW	RW	RW	RW	RW	RO		RW		RW		N/A		RW	RW	N/A	RW	RW	RW	N/A	RW	RW
0	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	1	1	x	x	0	0	x	0	0	0	x	0	0

MSTATUS [31:0]

位域	名称	描述
31	SD	SD 总结了 FS 字段或 XS 字段是否脏。
22	TSR	TSR 控制在 S 模式下执行 SRET 指令是否会引发非法指令异常。当不支持 S 模式时，它被硬连线为 0。 0：正常执行 1：引发异常
21	TW	TW 控制在 S 模式下执行 WFI 指令是否会引发非法指令异常。当不支持 S 模式时，它被硬连线为 0。 0：正常执行 1：引发异常
20	TVM	TVM 控制在 S 模式下执行某些虚拟内存操作是否会引发非法指令异常。这些操作包括访问 satp 寄存器和执行 SFENCE.VMA 指令。当不支持 S 模式时，它被硬连线为 0。 0：正常执行 1：引发异常

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
19	MXR	MXR 控制只执行页是否可读。当基于页的虚拟内存无效时它没有作用 0：只执行页面不可读 1：只执行页面是可读的
18	SUM	SUM 控制在启用页面转换时是否允许对用户可访问页面的 S 模式加载/存储指令。它在两种情况下有效：（a）MPRV=1 和 MPP=S 的 M 模式，(b) 在 S 模式下。当基于页面的虚拟内存无效时，它没有影响。当相应 PTE 条目的 U 位为 1 时，用户可以访问页面。当 S 模式时，它被硬连线为 0 不支持。 0：不允许 1：允许
17	MPRV	当 MPRV 位被设置时，加载和存储的内存访问权限由 MPP 字段指定。当 U 模式不可用时，该字段被硬连线为 0。
16-15	XS	XS 保存 ACE 指令的架构状态（ACE 寄存器）的状态。如果没有配置 ACE 扩展，这个字段的值为零。这个字段主要由软件管理。处理器硬件在两个方面辅助状态管理： XS 关闭时会触发非法指令异常。 当 XS 不是 Off 时，随着 ACE 指令的执行，XS 更新为 Dirty 状态。更改此字段的设置对 ACE 状态的内容没有影响。特别是，将 XS 设置为 Off 不会破坏状态，将 XS 设置为 Initial 也不会清除内容。 0：关 1：初始 2：清洁 3：脏
14-13	FS	FS 保存着浮点单元架构状态的状态，包括 fcsr CSR 和 f0 -f31 浮点数据寄存器。如果处理器没有 FPU，则该字段的值为零且只读。该字段主要由软件管理，在硬件电路方面，处理器可以在两方面进行辅助管理： 当 FS 关闭时，尝试访问 fcsr 或任何 f 寄存器会引发非法指令异常。 当 FS 为 Initial 或 Clean 时，通过执行更新 fcsr 或任何 f 寄存器的任何指令，FS 将更新为 Dirty 状态。更改此字段的设置对浮点寄存器状态的内容没有影响。特别是，将 FS 设置为 Off 不会破坏状态，将 FS 设置为 Initial 也不会清除内容。 0：关 1：初始 2：干净 3：脏
12-11	MPP	MPP 持有 trap 之前的特权模式。特权模式的编码在表 5 中描述。当 U 模式不可用时，该字段被硬连接到 3。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
8	SPP	SPP 持有 trap 之前的特权模式。S 模式编码为 1，U 模式编码为 0。
7	MPIE	MPIE 在 trap 之前保存 MIE 位的值。
5	SPIE	SPIE 在 trap 之前保存 SIE 位的值。
4	UPIE	UPIE 在 trap 之前保存 UIE 位的值。
3	MIE	M 模式中断使能位。 0：禁用 1：启用
1	SIE	S 模式中断使能位。 0：禁用 1：启用
0	UIE	U 模式中断使能位。 0：禁用 1：启用

MSTATUS 位域

3.2.22 MISA (0x301) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BASE		RSVD				Z	Y	X	W	V	U	T	S	R	Q	P	O	N	M	L	K	J	I	H	G	F	E	D	C	B	A
RO		N/A				RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO
0	1	x	x	x	x	0	0	1	0	0	*	0	*	0	0	0	0	*	1	0	0	0	1	0	0	*	0	*	1	0	*

MISA [31:0]

位域	名称	描述
31-30	BASE	本机基本整数 ISA 的通用寄存器宽度。 0：保留 1:32 2:64 3:128
25	Z	保留
24	Y	保留
23	X	存在非标准扩展
22	W	保留
21	V	暂为 Vector 扩展保留
20	U	用户模式实现 0：机器 1：机器 + 用户/机器 + 特权 + 用户
19	T	暂时保留用于事务性内存扩展

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
18	S	包含了特权模式 0：机器/机器 + 用户 1：机器 + 特权 + 用户
17	R	保留
16	Q	四精度浮点扩展
15	P	暂时保留用于 Packed-SIMD 扩展
14	O	保留
13	N	支持用户级中断 0：否 1：是
12	M	整数乘法/除法扩展
11	L	暂时保留用于十进制浮点扩展
10	K	保留
9	J	暂时保留用于动态翻译语言扩展
8	I	RV32I/64I/128I 基础 ISA
7	H	保留
6	G	存在额外的标准扩展
5	F	单精度浮点扩展 0：无 1：双精度 + 单精度/单精度
4	E	RV32E 基础 ISA
3	D	双精度浮点扩展 0：单精度/无 1：双精度 + 单精度
2	C	压缩扩展
1	B	暂保留用于位操作扩展
0	A	原子扩展 0：否 1：是

MISA 位域

3.2.23 MEDELEG (0x302) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																SPF	RSVD	LPF	IPF	RSVD		SEC	UEC	SAF	SAM	LAF	LAM	RSVD	II	IAF	IAM
N/A																RW	N/A	RW	RW	N/A		RW	RW	RW	RW	RW	RW	N/A	RW	RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	x	0	0	x	x	0	0	0	0	0	0	x	0	0	0

MEDELEG [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
15	SPF	SPF 指示是否将 Store/AMO 页错误异常委托给 S 模式。 0：不代表 1：委托
13	LPF	LPF 指示是否将加载页面错误异常委托给 S 模式。 0：不代表 1：委托
12	IPF	IPF 指示指令页面错误异常是否将委托给 S 模式。 0：不代表 1：委托
9	SEC	SEC 指示由 S-mode 的环境调用触发的异常是否将委托给 S-mode。 0：不代表 1：委托
8	UEC	UEC 指示由 U-mode 的环境调用触发的异常是否将委托给 S-mode。 0：不代表 1：委托
7	SAF	SAF 指示是否将存储/AMO 访问故障异常委托给 S 模式。 0：不代表 1：委托
6	SAM	SAM 指示是否将存储/AMO 地址未对齐异常委托给 S 模式 0：不代表 1：委托
5	LAF	LAF 指示是否将负载访问故障异常委托给 S 模式。 0：不代表 1：委托
4	LAM	LAM 指示是否将加载地址未对齐异常委托给 S 模式。 0：不代表 1：委托
2	II	II 指示是否将非法指令异常委托给 S 模式。 0：不代表 1：委托
1	IAF	IAF 指示是否将指令访问错误异常委托给 S 模式。 0：不代表 1：委托
0	IAM	IAM 指示指令地址未对齐异常是否将委托给 S-Mode 0：不代表 1：委托

MEDELEG 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

3.2.24 MIDELEG (0x303) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																						SEI	UEI	RSVD		STI	UTI	RSVD		SSI	USI
N/A																						RW	RW	N/A		RW	RW	N/A		RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	x	x	0	0	x	x	0	0

MIDELEG [31:0]

位域	名称	描述
9	SEI	SEI 指示是否将 S 模式外部中断委托给 S 模式。 0：不代表 1：委托
8	UEI	UEI 指示是否将 U 模式外部中断委托给 S 模式。 0：不代表 1：委托
5	STI	STI 指示是否将 S 模式定时器中断委托给 S 模式。 0：不代表 1：委托
4	UTI	UTI 指示是否将 U 模式定时器中断委托给 S 模式。 0：不代表 1：委托
1	SSI	SSI 指示是否将 S 模式软件中断委托给 S 模式。 0：不代表 1：委托
0	USI	USI 指示是否将 U 模式软件中断委托给 S 模式。 0：不代表 1：委托

MIDELEG 位域

3.2.25 MIE (0x304) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD													PMOVI	BWEI	IMECCI	RSVD				MEIE	RSVD	SEIE	UEIE	MTIE	RSVD	STIE	UTIE	MSIE	RSVD	SSIE	USIE
N/A													RW	RW	RW	N/A				RW	N/A	RW	RW	RW	N/A	RW	RW	RW	N/A	RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	x	x	x	x	0	x	0	0	0	x	0	0	0	x	0	0

MIE [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
18	PMOVI	性能监视器溢出本地中断使能位 0：禁用 1：启用
17	BWEI	总线读/写事务错误本地中断使能位。处理器可能会收到加载/存储指令或缓存写回的总线错误。 0：禁用 1：启用
16	IMECCI	不精确的 ECC 错误本地中断使能位。处理器可能会在从端口访问或缓存写回时收到不精确的 ECC 错误。 0：禁用 1：启用
11	MEIE	M 模式外部中断使能位 0：禁用 1：启用
9	SEIE	S 模式外部中断使能位 0：禁用 1：启用
8	UEIE	U 模式外部中断使能位 0：禁用 1：启用
7	MTIE	M 模式定时器中断使能位。 0：禁用 1：启用
5	STIE	S 模式定时器中断使能位。 0：禁用 1：启用
4	UTIE	U 模式定时器中断使能位。 0：禁用 1：启用
3	MSIE	M 模式软件中断使能位 0：禁用 1：启用
1	SSIE	S 模式软件中断使能位。 0：禁用 1：启用
0	USIE	U 模式软件中断使能位。 0：禁用 1：启用

MIE 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

3.2.26 MTVEC (0x305) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BASE_31_2																														RSVD	
RW																														N/A	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x

MTVEC [31:0]

位域	名称	描述
31-2	BASE_31_2	中断和异常处理程序的基址。当 PLIC 处于矢量模式时，请参阅上面的描述以了解对齐要求

MTVEC 位域

3.2.27 MCOUNTEREN (0x306) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																									HPM6	HPM5	HPM4	HPM3	IR	TM	CY
N/A																									RW	RW	RW	RW	RW	RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0

MCOUNTEREN [31:0]

位域	名称	描述
6	HPM6	见寄存器说明
5	HPM5	见寄存器说明
4	HPM4	见寄存器说明
3	HPM3	见寄存器说明
2	IR	见寄存器说明
1	TM	见寄存器说明
0	CY	见寄存器说明

MCOUNTEREN 位域

3.2.28 MCOUNTINHIBIT (0x320) (non-standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																									HPM6	HPM5	HPM4	HPM3	IR	TM	CY
N/A																									RW	RW	RW	RW	RW	RW	RW

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0

MCOUNTINHIBIT [31:0]

位域	名称	描述
6	HPM6	请参阅寄存器说明。
5	HPM5	请参阅寄存器说明。
4	HPM4	请参阅寄存器说明。
3	HPM3	请参阅寄存器说明。
2	IR	请参阅寄存器说明。
1	TM	请参阅寄存器说明。
0	CY	请参阅寄存器说明。

MCOUNTINHIBIT 位域

3.2.29 MHPMEVENT3 (0x323) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																							SEL					TYPE			
N/A																							RW					RW			
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0

MHPMEVENT3 [31:0]

位域	名称	描述
8-4	SEL	参见事件选择器表
3-0	TYPE	参见事件选择器表

MHPMEVENT3 位域

TYPE	SEL	事件名称	解释
0	1	Cycle count	Number of elapsed processor clock cycles
0	2	Retired instruction count	Number of retired instructions
0	3	Integer load instruction count	Number of retired load instructions (including LR).
0	4	Integer store instruction count	Number of retired store instructions (including SC).
0	5	Atomic instruction count	Number of retired atomic instructions (not including LR and SC).
0	6	System instruction count	Number of retired SYSTEM instructions(instructions with major opcode equal to 0b1110011).
0	7	Integer computational instruction count	Number of retired integer computational instructions.

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

TYPE	SEL	事件名称	解释
0	8	Conditional branch instruction count	Number of retired conditional branch instructions.
0	9	Taken conditional branch instruction count	Number of retired conditional branch instructions that are taken.
0	10	JAL instruction count	Number of retired JAL instructions.
0	11	JALR instruction count	Number of retired JALR instructions.This event selector also counts the events monitored by the return instruction count event selector defined in the next row.
0	12	Return instruction count	Number of retired return instructions. Return instructions are JALR instructions with zero immediate offset and the following operands: • (rd != x1/x5) and (rs1 == x1/x5) • rd == x1 and rs1 == x5 • rd == x5 and rs1 == x1
0	13	Control transfer instruction count	Number of retired unconditional jumps (JAL and JALR) and conditional branch instructions.
0	14	EXEC.IT instruction count	Number of retired EXEC.IT instructions.
0	15	Integer multiplication instruction count	Number of retired integer multiplication instructions.
0	16	Integer division instruction count	Number of retired integer division/remainder instructions.
0	17	Floating-point load instruction count	Number of retired floating-point load instructions.
0	18	Floating-point store instruction count	Number of retired floating-point store instructions.
0	19	Floating-point addition instruction count	Number of retired floating-point addition/subtraction instructions.
0	20	Floating-point multiplication instruction count	Number of retired floating-point multiplication instructions.
0	21	Floating-point fused multiply-add instruction count	Number of retired floating-point fused multiply-add/subtraction instructions (FMADD, FMSUB, FNMSUB, FNMADD).
0	22	Floating-point division or square-root instruction count	Number of retired floating-point division/square-root instructions.
0	23	Other floating-point instruction count	Number of retired floating-point instructions not counted by the previous floating-point instruction event selectors
0	24	Integer multiplication and add/sub instruction count	Number of retired integer multiplication and add/sub instructions.

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

TYPE	SEL	事件名称	解释
0	25	Retired operation count	Number of retired operations. a floating-point multiply-add instruction is counted as 2 operations. other instructions are counted as 1 operation
1	0	ILM access	Number of ILM transfers, including speculative instruction fetch, load/store accesses, ECC repair and slave port accesses.
1	1	DLM access	Number of DLM transfers, including speculative load/store accesses, ECC repair and slave port accesses.
1	2	I-Cache access	Number of completed I-Cache fetch access.
1	3	I-Cache miss	Number of I-Cache fetch miss.
1	4	D-Cache access	Number of completed D-Cache load-and-store access. Misaligned load/store accesses might increase this counter by either one or two, depending on access sizes and alignments. Only misaligned accesses crossing two cache lines are guaranteed to result in increment of two.
1	5	D-Cache miss	The event counts the number of D-Cache load-and-store miss. Misaligned load/store accesses might increase this counter by either zero, one or two, depending on access sizes, alignments and whether the accessed lines are in D-Cache.
1	6	D-Cache load access	Number of completed D-Cache load access. See the D-Cache access count event selector for the handling of misaligned load accesses.
1	7	D-Cache load miss	Number of D-Cache load miss. See the D-Cache miss count event selector for the handling of misaligned load accesses.
1	8	D-Cache store access	Number of completed D-Cache store access. See the D-Cache access count event selector for the handling of misaligned load accesses.
1	9	D-Cache store miss	Number of D-Cache store miss. See the D-Cache miss count event selector for the handling of misaligned load accesses.
1	10	D-Cache writeback	Number of D-Cache writeback.
1	11	Cycles waiting for I-Cache fill data	Number of cycles waiting for the return of the critical word of I-Cache misses from the system bus. This event selector does not monitor accesses to I/O regions or accesses to cacheable regions when I-Cache is turned off.

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

TYPE	SEL	事件名称	解释
1	12	Cycles waiting for D-Cache fill data	Number of cycles waiting for the return of the critical word of D-Cache misses from the system bus. This event selector does not monitor accesses to I/O regions or accesses to cacheable regions when D-Cache is turned off.
1	13	Uncached fetch data access from bus	Number of accesses of uncached instruction data returning from the system bus. This event selector monitors accesses to I/O regions or accesses to cacheable regions when I-Cache is not configured or off.
1	14	Uncached load data access from bus	Number of accesses of uncached load data returning from the system bus. This event selector monitors accesses to I/O regions or accesses to cacheable regions when D-Cache is not configured or off.
1	15	Cycles waiting for uncached fetch data from bus	Number of cycles waiting for the instruction data to return from the system bus. This event selector monitors accesses to I/O regions or accesses to cacheable regions when I-Cache is not configured or off.
1	16	Cycles waiting for uncached load data from bus	Number of cycles waiting for the load data to return from the system bus. This event selector monitors accesses to I/O regions or accesses to cacheable regions when D-Cache is not configured or off.
1	23	Hardware prefetch bus access	This event counts the bus accesses generated by the hardware data prefetcher.
2	0	Misprediction of conditional branches (direction)	Number of misprediction of committed conditional branches.
2	1	Misprediction of taken conditional branches (direction)	Number of misprediction of committed taken conditional branches.
2	2	Misprediction of targets of Return instructions	Number of misprediction of committed Return instruction.

表 4: Event Selectors

3.2.30 MHPMEVENT4 (0x324) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																							SEL					TYPE			
N/A																							RW					RW			

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0

MHPMEVENT4 [31:0]

位域	名称	描述
8-4	SEL	参见事件选择器表
3-0	TYPE	参见事件选择器表

MHPMEVENT4 位域

3.2.31 MHPMEVENT5 (0x325) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																							SEL					TYPE			
N/A																							RW					RW			
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0

MHPMEVENT5 [31:0]

位域	名称	描述
8-4	SEL	参见事件选择器表
3-0	TYPE	参见事件选择器表

MHPMEVENT5 位域

3.2.32 MHPMEVENT6 (0x326) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																							SEL					TYPE			
N/A																							RW					RW			
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0

MHPMEVENT6 [31:0]

位域	名称	描述
8-4	SEL	参见事件选择器表
3-0	TYPE	参见事件选择器表

MHPMEVENT6 位域

3.2.33 MSCRATCH (0x340) (standard read/write)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MSCRATCH																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MSCRATCH [31:0]

位域	名称	描述
31-0	MSCRATCH	暂存寄存器存储。

MSCRATCH 位域

3.2.34 MEPC (0x341) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EPC																															RSVD
RW																															N/A
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x

MEPC [31:0]

位域	名称	描述
31-1	EPC	异常程序计数器。

MEPC 位域

3.2.35 MCAUSE (0x342) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INTERRUPT	RSVD																			EXCEPTION_CODE											
RW	N/A																			RW											
0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0

MCAUSE [31:0]

位域	名称	描述
31	INTERRUPT	中断

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
11-0	EXCEPTION_CODE	异常代码当中断为 1 时，该值表示： 0：用户软件中断 1：特权软件中断 3：机器软件中断 4：用户定时器中断 5：监控定时器中断 7：机器定时器中断 8：用户外部中断 9：特权外部中断 11：机器外部中断 16：不精确的 ECC 错误中断（从端口访问、D-Cache 驱逐和非阻塞加载/存储）（M 模式） 17：总线读/写事务错误中断（M-mode） 18：性能监视器溢出中断（M-mode） 256+16：不精确的 ECC 错误中断（从端口访问、D-Cache 驱逐和非阻塞加载/存储）（S 模式） 256+17：总线写事务错误中断（S-mode） 256+18：性能监视器溢出中断（S-mode） 当中断位为 0 时，该值表示： 0：指令地址未对齐 1：指令访问错误 2：非法指令 3：断点 4：加载地址未对齐 5：负载访问故障 6：Store/AMO 地址未对齐 7：Store/AMO 访问故障 8：U-mode 环境调用 9：来自 S 模式的环境调用 11：M 模式的环境调用 32：堆栈溢出异常 33：堆栈下溢异常 40-47：保留

MCAUSE 位域

3.2.36 MTVAL (0x343) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MTVAL																															

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MTVAL [31:0]

位域	名称	描述
31-0	MTVAL	软件 trap 处理的异常特定信息。

MTVAL 位域

3.2.37 MIP (0x344) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD													PMOVI	BWEI	IMECCI	RSVD				MEIP	RSVD	SEIP	UEIP	MTIP	RSVD	STIP	UTIP	MSIP	RSVD	SSIP	USIP
N/A													RW	RW	RW	N/A				RW	N/A	RW	RW	RW	N/A	RW	RW	RW	N/A	RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	x	x	x	x	0	x	0	0	0	x	0	0	0	x	0	0

MIP [31:0]

位域	名称	描述
18	PMOVI	性能监视器溢出本地中断挂起位。 0：未挂起 1：挂起
17	BWEI	总线读/写事务错误本地中断挂起位。处理器可能会收到加载/存储指令或缓存写回的总线错误。 0：未挂起 1：挂起
16	IMECCI	不精确的 ECC 错误本地中断使能位。处理器可能会在从端口访问或缓存写回时收到不精确的 ECC 错误。 0：未挂起 1：挂起
11	MEIP	M 模式外部中断挂起位。 0：未挂起 1：挂起
9	SEIP	S 模式外部中断挂起位。 0：未挂起 1：挂起
8	UEIP	U 模式外部中断挂起位。 0：未挂起 1：挂起

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
7	MTIP	M 模式定时器中断挂起位。 0：未挂起 1：挂起
5	STIP	S 模式定时器中断挂起位。 0：未挂起 1：挂起
4	UTIP	U 模式定时器中断挂起位 0：未挂起 1：挂起
3	MSIP	M 模式软件中断挂起位。 0：未挂起 1：挂起
1	SSIP	S 模式软件中断挂起位。 0：未挂起 1：挂起
0	USIP	U 模式软件中断挂起位。 0：未挂起 1：挂起

MIP 位域

3.2.38 PMPCFG0 (0x3A0) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PMP3CFG								PMP2CFG								PMP1CFG								PMP0CFG							
RW								RW								RW								RW							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PMPCFG0 [31:0]

位域	名称	描述
31-24	PMP3CFG	见 PMPCFG 表
23-16	PMP2CFG	见 PMPCFG 表
15-8	PMP1CFG	见 PMPCFG 表
7-0	PMP0CFG	见 PMPCFG 表

PMPCFG0 位域

3.2.39 PMPCFG1 (0x3A1) (standard read/write)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PMP7CFG								PMP6CFG								PMP5CFG								PMP4CFG							
RW								RW								RW								RW							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PMPCFG1 [31:0]

位域	名称	描述
31-24	PMP7CFG	见 PMPCFG 表
23-16	PMP6CFG	见 PMPCFG 表
15-8	PMP5CFG	见 PMPCFG 表
7-0	PMP4CFG	见 PMPCFG 表

PMPCFG1 位域

3.2.40 PMPCFG2 (0x3A2) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PMP11CFG								PMP10CFG								PMP9CFG								PMP8CFG							
RW								RW								RW								RW							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PMPCFG2 [31:0]

位域	名称	描述
31-24	PMP11CFG	见 PMPCFG 表
23-16	PMP10CFG	见 PMPCFG 表
15-8	PMP9CFG	见 PMPCFG 表
7-0	PMP8CFG	见 PMPCFG 表

PMPCFG2 位域

3.2.41 PMPCFG3 (0x3A3) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PMP15CFG								PMP14CFG								PMP13CFG								PMP12CFG							
RW								RW								RW								RW							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PMPCFG3 [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-24	PMP15CFG	见 PMPCFG 表
23-16	PMP14CFG	见 PMPCFG 表
15-8	PMP13CFG	见 PMPCFG 表
7-0	PMP12CFG	见 PMPCFG 表

PMPCFG3 位域

7	6	5	4	3	2	1	0
L	RSVD		A		X	W	R
W1S*	N/A		RW		RW	RW	RW
0	x	x	0	0	0	0	0

表 5: PMPCFG [7:0]

位域	名称	描述
7	L	Write lock and permission enforcement bit for Machine mode 0:Machine mode writes to PMP entry registers are allowed. R/W/X permissions apply to S and U modes. 1:For PMP entry i, writes to PMPiCFG and PMPADDRi are ignored. Additionally, if PMPiCFG.A is set to TOR, writes to pmpaddri-1 are ignored as well. As for permission enforcement, R/W/X permissions apply to all modes. This bit can only be cleared to 0 with a system reset.
4-3	A	Address matching mode. 0:OFF: Null region. 1:TOR: Top of range. For PMP entry 0, it matches any address A < pmpaddr0. For PMP entry i, it matches any address A such that pmpaddri > A >= pmpaddri-1. But the 4-byte range is not supported. 2:Reserved. 3:NAPOT: Naturally aligned power-of-2 region. This mode makes use of the low-order bits of the associated address register to encode the size of the range. The minimal size of NAPOT regions must be 8 bytes.
2	X	Instruction execution control. 0:Instruction execution is not allowed 1:Instruction execution is allowed.

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
1	W	Write access control. 0:Write accesses are not allowed. 1:Write accesses are allowed.
0	R	Read access control. 0:Read accesses are not allowed. 1:Read accesses are allowed.

表 6: PMPCFG 位域

3.2.42 PMPADDR[PMPADDR0] (0x3B0 + 0x1 * n) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PMPADDR_31_2																														RSVD	
RW																														N/A	
*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	x	x

PMPADDR [31:0]

位域	名称	描述
31-2	PMPADDR_31_2	寄存器内容：匹配大小（字节） aaaa. . . aaa0 8 aaaa. . . aa01 16 aaaa. . . a011 32 . . . . . aa01. . . 1111 2^{XLEN} a011. . . 1111 2^{XLEN+1} 0111. . . 1111 2^{XLEN+2} 1111. . . 1111 2^{XLEN+3*1}

PMPADDR 位域

3.2.43 TSELECT (0x7A0) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRIGGER_INDEX																															

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TSELECT [31:0]

位域	名称	描述
31-0	TRIGGER_INDEX	该寄存器确定哪个 trigger 可通过其他 trigger 寄存器访问。

TSELECT 位域

3.2.44 TDATA1 (0x7A1) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TYPE				DMODE	DATA																										
RW				RW	RW																										
0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TDATA1 [31:0]

位域	名称	描述
31-28	TYPE	表示 trigger 类型。 0：选择的 trigger 无效。 2：选择的 trigger 是地址/数据匹配 trigger。 3：选择的 trigger 是指令计数 trigger 4：选择的 trigger 为中断 trigger。 5：选择的 trigger 是异常 trigger。
27	DMODE	设置此字段以指示调试模式使用的 trigger。 0：Debug-mode 和 M-mode 都可以写当前选中的 trigger 寄存器。 1：只有调试模式可以写入当前选择的 trigger 寄存器。忽略来自 M 模式的写入。
26-0	DATA	特定 trigger 的数据

TDATA1 位域

3.2.45 MCONTROL (0x7A1) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TYPE				DMODE	MASKMAX						RSVD					ACTION				CHAIN	MATCH				M	RSVD	S	U	EXECUTE	STORE	LOAD
RW				RW	RO						N/A					RW				RW	RW				RW	N/A	RW	RW	RW	RW	RW
0	0	1	0	0	0	1	0	0	1	0	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	x	0	0	0	0	0

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

MCONTROL [31:0]

位域	名称	描述
31-28	TYPE	表示 trigger 类型。 0：选择的 trigger 无效。 2：选择的 trigger 是地址/数据匹配 trigger。
27	DMODE	设置此字段以指示调试模式使用 trigger。 0：Debug-mode 和 M-mode 都可以写当前选中的 trigger 寄存器 1：只有调试模式可以写入当前选择的 trigger 寄存器。忽略来自 M 模式的写入。
26-21	MASKMAX	表示硬件支持的最大自然对齐范围为 2^12 字节。
15-12	ACTION	设置此字段以选择此 trigger 匹配时会发生什么。 0：引发断点异常 1：进入调试模式。（仅当 DMODE 为 1 时才支持。）
11	CHAIN	设置此字段以启用 trigger 链。 0：当此 trigger 匹配时，执行配置的动作。 1：当这个 trigger 不匹配时，它阻止下一个索引的 trigger 匹配。 如果 trigger 数为 2，则该字段在触发器 1 上硬连线为 0 (tselect = 1)。 如果 trigger 数量为 4，则该字段是硬连线的 在 trigger 3 上变为 0 (tselect = 3)。 如果 trigger 数为 8，则该字段在 trigger 3 和 trigger 7 上硬连线为 0（tselect = 3 或 7）。
10-7	MATCH	设置该字段选择匹配方案。0：当值等于 tdata2 时匹配。1：当值的前 M 位与 tdata2 的前 M 位匹配时匹配。M 是 31 减去最低有效位的索引 tdata2 中包含 0。 2：当值大于（无符号）或等于 tdata2 时匹配。 3：当值小于（无符号）tdata2 时匹配
6	M	设置此字段以在 M 模式下启用此 trigger。
4	S	设置此字段以在 S 模式下启用此 trigger。
3	U	设置此字段以在 U 模式下启用此 trigger。
2	EXECUTE	设置此字段以启用此 trigger 来比较指令的虚拟地址。
1	STORE	设置此字段以启用此 trigger 来比较 store 的虚拟地址。
0	LOAD	设置此字段以启用此 trigger 以比较负载的虚拟地址。

MCONTROL 位域

3.2.46 ICOUNT (0x7A1) (standard read/write)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TYPE				DMODE	RSVD																COUNT	M	RSVD	S	U	ACTION					
RW				RW	N/A																RO	RW	N/A	RW	RW	RW					
0	0	1	0	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	1	0	x	0	0	0	0	0	0	0	0

ICOUNT [31:0]

位域	名称	描述
31-28	TYPE	选择的 trigger 是指令计数 trigger。
27	DMODE	设置此字段以指示调试模式使用 trigger。 0：Debug-mode 和 M-mode 都可以写当前选中的 trigger 寄存器。 1：只有调试模式可以写入当前选择的 trigger 寄存器。忽略来自 M 模式的写入。
10	COUNT	此字段硬连线为 1 以支持单步执行
9	M	设置此字段以在 M 模式下启用此 trigger。
7	S	设置此字段以在 S 模式下启用此 trigger。
6	U	设置此字段以在 U 模式下启用此 trigger。
5-0	ACTION	设置此字段以选择此 trigger 匹配时会发生什么。 0：引发断点异常 1：进入调试模式。（仅当 DMODE 为 1 时才支持。）

ICOUNT 位域

3.2.47 ITRIGGER (0x7A1) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TYPE				DMODE	RSVD																	M	RSVD	S	U	ACTION					
RW				RW	N/A																	RW	N/A	RW	RW	RW					
0	0	1	0	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	x	0	0	0	0	0	0	0	0

ITRIGGER [31:0]

位域	名称	描述
31-28	TYPE	所选 trigger 为中断 trigger。
27	DMODE	设置此字段以指示调试模式使用 trigger。 0：Debug-mode 和 M-mode 都可以写当前选中的 trigger 寄存器。 1：只有调试模式可以写入当前选择的 trigger 寄存器。忽略来自 M 模式的写入。
9	M	设置此字段以在 M 模式下启用此 trigger。
7	S	设置此字段以在 S 模式下启用此 trigger。
6	U	设置此字段以在 U 模式下启用此 trigger。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
5-0	ACTION	设置此字段以选择此 trigger 匹配时会发生什么。 0：引发断点异常。 1：进入调试模式。（仅当 DMODE 为 1 时才支持。）

ITRIGGER 位域

3.2.48 ETRIGGER (0x7A1) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TYPE				DMODE	RSVD																NMI	M	RSVD	S	U	ACTION					
RW				RW	N/A																RW	RW	N/A	RW	RW	RW					
0	0	1	0	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	x	0	0	0	0	0	0	0	0

ETRIGGER [31:0]

位域	名称	描述
31-28	TYPE	选择的 trigger 是异常 trigger。
27	DMODE	设置此字段以指示调试模式使用 trigger。 0：Debug-mode 和 M-mode 都可以写当前选中的 trigger 寄存器。 1：只有调试模式可以写入当前选择的 trigger 寄存器。忽略来自 M 模式的写入。
10	NMI	设置此字段以在不可屏蔽中断中启用此 trigger，而不管 s、u 和 m 的值如何。
9	M	设置此字段以在 M 模式下启用此 trigger。
7	S	设置此字段以在 S 模式下启用此 trigger。
6	U	设置此字段以在 U 模式下启用此 trigger。
5-0	ACTION	设置此字段以选择此 trigger 匹配时会发生什么。 0：引发断点异常 1：进入调试模式。（仅当 DMODE 为 1 时才支持。）

ETRIGGER 位域

3.2.49 TDATA2 (0x7A2) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TDATA2 [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-0	DATA	该寄存器提供对 tselect 寄存器选择的当前所选 trigger 寄存器的 tdata2 寄存器的访问，并且它保存特定于 trigger 的数据。

TDATA2 位域

3.2.50 TDATA3 (0x7A3) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TDATA3 [31:0]

位域	名称	描述
31-0	DATA	该寄存器提供对 tselect 寄存器选择的当前所选触发寄存器的 tdata3 寄存器的访问，并且它保存特定于触发器的数据。

TDATA3 位域

3.2.51 TEXTRA (0x7A3) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MVALUE						MSELECT	RSVD														SVALUE									SSELECT	
RW						RW	N/A														RW									RW	
0	0	0	0	0	0	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0

TEXTRA [31:0]

位域	名称	描述
31-26	MVALUE	与 MSELECT 一起使用的数据。
25	MSELECT	0：忽略 MVALUE。 1：此 trigger 仅在 mcontext 的低位等于 MVALUE 时匹配。
10-2	SVALUE	与 SSELECT 一起使用的数据。
1-0	SSELECT	0: 忽略 MVALUE 1：此 trigger 仅在 scontext 的低位等于 SVALUE 时匹配 2：此 trigger 仅在 satp.ASID 等于 SVALUE 时才匹配。

TEXTRA 位域

3.2.52 TINFO (0x7A4) (standard read/write)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																INFO															
N/A																RO															
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*

TINFO [31:0]

位域	名称	描述
15-0	INFO	tdata1 中每种可能类型的一位。位 N 对应于类型 N。如果设置了该位，那么当前选择的 trigger 支持类型。如果当前选择的 trigger 不存在，则该字段包含 1。 0：当该位被设置时，该 tselect 没有触发 1：保留并硬连线为 0。 2：设置该位时，选择的 trigger 支持地址/数据匹配 trigger 类型 3：当该位置位时，选择的 trigger 支持指令计数 trigger 类型。 4：当该位被设置时，选择的 trigger 支持中断 trigger 类型 5：当该位被设置时，选择的 trigger 支持异常 trigger 类型 15：当该位被设置时，选定的 trigger 存在（因此枚举不应终止），但当前不可用。 其他：保留以备将来使用。

TINFO 位域

3.2.53 TCONTROL (0x7A5) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																								MPTE	RSVD			MTE	RSVD		
N/A																								RW	N/A			RW	N/A		
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	x	x	x	0	x	x	x

TCONTROL [31:0]

位域	名称	描述
7	MPTE	M 模式先前 trigger 启用字段。当陷入 M 模式时，MPTE 被设置为 MTE 的值。
3	MTE	M-mode trigger enable field。当陷入 M-mode 的异常时，MTE 设置为 0。当执行 MRET 指令时，MTE 设置为 MPTE 的值。 0：当 hart 处于 M 模式时，trigger 不匹配/trigger。 1：当 hart 处于 M 模式时，trigger 会匹配/开火。

TCONTROL 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

3.2.54 MCONTEXT (0x7A8) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																										MCONTEXT					
N/A																										RW					
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0

MCONTEXT [31:0]

位域	名称	描述
5-0	MCONTEXT	机器模式软件可以将上下文编号写入该寄存器，可用于设置仅在该特定上下文中 trigger 的 trigger。

MCONTEXT 位域

3.2.55 SCONTEXT (0x7AA) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																							SCONTEXT								
N/A																							RW								
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0

SCONTEXT [31:0]

位域	名称	描述
8-0	SCONTEXT	机器模式软件可以将上下文编号写入该寄存器，可用于设置仅在该特定上下文中 trigger 的 trigger。

SCONTEXT 位域

3.2.56 DCSR (0x7B0) (debug-mode-only)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
XDEBUGVER				RSVD												EBREAKM	RSVD	EBREAKS	EBREAKU	STEPIE	STOPCOUNT	STOPTIME	CAUSE			RSVD	MPRVEN	NMIP	STEP	PRV	
RO				N/A												RW	N/A	RW	RW	RW	RW	RW	RO			N/A	RW	RO	RW	RW	
0	1	0	0	x	x	x	x	x	x	x	x	x	x	x	x	0	x	0	0	0	1	1	0	0	0	x	0	0	0	1	1

DCSR [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-28	XDEBUGVER	外部调试器的版本。0 表示不存在外部调试器，4 表示外部调试器符合 RISC-V External Debug Support (TD003) V0.13
15	EBREAKM	该位控制机器模式下 EBREAK 指令的行为 0：生成常规断点异常 1：进入调试模式
13	EBREAKS	该位控制 EBREAK 指令在特权用户模式下的行为。 0：生成常规断点异常 1：进入调试模式
12	EBREAKU	该位控制 EBREAK 指令在用户/应用程序模式下的行为 0：生成常规断点异常 1：进入调试模式
11	STEPIE	该位控制单步执行时是否启用中断 0：单步执行时禁止中断 1：允许单步中断
10	STOPCOUNT	该位控制是否在调试模式下停止性能计数器。 0：在调试模式下不停止计数器 1：在调试模式下停止计数器
9	STOPTIME	此位控制定时器在调试模式下是否停止。如果处理器处于调试模式并且此位已设置，则处理器仅将其停止时间输出引脚驱动为 1。需要集成工作以使平台中的定时器观察此引脚是否真正停止他们。 0：在调试模式下不停止定时器 1：在调试模式下停止定时器
8-6	CAUSE	进入调试模式的原因。当有多种原因进入调试模式时，确定 CAUSE 值的优先级将是：触发模块 >EBREAK>halt-on-reset>halt 请求 > 单步。Halt 请求是发出的请求通过外部调试器 0：保留 1：EBREAK 2：trigger 模块 3：hart 请求 4：单步 5：Halt-on-reset 6-7：保留
4	MPRVEN	该位控制 mstatus.MPRV 在调试模式下是否生效。 0: mstatus 中的 MPRV 在调试模式下被忽略。 1：mstatus 中的 MPRV 在 Debug 模式下生效。
3	NMIP	设置此位后，hart 将有一个不可屏蔽中断 (NMI) 待处理。由于 NMI 可以指示硬件错误情况，因此一旦设置了此位，就可能无法进行可靠的调试。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
2	STEP	该位控制非 DebugMode 指令执行是否处于单步模式。设置时，hart 在单条指令执行后返回 Debug Mode。如果由于异常指令没有完成，hart 将立即进入 Debug 执行异常处理程序之前的模式，并设置了适当的异常寄存器。 0：单步模式关闭 1：单步模式开启
1-0	PRV	进入调试模式时 hart 运行的权限级别。外部调试器可以修改此值以在退出调试模式时更改 hart 的权限级别。 0：用户/应用 1：特权 2：预留 3：机器

DCSR 位域

3.2.57 DPC (0x7B1) (debug-mode-only)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DPC																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DPC [31:0]

位域	名称	描述
31-0	DPC	调试程序计数器。位 0 硬连线为 0。

DPC 位域

3.2.58 DSCRATCH0 (0x7B2) (debug-mode-only)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSCRATCH																															
RO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DSCRATCH0 [31:0]

位域	名称	描述
31-0	DSCRATCH	保留供调试模块使用的暂存寄存器。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述

DSCRATCH0 位域

3.2.59 DSCRATCH1 (0x7B3) (debug-mode-only)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSCRATCH																															
RO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DSCRATCH1 [31:0]

位域	名称	描述
31-0	DSCRATCH	保留供调试模块使用的暂存寄存器。

DSCRATCH1 位域

3.2.60 MILMB (0x7C0) (non-standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IBPA																						RSVD						RWECC	ECCEN		IEN
RO																						N/A						RW	RW		RO
*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	x	x	x	x	x	x	0	0	0	1

MILMB [31:0]

位域	名称	描述
31-10	IBPA	ILM 的基本物理地址。它必须是 ILM 大小的整数倍
3	RWECC	控制 ILM RAM 的 ECC 代码的诊断访问。设置后，加载/存储到 ILM 将 ECC 代码读/写到 mecc_code 寄存器。可以设置此位以注入 ECC 错误以测试 ECC 处理程序。 0：禁用 ECC 代码的诊断访问 1：启用 ECC 代码的诊断访问
2-1	ECCEN	奇偶校验/ECC 使能控制： 0：禁用奇偶校验/ECC 1：预留 2：仅对不可纠正的奇偶校验/ECC 错误生成异常 3：对任何类型的奇偶校验/ECC 错误生成异常

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
0	IEN	ILM 使能控制： 0：ILM 被禁用 1：ILM 已启用

MILMB 位域

3.2.61 MDLMB (0x7C1) (non-standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DBPA																						RSVD						RWECC	ECCEN		DEN
RO																						N/A						RW	RW		RO
*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	x	x	x	x	x	x	0	0	0	1

MDLMB [31:0]

位域	名称	描述
31-10	DBPA	DLM 的基本物理地址。它必须是 DLM 大小的整数倍
3	RWECC	控制 DLM RAM 的 ECC 代码的诊断访问。设置后，加载/存储到 DLM 将 ECC 代码读/写到 mecc_code 寄存器。可以设置此位以注入 ECC 错误以测试 ECC 处理程序。 0：禁用 ECC 代码的诊断访问 1：启用 ECC 代码的诊断访问
2-1	ECCEN	奇偶校验/ECC 使能控制： 0：禁用奇偶校验/ECC 1：预留 2：仅对不可纠正的奇偶校验/ECC 错误生成异常 3：对任何类型的奇偶校验/ECC 错误生成异常
0	DEN	DLM 使能控制： 0：DLM 被禁用 1：DLM 已启用

MDLMB 位域

3.2.62 MECC_CODE (0x7C2) (non-standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD									INSN	RAMID				P	C	RSVD									CODE						
N/A									RO	RO				RO	RO	N/A									RW						
x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	1

MECC_CODE [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
22	INSN	指示奇偶校验/ECC 错误是由取指令还是数据访问引起的。 0：数据访问 1：指令获取
21-18	RAMID	导致奇偶校验/ECC 错误的 RAM 的 ID。该位在奇偶校验/ECC 错误异常时更新。 0-1: 保留 2：I-Cache 的 Tag RAM 3：I-Cache 的数据 RAM 4：D-Cache 的 Tag RAM 5：D-Cache 的数据 RAM 6：TLB 的标签 RAM 7：TLB 的数据 RAM 8: ILM 9: DLM 10-15：保留
17	P	精确错误。此位在奇偶校验/ECC 错误异常时更新。 0：不精确的错误 1：精确误差
16	C	可纠正错误。此位在奇偶校验/ECC 错误异常时更新。 0：不可纠正的错误 1：可纠正错误
6-0	CODE	该字段记录 ECC 错误异常的 ECC 值。当启用 ECC 代码的诊断访问时（milmb.RWECC 或 mdlmb.RWECC 为 1），此字段还用于读/写 ECC 代码。

MECC_CODE 位域

3.2.63 MNVEC (0x7C3) (non-standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MNVEC																															
RO																															
*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*

MNVEC [31:0]

位域	名称	描述
31-0	MNVEC	NMI 处理程序的基址。它的值是 reset_vector 的零扩展值。

MNVEC 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

3.2.64 MXSTATUS (0x7C4) (non-standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																										PDME	DME	RSVD		PPFT_EN	PFT_EN
N/A																										RW	RW	N/A		RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	x	x	0	0

MXSTATUS [31:0]

位域	名称	描述
5	PDME	用于在进入 trap 时保存之前的 DME 状态。如果不支持数据缓存和数据本地内存，则此字段硬连线为 0。
4	DME	机器数据错误标志。它表示数据缓存或数据本地内存 (DLM) 发生异常。设置此位时，加载/存储访问将绕过 D-Cache。处理完机器错误后，异常处理程序应清除该位。
1	PPFT_EN	当 mcause 是不精确异常（以中断的形式）时，PM 字段记录了导致不精确异常的指令的特权模式。PM 字段编码 定义如下： 0：用户模式 1：特权模式 2：保留 3：机器模式
0	PFT_EN	启用性能节流。启用节流后，处理器将在 mpft_ctl.T_LEVEL 中指定的性能级别执行指令。进入 trap 时： PPFT_EN <= PFT_EN; PFT_EN <= mpft_ctl.FAST_INT ? 0 :PFT_EN; 在执行 MRET 指令时： PFT_EN <= PPFT_EN; 如果不支持 PowerBrake 功能，则此字段硬连线为 0。

MXSTATUS 位域

3.2.65 MPFT_CTL (0x7C5) (non-standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																							FAST_INT	T_LEVEL				RSVD			
N/A																							RW	RW				N/A			
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	x	x	x	x

MPFT_CTL [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
8	FAST_INT	快速中断响应。如果设置了这个字段，当处理器进入中断处理程序时，mxstatus.PFT_EN 将被自动清除。
7-4	T_LEVEL	节流级别。处理器在节流级别 0 时性能最高，在节流级别最低时节流级别 15 的性能。 0：Level 0（最高性能） 1-14:1-14 级 15：Level 15（最低性能）

MPFT_CTL 位域

3.2.66 MHSP_CTL (0x7C6) (non-standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																										M	S	U	SCHM	UDF_EN	OVF_EN
N/A																										RW	RW	RW	RW	RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0

MHSP_CTL [31:0]

位域	名称	描述
5	M	在机器模式下启用 SP 保护和记录机制 0：该机制在机器模式下被禁用。 1：该机制在机器模式下启用。
4	S	在特权模式下启用 SP 保护和记录机制 0：特权模式下该机制被禁用 1：该机制在特权模式下启用
3	U	在用户模式下启用 SP 保护和记录机制 0：该机制在用户模式下被禁用 1：该机制在用户模式下启用。
2	SCHM	选择堆栈保护和记录机制的运行方案 0：堆栈上溢/下溢检测 1：栈顶记录
1	UDF_EN	堆栈下溢保护机制使能位。当发生堆栈保护（上溢或下溢）异常时，该位将被硬件自动清零。 0：堆栈下溢保护禁用 1：堆栈下溢保护使能。
0	OVF_EN	堆栈溢出保护和记录机制使能位。当发生堆栈保护（上溢或下溢）异常时，该位将被硬件自动清零。 0：禁用堆栈溢出保护和记录机制。 1：启用堆栈溢出保护和记录机制。

MHSP_CTL 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

3.2.67 MSP_BOUND (0x7C7) (non-standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MSP_BOUND																															
RW																															
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

MSP_BOUND [31:0]

位域	名称	描述
31-0	MSP_BOUND	机器 SP 绑定

MSP_BOUND 位域

3.2.68 MSP_BASE (0x7C8) (non-standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SP_BASE																															
RW																															
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

MSP_BASE [31:0]

位域	名称	描述
31-0	SP_BASE	机器 SP base

MSP_BASE 位域

3.2.69 MDCAUSE (0x7C9) (non-standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																									PM		RSVD		MDCAUSE		
N/A																									RW		N/A		RW		
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	x	x	0	0	0

MDCAUSE [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
6-5	PM	当 mcause 不是精确的异常（以中断的形式）时，PM 字段记录了导致不精确异常的指令的特权模式。PM 字段编码定义如下： 0：用户模式 1：特权模式 2：保留 3：机器模式
2-0	MDCAUSE	该寄存器进一步消除了 mcause 寄存器中记录的陷阱的原因。 精确异常的 MDCAUSE 值： 当 mcause == 1（指令访问错误）时： 0：保留；1：ECC/奇偶校验错误；2：PMP 指令访问冲突；3：总线错误；4：PMA 空孔访问 当 mcause == 2（非法指令）时： 0：请解析 mtval CSR；1：FP 禁用异常；2：ACE 禁用异常 当 mcause == 5 (Load access fault): 0：保留；1：ECC/奇偶校验错误；2：PMP 加载访问冲突；3：总线错误；4：地址错位；5：PMA 空孔访问；6：PMA 属性不一致；7:PMA NAMO 异常 当 mcause == 7（存储访问错误）时： 0：保留；1：ECC/奇偶校验错误；2：PMP 加载访问冲突；3：总线错误；4：地址错位；5：PMA 空孔访问；6：PMA 属性不一致；7:PMA NAMO 异常 不精确异常的 MDCAUSE 值： 当 mcause == Local Interrupt 16 或 Local Interrupt 272 (16 + 256)（ECC 错误本地中断） 0：保留；1：LM 从端口 ECC/Parity 错误；2：不精确存储 ECC/奇偶校验错误；3：不精确加载 ECC/奇偶校验错误 当 mcause == Local Interrupt 17 or Local Interrupt 273 (17 + 256) (Bus read/write transaction error local interrupt) 0：保留；1：总线读取错误；2：总线写错误；3：加载指令引起的 PMP 错误；4：存储指令导致的 PMP 错误；5：加载指令引起的 PMA 错误；6：存储指令导致的 PMA 错误

MDCAUSE 位域

3.2.70 MCACHE_CTL (0x7CA) (non-standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																	DC_WAROUND		DC_FIRST_WORD	IC_FIRST_WORD	DPREF_EN	IPREF_EN	CCTL_SUEN	DC_RWECC	IC_RWECC	DC_ECCEN		IC_ECCEN		DC_EN	IC_EN

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
N/A																	RW		RO	RO	RW	RW	RW	RW	RW	RW		RW		RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0

MCACHE_CTL [31:0]

位域	名称	描述
14-13	DC_WAROUND	缓存写回阈值 0：禁用流媒体。所有可缓存的写未命中都根据 PMA 设置分配一个缓存线。 1：在连续存储到 4 个缓存行后，无论 PMA 设置如何，停止分配 D-Cache 条目。 2：在连续存储到 64 个缓存行后，无论 PMA 设置如何，停止分配 D-Cache 条目。 3：在连续存储到 128 个缓存行后，无论 PMA 设置如何，停止分配 D-Cache 条目。
12	DC_FIRST_WORD	缓存未命中分配填充策略 0：缓存行数据先返回关键（双）字 1：缓存线数据先返回最低地址（双）字”
11	IC_FIRST_WORD	缓存未命中分配填充策略 0：缓存行数据先返回关键（双）字 1：缓存线数据先返回最低地址（双）字”
10	DPREF_EN	当 D-Cache 大小不为 0 时，该位控制硬件预取，用于对可缓存内存区域的加载/存储访问 0：在加载/存储内存访问时禁用硬件预取 1：在加载/存储内存访问时启用硬件预取
9	IPREF_EN	当缓存大小不为 0 时，此位控制硬件预取，以便将指令提取到可缓存的内存区域 0：在指令提取时禁用硬件预取 1：在指令取指时启用硬件预取
8	CCTL_SUEN	为特权模式和用户模式软件启用位以访问 ucctlbeginaddr 和 ucctlcommand CSR 0：在 S/U 模式下禁止 ucctlbeginaddr 和 ucctlcommand 访问 1：在 S/U 模式下启用 ucctlbeginaddr 和 ucctlcommand 访问
7	DC_RWECC	控制数据缓存 RAM 的 ECC 代码的诊断访问。设置它以启用 CCTL 操作以访问 ECC 代码。此位可以设置为注入 ECC 错误以测试 ECC 处理程序 0：禁用 ECC 代码的诊断访问 1：启用 ECC 代码的诊断访问

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
6	IC_RWECC	控制指令缓存 RAM 的 ECC 代码的诊断访问。设置它以启用 CCTL 操作以访问 ECC 代码。可以设置该位以注入 ECC 错误以测试 ECC 处理程序。 0：禁用 ECC 代码的诊断访问 1：启用 ECC 代码的诊断访问
5-4	DC_ECCEN	数据缓存奇偶校验/ECC 错误检查启用控制。 0：禁用奇偶校验/ECC 1：预留 2：仅对不可纠正的奇偶校验/ECC 错误生成异常 3：对任何类型的奇偶校验/ECC 错误生成异常
3-2	IC_ECCEN	指令缓存奇偶校验/ECc 错误检查启用控制 0：禁用奇偶校验/ECC 1：预留 2：仅对不可纠正的奇偶校验/ECC 错误生成异常 3：对任何类型的奇偶校验/ECC 错误生成异常
1	DC_EN	控制是否启用数据缓存。 0:D-Cache 被禁用 1:D-Cache 已启用
0	IC_EN	控制是否启用指令缓存。 0：I-Cache 被禁用 1：I-Cache 已启用

MCACHE_CTL 位域

3.2.71 MCCTLBEGINADDR (0x7CB) (non-standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VA																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MCCTLBEGINADDR [31:0]

位域	名称	描述
31-0	VA	该寄存器保存 CCTL 操作所需的地址信息

MCCTLBEGINADDR 位域

3.2.72 MCCTLCOMMAND (0x7CC) (non-standard read/write)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																											VA				
N/A																											RW				
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0

MCCTLCOMMAND [31:0]

位域	名称	描述
4-0	VA	参见 CCTL 命令定义表

MCCTLCOMMAND 位域

值 (DEC)	值 (BIN)	命令	类型
0	0b00_000	L1D_VA_INVAL	VA
1	0b00_001	L1D_VA_WB	VA
2	0b00_010	L1D_VA_WBINVAL	VA
3	0b00_011	L1D_VA_LOCK	VA
4	0b00_100	L1D_VA_UNLOCK	VA
6	0b00_110	L1D_WBINVAL_ALL	-
7	0b00_111	L1D_WB_ALL	-
8	0b01_000	L1I_VA_INVAL	VA
11	0b01_011	L1I_VA_LOCK	VA
12	0b01_100	L1I_VA_UNLOCK	VA
16	0b10_000	L1D_IX_INVAL	Index
17	0b10_001	L1D_IX_WB	Index
18	0b10_010	L1D_IX_WBINVAL	Index
19	0b10_011	L1D_IX_RTAG	Index
20	0b10_100	L1D_IX_RDATA	Index
21	0b10_101	L1D_IX_WTAG	Index
22	0b10_110	L1D_IX_WDATA	Index
23	0b10_111	L1D_INVAL_ALL	-
24	0b11_000	L1I_IX_INVAL	Index
27	0b11_011	L1I_IX_RTAG	Index
28	0b11_100	L1I_IX_RDATA	Index
29	0b11_101	L1I_IX_WTAG	Index
30	0b11_110	L1I_IX_WDATA	Index

表 7: CCTL Command Definition

3.2.73 MCCTLDATA (0x7CD) (non-standard read/write)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																											VA				
N/A																											RW				
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0

MCCTLDATA [31:0]

位域	名称	描述
4-0	VA	查看访问 mcctldata 表的 CCTL 命令

MCCTLDATA 位域

值 (DEC)	值 (BIN)	命令	类型
3	0b00_011	L1D_VA_LOCK	VA
11	0b01_011	L1I_VA_LOCK	VA
19	0b10_011	L1D_IX_RTAG	Index
20	0b10_100	L1D_IX_RDATA	Index
21	0b10_101	L1D_IX_WTAG	Index
22	0b10_110	L1D_IX_WDATA	Index
27	0b11_011	L1I_IX_RTAG	Index
28	0b11_100	L1I_IX_RDATA	Index
29	0b11_101	L1I_IX_WTAG	Index
30	0b11_110	L1I_IX_WDATA	Index

表 8: CCTL Commands Which Access mcctldata

3.2.74 MCOUNTERWEN (0x7CE) (non-standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																									HPM6	HPM5	HPM4	HPM3	IR	RSVD	CY
N/A																									RW	RW	RW	RW	RW	N/A	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	x	0

MCOUNTERWEN [31:0]

位域	名称	描述
6	HPM6	见寄存器说明
5	HPM5	见寄存器说明
4	HPM4	见寄存器说明
3	HPM3	见寄存器说明
2	IR	见寄存器说明
0	CY	见寄存器说明

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述

MCOUNTERWEN 位域

3.2.75 MCOUNTERINTEN (0x7CF) (non-standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																									HPM6	HPM5	HPM4	HPM3	IR	RSVD	CY
N/A																									RW	RW	RW	RW	RW	N/A	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	x	0

MCOUNTERINTEN [31:0]

位域	名称	描述
6	HPM6	见寄存器说明
5	HPM5	见寄存器说明
4	HPM4	见寄存器说明
3	HPM3	见寄存器说明
2	IR	见寄存器说明
0	CY	见寄存器说明

MCOUNTERINTEN 位域

3.2.76 MMISC_CTL (0x7D0) (non-standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																							NBLD_EN	RSVD	MSA_UNA	RSVD		BRPE	RVCOMPM	VEC_PLIC	RSVD
N/A																							RW	N/A	RW	N/A		RW	RW	RW	N/A
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	x	1	x	x	1	0	0	x

MMISC_CTL [31:0]

位域	名称	描述
8	NBLD_EN	该字段控制加载指令的阻塞行为。当该位清零时，访问非设备区域的加载指令是阻塞的。当该位被设置时，加载指令在这种情况下不会阻塞，并且不再报告总线错误同步。 0：加载到内存区域被阻塞。 1：加载到内存区域是非阻塞的。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
6	MSA_UNA	该字段控制加载/存储指令是否可以访问未对齐的内存位置而不会产生地址未对齐的异常。 支持指令：LW/LH/LHU/SW/SH 0：未对齐访问产生地址未对齐异常。 1：未对齐访问产生地址未对齐异常。
3	BRPE	分支预测使能位。该位控制所有分支预测结构。 0：禁用 1：启用 如果不支持分支预测结构，则该位硬连线为 0。
2	RVCOMPM	RISC-V 兼容模式使能位。如果打开兼容模式，所有特定指令都成为保留指令 0：禁用 1：启用
1	VEC_PLIC	选择 PLIC 的操作模式： 0：普通模式 1：矢量模式 请注意，该位和 NCEPLIC100 中功能使能寄存器的向量模式使能位 (VECTORED) 都应打开，以便向量中断支持正常工作。如果不支持向量 PLIC 功能，则该位硬连线为 0。

MMISC_CTL 位域

3.2.77 MCOUNTERMASK_M (0x7D1) (non-standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																									HPM6	HPM5	HPM4	HPM3	IR	RSVD	CY
N/A																									RW	RW	RW	RW	RW	N/A	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	x	0

MCOUNTERMASK_M [31:0]

位域	名称	描述
6	HPM6	见寄存器说明
5	HPM5	见寄存器说明
4	HPM4	见寄存器说明
3	HPM3	见寄存器说明
2	IR	见寄存器说明
0	CY	见寄存器说明

MCOUNTERMASK_M 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

3.2.78 MCOUNTERMASK_S (0x7D2) (non-standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																									HPM6	HPM5	HPM4	HPM3	IR	RSVD	CY
N/A																									RW	RW	RW	RW	RW	N/A	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	x	0

MCOUNTERMASK_S [31:0]

位域	名称	描述
6	HPM6	见寄存器说明
5	HPM5	见寄存器说明
4	HPM4	见寄存器说明
3	HPM3	见寄存器说明
2	IR	见寄存器说明
0	CY	见寄存器说明

MCOUNTERMASK_S 位域

3.2.79 MCOUNTERMASK_U (0x7D3) (non-standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																									HPM6	HPM5	HPM4	HPM3	IR	RSVD	CY
N/A																									RW	RW	RW	RW	RW	N/A	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	x	0

MCOUNTERMASK_U [31:0]

位域	名称	描述
6	HPM6	见寄存器说明
5	HPM5	见寄存器说明
4	HPM4	见寄存器说明
3	HPM3	见寄存器说明
2	IR	见寄存器说明
0	CY	见寄存器说明

MCOUNTERMASK_U 位域

3.2.80 MCOUNTEROVF (0x7D4) (non-standard read/write)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																									HPM6	HPM5	HPM4	HPM3	IR	RSVD	CY
N/A																									RW	RW	RW	RW	RW	N/A	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	x	0

MCOUNTEROVF [31:0]

位域	名称	描述
6	HPM6	见寄存器说明
5	HPM5	见寄存器说明
4	HPM4	见寄存器说明
3	HPM3	见寄存器说明
2	IR	见寄存器说明
0	CY	见寄存器说明

MCOUNTEROVF 位域

3.2.81 MSLIDELEG (0x7D5) (non-standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD													PMOVI	BWEI	IMECCI	RSVD															
N/A													RW	RW	RW	N/A															
x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

MSLIDELEG [31:0]

位域	名称	描述
18	PMOVI	将 S 模式性能监视器溢出本地中断委托给 S 模式。 0：不委托给 S 模式。 1：委托给 S 模式。
17	BWEI	将 S 模式总线读/写事务错误本地中断委托给 S 模式 0：不委托给 S 模式。 1：委托给 S 模式。
16	IMECCI	将 S 模式从端口 ECC 错误本地中断委托给 S 模式 0：不委托给 S 模式。 1：委托给 S 模式。

MSLIDELEG 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

3.2.82 MCLK_CTL (0x7DF) (non-standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FUNIT																VI	VR	AQ	DQ	UQ	FP	RSVD		CLKGATE							
RW																RW	RW	RW	RW	RW	RW	N/A		RW							
0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	x	x	0	0	0	0	0	1	1	1

MCLK_CTL [31:0]

位域	名称	描述
31-16	FUNIT	下表中列出的功能单元的 2 级时钟门控使能。 16：整数运算单元 17：整数置换单元 18：整数掩码单元 19：整数除法单元 20：整数乘加单位 21：浮点乘加单元 22：浮点杂单元 23：浮点除法单元 24：加载/存储单元 25:31：保留
15	VI	矢量/浮点问题队列的 1 级时钟门控使能。
14	VR	矢量/浮点寄存器文件的 1 级时钟门控使能。
13	AQ	ACE 加载/存储队列的 1 级时钟门控使能。
12	DQ	数据缓存加载/存储队列的 1 级时钟门控使能。
11	UQ	未缓存队列的 1 级时钟门控使能
10	FP	标量浮点发布单元和队列的 1 级时钟门控使能。
7-0	CLKGATE	单热时钟门控级别。 0：模块级 1 级时钟门控 1：单元级 2 级时钟门控 2：VPU 级的 Level 3 时钟门控 3:7：保留

MCLK_CTL 位域

3.2.83 DEXC2DBG (0x7E0) (non-standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD												PMOV	SPF	LPF	IPF	BWE	SLPECC	ACE	HSP	MEC	RSVD	SEC	UEC	SAF	SAM	LAF	LAM	NMI	II	IAF	IAM
N/A												RW	RW	RW	RW	RW	RW	RW	RW	RW	N/A	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0	0	0	0

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

DEXC2DBG [31:0]

位域	名称	描述
19	PMOV	指示是否重定向性能计数器溢出中断进入调试模式 0：不重定向 1：重定向
18	SPF	指示是否将存储页面错误异常重定向到进入调试模式。 0：不重定向 1：重定向
17	LPF	指示加载故障异常是否重定向进入调试模式 0：不重定向 1：重定向
16	IPF	指示指令缺页异常是否重定向进入调试模式 0：不重定向 1：重定向
15	BWE	指示是否将 Bus-write Transaction Error 本地中断重定向到进入调试模式 0：不重定向 1：重定向
14	SLPECC	指示是否将本地内存从端口 ECC Error 本地中断重定向到 Debug Mode 0：不重定向 1：重定向
13	ACE	指示 ACE 相关的异常是否被重定向进入调试模式。这个位只有在 mmsc_cfg.ACE 被设置时才存在 0：不重定向 1：重定向
12	HSP	指示堆栈保护异常是否被重定向以进入调试模式。仅当设置 mmsc_cfg.HSP 时才存在此位。 0：不重定向 1：重定向
11	MEC	指示 M-mode 环境调用异常是否重定向进入调试模式 0：不重定向 1：重定向
9	SEC	指示 S-mode 环境调用异常是否重定向进入调试模式 0：不重定向 1：重定向
8	UEC	指示是否将 U 模式环境调用异常重定向到进入调试模式。 0：不重定向 1：重定向

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
7	SAF	指示是否将 Store Access Fault 异常重定向到进入调试模式。 0：不重定向 1：重定向
6	SAM	指示是否将 Store Access Misaligned 异常重定向到进入调试模式。 0：不重定向 1：重定向
5	LAF	指示负载访问故障异常是否被重定向到进入调试模式。 0：不重定向 1：重定向
4	LAM	指示是否将 Load Access Misaligned 异常重定向到进入调试模式 0：不重定向 1：重定向
3	NMI	表示不可屏蔽中断 0：不重定向 1：重定向
2	II	指示非法指令异常是否被重定向以进入调试模式。 0：不重定向 1：重定向
1	IAF	指示指令访问错误异常是否重定向进入调试模式 0：不重定向 1：重定向
0	IAM	指示指令访问未对齐异常是否被重定向以进入调试模式。 0：不重定向 1：重定向

DEXC2DBG 位域

3.2.84 DDCAUSE (0x7E1) (non-standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																SUBTYPE								MAINTYPE							
N/A																RO								RO							
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DDCAUSE [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
15-8	SUBTYPE	主要类型的子类型。 下表列出了 DCSR.CAUSE==1 和 DDCAUSE.MAINTYPE==3 的子类型。 0：非法指令 1：特权指令 2：不存在的 CSR 3：特权 CSR 访问 4：只读 CSR 更新
7-0	MAINTYPE	重定向到调试模式的原因。 0：软件断点（EBREAK） 1：指令访问未对齐（IAM） 2：指令访问错误（IAF） 3：非法指令（II） 4：不可屏蔽中断（NMI） 5：负载访问未对齐（LAM） 6：负载访问故障（LAF） 7：存储访问未对齐（SAM） 8：存储访问故障（SAF） 9：U-mode 环境调用（UEC） 10：S 模式环境调用（SEC） 11：指令页错误 12：M 模式环境调用（MEC） 13：加载页面错误 14：保留 15: Store/AMO 页面错误 16：不精确的 ECC 错误 17; 总线写事务错误 18：性能计数器溢出 19 -31：保留 32：堆栈溢出异常 33：堆栈下溢异常 34: ACE 禁用异常 35-39：保留 40-47:ACE 异常 >=48：保留

DDCAUSE 位域

3.2.85 UITB (0x800) (non-standard read/write)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR																														RSVD	HW
RW																														N/A	RO
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	0

UITB [31:0]

位域	名称	描述
31-2	ADDR	CoDense 指令表的基地址。如果 uitb.HW == 1，则保留此字段。
0	HW	该位指定 CoDense 指令表是否是硬连线的。 0：指令表位于内存中。uitb.ADDR 应该在使用 CoDense 指令之前初始化为指向表。 1：指令表是硬连线的。在使用 CoDense 指令之前不需要初始化 uitb.ADDR。

UITB 位域

3.2.86 UCODE (0x801) (non-standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																															OV
N/A																															RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0

UCODE [31:0]

位域	名称	描述
0	OV	溢出标志。由 DSP 指令设置，结果饱和。 0：不产生饱和结果 1：产生饱和结果

UCODE 位域

3.2.87 UDCAUSE (0x809) (non-standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																													UDCAUSE		
N/A																													RW		
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0

UDCAUSE [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
2-0	UDCAUSE	该寄存器进一步消除了 ucause 寄存器中记录的异常的原因。有关详细信息，请参阅下面的列表。 UDCAUSE 用于精确异常的值： 当 ucause == 1（指令访问错误） 0：保留 1：ECC/奇偶校验错误 2：PMP 指令访问冲突 3：总线错误 4：PMA 空孔访问 当 ucause == 2 (非法指令) 0：请解析 utval CSR 1：FP 禁用异常 2：ACE 禁用异常 当 ucause == 5 (Load access fault) 0：保留 1：ECC/奇偶校验错误 2：PMP 加载访问冲突 3：总线错误 4：地址错位 5：PMA 空孔访问 6：PMA 属性不一致 7:PMA NAMO 异常 当 ucause == 7 (Store access fault) 0：保留 1：ECC/奇偶校验错误 2：PMP 存储访问冲突 3：总线错误 4：地址错位 5：PMA 空孔访问 6：PMA 属性不一致 7:PMA NAMO 异常

UDCAUSE 位域

3.2.88 UCCTLBEGINADDR (0x80B) (non-standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VS																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

UCCTLBEGINADDR [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-0	VA	它是 mcctlbeginaddr 寄存器的别名，只有当 mcache_ctl.CCTL_SUEN 为 1 时，特权模式和用户模式软件才能访问它。否则将触发非法指令异常。

UCCTLBEGINADDR 位域

3.2.89 UCCTLCOMMAND (0x80C) (non-standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																											VA				
N/A																											RW				
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0

UCCTLCOMMAND [31:0]

位域	名称	描述
4-0	VA	参见用户 CCTL 命令定义表

UCCTLCOMMAND 位域

值 (DEC)	值 (BIN)	命令	类型	用户模式允许
0	0b00_000	L1D_VA_INVAL	VA	1
1	0b00_001	L1D_VA_WB	VA	1
2	0b00_010	L1D_VA_WBINVAL	VA	1
3	0b00_011	L1D_VA_LOCK	VA	0
4	0b00_100	L1D_VA_UNLOCK	VA	0
6	0b00_110	L1D_WBINVAL_ALL	-	0
7	0b00_111	L1D_WB_ALL	-	0
8	0b01_000	L1I_VA_INVAL	VA	1
11	0b01_011	L1I_VA_LOCK	VA	0
12	0b01_100	L1I_VA_UNLOCK	VA	0
16	0b10_000	L1D_IX_INVAL	Index	0
17	0b10_001	L1D_IX_WB	Index	0
18	0b10_010	L1D_IX_WBINVAL	Index	0
19	0b10_011	L1D_IX_RTAG	Index	0
20	0b10_100	L1D_IX_RDATA	Index	0
21	0b10_101	L1D_IX_WTAG	Index	0
22	0b10_110	L1D_IX_WDATA	Index	0
23	0b10_111	L1D_INVAL_ALL	-	0
24	0b11_000	L1I_IX_INVAL	Index	0

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

值 (DEC)	值 (BIN)	命令	类型	用户模式允许
27	0b11_011	L1I_IX_RTAG	Index	0
28	0b11_100	L1I_IX_RDATA	Index	0
29	0b11_101	L1I_IX_WTAG	Index	0
30	0b11_110	L1I_IX_WDATA	Index	0

表 9: CCTL Command Definition

3.2.90 SLIE (0x9C4) (non-standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD													PMOVI	BWEI	IMECCI	RSVD															
N/A													RW	RW	RW	N/A															
x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

SLIE [31:0]

位域	名称	描述
18	PMOVI	启用 S 模式性能监视器溢出本地中断。 0：本地中断未使能。 1：本地中断使能
17	BWEI	启用 S 模式总线读/写事务错误本地中断。处理器可能会收到加载/存储指令或缓存写回的总线错误。 0：本地中断未使能。 1：本地中断使能
16	IMECCI	启用 S 模式从端口 ECC 错误本地中断。 0：本地中断未使能。 1：本地中断使能

SLIE 位域

3.2.91 SLIP (0x9C5) (non-standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD													PMOVI	BWEI	IMECCI	RSVD															
N/A													RW	RW	RW	N/A															
x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

SLIP [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
18	PMOVI	S 模式性能监视器溢出本地中断的待决控制和状态。 0：本地中断未使能。 1：本地中断使能
17	BWEI	S 模式总线读/写事务错误本地中断的等待控制和状态。处理器可能会收到加载/存储指令或缓存写回的总线错误。 0：本地中断未使能。 1：本地中断使能
16	IMECCI	S 模式从端口 ECC 错误本地中断的等待控制和状态.. 0：本地中断未使能。 1：本地中断使能

SLIP 位域

3.2.92 SDCAUSE (0x9C9) (non-standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																									PM		RSVD		SDCAUSE		
N/A																									RW		N/A		RW		
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	x	x	0	0	0

SDCAUSE [31:0]

位域	名称	描述
6-5	PM	当 scause 是不精确异常（以中断的形式）时，PM 字段记录了导致不精确异常的指令的特权模式。PM 字段编码定义如下： 0：用户模式 1：特权模式 2：预留 3：机器模式

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
2-0	SDCAUSE	该寄存器进一步消除了 scause 寄存器中记录的异常的原因。有关详细信息，请参阅下面的列表。 SDCAUSE 用于精确异常的值： 当 scause == 1（指令访问错误）时： 0：保留；1：ECC/奇偶校验错误；2：PMP 指令访问冲突；3：总线错误；4：PMA 空孔访问 当 scause == 2（非法指令）时： 0：请解析 stval CSR；1：FP 禁用异常；2：ACE 禁用异常 当 scause == 5 (Load access fault): 0：保留；1：ECC/奇偶校验错误；2：PMP 加载访问冲突；3：总线错误；4：地址错位；5：PMA 空孔访问；6：PMA 属性不一致；7:PMA NAMO 异常 当 scause == 7（存储访问错误）时： 0：保留；1：ECC/奇偶校验错误；2：PMP 加载访问冲突；3：总线错误；4：地址错位；5：PMA 空孔访问；6：PMA 属性不一致；7:PMA NAMO 异常 不精确异常的 SDCAUSE 值： 当 scause == Local Interrupt 16 或 Local Interrupt 272 (16 + 256)（ECC 错误本地中断） 0：保留；1：LM 从端口 ECC/Parity 错误；2：不精确存储 ECC/奇偶校验错误；3：不精确加载 ECC/奇偶校验错误 当 scause == Local Interrupt 17 or Local Interrupt 273 (17 + 256) (Bus read/write transaction error local interrupt) 0：保留；1：总线读取错误；2：总线写错误；3：加载指令引起的 PMP 错误；4：存储指令导致的 PMP 错误；5：加载指令引起的 PMA 错误；6：存储指令导致的 PMA 错误

SDCAUSE 位域

3.2.93 SCCTLDATA (0x9CD) (non-standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																											VA				
N/A																											RW				
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

SCCTLDATA [31:0]

位域	名称	描述
4-0	VA	查看访问 mcctldata 表的 CCTL 命令

SCCTLDATA 位域

3.2.94 SCOUNTERINTEN (0x9CF) (non-standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																									HPM6	HPM5	HPM4	HPM3	IR	RSVD	CY
N/A																									RW	RW	RW	RW	RW	N/A	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	x	0

SCOUNTERINTEN [31:0]

位域	名称	描述
6	HPM6	见寄存器说明
5	HPM5	见寄存器说明
4	HPM4	见寄存器说明
3	HPM3	见寄存器说明
2	IR	见寄存器说明
0	CY	见寄存器说明

SCOUNTERINTEN 位域

3.2.95 SCOUNTERMASK_M (0x9D1) (non-standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																									HPM6	HPM5	HPM4	HPM3	IR	RSVD	CY
N/A																									RW	RW	RW	RW	RW	N/A	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	x	0

SCOUNTERMASK_M [31:0]

位域	名称	描述
6	HPM6	见寄存器说明
5	HPM5	见寄存器说明
4	HPM4	见寄存器说明
3	HPM3	见寄存器说明
2	IR	见寄存器说明

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
0	CY	见寄存器说明

SCOUNTERMASK_M 位域

3.2.96 SCOUNTERMASK_S (0x9D2) (non-standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																									HPM6	HPM5	HPM4	HPM3	IR	RSVD	CY
N/A																									RW	RW	RW	RW	RW	N/A	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	x	0

SCOUNTERMASK_S [31:0]

位域	名称	描述
6	HPM6	见寄存器说明
5	HPM5	见寄存器说明
4	HPM4	见寄存器说明
3	HPM3	见寄存器说明
2	IR	见寄存器说明
0	CY	见寄存器说明

SCOUNTERMASK_S 位域

3.2.97 SCOUNTERMASK_U (0x9D3) (non-standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																									HPM6	HPM5	HPM4	HPM3	IR	RSVD	CY
N/A																									RW	RW	RW	RW	RW	N/A	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	x	0

SCOUNTERMASK_U [31:0]

位域	名称	描述
6	HPM6	见寄存器说明
5	HPM5	见寄存器说明
4	HPM4	见寄存器说明
3	HPM3	见寄存器说明
2	IR	见寄存器说明
0	CY	见寄存器说明

SCOUNTERMASK_U 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

3.2.98 SCOUNTEROVF (0x9D4) (non-standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																									HPM6	HPM5	HPM4	HPM3	IR	RSVD	CY
N/A																									RW	RW	RW	RW	RW	N/A	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	x	0

SCOUNTEROVF [31:0]

位域	名称	描述
6	HPM6	见寄存器说明
5	HPM5	见寄存器说明
4	HPM4	见寄存器说明
3	HPM3	见寄存器说明
2	IR	见寄存器说明
0	CY	见寄存器说明

SCOUNTEROVF 位域

3.2.99 SCOUNTINHIBIT (0x9E0) (non-standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																									HPM6	HPM5	HPM4	HPM3	IR	TM	CY
N/A																									RW	RW	RW	RW	RW	RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0

SCOUNTINHIBIT [31:0]

位域	名称	描述
6	HPM6	见寄存器说明
5	HPM5	见寄存器说明
4	HPM4	见寄存器说明
3	HPM3	见寄存器说明
2	IR	见寄存器说明
1	TM	见寄存器说明
0	CY	见寄存器说明

SCOUNTINHIBIT 位域

3.2.100 SHPMEVENT3 (0x9E3) (non-standard read/write)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																							SEL					TYPE			
N/A																							RW					RW			
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0

SHPMEVENT3 [31:0]

位域	名称	描述
8-4	SEL	参见事件选择器表
3-0	TYPE	参见事件选择器表

SHPMEVENT3 位域

3.2.101 SHPMEVENT4 (0x9E4) (non-standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																							SEL					TYPE			
N/A																							RW					RW			
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0

SHPMEVENT4 [31:0]

位域	名称	描述
8-4	SEL	参见事件选择器表
3-0	TYPE	参见事件选择器表

SHPMEVENT4 位域

3.2.102 SHPMEVENT5 (0x9E5) (non-standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																							SEL					TYPE			
N/A																							RW					RW			
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0

SHPMEVENT5 [31:0]

位域	名称	描述
8-4	SEL	参见事件选择器表
3-0	TYPE	参见事件选择器表

SHPMEVENT5 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

3.2.103 SHPMEVENT6 (0x9E6) (non-standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																							SEL					TYPE			
N/A																							RW					RW			
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0

SHPMEVENT6 [31:0]

位域	名称	描述
8-4	SEL	参见事件选择器表
3-0	TYPE	参见事件选择器表

SHPMEVENT6 位域

3.2.104 MCYCLE (0xB00) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
COUNTER																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MCYCLE [31:0]

位域	名称	描述
31-0	COUNTER	机器周期计数器的低 32 位

MCYCLE 位域

3.2.105 MINSTRET (0xB02) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
COUNTER																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MINSTRET [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-0	COUNTER	机器指令引退计数器的低 32 位

MINSTRET 位域

3.2.106 MHPMCOUNTER3 (0xB03) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
COUNTER																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MHPMCOUNTER3 [31:0]

位域	名称	描述
31-0	COUNTER	计算 mhpmevent3 选择的事件数

MHPMCOUNTER3 位域

3.2.107 MHPMCOUNTER4 (0xB04) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
COUNTER																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MHPMCOUNTER4 [31:0]

位域	名称	描述
31-0	COUNTER	计算 mhpmevent4 选择的事件数

MHPMCOUNTER4 位域

3.2.108 MHPMCOUNTER5 (0xB05) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
COUNTER																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MHPMCOUNTER5 [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-0	COUNTER	计算 mhpmevent5 选择的事件数

MHPMCOUNTER5 位域

3.2.109 MHPMCOUNTER6 (0xB06) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
COUNTER																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MHPMCOUNTER6 [31:0]

位域	名称	描述
31-0	COUNTER	计算 mhpmevent6 选择的事件数

MHPMCOUNTER6 位域

3.2.110 MCYCLEH (0xB80) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
COUNTER																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MCYCLEH [31:0]

位域	名称	描述
31-0	COUNTER	机器周期计数器的高 32 位

MCYCLEH 位域

3.2.111 MINSTRETH (0xB82) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
COUNTER																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MINSTRETH [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-0	COUNTER	机器指令引退计数器的高 32 位

MINSTRETH 位域

3.2.112 MHPMCOUNTER3H (0xB83) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
COUNTER																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MHPMCOUNTER3H [31:0]

位域	名称	描述
31-0	COUNTER	计算 mhpmevent3 选择的事件数

MHPMCOUNTER3H 位域

3.2.113 MHPMCOUNTER4H (0xB84) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
COUNTER																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MHPMCOUNTER4H [31:0]

位域	名称	描述
31-0	COUNTER	计算 mhpmevent4 选择的事件数

MHPMCOUNTER4H 位域

3.2.114 MHPMCOUNTER5H (0xB85) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
COUNTER																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MHPMCOUNTER5H [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-0	COUNTER	计算 mhpmevent5 选择的事件数

MHPMCOUNTER5H 位域

3.2.115 MHPMCOUNTER6H (0xB86) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
COUNTER																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MHPMCOUNTER6H [31:0]

位域	名称	描述
31-0	COUNTER	计算 mhpmevent6 选择的事件数

MHPMCOUNTER6H 位域

3.2.116 PMACFG0 (0xBC0) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PMA3CFG								PMA2CFG								PMA1CFG								PMA0CFG							
RW								RW								RW								RW							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PMACFG0 [31:0]

位域	名称	描述
31-24	PMA3CFG	见 PMACFG 表
23-16	PMA2CFG	见 PMACFG 表
15-8	PMA1CFG	见 PMACFG 表
7-0	PMA0CFG	见 PMACFG 表

PMACFG0 位域

3.2.117 PMACFG1 (0xBC1) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PMA7CFG								PMA6CFG								PMA5CFG								PMA4CFG							

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RW								RW								RW								RW							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PMACFG1 [31:0]

位域	名称	描述
31-24	PMA7CFG	见 PMACFG 表
23-16	PMA6CFG	见 PMACFG 表
15-8	PMA5CFG	见 PMACFG 表
7-0	PMA4CFG	见 PMACFG 表

PMACFG1 位域

3.2.118 PMACFG2 (0xBC2) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PMA11CFG								PMA10CFG								PMA9CFG								PMA8CFG							
RW								RW								RW								RW							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PMACFG2 [31:0]

位域	名称	描述
31-24	PMA11CFG	见 PMACFG 表
23-16	PMA10CFG	见 PMACFG 表
15-8	PMA9CFG	见 PMACFG 表
7-0	PMA8CFG	见 PMACFG 表

PMACFG2 位域

3.2.119 PMACFG3 (0xBC3) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PMA15CFG								PMA14CFG								PMA13CFG								PMA12CFG							
RW								RW								RW								RW							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PMACFG3 [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-24	PMA15CFG	见 PMACFG 表
23-16	PMA14CFG	见 PMACFG 表
15-8	PMA13CFG	见 PMACFG 表
7-0	PMA12CFG	见 PMACFG 表

PMACFG3 位域

7	6	5	4	3	2	1	0
RSVD	NAMO	MTYP				ETYP	
N/A	RW	RW				RW	
x	0	0	0	0	0	0	0

表 10: PMACFG [7:0]

位域	名称	描述
6	NAMO	Indicate whether Atomic Memory Operation instructions (including LR/SC) are not supported in this region. When this bit is set and an AMO instruction is encountered in this region, an access fault PMA NAMO exception will be generated. 0：AMO instructions (including LR/SC) are supported in the region. 1：AMO instructions (including LR/SC) are not supported in the region.

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
5-2	MTYP	Memory type attribute. This field defines the cacheability and idempotency of memory regions. In the table below, “Device” regions are non-idempotent regions and “Memory” regions are idempotent. The non-cacheable memory regions (type 2 and 3) are also referred to as uncached regions by this document. 0:Device, Non-bufferable 1:Device, bufferable 2:Memory, Non-cacheable, Non-bufferable 3:Memory, Non-cacheable, Bufferable 4:Memory, Write-through, No-allocate 5:Memory, Write-through, Read-allocate 6:Reserved. Hardware converts the written value to 4 7:Reserved. Hardware converts the written value to 5 8:Memory, Write-back, No-allocate 9:Memory, Write-back, Read-allocate 10:Memory, Write-back, Write-allocate 11:Memory, Write-back, Read and Write-allocate 12 –14:Reserved. Hardware converts the written value to 15 15;Empty hole, nothing exists. The instruction fetch will generate an instruction access fault. The load instruction access will generate a load access fault. The store instruction access will generate a store access fault.
1-0	ETYP	Entry address matching mode. 0:OFF: This PMA entry is disabled. 1:Reserved. 2:Reserved. 3:NAPOT: Naturally aligned power-of-2 region. The granularity is 4K bytes. This mode makes use of the low-order bits of the associated address register to encode the size of the range. This field will be 0 when it is set to 1 or 2.

表 11: PMACFG 位域

3.2.120 PMAADDR[PMAADDR0] (0xBD0 + 0x1 * n) (standard read/write)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PMAADDR_31_2																														RSVD	
RW																														N/A	

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	x	x

PMAADDR [31:0]

位域	名称	描述
31-2	PMAADDR_31_2	寄存器内容：匹配大小（字节） aaaa. . . aaaaaaaaaaa 保留 . . . . . . aaaa. . . aa011111111 保留 aaaa. . . a0111111111 2^{12} aaaa. . . 01111111111 2^{13} . . . . . . aa01. . . 11111111111 2^{XLEN} a011. . . 11111111111 2^{XLEN+1} 0111. . . 11111111111 2^{XLEN+2} 1111. . . 11111111111 保留

PMAADDR 位域

3.2.121 CYCLE (0xC00) ()

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CYCLE																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CYCLE [31:0]

位域	名称	描述
31-0	CYCLE	CYCLE 计数器

CYCLE 位域

3.2.122 CYCLEH (0xC80) ()

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CYCLEH																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CYCLEH [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-0	CYCLEH	CYCLE 计数器高 32 位

CYCLEH 位域

3.2.123 MVENDORID (0xF11) (standard read only)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MVENDORID																															
RO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	1	1	1	1	0

MVENDORID [31:0]

位域	名称	描述
31-0	MVENDORID	制造商标识

MVENDORID 位域

3.2.124 MARCHID (0xF12) (standard read only)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD	CPU_ID																														
N/A	RO																														
x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	1	0	1

MARCHID [31:0]

位域	名称	描述
30-0	CPU_ID	CPU 标识

MARCHID 位域

3.2.125 MIMPID (0xF13) (standard read only)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MAJOR																								MINOR				EXTENSION			
RO																								RO				RO			
*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

MIMPID [31:0]

位域	名称	描述
31-8	MAJOR	主要修订版本
7-4	MINOR	次要修订版本
3-0	EXTENSION	修订扩展版本

MIMPID 位域

3.2.126 MHARTID (0xF14) (standard read only)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MHARTID																															
RO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MHARTID [31:0]

位域	名称	描述
31-0	MHARTID	Hart ID

MHARTID 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

4 TRAP 处理器的异常和中断

本章节介绍 RISC-V 处理器的 TRAP，即处理器的异常和中断。

本产品所有支持生成中断的外设，及其中断向量表，请查阅节 4.4。

4.1 RISC-V 处理器 TRAP 概述

本产品的采用高性能 RISC-V 处理器作为中央处理单元，处理器符合 RISC-V 规范，RISC-V 把所有由处理器本身或者外设引发的程序执行流转换称为 trap。当 trap 发生时，处理器会中断执行当前程序，转而响应 trap 的服务程序 (handler)。

按照 RISC-V 规范，trap 分为两种：异常 (exception) 和中断 (interrupt)。异常指的是由处理器本身由于指令执行异常引发的 TRAP。中断，是指由各类外设对处理器发出的请求，要求处理器响应。

中断可以分为本地中断和外部中断。本地中断主要由处理器自身或其私有设备，如软件中断、定时器中断等，可以通过访问处理器的 CSR(控制和状态寄存器 control and status registers) 管理本地中断。本产品绝大部分外设产生的各种中断由平台中断控制器 PLIC 管理，PLIC 的中断请求输出连接到 RISC-V 处理器的机器外部中断 (Machine External Interrupt)。

平台中断控制器 PLIC 管理所有片上外设中断。RISC-V 的规范定义了 PLIC 的所有功能。本产品上的 PLIC 兼容 RISC-V 规范，并支持增强功能：中断嵌套扩展和中断向量扩展。

4.1.1 异常

RISC-V 处理器支持以下异常：

- 指令地址不对齐 Instruction address misaligned
  - 指令跳转到非对齐的地址时
- 取指出错 Instruction access fault
  - 取指时总线错误
  - 取指时 PMP 错误
  - 取指时 PMA 错误
- 非法指令 Illegal instruction
  - 执行非法指令
  - 访问非法 CSR
- 断点 Breakpoint
- 数据载入 Load 地址不对齐 Load address misaligned
- 数据载入 Load 出错 Load access fault
  - Load 指令载入数据时总线错误
  - Load 指令载入数据时 PMP 错误
  - Load 指令载入数据时 PMA 错误
- Store 或 AMO 指令地址不对齐 Store/AMO address misaligned
- Store 或 AMO 指令出错 Store/AMO access fault
  - Store 指令存储数据时总线错误
  - Store 指令存储数据时 PMP 错误
  - Store 指令存储数据时 PMA 错误
- 用户模式 Environment 调用 Environment call from U-mode

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

- 监管模式 Environment 调用 Environment call from S-mode
- 堆栈上溢出 Stack overflow exception
- 堆栈下溢出 Stack underflow exception

4.1.2 中断

RISC-V 处理器支持的中断可以分为本地中断和外部中断：

本地中断由处理器自身的设备生成，包括：

- 机器模式 M-Mode 软件中断 software interrupt，由软件中断控制器 PLICSW 生成
- 机器模式 M-Mode 定时器中断 timer interrupt，由机器定时器 MCHTMR 生成
- 总线访问错误 Bus read/write transaction error interrupt
- 性能监视器溢出 Performance monitor overflow interrupt

外部中断指机器外部中断 (Machine external interrupt)。外部中断由平台中断控制器 PLIC 管理。PLIC 会对各中断按优先级仲裁，并把符合条件的中断发送到处理器。

4.1.3 平台中断控制器 PLIC

本产品的平台中断控制器 (Platform-Level Interrupt Controller) 管理片上的所有外设产生的中断，本产品包括 2 个 PLIC，分别输出中断请求到 RISC-V CPU0 和 CPU1。

PLIC 具有以下特性：

- PLIC 将中断输出到处理器的外部中断接口 (external interrupt)
- 支持 8 级优先级。
- 支持可配置的中断边沿触发或者电平触发
- 支持中断嵌套，允许高优先级的中断打断正在执行的低优先级中断
- 支持中断向量，中断向量模式可以简化 RISC-V 规范定义的中断的声明程序，减少中断响应延时

4.1.4 软件中断控制器 PLICSW

本产品的 RISC-V 处理器处理器的机器软件中断 (machine software interrupt) 由软件中断控制器 PLICSW 管理，PLICSW 的编程模型与 PLIC 类似，但是只包含一个中断源，用户可以通过设置 PLICSW 的中断 pending 位来生成机器软件中断。

4.1.5 机器定时器 MCHTMR

RISC-V 规范定义了机器定时器。机器定时器要求能以某个固定时钟频率运行，并生成定时器中断。本产品 RISC-V 处理器处理器的机器定时器中断 (machine timer interrupt) 由机器定时器 MCH_TMR 生成。机器定时器支持 64 位的计数器和 64 位的比较器。当计数器计数达到或者超过比较器值时，生成机器定时器中断 Machine timer interrupt。

4.2 TRAP 和处理器特权模式

本产品采用的 RISC-V 处理器处理器支持三种 RISC-V 规范定义的特权模式：机器模式 Machine Mode、监管模式 Supervisor Mode 和用户模式 User Mode。

RISC-V 处理器运行时，总是处于某一种特权模式。其中机器模式是权限最高的特权模式，监管模式次之，用户模式的权限最低。特权模式可以用来对软件和分配给软件的片上资源进行隔离。HART 运行在较低权限的模式时，不允许访问那些高权限模式独享的资源 (如某一段内存，某一个外设等)。用户可以因此建立可信的执行环境，

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

保护敏感信息或资源，使其免受非法访问。

RISC-V 规范规定，所有 TRAP 发生时，处理器模式都会转换到机器模式，来处理 TRAP 服务程序。注意，即使一些中断是为低权限模式设计的，比如监管软件中断 (supervisor software interrupt)，但是当这些中断发生时，处理器仍然会进入机器模式，来处理它们的中断服务程序。

本产品上，PLIC 的中断请求输出，连接到 RISC-V 处理器的机器外部中断 (Machine External Interrupt)，机器外部中断不可以授权给监管模式或者用户模式。

用户可以在监管模式或者用户模式下运行软件，不过中断或异常发生时，处理器特权模式会切换到机器模式。

4.3 中断嵌套

中断嵌套扩展是指本产品允许处理器暂停低优先级的中断服务程序，转而响应高优先级的中断服务程序。本产品的平台中断控制器 PLIC(Platform Level Interrupt Controlled) 在 RISC-V 规范定义的 PLIC 基础上增加这一扩展功能，使得处理器能够更好的满足实时系统应用的要求。

用户可以通过把 PLIC 的 Feature Enable Register 寄存器的 PREEMPT 位置 1，来打开中断嵌套。在处理器响应中断服务程序时，如果 mstatus CSR 的 MIE 位置 1，优先级更高的中断就可以打断当前中断服务程序。在处理器响应高优先级中断之后，会继续处理被打断的中断服务程序。

在中断服务程序中，PLIC 不会响应相同或者更低优先级的中断。

中断嵌套的具体实现过程为：

- 当中断发生时 (interrupt claim)，PLIC 会保存当前的优先级阈值寄存器 Priority Threshold Register，把新到中断的优先级赋给优先级阈值寄存器 Priority Threshold Register。
- 在中断结束时 (interrupt completion)，PLIC 会把优先级阈值寄存器 Priority Threshold Register 恢复为前值。

在本产品上，PLIC 管理几乎所有的外设中断，并将中断请求输出到处理器的机器外部中断和监管外部中断上。因此，PLIC 的中断优先级设置只对 PLIC 管理的外设中断有效。

当软件在中断服务程序中，把 mstatus CSR 的 MIE 位置 1 后，PLIC 允许中断优先级更高的中断作为新的机器外部中断，打断当前中断。除此以外，处理器的异常和其他本地中断，如软件中断或定时器中断，也可以打断当前中断。这些异常和其他中断的优先级是不受 PLIC 的优先级设置影响的。

4.4 中断向量

当 trap 发生时，处理器会跳转到 mtvec CSR(控制和状态寄存器 control and status registers) 指向的地址，执行中断服务程序。软件可以通过 mcause CSR 判断 trap 的来源，是中断还是异常。如果发生的 trap 是外部中断 (机器外部中断或则监管外部中断)，软件需要通过 PLIC 的 interrupt pending register 进一步判定中断的来源。

中断向量扩展是 PLIC 的一项增强特性，可以减少本产品外设的中断响应延时。中断向量扩展是指当 trap 由外部中断触发时，处理器会从中断向量表中读取中断服务程序的地址指针，并赋予给处理器的程序计数器 (program counter PC)。这样处理器会直接跳转到对应的中断服务程序，软件无需通过先读取 mcause CSR，再读取 PLIC 的 claim/complete 寄存器来判定中断的源头。

用户可以通过把 PLIC 的 Feature Enable Register 寄存器的 VECTORED 位置 1，并且把 MMISC CSR 的 VEC_PLIC 位置 1，来打开中断向量模式。

RISC-V 规范规定，默认状态下，所有的 trap 都由机器模式处理。这时，中断向量表的基地址存储在处理器的 mtvec(机器 trap 向量基地址寄存器)CSR 中。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

对于机器外部中断 (由 PLIC 的 Target 0 输出，引发 mip CSR 的 MEIP 置 1)：

- 基地址即 mtvec，序号为 N 的中断向量地址为：基地址 + 4 x N。

本产品的中断向量分配如下：

IRQ 编号	IRQ 名称	描述
1	GPIO0_A	GPIO 控制器 0 Port A 中断
2	GPIO0_B	GPIO 控制器 0 Port B 中断
3	GPIO0_C	GPIO 控制器 0 Port C 中断
4	GPIO0_D	GPIO 控制器 0 Port D 中断
5	GPIO0_E	GPIO 控制器 0 Port E 中断
6	GPIO0_F	GPIO 控制器 0 Port F 中断
7	GPIO0_X	GPIO 控制器 0 Port X 中断
8	GPIO0_Y	GPIO 控制器 0 Port Y 中断
9	GPIO0_Z	GPIO 控制器 0 Port Z 中断
10	GPIO1_A	GPIO 控制器 1 Port A 中断
11	GPIO1_B	GPIO 控制器 1 Port B 中断
12	GPIO1_C	GPIO 控制器 1 Port C 中断
13	GPIO1_D	GPIO 控制器 1 Port D 中断
14	GPIO1_E	GPIO 控制器 1 Port E 中断
15	GPIO1_F	GPIO 控制器 1 Port F 中断
16	GPIO1_X	GPIO 控制器 1 Port X 中断
17	GPIO1_Y	GPIO 控制器 1 Port Y 中断
18	GPIO1_Z	GPIO 控制器 1 Port Z 中断
19	ADC0	模数转换器 ADC0 中断
20	ADC1	模数转换器 ADC1 中断
21	ADC2	模数转换器 ADC2 中断
22	ADC3	模数转换器 ADC3 中断
23	ACMP[0]	比较器 ACMP0 中断
24	ACMP[1]	比较器 ACMP1 中断
25	ACMP[2]	比较器 ACMP2 中断
26	ACMP[3]	比较器 ACMP3 中断
27	SPI0	串行外设总线 SPI0 中断
28	SPI1	串行外设总线 SPI1 中断
29	SPI2	串行外设总线 SPI2 中断
30	SPI3	串行外设总线 SPI3 中断
31	UART0	通用异步收发器 UART0 中断
32	UART1	通用异步收发器 UART1 中断
33	UART2	通用异步收发器 UART2 中断
34	UART3	通用异步收发器 UART3 中断
35	UART4	通用异步收发器 UART4 中断
36	UART5	通用异步收发器 UART5 中断
37	UART6	通用异步收发器 UART6 中断

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

IRQ 编号	IRQ 名称	描述
38	UART7	通用异步收发器 UART7 中断
39	UART8	通用异步收发器 UART8 中断
40	UART9	通用异步收发器 UART9 中断
41	UART10	通用异步收发器 UART10 中断
42	UART11	通用异步收发器 UART11 中断
43	UART12	通用异步收发器 UART12 中断
44	UART13	通用异步收发器 UART13 中断
45	UART14	通用异步收发器 UART14 中断
46	UART15	通用异步收发器 UART15 中断
47	CAN0	控制器局域网 CAN0 中断
48	CAN1	控制器局域网 CAN1 中断
49	CAN2	控制器局域网 CAN2 中断
50	CAN3	控制器局域网 CAN3 中断
51	PTPC	高精度时间同步协议控制器 PTPC 中断
52	WDG0	看门狗 WDOG0 中断
53	WDG1	看门狗 WDOG1 中断
54	WDG2	看门狗 WDOG2 中断
55	WDG3	看门狗 WDOG3 中断
56	MBX0A	信箱 MBX0A 中断
57	MBX0B	信箱 MBX0B 中断
58	MBX1A	信箱 MBX1A 中断
59	MBX1B	信箱 MBX1B 中断
60	GPTMR0	通用定时器 GTMR0 中断
61	GPTMR1	通用定时器 GTMR1 中断
62	GPTMR2	通用定时器 GTMR2 中断
63	GPTMR3	通用定时器 GTMR3 中断
64	GPTMR4	通用定时器 GTMR4 中断
65	GPTMR5	通用定时器 GTMR5 中断
66	GPTMR6	通用定时器 GTMR6 中断
67	GPTMR7	通用定时器 GTMR7 中断
68	I2C0	集成电路总线 I2C0 中断
69	I2C1	集成电路总线 I2C1 中断
70	I2C2	集成电路总线 I2C2 中断
71	I2C3	集成电路总线 I2C3 中断
72	PWM0	PWM 定时器 PWM0 中断
73	HALL0	霍尔传感器接口 HALL0 中断
74	QEI0	正交编码器接口 QEI0 中断
75	PWM1	PWM 定时器 PWM1 中断
76	HALL1	霍尔传感器接口 HALL1 中断
77	QEI1	正交编码器接口 QEI1 中断

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

IRQ 编号	IRQ 名称	描述
78	PWM2	PWM 定时器 PWM2 中断
79	HALL2	霍尔传感器接口 HALL2 中断
80	QEI2	正交编码器接口 QEI2 中断
81	PWM3	PWM 定时器 PWM3 中断
82	HALL3	霍尔传感器接口 HALL3 中断
83	QEI3	正交编码器接口 QEI3 中断
84	SDP	安全数据处理器 SDP 中断
85	XPI0	串行总线控制器 XPI 0 中断
86	XPI1	串行总线控制器 XPI 1 中断
87	XDMA	DMA 控制器 XDMA 中断
88	HDMA	DMA 控制器 HDMA 中断
89	FEMC	FEMC 控制器 FEMC 中断
90	RNG	随机数发生器 RNG 中断
91	I2S0	集成电路内置音频总线 I2S0 中断
92	I2S1	集成电路内置音频总线 I2S1 中断
93	I2S2	集成电路内置音频总线 I2S2 中断
94	I2S3	集成电路内置音频总线 I2S3 中断
95	DAO	数字音频输出 DAO 中断
96	PDM	数字麦克风 PDM 中断
97	CAM0	摄像接口 CAM 0 中断
98	CAM1	摄像接口 CAM 1 中断
99	LCDC_D0	LCD 控制器 LCDC 中断 0
100	LCDC_D1	LCD 控制器 LCDC 中断 1
101	PDMA_D0	2D 图形加速 PDMA 中断 0
102	PDMA_D1	2D 图形加速 PDMA 中断 1
103	JPEG	JPEG 编解码器中断
104	NTMR0	网络定时器 NTMR0 中断
105	NTMR1	网络定时器 NTMR1 中断
106	USB0	通用串行总线 USB 0 中断
107	USB1	通用串行总线 USB 1 中断
108	ENET0	以太网控制器 ENET0 中断
109	ENET1	以太网控制器 ENET1 中断
110	SDXC0	SD/eMMC 控制器 SDXC 0 中断
111	SDXC1	SD/eMMC 控制器 SDXC 1 中断
112	PSEC	电源域安全管理器 PSEC 中断
113	PGPIO	GPIO 控制器 PGPIO 中断
114	PWDG	看门狗 PWDG 中断
115	PTMR	通用定时器 PTMR 中断
116	PUART	通用异步收发器 PUART 中断
117	VAD	语印检测模块 VAD 中断

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

IRQ 编号	IRQ 名称	描述
118	FUSE	OTP 控制器中断
119	SECMON	电源域监视器 PMON 中断
120	RTC	实时时钟 RTC 中断
121	BUTN	电池域按键 BUTN 中断
122	BGPIO	GPIO 控制器 BGPIO 中断
123	BVIO	电池域安全事件中断, 来自入侵检测 TAMP, 单调计数器 MONO, 电池域监视器 BMON
124	BROWNOUT	VPMC 欠压 Brownout 中断
125	SYSCTL	系统控制模块 SYSCTL 时钟监视器中断
126	DEBUG[0]	保留
127	DEBUG[1]	保留

表 12: IRQ 列表

4.5 中断响应流程

常规的中断服务程序流程，处理器硬件会采取以下动作：

- 更新 mepc CSR 的值为当前 PC(program counter)
- 更新 mstatus CSR 的值：
  - 更新 MPP 位域值为当前特权模式
  - 更新 MPIE 的值为 MIE
  - MIE 位置 0
- 更新 mcause CSR 的值，包含当前中断源信息
- 处理器特权模式变更为机器模式 (machine mode)
- 根据 mtvec CSR 的值更新 PC(program counter)
  - 如果不支持中断向量，mtvec CSR 的值赋给 PC
  - 如果支持中断向量，基地址 + 4 * N 的值赋给 PC，这里 N 是 PLIC 的中断 ID 号码

。

此后，即开始执行中断服务程序的软件，此时软件应该：

- 保存必要的处理器整数寄存器，压入堆栈
- 如果不支持中断向量，或者发生的 TRAP 是异常或者本地中断，要保存 mcause CSR
- 如果希望支持中断嵌套，应当：
  - 保存 mepc CSR
  - 保存 mstatus CSR
  - 根据需要保存其他必要的 CSR，如浮点数/DSP 扩展相关 CSR 等
  - 把 mstatus CSR 的 MIE 位置 1，这时允许产生新的中断
- 开始执行中断服务程序
  - 如果不支持中断向量，或者发生的 TRAP 是异常或者本地中断，需要根据 mcause 判断 TRAP 产生的原因，并执行相应的处理程序。如果是由 PLIC 发送到处理器的外部中断，需要读取 PLIC 的中断声明/完成寄存器 (Claim/Compplete register) 来完成中断声明，并获得中断 ID 号码来确定中断源，之后再执行相应的中断服务程序。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

  - 如果支持中断向量，直接读取相应外设的中断标识位，判断中断原因，执行中断服务程序

在完成 TRAP 的对应服务程序之后，处理流程如下：

- 读取 PLIC 的中断声明/完成寄存器 (Claim/Compplete register) 来表示中断完成。
- 如果是允许嵌套的中断，应当：
  - 把 mstatus CSR 的 MIE 位置 0，不再响应新的中断
  - 插入一条 FENCE 指令，保证之前的读取 PLIC 中断声明/完成寄存器操作完成
  - 恢复 mepc CSR
  - 恢复 mstatus CSR
  - 恢复之前保存的其他 CSR，如浮点数/DSP 扩展相关 CSR 等
- 软件恢复之前压入堆栈的处理器整数寄存器
- 软件执行 MRET 指令，从机器模式返回。

。

一旦执行 MRET 指令，处理器硬件会执行以下操作：

- 把 mepc CSR 的值恢复到 PC(program counter)
- 恢复 mstatus CSR 的值：
  - 根据 MPP 位域值恢复处理器的特权模式
  - 把 MPIE 的值恢复到 MIE

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

5 机器定时器 MCHTMR

本章节介绍机器定时器 MCHTMR 的功能和特性。

5.1 特性总结

本章节介绍机器定时器 MCHTMR 的主要特性：

- 64 位实时计数器
- 64 位计数比较器
- 支持 32 位和 64 位寄存器访问
- 支持向 RISC-V 核心发送机器定时器中断

MCHTMR 的框图如图 2。

图 2: MCHTMR 框图

5.2 功能描述

本章节描述机器定时器 MCHTMR 的功能。

5.2.1 计时与定时功能

MCHTMR 内置一个 64 位计数器，机器定时器时钟每翻转一次计数器的值增加 1。读取 MTIME 寄存器可获取当前计数值。

定时功能通过设置 MTIMECMP 寄存器实现，当计数器的值大于或等于 MTIMECMP 寄存器时，MCHTMR 向 RISC-V 核心发出机器定时器中断。

当机器定时器中断有效时，对 MTIMECMP 寄存器的写操作会清除该中断。

5.2.2 计时器重置

内部计数器从 1 开始计时，改写 MTIME 寄存器能够将计数器重置为特定的值，修改 MTIME 寄存器需遵循一定的规则：

MTIME 寄存器分为 MTIME[63:32] 和 MTIME[31:0] 两个 32 位寄存器，修改 MTIME 寄存器时必须以 32 位方式分别对两个 32 位寄存器进行操作。

- 如果将设置 MTIME[31:29] 的目标值为 7，则：
  1. 设置 MTIME[31:0] 为 0
  2. 设置 MTIME[63:32] 目标值
  3. 设置 MTIME[31：0] 目标值
- 如果将设置 MTIME[31:29] 的目标值不为 7，则：

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

1. 设置 MTIME[31：0] 目标值
2. 设置 MTIME[63:32] 目标值

5.3 MCHTMR 寄存器说明

MCHTMR 的寄存器列表如下：

MCHTMR base address: 0xE6000000

地址偏移	名称	描述	复位值
0x0000	MTIME	机器计时器	0x0000000000020210
0x0008	MTIMECMP	机器定时比较器	0x0000000000020210

表 13: MCHTMR 寄存器列表

5.4 MCHTMR 寄存器详细信息

5.4.1 MTIME (0x0)

63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
MTIME																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0

MTIME [63:32]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MTIME																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0

MTIME [31:0]

位域	名称	描述
63-0	MTIME	计时数值

MTIME 位域

5.4.2 MTIMECMP (0x8)

63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
MTIMECMP																															

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0

MTIMECMP [63:32]

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MTIMECMP																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	1	0	0	0	0

MTIMECMP [31:0]

位域	名称	描述
63-0	MTIMECMP	设置定时器计数值，当机器定时器中断有效时，对该寄存器进行写操作可清除机器定时器中断

MTIMECMP 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

6 平台级中断控制器 PLIC

本章节介绍平台级中断控制器 PLIC 的功能和特性。

6.1 特性总结

本章节介绍平台级中断控制器 PLIC 的主要特性：

- 可配置中断触发方式
- 支持向量式中断
- 支持中断优先级抢占

6.2 功能描述

本章节描述平台级中断控制器 PLIC 的功能。

PLIC 汇集各中断源的中断请求进入中断网关，根据配置完成优先级处理后将中断请求转发给 RISC-V 核心。

中断配置包括使能和优先级等。注意软件不应在有中断未处理的情况下更改中断配置。

6.2.1 向量式中断扩展

RISC-V 标准要求 PLIC 在收到外部中断时能够通知 RISC-V 核心,RISC-V 核心读取 PLIC 的 CLAIM_COMPLETE 寄存器获取中断 ID，该读操作称为中断响应 (claim)。RISC-V 核心获取中断 ID 后执行相应中断的处理程序，再将该 ID 写回 PLIC 的 CLAIM_COMPLETE 寄存器，该写操作称为中断完成 (complete)。

本产品的 PLIC 还支持向量 (vector) 中断扩展，即 PLIC 通知 RISC-V 核心中断请求的同时，会将中断 ID 一同发出，RISC-V 核心以硬件方式向 PLIC 发送中断响应，软件无需读取 PLIC 来获取中断 ID 和执行中断响应，以加快中断处理速度。

通过配置寄存器 FEATURE_ENABLE.VECTORED 来使能向量中断扩展。

6.2.2 中断优先级抢占

PLIC 支持中断抢占优先级，在 PRIORITY 寄存器中可配置每个中断 ID 的优先级，优先级有效值为 1~7。当优先级抢占使能时，若 RISC-V 核心已对某中断进行了中断响应但尚未中断完成，此时如果有新的优先级更高的中断出现，PLIC 会再次向 RISC-V 核心发送新的中断请求。

将寄存器 FEATURE_ENABLE.PREEMPT 设置为 1 可使能优先级抢占功能。

在中断处理程序中通过使能全局中断寄存器 mstatus.MIE，来允许高优先级的中断抢占当前正在执行的中断处理程序。

在非向量模式下，RISC-V 核心应在保存完上下文并执行完中断响应之后使能中断抢占。由于中断响应和中断完成都是对 device 区域执行 loadstore 指令，它们会被自动保证顺序，所以不需要额外禁止全局中断，也不需要在发出中断完成操作后插入 FENCE 指令。

建议的非向量模式中断处理程序如下：

1. 保存寄存器和 CSR 到 stack
2. 向 PLIC 发送中断响应操作
3. 使能全局中断 (mstatus.MIE)
4. 处理中断
5. 向 PLIC 发送中断完成操作

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

6. 恢复寄存器和 CSR
7. 从中断处理程序返回

在向量模式下，RISC-V 核心在保存完上下文之后即可使能中断抢占。为了避免和下一个中断响应出现冲突，在执行中断完成前需关闭全局中断使能。另外在退出中断处理程序前还应执行一次 FENCE io 指令以保证中断完成操作已到达 PLIC。

建议的向量模式中断处理程序如下：

1. 保存寄存器和 CSR 到 stack
2. 使能全局中断 (mstatus.MIE)
3. 处理中断
4. 禁止全局中断 (mstatus.MIE)
5. 向 PLIC 发送中断完成操作
6. 恢复寄存器和 CSR
7. 执行 FENCE io 指令确保中断完成操作已被送达 PLIC
8. 从中断处理程序返回

寄存器 THRESHOLD 可设置中断优先级阈值，只有大于该阈值的中断才会被通知 RISC-V 核心。当中断已响应但未完成时，THRESHOLD 寄存器会实时更新为当前正在处理的中断的优先级，用以屏蔽更低优先级的中断而放行更高优先级的中断抢占。

6.3 PLIC 寄存器说明

PLIC 的寄存器列表如下：

PLIC base address: 0xE4000000

地址偏移	名称	描述	复位值
0x0000	FEATURE	特性使能寄存器	0x00000000
0x0004	PRIORITY[PRIORITY1]	中断优先级寄存器	0x00000001
0x0008	PRIORITY[PRIORITY2]	中断优先级寄存器	0x00000001
0x000C	PRIORITY[PRIORITY3]	中断优先级寄存器	0x00000001
0x0010	PRIORITY[PRIORITY4]	中断优先级寄存器	0x00000001
0x0014	PRIORITY[PRIORITY5]	中断优先级寄存器	0x00000001
0x0018	PRIORITY[PRIORITY6]	中断优先级寄存器	0x00000001
0x001C	PRIORITY[PRIORITY7]	中断优先级寄存器	0x00000001
0x0020	PRIORITY[PRIORITY8]	中断优先级寄存器	0x00000001
0x0024	PRIORITY[PRIORITY9]	中断优先级寄存器	0x00000001
0x0028	PRIORITY[PRIORITY10]	中断优先级寄存器	0x00000001
0x002C	PRIORITY[PRIORITY11]	中断优先级寄存器	0x00000001
0x0030	PRIORITY[PRIORITY12]	中断优先级寄存器	0x00000001
0x0034	PRIORITY[PRIORITY13]	中断优先级寄存器	0x00000001
0x0038	PRIORITY[PRIORITY14]	中断优先级寄存器	0x00000001
0x003C	PRIORITY[PRIORITY15]	中断优先级寄存器	0x00000001
0x0040	PRIORITY[PRIORITY16]	中断优先级寄存器	0x00000001
0x0044	PRIORITY[PRIORITY17]	中断优先级寄存器	0x00000001

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0048	PRIORITY[PRIORITY18]	中断优先级寄存器	0x00000001
0x004C	PRIORITY[PRIORITY19]	中断优先级寄存器	0x00000001
0x0050	PRIORITY[PRIORITY20]	中断优先级寄存器	0x00000001
0x0054	PRIORITY[PRIORITY21]	中断优先级寄存器	0x00000001
0x0058	PRIORITY[PRIORITY22]	中断优先级寄存器	0x00000001
0x005C	PRIORITY[PRIORITY23]	中断优先级寄存器	0x00000001
0x0060	PRIORITY[PRIORITY24]	中断优先级寄存器	0x00000001
0x0064	PRIORITY[PRIORITY25]	中断优先级寄存器	0x00000001
0x0068	PRIORITY[PRIORITY26]	中断优先级寄存器	0x00000001
0x006C	PRIORITY[PRIORITY27]	中断优先级寄存器	0x00000001
0x0070	PRIORITY[PRIORITY28]	中断优先级寄存器	0x00000001
0x0074	PRIORITY[PRIORITY29]	中断优先级寄存器	0x00000001
0x0078	PRIORITY[PRIORITY30]	中断优先级寄存器	0x00000001
0x007C	PRIORITY[PRIORITY31]	中断优先级寄存器	0x00000001
0x0080	PRIORITY[PRIORITY32]	中断优先级寄存器	0x00000001
0x0084	PRIORITY[PRIORITY33]	中断优先级寄存器	0x00000001
0x0088	PRIORITY[PRIORITY34]	中断优先级寄存器	0x00000001
0x008C	PRIORITY[PRIORITY35]	中断优先级寄存器	0x00000001
0x0090	PRIORITY[PRIORITY36]	中断优先级寄存器	0x00000001
0x0094	PRIORITY[PRIORITY37]	中断优先级寄存器	0x00000001
0x0098	PRIORITY[PRIORITY38]	中断优先级寄存器	0x00000001
0x009C	PRIORITY[PRIORITY39]	中断优先级寄存器	0x00000001
0x00A0	PRIORITY[PRIORITY40]	中断优先级寄存器	0x00000001
0x00A4	PRIORITY[PRIORITY41]	中断优先级寄存器	0x00000001
0x00A8	PRIORITY[PRIORITY42]	中断优先级寄存器	0x00000001
0x00AC	PRIORITY[PRIORITY43]	中断优先级寄存器	0x00000001
0x00B0	PRIORITY[PRIORITY44]	中断优先级寄存器	0x00000001
0x00B4	PRIORITY[PRIORITY45]	中断优先级寄存器	0x00000001
0x00B8	PRIORITY[PRIORITY46]	中断优先级寄存器	0x00000001
0x00BC	PRIORITY[PRIORITY47]	中断优先级寄存器	0x00000001
0x00C0	PRIORITY[PRIORITY48]	中断优先级寄存器	0x00000001
0x00C4	PRIORITY[PRIORITY49]	中断优先级寄存器	0x00000001
0x00C8	PRIORITY[PRIORITY50]	中断优先级寄存器	0x00000001
0x00CC	PRIORITY[PRIORITY51]	中断优先级寄存器	0x00000001
0x00D0	PRIORITY[PRIORITY52]	中断优先级寄存器	0x00000001
0x00D4	PRIORITY[PRIORITY53]	中断优先级寄存器	0x00000001
0x00D8	PRIORITY[PRIORITY54]	中断优先级寄存器	0x00000001
0x00DC	PRIORITY[PRIORITY55]	中断优先级寄存器	0x00000001
0x00E0	PRIORITY[PRIORITY56]	中断优先级寄存器	0x00000001
0x00E4	PRIORITY[PRIORITY57]	中断优先级寄存器	0x00000001

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x00E8	PRIORITY[PRIORITY58]	中断优先级寄存器	0x00000001
0x00EC	PRIORITY[PRIORITY59]	中断优先级寄存器	0x00000001
0x00F0	PRIORITY[PRIORITY60]	中断优先级寄存器	0x00000001
0x00F4	PRIORITY[PRIORITY61]	中断优先级寄存器	0x00000001
0x00F8	PRIORITY[PRIORITY62]	中断优先级寄存器	0x00000001
0x00FC	PRIORITY[PRIORITY63]	中断优先级寄存器	0x00000001
0x0100	PRIORITY[PRIORITY64]	中断优先级寄存器	0x00000001
0x0104	PRIORITY[PRIORITY65]	中断优先级寄存器	0x00000001
0x0108	PRIORITY[PRIORITY66]	中断优先级寄存器	0x00000001
0x010C	PRIORITY[PRIORITY67]	中断优先级寄存器	0x00000001
0x0110	PRIORITY[PRIORITY68]	中断优先级寄存器	0x00000001
0x0114	PRIORITY[PRIORITY69]	中断优先级寄存器	0x00000001
0x0118	PRIORITY[PRIORITY70]	中断优先级寄存器	0x00000001
0x011C	PRIORITY[PRIORITY71]	中断优先级寄存器	0x00000001
0x0120	PRIORITY[PRIORITY72]	中断优先级寄存器	0x00000001
0x0124	PRIORITY[PRIORITY73]	中断优先级寄存器	0x00000001
0x0128	PRIORITY[PRIORITY74]	中断优先级寄存器	0x00000001
0x012C	PRIORITY[PRIORITY75]	中断优先级寄存器	0x00000001
0x0130	PRIORITY[PRIORITY76]	中断优先级寄存器	0x00000001
0x0134	PRIORITY[PRIORITY77]	中断优先级寄存器	0x00000001
0x0138	PRIORITY[PRIORITY78]	中断优先级寄存器	0x00000001
0x013C	PRIORITY[PRIORITY79]	中断优先级寄存器	0x00000001
0x0140	PRIORITY[PRIORITY80]	中断优先级寄存器	0x00000001
0x0144	PRIORITY[PRIORITY81]	中断优先级寄存器	0x00000001
0x0148	PRIORITY[PRIORITY82]	中断优先级寄存器	0x00000001
0x014C	PRIORITY[PRIORITY83]	中断优先级寄存器	0x00000001
0x0150	PRIORITY[PRIORITY84]	中断优先级寄存器	0x00000001
0x0154	PRIORITY[PRIORITY85]	中断优先级寄存器	0x00000001
0x0158	PRIORITY[PRIORITY86]	中断优先级寄存器	0x00000001
0x015C	PRIORITY[PRIORITY87]	中断优先级寄存器	0x00000001
0x0160	PRIORITY[PRIORITY88]	中断优先级寄存器	0x00000001
0x0164	PRIORITY[PRIORITY89]	中断优先级寄存器	0x00000001
0x0168	PRIORITY[PRIORITY90]	中断优先级寄存器	0x00000001
0x016C	PRIORITY[PRIORITY91]	中断优先级寄存器	0x00000001
0x0170	PRIORITY[PRIORITY92]	中断优先级寄存器	0x00000001
0x0174	PRIORITY[PRIORITY93]	中断优先级寄存器	0x00000001
0x0178	PRIORITY[PRIORITY94]	中断优先级寄存器	0x00000001
0x017C	PRIORITY[PRIORITY95]	中断优先级寄存器	0x00000001
0x0180	PRIORITY[PRIORITY96]	中断优先级寄存器	0x00000001
0x0184	PRIORITY[PRIORITY97]	中断优先级寄存器	0x00000001

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0188	PRIORITY[PRIORITY98]	中断优先级寄存器	0x00000001
0x018C	PRIORITY[PRIORITY99]	中断优先级寄存器	0x00000001
0x0190	PRIORITY[PRIORITY100]	中断优先级寄存器	0x00000001
0x0194	PRIORITY[PRIORITY101]	中断优先级寄存器	0x00000001
0x0198	PRIORITY[PRIORITY102]	中断优先级寄存器	0x00000001
0x019C	PRIORITY[PRIORITY103]	中断优先级寄存器	0x00000001
0x01A0	PRIORITY[PRIORITY104]	中断优先级寄存器	0x00000001
0x01A4	PRIORITY[PRIORITY105]	中断优先级寄存器	0x00000001
0x01A8	PRIORITY[PRIORITY106]	中断优先级寄存器	0x00000001
0x01AC	PRIORITY[PRIORITY107]	中断优先级寄存器	0x00000001
0x01B0	PRIORITY[PRIORITY108]	中断优先级寄存器	0x00000001
0x01B4	PRIORITY[PRIORITY109]	中断优先级寄存器	0x00000001
0x01B8	PRIORITY[PRIORITY110]	中断优先级寄存器	0x00000001
0x01BC	PRIORITY[PRIORITY111]	中断优先级寄存器	0x00000001
0x01C0	PRIORITY[PRIORITY112]	中断优先级寄存器	0x00000001
0x01C4	PRIORITY[PRIORITY113]	中断优先级寄存器	0x00000001
0x01C8	PRIORITY[PRIORITY114]	中断优先级寄存器	0x00000001
0x01CC	PRIORITY[PRIORITY115]	中断优先级寄存器	0x00000001
0x01D0	PRIORITY[PRIORITY116]	中断优先级寄存器	0x00000001
0x01D4	PRIORITY[PRIORITY117]	中断优先级寄存器	0x00000001
0x01D8	PRIORITY[PRIORITY118]	中断优先级寄存器	0x00000001
0x01DC	PRIORITY[PRIORITY119]	中断优先级寄存器	0x00000001
0x01E0	PRIORITY[PRIORITY120]	中断优先级寄存器	0x00000001
0x01E4	PRIORITY[PRIORITY121]	中断优先级寄存器	0x00000001
0x01E8	PRIORITY[PRIORITY122]	中断优先级寄存器	0x00000001
0x01EC	PRIORITY[PRIORITY123]	中断优先级寄存器	0x00000001
0x01F0	PRIORITY[PRIORITY124]	中断优先级寄存器	0x00000001
0x01F4	PRIORITY[PRIORITY125]	中断优先级寄存器	0x00000001
0x01F8	PRIORITY[PRIORITY126]	中断优先级寄存器	0x00000001
0x01FC	PRIORITY[PRIORITY127]	中断优先级寄存器	0x00000001
0x1000	PENDING[PENDING0]	待处理中断列表	0x00000000
0x1004	PENDING[PENDING1]	待处理中断列表	0x00000000
0x1008	PENDING[PENDING2]	待处理中断列表	0x00000000
0x100C	PENDING[PENDING3]	待处理中断列表	0x00000000
0x1080	TRIGGER[TRIGGER0]	中断触发方式配置	0x00000000
0x1084	TRIGGER[TRIGGER1]	中断触发方式配置	0x00000000
0x1088	TRIGGER[TRIGGER2]	中断触发方式配置	0x00000000
0x108C	TRIGGER[TRIGGER3]	中断触发方式配置	0x00000000
0x1100	NUMBER	PLIC 属性查询	-
0x1104	INFO	PLIC 属性查询	-

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x2000	TARGETINT[TARGET0][INTEN][INTEN0]	机器中断使能	0x00000000
0x2004	TARGETINT[TARGET0][INTEN][INTEN1]	机器中断使能	0x00000000
0x2008	TARGETINT[TARGET0][INTEN][INTEN2]	机器中断使能	0x00000000
0x200C	TARGETINT[TARGET0][INTEN][INTEN3]	机器中断使能	0x00000000
0x2080	TARGETINT[TARGET1][INTEN][INTEN0]	特权中断使能	0x00000000
0x2084	TARGETINT[TARGET1][INTEN][INTEN1]	特权中断使能	0x00000000
0x2088	TARGETINT[TARGET1][INTEN][INTEN2]	特权中断使能	0x00000000
0x208C	TARGETINT[TARGET1][INTEN][INTEN3]	特权中断使能	0x00000000
0x200000	TARGETCONFIG[TARGET0][THRESHOLD]	机器中断优先级阈值	0x00000000
0x200004	TARGETCONFIG[TARGET0][CLAIM]	中断响应和完成	0x00000000
0x200400	TARGETCONFIG[TARGET0][PPS]	中断抢占状态	0x00000000
0x201000	TARGETCONFIG[TARGET1][THRESHOLD]	特权中断优先级阈值	0x00000000
0x201004	TARGETCONFIG[TARGET1][CLAIM]	中断响应和完成	0x00000000
0x201400	TARGETCONFIG[TARGET1][PPS]	中断抢占状态	0x00000000

表 14: PLIC 寄存器列表

6.4 PLIC 寄存器详细信息

PLIC 的寄存器详细说明如下：

6.4.1 FEATURE (0x0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																														VECTORED	PREEMPT
N/A																														RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0

FEATURE [31:0]

位域	名称	描述
1	VECTORED	向量式中断使能 0：禁止 1：使能
0	PREEMPT	中断优先级抢占使能 0：禁止 1：使能

FEATURE 位域

6.4.2 PRIORITY (0x4 + 0x4 * n)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRIORITY																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

PRIORITY [31:0]

位域	名称	描述
31-0	PRIORITY	中断源优先级，有效值为 0 到 7。 0：禁止该中断 1-7：设置中断优先级，数字越大优先级越高

PRIORITY 位域

6.4.3 PENDING (0x1000 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INTERRUPT																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PENDING [31:0]

位域	名称	描述
31-0	INTERRUPT	待处理的中断列表，每个 bit 代表一个中断源

PENDING 位域

6.4.4 TRIGGER (0x1080 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INTERRUPT																															
RO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TRIGGER [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-0	INTERRUPT	设置中断的触发方式，每个 bit 代表一个中断源。 0：电平触发 1：边沿触发

TRIGGER 位域

6.4.5 NUMBER (0x1100)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NUM_TARGET																NUM_INTERRUPT															
RO																RO															
*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*

NUMBER [31:0]

位域	名称	描述
31-16	NUM_TARGET	支持的 target 数量
15-0	NUM_INTERRUPT	支持的中断源数量

NUMBER 位域

6.4.6 INFO (0x1104)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MAX_PRIORITY																VERSION															
RO																RO															
*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*	*

INFO [31:0]

位域	名称	描述
31-16	MAX_PRIORITY	支持的最大优先级
15-0	VERSION	IP 版本

INFO 位域

6.4.7 TARGETINT[INTEN] (0x2000 + 0x80 * n + 0x4 * m)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INTERRUPT																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TARGETINT[INTEN] [31:0]

位域	名称	描述
31-0	INTERRUPT	中断使能，每个 bit 代表一个中断源。如果所在寄存器属于 TARGET0，则将中断作为机器中断使能，如果寄存器属于 TARGET1，则将中断作为特权中断使能

TARGETINT[INTEN] 位域

6.4.8 TARGETCONFIG[THRESHOLD] (0x200000 + 0x1000 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
THRESHOLD																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TARGETCONFIG[THRESHOLD] [31:0]

位域	名称	描述
31-0	THRESHOLD	中断优先级阈值

TARGETCONFIG[THRESHOLD] 位域

6.4.9 TARGETCONFIG[CLAIM] (0x200004 + 0x1000 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																						INTERRUPT_ID									
N/A																						RW									
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0

TARGETCONFIG[CLAIM] [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
9-0	INTERRUPT_ID	读该寄存器可获得待处理的中断号，并实现中断响应操作。将中断号写入该寄存器可实现中断完成操作。

TARGETCONFIG[CLAIM] 位域

6.4.10 TARGETCONFIG[PPS] (0x200400 + 0x1000 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRIORITY_PREEMPTED																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TARGETCONFIG[PPS] [31:0]

位域	名称	描述
31-0	PRIORITY_PREEMPTED	每一位代表一个中断优先级，置 1 表示该中断优先级正被更高优先级的中断抢占。

TARGETCONFIG[PPS] 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

7 平台级软件中断控制器 PLICSW

本章节介绍平台级软件中断控制器 PLICSW 的功能和特性。

7.1 特性总结

本章节介绍平台级中断控制器 PLIC 的主要特性：

- 支持通过软件编程产生中断

7.2 功能描述

本章节描述平台级中断控制器 PLIC 的功能。

RISC-V 核心向寄存器 PENDING 写 1 可触发软件中断，RISC-V 核心收到中断后需对 CLAIM 寄存器进行读操作以完成中断响应（claim），在中断处理完成后需对 CLAIM 寄存器进行写操作以执行中断完成操作。

7.3 PLICSW 寄存器说明

PLIC 的寄存器列表如下：

PLICSW base address: 0xE6400000

地址偏移	名称	描述	复位值
0x1000	PENDING	软件中断触发寄存器	0x00000000
0x2000	INTEN	软件中断使能	0x00000000
0x200004	CLAIM	软件中断响应和完成	0x00000000

表 15: PLIC_SW 寄存器列表

7.3.1 PLICSW 寄存器详细信息

PLIC 的寄存器详细说明如下：

7.3.2 PENDING (0x1000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																														INTERRUPT	RSVD
N/A																														RW	N/A
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	x

PENDING [31:0]

位域	名称	描述
1	INTERRUPT	对该寄存器位写 1 可触发软件中断

PENDING 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

7.3.3 INTEN (0x2000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																															INTERRUPT
N/A																															RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0

INTEN [31:0]

位域	名称	描述
0	INTERRUPT	软件中断使能

INTEN 位域

7.3.4 CLAIM (0x200004)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																															INTERRUPT_ID
N/A																															RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0

CLAIM [31:0]

位域	名称	描述
0	INTERRUPT_ID	读该寄存器可实现中断响应操作。将 0x1 写入该寄存器可实现中断完成操作。

CLAIM 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

8 电源管理

本章节介绍电源管理系统。

8.1 电源系统结构

本产品在电源结构上划分了 3 个主要的电源域，如图 3所示：

图 3: 电源系统结构框图

3 个电源域包括：

- 系统电源域中包含了芯片中大部分的功能模块，其中有 4 个可独立开关电源的子系统 (CPU0、CPU1、VIS、CONN)，以及若干其他功能模块
- 电源管理域中有一个 DCDC 可用于为系统电源域供电，以及数个能够唤醒系统的功能模块，能够在系统电源域关闭的状态下保持低功耗运行
- 电池备份域包含 RTC 等功能和唤醒模块，能够在电源管理域和系统电源域关闭的状态下以极低功耗运行，并保存必要的数据

各电源域中的主要功能模块可在图 1中查看。

典型应用场景下芯片使用单一 3.3V 电源供电即可工作，也可将电池备份域单独供电以支持极低功耗模式。

8.2 电源供电系统

芯片内置 3 路 LDO 线性电源和 1 路 DCDC 开关电源，以支持单一 3.3V 供电应用。

电源供电系统框图如图 4：

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

图 4: 电源供电系统框图

8.2.1 开关电源 DCDC

DCDC 位于电源管理域，将 3.3V 的外部电源转化为典型值为 1.1V 的供电，能够为系统电源域的电路提供电源。

DCDC 输出电压可调节，且支持动态电压频率调整。

DCDC_IN 是 DCDC 的电源输入引脚。DCDC_LP 是 DCDC 的电源输出引脚，应连接一个 4.7uH 的电感。DCDC_SNS 是 DCDC 的反馈引脚，应连接到 DCDC 的电源输出。

当用户选择使用外部的电源替代片上的 DCDC 为系统电源域供电时，建议把 DCDC 的相关引脚 DCDC_IN、DCDC_LP 和 DCDC_SNS 通过 10k 欧姆电阻接地。

8.2.2 电源管理域线性稳压器 LDOPMC

LDOPMC 位于电源管理域，将 3.3V 外部电源转化为典型值为 1.1V 的供电，为电源管理域的电路提供电源。

LDOPMC 以 VPMC 引脚作为电源输入，需要在 VDD_PMCCAP 引脚上接一个 4.7uF 去耦电容。

8.2.3 OTP 线性稳压器 LDOOTP

LDOOTP 位于电源管理域，将 3.3V 外部电源转化为典型值为 2.5V 的供电，为 OTP 烧写电路提供电源。

LDOOTP 仅在 OTP 烧写操作时才应被使能，其他时间应保持关闭。

LDOOTP 以 VPMC 引脚作为电源输入，需要在 VDD_OTPCAP 引脚上接一个 4.7uF 去耦电容。

8.2.4 电池备份域线性稳压器 LDOBAT

LDOBAT 位于电池备份域，将 3.3V 外部电源转化为典型值为 1.0V 的供电，为电池备份域的电路提供电源。

LDOBAT 以 VBAT 引脚作为电源输入，需要在 VDD_BATCAP 引脚上接一个 4.7uF 去耦电容。

如果用户对电池备份域有降低功耗的需求，建议将 LDOBAT 输出电压调节为 0.9V。具体配置方法见节 11.3。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

8.3 IO 供电

芯片的 GPIO 引脚被划为了多个组 (Bank)，每个 IO 组有独立的 IO 供电引脚 VIO_B*，GPIO 可支持 1.8V 和 3.3V 两种电压，而各个 IO 组可以使用不同的工作电压。

各 IO 所使用的 IO 供电引脚可在章 20中查找。

电源管理域 GPIO PY* 固定使用 VPMC 供电，因此只能工作在 3V 模式。

电池备份域 GPIO PZ* 固定使用 VBAT 供电，因此只能工作在 3V 模式。

GPIO 默认工作在 3.3V，若要切换到 1.8V，需首先保证对应的 VIO_B* 已经为 1.8V，再修改 IOC 的 PAD_CTL 寄存器进行电压配置切换。

8.4 电源引脚说明

电源引脚	电压范围	说明
VBAT	2.4V ~ 3.6V	LDOBAT 电源输入，为电池备份域模拟电路供电
VDD_BATCAP	-	LDOBAT 的去耦电容连接引脚
VPMC	3.0V ~ 3.6V	LDOPMC 电源输入，LDOOTP 电源输入，为电源管理域模拟电路供电
VDD_PMCCAP	-	LDOPMC 的去耦电容连接引脚
VDD_OTPCAP	-	LDOOTP 的去耦电容连接引脚
VANA	3.0V ~ 3.6V	为 PLL，ADC，ACMP 模拟电路供电
VREFH	2.4V ~ VANA	ADC 高位参考电压 ACMP 内置 DAC 高位参考电压
DCDC_IN	3.0V ~ 3.6V	DCDC 电源输入
DCDC_PSW	-	DCDC 使能开关，通常与 DCDC_IN 短接在一起
DCDC_LP	-	DCDC 电源输出，可为系统电源域数字电路供电
DCDC_SNS	-	DCDC 电源反馈引脚，应与 DCDC_LP 连接在一起
VDD_SOC	0.925V ~ 1.26V	系统电源域数字电路供电引脚
VUSB	3.0V ~ 3.6V	USB 模拟电路供电，无论是否使用 USB，都建议将之与 VPMC 短接。
VDD_USB	0.925V ~ 1.26V	USB 数字电路供电，通常与 VDD_SOC 短接
VIO_B00 ~ VIO_B11	1.8V 或 3.3V	IO 供电引脚
DCDC_GND	-	DCDC 接地引脚
VSS	-	接地引脚
VREFL	-	ADC 低位参考电压，需接地

表 16: 电源和接地引脚说明

注意，如果对具有模数转换器 ADC 输入功能的引脚以 1.8V 供电，那么，不允许 ADC 的输入电平高于 1.8V 到该引脚。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

8.5 上电和掉电时序

上电时序要求：要求 VBAT 不晚于其他电源上电。如果 VBAT 和其他 3.3V 电源引脚使用相同的供电，则系统对上电时序没有要求。

掉电时序要求：VBAT 电源不能早于其他电源掉电。

8.6 低功耗概览

本产品支持多种功耗模式，它们的功耗水平从高到低和唤醒时间从短到长依次为：

- 运行模式 (RUN)
- 等待模式 (WAIT)
- 停止模式 (STOP)
- 休眠模式 (STANBY)
- 关机模式 (SHUTDOWN)

运行模式下 CPU 正常执行指令，所有必要的功能模块正常工作。可关闭不需要的功能模块，CPU 时钟频率和供电电压可用软件调节。

等待模式下 CPU 核心时钟因 WFI 指令触发而关闭，其他功能模块保持运行模式下的状态，出现中断时 CPU 能够立即恢复运行并处理中断。

停止模式由 CPU 的 WFI 指令触发，通过预先配置，系统电源域内各子系统和模块，包括 CPU 自身的电源能够在 SYSCTL 模块的控制下灵活关闭或保持。

休眠模式下整个系统电源域都处于复位或掉电状态，该模式可以由 CPU 的 WFI 指令触发，也可以通过软件操作触发。

关机模式下电源管理域和系统电源域都处于复位或掉电状态，仅保留电池备份域工作，该模式可以通过软件操作触发，也可以通过引脚信号触发。

8.7 电源管理功能相关 IO

电池备份域是芯片电源管理系统的基础，其 IO 能被用作电源管理的相关功能：

引脚	默认功能 (引脚别名)	说明
PZ00	PWR_ON	电源开关输出引脚，可用于控制除 VBAT 以外的外部供电电源开关，详见小节 11.5.2
PZ01	RESETN	全局复位输入引脚，详见小节 11.5.1
PZ02	PBUTN	电源开关输入引脚，用于关机模式的进入和退出等，详见节 11.6
PZ03	WBUTN	电源唤醒输入引脚，可用于关机模式的退出等，详见节 11.6
PZ04	PLED	PBUTN 按键状态提示输出，详见节 11.6
PZ05	WLED	WBUTN 按键状态提示输出，详见节 11.6
PZ10	HIBERNATE	可用于指示 DCDC 开关状态，或控制外部 1.1V 电源开关，详见节 15.4
PZ11	STANDBY	可用于指示 DCDC 低功耗状态，或控制外部 1.1V 电源电压，详见节 15.4

表 17: 电源管理相关 IO

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

后文描述相关功能时可能会使用以上引脚的别名。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

9 系统复位

本章节介绍本产品的系统复位。

9.1 复位概览

复位系统支持对芯片的不同范围进行复位，如图 5所示：

图 5: 复位系统

图中各种复位的范围与电源域结构有如下关系：

- 电池备份域的复位会导致整个芯片的复位，即全局复位
- 电源管理域的复位不会影响电池备份域，但会连带系统电源域进行复位
- 系统电源域的复位不会影响电池备份域和电源管理域，但会将各子系统进行复位

9.2 全局复位

全局复位会复位整个芯片，有两种情况会引起全局复位发生：

- VBAT 电源管脚的上电
- RESETN 管脚被外部电路拉低

RESETN 引脚是复用 IO，其默认功能是全局复位信号，可通过配置 BIOC 将其作为其他功能使用。

RESETN 引脚默认产生的是全局复位，通过配置 BPOR 模块能够修改其复位范围，使电池备份域的状态不受影响，详见小节 11.5.1。

VPMC 引脚的上电会使电源管理域和系统电源域复位，但不影响电池备份域。

9.3 系统电源域的复位

系统电源域的复位也分为多个层次：

- 冷复位 (Cold Reset)：整个系统电源域全部复位
- 温复位 (Warm Reset)：系统电源域保留 OTP 的影子寄存器的值

系统电源域的复位有多个复位源，包括：

- VPMC 供电电压过低 (Brownout)
- 调试复位 (Debug Reset)：由外部 debugger 发出的复位请求
- 安全违例 (Security Violation)
- 看门狗超时

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

- 软件复位

除了由以上复位源触发的复位外，软件还能够通过控制 SYSCTL 模块单独复位某个子系统，详见 SYSCTL 相关章节。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

10 时钟系统

本章节介绍本产品的时钟系统。

10.1 时钟系统概述

时钟系统主要由时钟源和功能时钟组成，其结构如图 图 6 所示。

图 6: 时钟系统框图

时钟源包括外部晶振 XTAL、内部振荡器 RC 和锁相环 PLL 等，时钟源能够产生各种不同频率，不同精度的时钟。

功能时钟 CLK_TOP 是对时钟源进行选择和分频后的时钟。

10.2 时钟源

10.2.1 32KHz 时钟源 CLK_32K

产生 CLK_32K 时钟的模块有：

- XTAL32K - 32.768KHz 外部低速振荡器，支持 32768Hz 外部晶振
- RC32K - 内部 32KHz RC 振荡器

XTAL32K 和 RC32K 共同构成 CLK_32K 时钟源。当 XTAL32K 频率稳定时，CLK_32K 来自 XTAL32K 的输出时钟。当 XTAL32K 尚未稳定或没有外接 32K 晶振时，CLK_32K 来自 RC32K 的输出时钟。两个时钟之间的切换自动进行。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

XTAL32K 默认自动使能，即电池备份域电源有效时就开始驱动外部 32K 晶振进行工作。

CLK_32K 直接为电池备份域的模块提供时钟。

10.2.2 24MHz 时钟源 CLK_24M

产生 24MHz 时钟源的模块有：

- XTAL24M - 24MHz 高速振荡器，支持 24MHz 外部晶振，也支持通过引脚从外部输入 24 MHz 有源时钟
- RC24M - 内部 24MHz RC 振荡器

XTAL24M 和 RC24M 共同构成 CLK_24M 时钟源。当 XTAL24M 使能并频率稳定时，CLK_24M 来自 XTAL24M 的输出时钟，当 XTAL24M 关闭或尚未稳定时，CLK_24M 来自 RC24M 的输出时钟。两个时钟之间的切换自动进行。

XTAL24M 默认会自动使能，其在低功耗模式下的开关控制请参考章 13。

CLK_24M 直接为电源管理域的模块提供时钟。

10.2.3 锁相环 PLL

产品内置 5 个 PLL 用以生成系统所需要的各种频率的时钟，其中 PLL1 和 PLL2 各有 2 路独立分频的时钟输出，所以 PLL 时钟源共有 7 个。

PLL 使用 XTAL24M 时钟作为参考时钟，各 PLL 已预先设置了默认工作频率，如表 18所示：

PLL 的频率和分频系数的修改方法请参考小节 14.2.2。

10.3 功能时钟

功能时钟能够根据配置在多个时钟源中做出选择并进行分频，之后为系统电源域的各模块提供运行时钟。

系统中有 8 个时钟源，所以每个功能时钟有一个 8 选 1 的多路选择器进行时钟源选择，选择值与时钟源的对应关系如表 18所示。

选择值	时钟源	默认频率	说明
0	CLK_24M	24MHz	24MHz 时钟源
1	PLL0CLK0	648MHz	默认作为处理器的时钟源
2	PLL1CLK0	266MHz	经由 PLL1 800Mhz 时钟 3 分频获得
3	PLL1CLK1	400MHz	经由 PLL1 800Mhz 时钟 2 分频获得
4	PLL2CLK0	333MHz	经由 PLL2 1000Mhz 时钟 3 分频获得
5	PLL2CLK1	250MHz	经由 PLL2 1000Mhz 时钟 4 分频获得
6	PLL3CLK0	614MHz	默认作为音频系统的时钟源
7	PLL4CLK0	594MHz	默认作为显示系统的时钟源

表 18: 时钟源选择及默认频率

每个功能时钟可单独设置分频系数，对选定的时钟源进行分频，分频系数范围为从 1 到 256 的任意整数。

为便于使用，各功能时钟已预先设置了时钟源选择和分频系数，具体信息见表 19。时钟源选择和分频系数的修改方式请参考节 13.2。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

功能时钟名称	默认时钟源	默认分频系数	默认频率	应用
CLK_TOP_HART0	PLL0CLK0	2	324MHz	CPU0 核心/ILM0/DLM0/FGPIO0
CLK_TOP_MCHTMR0	CLK24M	24	1MHz	MCHTMR0 计时
CLK_TOP_HART1	PLL0CLK0	2	324MHz	CPU1 核心/ILM1/DLM1/FGPIO1
CLK_TOP_MCHTMR1	CLK24M	24	1MHz	MCHTMR1 计时
CLK_TOP_AXI	PLL1CLK1	2	200MHz	系统总线/AXI SRAM /ROM/XDMA/SDP
CLK_TOP_VIS	PLL1CLK1	2	200MHz	VIS 子系统总线/PDMA/JPEG
CLK_TOP_CONN	PLL1CLK1	2	200MHz	CONN 子系统总线
CLK_TOP_AHB	PLL1CLK1	2	200MHz	外设总线/HDMA/AHB SRAM/ 电机系统/ACMP/GPIO
CLK_TOP_DRAM	PLL2CLK0	2	166MHz	DRAM 接口
CLK_TOP_XPI0	PLL1CLK1	1	400MHz*	XPI0 接口
CLK_TOP_XPI1	PLL1CLK1	1	400MHz*	XPI1 接口
CLK_TOP_GPTMR0	PLL1CLK1	4	100MHz	GPTMR0 计时
CLK_TOP_GPTMR1	PLL1CLK1	4	100MHz	GPTMR1 计时
CLK_TOP_GPTMR2	PLL1CLK1	4	100MHz	GPTMR2 计时
CLK_TOP_GPTMR3	PLL1CLK1	4	100MHz	GPTMR3 计时
CLK_TOP_GPTMR4	PLL1CLK1	4	100MHz	GPTMR4 计时
CLK_TOP_GPTMR5	PLL1CLK1	4	100MHz	GPTMR5 计时
CLK_TOP_GPTMR6	PLL1CLK1	4	100MHz	GPTMR6 计时
CLK_TOP_GPTMR7	PLL1CLK1	4	100MHz	GPTMR7 计时
CLK_TOP_UART0	PLL1CLK1	5	80MHz	UART0 接口
CLK_TOP_UART1	PLL1CLK1	5	80MHz	UART1 接口
CLK_TOP_UART2	PLL1CLK1	5	80MHz	UART2 接口
CLK_TOP_UART3	PLL1CLK1	5	80MHz	UART3 接口
CLK_TOP_UART4	PLL1CLK1	5	80MHz	UART4 接口
CLK_TOP_UART5	PLL1CLK1	5	80MHz	UART5 接口
CLK_TOP_UART6	PLL1CLK1	5	80MHz	UART6 接口
CLK_TOP_UART7	PLL1CLK1	5	80MHz	UART7 接口
CLK_TOP_UART8	PLL1CLK1	5	80MHz	UART8 接口
CLK_TOP_UART9	PLL1CLK1	5	80MHz	UART9 接口
CLK_TOP_UART10	PLL1CLK1	5	80MHz	UART10 接口
CLK_TOP_UART11	PLL1CLK1	5	80MHz	UART11 接口
CLK_TOP_UART12	PLL1CLK1	5	80MHz	UART12 接口
CLK_TOP_UART13	PLL1CLK1	5	80MHz	UART13 接口
CLK_TOP_UART14	PLL1CLK1	5	80MHz	UART14 接口
CLK_TOP_UART15	PLL1CLK1	5	80MHz	UART15 接口

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

功能时钟名称	默认时钟源	默认分频系数	默认频率	应用
CLK_TOP_I2C0	PLL1CLK1	5	80MHz	I2C0 接口
CLK_TOP_I2C1	PLL1CLK1	5	80MHz	I2C1 接口
CLK_TOP_I2C2	PLL1CLK1	5	80MHz	I2C2 接口
CLK_TOP_I2C3	PLL1CLK1	5	80MHz	I2C3 接口
CLK_TOP_SPI0	PLL1CLK1	5	80MHz	SPI0 接口
CLK_TOP_SPI1	PLL1CLK1	5	80MHz	SPI1 接口
CLK_TOP_SPI2	PLL1CLK1	5	80MHz	SPI2 接口
CLK_TOP_SPI3	PLL1CLK1	5	80MHz	SPI3 接口
CLK_TOP_CAN0	PLL1CLK1	5	80MHz	CAN0 接口
CLK_TOP_CAN1	PLL1CLK1	5	80MHz	CAN1 接口
CLK_TOP_CAN2	PLL1CLK1	5	80MHz	CAN2 接口
CLK_TOP_CAN3	PLL1CLK1	5	80MHz	CAN3 接口
CLK_TOP_PTPC	PLL1CLK1	4	100MHz	PTPC 计时
CLK_TOP_LCDC	PLL4CLK0	8	74.25MHz	LCDC 接口
CLK_TOP_CAM0	PLL4CLK0	10	59.4MHz	CAM0 接口
CLK_TOP_CAM1	PLL4CLK0	10	59.4MHz	CAM1 接口
CLK_TOP_ENET0	PLL2CLK1	2	125MHz	ENET0 接口
CLK_TOP_ENET1	PLL2CLK1	2	125MHz	ENET1 接口
CLK_TOP_PTP0	PLL1CLK1	4	100MHz	PTP0
CLK_TOP_PTP1	PLL1CLK1	4	100MHz	PTP1
CLK_TOP_NTMR0	PLL1CLK1	4	100MHz	NTMR0 计时
CLK_TOP_NTMR1	PLL1CLK1	4	100MHz	NTMR1 计时
CLK_TOP_SDXC0	PLL1CLK1	2	200MHz	SDXC0 接口
CLK_TOP_SDXC1	PLL1CLK1	2	200MHz	SDXC1 接口
CLK_TOP_ANA0	PLL1CLK1	2	200MHz	ADC 备选时钟 0
CLK_TOP_ANA1	PLL1CLK1	2	200MHz	ADC 备选时钟 1
CLK_TOP_ANA2	PLL1CLK1	2	200MHz	ADC 备选时钟 2
CLK_TOP_ADC0	CLK_TOP_AHB		200MHz	ADC0
CLK_TOP_ADC1	CLK_TOP_AHB		200MHz	ADC1
CLK_TOP_ADC2	CLK_TOP_AHB		200MHz	ADC2
CLK_TOP_ADC3	CLK_TOP_AHB		200MHz	ADC3
CLK_TOP_AUD0	PLL3CLK0	25	24.576MHz	I2S 备选接口时钟 0
CLK_TOP_AUD1	PLL3CLK0	25	24.576MHz	I2S 备选接口时钟 1
CLK_TOP_AUD2	PLL3CLK0	25	24.576MHz	I2S 备选接口时钟 2
CLK_TOP_I2S0	CLK_TOP_AUD0		24.576MHz	I2S0 接口/PDM 接口
CLK_TOP_I2S1	CLK_TOP_AUD0		24.576MHz	I2S1 接口/DAO 接口
CLK_TOP_I2S2	CLK_TOP_AUD0		24.576MHz	I2S2 接口
CLK_TOP_I2S3	CLK_TOP_AUD0		24.576MHz	I2S3 接口

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

功能时钟名称	默认时钟源	默认分频系数	默认频率	应用

表 19: 功能时钟汇总

* 实际频率与启动配置有关。

注意，ADC 和 I2S 的功能时钟采用两级多路选择结构，用以支持任意个 ADC 或任意个 I2S 同步工作或异步工作。

ADC 的功能时钟结构如图 7 所示。

图 7: ADC 功能时钟结构

I2S 的功能时钟结构如图 8 所示。

CLK_TOP_ADCx 和 CLK_TOP_I2Sx 上的多路选择器所选定的前一级功能时钟见表 20。

选择值	**CLK_TOP_ADCx 时钟选择**
0	CLK_TOP_AHB
1	CLK_TOP_ANA0
2	CLK_TOP_ANA1
3	CLK_TOP_ANA2
选择值	**CLK_TOP_I2Sx 时钟选择**
0	CLK_TOP_AHB
1	CLK_TOP_AUD0
2	CLK_TOP_AUD1
3	CLK_TOP_AUD2

表 20: 两级功能时钟选择

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

图 8: I2S 功能时钟结构

CLK_TOP_ADCx 默认选择 CLK_TOP_AHB，CLK_TOP_I2Sx 默认选择 CLK_TOP_AUD0。

该结构使任意个 ADC 能够以相同的时钟工作，如设置 CLK_TOP_ANA0 为 100MHz，设置 CLK_TOP_ANA1 为 50MHz，再设置 CLK_TOP_ADC0 和 CLK_TOP_ADC1 从前一级功能时钟中选择 CLK_TOP_ANA0，设置 CLK_TOP_ADC2 和 CLK_TOP_ADC3 从前一级功能时钟中选择 CLK_TOP_ANA1，则 ADC0 和 ADC1 同步工作在 100MHz，ADC2 和 ADC3 同步工作在 50MHz。

I2S 的功能时钟同理。

10.4 直接使用时钟源的模块

系统中一部分模块没有使用功能时钟而是直接连接时钟源，其中有电池备份域和电源管理域的全部模块，也包括系统电源域的部分计时模块，在表 21列出。

模块	时钟源
电池备份域模块	
RTC	CLK_32K
BGPIO	CLK_32K
TAMP	CLK_32K
电源管理域模块	
VAD	CLK_24M
PTMR	CLK_24M
PWDG	CLK_24M 和 CLK_32K
PUART	CLK_24M
PGPIO	CLK_24M
系统电源域模块	

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

模块	时钟源
WDG0~WDG3	CLK_32K 和 CLK_TOP_AHB
USB0~USB1	CLK_24M

表 21: 模块时钟列表

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

11 电池备份域管理器 BCFG

本章节描述了电池备份域管理器 BCFG 的主要功能和使用。

11.1 主要特性

BCFG 负责管理电池备份域的电源、复位和时钟等功能，主要包括：

- 带隙基准 (Bandgap) 的模式控制
- LDOBAT 电压调节
- 32KHz 时钟源管理
- 电池备份域复位控制 BPOR
- 电池备份域按键控制 BUTN

11.2 Bandgap 模式控制

Bandgap 提供一种低功耗的工作模式，将 VBG_CFG 寄存器的 LP_MODE 位置 1 可使 Bandgap 工作在低功耗模式。

当 VBAT 电源使用电池独立供电，或需求电池备份域的极低功耗时，应将 Bandgap 的低功耗模式使能。

Bandgap 工作在低功耗模式对其功能没有任何影响。

11.3 LDOBAT 电压调节

LDOBAT 为电池备份域内的数字电路提供电源。用户可以适当的降低 LDOBAT 的输出电压以降低电池备份域的功耗。

LDO_CFG 寄存器的 VOLT 位用来调节 LDOBAT 的输出电压，该寄存器位的数值即为 LDOBAT 的输出电压，如当 LDOBAT 默认输出 1.0V 时，VOLT 位的默认值为 0d1000。

若要将电压将为 0.8V，需将 VOLT 位修改为 0d800。

11.4 CLK_32K 时钟源管理

电池备份域中有 IRC32K 和 OSC32K 两个 32KHz 时钟振荡器模块，IRC32K 不够精确但起振较快，OSC32K 精确但需要较长时间才能稳定，因此系统在电池备份域上电后会首先使用 IRC32K 时钟做为 CLK_32K 时钟源进行工作，一旦检测到 OSC32K 时钟稳定，会自动切换到 OSC32K 时钟并关闭 IRC32K 以节省功耗。当 OSC32K 在运行中出现停止或频率错误时，系统也会自动切换回 IRC32K 时钟。

CLK_CFG 寄存器的 XTAL_SEL 位用来指示当前 CLK_32K 时钟源来自哪个振荡器。

通过设置 CLK_CFG 寄存器，用户也可以选择强制 IRC32K 保持开启，以及强制使用 OSC32K 作为 CLK_32K 时钟源。

11.5 电池备份域复位控制 BPOR

BPOR 能够控制关机、配置引脚复位的复位范围，以及配置电池备份域的唤醒源。

11.5.1 引脚复位配置

引脚复位默认为全局复位，用户可以通过把 POR_CONFIG 寄存器的 RETENTION 位置 1，引脚复位只复位电源管理域和系统电源域，不影响电池备份域的状态。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

11.5.2 电池备份域低功耗管理

BPOR 能够控制关闭电源管理域连带关闭系统电源域，方法是向 POR_CONTROL 寄存器的 COUNTER 位写入一个非零计数值，则计数器每个 32KHz 时钟周期减一，直到计数器为 1 时，BPOR 将电源管理域和系统电源域复位，同时 PWR_ON 引脚被拉低，如果外部 VPMC 供电可独立控制，则其可以在 PWR_ON 管脚拉低时关闭 VPMC 供电。

当电源管理域处于复位状态或 VPMC 断电状态时，仅电池备份域在正常工作，因此系统唤醒必须由电池备份域执行，电池备份域中提供的唤醒源有：

- WBUTN 按键唤醒
- 电池备份域安全违例
- RTC 闹钟 0
- RTC 闹钟 1
- 电池备份域 GPIO(BGPIO)

POR_SELECT 寄存器的 SELECT 位用来使能以上各唤醒源。

可通过 POR_CAUSE 寄存器查看最近一次唤醒的源头。对置 1 的标志位写 1 可以将其清除。

11.6 电池备份域按键控制 BUTN

BUTN 是一个按键状态检测模块，它可以用于电源管理域以及系统电源域的电源开关管理。

由于电池备份域有独立的电源输入和时钟源，因此 BUTN 可以在仅有 VBAT 供电的情况下，实现按键状态检测，并随之打开或者关闭系统的电源，生成唤醒事件，或者产生中断。

- 监测电源按键 PBUTN 与唤醒按键 WBUTN，2 个按键输入
- 控制 PLED 和 WLED，2 个 LED 输出
- 支持检测多种按键状态：单击，双击，三击，长按，超长按等
- 支持检测 2 个按键的组合按键状态：检测一个按键被按下时，另一个按键的状态：单击，双击，或三击
- 支持在检测到各种按键状态或者组合按键时，生成中断

11.6.1 电源按键和电源按键指示

电源按键 PBUTN 是电源管理域的开关控制输入。按键默认输入逻辑 0 为有效电平，因此建议用户应在外部将对应 IO 上拉至 VBAT，当按键按下时，按键 IO 上的输入变成低电平。

当系统处于电源管理域复位或 VPMC 掉电时，PBUTN 上检测到一次有效的按键（输入保持低电平约 0.5 秒），可以唤醒电源管理域电路，使系统重新工作。

当系统处于运行状态时，PBUTN 上检测到一次有效的超长按键（输入保持低电平约 16 秒），就会指示电源管理系统关闭电源管理域的各个电源，使系统休眠。

电源按键提示 PLED，是一个反映的电源按键 PBUTN 的状态的输出。PLED 输出为开漏输出，用户可以把此 IO 通过一个 LED 连接到合适的供电，通过 LED 提示按键的状态。它的输出模式如下：

- 按键输入高电平（按键未按下）时，输出为开漏高电平，LED 关闭。
- 按键输入低电平保持 0.5 秒后（一次有效按键），LED 开始快速闪耀
- 按键输入低电平约 4 秒后（一次有效长按键），LED 变为慢速闪耀
- 按键输入低电平约 16 秒后（一次有效超长按键），LED 再次关闭

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

11.6.2 唤醒按键和唤醒按键指示

唤醒按键 WBUTN 并不像电源按键 PBUTN 那样可以控制整个系统的电源开关。用户可以利用唤醒按键 WBUTN 生成唤醒事件，当系统处于掉电状态时，唤醒按键 WBUTN 上检测到一次有效的按键（输入保持低电平约 0.5 秒），可以重新打开电源域 VPMC 里的各个电源，使系统重新工作。

用户也可以根据唤醒按键 WBUTN 的不同按压状态产生中断。

唤醒按键提示 WLED，是一个反映的唤醒按键 WBUTN 的状态的输出。WLED 输出为开漏输出，用户可以把此 IO 通过一个 LED 连接到合适的供电，通过 LED 提示按键的状态。它的输出模式如下：

- 按键输入高电平（按键未按下）时，输出为开漏高电平，LED 关闭。
- 按键输入低电平保持 0.5 秒后（一次有效按键），LED 开始快速闪耀
- 按键输入低电平约 4 秒后（一次有效长按键），LED 变为慢速闪耀
- 按键输入低电平约 16 秒后（一次有效超长按键），LED 再次关闭

11.7 按键状态检测和中断

除了通过电源按键和唤醒按键实现系统电源的休眠、唤醒外，BUTN 还支持检测这些按键的按键状态：

- 按键按下，即检测到按键输入低电平
- 有效按键，即检测到按键输入低电平保持约 0.5 秒
- 长按键，即检测到按键输入低电平保持约 4 秒
- 超长按键，即检测到按键输入低电平保持约 16 秒
- 单击，即一次有效按键
- 双击，即一次有效按键松开后，约 0.5 秒再次按下，并保持约 0.5 秒以上
- 三击，即一次双击按键松开后，约 0.5 秒再次按下，并保持约 0.5 秒以上

BUTN 还支持检测组合按键：

- 电源按键和唤醒按键同时按下
- 电源按键和唤醒按键同时按键有效
- 电源按键和唤醒按键同时长按键有效
- 电源按键和唤醒按键同时超长按键有效
- 当电源按键按下时，唤醒按键的单击，双击，三击
- 当唤醒按键按下时，电源按键的单击，双击，三击

用户可以通过BTN_STATUS寄存器的对应状态位，查看是否检测到所支持的按键状态。一旦发生，对应标志位即置 1。此时，用户通过对标志位写入 1，来清除这个标志位。

用户可以通过BTN_IRQ_MASK寄存器打开或者关闭特定按键状态的中断。如果寄存器内的对应中断使能位置 1，即表示在检测到这个按键状态时，生成中断请求。

11.8 BCFG 寄存器说明

BCFG 的寄存器列表如下：

BCFG base address: 0xF5008000

地址偏移	名称	描述	复位值
0x0000	VBG_CFG	电压基准源	0x00000000
0x0004	LDO_CFG	稳压电源	0x00010000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0008	IRC32K_CFG	32K 时钟	0x00000000
0x000C	XTAL32K_CFG	32K 晶振	0x00000000
0x0010	CLK_CFG	时钟设置	0x00000000

表 22: BCFG 寄存器列表

11.9 BCFG 寄存器详细信息

BCFG 的寄存器详细说明如下：

11.9.1 VBG_CFG (0x0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VBG_TRIMMED	RSVD					LP_MODE	POWER_SAVE	RSVD			VBG_1P0					RSVD			VBG_P65					RSVD			VBG_P50				
RW	N/A					RW	RW	N/A			RW					N/A			RW					N/A			RW				
0	x	x	x	x	x	0	0	x	x	x	0	0	0	0	0	x	x	x	0	0	0	0	0	x	x	x	0	0	0	0	0

VBG_CFG [31:0]

位域	名称	描述
31	VBG_TRIMMED	已校准，此位在熔丝校准后自动置位，并停止加载熔丝值，写 0 清 0: 基准源未校准 1: 基准源已校准
25	LP_MODE	基准源低功耗模式 0: 正常模式 1: 低功耗模式
24	POWER_SAVE	基准源省电模式 0: 正常模式 1: 省电模式
20-16	VBG_1P0	1.0V 基准校准值
12-8	VBG_P65	0.65V 基准校准值
4-0	VBG_P50	0.50 基准校准值

VBG_CFG 位域

11.9.2 LDO_CFG (0x4)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD						RES_TRIM		RSVD		CP_TRIM		RSVD	EN_SL	DIS_PD	ENABLE	RSVD				VOLT											

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
N/A						RW		N/A		RW		N/A	RW	RW	RW	N/A				RW											
x	x	x	x	x	x	0	0	x	x	0	0	x	0	0	1	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0

LDO_CFG [31:0]

位域	名称	描述
25-24	RES_TRIM	电阻校准
21-20	CP_TRIM	电容校准
18	EN_SL	打开内部负载，内部负载有助于在工作电流小于 200nA 时提高电源性能。 0: 禁止 1: 打开
17	DIS_PD	关闭超压时放电，泄电可以防止稳压输出过高 0: 允许放电 1: 禁止放电
16	ENABLE	稳压电源开关 0: 关闭 1: 打开
11-0	VOLT	输出电压，单位毫伏。允许输入范围 600mV-1100mV。硬件自动选择不低于目标值的最小电压。 600: 600mV 620: 620mV . . . 1100:1100mV

LDO_CFG 位域

11.9.3 IRC32K_CFG (0x8)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IRC_TRIMMED	RSVD							CAPEX7_TRIM	CAPEX6_TRIM	RSVD													CAP_TRIM								
RW	N/A							RW	RW	N/A													RW								
0	x	x	x	x	x	x	x	0	0	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0

IRC32K_CFG [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31	IRC_TRIMMED	已校准，此位在熔丝校准后自动置位，并停止加载熔丝值，写 0 清 0: 32K 未校准 1: 32K 已校准
23	CAPEX7_TRIM	32K 校准值，冗余位 7
22	CAPEX6_TRIM	32K 校准值，冗余位 6
8-0	CAP_TRIM	32K 校准值

IRC32K_CFG 位域

11.9.4 XTAL32K_CFG (0xC)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																			HYST_EN	RSVD		GMSEL		RSVD			CFG	RSVD		AMP	
N/A																			RW	N/A		RW		N/A			RW	N/A		RW	
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	x	x	0	0	x	x	x	0	x	x	0	0

XTAL32K_CFG [31:0]

位域	名称	描述
12	HYST_EN	32K 振荡器迟滞
9-8	GMSEL	32K 振荡器跨导
4	CFG	32K 振荡器设置
1-0	AMP	32K 振荡器放大器

XTAL32K_CFG 位域

11.9.5 CLK_CFG (0x10)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD			XTAL_SEL	RSVD											KEEP_IRC	RSVD											FORCE_XTAL	RSVD			
N/A			RO	N/A											RW	N/A											RW	N/A			
x	x	x	0	x	x	x	x	x	x	x	x	x	x	x	0	x	x	x	x	x	x	x	x	x	x	x	0	x	x	x	x

CLK_CFG [31:0]

位域	名称	描述
28	XTAL_SEL	已选择晶体
16	KEEP_IRC	保持内部 32K
4	FORCE_XTAL	强制切换到晶体

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述

CLK_CFG 位域

11.10 BPOR 寄存器说明

BPOR 的寄存器列表如下：

BPOR base address: 0xF5004000

地址偏移	名称	描述	复位值
0x0000	POR_CAUSE	开机原因	0x00000000
0x0004	POR_SELECT	开机选择	0x00000000
0x0008	POR_CONFIG	复位配置	0x00000000
0x000C	POR_CONTROL	关机控制	0x00000000

表 23: BPOR 寄存器列表

11.11 BPOR 寄存器详细信息

BPOR 的寄存器详细说明如下：

11.11.1 POR_CAUSE (0x0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																											CAUSE				
N/A																											RW				
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0

POR_CAUSE [31:0]

位域	名称	描述
4-0	CAUSE	开机原因，每一位代表一个原因，写 1 清 bit0: 唤醒按键 bit1: 安全违例 bit2: RTC 定时 0 bit3: RTC 定时 1 bit4: GPIO

POR_CAUSE 位域

11.11.2 POR_SELECT (0x4)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																											SELECT				
N/A																											RW				
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0

POR_SELECT [31:0]

位域	名称	描述
4-0	SELECT	开机选择, 每一位代表一个原因，1 表示允许该原因自动开机 bit0: 唤醒按键 bit1: 安全违例 bit2: RTC 定时 0 bit3: RTC 定时 1 bit4: GPIO

POR_SELECT 位域

11.11.3 POR_CONFIG (0x8)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																															RETENTION
N/A																															RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0

POR_CONFIG [31:0]

位域	名称	描述
0	RETENTION	关机时保留电池域寄存器设置 0: 电池域随着引脚复位一起复位 1: 引脚复位时电池域不复位，保持运行状态

POR_CONFIG 位域

11.11.4 POR_CONTROL (0xC)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																COUNTER															
N/A																RW															
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

POR_CONTROL [31:0]

位域	名称	描述
15-0	COUNTER	关机计数器，计数器倒计数到 0 即停止，关机发生在计数器值是 1 的时刻。

POR_CONTROL 位域

11.12 BUTN 寄存器说明

BUTN 的寄存器列表如下：

BUTN base address: 0xF500C000

地址偏移	名称	描述	复位值
0x0000	BTN_STATUS	按键状态	0x00000000
0x0004	BTN_IRQ_MASK	按键中断掩码	0x00000000
0x0008	LED_INTENSE	指示灯亮度	0x00000000

表 24: BUTN 寄存器列表

11.13 BUTN 寄存器详细信息

BMU 的寄存器详细说明如下：

11.13.1 BTN_STATUS (0x0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD	XWCLICK			RSVD	WCLICK			RSVD	XPCLICK			RSVD	PCLICK			RSVD				DBTN				WBTN				PBTN			
N/A	RW			N/A	RW			N/A	RW			N/A	RW			N/A				RW				RW				RW			
x	0	0	0	x	0	0	0	x	0	0	0	x	0	0	0	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0

BTN_STATUS [31:0]

位域	名称	描述
30-28	XWCLICK	电源键保持按下，唤醒键点击状态, 写 1 清 bit0: 单击 bit1: 双击 bit2: 三连击
26-24	WCLICK	唤醒键点击状态, 写 1 清 bit0: 单击 bit1: 双击 bit2: 三连击

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
22-20	XPCLICK	唤醒键保持按下，电源键点击状态, 写 1 清 bit0: 单击 bit1: 双击 bit2: 三连击
18-16	PCLICK	电源键点击状态, 写 1 清 bit0: 单击 bit1: 双击 bit2: 三连击
11-8	DBTN	双键按压状态, 写 1 清 bit0: 触碰 bit1: 按下 0.5 秒 bit2: 长按 8 秒以上 bit3: 按压 16 秒以上
7-4	WBTN	唤醒键按压状态, 写 1 清 bit0: 触碰 bit1: 按下 0.5 秒 bit2: 长按 8 秒以上 bit3: 按压 16 秒以上
3-0	PBTN	电源键按压状态, 写 1 清 bit0: 触碰 bit1: 按下 0.5 秒 bit2: 长按 8 秒以上 bit3: 按压 16 秒以上

BTN_STATUS 位域

11.13.2 BTN_IRQ_MASK (0x4)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD	XWCLICK			RSVD	WCLICK			RSVD	XPCLICK			RSVD	PCLICK			RSVD				DBTN				WBTN				PBTN			
N/A	RW			N/A	RW			N/A	RW			N/A	RW			N/A				RW				RW				RW			
x	0	0	0	x	0	0	0	x	0	0	0	x	0	0	0	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0

BTN_IRQ_MASK [31:0]

位域	名称	描述
30-28	XWCLICK	电源键保持按下，唤醒键点击状态, 写 1 清 bit0: 单击 bit1: 双击 bit2: 三连击

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
26-24	WCLICK	唤醒键点击状态, 写 1 清 bit0: 单击 bit1: 双击 bit2: 三连击
22-20	XPCLICK	唤醒键保持按下，电源键点击状态, 写 1 清 bit0: 单击 bit1: 双击 bit2: 三连击
18-16	PCLICK	电源键点击状态, 写 1 清 bit0: 单击 bit1: 双击 bit2: 三连击
11-8	DBTN	双键按压状态, 写 1 清 bit0: 触碰 bit1: 按下 0.5 秒 bit2: 长按 8 秒以上 bit3: 按压 16 秒以上
7-4	WBTN	唤醒键按压状态, 写 1 清 bit0: 触碰 bit1: 按下 0.5 秒 bit2: 长按 8 秒以上 bit3: 按压 16 秒以上
3-0	PBTN	电源键按压状态, 写 1 清 bit0: 触碰 bit1: 按下 0.5 秒 bit2: 长按 8 秒以上 bit3: 按压 16 秒以上

BTN_IRQ_MASK 位域

11.13.3 LED_INTENSE (0x8)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD												RLED				RSVD												PLED			
N/A												RW				N/A												RW			
x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0

LED_INTENSE [31:0]

位域	名称	描述
19-16	RLED	唤醒指示灯亮度，有效范围 0-15，数值越大指示灯越亮

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
3-0	PLED	电源指示灯亮度，有效范围 0-15，数值越大指示灯越亮

LED_INTENSE 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

12 电源管理域配置模块 PCFG

本章节描述了电源域管理器 PCFG 的主要特性。

12.1 特性总结

PCFG 是电源管理域内的电源、时钟和模拟类外设的集成控制模块。用户可以通过 PCFG 实现：

- 线性稳压器 LDOOTP 控制
- 开关电源 DCDC 配置
- 电源管理域门控时钟管理
- 调试控制

12.2 功能描述

本章节描述 PCFG 的功能。

12.2.1 线性稳压器 LDOOTP 配置

线性稳压器 LDOOTP 是片上一次性可编程存储器 OTP 的电源。对 OTP 进行烧写前，必须先将 LDO2P5 寄存器的 ENABLE 位使能，并等待 READY 位有效。在 OTP 烧写结束后必须清除 ENABLE 位以关闭该 LDO。

12.2.2 开关电源 DCDC 配置

开关电源 DCDC 可以用来为系统电源域提供电源。DCDC 的输出电压通过 DCDC_MODE 寄存器的 VOLT 位设置，默认电压为 1.15V。

DCDC 默认开启，当芯片使用外部电源直接为 VDD_SOC 供电时，应将 DCDC_MODE 寄存器的 MODE 位设为 0 以关闭 DCDC。

当系统进入休眠模式 (详见节 15.4) 时，DCDC 也可随之关闭或者进入低功耗状态，相关控制在 POWER_TRAP 寄存器的 TRAP 和 RETENTION，其组合关系如表 25 所示：

TRAP 位	RETENTION	设置
0	-	系统休眠时，DCDC 工作状态不变
1	0	系统休眠时，DCDC 关闭
1	1	系统休眠时，DCDC 进入低功耗模式

表 25: DCDC 低功耗状态控制

DCDC 进入低功耗模式时，输出电压在 DCDC_LPMODE 寄存器的 STBY_VOLT 中设置。可以根据应用设置一个较低的电压，例如使用系统电源域的存储器内容保持电压值。

DCDC 支持获取当前电流强度，在开启电流测量功能后，可从 DCDC_CURRENT 寄存器的 LEVEL 读取。

12.2.3 电源管理域模块的时钟门控

用户可以通过 SCG_CTRL 寄存器打开或关闭电源管理域部分模块的时钟。

- OTP
- APB SRAM

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

- VAD
- PGPIO
- PIOC
- PTMR
- PWDG
- PUART

12.2.4 系统电源域唤醒

电源管理域中的唤醒源有：

- OTP 中断
- VAD 中断
- PTMR 中断
- PUART 中断
- PWDG 中断
- PGPIO 中断
- 电源管理域安全违例

可通过 PCFG 模块的 WAKE_MASK 寄存器允许以上唤醒源唤醒系统，而唤醒源状态可在 WAKE_CAUSE 寄存器中读取和清零。

12.2.5 调试控制

用户可以通过 DEBUG_STOP 寄存器设置在处理器调试模式下时，部分计时类模块停止计数：

- HART0 = 1’b1，CPU0 在调试时，计时模块停止计数
- HART1 = 1’b1，CPU1 在调试时，计时模块停止计数

受控的计时模块有：

- GPTMR0~7
- WDG0~3
- PWM0~3
- PTMR
- PWDG

12.2.6 电源管理域复位控制模块 PPOR

PPOR 管理系统电源域的复位。

用户可以通过 RESET_ENABLE 寄存器来打开或者关闭这些复位。

用户可以通过 RESET_FLAG 寄存器来查看最近一次复位的来源。

RESET_COLD 寄存器用来控制每个复位源产生冷复位或者温复位。

用户可以通过 SOFTWARE_RESET 的 COUNTER 位域配置软件复位倒计时计数器。用户可以任意配置 COUNTER，当这个计数器倒计时到 2 时，生成软件复位。对 COUNTER 写入 0 可以关闭软件复位，并取消正在进行中的软件复位倒计时。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

12.3 PCFG 寄存器说明

PCFG 的寄存器列表如下：

PCFG base address: 0xF40C4000

地址偏移	名称	描述	复位值
0x0000	BANDGAP	基准源	0x00101010
0x0004	LDO1P1	1.1V 稳压源	0x0001044C
0x0008	LDO2P5	2.5V 稳压源	0x000009C4
0x0010	DCDC_MODE	DCDC 工作模式	0x00B010B0
0x0014	DCDC_LPMODE	DCDC 低功耗设置	0x00B010B0
0x0018	DCDC_PROT	DCDC 保护	0x00000000
0x001C	DCDC_CURRENT	DCDC 电流估计	0x00000000
0x0020	DCDC_ADVMODE	DCDC 高级设置	0x00EF1C6E
0x0024	DCDC_ADVPARAM	DCDC 高级参数	0x00EF1C6E
0x0028	DCDC_MISC	DCDC 杂项设置	0x00070100
0x002C	DCDC_DEBUG	调试设置	0x00005DBF
0x0030	DCDC_START_TIME	DCDC 启动时间	0x0001193F
0x0034	DCDC_RESUME_TIME	DCDC 恢复时间	0x00008C9F
0x0040	POWER_TRAP	DCDC 低功耗设置	0x00000000
0x0044	WAKE_CAUSE	唤醒原因	0x00000000
0x0048	WAKE_MASK	唤醒掩蔽	0x00000000
0x004C	SCG_CTRL	保持外设时钟开关	0xFFFFFFFF
0x0050	DEBUG_STOP	调试通知	0x00000001
0x0060	RC24M	RC24M 设置	0x00000316
0x0064	RC24M_TRACK	RC 24M 跟踪设置	0x00000000
0x0068	TRACK_TARGET	RC 24M 跟踪频率	0x00000000
0x006C	STATUS	RC 24M 跟踪状态	0x00000000

表 26: PCFG 寄存器列表

12.4 PCFG 寄存器详细信息

PCFG 的寄存器详细说明如下：

12.4.1 BANDGAP (0x0)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VBG_TRIMMED	RSVD					LOWPOWER_MODE	POWER_SAVE	RSVD			VBG_1P0_TRIM					RSVD			VBG_P65_TRIM					RSVD			VBG_P50_TRIM				
RW	N/A					RW	RW	N/A			RW					N/A			RW					N/A			RW				
0	x	x	x	x	x	0	0	x	x	x	1	0	0	0	0	x	x	x	1	0	0	0	0	x	x	x	1	0	0	0	0

BANDGAP [31:0]

位域	名称	描述
31	VBG_TRIMMED	已校准，此位在熔丝校准后自动置位，并停止加载熔丝值，写 0 清 0: 基准源未校准 1: 基准源已校准
25	LOWPOWER_MODE	基准源低功耗模式 0: 正常模式 1: 低功耗模式
24	POWER_SAVE	基准源省电模式 0: 正常模式 1: 省电模式
20-16	VBG_1P0_TRIM	1.0V 基准校准值
12-8	VBG_P65_TRIM	0.65V 基准校准值
4-0	VBG_P50_TRIM	0.50 基准校准值

BANDGAP 位域

12.4.2 LDO1P1 (0x4)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD															ENABLE	RSVD				VOLT											
N/A															RW	N/A				RW											
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	1	x	x	x	x	0	1	0	0	0	1	0	0	1	1	0	0

LDO1P1 [31:0]

位域	名称	描述
16	ENABLE	稳压电源开关 0: 关闭 1: 打开
11-0	VOLT	输出电压，单位毫伏。允许输入范围 700mV-1320mV。硬件自动选择不低于目标值的最小电压。

LDO1P1 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

12.4.3 LDO2P5 (0x8)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD			READY	RSVD											ENABLE	RSVD				VOLT											
N/A			RO	N/A											RW	N/A				RW											
x	x	x	0	x	x	x	x	x	x	x	x	x	x	x	0	x	x	x	x	1	0	0	1	1	1	0	0	0	1	0	0

LDO2P5 [31:0]

位域	名称	描述
28	READY	2.5V 电源以稳定 0：关闭或尚未稳定 1：已稳定
16	ENABLE	稳压电源开关 0: 关闭 1: 打开
11-0	VOLT	输出电压，单位毫伏。允许输入范围 2125mV-2900mV。硬件自动选择不低于目标值的最小电压。

LDO2P5 位域

12.4.4 DCDC_MODE (0x10)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD			READY	RSVD									MODE			RSVD				VOLT											
N/A			RO	N/A									RW			N/A				RW											
x	x	x	0	x	x	x	x	x	x	x	x	x	0	0	0	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0

DCDC_MODE [31:0]

位域	名称	描述
28	READY	DCDC 稳定标志 0: DCDC 尚未稳定 1: DCDC 已稳定
18-16	MODE	DCDC 工作模式 XX0: 关闭 001: 基本模式 011: 通用模式 111: 专家模式

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
11-0	VOLT	输出电压，单位毫伏。允许输入范围 600mV-1375mV。硬件自动选择不低于目标值的最小电压。

DCDC_MODE 位域

12.4.5 DCDC_LPMODE (0x14)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																				STBY_VOLT											
N/A																				RW											
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0

DCDC_LPMODE [31:0]

位域	名称	描述
11-0	STBY_VOLT	低功耗模式输出电压，单位毫伏。允许输入范围 600mV-1375mV。硬件自动选择不低于目标值的最小电压。

DCDC_LPMODE 位域

12.4.6 DCDC_PROT (0x18)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD			ILIMIT_LP	RSVD			OVERLOAD_LP	DISABLE_POWER_LOSS	RSVD						POWER_LOSS_FLAG	DISABLE_OVERVOLTAGE	RSVD						OVERVOLT_FLAG	DISABLE_SHORT	RSVD		SHORT_CURRENT	RSVD			SHORT_FLAG
N/A			RW	N/A			RW	RW	N/A						RO	RW	N/A						RO	RW	N/A		RW	N/A			RO
x	x	x	0	x	x	x	0	0	x	x	x	x	x	x	0	0	x	x	x	x	x	x	0	0	x	x	0	x	x	x	0

DCDC_PROT [31:0]

位域	名称	描述
28	ILIMIT_LP	低功耗模式负载电流 0:250mA 1:200mA
24	OVERLOAD_LP	低功耗模式下过流 0: 电流低于设定值 1: 电流超过设定值

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
23	DISABLE_POWER_LOSS	禁止失电保护 0: 允许保护, 失电后保持关闭 1: 禁止保护，失电后尝试重启
16	POWER_LOSS_FLAG	失电标志 0: 电源输入正常 1: 电源输入过低
15	DISABLE_OVERVOLTAGE	禁止输出过压保护 0: 允许保护, DCDC 过压后自动关闭 1: 禁止保护, DCDC 过压后保持工作
8	OVERVOLT_FLAG	输出过压标志 0: 输出正常 1: 输出过高
7	DISABLE_SHORT	禁止输出短路保护 0: 允许保护，DCDC 短路后自动关闭 1: 禁止保护，DCDC 短路后保持工作
4	SHORT_CURRENT	短路电流 0: 2.0A, 1: 1.3A
0	SHORT_FLAG	短路标志 0: 电流低于短路电流 1: 检测到短路

DCDC_PROT 位域

12.4.7 DCDC_CURRENT (0x1C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																ESTI_EN	RSVD						VALID	RSVD			LEVEL				
N/A																RW	N/A						RO	N/A			RO				
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	x	x	x	x	x	x	0	x	x	x	0	0	0	0	0

DCDC_CURRENT [31:0]

位域	名称	描述
15	ESTI_EN	使能电流估计
8	VALID	电流估计有效 0: 无估计数据 1: 估计值有效
4-0	LEVEL	DCDC 估计电流, 电流值位 LEVEL * 50mA

DCDC_CURRENT 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

12.4.8 DCDC_ADVMODE (0x20)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD					EN_RCSCALE			RSVD		DC_C		DC_R				RSVD									EN_FF_DET	EN_FF_LOOP	EN_AUTOLP	EN_DCM_EXIT	EN_SKIP	EN_IDLE	EN_DCM
N/A					RW			N/A		RW		RW				N/A									RW	RW	RW	RW	RW	RW	RW
x	x	x	x	x	0	0	0	x	x	0	0	0	0	0	0	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0

DCDC_ADVMODE [31:0]

位域	名称	描述
26-24	EN_RCSCALE	Enable RC scale
21-20	DC_C	Loop C number
19-16	DC_R	Loop R number
6	EN_FF_DET	enable feed forward detect 0: feed forward detect is disabled 1: feed forward detect is enabled
5	EN_FF_LOOP	enable feed forward loop 0: feed forward loop is disabled 1: feed forward loop is enabled
4	EN_AUTOLP	enable auto enter low power mode 0: do not enter low power mode 1: enter low power mode if current is detected low
3	EN_DCM_EXIT	avoid over voltage 0: stay in DCM mode when voltage excess 1: change to CCM mode when voltage excess
2	EN_SKIP	enable skip on narrow pulse 0: do not skip narrow pulse 1: skip narrow pulse
1	EN_IDLE	enable skip when voltage is higher than threshold 0: do not skip 1: skip if voltage is excess
0	EN_DCM	DCM mode 0: CCM mode 1: DCM mode

DCDC_ADVMODE 位域

12.4.9 DCDC_ADVPARAM (0x24)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																	MIN_DUT							RSVD	MAX_DUT						
N/A																	RW							N/A	RW						
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0

DCDC_ADVPARAM [31:0]

位域	名称	描述
14-8	MIN_DUT	minimum duty cycle
6-0	MAX_DUT	maximum duty cycle

DCDC_ADVPARAM 位域

12.4.10 DCDC_MISC (0x28)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD			EN_HYST	RSVD		HYST_SIGN	HYST_THRS	RSVD			RC_SCALE	RSVD	DC_FF			RSVD						OL_THRE		RSVD			OL_HYST	RSVD	DELAY	CLK_SEL	EN_STEP
N/A			RW	N/A		RW	RW	N/A			RW	N/A	RW			N/A						RW		N/A			RW	N/A	RW	RW	RW
x	x	x	0	x	x	0	0	x	x	x	0	x	0	0	0	x	x	x	x	x	x	0	0	x	x	x	0	x	0	0	0

DCDC_MISC [31:0]

位域	名称	描述
28	EN_HYST	hysteres enable
25	HYST_SIGN	hysteres sign
24	HYST_THRS	hysteres threshold
20	RC_SCALE	Loop RC scale threshold
18-16	DC_FF	Loop feed forward number
9-8	OL_THRE	overload for threshold for lod power mode
4	OL_HYST	current hysteres range 0: 12.5mV 1: 25mV
2	DELAY	enable delay 0: delay disabled, 1: delay enabled
1	CLK_SEL	clock selection 0: select DCDC internal oscillator 1: select RC24M oscillator

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
0	EN_STEP	enable stepping in voltage change 0: stepping disabled, 1: steping enabled

DCDC_MISC 位域

12.4.11 DCDC_DEBUG (0x2C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD												UPDATE_TIME																			
N/A												RW																			
x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DCDC_DEBUG [31:0]

位域	名称	描述
19-0	UPDATE_TIME	DCDC 电压调整时间，以 24M 时钟计数，缺省值 1mS

DCDC_DEBUG 位域

12.4.12 DCDC_START_TIME (0x30)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD												START_TIME																			
N/A												RW																			
x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	1	0	0	0	1	1	0	0	1	0	0	1	1	1	1	1	1

DCDC_START_TIME [31:0]

位域	名称	描述
19-0	START_TIME	DCDC 电压启动时间，以 24M 时钟计数，缺省值 3mS

DCDC_START_TIME 位域

12.4.13 DCDC_RESUME_TIME (0x34)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD												RESUME_TIME																			
N/A												RW																			
x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	1	0	0	0	1	1	0	0	1	0	0	1	1	1	1	1

DCDC_RESUME_TIME [31:0]

位域	名称	描述
19-0	RESUME_TIME	DCDC 低功耗恢复时间，以 24M 时钟计数，缺省值 1.5mS

DCDC_RESUME_TIME 位域

12.4.14 POWER_TRAP (0x40)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRIGGERED	RSVD														RETENTION	RSVD															TRAP
RW	N/A														RW	N/A															RW
0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0

POWER_TRAP [31:0]

位域	名称	描述
31	TRIGGERED	DCDC 进入低功耗，若 DCDC 计入低功耗状态，此位会置位，此位写 1 清零 0：DCDC 未进入过低功耗模式 1: DCDC 进入过低功耗模式
16	RETENTION	DCDC 进入低功耗模式，降低电压保持 SOCSRAM 的内容 0: 关闭 DCDC 1: 降低电压
0	TRAP	允许 DCDC 在低功耗模式下关闭或降低电压，该位在 DCDC 关闭或降低电压后自动清零 0: DCDC 在低功耗模式下保持工作状态 1: DCDC 在低功耗模式下关闭或降低电压

POWER_TRAP 位域

12.4.15 WAKE_CAUSE (0x44)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CAUSE																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

WAKE_CAUSE [31:0]

位域	名称	描述
31-0	CAUSE	可从 DCDC 低功耗模式唤醒的唤醒状态，每位代表 1 个唤醒源，写 1 清零 0: 唤醒源未唤醒过系统 1: 唤醒源唤醒过系统 bit 0: SOC 请求 bit 1: 调试唤醒 bit 4: 熔丝中断 bit 7: UART 中断 bit 8: TMR 中断 bit 9: WDG 中断 bit10: PGPIO 中断 bit11: 安全传感器中断 bit12: 安全状态中断 bit16: 电池域安全违例 bit17: BGPIO 中断 bit18: 按键中断 bit19: 时钟中断

WAKE_CAUSE 位域

12.4.16 WAKE_MASK (0x48)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MASK																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

WAKE_MASK [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-0	MASK	禁止唤醒源唤醒系统 0: 允许事件唤醒系统 1: 禁止事件唤醒系统 bit 0: SOC 请求 bit 1: 调试唤醒 bit 4: 熔丝中断 bit 7: UART 中断 bit 8: TMR 中断 bit 9: WDG 中断 bit10: PGPIO 中断 bit11: 安全传感器中断 bit12: 安全状态中断 bit16: 电池域安全违例 bit17: BGPIO 中断 bit18: 按键中断 bit19: 时钟中断

WAKE_MASK 位域

12.4.17 SCG_CTRL (0x4C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SCG																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SCG_CTRL [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-0	SCG	电源管理域外设时钟管理，每两位代表一个外设 00,01: reserved 10: 保持关闭 11: 保持运行 bit0-1: 熔丝 bit2-3: SRAM bit4-5: 语音检测 bit6-7:GPIO bit8-9:IO 管理 bit10-11: TMR bit12-13:WDG bit14-15:UART bit16-17: 调试端口

SCG_CTRL 位域

12.4.18 DEBUG_STOP (0x50)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																														CPU1	CPU0
N/A																														RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0

DEBUG_STOP [31:0]

位域	名称	描述
1	CPU1	CPU1 调试时通知外设设置 0: 不通知外设 1: 通知外设
0	CPU0	CPU0 调试时通知外设设置 0: 不通知外设 1: 通知外设

DEBUG_STOP 位域

12.4.19 RC24M (0x60)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RC_TRIMMED	RSVD																				TRIM_C			RSVD			TRIM_F				

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RW	N/A																				RW			N/A			RW				
0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	1	1	x	x	x	1	0	1	1	0

RC24M [31:0]

位域	名称	描述
31	RC_TRIMMED	RC24M 校准标志，若熔丝有校准值则该位在校准后置 1，写 0 清零该位 0: RC24M 未校准 1: RC24M 已校准
10-8	TRIM_C	RC24M 粗调, 数值越大频率越高
4-0	TRIM_F	RC24M 细调, 数值越大频率越高

RC24M 位域

12.4.20 RC24M_TRACK (0x64)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD															SEL24M	RSVD											RETURN	RSVD			TRACK
N/A															RW	N/A											RW	N/A			RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	x	x	x	x	x	x	x	x	x	x	x	0	x	x	x	0

RC24M_TRACK [31:0]

位域	名称	描述
16	SEL24M	选择外部参考 0: 32K OSC 1: 24M OSC
4	RETURN	外部时钟源停止时行为 0: 保持 1: 返回缺省值
0	TRACK	自动跟踪 0: RC24M 自由振荡 1: 跟踪外部时钟源

RC24M_TRACK 位域

12.4.21 TRACK_TARGET (0x68)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRE_DIV																TARGET															
RW																RW															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TRACK_TARGET [31:0]

位域	名称	描述
31-16	PRE_DIV	参考频率预分频数
15-0	TARGET	目标频率，预分频倍数

TRACK_TARGET 位域

12.4.22 STATUS (0x6C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD											SEL32K	RSVD			SEL24M	EN_TRIM	RSVD				TRIM_C			RSVD			TRIM_F				
N/A											RO	N/A			RO	RO	N/A				RO			N/A			RO				
x	x	x	x	x	x	x	x	x	x	x	0	x	x	x	0	0	x	x	x	x	0	0	0	x	x	x	0	0	0	0	0

STATUS [31:0]

位域	名称	描述
20	SEL32K	参考 OSC 32K 0: 否 1: 是
16	SEL24M	参考 OSC 24M 0: 否 1: 是
15	EN_TRIM	缺省值可用 0: 不可用 1: 可用
10-8	TRIM_C	缺省粗调值
4-0	TRIM_F	缺省细调值

STATUS 位域

12.5 PPOR 寄存器说明

PPOR 的寄存器列表如下：

PPOR base address: 0xF40C0000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0000	RESET_FLAG	复位源标志	0x00000000
0x0004	RESET_STATUS	复位源状态	0x00000000
0x0008	RESET_HOLD	复位保持	0x00000000
0x000C	RESET_ENABLE	复位使能	0x00000000
0x0010	RESET_HOT	复位类型	0x00000000
0x0014	RESET_COLD	复位类型	0x00000000
0x001C	SOFTWARE_RESET	软复位计数器	0x00000000

表 27: PPOR 寄存器列表

12.6 PPOR 寄存器详细信息

PPOR 的寄存器详细说明如下：

12.6.1 RESET_FLAG (0x0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLAG																															
W1C																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RESET_FLAG [31:0]

位域	名称	描述
31-0	FLAG	发生过硬复位的复位标志，写 1 清 0: 电压过低 4: 调试复位 16: WDG0 17: WDG1 18: WDG2 19: WDG3 20: PWDG 31: 软件复位

RESET_FLAG 位域

12.6.2 RESET_STATUS (0x4)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STATUS																															
RW																															

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RESET_STATUS [31:0]

位域	名称	描述
31-0	STATUS	复位源当前状态 0: 电压过低 4: 调试复位 16: WDG0 17: WDG1 18: WDG2 19: WDG3 20: PWDG 31: 软件复位

RESET_STATUS 位域

12.6.3 RESET_HOLD (0x8)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																STATUS															
																RW															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RESET_HOLD [31:0]

位域	名称	描述
31-0	STATUS	复位保持，此位置 1 的时候，若复位源保持有效则 SOC 保持复位状态，否则 SOC 复位自动释放 0: 电压过低 4: 调试复位 16: WDG0 17: WDG1 18: WDG2 19: WDG3 20: PWDG 31: 软件复位

RESET_HOLD 位域

12.6.4 RESET_ENABLE (0xC)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ENABLE																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RESET_ENABLE [31:0]

位域	名称	描述
31-0	ENABLE	允许复位源复位 SOC 0: 电压过低 4: 调试复位 16: WDG0 17: WDG1 18: WDG2 19: WDG3 20: PWDG 31: 软件复位

RESET_ENABLE 位域

12.6.5 RESET_HOT (0x10)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TYPE																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RESET_HOT [31:0]

位域	名称	描述
31-0	TYPE	冷热复位选择，0：冷复位或温复位，所有系统和引脚设置均被清除，1：热复位，系统和引脚设置均被清除被保留 0: 电压过低 4: 调试复位 16: WDG0 17: WDG1 18: WDG2 19: WDG3 20: PWDG 31: 软件复位

RESET_HOT 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

12.6.6 RESET_COLD (0x14)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLAG																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RESET_COLD [31:0]

位域	名称	描述
31-0	FLAG	冷复位温复位选择，0：温复位，熔丝不重新加载，1：冷复位，重新加载熔丝 0: 电压过低 4: 调试复位 16: WDG0 17: WDG1 18: WDG2 19: WDG3 20: PWDG 31: 软件复位

RESET_COLD 位域

12.6.7 SOFTWARE_RESET (0x1C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
COUNTER																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SOFTWARE_RESET [31:0]

位域	名称	描述
31-0	COUNTER	计数器在 24M 时钟下倒计数到 0 时停止，计数器计至 2 时产生复位，写 0 可撤销中断

SOFTWARE_RESET 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

13 系统控制模块 SYSCTL

本章节介绍系统控制模块 SYSCTL 的主要功能及使用。

13.1 特性总结

系统控制模块 SYSCTL 是系统电源域的管理模块。它的的主要功能有：

- 功能时钟配置
- 多处理器启动管理
- 系统电源域资源管理
- 低功耗管理
- 时钟测量

13.2 功能时钟配置

功能时钟的配置在 SYSCTL 模块中实现，用户可通过修改 CLOCK[x] 寄存器来配置功能时钟。其中 MUX 位用来选择时钟源，时钟源列表见表 18。其中 DIV 位用来设置分频系数，寄存器可配置的有效值为 0~255，实际分频系数为寄存器值 +1，如设置 DIV 位为 3，则会将选择的时钟源进行 4 分频后输出。

LOC_BUSY 位为 0 时标志该功能时钟在当前配置下已能够使用。

分频系数和时钟源选择均支持运行中 (on-the-fly) 修改。

13.3 CPU 启动管理

系统总是从 CPU0 启动，因此 CPU0 为主核，CPU1 为从核。

13.3.1 主核启动管理

CPU0 的启动支持低功耗唤醒后的程序快速跳转，详见节 19.5。在该流程中 SYSCTL 提供以下支持：

- CPU[CPU0][LP] 寄存器的 RESET/SLEEP/WAKE 位用来标识事件记录
- CPU[CPU0][GPR0] 寄存器用来存放程序快速跳转入口
- CPU[CPU0][GPRx] 寄存器用来实现快速跳转的程序校验

13.3.2 从核启动管理

CPU1 作为从核不能自主启动，SYSCTL 的 CPU[CPU1][LP] 寄存器的 HALT 位默认为 1，使 CPU1 不会自动执行程序。当主核 CPU0 需要启动 CPU1 运行程序时，需首先将 CPU1 程序的入口地址写入 SYSCTL 的 CPU[CPU1][GPR0] 寄存器，再将 CPU[CPU1][LP] 寄存器的 HALT 位清零，CPU1 即从入口地址开始运行程序。

13.4 系统电源域资源管理

系统控制模块 SYSCTL 管理整个系统电源域的时钟、电源开关和复位。

本节将对系统电源域中各种资源的开关控制机制作详细的介绍,编程模型的简单说明可直接跳转到小节 13.4.6查看。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

13.4.1 资源节点

在系统电源域中，各种能够被开启或关闭的节点称为资源节点 (resource)，包括各功能模块、功能时钟、子系统电源和复位、时钟源等。

RESOURCE[x] 寄存器用来配置资源节点，MODE 位用来配置资源节点的控制模式，软件可直接修改 MODE 位来直接控制某资源的使能和关闭。

对于功能模块，将其 RESOURCE[*] 寄存器的 MODE 位设为 1 即可使能该模块，设为 2 则关闭该模块。

对于 CPU、CONN 和 VIS 子系统，将其 RESOURCE[POW_*] 寄存器的 mode 位设为 1 即打开该子系统的电源开关，设为 2 则关闭电源开关。将其 RESOURCE[RST_*] 寄存器的 mode 位设为 2 则将该子系统保持复位，设为 1 则退出复位。

对于功能时钟和时钟源，将其 RESOURCE[CLK_TOP_*] 和 RESOURCE[CLK_SRC_*] 寄存器的 MODE 位设为 1 即使能该时钟，设为 2 则关闭该时钟。

LOC_BUSY 位为 0 时标志该资源节点已能够使用。

在实际应用中，资源节点的控制模式通常配置为默认值 0 即自动模式，其具体的工作机制详见下一小节。

13.4.2 资源节点的链式结构

资源节点之间存在依赖关系，如功能模块的正常工作依赖功能时钟的正确输出，功能时钟又依赖 PLL 等时钟源的频率稳定。这种依赖关系构成了一种链式结构，在链的下游是终端的各个功能模块，中游是功能时钟、电源和复位等直接服务功能模块的资源，上游主要是各时钟源。

图 9以 CONN 子系统中的 ENET0 和 SDXC0 模块为例描述了资源节点的链式关系。

图 9: 资源节点的链式关系

下游的资源节点 ENET0 的正常工作依赖于 CLK_TOP_ENET0 提供接口时钟，依赖于 CLK_TOP_AXI 提供总线时钟，还需要其所在的 CONN 子系统处于非复位状态且电源开关打开。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

中游的资源节点 CLK_TOP_ENET0 在默认配置下依赖时钟源 PLL2CLK1，CLK_TOP_AXI 在默认配置下依赖时钟源 PLL1CLK1，另外 CONN 子系统的复位退出依赖 CONN 子系统的电源开关打开。

上游的资源节点 PLL1CLK1 时钟源依赖 PLL1 使能并频率稳定，PLL1 又依赖 XTAL24M 提供有效的参考时钟。

所有的资源节点都由 SYSCTL 模块统一管理，资源节点之间的依赖关系已在硬件上自动实现，用户无需关注具体的依赖关系。在资源节点链上，当下游的某个节点需要开启时，它会自动请求自己依赖的所有中上游的资源节点开启。如果中游和上游相关资源节点的 RESOURCE[] 寄存器中 MODE 位为 0 即处于自动模式时，该节点会在收到请求后自动开启，并同时要求更上游的资源节点开启。而资源节点默认就是工作在自动模式。

以 ENET0 模块为例，在所有中游和上游资源节点都工作于默认的自动模式时，将 RESOURCE[ENET0] 寄存器的 MODE 位修改为 1 即是要求使能 ENET0 模块，RESOURCE[ENET0] 寄存器的 LOC_BUSY 位会被置 1，同时通过链式传导，所有相关的资源节点都会被自动使能，直到 XTAL24M 震荡稳定，PLL1 时钟锁定，CLK_TOP_AXI 和 CLK_TOP_ENET0 时钟使能，CONN 子系统电源开启且复位结束时，RESOURCE[ENET0] 寄存器的 LOC_BUSY 位会被清 0，表示 ENET0 模块已准备就绪可以使用。

13.4.3 资源节点的自动关闭机制

链式结构上的资源节点能够根据请求自动开启，也能够在一定的条件下自动关闭。

当一个资源节点关闭后，它会向自己依赖的资源节点发送关闭请求，当一个资源节点连接的下游的所有节点都发送了关闭请求时，该节点才被允许关闭。

假设图 9中已显示了相关资源节点完整的依赖关系，在所有中游和上游资源节点都工作于默认的自动模式时，若将 RESOURCE[ENET0] 寄存器的 MODE 位修改为 2，即要求关闭 ENET0 模块，首先 ENET0 的模块时钟会被关闭，之后会请求关闭其依赖的所有资源节点。CLK_TOP_ENET0 由于只服务 ENET0 这一个下游资源节点，在收到其关闭请求后会执行关闭操作并继续向其依赖的上游资源节点 PLL2CLK1 发出关闭请求。

CLK_TOP_AXI 也会收到 ENET0 的关闭请求，但由于其下游同时连接的 SDXC0 仍处于工作状态，所以 CLK_TOP_AXI 不被允许关闭，RESET_CONN 资源节点也是如此。

13.4.4 资源节点保持开启

资源节点的自动关闭机制在允许的情况下能够一直将关闭请求自动传导到每条链的最上游如 XTAL24M 和 PLL 等，这些资源的重新开启会消耗一定的时间，如果用户关闭请求到达某个资源节点即停止传播，只需将该节点的 RESOURCE[] 寄存器的 MODE 位设为 1 即可将其强制保持使能。

常用的场景有：保持 PLL 不被关闭或 XTAL24M 一直工作，以及子系统的电源保持。

对于有独立电源开关的子系统，在低功耗模式下，存在以下几种可能的工作状态：

- 时钟保持：保持子系统内个别或全部模块的资源节点处于使能状态，使这些模块能够随时开始工作，这需要将相应的 RESOURCE[*] 寄存器的 MODE 位设为 1
- 寄存器保持：允许子系统内全部的模块资源节点关闭，但不对子系统进行复位，且保留电源，使得子系统内的所有寄存器和逻辑电路状态得以保存，这需要设置子系统的 RESOURCE[RST_*] 和 RESOURCE[POW_*] 寄存器的 MODE 位为 1
- 存储器保持：允许子系统进入复位状态，但保留电源，这样能够保留子系统中存储器内的数据，这需要设置子系统 RESOURCE[POW_*] 寄存器的 MODE 位为 1
- 子系统电源关闭

子系统的状态设置还有另外一种方式实现，详见小节 13.5.2。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

13.4.5 功能模块与处理器的连接

中游和上游资源节点工作在自动模式时，会根据其下游节点的请求自动执行开启和关闭，而下游的功能模块资源节点工作在自动模式时，则能够根据处理器的状态执行开启和关闭。

SYSCTL 提供两个连接组 (link group 0/1) 用来将功能模块与处理器连接起来，通常 CPU0 使用 group0，CPU1 使用 group1。

功能模块与 group 的连接在 GROUP0 和 GROUP1 寄存器中设置，寄存器每一个 bit 对应一个功能模块，将 bit 置 1 表示将该模块与该 group 连接绑定。表 28列出了 GROUP 寄存器的 bit 位与功能模块的对应关系。

GROUPx[0] 寄存器		GROUPx[1] 寄存器		GROUPx[2] 寄存器	
bit	**资源节点**	**bit**	**资源节点**	**bit**	**资源节点**
0	AHB/APB 外设总线	0	GPTMR6	0	ADC1
1	AXI 系统总线	1	GPTMR7	1	ADC2
2	CONN 子系统总线	2	UART0	2	ADC3
3	VIS 子系统总线	3	UART1	3	ACMP
4	DRAM	4	UART2	4	I2S0
5	ROM	5	UART3	5	I2S1
6	ILM0/DLM0	6	UART4	6	I2S2
7	ILM1/DLM1	7	UART5	7	I2S3
8	MCHTMR0	8	UART6	8	PDM
9	MCHTMR1	9	UART7	9	DAO
10	AXI SRAM0	10	UART8	10	SYNT
11	AXI SRAM1	11	UART9	11	MOT0*
12	XPI0	12	UART10	12	MOT1
13	XPI1	13	UART11	13	MOT2
14	SDP	14	UART12	14	MOT3
15	RNG	15	UART13	15	LCDC
16	KEYM	16	UART14	16	CAM0
17	HDMA	17	UART15	17	CAM1
18	XDMA	18	I2C0	18	JPEG
19	GPIO0/1	19	I2C1	19	PDMA
20	MBX0	20	I2C2	20	ENET0
21	MBX1	21	I2C3	21	ENET1
22	WDG0	22	SPI0	22	NTMR0
23	WDG1	23	SPI1	23	NTMR1
24	WDG2	24	SPI2	24	SDXC0
25	WDG3	25	SPI3	25	SDXC1
26	GPTMR0	26	CAN0	26	USB0
27	GPTMR1	27	CAN1	27	USB1
28	GPTMR2	28	CAN2	28	
29	GPTMR3	29	CAN3	29	

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

GROUPx[0] 寄存器		GROUPx[1] 寄存器		GROUPx[2] 寄存器	
bit	**资源节点**	**bit**	**资源节点**	**bit**	**资源节点**
30	GPTMR4	30	PTPC	30	
31	GPTMR5	31	ADC0	31	

表 28: 功能模块连接位表

为保证基本系统能够工作，SYSCTL 已对部分资源节点做了默认配置，如将 CPU0 默认连接绑定至 group0，将资源节点 AHBAPB 外设总线、AXI 系统总线以及 ROM 默认连接到 group0。

CPU 与 group 的连接通过 AFFILIATE[x] 寄存器配置，CPU1 默认并没有连接到 group1，需通过设置 AFFILIATE[CPU1] 寄存器的 LINK 位为 0b10 来绑定 CPU1 与 group1，而 AFFILIATE[CPU0] 寄存器的 LINK 位默认值为 0b01，即已将 CPU0 连接到了 group0。

当 CPU 与功能模块资源节点连接至同一个 group，且资源节点工作于自动模式时，这些资源节点就会随着 CPU 的状态变化而自动执行开启或关闭，如当 CPU 通过修改 GROUP 寄存器将一个资源节点连接至 CPU 自身所绑定的 group 时，该节点的功能模块会自动使能，模块依赖的一系列资源都会连带的自动开启，这也是系统推荐使用的最便捷的功能模块使能方式。

相应的，当 CPU 进入休眠时，其连接的各资源节点也会自动关闭。详细的 CPU 休眠后的行为管理请参考节 13.5。

引入 group 和 CPU 的连接功能后，图 9可以扩展为图 10的形式，构成完整的链式结构。

图 10: 资源节点与 group/CPU 的链式关系

图中将 ENET0 连接到了 group0，将 SDXC0 同时连接到了 group0 和 group1，表示 CPU0 和 CPU1 都需要使用 SDXC0 这个模块，其也形成了资源节点链的依赖关系。

当 CPU0 进入休眠后，会向 ENET0 发出关闭请求，ENET0 由于只服务于 group0/CPU0，则 ENET0 会执行关闭并将关闭请求传导至链的上游。

当 CPU0 进入休眠后，也会向 SDXC0 发出关闭请求，而 SDXC0 还同时服务于 group1/CPU1，因而只有 CPU1 也进入休眠后，SDXC0 才会执行关闭操作。

13.4.6 资源节点的使用

系统电源域中所有的功能模块都是资源节点，他们在表 28被列出。

除了 AHB/APB 外设总线、AXI 系统总线以及 ROM 等模块默认已使能外，大部分功能模块默认都处于关闭

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

状态。

如果 CPU0 上的软件需要使用某个功能模块，只需将 GROUP0 寄存器中该模块对应的 bit 置 1，再等待该模块对应的 RESOURCE[*] 寄存器的 GLB_BUSY 位为 0 即可，所有必要的资源会自动打开。

如果 CPU1 上的软件需要使用某个功能模块，需先将 AFFILIATE[CPU1] 寄存器的 LINK 位设为 b10，再将 GROUP1 寄存器中该模块对应的 bit 置 1，等待 GLB_BUSY 为 0，该模块即能够使用。

13.5 低功耗管理

13.5.1 处理器的低功耗模式及唤醒

执行 WFI 指令是处理器从运行模式向低功耗模式切换的标志。进入低功耗模式后系统的行为由 CPU[CPUx][LP] 寄存器的 MODE 位设置。

- MODE 位为 b00 - 等待模式 (WAIT Mode)：只关闭处理器核心时钟
- MODE 位为 b10 - 运行模式 (RUN Mode)：保留处理器核心时钟持续运行
- MODE 位为 b01 - 停止模式 (STOP Mode)：关闭处理器核心时钟，且在资源节点链上向上游传导关闭请求，允许关闭更多的资源节点
- MODE 位为 b11 - 无效设置

处理器只有进入停止模式时才会触发 SYSCTL 执行资源节点链上的关闭操作。

从停止模式中唤醒一般由中断触发,哪些中断源能够唤醒系统是在 SYSCTL 的 CPU[CPUx][WAKEUP_ENABLE] 寄存器中配置的，将 bit 置 1 则对应的中断源能够将该 CPU 唤醒。

CPU[CPUx][WAKEUP_ENABLE] 寄存器的位分配与产品中断向量表所定义的中断号一致。

系统唤醒以 CPU 退出休眠并能够处理中断为目标，因而当能够唤醒 CPU 的中断出现时，SYSCTL 模块会自动按顺序将 CPU 所在的资源节点链上的所有节点全部打开。

13.5.2 低功耗模式下资源节点的状态保持

对于有独立电源开关的子系统，如果其电源和复位的资源节点工作在自动模式，处理器的休眠有可能使其电源关闭而导致子系统内的寄存器和存储器信息全部丢失。

对于 XTAL24M 和 PLL 等资源节点，如果工作在自动模式，处理器的休眠有可能使其自动关闭，导致系统唤醒时需花费大量的时间等待它们频率稳定。

要单独控制这些资源节点在低功耗模式下的行为，除了直接修改其 RESOURCE[] 寄存器将 MODE 从自动模式改为使能模式外，更推荐使用 RETENTION[CPUx] 寄存器来控制部分中上游资源节点的行为。

RETENTION 寄存器中每一个 bit 对应一个资源节点，将 bit 置 1 后能够控制该资源忽略下游的关闭请求而保持开启。

RETENTION 寄存器共有 2 个，分配给两个 CPU 分别使用，当一个 CPU 上的软件希望某些资源节点在低功耗模式下保持开启，只需在自己的 RETENTION 寄存器中做出修改。

对于一个可控的资源节点，只要任意一个 RETENTION 寄存器要求其保持开启，它就会在低功耗模式下一直保持工作状态。

注意，RETENTION 配置与资源节点链和 group 连接都无关，可以理解为加在部分中上游资源节点上的强制使能开关。设置 2 个 RETENTION 寄存器是为了方便各 CPU 的软件独立设置自己的要求而无需互相交换信息。

RETENTION 寄存器中具体的 bit 分配如表 29所示：

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

bit	保持开启的资源节点
0	系统电源域供电
1	系统电源域复位
2	CPU0 子系统供电
3	CPU0 子系统复位
4	CPU1 子系统供电
5	CPU1 子系统复位
6	CONN 子系统供电
7	CONN 子系统复位
8	VIS 子系统供电
9	VIS 子系统复位
10	XTAL24M
11	PLL0
12	PLL1
13	PLL2
14	PLL3
15	PLL4

表 29: RETENTION 寄存器位表

可以看到 RETENTION[CPU0] 寄存器中出现了 CPU1 子系统的资源节点，反之也是如此，可以用以下应用场景解释该功能：

CPU0 的应用需要使用一部分 CPU1 的 DLM 存储空间，所以它会在 GROUPA 寄存器中将 ILM1/DLM1 和 CPU0 连接起来。CPU1 需要使用 ILM1 所以当然会在 GROUPB 寄存器中也将 ILM1/DLM1 和 CPU1 连接起来。这样的配置可以保证即使 CPU1 进入休眠，DLM1 仍旧能够使用，即要求 CPU1 子系统不掉电。但 CPU0 也进入休眠时会导致 CPU1 子系统电源关闭，如果 CPU0 的软件要求 DLM1 中的数据不丢失，即资源节点 CPU1 的电源开关保持开启状态，只需在 RETENTION[CPU0] 寄存器中将 bit4 置 1 即可实现。

13.6 时钟测量模块

时钟测量模块允许用户选择片上的时钟进行测量，并将当前的结果保存在结果寄存器里。

SYSCTL 中有 4 个时钟测量单元 SLICE0~3，用户可以通过 MONITOR[SLICEx][CONTROL] 寄存器的 SELECTION 位选择需要测量的时钟，SELECTION 值对应的测量时钟见表 30。

通过 MONITOR[SLICEx][CONTROL] 寄存器的 REFERENCE 位选择测量的基准是 XTAL32K 还是 XTAL24M，通过 MONITOR[SLICEx][CONTROL] 寄存器的 ACCURAY 位选择精度是 1KHz 或是 1Hz。

SELECTION	测量时钟选择
0	clk_32k
1	clk_rc24m
2	clk_xtal24m
3	clk_usb0_phy
4	clk_usb1_phy
8	clk_24m

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

SELECTION	测量时钟选择
9	pll0clk0
10	pll1clk0
11	pll1clk1
12	pll2clk0
13	pll2clk1
14	pll3clk0
15	pll4clk0
128	clk_top_cpu0
129	clk_top_mct0
130	clk_top_cpu1
131	clk_top_mct1
132	clk_top_axi
133	clk_top_vis
134	clk_top_conn
135	clk_top_ahb
136	clk_top_dram
137	clk_top_xpi0
138	clk_top_xpi1
139	clk_top_gptmr0
140	clk_top_gptmr1
141	clk_top_gptmr2
142	clk_top_gptmr3
143	clk_top_gptmr4
144	clk_top_gptmr5
145	clk_top_gptmr6
146	clk_top_gptmr7
147	clk_top_uart0
148	clk_top_uart1
149	clk_top_uart2
150	clk_top_uart3
151	clk_top_uart4
152	clk_top_uart5
153	clk_top_uart6
154	clk_top_uart7
155	clk_top_uart8
156	clk_top_uart9
157	clk_top_uart10
158	clk_top_uart11
159	clk_top_uart12
160	clk_top_uart13

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

SELECTION	测量时钟选择
161	clk_top_uart14
162	clk_top_uart15
163	clk_top_i2c0
164	clk_top_i2c1
165	clk_top_i2c2
166	clk_top_i2c3
167	clk_top_spi0
168	clk_top_spi1
169	clk_top_spi2
170	clk_top_spi3
171	clk_top_can0
172	clk_top_can1
173	clk_top_can2
174	clk_top_can3
175	clk_top_ptpc
176	clk_top_ana0
177	clk_top_ana1
178	clk_top_ana2
179	clk_top_aud0
180	clk_top_aud1
181	clk_top_aud2
182	clk_top_lcdc
183	clk_top_cam0
184	clk_top_cam1
185	clk_top_enet0
186	clk_top_enet1
187	clk_top_ptp0
188	clk_top_ptp1
189	clk_top_ref0
190	clk_top_ref1
191	clk_top_ntmr0
192	clk_top_ntmr1
193	clk_top_sdxc0
194	clk_top_sdxc1

表 30: 测量时钟选择表

配置完成后对 MONITOR[SLICEx][CONTROL] 寄存器的 START 位写 1 可启动时钟测量，等待当 MONITOR[SLICEx][CONTROL] 寄存器的 VALID 标志位置 1 后，用户可以从 MONITOR[SLICEx][CURRENT] 寄存器里读取时钟的频率信息。

注意：时钟测量功能只适用于 400MHz 以下的时钟频率。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

13.7 SYSCTL 寄存器说明

SYSCTL 的寄存器列表如下：

SYSCTL base address: 0xF4000000

地址偏移	名称	描述	复位值
0x0000	RESOURCE[CPU0_CORE]	cpu0 资源寄存器	0x00000000
0x0004	RESOURCE[CPU0_SUBSYS]	cpu0 平台资源寄存器	0x00000000
0x0020	RESOURCE[CPU1_CORE]	cpu1 资源寄存器	0x00000000
0x0024	RESOURCE[CPX1_SUBSYS]	cpu1 平台资源寄存器	0x00000000
0x0054	RESOURCE[POW_CON]	CONN 电源资源寄存器	0x00000000
0x0058	RESOURCE[POW_VIS]	VIS 电源资源寄存器	0x00000000
0x005C	RESOURCE[POW_CPU0]	CPU0 电源资源寄存器	0x00000000
0x0060	RESOURCE[POW_CPU1]	cpu1 电源资源寄存器	0x00000000
0x0064	RESOURCE[RST_SOC]	soc 复位资源寄存器	0x00000000
0x0068	RESOURCE[RST_CON]	con 复位资源寄存器	0x00000000
0x006C	RESOURCE[RST_VIS]	vis 复位资源寄存器	0x00000000
0x0070	RESOURCE[RST_CPU0]	cpu0 复位资源寄存器	0x00000000
0x0074	RESOURCE[RST_CPU1]	cpu1 复位资源寄存器	0x00000000
0x0080	RESOURCE[CLK_SRC_XTAL]	24MHz 晶体资源寄存器	0x00000000
0x0084	RESOURCE[CLK_SRC_PLL0]	pll0 资源寄存器	0x00000000
0x0088	RESOURCE[CLK_SRC_PLL0CLK0]	clk0_pll0 资源寄存器	0x00000000
0x008C	RESOURCE[CLK_SRC_PLL1]	pll1 资源寄存器	0x00000000
0x0090	RESOURCE[CLK_SRC_PLL1CLK0]	clk0_pll1 资源寄存器	0x00000000
0x0094	RESOURCE[CLK_SRC_PLL1CLK1]	clk1_pll1 资源寄存器	0x00000000
0x0098	RESOURCE[CLK_SRC_PLL2]	pll2 资源寄存器	0x00000000
0x009C	RESOURCE[CLK_SRC_PLL2CLK0]	clk0_pll2 资源寄存器	0x00000000
0x00A0	RESOURCE[CLK_SRC_PLL2CLK1]	clk1_pll2 资源寄存器	0x00000000
0x00A4	RESOURCE[CLK_SRC_PLL3]	pll3 资源寄存器	0x00000000
0x00A8	RESOURCE[CLK_SRC_PLL3CLK0]	clk0_pll3 资源寄存器	0x00000000
0x00AC	RESOURCE[CLK_SRC_PLL4]	pll4 资源寄存器	0x00000000
0x00B0	RESOURCE[CLK_SRC_PLL4CLK0]	clk0_pll4 资源寄存器	0x00000000
0x0100	RESOURCE[CLK_TOP_CPU0]	cpu0 功能时钟资源寄存器	0x00000000
0x0104	RESOURCE[CLK_TOP_MCHTMR0]	mct0 功能时钟资源寄存器	0x00000000
0x0108	RESOURCE[CLK_TOP_CPU1]	cpu1 功能时钟资源寄存器	0x00000000
0x010C	RESOURCE[CLK_TOP_MCHTMR1]	mct1 功能时钟资源寄存器	0x00000000
0x0110	RESOURCE[CLK_TOP_AXI]	axi0 功能时钟资源寄存器	0x00000000
0x0114	RESOURCE[CLK_TOP_CONN]	axi1 功能时钟资源寄存器	0x00000000
0x0118	RESOURCE[CLK_TOP_VIS]	axi2 功能时钟资源寄存器	0x00000000
0x011C	RESOURCE[CLK_TOP_AHB]	ahb0 功能时钟资源寄存器	0x00000000
0x0120	RESOURCE[CLK_TOP_FEMC]	femc 功能时钟资源寄存器	0x00000000
0x0124	RESOURCE[CLK_TOP_XPI0]	xpi0 功能时钟资源寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0128	RESOURCE[CLK_TOP_XPI1]	xpi1 功能时钟资源寄存器	0x00000000
0x012C	RESOURCE[CLK_TOP_GPTMR0]	tmr0 功能时钟资源寄存器	0x00000000
0x0130	RESOURCE[CLK_TOP_GPTMR1]	tmr1 功能时钟资源寄存器	0x00000000
0x0134	RESOURCE[CLK_TOP_GPTMR2]	tmr2 功能时钟资源寄存器	0x00000000
0x0138	RESOURCE[CLK_TOP_GPTMR3]	tmr3 功能时钟资源寄存器	0x00000000
0x013C	RESOURCE[CLK_TOP_GPTMR4]	tmr4 功能时钟资源寄存器	0x00000000
0x0140	RESOURCE[CLK_TOP_GPTMR5]	tmr5 功能时钟资源寄存器	0x00000000
0x0144	RESOURCE[CLK_TOP_GPTMR6]	tmr6 功能时钟资源寄存器	0x00000000
0x0148	RESOURCE[CLK_TOP_GPTMR7]	tmr7 功能时钟资源寄存器	0x00000000
0x014C	RESOURCE[CLK_TOP_UART0]	urt0 功能时钟资源寄存器	0x00000000
0x0150	RESOURCE[CLK_TOP_UART1]	urt1 功能时钟资源寄存器	0x00000000
0x0154	RESOURCE[CLK_TOP_UART2]	urt2 功能时钟资源寄存器	0x00000000
0x0158	RESOURCE[CLK_TOP_UART3]	urt3 功能时钟资源寄存器	0x00000000
0x015C	RESOURCE[CLK_TOP_UART4]	urt4 功能时钟资源寄存器	0x00000000
0x0160	RESOURCE[CLK_TOP_UART5]	urt5 功能时钟资源寄存器	0x00000000
0x0164	RESOURCE[CLK_TOP_UART6]	urt6 功能时钟资源寄存器	0x00000000
0x0168	RESOURCE[CLK_TOP_UART7]	urt7 功能时钟资源寄存器	0x00000000
0x016C	RESOURCE[CLK_TOP_UART8]	urt8 功能时钟资源寄存器	0x00000000
0x0170	RESOURCE[CLK_TOP_UART9]	urt9 功能时钟资源寄存器	0x00000000
0x0174	RESOURCE[CLK_TOP_UART10]	urta 功能时钟资源寄存器	0x00000000
0x0178	RESOURCE[CLK_TOP_UART11]	urtb 功能时钟资源寄存器	0x00000000
0x017C	RESOURCE[CLK_TOP_UART12]	urtc 功能时钟资源寄存器	0x00000000
0x0180	RESOURCE[CLK_TOP_UART13]	urtd 功能时钟资源寄存器	0x00000000
0x0184	RESOURCE[CLK_TOP_UART14]	urte 功能时钟资源寄存器	0x00000000
0x0188	RESOURCE[CLK_TOP_UART15]	urtf 功能时钟资源寄存器	0x00000000
0x018C	RESOURCE[CLK_TOP_I2C0]	i2c0 功能时钟资源寄存器	0x00000000
0x0190	RESOURCE[CLK_TOP_I2C1]	i2c1 功能时钟资源寄存器	0x00000000
0x0194	RESOURCE[CLK_TOP_I2C2]	i2c2 功能时钟资源寄存器	0x00000000
0x0198	RESOURCE[CLK_TOP_I2C3]	i2c3 功能时钟资源寄存器	0x00000000
0x019C	RESOURCE[CLK_TOP_SPI0]	spi0 功能时钟资源寄存器	0x00000000
0x01A0	RESOURCE[CLK_TOP_SPI1]	spi1 功能时钟资源寄存器	0x00000000
0x01A4	RESOURCE[CLK_TOP_SPI2]	spi2 功能时钟资源寄存器	0x00000000
0x01A8	RESOURCE[CLK_TOP_SPI3]	spi3 功能时钟资源寄存器	0x00000000
0x01AC	RESOURCE[CLK_TOP_CAN0]	can0 功能时钟资源寄存器	0x00000000
0x01B0	RESOURCE[CLK_TOP_CAN1]	can1 功能时钟资源寄存器	0x00000000
0x01B4	RESOURCE[CLK_TOP_CAN2]	can2 功能时钟资源寄存器	0x00000000
0x01B8	RESOURCE[CLK_TOP_CAN3]	can3 功能时钟资源寄存器	0x00000000
0x01BC	RESOURCE[CLK_TOP_PTPC]	ptpc 功能时钟资源寄存器	0x00000000
0x01C0	RESOURCE[CLK_TOP_ANA0]	ana0 功能时钟资源寄存器	0x00000000
0x01C4	RESOURCE[CLK_TOP_ANA1]	ana1 功能时钟资源寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x01C8	RESOURCE[CLK_TOP_ANA2]	ana2 功能时钟资源寄存器	0x00000000
0x01CC	RESOURCE[CLK_TOP_AUD0]	aud0 功能时钟资源寄存器	0x00000000
0x01D0	RESOURCE[CLK_TOP_AUD1]	aud1 功能时钟资源寄存器	0x00000000
0x01D4	RESOURCE[CLK_TOP_AUD2]	aud2 功能时钟资源寄存器	0x00000000
0x01D8	RESOURCE[CLK_TOP_LCDC]	dis0 功能时钟资源寄存器	0x00000000
0x01DC	RESOURCE[CLK_TOP_CAM0]	cam0 功能时钟资源寄存器	0x00000000
0x01E0	RESOURCE[CLK_TOP_CAM1]	cam1 功能时钟资源寄存器	0x00000000
0x01E4	RESOURCE[CLK_TOP_ENET0]	eth0 功能时钟资源寄存器	0x00000000
0x01E8	RESOURCE[CLK_TOP_ENET1]	eth1 功能时钟资源寄存器	0x00000000
0x01EC	RESOURCE[CLK_TOP_PTP0]	ptp0 功能时钟资源寄存器	0x00000000
0x01F0	RESOURCE[CLK_TOP_PTP1]	ptp1 功能时钟资源寄存器	0x00000000
0x01F4	RESOURCE[CLK_TOP_REF0]	ref0 功能时钟资源寄存器	0x00000000
0x01F8	RESOURCE[CLK_TOP_REF1]	ref1 功能时钟资源寄存器	0x00000000
0x01FC	RESOURCE[CLK_TOP_NTMR0]	ntm0 功能时钟资源寄存器	0x00000000
0x0200	RESOURCE[CLK_TOP_NTMR1]	ntm1 功能时钟资源寄存器	0x00000000
0x0204	RESOURCE[CLK_TOP_SDXC0]	sdc0 功能时钟资源寄存器	0x00000000
0x0208	RESOURCE[CLK_TOP_SDXC1]	sdc1 功能时钟资源寄存器	0x00000000
0x0300	RESOURCE[CLK_TOP_ADC0]	adc0 功能时钟资源寄存器	0x00000000
0x0304	RESOURCE[CLK_TOP_ADC1]	adc1 功能时钟资源寄存器	0x00000000
0x0308	RESOURCE[CLK_TOP_ADC2]	adc2 功能时钟资源寄存器	0x00000000
0x030C	RESOURCE[CLK_TOP_ADC3]	adc3 功能时钟资源寄存器	0x00000000
0x0310	RESOURCE[CLK_TOP_I2S0]	i2s0 功能时钟资源寄存器	0x00000000
0x0314	RESOURCE[CLK_TOP_I2S1]	i2s1 功能时钟资源寄存器	0x00000000
0x0318	RESOURCE[CLK_TOP_I2S2]	i2s2 功能时钟资源寄存器	0x00000000
0x031C	RESOURCE[CLK_TOP_I2S3]	i2s3 功能时钟资源寄存器	0x00000000
0x0400	RESOURCE[AHBAPB_BUS]	ahbp 资源寄存器	0x00000000
0x0404	RESOURCE[AXI_BUS]	axis 资源寄存器	0x00000000
0x0408	RESOURCE[CONN_BUS]	axic 资源寄存器	0x00000000
0x040C	RESOURCE[VIS_BUS]	axiv 资源寄存器	0x00000000
0x0410	RESOURCE[FEMC]	femc 资源寄存器	0x00000000
0x0414	RESOURCE[ROM]	rom0 资源寄存器	0x00000000
0x0418	RESOURCE[LMM0]	lmm0 资源寄存器	0x00000000
0x041C	RESOURCE[LMM1]	lmm1 资源寄存器	0x00000000
0x0420	RESOURCE[MCHTMR0]	mct0 资源寄存器	0x00000000
0x0424	RESOURCE[MCHTMR1]	mct1 资源寄存器	0x00000000
0x0428	RESOURCE[AXI_SRAM0]	ram0 资源寄存器	0x00000000
0x042C	RESOURCE[AXI_SRAM1]	ram1 资源寄存器	0x00000000
0x0430	RESOURCE[XPI0]	xpi0 资源寄存器	0x00000000
0x0434	RESOURCE[XPI1]	xpi1 资源寄存器	0x00000000
0x0438	RESOURCE[SDP]	sdp0 资源寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x043C	RESOURCE[RNG]	rng0 资源寄存器	0x00000000
0x0440	RESOURCE[KEYM]	kman 资源寄存器	0x00000000
0x0444	RESOURCE[HDMA]	dma0 资源寄存器	0x00000000
0x0448	RESOURCE[XDMA]	dma1 资源寄存器	0x00000000
0x044C	RESOURCE[GPIO]	gpio 资源寄存器	0x00000000
0x0450	RESOURCE[MBX0]	mbx0 资源寄存器	0x00000000
0x0454	RESOURCE[MBX1]	mbx1 资源寄存器	0x00000000
0x0458	RESOURCE[WDG0]	wdg0 资源寄存器	0x00000000
0x045C	RESOURCE[WDG1]	wdg1 资源寄存器	0x00000000
0x0460	RESOURCE[WDG2]	wdg2 资源寄存器	0x00000000
0x0464	RESOURCE[WDG3]	wdg3 资源寄存器	0x00000000
0x0468	RESOURCE[GPTMR0]	tmr0 资源寄存器	0x00000000
0x046C	RESOURCE[GPTMR1]	tmr1 资源寄存器	0x00000000
0x0470	RESOURCE[GPTMR2]	tmr2 资源寄存器	0x00000000
0x0474	RESOURCE[GPTMR3]	tmr3 资源寄存器	0x00000000
0x0478	RESOURCE[GPTMR4]	tmr4 资源寄存器	0x00000000
0x047C	RESOURCE[GPTMR5]	tmr5 资源寄存器	0x00000000
0x0480	RESOURCE[GPTMR6]	tmr6 资源寄存器	0x00000000
0x0484	RESOURCE[GPTMR7]	tmr7 资源寄存器	0x00000000
0x0488	RESOURCE[UART0]	urt0 资源寄存器	0x00000000
0x048C	RESOURCE[UART1]	urt1 资源寄存器	0x00000000
0x0490	RESOURCE[UART2]	urt2 资源寄存器	0x00000000
0x0494	RESOURCE[UART3]	urt3 资源寄存器	0x00000000
0x0498	RESOURCE[UART4]	urt4 资源寄存器	0x00000000
0x049C	RESOURCE[UART5]	urt5 资源寄存器	0x00000000
0x04A0	RESOURCE[UART6]	urt6 资源寄存器	0x00000000
0x04A4	RESOURCE[UART7]	urt7 资源寄存器	0x00000000
0x04A8	RESOURCE[UART8]	urt8 资源寄存器	0x00000000
0x04AC	RESOURCE[UART9]	urt9 资源寄存器	0x00000000
0x04B0	RESOURCE[UART10]	urta 资源寄存器	0x00000000
0x04B4	RESOURCE[UART11]	urtb 资源寄存器	0x00000000
0x04B8	RESOURCE[UART12]	urtc 资源寄存器	0x00000000
0x04BC	RESOURCE[UART13]	urtd 资源寄存器	0x00000000
0x04C0	RESOURCE[UART14]	urte 资源寄存器	0x00000000
0x04C4	RESOURCE[UART15]	urtf 资源寄存器	0x00000000
0x04C8	RESOURCE[I2C0]	i2c0 资源寄存器	0x00000000
0x04CC	RESOURCE[I2C1]	i2c1 资源寄存器	0x00000000
0x04D0	RESOURCE[I2C2]	i2c2 资源寄存器	0x00000000
0x04D4	RESOURCE[I2C3]	i2c3 资源寄存器	0x00000000
0x04D8	RESOURCE[SPI0]	spi0 资源寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x04DC	RESOURCE[SPI1]	spi1 资源寄存器	0x00000000
0x04E0	RESOURCE[SPI2]	spi2 资源寄存器	0x00000000
0x04E4	RESOURCE[SPI3]	spi3 资源寄存器	0x00000000
0x04E8	RESOURCE[CAN0]	can0 资源寄存器	0x00000000
0x04EC	RESOURCE[CAN1]	can1 资源寄存器	0x00000000
0x04F0	RESOURCE[CAN2]	can2 资源寄存器	0x00000000
0x04F4	RESOURCE[CAN3]	can3 资源寄存器	0x00000000
0x04F8	RESOURCE[PTPC]	ptpc 资源寄存器	0x00000000
0x04FC	RESOURCE[ADC0]	adc0 资源寄存器	0x00000000
0x0500	RESOURCE[ADC1]	adc1 资源寄存器	0x00000000
0x0504	RESOURCE[ADC2]	adc2 资源寄存器	0x00000000
0x0508	RESOURCE[ADC3]	adc3 资源寄存器	0x00000000
0x050C	RESOURCE[ACMP]	acmp 资源寄存器	0x00000000
0x0510	RESOURCE[I2S0]	i2s0 资源寄存器	0x00000000
0x0514	RESOURCE[I2S1]	i2s1 资源寄存器	0x00000000
0x0518	RESOURCE[I2S2]	i2s2 资源寄存器	0x00000000
0x051C	RESOURCE[I2S3]	i2s3 资源寄存器	0x00000000
0x0520	RESOURCE[PDM]	pdm0 资源寄存器	0x00000000
0x0524	RESOURCE[DAO]	clsd 资源寄存器	0x00000000
0x0528	RESOURCE[SYNT]	msyn 资源寄存器	0x00000000
0x052C	RESOURCE[MOT0]	mot0 资源寄存器	0x00000000
0x0530	RESOURCE[MOT1]	mot1 资源寄存器	0x00000000
0x0534	RESOURCE[MOT2]	mot2 资源寄存器	0x00000000
0x0538	RESOURCE[MOT3]	mot3 资源寄存器	0x00000000
0x053C	RESOURCE[LCDC]	dis0 资源寄存器	0x00000000
0x0540	RESOURCE[CAM0]	cam0 资源寄存器	0x00000000
0x0544	RESOURCE[CAM1]	cam1 资源寄存器	0x00000000
0x0548	RESOURCE[JPEG]	jpeg 资源寄存器	0x00000000
0x054C	RESOURCE[PDMA]	pdma 资源寄存器	0x00000000
0x0550	RESOURCE[ENET0]	eth0 资源寄存器	0x00000000
0x0554	RESOURCE[ENET1]	eth1 资源寄存器	0x00000000
0x0558	RESOURCE[NTMR0]	ntm0 资源寄存器	0x00000000
0x055C	RESOURCE[NTMR1]	ntm1 资源寄存器	0x00000000
0x0560	RESOURCE[SDXC0]	sdc0 资源寄存器	0x00000000
0x0564	RESOURCE[SDXC1]	sdc1 资源寄存器	0x00000000
0x0568	RESOURCE[USB0]	usb0 资源寄存器	0x00000000
0x056C	RESOURCE[USB1]	usb1 资源寄存器	0x00000000
0x0570	RESOURCE[REF0]	ref0 资源寄存器	0x00000000
0x0574	RESOURCE[REF1]	ref1 资源寄存器	0x00000000
0x0800	GROUP0[0][VALUE]	资源组 0 分组控制寄存器 0	0x00000023

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0804	GROUP0[0][SET]	资源组 0 分组控制寄存器 0 置位	0x00000023
0x0808	GROUP0[0][CLEAR]	资源组 0 分组控制寄存器 0 清零	0x00000023
0x080C	GROUP0[0][TOGGLE]	资源组 0 分组控制寄存器 0 翻转	0x00000023
0x0810	GROUP0[1][VALUE]	资源组 0 分组控制寄存器 1	0x00000000
0x0814	GROUP0[1][SET]	资源组 0 分组控制寄存器 1 置位	0x00000023
0x0818	GROUP0[1][CLEAR]	资源组 0 分组控制寄存器 1 清零	0x00000023
0x081C	GROUP0[1][TOGGLE]	资源组 0 分组控制寄存器 1 翻转	0x00000023
0x0820	GROUP0[2][VALUE]	资源组 0 分组控制寄存器 2	0x00000000
0x0824	GROUP0[2][SET]	资源组 0 分组控制寄存器 2 置位	0x00000023
0x0828	GROUP0[2][CLEAR]	资源组 0 分组控制寄存器 2 清零	0x00000023
0x082C	GROUP0[2][TOGGLE]	资源组 0 分组控制寄存器 2 翻转	0x00000023
0x0840	GROUP1[0][VALUE]	资源组 1 分组控制寄存器 0	0x00000000
0x0844	GROUP1[0][SET]	资源组 1 分组控制寄存器 0 置位	0x00000000
0x0848	GROUP1[0][CLEAR]	资源组 1 分组控制寄存器 0 清零	0x00000000
0x084C	GROUP1[0][TOGGLE]	资源组 1 分组控制寄存器 0 翻转	0x00000000
0x0850	GROUP1[1][VALUE]	资源组 1 分组控制寄存器 1	0x00000000
0x0854	GROUP1[1][SET]	资源组 1 分组控制寄存器 1 置位	0x00000000
0x0858	GROUP1[1][CLEAR]	资源组 1 分组控制寄存器 1 清零	0x00000000
0x085C	GROUP1[1][TOGGLE]	资源组 1 分组控制寄存器 1 翻转	0x00000000
0x0860	GROUP1[2][VALUE]	资源组 1 分组控制寄存器 2	0x00000000
0x0864	GROUP1[2][SET]	资源组 1 分组控制寄存器 2 置位	0x00000000
0x0868	GROUP1[2][CLEAR]	资源组 1 分组控制寄存器 2 清零	0x00000000
0x086C	GROUP1[2][TOGGLE]	资源组 1 分组控制寄存器 2 翻转	0x00000000
0x0900	AFFILIATE[CPU0][VALUE]	CPU0 资源组控制寄存器	0x00000001
0x0904	AFFILIATE[CPU0][SET]	CPU0 资源组控制寄存器置位	0x00000001
0x0908	AFFILIATE[CPU0][CLEAR]	CPU0 资源组控制寄存器清零	0x00000001
0x090C	AFFILIATE[CPU0][TOGGLE]	CPU0 资源组控制就寄存器翻转	0x00000001
0x0910	AFFILIATE[CPU1][VALUE]	CPU1 资源组控制寄存器	0x00000001
0x0914	AFFILIATE[CPU1][SET]	CPU1 资源组控制寄存器置位	0x00000001
0x0918	AFFILIATE[CPU1][CLEAR]	CPU1 资源组控制寄存器清零	0x00000001
0x091C	AFFILIATE[CPU1][TOGGLE]	CPU1 资源组控制就寄存器翻转	0x00000001
0x0920	RETENTION[CPU0][VALUE]	唤醒保持寄存器 0	0x0000000F
0x0924	RETENTION[CPU0][SET]	唤醒保持寄存器 0 设置	0x0000000F
0x0928	RETENTION[CPU0][CLEAR]	唤醒保持寄存器 0 清零	0x0000000F
0x092C	RETENTION[CPU0][TOGGLE]	唤醒保持寄存器 0 翻转	0x0000000F
0x0930	RETENTION[CPU1][VALUE]	唤醒保持寄存器 1	0x00000000
0x0934	RETENTION[CPU1][SET]	唤醒保持寄存器 1 设置	0x00000000
0x0938	RETENTION[CPU1][CLEAR]	唤醒保持寄存器 1 清零	0x00000000
0x093C	RETENTION[CPU1][TOGGLE]	唤醒保持寄存器 1 翻转	0x00000000
0x1000	POWER[CPU0][STATUS]	cpu0 电源开关控制寄存器	0x80000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x1004	POWER[CPU0][LF_WAIT]	CPU0 电源开关低扇出等待	0x00000255
0x100C	POWER[CPU0][OFF_WAIT]	CPU0 电源关闭等待	0x00000015
0x1010	POWER[CPU1][STATUS]	cpu1 电源开关控制寄存器	0x80000000
0x1014	POWER[CPU1][LF_WAIT]	CPU1 电源开关低扇出等待	0x00000255
0x101C	POWER[CPU1][OFF_WAIT]	CPU1 电源关闭等待	0x00000015
0x1020	POWER[CON][STATUS]	CONN 电源开关控制寄存器	0x80000000
0x1024	POWER[CON][LF_WAIT]	CONN 电源开关低扇出等待	0x00000255
0x102C	POWER[CON][OFF_WAIT]	CONN 电源关闭等待	0x00000015
0x1030	POWER[VIS][STATUS]	VIS 电源开关控制寄存器	0x80000000
0x1034	POWER[VIS][LF_WAIT]	VIS 电源开关低扇出等待	0x00000255
0x103C	POWER[VIS][OFF_WAIT]	VIS 电源关闭等待	0x00000015
0x1400	RESET[SOC][CONTROL]	SOC 复位控制寄存器	0x80000000
0x1404	RESET[SOC][CONFIG]	SOC 复位配置寄存器	0x00643203
0x140C	RESET[SOC][COUNTER]	SOC 复位计数器	0x00000000
0x1410	RESET[CON][CONTROL]	CONN 复位控制寄存器	0x80000000
0x1414	RESET[CON][CONFIG]	CONN 复位配置寄存器	0x00000064
0x141C	RESET[CON][COUNTER]	CONN 复位计数器	0x00000003
0x1420	RESET[VIS][CONTROL]	VIS 复位控制寄存器	0x80000000
0x1424	RESET[VIS][CONFIG]	VIS 复位配置寄存器	0x00000064
0x142C	RESET[VIS][COUNTER]	VIS 复位计数器	0x00000003
0x1430	RESET[CPU0][CONTROL]	CPU0 复位控制寄存器	0x80000000
0x1434	RESET[CPU0][CONFIG]	CPU0 复位配置寄存器	0x00000064
0x143C	RESET[CPU0][COUNTER]	CPU0 复位计数器	0x00000003
0x1440	RESET[CPU1][CONTROL]	CPU1 复位控制寄存器	0x80000000
0x1444	RESET[CPU1][CONFIG]	CPU1 复位配置寄存器	0x00000064
0x144C	RESET[CPU1][COUNTER]	CPU1 复位计数器	0x00000003
0x1800	CLOCK[CLK_TOP_CPU0]	cpu0 功能时钟设置寄存器	0x00000000
0x1804	CLOCK[CLK_TOP_MCHTMR0]	mct0 功能时钟设置寄存器	0x00000000
0x1808	CLOCK[CLK_TOP_CPU1]	cpu1 功能时钟设置寄存器	0x00000000
0x180C	CLOCK[CLK_TOP_MCHTMR]	mct1 功能时钟设置寄存器	0x00000000
0x1810	CLOCK[CLK_TOP_AXI]	axi0 功能时钟设置寄存器	0x00000000
0x1814	CLOCK[CLK_TOP_CONN]	axi1 功能时钟设置寄存器	0x00000000
0x1818	CLOCK[CLK_TOP_VIS]	axi2 功能时钟设置寄存器	0x00000000
0x181C	CLOCK[CLK_TOP_AHB]	ahb0 功能时钟设置寄存器	0x00000000
0x1820	CLOCK[CLK_TOP_FEMC]	femc 功能时钟设置寄存器	0x00000000
0x1824	CLOCK[CLK_TOP_XPI0]	xpi0 功能时钟设置寄存器	0x00000000
0x1828	CLOCK[CLK_TOP_XPI1]	xpi1 功能时钟设置寄存器	0x00000000
0x182C	CLOCK[CLK_TOP_GPTMR0]	tmr0 功能时钟设置寄存器	0x00000000
0x1830	CLOCK[CLK_TOP_GPTMR1]	tmr1 功能时钟设置寄存器	0x00000000
0x1834	CLOCK[CLK_TOP_GPTMR2]	tmr2 功能时钟设置寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x1838	CLOCK[CLK_TOP_GPTMR3]	tmr3 功能时钟设置寄存器	0x00000000
0x183C	CLOCK[CLK_TOP_GPTMR4]	tmr4 功能时钟设置寄存器	0x00000000
0x1840	CLOCK[CLK_TOP_GPTMR5]	tmr5 功能时钟设置寄存器	0x00000000
0x1844	CLOCK[CLK_TOP_GPTMR6]	tmr6 功能时钟设置寄存器	0x00000000
0x1848	CLOCK[CLK_TOP_GPTMR7]	tmr7 功能时钟设置寄存器	0x00000000
0x184C	CLOCK[CLK_TOP_UART0]	urt0 功能时钟设置寄存器	0x00000000
0x1850	CLOCK[CLK_TOP_UART1]	urt1 功能时钟设置寄存器	0x00000000
0x1854	CLOCK[CLK_TOP_UART2]	urt2 功能时钟设置寄存器	0x00000000
0x1858	CLOCK[CLK_TOP_UART3]	urt3 功能时钟设置寄存器	0x00000000
0x185C	CLOCK[CLK_TOP_UART4]	urt4 功能时钟设置寄存器	0x00000000
0x1860	CLOCK[CLK_TOP_UART5]	urt5 功能时钟设置寄存器	0x00000000
0x1864	CLOCK[CLK_TOP_UART6]	urt6 功能时钟设置寄存器	0x00000000
0x1868	CLOCK[CLK_TOP_UART7]	urt7 功能时钟设置寄存器	0x00000000
0x186C	CLOCK[CLK_TOP_UART8]	urt8 功能时钟设置寄存器	0x00000000
0x1870	CLOCK[CLK_TOP_UART9]	urt9 功能时钟设置寄存器	0x00000000
0x1874	CLOCK[CLK_TOP_UART10]	urta 功能时钟设置寄存器	0x00000000
0x1878	CLOCK[CLK_TOP_UART11]	urtb 功能时钟设置寄存器	0x00000000
0x187C	CLOCK[CLK_TOP_UART12]	urtc 功能时钟设置寄存器	0x00000000
0x1880	CLOCK[CLK_TOP_UART13]	urtd 功能时钟设置寄存器	0x00000000
0x1884	CLOCK[CLK_TOP_UART14]	urte 功能时钟设置寄存器	0x00000000
0x1888	CLOCK[CLK_TOP_UART15]	urtf 功能时钟设置寄存器	0x00000000
0x188C	CLOCK[CLK_TOP_I2C0]	i2c0 功能时钟设置寄存器	0x00000000
0x1890	CLOCK[CLK_TOP_I2C1]	i2c1 功能时钟设置寄存器	0x00000000
0x1894	CLOCK[CLK_TOP_I2C2]	i2c2 功能时钟设置寄存器	0x00000000
0x1898	CLOCK[CLK_TOP_I2C3]	i2c3 功能时钟设置寄存器	0x00000000
0x189C	CLOCK[CLK_TOP_SPI0]	spi0 功能时钟设置寄存器	0x00000000
0x18A0	CLOCK[CLK_TOP_SPI1]	spi1 功能时钟设置寄存器	0x00000000
0x18A4	CLOCK[CLK_TOP_SPI2]	spi2 功能时钟设置寄存器	0x00000000
0x18A8	CLOCK[CLK_TOP_SPI3]	spi3 功能时钟设置寄存器	0x00000000
0x18AC	CLOCK[CLK_TOP_CAN0]	can0 功能时钟设置寄存器	0x00000000
0x18B0	CLOCK[CLK_TOP_CAN1]	can1 功能时钟设置寄存器	0x00000000
0x18B4	CLOCK[CLK_TOP_CAN2]	can2 功能时钟设置寄存器	0x00000000
0x18B8	CLOCK[CLK_TOP_CAN3]	can3 功能时钟设置寄存器	0x00000000
0x18BC	CLOCK[CLK_TOP_PTPC]	ptpc 功能时钟设置寄存器	0x00000000
0x18C0	CLOCK[CLK_TOP_ANA0]	ana0 功能时钟设置寄存器	0x00000000
0x18C4	CLOCK[CLK_TOP_ANA1]	ana1 功能时钟设置寄存器	0x00000000
0x18C8	CLOCK[CLK_TOP_ANA2]	ana2 功能时钟设置寄存器	0x00000000
0x18CC	CLOCK[CLK_TOP_AUD0]	aud0 功能时钟设置寄存器	0x00000000
0x18D0	CLOCK[CLK_TOP_AUD1]	aud1 功能时钟设置寄存器	0x00000000
0x18D4	CLOCK[CLK_TOP_AUD2]	aud2 功能时钟设置寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x18D8	CLOCK[CLK_TOP_LCDC]	dis0 功能时钟设置寄存器	0x00000000
0x18DC	CLOCK[CLK_TOP_CAM0]	cam0 功能时钟设置寄存器	0x00000000
0x18E0	CLOCK[CLK_TOP_CAM1]	cam1 功能时钟设置寄存器	0x00000000
0x18E4	CLOCK[CLK_TOP_ENET0]	eth0 功能时钟设置寄存器	0x00000000
0x18E8	CLOCK[CLK_TOP_ENET1]	eth1 功能时钟设置寄存器	0x00000000
0x18EC	CLOCK[CLK_TOP_PTP0]	ptp0 功能时钟设置寄存器	0x00000000
0x18F0	CLOCK[CLK_TOP_PTP1]	ptp1 功能时钟设置寄存器	0x00000000
0x18F4	CLOCK[CLK_TOP_REF0]	ref0 功能时钟设置寄存器	0x00000000
0x18F8	CLOCK[CLK_TOP_REF1]	ref1 功能时钟设置寄存器	0x00000000
0x18FC	CLOCK[CLK_TOP_NTMR0]	ntm0 功能时钟设置寄存器	0x00000000
0x1900	CLOCK[CLK_TOP_NTMR1]	ntm1 功能时钟设置寄存器	0x00000000
0x1904	CLOCK[CLK_TOP_SDXC0]	sdc0 功能时钟设置寄存器	0x00000000
0x1908	CLOCK[CLK_TOP_SDXC1]	sdc1 功能时钟设置寄存器	0x00000000
0x1C00	ADCCLK[CLK_TOP_ADC0]	adc0 功能时钟设置寄存器	0x00000000
0x1C04	ADCCLK[CLK_TOP_ADC1]	adc1 功能时钟设置寄存器	0x00000000
0x1C08	ADCCLK[CLK_TOP_ADC2]	adc2 功能时钟设置寄存器	0x00000000
0x1C0C	ADCCLK[CLK_TOP_ADC3]	adc3 功能时钟设置寄存器	0x00000000
0x1C10	I2SCLK[CLK_TOP_I2S0]	i2s0 功能时钟设置寄存器	0x00000000
0x1C14	I2SCLK[CLK_TOP_I2S1]	i2s1 功能时钟设置寄存器	0x00000000
0x1C18	I2SCLK[CLK_TOP_I2S2]	i2s2 功能时钟设置寄存器	0x00000000
0x1C1C	I2SCLK[CLK_TOP_I2S3]	i2s3 功能时钟设置寄存器	0x00000000
0x2000	GLOBAL00	时钟模式寄存器	0x00000000
0x2400	MONITOR[SLICE0][CONTROL]	时钟观测控制寄存器	0x00000000
0x2404	MONITOR[SLICE0][CURRENT]	时钟频率	0x00000000
0x2408	MONITOR[SLICE0][LOW_LIMIT]	时钟频率下限	0xFFFFFFFF
0x240C	MONITOR[SLICE0][HIGH_LIMIT]	时钟频率上限	0x00000000
0x2420	MONITOR[SLICE1][CONTROL]	时钟观测控制寄存器	0x00000000
0x2424	MONITOR[SLICE1][CURRENT]	时钟频率	0x00000000
0x2428	MONITOR[SLICE1][LOW_LIMIT]	时钟频率下限	0xFFFFFFFF
0x242C	MONITOR[SLICE1][HIGH_LIMIT]	时钟频率上限	0x00000000
0x2440	MONITOR[SLICE2][CONTROL]	时钟观测控制寄存器	0x00000000
0x2444	MONITOR[SLICE2][CURRENT]	时钟频率	0x00000000
0x2448	MONITOR[SLICE2][LOW_LIMIT]	时钟频率下限	0xFFFFFFFF
0x244C	MONITOR[SLICE2][HIGH_LIMIT]	时钟频率上限	0x00000000
0x2460	MONITOR[SLICE3][CONTROL]	时钟观测控制寄存器	0x00000000
0x2464	MONITOR[SLICE3][CURRENT]	时钟频率	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x2468	MONITOR[SLICE3][LOW_LIMIT]	时钟频率下限	0xFFFFFFFF
0x246C	MONITOR[SLICE3][HIGH_LIMIT]	时钟频率上限	0x00000000
0x2800	CPU[CPU0][LP]		0x00001200
0x2804	CPU[CPU0][LOCK]		0x00000002
0x2808	CPU[CPU0][GPR][GPR0]		0x00000000
0x280C	CPU[CPU0][GPR][GPR1]		0x00000000
0x2810	CPU[CPU0][GPR][GPR2]		0x00000000
0x2814	CPU[CPU0][GPR][GPR3]		0x00000000
0x2818	CPU[CPU0][GPR][GPR4]		0x00000000
0x281C	CPU[CPU0][GPR][GPR5]		0x00000000
0x2820	CPU[CPU0][GPR][GPR6]		0x00000000
0x2824	CPU[CPU0][GPR][GPR7]		0x00000000
0x2828	CPU[CPU0][GPR][GPR8]		0x00000000
0x282C	CPU[CPU0][GPR][GPR9]		0x00000000
0x2830	CPU[CPU0][GPR][GPR10]		0x00000000
0x2834	CPU[CPU0][GPR][GPR11]		0x00000000
0x2838	CPU[CPU0][GPR][GPR12]		0x00000000
0x283C	CPU[CPU0][GPR][GPR13]		0x00000000
0x2840	CPU[CPU0][WAKEUP_STATUS][STATUS0]		0x00000000
0x2844	CPU[CPU0][WAKEUP_STATUS][STATUS1]		0x00000000
0x2848	CPU[CPU0][WAKEUP_STATUS][STATUS2]		0x00000000
0x284C	CPU[CPU0][WAKEUP_STATUS][STATUS3]		0x00000000
0x2850	CPU[CPU0][WAKEUP_STATUS][STATUS4]		0x00000000
0x2854	CPU[CPU0][WAKEUP_STATUS][STATUS5]		0x00000000
0x2858	CPU[CPU0][WAKEUP_STATUS][STATUS6]		0x00000000
0x285C	CPU[CPU0][WAKEUP_STATUS][STATUS7]		0x00000000
0x2880	CPU[CPU0][WAKEUP_ENABLE][ENABLE0]		0x00000000
0x2884	CPU[CPU0][WAKEUP_ENABLE][ENABLE1]		0x00000000
0x2888	CPU[CPU0][WAKEUP_ENABLE][ENABLE2]		0x00000000
0x288C	CPU[CPU0][WAKEUP_ENABLE][ENABLE3]		0x00000000
0x2890	CPU[CPU0][WAKEUP_ENABLE][ENABLE4]		0x00000000
0x2894	CPU[CPU0][WAKEUP_ENABLE][ENABLE5]		0x00000000
0x2898	CPU[CPU0][WAKEUP_ENABLE][ENABLE6]		0x00000000
0x289C	CPU[CPU0][WAKEUP_ENABLE][ENABLE7]		0x00000000
0x2C00	CPU[CPU1][LP]		0x00001200
0x2C04	CPU[CPU1][LOCK]		0x00000002
0x2C08	CPU[CPU1][GPR][GPR0]		0x00000000
0x2C0C	CPU[CPU1][GPR][GPR1]		0x00000000
0x2C10	CPU[CPU1][GPR][GPR2]		0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x2C14	CPU[CPU1][GPR][GPR3]		0x00000000
0x2C18	CPU[CPU1][GPR][GPR4]		0x00000000
0x2C1C	CPU[CPU1][GPR][GPR5]		0x00000000
0x2C20	CPU[CPU1][GPR][GPR6]		0x00000000
0x2C24	CPU[CPU1][GPR][GPR7]		0x00000000
0x2C28	CPU[CPU1][GPR][GPR8]		0x00000000
0x2C2C	CPU[CPU1][GPR][GPR9]		0x00000000
0x2C30	CPU[CPU1][GPR][GPR10]		0x00000000
0x2C34	CPU[CPU1][GPR][GPR11]		0x00000000
0x2C38	CPU[CPU1][GPR][GPR12]		0x00000000
0x2C3C	CPU[CPU1][GPR][GPR13]		0x00000000
0x2C40	CPU[CPU1][WAKEUP_STATUS][STATUS0]		0x00000000
0x2C44	CPU[CPU1][WAKEUP_STATUS][STATUS1]		0x00000000
0x2C48	CPU[CPU1][WAKEUP_STATUS][STATUS2]		0x00000000
0x2C4C	CPU[CPU1][WAKEUP_STATUS][STATUS3]		0x00000000
0x2C50	CPU[CPU1][WAKEUP_STATUS][STATUS4]		0x00000000
0x2C54	CPU[CPU1][WAKEUP_STATUS][STATUS5]		0x00000000
0x2C58	CPU[CPU1][WAKEUP_STATUS][STATUS6]		0x00000000
0x2C5C	CPU[CPU1][WAKEUP_STATUS][STATUS7]		0x00000000
0x2C80	CPU[CPU1][WAKEUP_ENABLE][ENABLE0]		0x00000000
0x2C84	CPU[CPU1][WAKEUP_ENABLE][ENABLE1]		0x00000000
0x2C88	CPU[CPU1][WAKEUP_ENABLE][ENABLE2]		0x00000000
0x2C8C	CPU[CPU1][WAKEUP_ENABLE][ENABLE3]		0x00000000
0x2C90	CPU[CPU1][WAKEUP_ENABLE][ENABLE4]		0x00000000
0x2C94	CPU[CPU1][WAKEUP_ENABLE][ENABLE5]		0x00000000
0x2C98	CPU[CPU1][WAKEUP_ENABLE][ENABLE6]		0x00000000
0x2C9C	CPU[CPU1][WAKEUP_ENABLE][ENABLE7]		0x00000000

表 31: SYSCTL 寄存器列表

注意：本产品 ROM 的启动代码会配置本模块，因此软件读取到的寄存器值与本章节描述的复位值有可能不一致。

13.8 寄存器详细信息

SYSCTL 的寄存器详细说明如下：

13.8.1 RESOURCE (0x0 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GLB_BUSY	LOC_BUSY	RSVD																												MODE	

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RO	RO	N/A																												RW	
0	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0

RESOURCE [31:0]

位域	名称	描述
31	GLB_BUSY	全局忙标志位 0: 所有资源的状态均已稳定 1: 系统里至少有一个资源正在打开或关闭
30	LOC_BUSY	当前资源忙标志位 0: 当前资源的状态已稳定 1: 当前资源正在打开或关闭
1-0	MODE	资源管理模式 00：根据需求自动打开或关闭（推荐） 01：强制打开 10：强制关闭 11：保留

RESOURCE 位域

13.8.2 GROUP0[VALUE] (0x800 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LINK																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

GROUP0[VALUE] [31:0]

位域	名称	描述
31-0	LINK	组内外设选择寄存器，每一位代表一个外设，编号从 AHBP 开始 0：外设不属于该分组 1：外设属于该分组

GROUP0[VALUE] 位域

13.8.3 GROUP0[SET] (0x804 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LINK																															
RW																															

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

GROUP0[SET] [31:0]

位域	名称	描述
31-0	LINK	组内外设选择寄存器，每一位代表一个外设，编号从 AHBP 开始。读取值和控制寄存器相同，写入值如下 0：不影响分组 1：将外设加入该分组

GROUP0[SET] 位域

13.8.4 GROUP0[CLEAR] (0x808 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LINK																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

GROUP0[CLEAR] [31:0]

位域	名称	描述
31-0	LINK	组内外设选择寄存器，每一位代表一个外设，编号从 AHBP 开始。读取值和控制寄存器相同，写入值如下 0：不影响分组 1：将外设从该分组删除

GROUP0[CLEAR] 位域

13.8.5 GROUP0[TOGGLE] (0x80C + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LINK																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

GROUP0[TOGGLE] [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-0	LINK	组内外设选择寄存器，每一位代表一个外设，编号从 AHBP 开始。读取值和控制寄存器相同，写入值如下 0：不影响分组 1：若外设属于该组删除外设，若不属于则加入该分组

GROUP0[TOGGLE] 位域

13.8.6 GROUP1[VALUE] (0x840 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LINK																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

GROUP1[VALUE] [31:0]

位域	名称	描述
31-0	LINK	组内外设选择寄存器，每一位代表一个外设，编号从 AHBP 开始 0：外设不属于该分组 1：外设属于该分组

GROUP1[VALUE] 位域

13.8.7 GROUP1[SET] (0x844 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LINK																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

GROUP1[SET] [31:0]

位域	名称	描述
31-0	LINK	组内外设选择寄存器，每一位代表一个外设，编号从 AHBP 开始。读取值和控制寄存器相同，写入值如下 0：不影响分组 1：将外设加入该分组

GROUP1[SET] 位域

13.8.8 GROUP1[CLEAR] (0x848 + 0x10 * n)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LINK																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

GROUP1[CLEAR] [31:0]

位域	名称	描述
31-0	LINK	组内外设选择寄存器，每一位代表一个外设，编号从 AHBP 开始。读取值和控制寄存器相同，写入值如下 0：不影响分组 1：将外设从该分组删除

GROUP1[CLEAR] 位域

13.8.9 GROUP1[TOGGLE] (0x84C + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LINK																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

GROUP1[TOGGLE] [31:0]

位域	名称	描述
31-0	LINK	组内外设选择寄存器，每一位代表一个外设，编号从 AHBP 开始。读取值和控制寄存器相同，写入值如下 0：不影响分组 1：若外设属于该组删除外设，若不属于则加入该分组

GROUP1[TOGGLE] 位域

13.8.10 AFFILIATE[VALUE] (0x900 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																												LINK			
N/A																												RW			
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0

AFFILIATE[VALUE] [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
3-0	LINK	CPU0 使用的资源组，每一位代表一个分组 0：分组不属于 CPU0 1：分组属于 CPU0

AFFILIATE[VALUE] 位域

13.8.11 AFFILIATE[SET] (0x904 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																												LINK			
N/A																												RW			
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0

AFFILIATE[SET] [31:0]

位域	名称	描述
3-0	LINK	CPU0 使用的资源组，每一位代表一个分组。读取值和 CPU0 资源组控制寄存器相同，写入值如下 0：不影响 CPU0 1：将分组加入 CPU0

AFFILIATE[SET] 位域

13.8.12 AFFILIATE[CLEAR] (0x908 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																												LINK			
N/A																												RW			
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0

AFFILIATE[CLEAR] [31:0]

位域	名称	描述
3-0	LINK	CPU0 使用的资源组，每一位代表一个分组。读取值和 CPU0 资源组控制寄存器相同，写入值如下 0：不影响 CPU0 1：将分组 CPU0 删除

AFFILIATE[CLEAR] 位域

13.8.13 AFFILIATE[TOGGLE] (0x90C + 0x10 * n)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																												LINK			
N/A																												RW			
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0

AFFILIATE[TOGGLE] [31:0]

位域	名称	描述
3-0	LINK	CPU0 使用的资源组，每一位代表一个分组。读取值和 CPU0 资源组控制寄存器相同，写入值如下 0：不影响 CPU0 1：若分子属于 CPU0 删除分组，若不属于则加入 CPU0

AFFILIATE[TOGGLE] 位域

13.8.14 RETENTION[VALUE] (0x920 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD														LINK																	
N/A														RW																	
x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RETENTION[VALUE] [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
17-0	LINK	在 CPU 进入停止模式的时候，保持资源工作，每一位代表一个资源 位 0: soc 电源和存储器内容 位 1: soc 外设和寄存器设置 位 2: cpu0 电源和存储器内容 位 3: cpu0 外设和寄存器设置 位 4: cpu1 电源和存储器内容 位 5: cpu1 外设和寄存器设置 位 6: con 电源和存储器内容 位 7: con 外设和寄存器设置 位 8: vis 电源和存储器内容 位 9: vis 外设和寄存器设置 位 10: xtal 晶体 位 11: pll0 锁定 位 12: pll1 锁定 位 13: pll2 锁定 位 14: pll3 锁定 位 15: pll4 锁定

RETENTION[VALUE] 位域

13.8.15 RETENTION[SET] (0x924 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD														LINK																	
N/A														RW																	
x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RETENTION[SET] [31:0]

位域	名称	描述
17-0	LINK	在 CPU 进入停止模式的时候，保持资源工作，每一位代表一个资源，读值和唤醒保持寄存器 0 相同, 写入值如下 0：没有影响 1：保持

RETENTION[SET] 位域

13.8.16 RETENTION[CLEAR] (0x928 + 0x10 * n)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD														LINK																	
N/A														RW																	
x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RETENTION[CLEAR] [31:0]

位域	名称	描述
17-0	LINK	在 CPU 进入停止模式的时候，保持资源工作，每一位代表一个资源，读值和唤醒保持寄存器 0 相同, 写入值如下 0：没有影响 1：不保持

RETENTION[CLEAR] 位域

13.8.17 RETENTION[TOGGLE] (0x92C + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD														LINK																	
N/A														RW																	
x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RETENTION[TOGGLE] [31:0]

位域	名称	描述
17-0	LINK	在 CPU 进入停止模式的时候，保持资源工作，每一位代表一个资源，读值和唤醒保持寄存器 0 相同, 写入值如下 0：没有影响 1：保持设置

RETENTION[TOGGLE] 位域

13.8.18 POWER[STATUS] (0x1000 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLAG	FLAG_WAKE	RSVD																	LF_DISABLE	RSVD			LF_ACK	RSVD							
RW	RW	N/A																	RO	N/A			RO	N/A							
1	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	x	x	x	0	x	x	x	x	x	x	x	x

POWER[STATUS] [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31	FLAG	上电标志，指示在发生过上电事件，此标志位写 1 会清除标志 0：未发生上电 1：发生过上电
30	FLAG_WAKE	掉电唤醒标志，指示在首次上电后又发生过上电事件，此标志位写 1 会清除标志 0：未发生上电 1：发生过上电
12	LF_DISABLE	低扇出电源开关控制信号 0：电源开关断路 1：电源开关接通
8	LF_ACK	低扇出电源开关控制反馈信号 0：电源开关断路 1：电源开关接通

POWER[STATUS] 位域

13.8.19 POWER[LF_WAIT] (0x1004 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD												WAIT																			
N/A												RW																			
x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	1	0	0	1	0	1	0	1	0	1

POWER[LF_WAIT] [31:0]

位域	名称	描述
19-0	WAIT	电源开关开启时间，以 24M 时钟为单位，缺省值为 255 0: 0 个周期 1: 1 个周期 . . .

POWER[LF_WAIT] 位域

13.8.20 POWER[OFF_WAIT] (0x100C + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD												WAIT																			
N/A												RW																			
x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	1

POWER[OFF_WAIT] [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
19-0	WAIT	电源开关关闭时间，以 24M 时钟为单位，缺省值为 255 0: 0 个周期 1: 1 个周期 . . .

POWER[OFF_WAIT] 位域

13.8.21 RESET[CONTROL] (0x1400 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FLAG	FLAG_WAKE	RSVD																									HOLD	RSVD			RESET
RW	RW	N/A																									RW	N/A			RW
1	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	x	x	x	0

RESET[CONTROL] [31:0]

位域	名称	描述
31	FLAG	复位标志，指示发生过复位，此标志可通过写入 1 来清零 0: 未经历复位过程 1: 已经历复位过程
30	FLAG_WAKE	复位标志，指示发生过唤醒复位，此标志可通过写入 1 来清零 0: 未经历复位过程 1: 已经历复位过程
4	HOLD	软件复位时，复位是否自动释放 0: 软件复位时，自动释放 1: 软件复位时，复位保持，等待软件释放
0	RESET	软件复位 0: 复位已释放 1：复位有效

RESET[CONTROL] 位域

13.8.22 RESET[CONFIG] (0x1404 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								PRE_WAIT								RSTCLK_NUM								POST_WAIT							
N/A								RW								RW								RW							
x	x	x	x	x	x	x	x	0	1	1	0	0	1	0	0	0	0	1	1	0	0	1	0	0	0	0	0	0	0	1	1

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

RESET[CONFIG] [31:0]

位域	名称	描述
23-16	PRE_WAIT	复位前等待周期，以 24M 周期为单位 0：0 个周期 1：1 个周期 . . .
15-8	RSTCLK_NUM	复位时钟数目，必须是偶数 0: 0 周期 1: 0 周期 2: 2 周期 3: 2 周期 . . .
7-0	POST_WAIT	复位后等待周期，以 24M 周期为单位 0：0 个周期 1：1 个周期 . . .

RESET[CONFIG] 位域

13.8.23 RESET[COUNTER] (0x140C + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD												COUNTER																			
N/A												RW																			
x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RESET[COUNTER] [31:0]

位域	名称	描述
19-0	COUNTER	复位倒计数器，计数器值为 1 的时候触发复位，写 0 可取消复位。计数器以 24M 时钟运行 0: 不复位 1: 1 立即复位 2：等待 1 个周期 . . .

RESET[COUNTER] 位域

13.8.24 CLOCK (0x1800 + 0x4 * n)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GLB_BUSY	LOC_BUSY	RSVD																		MUX				DIV							
RO	RO	N/A																		RW				RW							
0	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0

CLOCK [31:0]

位域	名称	描述
31	GLB_BUSY	全局时钟忙标志位 0：所有功能时钟均处于稳定工作或关闭状态 1：至少有一个功能时钟正在改变设置
30	LOC_BUSY	当前时钟忙标志位 0: 当前时钟处于稳定工作或关闭状态 1: 当前时钟正在改变设置
11-8	MUX	时钟选择 0:osc0_clk0 1:pll0_clk0 2:pll1_clk0 3:pll1_clk1 4:pll2_clk0 5:pll2_clk1 6:pll3_clk0 7:pll4_clk0
7-0	DIV	分频数 0: 除以 1 1: 除以 2 2 除以 3 . . . 255: 除以 256

CLOCK 位域

13.8.25 ADCCLK (0x1C00 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GLB_BUSY	LOC_BUSY	RSVD																			MUX			RSVD							
RO	RO	N/A																			RW			N/A							
0	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	x	x	x	x	x	x	x	x

ADCCLK [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31	GLB_BUSY	全局时钟忙标志位 0：所有功能时钟均处于稳定工作或关闭状态 1：至少有一个功能时钟正在改变设置
30	LOC_BUSY	当前时钟忙标志位 0: 当前时钟处于稳定工作或关闭状态 1: 当前时钟正在改变设置
10-8	MUX	时钟选择 0: ahb clock 1: adc clock 0 2: adc clock 1 3: adc clock 2

ADCCLK 位域

13.8.26 I2SCLK (0x1C10 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GLB_BUSY	LOC_BUSY	RSVD																			MUX			RSVD							
RO	RO	N/A																			RW			N/A							
0	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	x	x	x	x	x	x	x	x

I2SCLK [31:0]

位域	名称	描述
31	GLB_BUSY	全局时钟忙标志位 0：所有功能时钟均处于稳定工作或关闭状态 1：至少有一个功能时钟正在改变设置
30	LOC_BUSY	当前时钟忙标志位 0: 当前时钟处于稳定工作或关闭状态 1: 当前时钟正在改变设置
10-8	MUX	时钟选择 0: ahb clock 1: i2s clock 0 2: i2s clock 1 3: i2s clock 2

I2SCLK 位域

13.8.27 GLOBAL00 (0x2000)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																												PRESET			
N/A																												RW			
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0

GLOBAL00 [31:0]

位域	名称	描述
3-0	PRESET	全局时钟设置，每个位代表一个设置，设置在该位从 0 变成 1 的时候发生。如需二次设置，需写 0 后再次写入 1 0 位：24M 时钟 1 位：推荐设置 2 位：测试用 3 位：测试用

GLOBAL00 位域

13.8.28 MONITOR[CONTROL] (0x2400 + 0x20 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VALID	RSVD			DIV_BUSY	RSVD		OUTEN	DIV								HIGH	LOW	RSVD	START	RSVD	MODE	ACCURACY	REFERENCE	SELECTION							
RW	N/A			RO	N/A		RW	RW								RW	RW	N/A	RW	N/A	RW	RW	RW	RW							
0	x	x	x	0	x	x	0	0	0	0	0	0	0	0	0	0	0	x	0	x	0	0	0	0	0	0	0	0	0	0	0

MONITOR[CONTROL] [31:0]

位域	名称	描述
31	VALID	结果有效 0：结果不可用 1：结果可用
27	DIV_BUSY	分频器忙信号 0：分频器稳定工作 1：分频器正在改变设置
24	OUTEN	输出使能 0：禁止输出 1：允许输出
23-16	DIV	输出分频器 0：除以 1 1：除以 2 . . .

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
15	HIGH	监测频率高于上限 0：频率不高于上限 1：频率高于上限
14	LOW	监测频率低于下限 0：频率不低于下限 1：频率低于下限
12	START	开始测量 0：禁止测量 1：开始测量
10	MODE	模式选择 0：比较模式，测量结果与 min 和 max 寄存器的数值作比较 1：记录模式，出现过的最大最小值记录在 min 和 max 寄存器里面
9	ACCURACY	测量精度 0：精确到 1KHz 1：精确到 1Hz
8	REFERENCE	参考时钟选择 0：32KHz 1：24MHz
7-0	SELECTION	测量时钟选择

MONITOR[CONTROL] 位域

13.8.29 MONITOR[CURRENT] (0x2404 + 0x20 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FREQUENCY																															
RO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MONITOR[CURRENT] [31:0]

位域	名称	描述
31-0	FREQUENCY	测量结果，以 Hz 为单位

MONITOR[CURRENT] 位域

13.8.30 MONITOR[LOW_LIMIT] (0x2408 + 0x20 * n)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FREQUENCY																															
RW																															
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

MONITOR[LOW_LIMIT] [31:0]

位域	名称	描述
31-0	FREQUENCY	时钟频率下限，以 Hz 为单位

MONITOR[LOW_LIMIT] 位域

13.8.31 MONITOR[HIGH_LIMIT] (0x240C + 0x20 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FREQUENCY																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MONITOR[HIGH_LIMIT] [31:0]

位域	名称	描述
31-0	FREQUENCY	时钟频率上限，以 Hz 为单位

MONITOR[HIGH_LIMIT] 位域

13.8.32 CPU[LP] (0x2800 + 0x400 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WAKE_CNT								RSVD							HALT	RSVD		WAKE	EXEC	RSVD	WAKE_FLAG	SLEEP_FLAG	RESET_FLAG	RSVD						MODE	
RW								N/A							RW	N/A		RO	RO	N/A	RW	RW	RW	N/A						RW	
0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	0	x	x	0	1	x	0	1	0	x	x	x	x	x	x	0	0

CPU[LP] [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-24	WAKE_CNT	CPU 唤醒计数器，累计到 255 之后将不再增加，写 0 可清零该计数器 0：未经历过唤醒 1：唤醒过 1 次 2：唤醒过 2 次 . . .
16	HALT	CPU 停止运行 0：CPU 允许运行 1：CPU 启动时或 WFI 之后则不再唤醒
13	WAKE	唤醒状态 0：无唤醒事件 1：有唤醒时间
12	EXEC	运行状态 0：睡眠 1：运行
10	WAKE_FLAG	唤醒标志，写 1 清 0：CPU 未经历过唤醒 1：CPU 经历过唤醒
9	SLEEP_FLAG	睡眠标志，写 1 清 0：CPU 未经历过睡眠 1：CPU 经历过睡眠
8	RESET_FLAG	复位标志，写 1 清 0：CPU 未经历过复位 1：CPU 经历过复位
1-0	MODE	低功耗模式，设置 CPUWFI 之后的行为 00：等待，WFI 后仅关闭核心时钟 01：停止，WFI 后触发系统的低功耗过程 10：运行，WFI 后保持不变 11：保留

CPU[LP] 位域

13.8.33 CPU[LOCK] (0x2804 + 0x400 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																GPR														LOCK	RSVD
N/A																RW														RW	N/A
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	x

CPU[LOCK] [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
15-2	GPR	锁定寄存器，每一位对应一个 GPR 0：未锁定 1：锁定
1	LOCK	锁定 LOCK 寄存器 0：未锁定 1：锁定

CPU[LOCK] 位域

13.8.34 CPU[GPR] (0x2808 + 0x400 * n + 0x4 * m)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GPR																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CPU[GPR] [31:0]

位域	名称	描述
31-0	GPR	通用寄存器，主要用于休眠和唤醒控制

CPU[GPR] 位域

13.8.35 CPU[WAKEUP_STATUS] (0x2840 + 0x400 * n + 0x4 * m)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
STATUS																															
RO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CPU[WAKEUP_STATUS] [31:0]

位域	名称	描述
31-0	STATUS	中断状态

CPU[WAKEUP_STATUS] 位域

13.8.36 CPU[WAKEUP_ENABLE] (0x2880 + 0x400 * n + 0x4 * m)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ENABLE																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CPU[WAKEUP_ENABLE] [31:0]

位域	名称	描述
31-0	ENABLE	唤醒使能寄存器，设置 1 则允许该中断唤醒 CPU

CPU[WAKEUP_ENABLE] 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

14 锁相环控制器 PLLCTL

本章节描述了锁相环控制器 PLLCTL 的主要功能与特性。

14.1 特性总结

本产品包含一个锁相环控制器 PLLCTL，用于配置片上的 PLL。主要特性如下：

- 支持查看 PLL 参考时钟源状态
- 支持配置 PLL 工作模式
  - 支持整数模式
  - 支持小数模式
- 支持配置 PLL 的参考时钟分频系数
- 支持配置 PLL 的反馈时钟分频系数
- 支持硬件自动控制
- 支持扩频技术
- 支持锁定 PLL 配置参数

14.2 功能描述

本章节描述了锁相环控制器 PLLCTL 的主要功能。

14.2.1 PLL 参考时钟源监测

锁相环控制器支持监测 PLL 的参考时钟源状态，用户可以查询XTAL寄存器的ENABLE标志位，置 1 表示作为参考时钟源的晶振打开，查询XTAL寄存器的RESPONSE标志位，置 1 时，表示参考时钟源状态稳定。

14.2.2 PLL 工作参数配置

锁相环支持整数分频和小数分频的工作模式。

PLLx_CFG0[DSMPD] 位和 PLLx_CFG0[DACPD] 位置 0 时，PLL 工作在小数分频模式。

PLLx_CFG0[DSMPD] 位置 1 时，PLL 工作在整数分频模式。

用户可以通过配置 PLL 的参考时钟分频系数，反馈分频系数（整数反馈系数或小数反馈系数），以及后分频系数，来配置 PLL 的时钟输出。

当 PLL 工作在整数分频模式时:

- PLLx_CFG0[REFDIV] 配置参考时钟分频系数
- PLLx_CFG2[FBDIV_INT] 配置反馈分频系数（整数）
- PLLx_CFG0[POSTDIV] 配置后分频系数

$$F_{OUT} = F_{REF} \div REFDIV \times FBDIV_INT \div POSDIV$$

当 PLL 工作在小数分频模式时:

- PLLx_CFG0[REFDIV] 配置参考时钟分频系数
- PLLx_FREQ[FBDIV_FRAC] 配置反馈分频系数（小数）的整数部分
- PLLx_FREQ[FRAC] 配置反馈分频系数（小数）的小数部分
- PLLx_CFG0[POSTDIV] 配置后分频系数

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

$$F_{OUT} = F_{REF} \div REFDIV \times (FBDIV_FRAC + (FRAC \div 2^{24})) \div POSDIV$$

各分频系数配置范围 TBD。

警告!!! PLL 的 VCO 频率 (Fref/Refdiv*FBDIV) 不得超过 2000MHz，可能导致 PLL 电路永久损坏!

14.3 PLL 硬件自动控制

锁相环控制器支持 PLL 硬件自动控制，当 PLLx_CFG1[PLLCTL_HW_EN] 位置 1 时，自动控制打开，功能如下：

- PLL 的自动打开和关闭，此时 PLL 的开关受片上的系统控制模块 SYSCTL 控制，当有片上功能模块使用 PLL 作为时钟源时，PLL 自动打开，否则自动关闭。
- PLL 输出频率自动更新，用户可以直接修改 PLL 的反馈分频系数，包括整数反馈系数和小数反馈系数，来调整 PLL 的输出频率，之后，PLL 自动控制会平滑地将输出频率切换到新的目标输出频率上。

当 PLLx_CFG1 [PLLCTL_HW_EN] 位置 0 时，用户可以手动打开或者关闭 PLL。此时，PLL 的开关受 LLx_CFG1 [PLLPD_SW] 控制，置 1 时，PLL 打开，置 0 时，PLL 关闭。

14.4 PLL 扩频

锁相环控制器支持配置 PLL 扩频。扩频技术调制 PLL 输出频率，使 PLL 输出随时间在小范围内变化，以降低电磁辐射 EMI 水平。用户有以下扩频选项：

- 选择扩频模式
  - 中心扩频，扩频会以 PLL 目标输出频率为中心，调制 PLL 输出频率。调制后，PLL 输出频率可能略微高于目标输出频率，也可能略微低于目标输出频率
  - 向下扩频，扩频调制 PLL 输出频率。调制后，PLL 输出频率总是略微低于目标输出频率
- 调制幅度
  - 中心扩频时，扩频范围为 PLL 输出频率 ±0.1% ~ ±3.1%，0.1% 为步长
  - 向下扩频时，扩频范围为 PLL 输出频率 −0.1% ~ −3.1%，0.1% 为步长

PLL 扩频配置前需要关闭 PLL，并且只有 PLL 小数分频模式支持扩频，扩频的配置步骤如下：

- 设置 PLLx_CFG0 [SS_RESET], PLLx_CFG0[SS_DISABLE_SSCG], PLLx_CFG0 [SS_RSTPTR] 位为 1
- 设置 PLLx_CFG0 [SS_DIVVAL], PLLx_CFG0[SS_SPREAD], PLLx_CFG0 [SS_DOWNSPREAD]
  - PLLx_CFG0 [SS_DOWNSPREAD] 设置调整模式，置 1 时，扩频为向下调制，置 0 时，扩频为中心调制
  - PLLx_CFG0 [SS_SPREAD] 可以配置调制幅度
    - SS_SPREAD = 5’d0，表示关闭调制，
    - SS_SPREAD = 5’d1，表示调制幅度为 0.1%
    - SS_SPREAD = 5’d2，表示调制幅度为 0.2%
    - SS_SPREAD = 5’d31，表示调制幅度为 3.1%
  - PLLx_CFG0[SS_DIVVAL] 可以配置调制频率
    - 调制频率 $F_{MOD} = F_{REF} \div REFDIV \div SS_DIVAL \div 128$
    - 建议配置 $F_{MOD} > 32KHz$，当 $F_{REF} = 24MHz$，$REFDIV = 1$ 时，可配置 $SS_DIVVAL \leq 5$
- 配置 PLL 为小数分频模式，把 PLLx_CFG0 [DSMPD] 和 PLLx_CFG0 [DACPD] 位清 0，并配置反馈系数 PLLx_FREQ [FBDIV_FRAC] 和 PLLx_FREQ [FRAC]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

- 保持 PLL 关闭并等待 1us
- 打开 PLL 后，等待 PLL 锁定
- PLL 锁定后（PLLx_STATUS [LOCK] 标志位置 1），置 PLLx_CFG0 [SS_RSTPTR] 位为 0

14.5 PLL 工作参数锁定

锁相环控制器支持对已经配置的参数锁定，防止 PLL 工作参数被有意或无意破坏。

PLLx_LOCK 寄存器支持以下锁定使能位：

- LOCK_SS_RSTPTR，锁定扩频的重置位
- LOCK_REFDIV，锁定参考时钟分频系数
- LOCK_POSTDIV，锁定后分频系数
- LOCK_SS_SPREAD，锁定扩频的调制幅度
- LOCK_SS_DIVVAL，锁定扩频的调试频率分频系数

14.6 PLLCTL 寄存器

14.6.1 寄存器说明

PLLCTL 的寄存器列表如下：

PLLCTL base address: 0xF4100000

地址偏移	名称	描述	复位值
0x0000	XTAL	振荡器控制和状态寄存器	0x00000000
0x0080	PLL[PLL0][CFG0]	PLLx 控制寄存器 0	0x00140460
0x0084	PLL[PLL0][CFG1]	PLLx 控制寄存器 1	0x80000000
0x0088	PLL[PLL0][CFG2]	PLLx 控制寄存器 2	0x00000000
0x008C	PLL[PLL0][FREQ]	PLLx 小数模式频率调节	0x00000000
0x0090	PLL[PLL0][LOCK]	PLLx 锁定控制	0x00000000
0x00A0	PLL[PLL0][STATUS]	PLLx 状态	0x00000000
0x00C0	PLL[PLL0][DIV0]	PLL 分频器 0 控制寄存器	0x00000000
0x00C4	PLL[PLL0][DIV1]	PLL 分频器 1 控制寄存器	0x00000000
0x0100	PLL[PLL1][CFG0]	PLLx 控制寄存器 0	0x00140460
0x0104	PLL[PLL1][CFG1]	PLLx 控制寄存器 1	0x80000000
0x0108	PLL[PLL1][CFG2]	PLLx 控制寄存器 2	0x00000000
0x010C	PLL[PLL1][FREQ]	PLLx 小数模式频率调节	0x00000000
0x0110	PLL[PLL1][LOCK]	PLLx 锁定控制	0x00000000
0x0120	PLL[PLL1][STATUS]	PLLx 状态	0x00000000
0x0140	PLL[PLL1][DIV0]	PLL 分频器 0 控制寄存器	0x00000000
0x0144	PLL[PLL1][DIV1]	PLL 分频器 1 控制寄存器	0x00000000
0x0180	PLL[PLL2][CFG0]	PLLx 控制寄存器 0	0x00140460
0x0184	PLL[PLL2][CFG1]	PLLx 控制寄存器 1	0x80000000
0x0188	PLL[PLL2][CFG2]	PLLx 控制寄存器 2	0x00000000
0x018C	PLL[PLL2][FREQ]	PLLx 小数模式频率调节	0x00000000
0x0190	PLL[PLL2][LOCK]	PLLx 锁定控制	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x01A0	PLL[PLL2][STATUS]	PLLx 状态	0x00000000
0x01C0	PLL[PLL2][DIV0]	PLL 分频器 0 控制寄存器	0x00000000
0x01C4	PLL[PLL2][DIV1]	PLL 分频器 1 控制寄存器	0x00000000
0x0200	PLL[PLL3][CFG0]	PLLx 控制寄存器 0	0x00140460
0x0204	PLL[PLL3][CFG1]	PLLx 控制寄存器 1	0x80000000
0x0208	PLL[PLL3][CFG2]	PLLx 控制寄存器 2	0x00000000
0x020C	PLL[PLL3][FREQ]	PLLx 小数模式频率调节	0x00000000
0x0210	PLL[PLL3][LOCK]	PLLx 锁定控制	0x00000000
0x0220	PLL[PLL3][STATUS]	PLLx 状态	0x00000000
0x0240	PLL[PLL3][DIV0]	PLL 分频器 0 控制寄存器	0x00000000
0x0244	PLL[PLL3][DIV1]	PLL 分频器 1 控制寄存器	0x00000000
0x0280	PLL[PLL4][CFG0]	PLLx 控制寄存器 0	0x00140460
0x0284	PLL[PLL4][CFG1]	PLLx 控制寄存器 1	0x80000000
0x0288	PLL[PLL4][CFG2]	PLLx 控制寄存器 2	0x00000000
0x028C	PLL[PLL4][FREQ]	PLLx 小数模式频率调节	0x00000000
0x0290	PLL[PLL4][LOCK]	PLLx 锁定控制	0x00000000
0x02A0	PLL[PLL4][STATUS]	PLLx 状态	0x00000000
0x02C0	PLL[PLL4][DIV0]	PLL 分频器 0 控制寄存器	0x00000000
0x02C4	PLL[PLL4][DIV1]	PLL 分频器 1 控制寄存器	0x00000000

表 32: PLLCTL 寄存器列表

PLLCTL 的寄存器详细说明如下：

14.6.2 XTAL (0x0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD		RESPONSE	ENABLE	RSVD								RAMP_TIME																			
N/A		RO	RO	N/A								RW																			
x	x	0	0	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

XTAL [31:0]

位域	名称	描述
29	RESPONSE	振荡器状态 0：振荡器不稳定 1：振荡器稳定可用
28	ENABLE	振荡器开关状态 0：振荡器关闭 1：振荡器打开

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
19-0	RAMP_TIME	振荡器启动时间（IRC24M 时钟周期） 0：0 周期 1：1 周期 N: N 周期

XTAL 位域

14.6.3 PLL[CFG0] (0x80 + 0x80 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SS_RSTPTR	RSVD	REFDIV						RSVD	POSTDIV1			RSVD	SS_SPREAD					SS_DIVVAL						SS_DOWNSPREAD	SS_RESET	SS_DISABLE_SSCG	RSVD	DSMPD	RSVD		
RW	N/A	RW						N/A	RW			N/A	RW					RW						RW	RW	RW	N/A	RW	N/A		
0	x	0	0	0	0	0	0	x	0	0	1	x	1	0	0	0	0	0	0	0	1	0	0	0	1	1	x	0	x	x	x

PLL[CFG0] [31:0]

位域	名称	描述
31	SS_RSTPTR	复位扩频计数器。
29-24	REFDIV	参考时钟分频比，1 表示不分频；写 0 结果未知
22-20	POSTDIV1	后分频比，1 表示不分频，写 0 结果未知
18-14	SS_SPREAD	扩频深度： 5’b00001 -> 0.1% 5’b00010 -> 0.2% ... 5’b10000 -> 1.6% ... 5’b11111 -> 3.1%
13-8	SS_DIVVAL	扩频频率分配比，0/1 表示不分频，N 表示 N 分频。 扩频频率等于 FREF/(refdiv*ss_divval*128), FREF 为 PLL 参考时钟
7	SS_DOWNSPREAD	扩频模式控制： 0：中心扩频 1：向下扩频
6	SS_RESET	设 1 复位扩频逻辑
5	SS_DISABLE_SSCG	设 1 停止扩频，输出等于输入

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
3	DSMPD	PLL 模式： 0 ：小数模式 1 ：整数模式

PLL[CFG0] 位域

14.6.4 PLL[CFG1] (0x84 + 0x80 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PLLCTRL_HW_EN	RSVD				CLKEN_SW	PLLPD_SW	RSVD									LOCK_CNT_CFG	RSVD														
RW	N/A				RW	RW	N/A									RW	N/A														
1	x	x	x	x	0	0	x	x	x	x	x	x	x	x	x	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

PLL[CFG1] [31:0]

位域	名称	描述
31	PLLCTRL_HW_EN	PLL 控制模式： 1 ：由 SYSCTL 模块控制 PLL 开关，工作模式等，软件仅可通过改变 fbdiv 或者 frac 值改变 PLL 输出频率 0 ：完全软件控制，不当使用可能导致输出不可用，不建议使用
26	CLKEN_SW	PLL 输出使能，仅当软件控制时（pllctrl_hw_en=1）有效。 0 为停止 PLL 输出； 1 为允许 PLL 输出。
25	PLLPD_SW	PLL 软件开关，仅当软件控制时有效。 设 1 关闭 PLL
15	LOCK_CNT_CFG	PLL 锁定时间控制，单位是参考时钟周期 PLL 本身有锁定状态输出，最大为 1500 参考时钟分频后的周期（FREF/refdiv) 当 lock_cnt_cfg 大于 PLL 本身锁定时间时，PLL 控制器会等到这个时间到了后再打开 PLL 输出。

PLL[CFG1] 位域

14.6.5 PLL[CFG2] (0x88 + 0x80 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																				FBDIV_INT											

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
N/A																				RW											
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0

PLL[CFG2] [31:0]

位域	名称	描述
11-0	FBDIV_INT	整数模式分频比，PLL 输出频率为： Fout=Fref/refdiv*fbdiv_int/postdiv1 例如：参考频率 24MHz，预分频 1，分频比 50，后分频 2，那么输出频率为：24/1*50/2=600MHz. 注意：这个值不能太大，如果 Fref/refdiv*fbdiv 超过 2GHz，可能导致 PLL 电路永久烧坏

PLL[CFG2] 位域

14.6.6 PLL[FREQ] (0x8C + 0x80 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FRAC																								FBDIV_FRAC							
RW																								RW							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PLL[FREQ] [31:0]

位域	名称	描述
31-8	FRAC	小数模式小数分频比，PLL 输出频率为： Fout = Fref/refdiv*(fbdiv + frac/2^24)/postdiv1 例 1：参考频率 24MHz，预分频 1，后分频 1，整数分频比 30，小数分频比 0x800000，PLL 输出频率为 24*(30+0.5)=732MHz; 例 2：整数分频比 40，小数分频比 0x200000，其他同上，PLL 输出频率为 24*(40+0.125)=963MHz
7-0	FBDIV_FRAC	小数模式整数分频比

PLL[FREQ] 位域

14.6.7 PLL[LOCK] (0x90 + 0x80 * n)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LOCK_SS_RSTPTR	RSVD						LOCK_REFDIV	RSVD			LOCK_POSTDIV1	RSVD					LOCK_SS_SPEAD	RSVD					LOCK_SS_DIVVAL	RSVD							
RW	N/A						RW	N/A			RW	N/A					RW	N/A					RW	N/A							
0	x	x	x	x	x	x	0	x	x	x	0	x	x	x	x	x	0	x	x	x	x	x	0	x	x	x	x	x	x	x	x

PLL[LOCK] [31:0]

位域	名称	描述
31	LOCK_SS_RSTPTR	设 1 后锁定 ss_rstptr，软件不能修改 ss_rstptr，软件可以在初始化 PLL 完成后设置此寄存器，防止之后误操作。 清零后可以修改相关寄存器
24	LOCK_REFDIV	设 1 后锁定 refdiv，软件不能修改 refdiv
20	LOCK_POSTDIV1	设 1 后锁定 postdiv1，软件不能修改 postdiv1
14	LOCK_SS_SPEAD	设 1 后锁定 ss_spead，软件不能修改 ss_spead
8	LOCK_SS_DIVVAL	设 1 后锁定 ss_divval，软件不能修改 ss_divval

PLL[LOCK] 位域

14.6.8 PLL[STATUS] (0xA0 + 0x80 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				ENABLE	RSVD																								RESPONSE	PLL_LOCK_COMB	PLL_LOCK_SYNC
N/A				RO	N/A																								RO	RO	RO
x	x	x	x	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0

PLL[STATUS] [31:0]

位域	名称	描述
27	ENABLE	SYSCTL 过来的 PLL 使能位
2	RESPONSE	输出到 SYSCTL 的响应位
1	PLL_LOCK_COMB	PLL 锁定状态 当 PLL 锁定输出为 1，且从 SYSCTL 使能开始，时间超过 lock_cnt_cfg，此位为 1，愿意软件读此位判断 PLL 是否锁定
0	PLL_LOCK_SYNC	PLL 锁定输出

PLL[STATUS] 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

14.6.9 PLL[DIV0] (0xC0 + 0x80 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BUSY	RSVD	RESPONSE	ENABLE	RSVD																				DIV							
RO	N/A	RO	RO	N/A																				RW							
0	x	0	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0

PLL[DIV0] [31:0]

位域	名称	描述
31	BUSY	忙状态位 0 表示分频器正常工作； 1 表示分频器正在改变状态；
29	RESPONSE	分频器响应状态 0 表示分频器未响应 1 表示分频器响应
28	ENABLE	分频器使能位 0 表示分频器关闭 1 表示分频器打开
7-0	DIV	分频比 0 表示不分频 1 表示 2 分频 255 表示 256 分频

PLL[DIV0] 位域

14.6.10 PLL[DIV1] (0xC4 + 0x80 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BUSY	RSVD	RESPONSE	ENABLE	RSVD																				DIV							
RO	N/A	RO	RO	N/A																				RW							
0	x	0	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0

PLL[DIV1] [31:0]

位域	名称	描述
31	BUSY	忙状态位 0 表示分频器正常工作；1 表示分频器正在改变状态；
29	RESPONSE	分频器响应状态 0 表示分频器未响应 1 表示分频器响应

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
28	ENABLE	分频器使能位 0 表示分频器关闭 1 表示分频器打开
7-0	DIV	分频比 0 表示不分频 1 表示 2 分频 255 表示 256 分频

PLL[DIV1] 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

15 低功耗管理

本章节介绍系统级低功耗的管理和应用。

15.1 运行模式 RUN

处理器正常运行程序时处于运行模式，运行模式下系统支持的降低功耗的方式有：

- 正确设置 SYSCTL 的 GROUPx 寄存器，仅使能必要的功能模块，则不使用的模块会自动关闭以节省功耗
- 通过配置 PLL 的 FBDIV、POSTDIV 和 SYSCTL 中功能时钟的分频系数，适当降低 CPU 和功能模块的时钟频率
- 如果系统电源域使用 DCDC 供电，可根据需要在 PCFG 模块中配置适当降低 DCDC 输出电压

15.2 等待模式 WAIT

如果 SYSCTL_CPUxLP 寄存器的 MODE 位为 b00，则 CPU 执行 WFI 指令后即进入等待模式，CPU 核心时钟会被关闭。但在收到中断时 CPU 能够立即唤醒进行处理。
进入等待模式前需要正确设置 SYSCTL_CPUxWAKEUPENx 寄存器，使能期望唤醒 CPU 的中断源。

15.3 停止模式 STOP

如果 SYSCTL_CPUxLP 寄存器的 MODE 位为 b01，则 CPU 执行 WFI 指令后即进入停止模式。停止模式下 SYSCTL 模块将根据配置关闭系统电源域内的部分资源节点。

与等待模式相比，停止模式允许关闭更多的资源，且提供灵活的配置选项，用户需根据功耗和唤醒时间的要求在 SYSCTL 模块中进行合理的配置。

考虑最简单的应用场景 1：系统只使用 CPU0，CPU1 处于关闭状态，仅通过 SYSCTL 的 GROUPA 寄存器连接使能了必要的功能模块，将 RETENTION[CPU0] 寄存器修改为全 0。那么首先，不使用的资源节点在运行模式下已经自动关闭。在 CPU 执行 WFI 进入停止模式后，CPU0 的时钟、CPU0 子系统的电源、CPU0 使用的各功能模块、功能时钟、其他子系统电源、PLL 和 24M 晶振等都会依次关闭，仅保留 SYSCTL 的功能以等待唤醒。

应用场景 2：CPU0 和 CPU1 都被使用，两个 CPU 分别使用 GROUPA 和 GROUPB 寄存器连接使能了各自使用的功能模块。则不被任何 CPU 使用的资源节点在运行模式下已经自动关闭。若 CPU0 保持运行时 CPU1 执行 WFI 进入停止模式，则 CPU1 单独使用的资源节点 (即在 GROUPB 中设置为 1 而在 GROUPA 中设置为 0 的模块) 会被依次关闭，而不影响 CPU0 本身及其使用的任何资源。直到 CPU0 也进入停止模式，系统会进一步关闭 CPU0 独享的和两个 CPU 共享的资源。

应用场景 3：系统只使用 CPU0，CPU1 处于关闭状态，如果要求 CPU0 进入停止模式后自身的寄存器状态不丢失即 CPU0 子系统不掉电、不复位，且要求 24M 晶振和 PLL 不关闭，以此实现较快的唤醒速度，则需要设置 SYSCTL 的 RETENTION[CPU0] 寄存器，将 CPU0 寄存器、24M 晶振和 PLL 对应的位置 1。

应用场景 4：系统只使用 CPU0，CPU1 处于关闭状态，如果要求 CPU0 进入停止模式后某个功能模块如 GPTMR0 保持运行,而该模块不在 RETENTION 寄存器的管理范围,则需设置 SYSCTL 的 RESOURCE[BLOCK_GPTMR0] 寄存器，将 MODE 位设为 1 使其一直保持开启。

注意，RETENTION[CPU0] 寄存器的默认值是保留 CPU0 子系统和系统电源域的电源。

中断能够将系统从停止模式唤醒，这些中断可以来自系统电源域中仍然保持工作的功能模块，也可以来自电源管理域电池备份域，需确保期望唤醒的中断源已在 SYSCTL_CPUxWAKEUPENx 寄存器中被使能。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

总之，配置停止模式可能涉及的步骤如下：

- 配置 SYSCTL_CPUxLP 寄存器的 MODE 位为 b01
- 配置 SYSCTL_RETENTIONx 寄存器使部分资源节点保持开启
- 配置 SYSCTL_RESOURCEx 寄存器使更多的资源节点保持开启
- 配置 SYSCTL_CPUxWAKEUPENx 寄存器，指定唤醒中断源
- 配置用来产生唤醒中断的模块，设定中断触发条件并使能中断
- 执行 WFI 指令

15.4 休眠模式 STANDBY

休眠模式下整个系统电源域不再运行，其可能在复位状态或掉电状态。如果 SYSCTL 的配置中 RETENTION 寄存器没有任何需要保持运行的资源节点，RESOURCE 寄存器中也没有任何强制开启的资源节点，那么当全部 CPU 进入停止模式后整个系统电源域便不再有运行需求，SYSCTL 模块在关闭了全部的资源节点后，会向电源管理域发出关闭系统电源域的请求。请求发生后，首先系统电源域会被冷复位，之后 PCFG 模块会根据 POWER_TRAP 寄存器的设置执行操作：

如果使用 DCDC 为系统电源域供电，则 DCDC 会根据表 25进行状态切换：正常运行、关闭或进入低功耗模式，其中 DCDC 在低功耗模式下能够配置为提供较低的输出电压。

如果使用外部电源为系统电源域供电，芯片提供两个引脚 PZ10(HIBERNATE) 和 PZ11(STANDBY) 用来控制外部电源的行为。若要使用这两个引脚，须在 BIOC 中将其功能选择为 ALT1。当收到系统电源域关闭请求时，两个引脚的状态与 POWER_TRAP 寄存器的 TRIGGERED 位和 RETENTION 位的组合关系如表 33所示：

TRIGGERED 位	RETENTION 位	PZ10 引脚	PZ11 引脚	参考用途
0	-	输出 0	输出 0	电源状态不变
1	0	输出 1	输出 0	关闭电源供电
1	1	输出 0	输出 1	降低供电电压

表 33: 系统电源域外部电源控制引脚

进入休眠模式后系统只能被电源管理域内模块的中断唤醒，唤醒源详见小节 12.2.4。

另电源管理域中的不使用的模块可以通过设置 PCFG 的 SCG_CTRL 寄存器来关闭其时钟，从而在休眠模式下进一步降低系统功耗，详见小节 12.2.3。

总之，配置休眠模式可能涉及的步骤如下：：

- 配置 SYSCTL_CPUxLP 寄存器的 MODE 位为 b0
- 配置 SYSCTL_RETENTIONx 寄存器为全 0
- 配置所有的 SYSCTL_RESOURCEx 寄存器中 MODE 位都不为 1
- 配置 PCFG 模块 POWER_TRAP 寄存器的 TRIGGERED 位和 RETENTION 位，以设置系统电源域电源的保持、关闭或降低电压
- 如果使用外部电源为系统电源域供电且使用引脚控制其行为，则需要在 BIOC 中配置 PZ10 或 PZ11 的功能选择
- 配置 PCFG 模块 WAKE_MASK 寄存器以使能唤醒源
- 配置电源管理域中唤醒源模块的中断触发条件并使能中断
- 执行 WFI 指令

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

15.5 关机模式 SHUTDOWN

关机模式下仅电池备份域能够正常工作，电源管理域和系统电源域都处于复位或掉电状态。

进入关机模式有两种方式，按键或软件写寄存器：

- PZ02 引脚功能选择为 PBUTN(ALT1)，在该引脚上检测到一次有效的超长按键（输入保持低电平约 16 秒），系统进入关机模式
- 向倒计时关机寄存器 BPOR_PDCONTROL 写入一个倒计时值，在倒计时结束后，系统进入关机模式

芯片提供 PZ00(PWR_ON) 引脚用来标识系统进入了关机模式，该引脚可以用来控制外部电源的关闭等，PZ00 引脚在 BIOC 中的默认功能选择即是 PWR_ON。

根据芯片的外部电源供电结构考虑以下场景：

场景 1：单一 3.3V 供电，即 VBAT 和 VPMC 短接到单一供电源，且使用 DCDC 为系统电源域供电。则进入关机模式时，电源管理域进入复位状态，DCDC 关闭从而系统电源域掉电。

场景 2：VBAT 和 VPMC 短接到同一供电源，使用外部电源为系统电源域供电。则进入关机模式时，电源管理域和系统电源域都进入复位状态。

场景 3：VBAT 和 VPMC 使用不同的电源供电，且使用 DCDC 为系统电源域供电。则进入关机模式时，DCDC 关闭从而系统电源域掉电，PZ00 可输出低电平从而控制 VPMC 的电源供电关闭。

建议用户通过把 VBG_CFG 寄存器的 LP_MODE 位置 1，来使 Bandgap 工作在低功耗模式。已降低 VBAT 的供电电流。用户可以考虑配置 BPOR 模块修改 RESETN 的复位范围，使电池备份域的数字逻辑电路不受 RESETN 的复位影响，避免相关配置信息丢失。

关机模式下系统只能从电池备份域唤醒，需在 POR_SELECT 寄存器位中使能唤醒源。

15.6 低功耗总结

图 11描述了各低功耗模式的控制流程和作用范围。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

图 11: 低功耗模式流程图

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

16 系统内存映射

本章节介绍本产品的系统内存映射。

16.1 系统内存映射 System Memory Map

本产品的系统内存映射表如下：

起始地址	结束地址	地址空间	名称	描述
0x00000000	0x0003FFFF	256 KBytes	ILM	指令本地存储器
0x00080000	0x000BFFFF	256 KBytes	DLM	数据本地存储器
0x000C0000	0x000C00BF	192 Bytes	FGPIO	快速 GPIO 控制器
0x01000000	0x0103FFFF	256 KBytes	CPU0_ILM_SLV	CPU0 ILM 镜像
0x01040000	0x0107FFFF	256 KBytes	CPU0_DLM_SLV	CPU0 DLM 镜像
0x01080000	0x010FFFFF	512 KBytes	XRAM0	AXI SRAM0
0x01100000	0x0117FFFF	512 KBytes	XRAM1	AXI SRAM1
0x01180000	0x011BFFFF	256 KBytes	CPU1_ILM_SLV	CPU1 ILM 镜像
0x011C0000	0x011FFFFF	256 KBytes	CPU1_DLM_SLV	CPU1 DLM 镜像
0x20000000	0x2001FFFF	128 KBytes	ROM	只读存储器 ROM
0x30000000	0x300FFFFF	1 MBytes	DM	DEBUG 调试模块
0x40000000	0x4FFFFFFF	256 MBytes	FEMC	FEMC 存储空间
0x80000000	0x8FEFFFFF	255 MBytes	XPI0	串行总线控制器 XPI0 存储空间
0x90000000	0x9FEFFFFF	255 MBytes	XPI1	串行总线控制器 XPI1 存储空间
0xE4000000	0xE43FFFFF	4 MBytes	PLIC	平台中断控制器 PLIC
0xE6000000	0xE60FFFFF	1 MBytes	MCHTMR	机器定时器
0xE6400000	0xE67FFFFF	4 MBytes	PLICSW	平台软件中断控制器
0xF0000000	0xF0003FFF	16 KBytes	GPIO0	GPIO 控制器 GPIO0
0xF0004000	0xF0007FFF	16 KBytes	GPIO1	GPIO 控制器 GPIO1
0xF0008000	0xF000BFFF	16 KBytes	GPIOM	GPIO 管理器
0xF0010000	0xF0013FFF	16 KBytes	ADC0	模数转换器 ADC0
0xF0014000	0xF0017FFF	16 KBytes	ADC1	模数转换器 ADC1
0xF0018000	0xF001BFFF	16 KBytes	ADC2	模数转换器 ADC2
0xF001C000	0xF001FFFF	16 KBytes	ADC3	模数转换器 ADC3
0xF0020000	0xF0023FFF	16 KBytes	ACMP	模拟比较器
0xF0030000	0xF0033FFF	16 KBytes	SPI0	串行外设总线 SPI0
0xF0034000	0xF0037FFF	16 KBytes	SPI1	串行外设总线 SPI1
0xF0038000	0xF003BFFF	16 KBytes	SPI2	串行外设总线 SPI2
0xF003C000	0xF003FFFF	16 KBytes	SPI3	串行外设总线 SPI3
0xF0040000	0xF0043FFF	16 KBytes	UART0	通用异步收发器 UART0
0xF0044000	0xF0047FFF	16 KBytes	UART1	通用异步收发器 UART1
0xF0048000	0xF004BFFF	16 KBytes	UART2	通用异步收发器 UART2

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

起始地址	结束地址	地址空间	名称	描述
0xF004C000	0xF004FFFF	16 KBytes	UART3	通用异步收发器 UART3
0xF0050000	0xF0053FFF	16 KBytes	UART4	通用异步收发器 UART4
0xF0054000	0xF0057FFF	16 KBytes	UART5	通用异步收发器 UART5
0xF0058000	0xF005BFFF	16 KBytes	UART6	通用异步收发器 UART6
0xF005C000	0xF005FFFF	16 KBytes	UART7	通用异步收发器 UART7
0xF0060000	0xF0063FFF	16 KBytes	UART8	通用异步收发器 UART8
0xF0064000	0xF0067FFF	16 KBytes	UART9	通用异步收发器 UART9
0xF0068000	0xF006BFFF	16 KBytes	UART10	通用异步收发器 UART10
0xF006C000	0xF006FFFF	16 KBytes	UART11	通用异步收发器 UART11
0xF0070000	0xF0073FFF	16 KBytes	UART12	通用异步收发器 UART12
0xF0074000	0xF0077FFF	16 KBytes	UART13	通用异步收发器 UART13
0xF0078000	0xF007BFFF	16 KBytes	UART14	通用异步收发器 UART14
0xF007C000	0xF007FFFF	16 KBytes	UART15	通用异步收发器 UART15
0xF0080000	0xF0083FFF	16 KBytes	CAN0	控制器局域网 CAN0
0xF0084000	0xF0087FFF	16 KBytes	CAN1	控制器局域网 CAN1
0xF0088000	0xF008BFFF	16 KBytes	CAN2	控制器局域网 CAN2
0xF008C000	0xF008FFFF	16 KBytes	CAN3	控制器局域网 CAN3
0xF0090000	0xF0093FFF	16 KBytes	WDG0	看门狗 WDG0
0xF0094000	0xF0097FFF	16 KBytes	WDG1	看门狗 WDG1
0xF0098000	0xF009BFFF	16 KBytes	WDG2	看门狗 WDG2
0xF009C000	0xF009FFFF	16 KBytes	WDG3	看门狗 WDG3
0xF00A0000	0xF00A3FFF	16 KBytes	MBX0A	信箱 MBX0A
0xF00A4000	0xF00A7FFF	16 KBytes	MBX0B	信箱 MBX0B
0xF00A8000	0xF00ABFFF	16 KBytes	MBX1A	信箱 MBX1A
0xF00AC000	0xF00AFFFF	16 KBytes	MBX1B	信箱 MBX1B
0xF00B0000	0xF00B3FFF	16 KBytes	PTPC	高精度时间同步协议控制器 PTPC
0xF00C0000	0xF00C3FFF	16 KBytes	DMAMUX	DMA 请求路由器 DMAMUX
0xF00C4000	0xF00C7FFF	16 KBytes	HDMA	DMA 控制器 HDMA
0xF00C8000	0xF00CBFFF	16 KBytes	RNG	随机数发生器 RNG
0xF00CC000	0xF00CFFFF	16 KBytes	KEYM	密钥管理器 KEYM
0xF0100000	0xF0103FFF	16 KBytes	I2S0	集成电路内置音频总线 I2S0
0xF0104000	0xF0107FFF	16 KBytes	I2S1	集成电路内置音频总线 I2S1
0xF0108000	0xF010BFFF	16 KBytes	I2S2	集成电路内置音频总线 I2S2
0xF010C000	0xF010FFFF	16 KBytes	I2S3	集成电路内置音频总线 I2S3

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

起始地址	结束地址	地址空间	名称	描述
0xF0110000	0xF0113FFF	16 KBytes	DAO	数字音频输出 DAO
0xF0114000	0xF0117FFF	16 KBytes	PDM	数字麦克风 PDM
0xF0200000	0xF0203FFF	16 KBytes	PWM0	PWM 定时器 PWM0
0xF0204000	0xF0207FFF	16 KBytes	HALL0	霍尔传感器接口 HALL0
0xF0208000	0xF020BFFF	16 KBytes	QEI0	正交编码器接口 QEI0
0xF020C000	0xF020FFFF	16 KBytes	TRGM0	互联管理器 TRGM0
0xF0210000	0xF0213FFF	16 KBytes	PWM1	PWM 定时器 PWM1
0xF0214000	0xF0217FFF	16 KBytes	HALL1	霍尔传感器接口 HALL1
0xF0218000	0xF021BFFF	16 KBytes	QEI1	正交编码器接口 QEI1
0xF021C000	0xF021FFFF	16 KBytes	TRGM1	互联管理器 TRGM1
0xF0220000	0xF0223FFF	16 KBytes	PWM2	PWM 定时器 PWM2
0xF0224000	0xF0227FFF	16 KBytes	HALL2	霍尔传感器接口 HALL2
0xF0228000	0xF022BFFF	16 KBytes	QEI2	正交编码器接口 QEI2
0xF022C000	0xF022FFFF	16 KBytes	TRGM2	互联管理器 TRGM2
0xF0230000	0xF0233FFF	16 KBytes	PWM3	PWM 定时器 PWM3
0xF0234000	0xF0237FFF	16 KBytes	HALL3	霍尔传感器接口 HALL3
0xF0238000	0xF023BFFF	16 KBytes	QEI3	正交编码器接口 QEI3
0xF023C000	0xF023FFFF	16 KBytes	TRGM3	互联管理器 TRGM3
0xF0240000	0xF0243FFF	16 KBytes	SYNT	同步定时器 SYNT
0xF0300000	0xF0307FFF	32 KBytes	HRAM	通用内存 AHB SRAM
0xF1000000	0xF1003FFF	16 KBytes	LCDC	LCD 控制器
0xF1008000	0xF100BFFF	16 KBytes	CAM0	摄像接口 CAM0
0xF100C000	0xF100FFFF	16 KBytes	CAM1	摄像接口 CAM1
0xF1010000	0xF1013FFF	16 KBytes	PDMA	2D 图形加速 PDMA
0xF1014000	0xF1017FFF	16 KBytes	JPEG	JPEG 编解码器
0xF2000000	0xF2003FFF	16 KBytes	ENET0	以太网控制器 ENET0
0xF2004000	0xF2007FFF	16 KBytes	ENET1	以太网控制器 ENET1
0xF2010000	0xF2013FFF	16 KBytes	NTMR0	以太网定时器 NTMR0
0xF2014000	0xF2017FFF	16 KBytes	NTMR1	以太网定时器 NTMR1
0xF2020000	0xF2023FFF	16 KBytes	USB0	通用串行总线 USB0
0xF2024000	0xF2027FFF	16 KBytes	USB1	通用串行总线 USB1
0xF2030000	0xF2033FFF	16 KBytes	SDXC0	SD/EMMC 控制器 SDXC0
0xF2034000	0xF2037FFF	16 KBytes	SDXC1	SD/EMMC 控制器 SDXC1
0xF2040000	0xF2043FFF	16 KBytes	CONCTL	通讯系统控制器 CONCTL
0xF3000000	0xF3003FFF	16 KBytes	GPTMR0	通用定时器 GPTMR0
0xF3004000	0xF3007FFF	16 KBytes	GPTMR1	通用定时器 GPTMR1
0xF3008000	0xF300BFFF	16 KBytes	GPTMR2	通用定时器 GPTMR2
0xF300C000	0xF300FFFF	16 KBytes	GPTMR3	通用定时器 GPTMR3

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

起始地址	结束地址	地址空间	名称	描述
0xF3010000	0xF3013FFF	16 KBytes	GPTMR4	通用定时器 GPTMR4
0xF3014000	0xF3017FFF	16 KBytes	GPTMR5	通用定时器 GPTMR5
0xF3018000	0xF301BFFF	16 KBytes	GPTMR6	通用定时器 GPTMR6
0xF301C000	0xF301FFFF	16 KBytes	GPTMR7	通用定时器 GPTMR7
0xF3020000	0xF3023FFF	16 KBytes	I2C0	集成电路总线 I2C0
0xF3024000	0xF3027FFF	16 KBytes	I2C1	集成电路总线 I2C1
0xF3028000	0xF302BFFF	16 KBytes	I2C2	集成电路总线 I2C2
0xF302C000	0xF302FFFF	16 KBytes	I2C3	集成电路总线 I2C3
0xF3040000	0xF3043FFF	16 KBytes	XPI0	串行总线控制器 XPI 0
0xF3044000	0xF3047FFF	16 KBytes	XPI1	串行总线控制器 XPI 1
0xF3048000	0xF304BFFF	16 KBytes	XDMA	DMA 控制器 XDMA
0xF304C000	0xF304FFFF	16 KBytes	SDP	安全数据处理器 SDP
0xF3050000	0xF3053FFF	16 KBytes	FEMC	FEMC 控制器
0xF4000000	0xF403FFFF	256 KBytes	SYSCTL	系统控制模块
0xF4040000	0xF407FFFF	256 KBytes	IOC	IO 控制器 IOC
0xF4080000	0xF40BFFFF	256 KBytes	OTPSHW	OTP 控制器影子寄存器
0xF40C0000	0xF40C3FFF	16 KBytes	PPOR	电源管理域复位模块
0xF40C4000	0xF40C7FFF	16 KBytes	PCFG	电源管理域配置模块
0xF40C8000	0xF40CBFFF	16 KBytes	OTP	OTP 控制器
0xF40CC000	0xF40CFFFF	16 KBytes	PSEC	电源管理域安全管理器
0xF40D0000	0xF40D3FFF	16 KBytes	PMON	电源管理域监视器
0xF40D4000	0xF40D7FFF	16 KBytes	PGPR	电源管理域通用寄存器
0xF40D8000	0xF40DBFFF	16 KBytes	PIOC	电源管理域 IO 控制器
0xF40DC000	0xF40DFFFF	16 KBytes	PGPIO	电源管理域 GPIO 控制器
0xF40E0000	0xF40E3FFF	16 KBytes	PTMR	电源管理域通用定时器 PTMR
0xF40E4000	0xF40E7FFF	16 KBytes	PUART	电源管理域通用异步收发器 PUART
0xF40E8000	0xF40EBFFF	16 KBytes	PWDG	电源管理域看门狗 PWDG
0xF40EC000	0xF40EFFFF	16 KBytes	VAD	语言检测模块
0xF40F0000	0xF40F1FFF	8 KBytes	PMIC_MEM	通用内存 APB SRAM
0xF4100000	0xF413FFFF	256 KBytes	PLLCTL	PLL 控制器
0xF5004000	0xF5007FFF	16 KBytes	BPOR	电池备份域复位管理模块
0xF5008000	0xF500BFFF	16 KBytes	BCFG	电池备份域管理模块
0xF500C000	0xF500FFFF	16 KBytes	BUTN	电池备份域按钮模块
0xF5010000	0xF5013FFF	16 KBytes	BIOC	电池备份域 IO 控制器
0xF5014000	0xF5017FFF	16 KBytes	BGPIO	电池备份域 GPIO 控制器
0xF5018000	0xF501BFFF	16 KBytes	BGPR	电池备份域通用寄存器
0xF501C000	0xF501FFFF	16 KBytes	RTCSHW	RTC 影子寄存器
0xF5040000	0xF5043FFF	16 KBytes	BSEC	电池备份域安全管理器

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

起始地址	结束地址	地址空间	名称	描述
0xF5044000	0xF5047FFF	16 KBytes	RTC	实时时钟
0xF5048000	0xF504BFFF	16 KBytes	BKEY	电池备份域密钥管理
0xF504C000	0xF504FFFF	16 KBytes	BMON	电池备份域监视器
0xF5050000	0xF5053FFF	16 KBytes	TAMP	入侵检测模块
0xF5054000	0xF5057FFF	16 KBytes	MONO	单调计数器

表 34: 地址空间分配

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

17 OTP 映射表

本产品的 OTP 映射表如下：

字	名称	位置	描述	类型
0	HARD_LOCK	[0:31]	熔丝值锁定	安全
1	LIFECYCLE_B	[28:31]	生命周期	安全
1	TCU_DISABLE	[19:19]	禁止测试	安全
1	DEBUG_DISABLE	[17:17]	禁止 CPU 调试	安全
1	JTAG_DISABLE	[16:16]	禁止 JTAG 端口	安全
1	PUK_REVOKE	[8:15]	公钥销毁	安全
1	LIFECYCLE_A	[0:3]	生命周期	安全
2	MONO_EPOCH	[16:31]	单向计数器高位值	安全
2	EXIP1_RESTRICT	[1:1]	限制 EXIP0 寄存器访问	安全
2	EXIP0_RESTRICT	[0:0]	限制 EXIP1 寄存器访问	安全
3	SW_VER	[0:31]	软件版本	安全
8	DIE_TRACE	[0:127]	芯片识别数据	识别
12	DEBUG_KEY	[0:127]	调试密钥	密钥
21	TSNS_BASE	[0:15]	温度传感器基准	通用
21	TSNS_SLOPE	[16:31]	温度传感器斜率	通用
64	CHIP_ID	[0:31]	芯片型号代码	通用
65	MAC0	[0:47]	ETH0 MAC 地址	通用
66	MAC1	[16:63]	ETH1 MAC 地址	通用
68	USB_VID	[0:15]	USB 厂商 ID	通用
68	USB_PID	[16:31]	USB 设备 ID	通用
80	PUBLIC_KEY_HASH	[0:255]	公钥哈希	识别
88	UUID	[0:127]	唯一识别号	识别
96	EXIP0_KEY	[0:127]	EXIP 密钥 0	密钥
104	EXIP1_KEY	[0:127]	EXIP 密钥 1	密钥
112	MASTER_KEY	[0:255]	对称算法根密钥	密钥

表 35: OTP 列表

本产品上，用户可以自行烧写 OTP Word 69~79，用于存放应用数据。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

18 总线

本章节介绍本产品的总线结构。

18.1 总线结构概述

本产品的总线系统由多个系统总线矩阵构成。片上的所有模块都通过这些系统总线矩阵连接起来，使得总线主设备，如处理器，DMA 等可以访问总线从设备，如内存，外设等。由于各个主从设备连接到不同总线矩阵的不同位置，不同主设备对不同从设备的访问效率也会有所不同。

本产品包括以下系统总线矩阵：

- AXI 系统总线，这是位于中心位置的总线，系统上大部分主设备要通过它来访问片上资源;
- AHB/APB 外设总线，通过它可以访问片上外设的寄存器;

18.2 总线配置

本章节介绍各个总线的连接和配置情况。

18.2.1 AXI 系统总线

AXI 系统总线是位于中心位置的总线矩阵。

连接到它的主设备有:

- RISC-V CPU0
- RISC-V CPU1
- XDMA
- LCDC，CAM0 和 CAM1
- PDMA 和 JPEG
- USB0，USB1，ENET0，ENET1，SDXC0 和 SDXC1
- HDMA 和 ADCx 等 AHB/APB 外设矩阵上的主设备
- SDP

通过它可以访问的从设备有：

- XSPI0，EXIP0
- XSPI1，EXIP1
- DRAM 控制器
- 片上只读存储器 ROM
- AXI SRAM0
- AXI SRAM1
- ILM0 和 DLM0 的镜像
- ILM1 和 DLM1 的镜像
- AHB 外设总线

注意，只有 RISC-V CPU 和 XDMA 可以通过 AXI 系统总线访问 ROM 和 AHB/APB 外设总线。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

18.2.2 AHB/APB 外设总线

AHB/APB 外设总线位于 AXI 系统总线的下游，它连接片上大部分外设。RISC-V 处理器和 DMA 通过它来访问外设寄存器。

连接到它的主设备有:

- RISC-V CPU0 和 CPU1，XDMA 等 AXI 系统总线主设备
- HDMA
- ADC0，ADC1，ADC2，ADC3

通过它可以访问的从设备有：

- AHB SRAM
- 通用外设寄存器接口
- 音频子系统外设寄存器接口
- 电机系统外设寄存器接口
- VIS 子系统外设寄存器接口
- CONN 子系统外设寄存器接口
- 电源管理域外设寄存器接口
- 电池备份域外设寄存器接口
- AXI 系统总线

HDMA 和 ADCx 可以经过 AXI 系统总线，访问片上的其他存储器。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

19 BootROM

本章详细介绍了 BootROM 相关的特性及应用。

19.1 BootROM 概述

BootROM 为该芯片上电后执行的第一段程序, 它支持如下功能:

- 从Serial NOR FLASH 启动
  - 支持代码在 FLASH 上原地执行代码或者复制到内部 RAM 执行
  - 支持基于 AES-CTR 模式的原地解密执行 (EXIP)
- 串行启动
  - 从 UART0 或 USB0 启动, 支持流式下载代码到系统 RAM 中执行
- 在系统编程 (ISP)
  - 支持 UART0 和 USB0(USB-HID 协议)
  - 支持对连接在 XPI0/XPI1 上的 Serial NOR FLASH 进行编程
  - 支持对片上 OTP 进行编程
- 安全启动
  - 支持基于 ECDSA-P256 + SHA256 的安全启动
  - 运行基于 AES-CBC + SHA256 的安全加密启动
  - 支持基于 SM2+SM3 的安全启动
  - 支持基于 SM4-CBC + SM3 的安全加密启动
- 低功耗唤醒
  - 支持 CPU 低功耗掉电模式下通过 BootROM 快速唤醒
- Debug 口权限管理
- 主核和从核的启动代码加载, 主核引导启动
- 丰富的 ROM API

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

19.2 启动流程

本章介绍 BootROM 启动相关的流程。

BootROM 支持如下启动模式：

- 主启动模 (XPI NOR 启动模式)。
- 串行启动模式 (UART, USB-HID)
- 在系统编程模式 (In-System-Programming)

19.2.1 启动流程图

本节展示 BootROM 的启动流程图。

图 12: BootROM 启动流程图

19.2.2 XPI NOR 启动

19.2.2.1 支持的 Serial NOR 设备

Boot ROM 支持从主流的 Serial NOR FLASH 启动，包括但不限于:

- QSPI NOR FLASH (旺宏、华邦、兆易创新、ISSI 等）
- HyperFLASH (Cypress、ISSI 等厂商）
- OctaBus FLASH (旺宏)
- Xccela FLASH (镁光、兆易创新、ISSI 等厂商）
- EcoXiP FLASH (英飞凌 - 原 Adesto）

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

19.2.2.2 FLASH 的接入方式

BootROM 通过以下三种典型的连接方式与 4 线或 8 线 FLASH 连接。

QSPI FLASH 通过 CA 连接

SoC 通过 XPI 的 CA 端口与 4 线 FLASH 连接。市面上大部分的 4 线 FLASH 都不提供 DQS 引脚，这种情况下，XPIn.CA_DQS 应悬空，该引脚不能用于其他目的 (若XPI 信息小节有特别声明则按该声明执行)。

图 13: XPI QSPI NOR FLASH CA 端口连接

QSPI FLASH 通过 CB 连接

SoC 通过 XPI 的 CB 端口与 4 线 FLASH 连接。市面上大部分的 4 线 FLASH 都不提供 DQS 引脚，这种情况下，XPIn.CB_DQS 应悬空，该引脚不能用于其他目的 (若XPI 信息小节有特别声明则按该声明执行)。

图 14: XPI QSPI NOR FLASH CB 端口连接

Octal FLASH 连接

SoC 通过 XPI 的 CA 端口以及 CB 的数据端口与 8 线 FLASH 连接, 其中 CB 的数据端口接 FLASH 的高 4 位。若 8 线 FLASH 需要差分时钟（如 HyperFLASH 1.8V），可将 CB 端口的时钟线用作差分时钟引脚。

图 15: XPI Octal NOR FLASH 连接

FLASH 连接方式的指定

BootROM 根据以下 OTP 字段来决定相应的 FLASH 连接：

- 根据 XPI_INSTANCE 决定 XPI 的实例
- 根据 XPI_PIN_GROUP 选择默认的 XPI 引脚分组
- 根据 XPI_PORT_SEL 决定 XPI 默认的连接端口

详细的 XPI 的引脚分配见XPI 信息小节。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

FLASH 配置信息的指定

BootROM 根据以下 OTP 字段来决定相应的 FLASH 配置信息：

- 根据 XPI_NOR_CFG_SRC 决定默认的 FLASH 配置信息的来源：Serial NOR FLASH 或 OTP
- 根据 XPI_DEFAULT_READ 决定上电后默认访问 FLASH 的命令
- 根据 ENCRYPT_XIP 决定是否启动加密原地执行功能

当 FLASH 配置信息来自 OTP 时:

- 根据 XPI_FREQ_OPTION 决定 FLASH 读操作的时钟频率
- 根据 PROBE_TYPE 决定 FLASH 的类型
- 根据 XPI_DRIVE_STRENGTH 决定 XPI IO 的驱动强度
- 根据 DUMMY_CYCLE 决定 read 时 dummy cycle 的值
- 根据 XPI_IO_VOLTAGE 决定 FLASH 的 IO 电压

当 FLASH 配置信息来自 FLASH 时，根据 XPI_DEFAULT_READ 决定使用的 FLASH 读命令，并从 FLASH 的 0x400 地址读取 FLASH 配置信息。

注:FLASH 配置信息的详细描述见XPI NOR 配置选项

19.2.2.3 XPI NOR 启动流程

当用户选择从 XPI NOR 启动后，设备上电后会按图 (16) 所示流程来执行 XPI NOR 启动。

图 16: XPI NOR 启动流程

19.2.2.4 XPI NOR 启动镜像布局

XPI NOR 的启动镜像在 FLASH 中的布局如图 (17) 所示：

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

图 17: XPI NOR 启动镜像布局

19.2.2.5 原地解密执行

BootROM 支持通过 XPI NOR 的原地解密执行。当 OTP 中的 ENCRYPT_XIP 字段被置 1 后。BootROM 在 XPI NOR 启动中会强制打开 EXIP，并尝试用 EXIP0_KEK(XPI_INSTANCE 值为 0）/EXPI1_KEK(XPI_INSTANCE 值为 1）解密 EXIP Blob, 当 EXIP Blob 解密无误后，ROM 会根据 EXIP BLOB 中的信息配置对应的解密信息 (解密区域、初始向量等)。当 EXIP 配置完成后。ROM 即可执行原地解密执行操作。

注意: 启动镜像的头部不能被加密，否则 BootROM 无法启动该镜像

原地解密执行分两个步骤:

1. 用 OTP 中的 $EXIP_KEK_n$ 来解密加密的 KeyBlob。KeyBlob 采用RFC3394标准来加密。
2. 用 KeyBlob 中的信息来配置 EXIP 模块, 准备好原地执行解密环境。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

19.2.3 串行启动 (Serial Boot)

Boot ROM 支持从 UART 或者 USB-HID 流式加载启动镜像。串行启动是在系统编程的子集。与在系统编程相比，在该模式下，仅有如下命令被支持：

- 查询运行时信息 (query-rte)
- 加载镜像 (load-image)
- 重启设备 (reset)

19.2.4 在系统编程 (In-System-Programming))

ROM 在 ISP 模式下，支持如下接口：

- 串口（UART）
- USB（USB-HID）

ROM 在 ISP 模式下，支持如下功能：

- 查询运行时信息 (query-rte)
- 配置存储 (configure-memory)
- 写存储设备 (write-memory)
- 读存储设备 (read-memory)
- 加载镜像 (load-image)
- 擦除存储设备 (erase)
- 重启设备 (reset)
- 产生固件 Blob(gen-fwblob)

19.2.4.1 命令协议

BootROM 支持如下命令：

- 查询运行时环境 (query-rte)
- 配置存储设备 (configure-memory)
- 写存储设备 (write-memory)
- 读存储设备 (read-memory)
- 加载镜像 (load-image)
- 擦除存储设备 (erase)
- 复位 SoC (reset)
- 产生固件 Blob(gen-fwblob)

通信过程

在 ROM 的通信协议下，每个命令均包含 4 个阶段。如下图所示。

1. 第一阶段：主机端命令和数据发送阶段。在该阶段，若命令只需要传输简单的参数，则该命令数据发送只包含一个数据包（如 reset/erase)；若命令包含数据传输，则数据发送包含一个混合包（命令 + 数据）以及若干包纯数据包。
2. 第二阶段：从机端发送 ACK/NAK/Abort 阶段。对于第一阶段的每个数据包，从机端都需要给于对应的确认。当数据处理没有异常时，回复 ACK；当数据检验错误时，回复 NAK；当数据处理出错时，回复 Abort。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

图 18: 串行通信协议

3. 第三阶段：从机端发送响应阶段。当第一阶段的数据传输完成或者 Device 回复 Abort 后。通信转入第三阶段。在该阶段，如果命令只需要从机回复简单的状态，则数据包只有一响应包（如 reset/erase)；若从机需要回复数据，则从机会先回复命令响应帧，然后回复剩余需要发送的数据。在每一帧发送结束后，从机都需要等主机的确认帧，当收到主机发送的 Abort 后，通信结束。
4. 第四阶段：主机发送对从端响应的确认。当主机收到从端的响应包时，需要回复以 ACK/NAK/Abort。当数据包无异常时，回复 ACK；当数据包检验出错时，回复 NAK，当从端发送了超出预期的数据时，回复 Abort。

命令数据结构

每个命令均统一包含由 4 字节组成的命令头, 详细定义如下表所示：

偏移 (字节)	字段	描述
0	命令标识符	1 - 查询运行时环境 (query-rte) 3 - 配置存储 (configure-memory) 4 - 写存储 (write-memory) 5 - 读存储 (read-memory) 6 - 加载镜像 (load-image) 7 - 擦除 (erase) 8 - 复位 (reset) 9 - 生成固件 Blob(gen-fwblob)
1	命令参数个数	-
2	命令类型	0 - 命令 + 数据 1 - 仅数据 2 - 仅响应
3	保留	-

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

偏移 (字节)	字段	描述

表 36: 命令数据结构

查询运行时环境 (query-rte)

该命令可用于查询如下状态：

- ROM 参数
- 活动的通信接口参数
- 上次启动的状态
- Memory 的属性

详细的命令数据结构如下表所示:

偏移 (字节)	宽度 (字节)	字段	描述
0	1	命令标识	1 - query-rte
1	1	命令参数个数	1 / 2
2	1	命令类型	0 - 命令 + 数据
3	1	保留	-
4	4	运行时环境标识	0 - ROM 参数 1 - 当前活动外设信息 3 - 上次启动状态 4 - 存储属性

表 37: 查询运行时环境 (query-rte) 命令数据结构

当 ROM 收到该命令后，若参数合法，ROM 则会回复相应的响应包。响应包的参数部分根据不同的命令而不同。

ROM 参数响应包

偏移 (字节)	宽度 (字节)	字段	描述			
0	1	命令标识	1 - query-rte			
1	1	命令参数个数	5			
2	1	命令类型	2 - 仅响应数据			
3	1	保留	-			
4	4	命令状态	0 - 成功			
8	4	ROM 版本		Bit[31:24] Bit[23:16] Bit[15:8] Bit[7:0]	ASCII: V(0x56) 主版本号：0x01 次版本号:0x00 问题修复:0x00	
12	4	SoC 版本	与 ROM 版本号定义一致			
16	4	杂项	Bit[7:0] - 生命周期 Bit[31:8] - 保留			

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

偏移 (字节)	宽度 (字节)	字段	描述
20	4	ROM 功能信息	Bit[31:27] 保留 Bit[26:26] 是否支持 SM4_CCM Bit[25:25] 是否支持 AES_CCM(256 位密钥) Bit[24:24] 是否支持 AES_CCM(128 位密钥) Bit[23:20] 保留 Bit[19:19] 是否支持 SM2 Bit[18:18] 是否支持 ECDSA P521 Bit[17:17] 是否支持 ECDSA P384 Bit[16:16] 是否支持 ECDSA P256 Bit[15:12] 保留 Bit[11:11] 是否支持设备配置块 Bit[10:10] 是否支持命令容器 Bit[9:9] 是否支持加密启动 Bit[8:8] 是否支持安全启动 Bit[7:4] 保留 Bit[3:3] 是否支持在系统编程 (ISP) Bit[2:2] 是否支持串行启动 Bit[1:1] 是否支持恢复启动 Bit[0:0] 是否支持主启动

表 38: ROM 参数响应包

活动外设信息包

偏移 (字节)	宽度 (字节)	字段	描述
0	1	命令标识	1 - query-rte
1	1	命令参数个数	如数参数不合法，该值为 0，否则为”word” 字节 +1
2	1	命令类型	2 - 仅响应数据
3	1	保留	-
4	4	命令状态	0 - 成功 2 - 无效参数
8	4	通用信息	Bit[7:0] word 数（以 32-bit 为单位） Bit[31:8] - 保留
12	4	外设掩码	0x01 - UART 0x10 - USB-HID
16	4	速率	对于 UART，该字段表示波特率；对于 USB-HID，该字段无意义
20	8	保留位	-
28	4	最大包长	最大数据包长度 (不包括包头和 CRC 校验位)

表 39: 活动外设信息包

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

上次 **ROM** 启动状态包

偏移 (字节)	宽度 (字节)	字段	描述
0	1	命令标识	1 - query-rte
1	1	命令参数个数	如数参数不合法，该值为 0，否则为”word” 字节 +1
2	1	命令类型	2 - 仅响应数据
3	1	保留	-
4	4	命令状态	0 - 成功
8	4	启动参数	启动参数 Bit[31:16] 保留位 Bit[15:8] 启动状态的字数 (以 32-bit 为单位) Bit[7:0] 启动模式

表 40: 上次 ROM 启动状态

存储设备属性包

偏移 (字节)	宽度 (字节)	字段	描述
0	1	命令标识	1 - query-rte
1	1	命令参数个数	如数参数不合法，该值为 0，否则为”word” 字节 +1
2	1	命令类型	2 - 仅响应数据
3	1	保留	-
4	4	命令状态	0 - 成功
8	4	通用信息	Bit[7:0] 存储设备属性字数 (单位为 32-bit) Bit[15:8] 存储大小的单位：0 - 1 字节, 1 - 2 字节 2 - 4 字节 其它 - 保留位
12	8	存储设备标识	TBD
16	4	起始地址	存储设备起始地址
20	4	结束地址	存储设备结束地址
24	4	存储设备容量	存储设备的容量
28	4	Page 大小（可选）	仅对 FLASH 设备有效
32	4	Sector 大小 (可选)	仅对 FLASH 设备有效
32	4	Block 大小 (可选)	仅对 FLASH 设备有效

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

偏移 (字节)	宽度 (字节)	字段	描述

表 41: 存储设备属性响应包

配置存储 (configure-memory)

该命令用于通过指定地址存储的存储设备配置信息来使能对外挂存储设备的支持，如使能对 Serial NOR FLASH 的支持。该命令的详细数据结构如下：

偏移 (字节)	宽度 (字节)	字段	描述
0	1	命令标识	3 - configure-memory
1	1	命令参数个数	2
2	1	命令类型	0 - 命令 + 数据
3	1	保留	-
4	4	内存设备标识	0x10000 - 挂载在 XPI0 上的 NOR FLASH 0x10001 - 挂载在 XPI1 上的 NOR FLASH
8	4	存储配置块地址	存储配置块的地址 (仅支持从片上 RAM 中获取)

表 42: 配置存储 (configure-memory)

该命令的响应数据帧的数据结构如下：

偏移 (字节)	宽度 (字节)	字段	描述
0	1	命令标识	3 - configure-memory
1	1	命令参数个数	1
2	1	命令类型	2 - 仅响应数据
3	1	保留	-
4	4	命令状态	0 - 成功 2 - 无效参数

表 43: configure-memory 响应帧数据结构

写存储设备 (write-memory)

该命令用于向 on-chip SRAM、片上的 OTP 以及外挂的 XPI NOR 写入数据。该命令可由单一数据包或者多包数据组成。其中第一包的数据结构定义如下:

偏移 (字节)	宽度 (字节)	字段	描述
0	1	命令标识	4 - write-memory
1	1	命令参数个数	3
2	1	命令类型	0 - 命令 + 数据
3	1	保留	-

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

偏移 (字节)	宽度 (字节)	字段	描述
4	4	要写入的地址	要写入的设备地址
8	4	长度	要写入的数据长度
12	4	内存设备标识	0 - 片上 RAM 0x10000 - 挂载在 XPI0 上的 NOR FLASH 0x10001 - 挂载在 XPI1 上的 NOR FLASH 0x20000 - OTP
16	可变长度	数据	要写入到存储设备的数据

表 44: 配置存储 (write-memory) - 命令 + 数据

第二包到最后一包的数据结构如下：

偏移 (字节)	宽度 (字节)	字段	描述
0	1	命令标识	4 - write-memory
1	1	命令参数个数	0
2	1	命令类型	1- 仅数据
3	1	保留	-
4	可变长度	数据	要写入到存储设备的数据

表 45: 配置存储 (write-memory) - 仅数据

当数据可以被一包发送完时，只需要第一类数据包，当数据需要多包发送时，需要第二类数据包。数据包中的 Data 部分的长度通过各类通信接口中收到的数据包长度获取。

如果在 write-memory 执行过程中出错，从机将中止传输，并在响应包中通知主机错误代码。

当 write-memory 成功执行完成，并在响应包中向主机报告成功代码。

Write-memory 的响应包数据结构定义如下：

偏移 (字节)	宽度 (字节)	字段	描述
0	1	命令标识	4 - configure-memory
1	1	命令参数个数	1
2	1	命令类型	2 - 仅响应数据
3	1	保留	-
4	4	命令状态	0 - 成功 其它 - 错误代码

表 46: write-memory 响应帧数据结构

读存储 (read-memory)

该命令用于从 on-chip SRAM、片上的 OTP 以及外挂的 XPI NOR 读数据。该命令由一条命令包与多条响应包

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

组成。

命令包的数据结构如下：

偏移 (字节)	宽度 (字节)	字段	描述
0	1	命令标识	5 - read-memory
1	1	命令参数个数	3
2	1	命令类型	0 - 命令 + 数据
3	1	保留	-
4	4	要读取的地址	要读取的设备地址
8	4	长度	要读取的数据长度
12	4	内存设备标识	0 - 片上 RAM 0x10000 - 挂载在 XPI0 上的 NOR FLASH 0x10001 - 挂载在 XPI1 上的 NOR FLASH 0x20000 - OTP

表 47: read-memory 命令数据桢

当从机收到该命令后，会先进行参数检查，若参数检查出错，会直接在命令的第二阶段回复主机 Abort，然后在响应包中告知错误代码，在等到主机发出的第四阶段的确认后，该次命令结束。若参数检查通过，从机在第二阶段回复主机 ACK, 然后从机会先在第一个响应包中通知主机参数检查成功，并在后续将请求的数据依次通过数据包发给主机。

从机回复的第一类响应帧如下：

偏移 (字节)	宽度 (字节)	字段	描述
0	1	命令标识	5 - read-memory
1	1	命令参数个数	1
2	1	命令类型	2 - 仅响应数据
3	1	保留	-
4	4	命令状态	0 - 成功 其它 - 错误代码

表 48: read-memory 响应帧数据结构

从机的纯数据包帧如下：

偏移 (字节)	宽度 (字节)	字段	描述
0	1	命令标识	5 - read-memory
1	1	命令参数个数	0
2	1	命令类型	1 - 仅数据
3	1	保留	-

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

偏移 (字节)	宽度 (字节)	字段	描述
4	可变长度	数据	从存储设备中读取的数据

表 49: read-memory 响应帧数据结构

加载镜像 (load-image)

该命令用于加载并执行可执行镜像，或加载并解析命令容器。该命令由纯数据包组成，一个命令由若干个数据包组成。

其数据包结构如下：

偏移 (字节)	宽度 (字节)	字段	描述
0	1	命令标识	6 - load-image
1	1	命令参数个数	0
2	1	命令类型	1- 仅数据
3	1	保留	-
4	可变长度	数据	镜像的数据

表 50: load-image 数据帧结构

当数据发送完成后，从机会回复一包响应帧，其数据结构如下：

偏移 (字节)	宽度 (字节)	字段	描述
0	1	命令标识	6 - load-image
1	1	命令参数个数	1
2	1	命令类型	2 - 仅响应数据
3	1	保留	-
4	4	命令状态	0 - 成功 其它 - 错误代码

表 51: load-image 响应帧数据结构

擦除存储设备 (erase)

该命令可用于擦除外挂的 XPI NOR 的部分或者全部的 sector, 其数据结构如下:

偏移 (字节)	宽度 (字节)	字段	描述
0	1	命令标识	7 - erase
1	1	命令参数个数	2 - chip erase 4-sector erase
2	1	命令类型	1- 仅数据
3	1	保留	-
4	4	擦除类型	0 - sector erase 1 - chip erase

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

偏移 (字节)	宽度 (字节)	字段	描述
8	4	存储设备标识	0x10000 - 挂载在 XPI0 上的 NOR FLASH 0x10001 - 挂载在 XPI1 上的 NOR FLASH
12	4	擦除地址	仅当擦除类型为 sector erase 时有效
16	4	擦除长度	仅当擦除类型为 sector erase 时有效

表 52: erase 数据帧结构

命令的响应帧如下：

偏移 (字节)	宽度 (字节)	字段	描述
0	1	命令标识	7 - erase
1	1	命令参数个数	1
2	1	命令类型	2 - 仅响应数据
3	1	保留	-
4	4	命令状态	0 - 成功 其它 - 错误代码

表 53: erase 响应帧数据结构

复位 (reset)

该命令可复位 SoC。其数据结构如下：

偏移 (字节)	宽度 (字节)	字段	描述
0	1	命令标识	8 - reset
1	1	命令参数个数	1
2	1	命令类型	1- 仅数据
3	1	保留	-
4	4	复位类型	在该 SoC 中本字段为保留位

表 54: reset 数据帧结构

该命令的响应帧如下：

偏移 (字节)	宽度 (字节)	字段	描述
0	1	命令标识	8 - reset
1	1	命令参数个数	1
2	1	命令类型	2 - 仅响应数据
4	4	命令状态	0 - 成功 其它 - 错误代码

表 55: reset 响应帧数据结构

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

生成固件 Blob(gen-fwblob)

该命令能生成加密镜像所需的固件 BLOB。

偏移 (字节)	宽度 (字节)	字段	描述
0	1	命令标识	9 - gen-fwblob
1	1	命令参数个数	1 + 密钥的字节数/4 (从密钥参数后开始计)
2	1	命令类型	1- 仅数据
3	1	保留	-
4	4	密钥参数	密钥参数 **Byte 0 - alg (算法)** 0x33 - AES, 0x55 - SM4 **Byte 1 - mode (模式)** 0x11 - CBC-MAC **Byte 2 - key_src (对称密钥来源)** 1 - FMK , 2 - ZMK, 3 - OTP KEY0, 4 - OTP KEY1 **Byte 3 - key_size(密钥长度)** SM4/AES-128 : 16 AES-256 : 32
8	4	Reserved	-
12	16/32	对称密钥	用于加密固件的密钥

表 56: 生成固件 Blob(gen-fwblob) 数据帧结构

当从机收到该命令后，会先进行参数检查，若参数检查出错，会直接在命令的第二阶段回复主机 Abort，然后在响应包中告知错误代码，在等到主机发出的第四阶段的确认后，该次命令结束。若参数检查通过，从机在第二阶段回复主机 ACK, 然后从机会先在第一个响应包中通知主机参数检查成功，并在后续将请求的数据依次通过数据包发给主机。

从机回复的第一类响应帧如下：

偏移 (字节)	宽度 (字节)	字段	描述
0	1	命令标识	9 - gen-fwblob
1	1	命令参数个数	1
2	1	命令类型	2 - 仅响应数据
3	1	保留	-
4	4	命令状态	0 - 成功 其它 - 错误代码

表 57: gen-fwblob 响应帧数据结构

从机的纯数据包帧如下：

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

偏移 (字节)	宽度 (字节)	字段	描述
0	1	命令标识	9 - gen-fwblob
1	1	命令参数个数	0
2	1	命令类型	1 - 仅数据
3	1	保留	-
4	可变长度	数据	返回的完整的固件 Blob 数据

表 58: gen-fwblob 回复的数据帧

19.2.5 串口通信

ROM 默认支持的串口通信参数为 115200，8-N-1。

串口通信的协议数据包分别为两种：

- 载荷包
- 确认包

19.2.5.1 载荷包 (Payload Packet)

载荷帧由包头、包类型、载荷以及 CRC 校验 4 部分组成，详细数据包结构如下：

偏移 (字节)	宽度 (字节)	字段	描述
0	1	起始字节	必须为 0x5A
1	1	数据包类型	0xA5 - 载荷包
2	2	载荷长度	载荷的长度。不能超过 512 字节
4	<Payload_Len>	数据载荷	数据载荷，用于承载命令协议中的数据
4 + <Payload_Len>	2	CRC 检验值	整个数据包前 <4+Payload_Len> 个字节的 CRC 检验值

表 59: 载荷包数据结构

CRC 的计算范围为起始字节到数据载荷的最后一个字节。

CRC 的算法是 XMODEM 的一个变种。其 C 语言实现如下：

```
uint16_t crc16_update(const uint8_t *src, uint32_t lengthInBytes)
{
    uint32_t crc = 0;
    uint32_t j;
    for (j = 0; j < lengthInBytes; ++j)
    {
        uint32_t i;
        uint32_t byte = src[j];
        crc ^= byte << 8;
        for (i = 0; i < 8; ++i)
        {
```

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

```
                uint32_t temp = crc << 1;
                if (crc & 0x8000)
                {
                    temp ^= 0x1021;
                }
                crc = temp;
            }
        }
        return (uint16_t)crc;
    }
```

19.2.5.2 确认包 (ACK Packet)

确认包用于实现载荷包的 ACK, NAK 或者中止 (Abort)。详细的数据包结构如下:

偏移 (字节)	宽度 (字节)	字段	描述
0	1	起始字节	必须为 0x5A
1	1	数据包类型	0xA1 - ACK 0xA2 - NAK 0xA3 - Abort

表 60: 确认包

每个载荷包的发出方都需要等待接收方的确认包后才能进行后续的数据发送。

数据包的载荷部分可携带上节介绍的各个命令或者数据。

19.2.6 USB-HID 通信

BootROM 支持通过 USB-HID 来进行通信，实现诸如 FLASH 烧写、EFUSE 烧写、加载启动镜像等功能。

19.2.6.1 USB-HID 描述符信息

BootROM 中 USB 的描述符配置如下表所示:

描述符标识	内容/值
VID	0x34b7
PID	0x0001
厂商描述符	HPMICRO Semiconductor Co., Ltd
产品描述符	Boot ROM Open(出厂的设置) Boot ROM Closed (量产的设置) Boot ROM Return(返厂的设置)
HID 包长	接 High-Speed HUB 时：516 字节 接 Full-Speed HUB 时:64 字节
HID 中断传输间隔	接 High-Speed HUB 时: 125us 接 Full-Speed HUB 时：1ms

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

描述符标识	内容/值

表 61: USB 描述符

19.2.6.2 USB 端点信息

BootROM 中使用了如下三个端点:

- Control(端点 0) - 用于获取设备描述符
- OUT (端点 1) - 用于 Host 向 Device 发送数据
- IN (端点 2) - 用于 Device 向 Host 发送数据

19.2.6.3 USB-HID 通信协议

USB-HID 通信协议和 UART 类似，均包含载荷包和确认包。

USB-HID 载荷包

USB-HID 的载荷包包含四个字段：包头、包类型、载荷长度以及数据载荷。详细的的数据结构如下所示：

偏移 (字节)	宽度 (字节)	字段	描述
0	1	起始字节	Host 发往 Device 为 0x1, Device 发往 Host 为 0x2
1	1	数据包类型	0xA5 - 载荷包
2	2	载荷长度	载荷的长度。不能超过 512 字节
4	<Payload_Len>	数据载荷	数据载荷，用于承载命令协议中的数据

表 62: USB-HID 载荷包数据结构

USB-HID 确认包

USB-HID 的载荷包三个字段：包头、包类型、载荷长度。详细的确认包的数据结构如下所示：

偏移 (字节)	宽度 (字节)	字段	描述
0	1	起始字节	Host 发往 Device 为 0x1, Device 发往 Host 为 0x2
1	1	数据包类型	0xA1 - ACK 0xA2 - NAK 0xA3 - Abort
2	2	载荷长度	固定为 0

表 63: USB-HID 确认包数据结构

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

19.3 启动镜像 (Boot Image)

该设备支持的启动镜像由固件容器 (FW Container) 及固件 (Firmware) 两部分构成。其中 FW Container 由 FW Container Header、FW Info Table、Device Configuration Block 和 Signature Block 构成。启动镜像的布局如图所示。

图 19: 启动镜像布局

注: 单核启动场景中，只需要使用固件 0; 双核启动的场景中，固件 0 代表主核固件，固件 1 代表从核固件

19.3.1 固件容器头 (FW Container Header)

固件容器头的详细数据结构如下所示：

表 64: 固件容器头

偏移 (字节)	字段	宽度 (字节)	描述
0x00	tag	1	启动镜像标记, 必须为 0xBF
0x01	version	1	启动镜像格式版本 bit[7:4] - 主版本 bit[3:0] - 次版本 本 SoC 上该值必须为 0x10
0x02	length	2	固件头的长度 包含固件容器头、固件信息表、设备配置块和签名块

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

表 64: 固件容器头

<table>
<tr><th>偏移
(字节)</th><th>字段</th><th>宽度
(字节)</th><th>描述</th></tr>
<tr><td>0x04</td><td>flags</td><td>4</td><td>相应的标记
<table>
<tr><td>Bit[3:0]</td><td>SRK 的集合索引</td></tr>
<tr><td>Bit[7:4]</td><td>SRK 的索引</td></tr>
<tr><td>Bit[11:8]</td><td>SRK_REVOKE_MASK
每个 bit 代表撤销相应位置的 SRK，当该字节为非 0 时，BootROM 会尝试按该字段的值撤销相应的 SRK，并将 OTP 中的 PUK_REVOKE 烧写成相同的值</td></tr>
<tr><td>Bit[19:16]</td><td>签名类型
1 - ECDSA P256
4 - SM3</td></tr>
<tr><td>Bit[23:20]</td><td>固件 BLOB 位置
0 - BLOB 在签名块中
1 - BLOB 在存储介质固件的位置</td></tr>
<tr><td>Bit[27:24]</td><td>生命周期
0 - 生命周期不作改动
其它 - BootROM 会将生命周期切换成该字段的值</td></tr>
<tr><td>Bit[31:28]</td><td>保留</td></tr>
</table></td></tr>
<tr><td>0x08</td><td>sw_version</td><td>2</td><td>软件版本号，定义了当前 Image 的版本，当存储介质中有多份 Image 时，ROM 根据该字段来判断哪一份是较新的 Image</td></tr>
<tr><td>0x0A</td><td>fuse_version</td><td>1</td><td>这个字段用于 Image 的防回滚, 该字段的值不得小于 OTP 中 SW_VER 字段的值
注:SW_VER 中 bit1 的个数代表版本号 (如,0xffff 代表版本号为 15)</td></tr>
<tr><td>0x0B</td><td>number_of_fw</td><td>1</td><td>指定当前 Image 里包含的固件数，当前 SoC 最多支持两份</td></tr>
<tr><td>0x0C</td><td>device_config_block_offset</td><td>2</td><td>设备配置块相对于固件容器头的偏移，设备配置块是可选的，若当前 Image 中没有该块，此字段须为 0</td></tr>
<tr><td>0x0E</td><td>signature_block_offset</td><td>2</td><td>签名块相对于固件容器头的偏移，若签名块不存在，此字段须为 0</td></tr>
</table>

表 64: 固件容器头

19.3.2 固件信息表 (FW Info Table)

固件信息表主要提供固件执行地址、长度、在存储介质中相对固件容器头的偏移、固件哈希值等。其详细数据结构如下所示：

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

<table>
<tr><th>偏移
(字节)</th><th>字段</th><th>宽度
(字节)</th><th>描述</th></tr>
<tr><td>0x00</td><td>offset</td><td>4</td><td>固件相对于固件容器头的偏移</td></tr>
<tr><td>0x04</td><td>size</td><td>4</td><td>固件的大小</td></tr>
<tr><td>0x08</td><td>flags</td><td>4</td><td>相应的标记
<table>
<tr><td>Bit[3:0]</td><td>fw_type - 固件类型
0 - 可执行镜像
1 - 命令容器</td></tr>
<tr><td>Bit[7:4]</td><td>core_id - CPU ID 号
0 - CPU0
1 - CPU1</td></tr>
<tr><td>Bit[11:8]</td><td>hash_type - 哈希类型
0 - 无
1 - SHA256
4 - SM3</td></tr>
<tr><td>Bit[15:12]</td><td>is_encrypted - 是否加密
0 - 未加密 1 - 固件已加密</td></tr>
<tr><td>其它</td><td>保留</td></tr>
</table></td></tr>
<tr><td>0x0C</td><td>reserved</td><td>4</td><td>保留给未来使用</td></tr>
<tr><td>0x10</td><td>load_addr</td><td>4</td><td>固件加载地址</td></tr>
<tr><td>0x14</td><td>reserved</td><td>4</td><td>保留给未来使用</td></tr>
<tr><td>0x18</td><td>entry_point</td><td>4</td><td>固件入口</td></tr>
<tr><td>0x1C</td><td>reserved</td><td>4</td><td>保留给未来使用</td></tr>
<tr><td>0x20</td><td>hash</td><td>64</td><td>固件哈希值，目前只使用 32 字节。
当固件类型为可执行文件时，该字段是整个 FW 的哈希值。当固件类型为命令容器时，该字段是命令容器头包的哈希值。当固件为加密固件时，该字段的前 128-bit 作为初始向量</td></tr>
<tr><td>0x60</td><td>reserved</td><td>32</td><td>保留给未来使用</td></tr>
</table>

表 65: 固件容器头

19.3.3 设备配置信息块 (Device Configuration Info Block)

设备配置块可支持如下 4 类配置信息：

- XPI NOR 配置信息
- 唤醒入口检查信息
- OTP UNLOCK 信息

设备配置信息块由以下部分组成：

- 设备配置信息块头 (Device Configuration Block Header)
- 设备配置信息
  - 设备配置信息头
  - 设备配置信息内容

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

设备配置信息头的数据结构如下：

Bit[31:16]	Bit[15:8]	Bit[7:0]
配置信息块的长度	版本号，当前为 0x10	配置信息类型 0xC0 - 总设备配置信息

表 66: 配置信息块头 (Configure Info Block Header)

每个配置信息有各自的头，头的定义如下:

Bit[31:16]	Bit[15:8]	Bit[7:0]
配置信息块的长度	参数 对 XPI NOR, XPI RAM 表示 XPI 的实例号	配置信息类型 0xC1 - XPI NOR 配置信息 0xC2 - XPI RAM 配置信息 0xC3 - SDRAM 配置信息 0xC4 - 通用寄存器信息 0xC5 - 唤醒验证配置信息 0xC6 - OTP 解锁信息

表 67: 配置信息头 (Configure Info Header)

紧随配置信息头其后的是相应的配置信息，各配置信息的详细定义如后续小节所示。

19.3.3.1 XPI NOR 配置信息

XPI NOR 配置信息分两类：一类为精简的 XPI NOR 配置信息，另一类为完整的 XPI NOR 配置块。

XPI NOR 配置选项

偏移 (字节)	字段	描述
0x00	Header	Bit[31:12] - tag: 标记，必须为 0xfcf90 Bit[11:4] - 保留 Bit[3:0] - words: 配置选项字数 (不包括 Header 本身)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

偏移 (字节)	字段	描述
0x04	Option0	**Bit[31:28] - 探测类型** 0 - SFDP SDR, 1 - SFDP DDR 2 - 1-4-4 Read 0xEB, 3 - 1-2-2 Read 0xBB 4 - HyperBus 1V8, 5 - HyperBus 3V0 6 - OctaBus DDR, 8 - Xccela DDR 10 - EcoXiP DDR **Bit[27:24] - 上电复位后发送命令的数据引脚数** 0 - SPI, 1 - DPI, 2 - QPI, 3 - OPI **Bit[23:20] - FLASH 配置完后发送命令的数据引脚数** 0 - SPI, 1 - DPI, 2 - QPI, 3 - OPI **Bit[19:16] - 1-4-4 模式使能的序列** 0 - 不需要或者自动 1 - QE bit is at bit 6 in Status Register1 2 - QE bit is at bit1 in Status Register2 3 - QE bit is at bit7 in Status Register2 4 - QE bit is at bit1 in Status Register2 and should be programmed by 0x31 **Bit[15:8] - dummy cycles** 0 - 自动探测/默认值 其它 - 用户指定的值，对于 DTR 读，该值需要是实际数据手册上的 *dummycycle*×2 **Bit[7:4] - 杂项** 0 - 无 1 - SPI 模式 2 - 内部回环模式 3 - 强制外部 DQS **Bit[3:0] - 频率选项** 0 - 不改变现有配置 Others - SoC 相应的值

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

偏移 (字节)	字段	描述
0x08	Option1	该字段在“words”字段值大于 1 时有效 Bit[31:20] - reserved **Bit[19:16] - IO 电压** 0 - IO is 3V, 1 - IO is 1.8V **Bit[15:12] -引脚分组选择** 0 - 第一组, 1 - 第二组 **Bit[11:8] - 连接方式选择** 0 - PORTA_CS0, 1 - PORB_CS0, 2 - PORTA_CS0 +PORTB_CS0, 3 - PORTA_CS0+PORTA_CS1, 4 - PORTB_CS0+PORTB_CS1 **Bit[7:0] - IO 驱动强度** 0 - 默认值 (最大驱动强度) 其它 - 详见 (TBD)
0x0C	Option2	该字段在“words”大于 2 时有效 Bit[31:16] - reserved **Bit[15:12] - 擦除 sector 命令选项** 0 - Erase 4KB, 1 - Erase 32KB, 2 - Erase 64KB, 3 - Erase 256KB **Bit[11:8] - Sector 大小选项** 0 - 4KB, 1 - 32KB, 2 - 64KB, 3 - 256KB **Bit[7:0] - FLASH 大小选项** 0 - 4MB, 1 - 8MB, 2 - 16MB

表 68: XPI NOR 配置选项 (XPI NOR Configuration Option)

XPI NOR 配置块

XPI NOR 配置块的数据结构如下表所示：

偏移 (字节)	字段	宽度 (字节)	描述
0x000	tag	4	配置块标记，固定为 0x524f4e58
0x004	reserved	4	-
0x008	rxclk_src	1	采样时钟的来源 0 - 内部回环 1 - DQS 内部回环 3-外部 DQS 输入
0x009	clk_freq	1	时钟频率选项，详见19.8.2.1
0x00A	drive_strength	1	驱动强度 0 - 默认值 (最大驱动强度) 其它 - 详见 (TBD)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

偏移 (字节)	字段	宽度 (字节)	描述
0x00B	column_addr_width	1	列地址的宽度 仅对 HyperFLASH 有效，其他 FLASH 需设为 0
0x00C	rxclk_src_for_init	1	FLASH 初始化时 rxclk_src 的值
0x00D	config_in_progress	1	指示当前 FLASH 是否正在初始化过程中 1 - 正在初始化，其它 - 未在初始化
0x00E	reserved	2	-
0x010	port_info	16	- 连接的端口信息 该字段分 4 组，分别代表 CA_CS0, CA_CS1,CB_CS0, CB_CS1。 每组的 4 个字节的定义如下: Byte 0 - Enable: 使能位，代表该连接被使能 Byte 1 - Group: 引脚分组: 0 代表第一组，1 代表第二组 Byte 2, Byte 3 - 保留给未来使用
0x020	device_info	0x50	详细定义见70
0x070	instruction_set	0x90	标准的 XPI NOR 指令集，分 9 组，每组 16 个字节代表一个完整的指令序列, 分组信息如下: 0 - FLASH Read 序列 1 - FLASH Write 序列 2 - FLASH Read Status 序列 3 - FLASH Read Status XPI 序列 (QPI/OPI 模式) 4 - FLASH Write Enable 序列 5 - FLASH Write Enable XPI 序列 (QPI/OPI 模式) 6 - FLASH Erase Sector 序列 7 - FLASH Erase Block 序列 8 - FLASH Erase Chip 序列 **注：对于 HyperFLASH, 上述定义并不成立，BootROM 支持专用的 FLASH 操作**

表 69: XPI NOR 配置块

XPI NOR 设备信息表的数据结构如下所示:

偏移 (字节)	字段	宽度 (字节)	描述
0x00	size_in_kbytes	4	FLASH 大小 (以 KB 为单位)
0x04	page_size	2	Page 大小
0x06	sector_size_kbytes	2	Sector 大小 (以 KB 为单位)
0x08	block_size_kbytes	2	Block 大小 (以 KB 为单位)
0x0A	busy_offset	1	Busy 位的偏移 (在 FLASH 的 Status 寄存器中)
0x0B	busy_polarity	1	Busy 位的极性: 0 - 1 代表忙 1 - 0 代表忙

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

偏移 (字节)	字段	宽度 (字节)	描述
0x0C	data_pads	1	数据引脚的个数 0 - 1 线, 1 - 2 线，2 - 4 线, 3 - 8 线
0x0D	en_ddr_mode	1	使能 DDR/DTR 模式
0x0E	clk_freq_for_dev_cfg	1	FLASH 配置时使用的时钟频率 时钟频率定义见19.8.2.1
0x0F	working_mode_por	1	FLASH 上电复位后的工作模式 0 - Extended SPI 1 - XPI(DPI/QPI/OPI) 2 - HyperBUS
0x10	working_mode	1	FLASH 初始化后的工作模式 0 - Extended SPI 1 - XPI(DPI/QPI/OPI) 2 - HyperBUS
0x11	en_diff_clk	1	使能差分时钟 仅 1.8V 的 HyperFLASH 需要将该选项置为 1，其他 FLASH 需置为 0
0x12	data_valid_time	1	-
0x13	en_half_clk_for_ non_read_cmd	1	对非读命令使能降低一半的时钟频率
0x14	clk_freq_for_ non_read_cmd		设置非读命令的时钟频率 时钟频率定义见19.8.2.1
0x15	reserved	3	-
0x18	cs_hold_time	1	设置 CS Hold 的时钟周期数
0x19	cs_setup_time	1	设置 CS Setup 的时钟周期数
0x1A	cs_interval	1	两次命令之间的间隔时钟周期数
0x1B	en_dev_mode_cfg	1	使能设备模式配置
0x1C	flash_state_ctx	4	FLASH 状态上下文 上下文定义见 (TBD)
0x20	mode_cfg_list	4	包含两组，每组 2 个字节，每组的数据结构如下: Byte 0 - 配置命令类型 Byte 1 - 参数大小
0x24	mode_cfg_param	8	包含 2 组，第组 4 个字节，与上述列表里的元素一一对应
0x2C	reserved	4	-
0x30	cfg_instr_seq	32	包含 2 组，每组 16 个字节为一个命令序列，与上述列表里的元素一一对应 详细的命令序列定义见 (TBD)

表 70: XPI NOR 配置块

19.3.3.2 唤醒验证信息

唤醒校验信息提供了唤醒模式下，用来检验唤醒程序完整性和合法性的相关参数，包括唤醒程序入口地址、唤

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

醒程序代码起始地址，长度以及相应的 SHA256 哈希值。该信息在安全启动使能的条件下，所有的信息均由 ROM 负责签名验证。

详细的数据结构如下：

偏移 (字节)	字段	宽度 (字节)	描述
0x00	Start	4	唤醒代码起始地址
0x04	wake-up entry	4	唤醒代码入口地址 注意：该地址必须在 start 和 length 指定的地址范围内
0x08	Length	4	唤醒代码的长度
0x0C	Reserved	4	-
0x10	wake-up entry HASH	32	start 和 Length 指定范围内代码的哈希值

表 71: 唤醒验证信息 (Wake-up Check Info)

19.3.3.3 OTP 解锁信息

OTP 解锁操作的数据结构如下：

Bit[31:24]	Bit[23:16]	Bit[15:8]	Bit[7:0]
Tag，必须为 0x55	Reserved	Reserved	解锁掩码 当 Lifecycle 为 Closed 或者更高时，BootROM 会默认禁用相应 OTP 字段的写权限。当 BootROM 检测到如下位在 OTP 解锁信息中被置 1 后，会解锁相应的写权限 Bit 0 - HARD_LOCK Bit 1 - LIFECYCLE,PUBKEY_REVOKE 等 Bit 2 - Boot 配置信息部分 Bit 3 - OTP KEY0 (用于 Encrypt boot) Bit 4 - OTP KEY1 (用于 Encrypt boot)

表 72: OTP 解锁信息 (OTP Unlock Info)

19.3.4 签名块 (Signature Block)

完整的签名块提供如下信息:

- 签名块的头 (Signature Block Header)
- 超级根证书表 (SRK Table) - 该部分包含根密钥表头 SRK Table Header 以及 4 份根密钥表项 (SRK0 - SRK3)
- 签名 (Signature)
- 证书 (Certificate) - 该部分是可选的
- 固件 Blob(FW Blob)

签名块中各个部分在目标存储中的布局如图所示：

19.3.4.1 签名块头部 (Signature Block Header)

签名块头部包含如下信息:

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

图 20: 签名块中各部分的布局

- 签名块的长度
- 签名块的版本号
- 签名的标识
- 根密钥表 (SRK Table) 的相对偏移
- 证书的相对偏移
- 签名的的相对偏移
- FW Blob 的相对偏移（若 FW Blob 在 Container 内）

详细的数据结构如下表所示：

<table>
<tr><th>偏移
(字节)</th><th>字段</th><th>宽度
(字节)</th><th>描述</th></tr>
<tr><td>0x00</td><td>Header</td><td>4</td><td>签名块 Header
<table><tr><td>Bit[31:16]</td><td>Length - 整个签名块的长度</td></tr><tr><td>Bit [15:8]</td><td>Version - 签名块的版本，本 SoC 固定为 0x10</td></tr><tr><td>Bit [7:0]</td><td>Tag - 签名块标签，固定为 0xD0</td></tr></table></td></tr>
<tr><td>0x04</td><td>Flags</td><td>4</td><td>签名块的标记
Bit0 Key 标识 1 - OEM Key
其它 - 保留位</td></tr>
</table>

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

偏移 (字节)	字段	宽度 (字节)	描述
0x08	Member_Offset	8	签名中各个部分的相对偏移 Bit[15:0] srk_table_offset SRK 表对于签名块首地址的偏移 Bit[31:16] signature_offset 签名相对于签名块首地址的偏移 Bit[47:32] certificate_offset(可选) 证书相对于签名块首地址的偏移 仅在二级证书被使用的情况下有效 Bit[63:48] blob_offset(可选) 固件 BLOB 相对于签名块首地址的偏移 仅当加密固件存在且固件 BLOB 在签名块内里的情况下有效

表 73: 签名块头 (Signature Block Header)

注意: 为保证 CPU 访问签名块中各个部分的效率，SRK 表，签名，证书，Blob 的起始地址均需按 8 字节对齐

19.3.5 根密钥表 (SRK Table)

SRK Table 由根密钥表头 (SRK Table Header) 以及根密钥表项 (SRK Item) 组成。

19.3.5.1 根密钥表头 (SRK Table Header)

根密钥表头由 4 个字节组成：

Bit[31:16]	Bit[15:8]	Bit[7:0]
SRK 表长 (小端模式存储)	SRK 表版本，当前为 0x10	SRK 表标记, 固定为 0xD1

表 74: 根密钥表头 (SRK Table Header)

19.3.5.2 根密钥表项 (SRK Table Item)

根密钥表项中包含公钥的相关信息，详细数据结构如下：

偏移 (字节)	字段	宽度 (字节)	描述
0x00	Header	4	Bit[31:16] 根密钥表项的长度 (小端模式存储) Bit[15:8] 密钥类型, 0x21 - 公钥 标记 - 必须为 0xE1
0x04	Flags	4	Bit[31-16] -保留 Bit[15:8] 曲线类型: 1 - ECDSA P256, 4 - SM2 Bit[7:0] 哈希类型: 1 - SHA256, 4 - SM3

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

偏移 (字节)	字段	宽度 (字节)	描述
0x08	Key Info	4	Bit[7:0] - <X Length> : 大数 X 的长度 Bit[23:16] - <Y Length> : 大数 Y 的长度 其他 - 保留位
0x0C	Big Number X	<X Length>	大数 X
0x0C + <X Length>	Big Number Y	<Y Length>	大数 Y

表 75: 根密钥表项 (SRK Table Item)

19.3.6 签名信息 (Signature Info)

签名信息的数据结构如下所示:

偏移 (字节)	字段	宽度 (字节)	描述
0x00	Header	4	Bit[31:16] - <Sig_Len>: 签名信息的长度 (小端模式) Bit[15:8] - 签名信息的版本，当前固定为 0x10 Bit[7:0] - 标记，固定为 0xD2
0x04 0x08	reserved Signature Data	4 <Sig_Len>	保留给未来使用 签名数据

表 76: 签名信息 (Signature Info)

19.3.7 证书 (Certificate)

证书的数据结构如下所示：

偏移 (字节)	字段	宽度 (字节)	描述
0x00	Header	4	Bit[31:16] - <Sig_Len>: 证书的长度 (小端模式) Bit[15:8] - 证书的版本，当前固定为 0x10 Bit[7:0] - 标记，固定为 0xD3
0x04	Offset	4	签名信息相对证书头部的偏移
0x08	SRK Table Item	<SRK_Table_Item_Len>	密钥表项, 详细信息见 (19.3.5.2)
0x08 + <SRK_Table_Item_Len>	Signature Info	<Signature_Info_Len>	签名信息, 详细信息见 (19.3.6)

表 77: 证书头部 (Certificate Header)

19.3.8 固件 BLOB(FW BLOB)

固件 Blob 是一种封装 FW 解密密钥的一种加密打包格式，其定义如下所示：

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

<table>
<tr><th>偏移 (字节)</th><th>字段</th><th>宽度 (字节)</th><th>描述</th></tr>
<tr><td>0x00</td><td>Header</td><td>4</td><td>Bit[31:16] - <FWBLOB_Len>: 固件 BLOB 长度 (小端模式)
Bit[15:8] - 版本，当前固定为 0x10
Bit[7:0] - 标记，固定为 0xD4</td></tr>
<tr><td>0x04</td><td>Flags</td><td>4</td><td>标记
Byte 0 - Key Source
对称密钥来源: 01 - FMK, 2 - ZMK, 3 - OTP KEY0, 4 - OTP KEY1
Byte 1 - Key Length
密钥长度: 0x10 - 128bit, 0x20 - 256bit
Byte 2 - Encryption Algorithm
加密算法：0x33 - AES, 0x55 - SM4
Byte 3 - Mode
加密模式：0x11-CBC-MAC</td></tr>
<tr><td>0x08</td><td>IV</td><td>16</td><td>初始向量
- 用于解密加密的 Blob 密钥
- 用于解密封装的 KEK</td></tr>
<tr><td>0x18</td><td>Blob 内容</td><td><Blob_Len></td><td>Blob 内容
<table>
<tr><th>偏移</th><th>长度 (字节)</th><th>字段</th><th>描述</th></tr>
<tr><td>0x00</td><td>0x10 /0x20</td><td>Encrypted Blob Key</td><td>加密的 Blob 密钥
该密钥用于解压加密打包的 DEK(DEK 用于加密的固件解密)</td></tr>
<tr><td>0x10 / 0x20</td><td>0x10 / 0x20</td><td>Wrapped DEK</td><td>加密打包的 DEK</td></tr>
<tr><td>0x20 /0x40</td><td>16</td><td>MAC</td><td>信息认证码</td></tr>
</table></td></tr>
</table>

表 78: 固件 Blob(FW Blob)

KEK 由 AES_CCM 或者 SM4_CCM 算法来封装，其中：

- AAD 为空
- NONCE 为 IV 字段的前 13 字节
- MAC 的长度为 16 字节

BootROM 根据 Key source 指定的 Key 以及选用的算法（AES/SM4) 来从 Encrypted Blob Key 中提取 Blob Key, 并从 Blob 中提取 DEK，随后，结合 FW 里的 IV 以及 DEK 来解密固件，并对解密后的固件开展哈希值校验。

19.3.9 命令容器 (Command Container)

命令容器是一种对 ROM 支持的若干命令的打包封装，该格式支持加密 (AES-CBC/SM4-CBC) 或者明文两种形式，用户可根据自己系统的安全性要求选择对应的打包方式。

命令容器数据包按块打包，块的长度为变长，由前一个块的末尾的 next_block_info 字段来指示下一个块的长

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

度。第一个块的固定为命令容器头，长度固定。最后一个块不包含 next_block_info。

偏移 (字节)	字段	宽度 (字节)	描述
0x00	Payload	<Data_Bytes>	数据载荷部分
<Data_Bytes>	next_block_info	16	下一个块的信息 Byte 0-1：下一个块的大小 Byte 2-3：是否为最后一个块 Byte 4-15: 保留
<Data_Bytes> + 16	next_block_hash	16	下一个块的哈希值。哈希值的长度根据65中的 hash_type 来决定

表 79: 命令容器 (Command Container)

19.3.9.1 命令容器头 (Command Container Header)

偏移 (字节)	字段	宽度 (字节)	描述
0x00	Tag	4	命令容器标记：0x33764343(ASCII:CCv1)
4	Version	4	命令容器格式的版本，当前为 0x56010000(V1.0.0)
8	Flags	4	保留给未来使用
12	Reserved	48	保留给未来使用
64	Description	48	命令容器的简单描述，如 (xpi nor boot image)

表 80: 命令容器头部 (Command Container Header)

19.3.9.2 命令容器支持的命令

命令容器支持如下的命令：

- configure-memory
- write-memory
- erase
- reset

Configure-memory 的数据块结构如下：

偏移 (字节)	字段	宽度 (字节)	描述
0x00	Command Tag	1	命令标识 - 0x03
0x01	Reserved	1	保留
0x02	Command Misc.	1	命令杂项 - 固定为 0
0x03	Reserved	1	保留
0x4	Memory Identifier	4	存储设备标识 0x10000 - XPI0 0x10001 - XPI1

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

偏移 (字节)	字段	宽度 (字节)	描述
0x08	Reserved	4	保留
12	Configuration Block Data Bytes	4	配置块数据字节
16	Configuration Block Data	<Configuration Block Data Bytes>	配置块数据 当数据长度不足 16 字节时，需按 16 字节对齐补 0 填充

表 81: 配置存储设备数据块

Write-memory 数据块结构如下：

偏移 (字节)	字段	宽度 (字节)	描述
0x00	Command Tag	1	命令标识 - 0x04
0x01	Reserved	1	保留
0x02	Command Misc.	1	命令杂项 - 固定为 0
0x03	Reserved	1	保留
0x4	Memory Identifier	4	存储设备标识 0x10000 - XPI0 0x10001 - XPI1 0x20000 - OTP
0x08	Start	4	起始地址
12	Data Bytes	4	要写入的字节数
16	Data Block	<Data Bytes>	要写入的数据 (最多 256 字节) 当数据长度不足 16 字节时，需按 16 字节对齐补 0 填充

表 82: 写存储设备数据块

Erase 数据块结构如下：

偏移 (字节)	字段	宽度 (字节)	描述
0x00	Command Tag	1	命令标识 - 0x07
0x01	Reserved	1	保留
0x02	Command Misc.	1	命令杂项: 0x0 - Sector Erase 0x1 - Chip Erase
0x03	Reserved	1	保留
0x4	Memory Identifier	4	存储设备标识 0x10000 - XPI0 0x10001 - XPI1

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

偏移 (字节)	字段	宽度 (字节)	描述
0x08	Start	4	起始地址
12	Length	4	要擦除的字节数 (Chip Erase 时忽略)

表 83: 擦除存储设备数据块

Reset 数据块结构如下：

偏移 (字节)	字段	宽度 (字节)	描述
0x00	Command Tag	1	命令标识 - 0x08
0x01	Reserved	1	保留
0x02	Command Misc.	1	命令杂项，固定为 0
0x03	Reserved	1	保留
0x4	Reset Type	4	复位类型，在该 SoC 中为保留位
0x08	Reserved	8	保留位

表 84: 复位数据块

19.3.9.3 加密命令容器 (Encrypted Command Container)

命令容器支持按 AES-CBC/SM4-CBC 模式加密。其中 IV 为当前块的哈希值的前 128 位。命令容器的加密密钥被打包在 FW Blob 中。命令容器头的 IV 为固件信息表中哈希值的前 128 位。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

19.4 安全启动 (Secure Boot)

19.4.1 安全启动简介

本设备支持安全启动。

安全启动支持基于公共密钥基础设施 (PKI) 派生出来的数字证书的签名和认证。

本设备的安全启动支持如下两种证书签名和认证模式：

1. 根据 CA 生成的一级证书的直接签名认证，其中一级证书最多支持 4 个。
2. 根据一级证书签发的二级证书的签名认证，采取信任链的方式来逐级认证，其中其中一级证书最多支持 4 个，二级证书最多支持 1 个。

本设备支持 ECDSA P256 和 SM2 签名认证。

为简化整个安全启动的流程，减少不相关的格式转换和解析，BootROM 对如下部分采用了固定的编码：

- 公钥编码 - 详见根密钥表小节
- 数字签名编码 - 详见签名信息小节
- 证书 - 详见证书小节

19.4.2 安全启动流程

为缩短整个安全启动的时间，安全启动的设计模型如下：

1. 只对 FW Container 头部进行验签，其中被签名/验签的数据如下图所示:

图 21: 要被签名的固件头部分

2. 对 FW 采取比对哈希值的方式，其中 FW 的哈希值包含在固件信息表中，如上图所示。所以哈希值本身已被验签，这种设计保证了签名的唯一性。
3. 当 FW 头部验签通过后，BootROM 解析固件表，根据该表里指定的检验方式分别处理各个 FW 的验证。本设备支持两种验证方法:
    - 基于 SHA256 或 SM3 的明文哈希值校验

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

- 基于 AES-CCM 或者 SM4-CCM 的解密校验

4. 当 FW Container 头检验和各固件校验都通过后，则整个启动镜像安全认证通过，BootROM 支持按需启动或者处理相应的固件。如果上述任何环节检验失败，则认为启动镜像不合法。

19.4.3 固件容器验签

对于支持一级证书的安全启动，其流程如下：

1. BootROM 解析 FW Container，获取签名块，并从签名块中提取 SRK 表, 并计算 SRK 表的哈希值
2. BootROM 从 OTP 中的 SRK_HASH 字段获取 SRK 表的哈希值（根据 Container 头中的 SRK_SET 来判断 SRK 表哈希值来源），并与上一步中计算出来的哈希值进行比对，如果匹配，则代表 SRK 为有效值
3. 计算从 FW Container 头到 SRK 表结尾的数据的哈希值作为被签名的数据
4. 用 FW Container 头部指定的 SRK 来对签名部分进行验签，如果验签通过，则代表 FW Container 头合法，并未被篡改。

对于支持二级证书的安全启动，其流程如下：

1. BootROM 解析 FW Container，获取签名块，并从签名块中提取 SRK 表, 并计算 SRK 表的哈希值
2. BootROM 从 OTP 或 ROM 中获取 SRK 表的哈希值（根据 Container 头中的 SRK_SET 来判断 SRK 表哈希值来源），并与上一步中计算出来的哈希值进行比对，如果匹配，则代表 SRK 为有效值
3. 计算证书块中证书的哈希值作为二级证书的验签数据
4. 用 FW Container 头部指定的 SRK 来对签名部分进行验签，如果验签通过，则代表二级证书合法，否则安全启动失败
5. 计算从 FW Container 头到 SRK 表结尾的数据的哈希值作为被签名的数据
6. 用二级证书对从上一步的数据进行验签。如果验签通过，则代表 FW Container 头合法，并未被篡改

19.4.4 固件的验签

当 FW Container 验签通过后，若设备配置块存在，BootROM 会根据设备配置块的参数完成设备的配置，然后进入到固件信息的处理环节。ROM 支持两种固件的验签方式：

- 基于明文的哈希校验，BootROM 会根据固件信息表里指定的地址和长度来完成 FW 哈希值的计算，并将结果与固件信息表中的结果进行比对。

  当 FW Container 的验签公钥类型为 ECDSA P256 时，固件的哈希值基于 SHA256 算法

  当 FW Container 的验签公钥类型为 SM2 时，固件的哈希值基于 SM3 算法或 SHA256 算法
- 基于 CBC（AES-CBC/SM4-CBC) 解密以及哈希检验。BootROM 采取加解密边校验的方式按固件信息表里指定的加载地址和长度进行处理。

  当 FW Container 的验签公钥类型为 ECDSA P256 时，固件采用 AES-CBC + SHA256 进行解密并验证哈希值。

  当 FW Container 的验签公钥类型为 SM2 时，固件采用 SM4-CBC +SM3 / AES-CBC+SHA256 进行解密并验证哈希值。

注意：SM3 和 SM4-CBC 基于软件实现，性能上弱于基于硬件的 SHA256 和 AES-CBC。

19.4.5 公钥的撤销

随着产品使用时间的增长，当前使用的公钥可能会面临过期或者私钥泄露等风险，当这种情况发生时，需要撤销当前的公钥。BootROM 不提供对公钥的自动撤销，用户程序需要按需去撤销相应的公钥。BootROM 提供了

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

两种撤销公钥的方式。

- 通过 FW Container 撤销。
  将固件容器头中的 SRK_REVOKE 中对应当前密钥的位置 1，并将新镜像用新的私钥签名，将新镜像烧入存储介质或者通过串行启动模式加载。当新镜像加载完成后，BootROM 会自动完成指定公钥的撤销。
- 通过用户程序撤销。
  在镜像中使用设备配置信息块，并解锁 PUK_REVOKE 的写权限。并将新镜像用新的私钥签名，将新镜像烧入存储介质或者通过串行启动模式加载。当新镜像被成功引导后，用户可通过 OTP 驱动来写 PUK_REVOKE 实现公钥的撤销。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

19.5 低功耗唤醒

设备在特定的低功耗模式下，CPU 内核会掉电，只有部分必要的模块处于上电状态，在特定的事件下（如按下唤醒键) CPU 内核可被唤醒并重新上电运行 BootROM 代码，并经由 BootROM 代码实现后续的唤醒支持。ROM 支持如下模式的低功耗唤醒选项：

- 快速跳转：直接跳转到用户指定的唤醒地址执行，只做基本的地址范围合法性校验
- 强校验跳转：按用户指定的范围做完整性检验 (SHA256)
- 禁用低功耗唤醒：强制冷启动，忽略低功耗唤醒选项

19.5.1 快速跳转

用户需要在 SYSCTL.CPU0_GPR0 处填入合法的唤醒地址，并配置好正确的唤醒源。若地址不合法，BootROM 会进行完整的启动流程。

示例代码如下：

```
HPM_SYSCTL->CPU0_LP |= SYSCTL_CPU0_LP_STOP_MASK;
HPM_SYSCTL->RETENTION[0].VALUE = 0;
for (uint32_t i = 0; i < 4; i++) {
    HPM_SYSCTL->CPU0_WAKEUP_ENABLE[i] = ~0;
}
HPM_PMIC_WDG->WREN = 0x5AA5UL;
HPM_PMIC_WDG->CTRL = WDT_CTRL_INTTIME(2) | WDT_CTRL_RSTEN(0) | WDT_CTRL_INTEN(1) \
| WDT_CTRL_CLKSEL(1) | WDT_CTRL_EN(1);
HPM_SYSCTL->CPU0_GPR0 = (uint32_t)&lowpower_wakeup_test;
__asm("wfi");
```

19.5.2 强检验跳转

当 FORCE_WAKEUP_ENTRY_CHK OTP 位被置上后，BootROM 会强制执行唤醒代码的完整性检查，只有完整性检验通过后，BootROM 才会执行唤醒代码，否则 BootROM 会执行完整的启动流程。除快速跳转配置外，用户还需要将程序的起始地址，长度填入 SYSCTL.CPU0_PARAM[0], SYSCTL.CPU0_PARAM[1] 并将以及整个 wake-up 代码的 SHA256 哈希值填入 SYSCTL.CPU0_DATA[0] - SYSCTL.CPU0_DATA[7]。其中 SYSCTL.CPU_GPR0 的地址入口必须在 CPU0_GPR1 和 CPU0_GPR2 指定的地址范围内。

当 CPU0 被唤醒后，ROM 会根据 SYSCTL.CPU0_PARAM[0] 以及 SYSCTL.CPU0_PARAM[1] 的地址范围来计算 SHA256 哈希值并与 SYSCTL.CPU0_DATA[0] - SYSCTL.CPU0_DATA[7] 中的值比对，当有当结果匹配时,BootROM 才会跳转到唤醒地址入口。

为保证安全性，用户可通过 SYSCTL.CPU0_LOCK 寄存器锁定上述寄存器。

开启方式：

- 在用户代码上按上述描述来配置
- 在设备配置信息块中配置，详细信息见唤醒验证信息小节。当用户需要 BootROM 确保唤醒代码也被安全启动认证时，推荐使用该方式。在该模式下，BootROM 会在跳转到用户程序前锁定上述寄存器。

19.5.3 禁用低功耗唤醒

当 FORCE_COLD_BOOT OTP 位被置上后，BootROM 会忽略唤醒请求，执行完整的安全启动流程。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

19.6 Debug 接口权限管理

SoC 的调试端口的访问受 SoC 硬件和 ROM 共同管理。

- 当设备处于 CREATE 模式时，Debug 口默认处于开启状态，BootROM 的执行可以随时被打断接管。
- 当设备出厂后，Debug 口默认处于禁止状态，Debug 端口控制由 BootROM 接管。当 SoC 离开 BootROM 时，BootROM 会开启 DEBUG 端口的访问权限。
  - 在 ISP/Serial boot 模式下，当 BootROM 检测到 DEBUG 请求后，会打开 DEBUG 端口访问权限并进入 while(1) 循环。
  - 在有正常启动镜像的情况下，BootROM 会在跳转到 APP 之前打开 DEBUG 端口访问权限并继续执行用户应用程序。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

19.7 ROM API

本节详细介绍该 SoC 支持的所有 API 接口。

19.7.1 简介

BootROM 导出了常用的 FLASH 操作 API 接口、安全相关的 API 接口。用户程序可直接调用这些接口进行快速的 FLASH 和安全相关的编程，以节省开发和验证的时间。API 以模块为单位来分类，以下为当前 SoC 所支持的 API 大类：

- run_bootloader 接口
- XPI NOR 驱动接口
- XPI RAM 接口
- XPI 底层驱动接口
- OTP
- 安全启动 API 接口
- SM3 API 接口
- SM4 API 接口

本 SoC 中，BootROM 提供的 API 以位于 0x2001_FF00 的 API 根列表为基础来组织。其中 API 根的数据结构如下:

```
typedef struct {
    const uint32_t version;                          /*!< offset: 0x00 */
    const char *copyright;                           /*!< offset: 0x04 */
    hpm_stat_t (*const run_bootloader)(void *arg);   /*!< offset: 0x08 */
    const otp_driver_interface_t *otp_driver_if;     /*!< offset: 0x0c */
    const xpi_driver_interface_t *xpi_driver_if;     /*!< offset: 0x10 */
    const xpi_nor_driver_interface_t *xpi_nor_driver_if; /*!< offset: 0x14 */
    const xpi_ram_driver_interface_t *xpi_ram_driver_if; /*!< offset: 0x18 */
    const sdp_driver_interface_t *sdp_driver_if;     /*!< offset: 0x1c */
    const sec_boot_api_interface_t *sec_boot_api_if; /*!< offset: 0x20 */
    const sm3_api_interface_t *sm3_api_if;           /*!< offset: 0x24 */
    const sm4_api_interface_t *sm4_api_if;           /*!< offset: 0x28 */
} bootloader_api_table_t;

#define ROM_API_TABLE_ROOT  (const bootloader_api_table_t*)0x2001FF00U
```

19.7.2 run_bootloader API

用户程序可通过调用该 API 跳转到指定的启动模式 (如进入 ISP 模式或选择启动另一个镜像)。其原型定义为：

```
typedef struct {
    uint32_t index:8;
    uint32_t peripheral:8;
    uint32_t src:8;
    uint32_t tag:8;
```

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

```
}api_boot_arg_t;

#define API_BOOT_TAG   (0xEBU)
#define API_BOOT_SRC_FUSE (0U)
#define API_BOOT_SRC_PRIMARY (1U)
#define API_BOOT_SRC_SERIAL_BOOT (2U)
#define API_BOOT_SRC_ISP (3U)
#define API_BOOT_SRC_MAX     (API_BOOT_SRC_ISP)
#define API_BOOT_PERIPH_AUTO (0U)
#define API_BOOT_PERIPH_UART (1U)
#define API_BOOT_PERIPH_USBHID (2U)
#define API_BOOT_PERIPH_MASK (API_BOOT_PERIPH_USBHID)

void run_bootloader(void *arg);
```

19.7.2.1 示例:

用户在应用程序中想进入在系统编程模式，可通过如下方式进入:

```
api_boot_arg_t boot_arg = {.index = 0,
            .peripheral = API_BOOT_PERIPH_AUTO,
            .src = API_BOOT_SRC_ISP,
            .tag = API_BOOT_TAG};
ROM_API_TABLE_ROOT->run_bootloader(&boot_arg);
```

19.7.3 OTP API

OTP API 提供了 OTP 的读和写操作。其原型定义如下：

```
typedef struct {
    uint32_t version;
    void (*init)(void);
    uint32_t reserved;
    uint32_t (*read_from_shadow)(uint32_t addr);
    uint32_t (*read_from_ip)(uint32_t addr)
    hpm_stat_t (*program)(uint32_t addr, const uint32_t *src, uint32_t num_of_words);
    hpm_stat_t (*reload)(efuse_region_t region);
    hpm_stat_t (*lock_otp)(uint32_t addr, otp_lock_option_t lock_option);
    hpm_stat_t (*lock_shadow)(uint32_t addr, otp_lock_option_t lock_option);
    hpm_stat_t (*set_configurable_region)(uint32_t start, uint32_t num_of_words);
    hpm_stat_t (*write_shadow_register)(uint32_t addr, uint32_t data);
} otp_driver_interface_t;
```

19.7.3.1 init

该 API 用于初始化 OTP 驱动，在调用 OTP 的读写操作前，确认该 API 已被调用过。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

19.7.3.2 read_from_shadow

该 API 用于从 OTP Shadow 寄存器中读取指定的 OTP 字。

19.7.3.3 read_from_ip

该 API 用于用 IP 读的方式从 OTP 中读取指定的 OTP 字。

19.7.3.4 program

该 API 用于向指定的 OTP 地址范围内写入数据。该 API 的参数定义如下：

- addr - 指定的写入地址
- src - 要写入的数据的指针
- num_of_words - 要写入的字数 (单位 32-bit)

本 SoC 中 num_of_words 必须为 1。

19.7.3.5 reload

该 API 用于重回加载指定区域的 shadow 寄存器的值。其中参数的定义如下：

```
typedef enum {
    efuse_region0_mask = 1U,  /*!< Address range: [0, 7]  */
    efuse_region1_mask = 2U,  /*!< Address range: [8, 15] */
    efuse_region2_mask = 4U,  /*!< Address range: [16, 127] */
    efuse_region3_mask = 8U,  /*!< Address range: user defined */
}otp_region_t;
```

19.7.3.6 lock_otp

该 API 可锁定指定 OTP 字的相应权限。其参数定义如下所示：

```
typedef enum {
    efuse_no_lock = 0,
    efuse_read_only = 1,
    efuse_permanent_no_lock = 2,
    efuse_disable_access = 3,
    efuse_lock_option_max = efuse_disable_access,
}otp_lock_option_t;
```

19.7.3.7 set_configuratable_region

该 API 用于设置用户指定的可配置区域。

19.7.3.8 write_shadow_register

该 API 可直接向指定的 shadow 寄存器写入指定的值。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

19.7.3.9 示例

如用户想读取 OTP 的第 26 个字。可通过如下两种方式来获取: 方式一: 通过 Shadow 寄存器获取:

```
uint32_t fuse_word = ROM_API_TABLE_ROOT->otp_driver_if->read_from_shadow(26);
```

方式二：通过 IP 读来获取:

```
uint32_t fuse_word = ROM_API_TABLE_ROOT->otp_driver_if->read_from_ip(26);
```

19.7.4 XPI 底层驱动 API

XPI 底层 API 提供了 XPI 模块特定功能的配置以及数据的传输，其 API 接口原型定义如下所示::

```
typedef struct {
    uint32_t version;
    hpm_stat_t (*get_default_config)(xpi_config_t *xpi_config);
    hpm_stat_t (*get_default_device_config)(xpi_device_config_t *dev_config);
    hpm_stat_t (*init)(XPI_Type *base, xpi_config_t *xpi_config);
    hpm_stat_t (*config_ahb_buffer)(XPI_Type *base, xpi_ahb_buffer_cfg_t *ahb_buf_cfg);
    hpm_stat_t (*config_device)(XPI_Type *base, xpi_device_config_t *dev_cfg, 4
                xpi_port_t port);
    hpm_stat_t (*update_instr_table)(XPI_Type *base, const uint32_t *inst_base,
                uint32_t seq_idx, uint32_t num);
    hpm_stat_t (*transfer_blocking)(XPI_Type *base, xpi_xfer_ctx_t *xfer);
    void (*software_reset)(XPI_Type *base);
    bool (*is_idle)(XPI_Type *base);
    void (*update_dllcr)(XPI_Type *base, uint32_t serial_root_clk_freq,
                uint32_t data_valid_time, xpi_port_t port, uint32_t dly_target);

    hpm_stat_t (*get_abs_apb_xfer_addr)(XPI_Type *base, xpi_xfer_port_t port,
                uint32_t in_addr, uint32_t *out_addr);
    hpm_stat_t (*iomux_init)(XPI_Type *base, const xpi_io_config_t *io_cfg);
    hpm_stat_t (*clock_init)(XPI_Type *base, const xpi_clk_config_t *clk_cfg);
} xpi_driver_interface_t;
```

19.7.4.1 get_default_config

本 API 用于获取 XPI 默认的配置参数。xpi_config_t 定义详见 SDK。

示例:

```
xpi_config_t xpi_config;
hpm_stat_t status = ROM_API_TABLE_ROOT->xpi_driver_if->get_default_config(&xpi_config);
```

19.7.4.2 get_default_device_config

本 API 用于获取设备的默认配置参数。xpi_device_config_t 定义见 SDK。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

示例:

```
xpi_device_config_t device_config;
status = ROM_API_TABLE_ROOT->xpi_driver_if->get_default_default_config(&device_config);
```

19.7.4.3 init

根据 xpi_config 参数配置 XPI 控制器.

示例:

```
status = ROM_API_TABLE_ROOT->xpi_driver_if->init(HPM_XPI0, &xpi_config);
```

19.7.4.4 config_ahb_buffer

配置 AHB Buffer 的信息。xpi_ahb_buffer_cfg_t 的定义如下:

```
typedef struct
{
    struct
    {
        uint8_t priority;            /* Offset: 0x00 */
        uint8_t master_idx;          /* Offset: 0x01 */
        uint8_t buf_size_in_dword;   /* Offset: 0x02 */
        bool enable_prefetch;        /* Offset: 0x03 */
    }entry[XPI_AHB_BUF_CR_COUNT];
}xpi_ahb_buffer_cfg_t;
```

示例:

```
xpi_ahb_buffer_cfg_t ahb_cfg;
for(uint32_t i=0; i<XPI_AHB_BUF_CR_COUNT; i++) {
    ahb_cfg.entry[i].enable_prefetch = false;
}
ahb_cfg.entry[0].priority = 0;
ahb_cfg.entry[0].master_idx = 0;
ahb_cfg.entry[0].buf_size_in_dword = 64;
ahb_cfg.entry[0].enable_prefetch = true;
status = ROM_API_TABLE_ROOT->xpi_driver_if->config_ahb_buffer(HPM_XPI0, &ahb_cfg);
```

19.7.4.5 config_device

将 Device 信息配置到 XPI 控制器。

示例:

```
status = ROM_API_TABLE_ROOT->xpi_driver_if->config_device(HPM_XPI0, &device_config);
```

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

19.7.4.6 update_instr_table

将指令表更新到 XPI 控制器。

示例:

```
uint32_t lut[4] = {XPI_INSTR_SEQ(XPI_PHASE_CMD_SDR, XPI_1PAD, 0x03,
                        XPI_PHASE_RADDR_SDR, XPI_1PAD,0x18),
                   XPI_INSTR_SEQ(XPI_PHASE_READ_SDR, XPI_1PAD, 0x04,
                        XPI_PHASE_STOP, XPI_1PAD, 0x00),
                   0, 0};
status = ROM_API_TABLE_ROOT->xpi_driver_if->update_instr_table(HPM_XPI0,
                                                &lut[0], 0, 1);
```

19.7.4.7 transfer_blocking

完成阻塞式的传输 (读/写/发命令)。示例:

```
uint32_t buffer[128];
xpi_xfer_ctx_t xfer = {0};
xfer.cmd_type = xpi_apb_xfer_type_read;
xfer.addr = 0x1000;
xfer.seq_idx = 0;
xfer.seq_num = 1;
xfer.port = xpi_xfer_port_auto;
xfer.buf = &buffer[0];
xfer.xfer_size = sizeof(buffer);
status = ROM_API_TABLE_ROOT->xpi_driver_if->transfer_blocking(HPM_XPI0, &xfer);
```

19.7.4.8 software_reset

对 XPI 模块进行软复位。示例:

```
ROM_API_TABLE_ROOT->xpi_driver_if->software_reset(HPM_XPI0);
```

19.7.4.9 is_idle

判断 XPI 模块是否空闲。示例:

```
bool is_idle = ROM_API_TABLE_ROOT->xpi_driver_if->is_idle(HPM_XPI0);
```

19.7.4.10 update_dllcr

更新延时线 (delay line) 设置。示例:

```
uint32_t serial_root_clk_freq = 133000000UL;
uint8_t data_valid_time = 100;
xpi_port_t port = xpi_port_a1;
uint8_t delay_target = 8;
```

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

```
ROM_API_TABLE_ROOT->xpi_driver_if->update_dllcr(HPM_XPI0, serial_root_clk_freq,
                                                data_valid_time, port, delay_target);
```

19.7.5 XPI NOR API

XPI NOR API 提供了对市面上大多数 FLASH 设备的支持，可以方便的进行 FLASH 的读写操作，其 API 接口原型定义如下所示:

```
typedef struct {
    uint32_t version;
    hpm_stat_t (*get_config)(XPI_Type *base,
                xpi_nor_config_t *nor_cfg,
                xpi_nor_config_option_t *cfg_option);
    hpm_stat_t (*init)(XPI_Type *base, xpi_nor_config_t *nor_config);
    hpm_stat_t (*enable_write)(XPI_Type *base,
                xpi_xfer_port_t port,
                const xpi_nor_config_t *nor_config, uint32_t addr);
    hpm_stat_t (*get_status)(XPI_Type *base, xpi_xfer_port_t port,
                const xpi_nor_config_t *nor_config, uint32_t addr,
                uint16_t *out_status);
    hpm_stat_t (*wait_busy)(XPI_Type *base, xpi_xfer_port_t port,
                const xpi_nor_config_t *nor_config, uint32_t addr);
    hpm_stat_t (*erase)(XPI_Type *base, xpi_xfer_port_t port,
                const xpi_nor_config_t *nor_config, uint32_t start,
                uint32_t length);
    hpm_stat_t (*erase_chip)(XPI_Type *base, xpi_xfer_port_t port,
                const xpi_nor_config_t *nor_config);
    hpm_stat_t (*erase_sector)(XPI_Type *base, xpi_xfer_port_t port,
                const xpi_nor_config_t *nor_config, uint32_t addr);
    hpm_stat_t (*erase_block)(XPI_Type *base, xpi_xfer_port_t port,
                const xpi_nor_config_t *nor_config, uint32_t addr);
    hpm_stat_t (*program)(XPI_Type *base, xpi_xfer_port_t port,
                const xpi_nor_config_t *nor_config, const uint32_t *src,
                uint32_t dst_addr, uint32_t length);
    hpm_stat_t (*read)(XPI_Type *base, xpi_xfer_port_t port,
                const xpi_nor_config_t *nor_config, uint32_t *dst,
                uint32_t start, uint32_t length);
    hpm_stat_t (*page_program_nonblocking)(XPI_Type *base, xpi_xfer_port_t port,
                const xpi_nor_config_t *nor_config, const uint32_t *src,
                uint32_t dst_addr, uint32_t length);
    hpm_stat_t (*erase_sector_nonblocking)(XPI_Type *base, xpi_xfer_port_t port,
                const xpi_nor_config_t *nor_config, uint32_t addr);
    hpm_stat_t (*erase_block_nonblocking)(XPI_Type *base, xpi_xfer_port_t port,
                const xpi_nor_config_t *nor_config, uint32_t addr);
```

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

```
    hpm_stat_t (*erase_chip_nonblocking)(XPI_Type *base, xpi_xfer_port_t port,
                const xpi_nor_config_t *nor_config);
    hpm_stat_t (*restore_spi_protocol)(XPI_Type *base, xpi_xfer_port_t port,
                xpi_nor_config_t *config, flash_run_context_t *run_ctx);
    hpm_stat_t (*write_persistent)(const uint32_t data);
    hpm_stat_t (*read_persistent)(uint32_t *data);
    hpm_stat_t (*auto_config)(XPI_Type *base, xpi_nor_config_t *nor_cfg,
                xpi_nor_config_option_t *cfg_option);
    hpm_stat_t (*get_property)(XPI_Type *base, xpi_nor_config_t *nor_cfg,
                uint32_t property_id, uint32_t *value);
    hpm_stat_t (*set_property)(XPI_Type *base, xpi_nor_config_t *nor_cfg,
                uint32_t property_id, uint32_t value);
} xpi_nor_driver_interface_t;
```

19.7.5.1 get_config

根据 FLASH 配置选项来获取 FLASH 的配置。该 API 支持市面上大多数的 4 线和 8 线串行 NOR FLASH。详细的定义见XPI NOR 配置信息。

示例：

```
xpi_nor_config_option_t flash_option = {0};
xpi_nor_config_t flash_config;
flash_option.header.U = 0xfcf90001;
flash_option.option0.U = 0x00000007;

hpm_stat_t status = ROM_API_TABLE_ROOT->xpi_nor_driver_if->get_config(HPM_XPI0,
                                        &flash_config, &flash_option);
```

19.7.5.2 init

根据 FLASH 配置初始化 XPI。示例：

```
status = ROM_API_TABLE_ROOT->xpi_nor_driver_if->init(HPM_XPI0, &flash_config);
```

19.7.5.3 enable_write

使能 FLASH 写操作。示例：

```
status = ROM_API_TABLE_ROOT->xpi_nor_driver_if->enable_write(HPM_XPI0,
                                xpi_xfer_port_auto, &flash_config);
```

19.7.5.4 get_status

获取 FLASH 当前的状态。示例：

```
uint16_t flash_status;
status = ROM_API_TABLE_ROOT->xpi_nor_driver_if->get_status(HPM_XPI0,
```

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

```
                    xpi_xfer_port_auto , &flash_config , 0, &flash_status );
```

19.7.5.5 wait_busy

FLASH 忙等待操作。API 在 FLASH 忙时会一直阻塞式等待。示例：

```
status = ROM_API_TABLE_ROOT->xpi_nor_driver_if->wait_busy(HPM_XPI0,
                xpi_xfer_port_auto , &flash_config , 0);
```

19.7.5.6 erase

阻塞式擦除指定的 FLASH 区间，该命令依次执行 FLASH 擦除和忙等待操作。示例：

```
status = ROM_API_TABLE_ROOT->xpi_nor_driver_if->erase(HPM_XPI0,
                    xpi_xfer_port_auto , &flash_config , 0, 0x2000);
```

19.7.5.7 erase_chip

阻塞式擦除整块 FLASH。该命令依次执行 FLASH 擦除和忙等待操作。示例：

```
status = ROM_API_TABLE_ROOT->xpi_nor_driver_if->erase_chip(HPM_XPI0,
                    xpi_xfer_port_auto , &flash_config );
```

19.7.5.8 erase_sector

阻塞式擦除指定的 FLASH 扇区。该命令依次执行 FLASH 擦除和忙等待操作。示例：

```
status = ROM_API_TABLE_ROOT->xpi_nor_driver_if->erase_sector(HPM_XPI0,
                        xpi_xfer_port_auto , &flash_config , 0x4000);
```

19.7.5.9 erase_block

阻塞式擦除指定的 FLASH 块。该命令依次执行 FLASH 擦除和忙等待操作。示例：

```
status = ROM_API_TABLE_ROOT->xpi_nor_driver_if->erase_block(HPM_XPI0,
                        xpi_xfer_port_auto , &flash_config , 0x4000);
```

19.7.5.10 program

阻塞式烧写数据到指定的 FLASH 区域。该命令依次执行 FFLASH 写操作和忙等待操作示例：

```
uint32_t buffer[64];
uint8_t *buf_8 = (uint8_t*)&buffer[0];
for(uint32_t i=0; i<256; i++) {
    buf_8[i] = (uint8_t)i & 0xFF;
}
status = ROM_API_TABLE_ROOT->xpi_nor_driver_if->program(HPM_XPI0,
            xpi_xfer_port_auto , &flash_config , buffer , 0, sizeof(buffer));
```

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

19.7.5.11 read

阻塞式读 FLASH 指定的区域。示例：

```
uint32_t buffer[64];
status = ROM_API_TABLE_ROOT->xpi_nor_driver_if->read(HPM_XPI0,
                xpi_xfer_port_auto, &flash_config, buffer, 0, sizeof(buffer));
```

19.7.5.12 page_program_nonblocking

非阻塞式的写数据到指定 FLASH 页。该 API 只负责完成 PAGE Program 命令的发送，用户程序需要完成后续的忙等待操作。示例：

```
uint32_t buffer[64];
uint8_t *buf_8 = (uint8_t*)&buffer[0];
for(uint32_t i=0; i<256; i++) {
    buf_8[i] = (uint8_t)i & 0xFF;
}
status = ROM_API_TABLE_ROOT->xpi_nor_driver_if->page_program_nonblocking(HPM_XPI0,
            xpi_xfer_port_auto, &flash_config, buffer, 0, sizeof(buffer));
```

19.7.5.13 erase_sector_nonblocking

非阻塞式的擦除指定的 FLASH 扇区，该 API 只负责完成 Sector Erase 命令的发送，用户程序需要完成后续的忙等待操作。示例：

```
status = ROM_API_TABLE_ROOT->xpi_nor_driver_if->erase_sector_nonblocking(HPM_XPI0,
            xpi_xfer_port_auto, &flash_config, 0x4000);
```

19.7.5.14 erase_block_nonblocking

非阻塞式的擦除指定的 FLASH 块, 该 API 只负责完成 Block Erase 命令的发送，用户程序需要完成后续的忙等待操作。示例：

```
status = ROM_API_TABLE_ROOT->xpi_nor_driver_if->erase_block_nonblocking(HPM_XPI0,
            xpi_xfer_port_auto, &flash_config, 0x4000);
```

19.7.5.15 erase_chip_nonblocking

非阻塞式的擦除整片 FLASH 空间, 该 API 只负责完成 Chip Erase 命令的发送，用户程序需要完成后续的忙等待操作。示例：

```
status = ROM_API_TABLE_ROOT->xpi_nor_driver_if->erase_chip_nonblocking(HPM_XPI0,
            xpi_xfer_port_auto, &flash_config, 0x4000);
```

19.7.6 XPI RAM API

XPI RAM API 提供了对市面上常见的 HyperRAM,Octal RAM, QPI RAM 的支持。其 API 接口原型定义如下所示：

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

```
typedef struct {
    uint32_t version;
    hpm_stat_t (*get_config)(XPI_Type *base,
                xpi_ram_config_t *ram_cfg,
                xpi_ram_config_option_t *cfg_option);
    hpm_stat_t (*init)(XPI_Type *base, xpi_ram_config_t *ram_cfg);
} xpi_ram_driver_interface_t;
```

19.7.6.1 get_config

根据 RAM 配置选项获取 RAM 的配置参数。示例：

```
xpi_ram_config_t ram_config;
xpi_ram_config_option_t option = {0};

option.header.tag = XPI_RAM_CFG_OPTION_TAG;
option.header.words = 2;
option.option0.freq_opt = 8;
option.option0.probe_type = xpi_ram_type_apmemory_x8; //APS6408L-OBM
option.option0.misc = 1; /* 1.8V */
option.option1.port = xpi_port_a2;

hpm_stat_t status = ROM_API_TABLE_ROOT->xpi_ram_driver_if->get_config(HPM_XPI1,
                &ram_config, &option);
```

19.7.6.2 init

根据 RAM 配置信息配置 XPI。示例：

```
status = ROM_API_TABLE_ROOT->xpi_ram_driver_if->init(HPM_XPI1, &ram_config);
```

19.7.7 安全启动 API

安全启动 API 提供了对兼容 BootROM 启动镜像的数据的安全认证支持。其 API 接口原型定义如下所示：

```
typedef struct {
    uint32_t version;
    secure_status_t (*init)(rom_core_ctx_t *ctx, uint32_t core_id);
    secure_status_t (*auth_img_hdr)(rom_core_ctx_t *ctx,
                const boot_image_hdr_t *img_hdr,
                const uint8_t *blob,
                const uint8_t *srk_hash);
    secure_status_t (*auth_fw)(rom_core_ctx_t *ctx,
                const firmware_info_t *fw_info);
    secure_status_t (*hdl_img)(rom_core_ctx_t *ctx,
                const image_buf_t *img_hdr_buf,
```

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

```
                    const boot_interface_t *boot_if,
                    uint32_t img_offset);
} sec_boot_api_interface_t;
```

详细的结构体定义见 SDK 中的示例。

19.7.8 SM3 API

SM3 API 支持基于 SM3 的数据的哈希值计算。其 API 接口原型定义如下所示：

```
typedef struct {
    uint32_t version;
    hpm_stat_t (*init)(sm3_context_t *ctx);
    hpm_stat_t (*update)(sm3_context_t *ctx, const uint8_t *input, uint32_t len);
    hpm_stat_t (*finalize)(sm3_context_t *ctx, uint8_t output[32]);
} sm3_api_interface_t;
```

详细的结构体定义见 SDK 中的示例。

19.7.9 SM4 API

SM4 API 支持基于 SM4 的 ECB,CBC,CTR, 以及 CCM 模式的加密和解密操作。其 API 接口原型定义如下所示：

```
typedef struct {
    uint32_t version;
    void (*setkey_enc)(sm4_context_t *ctx, const uint8_t key[16]);
    void (*setkey_dec)(sm4_context_t *ctx, const uint8_t key[16]);
    hpm_stat_t (*crypt_ecb)(sm4_context_t *ctx, uint32_t mode, uint32_t length,
                const uint8_t *input, uint8_t *output);
    hpm_stat_t (*crypt_cbc)(sm4_context_t *ctx, uint32_t mode, uint32_t length,
                const uint8_t iv[16], const uint8_t *input, uint8_t *output);
    hpm_stat_t (*crypt_ctr)(sm4_context_t *ctx, uint8_t *nonce_counter,
                const uint8_t *input, uint8_t *output, uint32_t length);
    hpm_stat_t (*ccm_gen_enc)(sm4_context_t *ctx, uint32_t input_len,
                const uint8_t *iv, uint32_t iv_len,
                const uint8_t *aad, uint32_t aad_len,
                const uint8_t *input, uint8_t *output,
                uint8_t *tag, uint32_t tag_len);
    hpm_stat_t (*ccm_dec_verify)(sm4_context_t *ctx, uint32_t input_len,
                const uint8_t *iv, uint32_t iv_len,
                const uint8_t *aad, uint32_t aad_len,
                const uint8_t *input, uint8_t *output,
                const uint8_t *tag, uint32_t tag_len);
} sm4_api_interface_t;
```

详细的结构体定义见 SDK 中的示例。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

19.8 SoC 专有信息

19.8.1 OTP 映射表

OTP 字索引	位偏移	字段宽度(位)	字段	描述
1	0	4	LIFE_CYCLE_A	Life Cycle(生命周期)
	8	8	PUBK_REVOKE	Public Key REVOKE(公钥撤销) 低 4 位有效， bit_n 代表撤销第 n 个公钥
	28	4	LIFE_CYCLE_B	Duplicate Life Cycle(重复的生命周期) 实际的生命周期值为 LIFE_CYCLE_A|LIFE_CYCLE_B
3	0	32	SW_VER	软件最低版本号
24	0	4	XPI_FREQ_OPTION	XPI 频率选项 详见XPI 频率选项
	4	1	XPI_INSTANCE	XPI 实例 0 - XPI0 1 - XPI1
	5	1	XPI_PIN_GROUP	XPI 引脚分组 0 - 第一组 1 - 第二组
	6	2	XPI_PORT_SEL	XPI 端口选择 0 - XPI_CA (仅支持 CS0) 1 - XPI_CB (仅支持 CS0)
	8	4	PROBE_TYPE	Serial NOR 探测类型 0 - 基于 SFDP (SDR 模式) 1 - 基于 SFDP (DDR/DTR 模式) 2 - 1-4-4 读 (命令 0xEB, 地址 24 位) 3 - 1-2-2 读 (命令 0xBB, 地址 24 位) 4 - HyperFLASH (1.8 伏) 5 - HyperFLASH (3.0 伏) 6 - OctaBus DTR 模式 8 - Xcella DDR 模式 10 - EcoXiP Octal DDR 模式 其它-保留
	12	1	ENCRYPT_XIP	加密原地执行使能 0 - 不启用加密原地执行 1 - 启用加密原地执行
	13	1	XPI_NOR_CFG_SRC	选择 XPI NOR 配置选项的位置 0 - 从 FLASH 偏移 0x400 处寻找 XPI NOR CFG OPTION 1 - 从 OTP 中寻找 XPI NOR CFG OPTION

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

OTP 字索引	位偏移	字段宽度(位)	字段	描述
	14	2	XPI_DEFAULT_READ	XPI 默认读模式 0 - 1-1-1 读，命令为 0x03,24 位地址 1 - HyperBUS 读 2 - Xcella OPI DDR 读 3 - OctaBUS OPI DDR 读
	16	4	BOOT_MODE	启动模式选择 0 - 启动模式由 BOOT_MODE 引脚决定 0 - 从 XPI NOR 启动 1 - 从 UART/USB-HID 启动 2 - 在系统编程模式 3 - 保留 1 - 从 XPI NOR 启动 2 - 从 UART/USB-HID 启动 其它 - 保留
	20	4	DRIVE_STRENGTH	IO 驱动强度选择 0 - BootROM 默认配置 其它-见 IOC 中的 PAD_CTL 中的 DS 字段定义
	24	7	DUMMY_CYCLE	Serial NOR FLASH DUMMY CYCLE 值 0 - DUMM CYCLE 值由 ROM 自动检测/使用 ROM 预置的值 其它 - 使用该字段定义的 DUMMY CYCLE 值
	31	1	IO_VOLTAGE	选择 IO 口电压 0 - 3.0 伏 1 - 1.8 伏
25	0	16	SEC_IMG_OFFSET	第二份启动镜像的地址偏移 0 - 第二份启动镜像并不存在 其它 - SEC_IMG_OFFSET×256KB
	16	16	MAX_IMG_LEN	启动镜像的最大长度 0 - SEC_IMG_OFFSET×256KB 其它 - MAX_IMG_LEN×256KB
26	0	2	FORCE_COLD_BOOT	强制冷启动 0 - 支持低功耗唤醒 其它 - 强制冷启动
	2	2	FORCE_WAKEUP_ENTRY_CHK	强制检查唤醒入口的完整性校验 0 - 无需检查唤醒入口的完整性 1 - 强制检测唤醒入口的完整性 (基于 SHA256)
	4	1	HIGH_SPEED_BOOT	高速启动模式使能 0 - 普通启动模式 (CPU CORE 频率约为 325MHz) 1 - 高速启动模式 (CPU CORE 频率约为 650MHz)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

OTP 字索引	位偏移	字段宽度 (位)	字段	描述
	5	27	保留	-
27	0	32	保留	-
80	0	32	SRK_HASH[31:0]	SRK_HASH 在 OTP 里以小端形式存储 若 SRK_HASH 以字节的形式表示为 (b0, b1, b2, b3, ..., b30, b31), 则在 OTP 的存储依次为: 0xb3b2b1b0, 0xb7b6b5b4 ..., 0xb31b30b29b28
81	0	32	SRK_HASH[63:32]	
82	0	32	SRK_HASH[95:64]	
83	0	32	SRK_HASH[127:96]	
84	0	32	SRK_HASH[159:128]	
85	0	32	SRK_HASH[191:160]	
86	0	32	SRK_HASH[223:192]	
87	0	32	SRK_HASH[255:224]	
96	0	32	EXIP0_KEK[31:0]	KEK 在 OTP 里以大端方式存储。 若 KEK 以字节的形式表示为 (b0, b1, b2, ..., b14, b15) 则在 OTP 里的存储表示为 0xb15b14b13b12, ..., 0xb3b2b1b0
97	0	32	EXIP0_KEK[63:32]	
98	0	32	EXIP0_KEK[95:64]	
99	0	32	EXIP0_KEK[127:96]	
100	0	32	OTP_KEK0[31:0]	-
101	0	32	OTP_KEK0[63:32]	
102	0	32	OTP_KEK0[95:64]	
103	0	32	OTP_KEK0[127:96]	
104	0	32	EXIP1_KEK[31:0]	KEK 在 OTP 里以大端方式存储。 若 KEK 以字节的形式表示为 (b0, b1, b2, ..., b14, b15) 则在 OTP 里的存储表示为 0xb15b14b13b12, ... , 0xb3b2b1b0
105	0	32	EXIP1_KEK[63:32]	
106	0	32	EXIP1_KEK[95:64]	
107	0	32	EXIP1_KEK[127:96]	
108	0	32	OTP_KEK1[31:0]	-
109	0	32	OTP_KEK1[63:32]	
110	0	32	OTP_KEK1[95:64]	
111	0	32	OTP_KEK1[127:96]	

表 85: BootROM 相关的 OTP 映射表

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

19.8.2 BootROM 支持的外设信息

19.8.2.1 XPI 信息

XPI0 引脚组

引脚分组	引脚	功能	描述
0	PE08	**XPI0.CA_CS0**	当 FLASH 设备支持 SPI 模式时，XPI 默认通过**加粗**的引脚来访问 FLASH
	PD28	XPI0.CA_CS1	
	PE09	**XPI0.CA_SCLK**	
	PE11	**XPI0.CA_D[0]**	
	PE13	**XPI0.CA_D[1]**	
	PE10	XPI0.CA_D[2]	
	PE12	XPI0.CA_D[3]	
	PE00	XPI0.CA_DQS	
	PE02	XPI0.CB_CS0	
	PE01	XPI0.CB_CS1	
	PE07	XPI0.CB_SCLK / XPI0.CA_SCLK_B	
	PD31	XPI0.CB_D[0] / XPI0.CA_D[4]	
	PE04	XPI0.CB_D[1] / XPI0.CA_D[5]	
	PD30	XPI0.CB_D[2] / XPI0.CA_D[6]	
	PE03	XPI0.CB_D[3] / XPI0.CA_D[7]	
	PD29	XPI0.CB_DQS	
1	PX06	XPI0.CA_CS0	-
	PX04	XPI0.CA_CS1	
	PX07	XPI0.CA_SCLK	
	PX10	XPI0.CA_D[0]	
	PX11	XPI0.CA_D[1]	
	PX02	XPI0.CA_D[2]	
	PX03	XPI0.CA_D[3]	
	PX05	XPI0.CA_DQS	
	PX09	XPI0.CA_D[4]	
	PX08	XPI0.CA_D[5]	
	PX01	XPI0.CA_D[6]	
	PX00	XPI0.CA_D[7]	

表 86: XPI0 引脚信息

注意:

- 当 XPI0 CA 这组引脚连接了不支持 DQS 引脚的 FLASH 时，CA_DQS 引脚可用于其他用途
- 第二组的 XPI 引脚只有 SiP 封装的芯片才有效

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

XPI1 引脚组

引脚分组	引脚	功能	描述
0	PD13	**XPI1.CA_CS0**	当 FLASH 设备支持 SPI 模式时，XPI 默认通过**加粗**的引脚来访问 FLASH
	PD08	XPI1.CA_CS1	
	PD10	**XPI1.CA_SCLK**	
	PD15	**XPI1.CA_D[0]**	
	PD12	**XPI1.CA_D[1]**	
	PD14	XPI1.CA_D[2]	
	PD11	XPI1.CA_D[3]	
	PD09	XPI1.CA_DQS	
	PC30	XPI1.CB_CS0	
	PC29	XPI1.CB_CS1	
	PC31	XPI1.CB_SCLK / XPI1.CA_SCLK_B	
	PD04	XPI1.CB_D[0] / XPI1.CA_D[4]	
	PD03	XPI1.CB_D[1] / XPI1.CA_D[5]	
	PD07	XPI1.CB_D[2] / XPI1.CA_D[6]	
	PD06	XPI1.CB_D[3] / XPI1.CA_D[7]	
	PD02	XPI1.CB_DQS	
1	PC16	XPI1.CA_CS0	-
	PC19	XPI1.CA_CS1	
	PC17	XPI1.CA_SCLK	
	PC22	XPI1.CA_D[0]	
	PC26	XPI1.CA_D[1]	
	PC21	XPI1.CA_D[2]	
	PC25	XPI1.CA_D[3]	
	PC20	XPI1.CA_DQS	
	PC10	XPI1.CB_CS0	
	PC09	XPI1.CB_CS1	
	PC15	XPI1.CB_SCLK / XPI1.CA_SCLK_B	
	PC12	XPI1.CB_D[0] / XPI1.CA_D[4]	
	PC11	XPI1.CB_D[1] / XPI1.CA_D[5]	
	PC07	XPI1.CB_D[2] / XPI1.CA_D[6]	
	PC06	XPI1.CB_D[3] / XPI1.CA_D[7]	
	PC14	XPI1.CB_DQS	

表 87: XPI1 引脚信息

XPI 频率选项

BootROM 支持的 XPI NOR 频率如下：

- 1 - 31MHz

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

- 2 - 50MHz
- 3 - 66MHz
- 4 - 80MHz
- 5 - 102MHz
- 6 - 120MHz (注：SDR 模式下，该值为 118MHz, DTR/DDR 模式下，该值为 125MHz)
- 7 - 133MHz
- 8 - 166MHz

注意: 上述频率均基于 SoC 默认的 PRESET 时钟分频而来，若对应的时钟源（如 PLL1CLK1) 的频率发生改变，上述频率会相应的发生改变，用户需事先确认改变 PLL 时钟对 XPI 的频率产生影响，并确保 XPI 的频率不违反本 SoC 和 FLASH 的规格书。

19.8.2.2 UART 引脚

芯片引脚	功能	功能描述
PY06	UART0.TXD	UART0 引脚
PY07	UART0.RXD	

表 88: UART0 引脚

19.8.2.3 USB 引脚

芯片引脚	功能	功能描述
USB0.DP	USB_DP	USB0 引脚
USB0.DM	USB_DM	

表 89: USB0 引脚

19.8.2.4 启动模式 (BOOT_MODE) 引脚

芯片引脚	功能	功能描述
PZ06	BOOT_MODE[0]	启动模式引脚
PZ07	BOOT_MODE[1]	

表 90: BOOT_MODE 引脚

19.8.3 BootROM 预占用的寄存器信息

寄存器	功能	描述/备注
SYSCTL.CPU0.GPR0	CPU0 唤醒入口	CPU0 的唤醒程序入口
SYSCTL.CPU0.PARAM0	CPU0 唤醒代码起始地址	CPU0 唤醒程序的起始地址（用于完整性检验）
SYSCTL.CPU0.PARAM1	CPU0 唤醒代码的长度	CPU0 唤醒程序的长度（用于完整性检验）

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

SYSCTL.CPU0_DATA0 - SYSCTL.CPU0_DATA7	CPU0 唤醒代码哈希值	在 FORCE_WAKEUP_ENTRY_CHK 被置 1 后，BootROM 需要根据 SYSCTL.CPU0_PARAM0 和 SYSCTL.CPU0_PARAM1 指定的地址范围做 SHA256 计算，并与 PMIC.GPR4-PMIC.GPR11 中的值作比较，只有当结果匹配后，才允许跳转，否则执行完整的启动流程
SYSCTL.CPU0_LOCK	上述寄存器的锁定寄存器	-
SYSCTL.CPU1_GPR0	CPU1 启动程序入口	-
SYSCTL.CPU1_GPR1	CPU1 启动程序入口有效标记	仅当该寄存器值为 0xc1bef1a9 时，CPU1 启动程序入口方有效
PMIC.GPR0	run_bootloader 参数	详见ROM API 简介
PMIC.GPR1	XPI NOR FLASH 状态上下文	保存 XPI NOR 运行的上下文，详细定义见
PMIC.GPR2	ROM 特定标记	-

表 91: BootROM 占用的寄存器

19.8.4 通用寄存器配置支持的寄存器范围

以下模块支持在通用寄存器信息中配置：

- SYSCTL
- IOC
- DRAM
- XPI0
- XPI1

19.8.5 BootROM 内存映射表

地址范围	功能
0x2000_0000 - 0x2000_1FFFF	BootROM 代码及数据
0x000B_4000 - 0x000B_FFFF	BSS,RW,Stack 等

表 92: BootROM 内存映射

19.8.6 BootROM 生命周期 (Lifecycle)

编码	生命周期	描述
4’b0000	CREATE	该模式下 BootROM 不控制 DEBUG 接口
4’b0001	NONSEC	该模式下 DEBUG 口受 BootROM 管控，BootROM 支持引导非签名的和签名的启动镜像
4’b0011	SECURE	该模式下 DEBUG 口受 BootROM 管控，BootROM 仅支持引导签名的启动镜像

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

4’b0111	RETURN	该模式下芯片的安全相关的信息被禁用，BootROM 可引导非签名的启动镜像
4’b1011	NONRET	该模式和封闭/部署模式下的表现一致，唯一不同的是 OEM 厂商在该模式下只能切到废弃模式
4’b1111	SCRIBE	作废模式，BootROM 在该模式下无法执行正常的启动操作

表 93: BootROM 生命周期编码

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

20 引脚配置及功能 PINMUX

20.1 IO 功能分配

本产品引脚配置及功能如下：

封装		PIN 名称	数字功能	模拟功能	IO 电源	速度
BGA_289	BGA_196					
P3	-	PA00	GPIO_A_00(ALT0) UART3_TXD(ALT2) SPI0_DAT3(ALT5) I2S1_TXD_2(ALT8) I2S2_TXD_0(ALT9) CAM0_D_6(ALT22)	-	VIO_B00	普通
P2	-	PA01	GPIO_A_01(ALT0) UART1_RXD(ALT2) SPI0_SCLK(ALT5) CAN3_RXD(ALT7) I2S1_TXD_1(ALT8) CAM0_D_8(ALT22)	-	VIO_B00	普通
P1	-	PA02	GPIO_A_02(ALT0) UART1_TXD(ALT2) SPI0_MISO(ALT5) CAN3_TXD(ALT7) I2S1_TXD_0(ALT8) CAM0_D_9(ALT22)	-	VIO_B00	普通
N4	-	PA03	GPIO_A_03(ALT0) GPTMR1_COMP_1(ALT1) UART3_RXD(ALT2) I2S1_TXD_3(ALT8) I2S2_BCLK(ALT9) CAM0_D_3(ALT22)	-	VIO_B00	普通
N3	-	PA04	GPIO_A_04(ALT0) GPTMR1_COMP_0(ALT1) UART4_TXD(ALT2) SPI0_DAT2(ALT5) I2S1_MCLK(ALT8) I2S2_MCLK(ALT9) CAM0_D_7(ALT22)	-	VIO_B00	普通

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

封装		PIN 名称	数字功能	模拟功能	IO 电源	速度
BGA_289	BGA_196					
N2	-	PA05	GPIO_A_05(ALT0) GPTMR0_COMP_1(ALT1) UART6_RXD(ALT2) I2C0_SDA(ALT4) SPI0_CSN(ALT5) I2S1_BCLK(ALT8) DAOL_P(ALT10) CAM0_HSYNC(ALT22)	-	VIO_B00	普通
N1	-	PA06	GPIO_A_06(ALT0) GPTMR0_COMP_0(ALT1) UART6_TXD(ALT2) I2C0_SCL(ALT4) SPI0_MOSI(ALT5) I2S1_FCLK(ALT8) DAOR_P(ALT10) CAM0_VSYNC(ALT22)	-	VIO_B00	普通
M5	-	PA07	GPIO_A_07(ALT0) GPTMR1_COMP_1(ALT1) UART5_RXD(ALT2) I2S1_MCLK(ALT9) CAM0_D_2(ALT22) SOC_REF1(ALT24)	-	VIO_B00	普通
M4	-	PA08	GPIO_A_08(ALT0) GPTMR1_COMP_0(ALT1) UART5_TXD(ALT2) I2S1_RXD_3(ALT8) I2S2_FCLK(ALT9) CAM0_D_4(ALT22)	-	VIO_B00	普通
M3	-	PA09	GPIO_A_09(ALT0) UART4_RXD(ALT2) I2S1_RXD_2(ALT8) I2S2_RXD_0(ALT9) CAM0_D_5(ALT22) SOC_REF0(ALT24)	-	VIO_B00	普通

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

封装		PIN 名称	数字功能	模拟功能	IO 电源	速度
BGA_289	BGA_196					
M2	-	PA10	GPIO_A_10(ALT0) GPTMR0_COMP_1(ALT1) UART7_RXD(ALT2) I2C1_SDA(ALT4) CAN3_STBY(ALT7) I2S1_RXD_1(ALT8) DAOL_N(ALT10) CAM0_XCLK(ALT22)	-	VIO_B00	普通
M1	-	PA11	GPIO_A_11(ALT0) GPTMR0_COMP_0(ALT1) UART7_TXD(ALT2) I2C1_SCL(ALT4) CAN2_STBY(ALT7) I2S1_RXD_0(ALT8) DAOR_N(ALT10) CAM0_PIXCLK(ALT22)	-	VIO_B00	普通
L5	M3	PA12	GPIO_A_12(ALT0) GPTMR1_CAPT_1(ALT1) UART9_CTS(ALT3) I2C3_SDA(ALT4) SPI1_DAT3(ALT5) I2S1_RXD_3(ALT9) DIS0_B_4(ALT20) CAM0_PIXCLK(ALT22)	-	VIO_B01	高速
L4	L3	PA13	GPIO_A_13(ALT0) GPTMR1_CAPT_0(ALT1) UART9_RTS(ALT3) I2C3_SCL(ALT4) SPI1_DAT2(ALT5) I2S1_RXD_2(ALT9) DIS0_B_6(ALT20) CAM0_HSYNC(ALT22)	-	VIO_B01	高速

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

封装		PIN 名称	数字功能	模拟功能	IO 电源	速度
BGA_289	BGA_196					
L2	L2	PA14	GPIO_A_14(ALT0) GPTMR0_CAPT_1(ALT1) UART8_CTS(ALT3) I2C2_SDA(ALT4) CAN1_STBY(ALT7) I2S2_TXD_3(ALT8) I2S1_TXD_3(ALT9) DIS0_VSYNC(ALT20)	-	VIO_B01	高速
L1	L1	PA15	GPIO_A_15(ALT0) GPTMR0_CAPT_0(ALT1) UART8_DE(ALT2) UART8_RTS(ALT3) I2C2_SCL(ALT4) CAN0_STBY(ALT7) I2S2_TXD_2(ALT8) I2S1_TXD_2(ALT9) DIS0_EN(ALT20)	-	VIO_B01	高速
K5	K4	PA16	GPIO_A_16(ALT0) GPTMR1_CAPT_1(ALT1) UART10_CTS(ALT3) SPI1_MOSI(ALT5) CAN0_RXD(ALT7) I2S1_RXD_1(ALT9) DIS0_B_3(ALT20) CAM0_XCLK(ALT22)	-	VIO_B01	高速
K4	K3	PA17	GPIO_A_17(ALT0) GPTMR1_CAPT_0(ALT1) UART10_DE(ALT2) UART10_RTS(ALT3) CAN0_TXD(ALT7) I2S1_RXD_0(ALT9) DIS0_B_5(ALT20) CAM0_VSYNC(ALT22)	-	VIO_B01	高速
K3	K2	PA18	GPIO_A_18(ALT0) UART10_TXD(ALT2) SPI1_CSN(ALT5) I2S1_BCLK(ALT9) DIS0_B_7(ALT20) CAM0_D_4(ALT22)	-	VIO_B01	高速

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

封装		PIN 名称	数字功能	模拟功能	IO 电源	速度
BGA_289	BGA_196					
K2	K1	PA19	GPIO_A_19(ALT0) GPTMR0_CAPT_1(ALT1) UART11_CTS(ALT3) CAN1_RXD(ALT7) I2S2_TXD_1(ALT8) I2S1_TXD_1(ALT9) PWM1_P_7(ALT16) DIS0_HSYNC(ALT20)	-	VIO_B01	高速
K1	J4	PA20	GPIO_A_20(ALT0) GPTMR0_CAPT_0(ALT1) UART11_DE(ALT2) UART11_RTS(ALT3) CAN1_TXD(ALT7) I2S2_TXD_0(ALT8) I2S1_TXD_0(ALT9) PWM1_P_6(ALT16) DIS0_CLK(ALT20)	-	VIO_B01	高速
J5	J2	PA21	GPIO_A_21(ALT0) UART11_RXD(ALT2) SPI1_SCLK(ALT5) I2S3_BCLK(ALT9) DAOL_P(ALT10) PWM0_P_7(ALT16) DIS0_R_5(ALT20)	-	VIO_B01	高速
J4	J1	PA22	GPIO_A_22(ALT0) UART11_TXD(ALT2) I2S1_FCLK(ALT9) DAOR_P(ALT10) PWM0_P_6(ALT16) DIS0_G_2(ALT20) CAM0_D_2(ALT22)	-	VIO_B01	高速
J3	H4	PA23	GPIO_A_23(ALT0) UART10_RXD(ALT2) SPI1_MISO(ALT5) I2S2_MCLK(ALT8) PWM0_P_1(ALT16) DIS0_G_3(ALT20) CAM0_D_3(ALT22)	-	VIO_B01	高速

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

封装		PIN 名称	数字功能	模拟功能	IO 电源	速度
BGA_289	BGA_196					
J2	H3	PA24	GPIO_A_24(ALT0) UART8_RXD(ALT2) CAN2_RXD(ALT7) I2S2_FCLK(ALT8) PWM1_P_5(ALT16) DIS0_G_5(ALT20) CAM0_D_6(ALT22)	-	VIO_B01	高速
J1	H2	PA25	GPIO_A_25(ALT0) UART8_TXD(ALT2) CAN2_TXD(ALT7) I2S2_BCLK(ALT8) PWM1_P_4(ALT16) DIS0_G_7(ALT20) CAM0_D_7(ALT22)	-	VIO_B01	高速
H5	H1	PA26	GPIO_A_26(ALT0) UART12_RXD(ALT2) SPI2_CSN(ALT5) I2S3_TXD_1(ALT9) DAOL_N(ALT10) PWM0_P_5(ALT16) DIS0_R_4(ALT20)	-	VIO_B01	高速
H4	G4	PA27	GPIO_A_27(ALT0) UART12_TXD(ALT2) SPI2_MOSI(ALT5) I2S3_TXD_0(ALT9) DAOR_N(ALT10) PWM0_P_4(ALT16) DIS0_R_6(ALT20)	-	VIO_B01	高速
H3	G3	PA28	GPIO_A_28(ALT0) UART13_TXD(ALT2) I2S3_BCLK(ALT9) PWM0_P_0(ALT16) DIS0_R_7(ALT20) CAM0_D_5(ALT22)	-	VIO_B01	高速

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

封装		PIN 名称	数字功能	模拟功能	IO 电源	速度
BGA_289	BGA_196					
H2	G2	PA29	GPIO_A_29(ALT0) UART9_RXD(ALT2) CAN3_RXD(ALT7) I2S2_RXD_1(ALT8) I2S3_RXD_1(ALT9) PWM1_P_3(ALT16) DIS0_G_4(ALT20) CAM0_D_9(ALT22)	-	VIO_B01	高速
H1	G1	PA30	GPIO_A_30(ALT0) UART9_TXD(ALT2) CAN3_TXD(ALT7) I2S2_RXD_0(ALT8) I2S3_RXD_0(ALT9) PWM1_P_1(ALT16) DIS0_G_6(ALT20) CAM0_D_8(ALT22)	-	VIO_B01	高速
G5	F1	PA31	GPIO_A_31(ALT0) UART13_CTS(ALT3) I2C1_SDA(ALT4) SPI2_MISO(ALT5) I2S3_TXD_3(ALT9) PWM0_P_3(ALT16) DIS0_R_3(ALT20)	-	VIO_B01	高速
G4	F2	PB00	GPIO_B_00(ALT0) UART13_DE(ALT2) UART13_RTS(ALT3) I2C1_SCL(ALT4) SPI2_SCLK(ALT5) I2S3_TXD_2(ALT9) PWM0_P_2(ALT16) DIS0_R_2(ALT20)	-	VIO_B01	高速
G2	F4	PB01	GPIO_B_01(ALT0) UART14_RXD(ALT2) I2S2_RXD_3(ALT8) I2S3_RXD_3(ALT9) PWM1_P_2(ALT16) DIS0_G_1(ALT20) SYSCTL_CLK_OBS_1(ALT24)	-	VIO_B01	高速

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

封装		PIN 名称	数字功能	模拟功能	IO 电源	速度
BGA_289	BGA_196					
G1	E4	PB02	GPIO_B_02(ALT0) UART14_TXD(ALT2) I2S2_RXD_2(ALT8) I2S3_RXD_2(ALT9) PWM1_P_0(ALT16) DIS0_B_2(ALT20) SYSCTL_CLK_OBS_0(ALT24)	-	VIO_B01	高速
F5	E3	PB03	GPIO_B_03(ALT0) UART14_CTS(ALT3) I2C2_SDA(ALT4) I2S3_MCLK(ALT9) TRGM0_P_11(ALT16) DIS0_R_0(ALT20) CAM1_D_2(ALT22)	-	VIO_B02	高速
F4	E2	PB04	GPIO_B_04(ALT0) UART14_DE(ALT2) UART14_RTS(ALT3) I2C2_SCL(ALT4) I2S3_RXD_3(ALT8) I2S2_FCLK(ALT9) TRGM0_P_10(ALT16) DIS0_R_1(ALT20) CAM1_D_4(ALT22)	-	VIO_B02	高速
F3	E1	PB05	GPIO_B_05(ALT0) UART13_RXD(ALT2) I2S3_RXD_2(ALT8) I2S2_RXD_0(ALT9) TRGM0_P_08(ALT16) DIS0_B_0(ALT20) CAM1_D_6(ALT22)	-	VIO_B02	高速
F2	D4	PB06	GPIO_B_06(ALT0) UART15_RXD(ALT2) I2S3_RXD_1(ALT8) TRGM1_P_05(ALT16) DIS0_G_0(ALT20) CAM1_PIXCLK(ALT22) SYSCTL_CLK_OBS_2(ALT24)	-	VIO_B02	高速

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

封装		PIN 名称	数字功能	模拟功能	IO 电源	速度
BGA_289	BGA_196					
F1	D3	PB07	GPIO_B_07(ALT0) UART15_TXD(ALT2) I2S3_RXD_0(ALT8) TRGM1_P_02(ALT16) DIS0_B_1(ALT20) CAM1_HSYNC(ALT22) SYSCTL_CLK_OBS_3(ALT24)	-	VIO_B02	高速
E4	D2	PB08	GPIO_B_08(ALT0) UART2_CTS(ALT3) CAN2_RXD(ALT7) I2S3_TXD_3(ALT8) I2S2_BCLK(ALT9) TRGM0_P_09(ALT16) CAM1_D_3(ALT22)	-	VIO_B02	高速
E3	D1	PB09	GPIO_B_09(ALT0) UART2_DE(ALT2) UART2_RTS(ALT3) CAN2_TXD(ALT7) I2S3_MCLK(ALT8) I2S2_MCLK(ALT9) TRGM0_P_07(ALT16) CAM1_D_5(ALT22)	-	VIO_B02	高速
E2	C3	PB10	GPIO_B_10(ALT0) UART12_CTS(ALT3) I2C0_SDA(ALT4) CAN3_STBY(ALT7) I2S3_BCLK(ALT8) TRGM1_P_04(ALT16) CAM1_XCLK(ALT22)	-	VIO_B02	高速
E1	C2	PB11	GPIO_B_11(ALT0) UART12_DE(ALT2) UART12_RTS(ALT3) I2C0_SCL(ALT4) CAN2_STBY(ALT7) I2S3_FCLK(ALT8) TRGM1_P_01(ALT16) CAM1_VSYNC(ALT22)	-	VIO_B02	高速

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

封装		PIN 名称	数字功能	模拟功能	IO 电源	速度
BGA_289	BGA_196					
D3	C1	PB12	GPIO_B_12(ALT0) UART3_DE(ALT2) UART3_RTS(ALT3) CAN3_TXD(ALT7) I2S3_TXD_2(ALT8) I2S2_TXD_0(ALT9) TRGM0_P_06(ALT16) CAM1_D_7(ALT22)	-	VIO_B02	高速
D2	B2	PB13	GPIO_B_13(ALT0) UART15_CTS(ALT3) I2C3_SDA(ALT4) CAN1_STBY(ALT7) I2S3_TXD_1(ALT8) TRGM1_P_03(ALT16) CAM1_D_8(ALT22)	-	VIO_B02	高速
D1	B1	PB14	GPIO_B_14(ALT0) UART15_DE(ALT2) UART15_RTS(ALT3) I2C3_SCL(ALT4) CAN0_STBY(ALT7) I2S3_TXD_0(ALT8) TRGM1_P_00(ALT16) CAM1_D_9(ALT22)	-	VIO_B02	高速
C1	-	PB15	GPIO_B_15(ALT0) UART0_DE(ALT2) UART0_RTS(ALT3) CAN0_TXD(ALT7) DAOR_P(ALT10) PWM0_FAULT_0(ALT16) SOC_REF0(ALT24)	-	VIO_B03	高速
B1	-	PB16	GPIO_B_16(ALT0) UART0_DE(ALT2) DAOR_N(ALT10) PWM1_FAULT_1(ALT16)	-	VIO_B03	高速
C2	-	PB17	GPIO_B_17(ALT0) UART0_CTS(ALT3) CAN0_RXD(ALT7) DAOL_P(ALT10) PWM0_FAULT_1(ALT16)	-	VIO_B03	高速

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

封装		PIN 名称	数字功能	模拟功能	IO 电源	速度
BGA_289	BGA_196					
B2	-	PB18	GPIO_B_18(ALT0) UART1_CTS(ALT3) CAN1_RXD(ALT7) DAOL_N(ALT10) FEMC_DQ_25(ALT12) PWM1_P_1(ALT16)	-	VIO_B03	高速
A2	-	PB19	GPIO_B_19(ALT0) UART1_DE(ALT2) UART1_RTS(ALT3) CAN1_TXD(ALT7) FEMC_DQ_24(ALT12) PWM1_P_0(ALT16)	-	VIO_B03	高速
C3	-	PB20	GPIO_B_20(ALT0) UART3_CTS(ALT3) SPI2_DAT3(ALT5) CAN3_RXD(ALT7) FEMC_DQ_23(ALT12) PWM0_P_7(ALT16)	-	VIO_B03	高速
B3	-	PB21	GPIO_B_21(ALT0) UART2_RXD(ALT2) SPI2_SCLK(ALT5) FEMC_DQ_27(ALT12) PWM1_P_3(ALT16)	-	VIO_B03	高速
A3	-	PB22	GPIO_B_22(ALT0) UART2_TXD(ALT2) SPI2_MOSI(ALT5) FEMC_DQ_26(ALT12) PWM1_P_2(ALT16)	-	VIO_B03	高速
C4	-	PB23	GPIO_B_23(ALT0) UART0_TXD(ALT2) SPI2_DAT2(ALT5) FEMC_DQ_22(ALT12) PWM0_P_6(ALT16)	-	VIO_B03	高速
B4	-	PB24	GPIO_B_24(ALT0) UART3_RXD(ALT2) SPI2_CSN(ALT5) FEMC_DQ_29(ALT12) PWM1_P_5(ALT16)	-	VIO_B03	高速

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

封装		PIN 名称	数字功能	模拟功能	IO 电源	速度
BGA_289	BGA_196					
A4	-	PB25	GPIO_B_25(ALT0) UART3_TXD(ALT2) SPI2_MISO(ALT5) FEMC_DQ_28(ALT12) PWM1_P_4(ALT16)	-	VIO_B03	高速
E5	-	PB26	GPIO_B_26(ALT0) UART1_RXD(ALT2) FEMC_DQ_21(ALT12) PWM0_P_5(ALT16)	-	VIO_B03	高速
D5	-	PB27	GPIO_B_27(ALT0) UART1_TXD(ALT2) FEMC_DQ_20(ALT12) PWM0_P_4(ALT16)	-	VIO_B03	高速
C5	-	PB28	GPIO_B_28(ALT0) UART0_RXD(ALT2) SPI3_DAT2(ALT5) FEMC_DQ_19(ALT12) PWM0_P_3(ALT16)	-	VIO_B03	高速
B5	-	PB29	GPIO_B_29(ALT0) UART4_RXD(ALT2) SPI3_CSN(ALT5) FEMC_DQ_31(ALT12) PWM1_P_7(ALT16)	-	VIO_B03	高速
A5	-	PB30	GPIO_B_30(ALT0) UART4_TXD(ALT2) SPI3_MOSI(ALT5) FEMC_DQ_30(ALT12) PWM1_P_6(ALT16)	-	VIO_B03	高速
E6	-	PB31	GPIO_B_31(ALT0) UART5_RXD(ALT2) FEMC_DQ_18(ALT12) PWM0_P_2(ALT16)	-	VIO_B03	高速
D6	-	PC00	GPIO_C_00(ALT0) UART5_TXD(ALT2) FEMC_DQ_17(ALT12) PWM0_P_1(ALT16)	-	VIO_B03	高速

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

封装		PIN 名称	数字功能	模拟功能	IO 电源	速度
BGA_289	BGA_196					
C6	-	PC01	GPIO_C_01(ALT0) UART6_TXD(ALT2) SPI3_DAT3(ALT5) FEMC_DQ_16(ALT12) PWM0_P_0(ALT16)	-	VIO_B03	高速
B6	-	PC02	GPIO_C_02(ALT0) UART7_RXD(ALT2) SPI3_SCLK(ALT5) FEMC_DM_2(ALT12) TRGM0_P_03(ALT16)	-	VIO_B03	高速
A6	-	PC03	GPIO_C_03(ALT0) UART7_TXD(ALT2) SPI3_MISO(ALT5) FEMC_DM_3(ALT12) PWM1_FAULT_0(ALT16)	-	VIO_B03	高速
E7	A2	PC04	GPIO_C_04(ALT0) UART10_RXD(ALT2) FEMC_A_02(ALT12) TRGM1_P_11(ALT16)	-	VIO_B04	高速
D7	B3	PC05	GPIO_C_05(ALT0) UART10_TXD(ALT2) FEMC_A_03(ALT12) TRGM1_P_09(ALT16)	-	VIO_B04	高速
B7	A3	PC06	GPIO_C_06(ALT0) UART8_RXD(ALT2) FEMC_A_04(ALT12) XPI1_CB_D_3(ALT14) TRGM0_P_04(ALT16)	-	VIO_B04	高速
A7	C4	PC07	GPIO_C_07(ALT0) UART8_TXD(ALT2) FEMC_A_05(ALT12) XPI1_CB_D_2(ALT14) TRGM0_P_02(ALT16)	-	VIO_B04	高速
E8	B4	PC08	GPIO_C_08(ALT0) UART11_RXD(ALT2) FEMC_A_00(ALT12) TRGM1_P_10(ALT16) ETH1_EVTO_2(ALT19)	-	VIO_B04	高速

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

封装		PIN 名称	数字功能	模拟功能	IO 电源	速度
BGA_289	BGA_196					
D8	A4	PC09	GPIO_C_09(ALT0) UART11_TXD(ALT2) FEMC_A_01(ALT12) XPI1_CB_CS1(ALT14) TRGM1_P_08(ALT16) ETH1_EVTO_0(ALT19)	-	VIO_B04	高速
C8	D5	PC10	GPIO_C_10(ALT0) UART6_RXD(ALT2) FEMC_A_06(ALT12) XPI1_CB_CS0(ALT14) TRGM1_P_07(ALT16)	-	VIO_B04	高速
B8	C5	PC11	GPIO_C_11(ALT0) UART9_RXD(ALT2) FEMC_A_07(ALT12) XPI1_CB_D_1(ALT14) TRGM0_P_05(ALT16)	-	VIO_B04	高速
A8	B5	PC12	GPIO_C_12(ALT0) UART9_TXD(ALT2) FEMC_A_08(ALT12) XPI1_CB_D_0(ALT14) TRGM0_P_01(ALT16)	-	VIO_B04	高速
E9	A5	PC13	GPIO_C_13(ALT0) UART13_RXD(ALT2) FEMC_BA0(ALT12)	-	VIO_B04	高速
D9	D6	PC14	GPIO_C_14(ALT0) UART13_TXD(ALT2) FEMC_BA1(ALT12) XPI1_CB_DQS(ALT14) TRGM3_P_07(ALT16) ETH1_EVTO_1(ALT19)	-	VIO_B04	高速
C9	B6	PC15	GPIO_C_15(ALT0) UART12_TXD(ALT2) FEMC_A_10(ALT12) XPI1_CB_SCLK(ALT14) TRGM1_P_06(ALT16)	-	VIO_B04	高速

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

封装		PIN 名称	数字功能	模拟功能	IO 电源	速度
BGA_289	BGA_196					
B9	A6	PC16	GPIO_C_16(ALT0) UART14_RXD(ALT2) FEMC_DQS(ALT12) XPI1_CA_CS0(ALT14) TRGM2_P_02(ALT16)	-	VIO_B04	高速
A9	D7	PC17	GPIO_C_17(ALT0) UART14_TXD(ALT2) FEMC_A_09(ALT12) XPI1_CA_SCLK(ALT14) TRGM0_P_00(ALT16)	-	VIO_B04	高速
E10	C7	PC18	GPIO_C_18(ALT0) UART1_RXD(ALT2) FEMC_RAS(ALT12) TRGM3_P_10(ALT16)	-	VIO_B04	高速
D10	B7	PC19	GPIO_C_19(ALT0) UART1_TXD(ALT2) FEMC_CS_0(ALT12) XPI1_CA_CS1(ALT14) TRGM3_P_08(ALT16) ETH1_EVTI_0(ALT19)	-	VIO_B04	高速
C10	A7	PC20	GPIO_C_20(ALT0) UART12_RXD(ALT2) FEMC_CS_1(ALT12) XPI1_CA_DQS(ALT14) TRGM3_P_06(ALT16)	-	VIO_B04	高速
B10	D8	PC21	GPIO_C_21(ALT0) UART15_RXD(ALT2) FEMC_A_11(ALT12) XPI1_CA_D_2(ALT14) TRGM2_P_03(ALT16)	-	VIO_B04	高速
A10	C8	PC22	GPIO_C_22(ALT0) UART15_TXD(ALT2) FEMC_A_12(ALT12) XPI1_CA_D_0(ALT14) TRGM2_P_00(ALT16)	-	VIO_B04	高速

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

封装		PIN 名称	数字功能	模拟功能	IO 电源	速度
BGA_289	BGA_196					
E11	B8	PC23	GPIO_C_23(ALT0) UART2_RXD(ALT2) FEMC_CAS(ALT12) TRGM3_P_11(ALT16) ETH1_EVTI_2(ALT19)	-	VIO_B04	高速
D11	A8	PC24	GPIO_C_24(ALT0) UART2_TXD(ALT2) FEMC_WE(ALT12) TRGM3_P_09(ALT16) ETH1_EVTI_1(ALT19)	-	VIO_B04	高速
B11	B9	PC25	GPIO_C_25(ALT0) UART0_RXD(ALT2) FEMC_CKE(ALT12) XPI1_CA_D_3(ALT14) TRGM2_P_04(ALT16)	-	VIO_B04	高速
A11	A9	PC26	GPIO_C_26(ALT0) UART0_TXD(ALT2) FEMC_CLK(ALT12) XPI1_CA_D_1(ALT14) TRGM2_P_01(ALT16)	-	VIO_B04	高速
E12	D9	PC27	GPIO_C_27(ALT0) UART6_RXD(ALT2) FEMC_DQ_05(ALT12) PWM3_P_5(ALT16) ETH1_EVTO_2(ALT19)	-	VIO_B05	高速
D12	D10	PC28	GPIO_C_28(ALT0) UART6_TXD(ALT2) FEMC_DQ_06(ALT12) PWM3_P_6(ALT16) ETH1_EVTO_0(ALT19)	-	VIO_B05	高速
C12	C10	PC29	GPIO_C_29(ALT0) UART7_TXD(ALT2) FEMC_DQ_07(ALT12) XPI1_CB_CS1(ALT14) PWM3_P_7(ALT16) ETH1_EVTI_0(ALT19)	-	VIO_B05	高速

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

封装		PIN 名称	数字功能	模拟功能	IO 电源	速度
BGA_289	BGA_196					
B12	B10	PC30	GPIO_C_30(ALT0) UART3_RXD(ALT2) FEMC_DM_0(ALT12) XPI1_CB_CS0(ALT14) TRGM2_P_05(ALT16)	-	VIO_B05	高速
A12	A10	PC31	GPIO_C_31(ALT0) UART3_TXD(ALT2) FEMC_DM_1(ALT12) XPI1_CB_SCLK(ALT14) PWM2_FAULT_0(ALT16)	-	VIO_B05	高速
E13	D11	PD00	GPIO_D_00(ALT0) UART4_CTS(ALT3) I2C0_SDA(ALT4) FEMC_DQ_02(ALT12) PWM3_P_2(ALT16)	-	VIO_B05	高速
D13	C11	PD01	GPIO_D_01(ALT0) UART4_DE(ALT2) UART4_RTS(ALT3) I2C0_SCL(ALT4) FEMC_DQ_03(ALT12) PWM3_P_3(ALT16) ETH1_EVTO_1(ALT19)	-	VIO_B05	高速
C13	B11	PD02	GPIO_D_02(ALT0) UART7_RXD(ALT2) FEMC_DQ_04(ALT12) XPI1_CB_DQS(ALT14) PWM3_P_4(ALT16) ETH1_EVTI_1(ALT19)	-	VIO_B05	高速
B13	A11	PD03	GPIO_D_03(ALT0) UART4_RXD(ALT2) FEMC_DQ_09(ALT12) XPI1_CB_D_1(ALT14) PWM2_P_1(ALT16)	-	VIO_B05	高速
A13	D12	PD04	GPIO_D_04(ALT0) UART4_TXD(ALT2) FEMC_DQ_08(ALT12) XPI1_CB_D_0(ALT14) PWM2_P_0(ALT16)	-	VIO_B05	高速

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

封装		PIN 名称	数字功能	模拟功能	IO 电源	速度
BGA_289	BGA_196					
C14	C12	PD05	GPIO_D_05(ALT0) UART5_DE(ALT2) UART5_RTS(ALT3) I2C1_SCL(ALT4) FEMC_DQ_01(ALT12) PWM3_P_1(ALT16)	-	VIO_B05	高速
B14	B12	PD06	GPIO_D_06(ALT0) UART5_RXD(ALT2) FEMC_DQ_11(ALT12) XPI1_CB_D_3(ALT14) PWM2_P_3(ALT16)	-	VIO_B05	高速
A14	A12	PD07	GPIO_D_07(ALT0) UART5_TXD(ALT2) FEMC_DQ_10(ALT12) XPI1_CB_D_2(ALT14) PWM2_P_2(ALT16)	-	VIO_B05	高速
C15	D13	PD08	GPIO_D_08(ALT0) UART5_CTS(ALT3) I2C1_SDA(ALT4) FEMC_DQ_00(ALT12) XPI1_CA_CS1(ALT14) PWM3_P_0(ALT16) ETH1_EVTI_2(ALT19)	-	VIO_B05	高速
B15	C13	PD09	GPIO_D_09(ALT0) UART6_CTS(ALT3) I2C2_SDA(ALT4) CAN2_STBY(ALT7) FEMC_DQ_13(ALT12) XPI1_CA_DQS(ALT14) PWM2_P_5(ALT16)	-	VIO_B05	高速
A15	B13	PD10	GPIO_D_10(ALT0) UART6_DE(ALT2) UART6_RTS(ALT3) I2C2_SCL(ALT4) CAN0_STBY(ALT7) FEMC_DQ_12(ALT12) XPI1_CA_SCLK(ALT14) PWM2_P_4(ALT16)	-	VIO_B05	高速

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

封装		PIN 名称	数字功能	模拟功能	IO 电源	速度
BGA_289	BGA_196					
C16	A13	PD11	GPIO_D_11(ALT0) UART8_CTS(ALT3) CAN0_RXD(ALT7) XPI1_CA_D_3(ALT14) PWM3_FAULT_1(ALT16) ETH1_MDC(ALT19)	-	VIO_B05	高速
B16	E14	PD12	GPIO_D_12(ALT0) UART7_CTS(ALT3) I2C3_SDA(ALT4) CAN3_STBY(ALT7) FEMC_DQ_15(ALT12) XPI1_CA_D_1(ALT14) PWM2_P_7(ALT16) ETH0_MDC(ALT19)	-	VIO_B05	高速
A16	D14	PD13	GPIO_D_13(ALT0) UART7_DE(ALT2) UART7_RTS(ALT3) I2C3_SCL(ALT4) CAN1_STBY(ALT7) FEMC_DQ_14(ALT12) XPI1_CA_CS0(ALT14) PWM2_P_6(ALT16)	-	VIO_B05	高速
C17	C14	PD14	GPIO_D_14(ALT0) UART8_DE(ALT2) UART8_RTS(ALT3) CAN0_TXD(ALT7) XPI1_CA_D_2(ALT14) PWM3_FAULT_0(ALT16) ETH1_MDIO(ALT19)	-	VIO_B05	高速
B17	B14	PD15	GPIO_D_15(ALT0) UART8_DE(ALT2) XPI1_CA_D_0(ALT14) PWM2_FAULT_1(ALT16) ETH0_MDIO(ALT19)	-	VIO_B05	高速

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

封装		PIN 名称	数字功能	模拟功能	IO 电源	速度
BGA_289	BGA_196					
D15	-	PD16	GPIO_D_16(ALT0) UART9_DE(ALT2) UART9_RTS(ALT3) CAN1_TXD(ALT7) TRGM2_P_06(ALT16) SDC1_DATA_4(ALT17) ETH1_TXD_1(ALT18)	-	VIO_B06	高速
D16	-	PD17	GPIO_D_17(ALT0) UART11_CTS(ALT3) CAN3_RXD(ALT7) TRGM3_P_03(ALT16) SDC1_DATA_1(ALT17) ETH1_RXD_3(ALT18)	-	VIO_B06	高速
D17	-	PD18	GPIO_D_18(ALT0) UART11_DE(ALT2) UART11_RTS(ALT3) CAN3_TXD(ALT7) TRGM3_P_00(ALT16) SDC1_DATA_0(ALT17) ETH1_RXD_0(ALT18)	-	VIO_B06	高速
E14	-	PD19	GPIO_D_19(ALT0) UART9_CTS(ALT3) SPI0_DAT2(ALT5) CAN1_RXD(ALT7) TRGM2_P_09(ALT16) SDC1_DATA_6(ALT17) ETH1_TXEN(ALT18)	-	VIO_B06	高速
E15	-	PD20	GPIO_D_20(ALT0) UART10_DE(ALT2) UART10_RTS(ALT3) CAN2_TXD(ALT7) TRGM2_P_07(ALT16) SDC1_DS(ALT17) ETH1_TXCK(ALT18)	-	VIO_B06	高速

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

封装		PIN 名称	数字功能	模拟功能	IO 电源	速度
BGA_289	BGA_196					
E16	-	PD21	GPIO_D_21(ALT0) UART8_RXD(ALT2) SPI0_MOSI(ALT5) TRGM3_P_04(ALT16) SDC1_CMD(ALT17) ETH1_RXDV(ALT18)	-	VIO_B06	高速
E17	-	PD22	GPIO_D_22(ALT0) UART8_TXD(ALT2) SPI0_CSN(ALT5) TRGM3_P_01(ALT16) SDC1_CLK(ALT17) ETH1_RXCK(ALT18)	-	VIO_B06	高速
F13	-	PD23	GPIO_D_23(ALT0) UART10_RXD(ALT2) TRGM2_P_11(ALT16) SDC1_RSTN(ALT17) ETH1_TXD_3(ALT18)	-	VIO_B06	高速
F14	-	PD24	GPIO_D_24(ALT0) UART10_TXD(ALT2) SPI0_DAT3(ALT5) TRGM2_P_10(ALT16) SDC1_DATA_7(ALT17) ETH1_TXD_2(ALT18)	-	VIO_B06	高速
F15	-	PD25	GPIO_D_25(ALT0) UART10_CTS(ALT3) CAN2_RXD(ALT7) TRGM2_P_08(ALT16) SDC1_DATA_5(ALT17) ETH1_TXD_0(ALT18)	-	VIO_B06	高速
F16	-	PD26	GPIO_D_26(ALT0) UART9_RXD(ALT2) SPI0_MISO(ALT5) TRGM3_P_05(ALT16) SDC1_DATA_3(ALT17) ETH1_RXD_2(ALT18)	-	VIO_B06	高速

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

封装		PIN 名称	数字功能	模拟功能	IO 电源	速度
BGA_289	BGA_196					
F17	-	PD27	GPIO_D_27(ALT0) UART9_TXD(ALT2) SPI0_SCLK(ALT5) TRGM3_P_02(ALT16) SDC1_DATA_2(ALT17) ETH1_RXD_1(ALT18)	-	VIO_B06	高速
G13	E11	PD28	GPIO_D_28(ALT0) UART11_RXD(ALT2) XPI0_CA_CS1(ALT14) PWM2_P_5(ALT16) SDC1_CDN(ALT17) ETH0_TXD_2(ALT18)	-	VIO_B07	高速
G14	E12	PD29	GPIO_D_29(ALT0) UART11_TXD(ALT2) XPI0_CB_DQS(ALT14) PWM2_P_4(ALT16) SDC1_VSEL(ALT17) ETH0_TXD_1(ALT18)	-	VIO_B07	高速
G16	E13	PD30	GPIO_D_30(ALT0) UART14_RXD(ALT2) SPI1_MISO(ALT5) CAN0_RXD(ALT7) XPI0_CB_D_2(ALT14) PWM2_P_1(ALT16) ETH0_RXDV(ALT18)	-	VIO_B07	高速
G17	F11	PD31	GPIO_D_31(ALT0) UART14_TXD(ALT2) SPI1_SCLK(ALT5) CAN0_TXD(ALT7) XPI0_CB_D_0(ALT14) PWM2_P_0(ALT16) ETH0_RXD_0(ALT18)	-	VIO_B07	高速
H13	F13	PE00	GPIO_E_00(ALT0) UART12_RXD(ALT2) XPI0_CA_DQS(ALT14) PWM2_P_6(ALT16) SDC1_WP(ALT17) ETH0_TXEN(ALT18)	-	VIO_B07	高速

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

封装		PIN 名称	数字功能	模拟功能	IO 电源	速度
BGA_289	BGA_196					
H14	F14	PE01	GPIO_E_01(ALT0) UART12_TXD(ALT2) XPI0_CB_CS1(ALT14) PWM2_P_7(ALT16) SDC0_CDN(ALT17) ETH0_TXCK(ALT18)	-	VIO_B07	高速
H15	G11	PE02	GPIO_E_02(ALT0) UART13_TXD(ALT2) SPI1_DAT2(ALT5) XPI0_CB_CS0(ALT14) PWM3_P_0(ALT16) ETH0_RXD_2(ALT18)	-	VIO_B07	高速
H16	G12	PE03	GPIO_E_03(ALT0) UART15_RXD(ALT2) SPI1_CSN(ALT5) CAN1_RXD(ALT7) XPI0_CB_D_3(ALT14) PWM2_P_3(ALT16) ETH0_RXCK(ALT18)	-	VIO_B07	高速
H17	G13	PE04	GPIO_E_04(ALT0) UART15_TXD(ALT2) SPI1_MOSI(ALT5) CAN1_TXD(ALT7) XPI0_CB_D_1(ALT14) PWM2_P_2(ALT16) ETH0_RXD_1(ALT18)	-	VIO_B07	高速
J13	G14	PE05	GPIO_E_05(ALT0) UART13_CTS(ALT3) CAN3_RXD(ALT7) PWM3_P_4(ALT16) SDC0_WP(ALT17) ETH0_TXD_3(ALT18)	-	VIO_B07	高速
J14	H11	PE06	GPIO_E_06(ALT0) UART13_DE(ALT2) UART13_RTS(ALT3) CAN3_TXD(ALT7) PWM3_P_2(ALT16) SDC0_VSEL(ALT17) ETH0_TXD_0(ALT18)	-	VIO_B07	高速

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

封装		PIN 名称	数字功能	模拟功能	IO 电源	速度
BGA_289	BGA_196					
J15	H12	PE07	GPIO_E_07(ALT0) UART13_RXD(ALT2) SPI1_DAT3(ALT5) XPI0_CB_SCLK(ALT14) PWM3_P_1(ALT16) ETH0_RXD_3(ALT18)	-	VIO_B07	高速
J16	-	PE08	GPIO_E_08(ALT0) UART12_CTS(ALT3) CAN2_RXD(ALT7) XPI0_CA_CS0(ALT14) SDC0_DATA_1(ALT17) ETH0_MDC(ALT19)	-	VIO_B08	高速
J17	-	PE09	GPIO_E_09(ALT0) UART12_DE(ALT2) UART12_RTS(ALT3) CAN2_TXD(ALT7) XPI0_CA_SCLK(ALT14) SDC0_DATA_0(ALT17) ETH0_MDIO(ALT19)	-	VIO_B08	高速
K16	-	PE10	GPIO_E_10(ALT0) UART15_CTS(ALT3) I2C1_SDA(ALT4) CAN0_STBY(ALT7) XPI0_CA_D_2(ALT14) SDC0_CMD(ALT17) ETH1_MDC(ALT19)	-	VIO_B08	高速
K17	-	PE11	GPIO_E_11(ALT0) UART15_DE(ALT2) UART15_RTS(ALT3) I2C1_SCL(ALT4) CAN1_STBY(ALT7) XPI0_CA_D_0(ALT14) SDC0_CLK(ALT17) ETH1_MDIO(ALT19)	-	VIO_B08	高速

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

封装		PIN 名称	数字功能	模拟功能	IO 电源	速度
BGA_289	BGA_196					
L16	-	PE12	GPIO_E_12(ALT0) UART0_RXD(ALT2) I2C2_SDA(ALT4) CAN2_STBY(ALT7) XPI0_CA_D_3(ALT14) SDC0_DATA_3(ALT17)	-	VIO_B08	高速
L17	-	PE13	GPIO_E_13(ALT0) UART0_TXD(ALT2) I2C2_SCL(ALT4) CAN3_STBY(ALT7) XPI0_CA_D_1(ALT14) SDC0_DATA_2(ALT17)	-	VIO_B08	高速
K13	H13	PE14	GPIO_E_14(ALT0) GPTMR3_CAPT_0(ALT1) UART14_CTS(ALT3) I2C0_SDA(ALT4) I2S0_TXD_2(ALT8) PWM3_P_5(ALT16) SDC1_WP(ALT17) ETH1_TXEN(ALT18)	ADC0_VINP0 ADC1_VINP0 ADC2_VINP0	VIO_B10	普通
K14	H14	PE15	GPIO_E_15(ALT0) UART14_DE(ALT2) UART14_RTS(ALT3) I2C0_SCL(ALT4) I2S0_TXD_1(ALT8) SDC1_CDN(ALT17) ETH1_RXDV(ALT18) ETH0_EVTO_0(ALT19)	ADC0_VINP1 ADC1_VINP1 ADC2_VINP1	VIO_B10	普通
K15	J11	PE16	GPIO_E_16(ALT0) GPTMR2_COMP_1(ALT1) UART2_TXD(ALT2) I2S0_MCLK(ALT8) PWM3_P_3(ALT16) SDC1_VSEL(ALT17) ETH1_REFCLK(ALT18)	ADC0_VINP2 ADC1_VINP2 ADC2_VINP2	VIO_B10	普通

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

封装		PIN 名称	数字功能	模拟功能	IO 电源	速度
BGA_289	BGA_196					
L13	J13	PE17	GPIO_E_17(ALT0) GPTMR3_CAPT_1(ALT1) UART3_RXD(ALT2) I2S0_TXD_3(ALT8) PWM3_P_6(ALT16) SDC0_WP(ALT17) ETH1_TXD_1(ALT18) ETH0_EVTO_2(ALT19)	ADC0_VINP3 ADC1_VINP3 ADC2_VINP3	VIO_B10	普通
L14	J14	PE18	GPIO_E_18(ALT0) GPTMR2_COMP_0(ALT1) UART3_TXD(ALT2) I2S0_FCLK(ALT8) PWM3_P_7(ALT16) SDC0_CDN(ALT17) ETH1_RXD_1(ALT18) ETH0_EVTO_1(ALT19)	ADC0_VINP4 ADC1_VINP4 ADC2_VINP4	VIO_B10	普通
M13	K11	PE19	GPIO_E_19(ALT0) GPTMR3_COMP_0(ALT1) UART4_RXD(ALT2) I2S0_RXD_3(ALT8) ACMP_COMP_3(ALT16) ETH1_TXD_0(ALT18) ETH0_EVTI_2(ALT19)	ADC0_VINP5 ADC1_VINP5 ADC2_VINP5 ADC3_INA0	VIO_B10	普通
M14	K12	PE20	GPIO_E_20(ALT0) UART4_TXD(ALT2) I2S0_BCLK(ALT8) ACMP_COMP_0(ALT16) SDC0_VSEL(ALT17) ETH1_RXD_0(ALT18) ETH0_EVTI_0(ALT19)	ADC0_VINP6 ADC1_VINP6 ADC2_VINP6 ACMP_CMP1_INN7 ACMP_CMP0_INN7	VIO_B10	普通
M15	K13	PE21	GPIO_E_21(ALT0) GPTMR4_CAPT_0(ALT1) UART2_RXD(ALT2) I2S0_TXD_0(ALT8) PDM0_D_3(ALT10) SDC0_DATA_1(ALT17) ETH0_RXDV(ALT18)	ADC0_VINP7 ADC1_VINP7 ADC2_VINP7 ACMP_CMP1_INN6 ACMP_CMP0_INN6	VIO_B10	普通

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

封装		PIN 名称	数字功能	模拟功能	IO 电源	速度
BGA_289	BGA_196					
M16	K14	PE22	GPIO_E_22(ALT0) GPTMR4_COMP_0(ALT1) UART1_RXD(ALT2) I2C3_SDA(ALT4) PDM0_D_1(ALT10) SDC0_CMD(ALT17) ETH0_RXD_1(ALT18) ETH0_MDC(ALT19)	ADC0_VINP8 ADC1_VINP8 ADC2_VINP8 ACMP_CMP1_INN5 ACMP_CMP0_INN5	VIO_B10	普通
M17	L11	PE23	GPIO_E_23(ALT0) GPTMR2_CAPT_0(ALT1) UART1_TXD(ALT2) I2C3_SCL(ALT4) PDM0_CLK(ALT10) SDC0_DATA_3(ALT17) ETH0_RXD_0(ALT18) ETH0_MDIO(ALT19)	ADC0_VINP9 ADC1_VINP9 ADC2_VINP9 ACMP_CMP1_INP7 ACMP_CMP0_INN4	VIO_B10	普通
N13	L12	PE24	GPIO_E_24(ALT0) GPTMR3_COMP_1(ALT1) UART5_RXD(ALT2) I2S0_RXD_2(ALT8) ACMP_COMP_2(ALT16) SOC_REF1(ALT24)	ADC0_VINP10 ADC1_VINP10 ADC2_VINP10 ACMP_CMP1_INP6 ACMP_CMP0_INN3	VIO_B10	普通
N14	L13	PE25	GPIO_E_25(ALT0) GPTMR4_CAPT_1(ALT1) UART5_TXD(ALT2) I2S0_RXD_1(ALT8) ACMP_COMP_1(ALT16) ETH0_EVTI_1(ALT19)	ADC0_VINP11 ADC1_VINP11 ADC2_VINP11 ACMP_CMP1_INP5 ACMP_CMP0_INN2	VIO_B10	普通
N15	L14	PE26	GPIO_E_26(ALT0) UART1_DE(ALT2) UART1_RTS(ALT3) SPI2_DAT3(ALT5) CAN3_TXD(ALT7) I2S0_RXD_0(ALT8) SDC0_DATA_0(ALT17) ETH0_TXEN(ALT18)	ADC0_VINP12 ACMP_CMP2_INP7 ACMP_CMP0_INP7	VIO_B10	普通

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

封装		PIN 名称	数字功能	模拟功能	IO 电源	速度
BGA_289	BGA_196					
N16	M13	PE27	GPIO_E_27(ALT0) GPTMR4_COMP_1(ALT1) UART6_RXD(ALT2) SPI2_SCLK(ALT5) CAN0_RXD(ALT7) SDC0_CLK(ALT17) ETH0_TXD_1(ALT18) ETH1_MDC(ALT19)	ADC0_VINP13 ADC3_INA1 ACMP_CMP2_INP6 ACMP_CMP0_INP6	VIO_B10	普通
N17	M14	PE28	GPIO_E_28(ALT0) GPTMR2_CAPT_1(ALT1) UART6_TXD(ALT2) SPI2_MISO(ALT5) CAN0_TXD(ALT7) SDC0_DATA_2(ALT17) ETH0_TXD_0(ALT18) ETH1_MDIO(ALT19)	ADC0_VINP14 ACMP_CMP2_INP5 ACMP_CMP0_INP5	VIO_B10	普通
P15	N13	PE29	GPIO_E_29(ALT0) UART1_CTS(ALT3) SPI2_DAT2(ALT5) CAN3_RXD(ALT7) PDM0_D_2(ALT10) USB0_OC(ALT24)	ADC0_VINP15 ADC3_INA2 ACMP_CMP3_INN7 ACMP_CMP2_INN7 ACMP_CMP1_INP4 ACMP_CMP0_INP4	VIO_B10	普通
P16	N14	PE30	GPIO_E_30(ALT0) UART7_RXD(ALT2) SPI2_MOSI(ALT5) CAN1_RXD(ALT7) PDM0_D_0(ALT10) USB1_OC(ALT24)	ADC0_VINP16 ADC1_VINP12 ACMP_CMP3_INN6 ACMP_CMP2_INN6 ACMP_CMP1_INP3 ACMP_CMP0_INP3	VIO_B10	普通
P17	P13	PE31	GPIO_E_31(ALT0) UART7_TXD(ALT2) SPI2_CSN(ALT5) CAN1_TXD(ALT7) PDM0_CLK(ALT10) ETH0_REFCLK(ALT18)	ADC0_VINN16 ADC1_VINP13 ACMP_CMP3_INN5 ACMP_CMP2_INN5 ACMP_CMP1_INP2 ACMP_CMP0_INP2	VIO_B10	普通

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

封装		PIN 名称	数字功能	模拟功能	IO 电源	速度
BGA_289	BGA_196					
R17	-	PF00	GPIO_F_00(ALT0) UART0_DE(ALT2) UART0_RTS(ALT3) CAN2_TXD(ALT7) I2S0_TXD_3(ALT9) PDM0_D_1(ALT10) ETH0_EVTI_0(ALT19)	ADC0_VINP17 ADC1_VINP14 ACMP_CMP3_INN4 ACMP_CMP1_INN4	VIO_B11	普通
T17	-	PF01	GPIO_F_01(ALT0) UART3_DE(ALT2) UART3_RTS(ALT3) I2C1_SCL(ALT4) I2S0_RXD_3(ALT9) PDM0_D_0(ALT10) ETH0_EVTI_1(ALT19)	ADC0_VINN17 ADC1_VINP15 ACMP_CMP3_INN3 ACMP_CMP1_INN3	VIO_B11	普通
R16	-	PF02	GPIO_F_02(ALT0) UART0_CTS(ALT3) CAN2_RXD(ALT7) I2S0_RXD_2(ALT9) PDM0_D_3(ALT10) ETH0_EVTI_2(ALT19)	ADC1_VINP16 ADC2_VINP12 ACMP_CMP3_INN2 ACMP_CMP1_INN2	VIO_B11	普通
T16	-	PF03	GPIO_F_03(ALT0) UART3_CTS(ALT3) I2C1_SDA(ALT4) SPI3_CSN(ALT5) I2S0_MCLK(ALT9) PDM0_D_2(ALT10)	ADC1_VINN16 ADC2_VINP13 ADC3_INA3 ACMP_CMP3_INP7 ACMP_CMP2_INN4	VIO_B11	普通
U16	-	PF04	GPIO_F_04(ALT0) GPTMR5_COMP_0(ALT1) SPI3_SCLK(ALT5) I2S0_TXD_2(ALT9) PDM0_CLK(ALT10)	ADC1_VINP17 ADC2_VINP14 ACMP_CMP3_INP6 ACMP_CMP2_INN3	VIO_B11	普通
R15	-	PF05	GPIO_F_05(ALT0) UART2_DE(ALT2) UART2_RTS(ALT3) I2C0_SCL(ALT4) I2S0_RXD_1(ALT9) ETH0_EVTO_0(ALT19) USB1_OC(ALT24)	ADC1_VINN17 ADC2_VINP15 ADC3_INA4 ACMP_CMP3_INP5 ACMP_CMP2_INN2	VIO_B11	普通

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

封装		PIN 名称	数字功能	模拟功能	IO 电源	速度
BGA_289	BGA_196					
T15	-	PF06	GPIO_F_06(ALT0) GPTMR5_CAPT_1(ALT1) UART8_RXD(ALT2) I2C2_SDA(ALT4) SPI3_MISO(ALT5) I2S0_BCLK(ALT9) ETH0_EVTO_1(ALT19) USB1_PWR(ALT24)	ADC2_VINP16 ACMP_CMP3_INP4 ACMP_CMP2_INP4	VIO_B11	普通
U15	-	PF07	GPIO_F_07(ALT0) UART8_TXD(ALT2) I2C2_SCL(ALT4) SPI3_MOSI(ALT5) I2S0_TXD_1(ALT9) PDM0_CLK(ALT10) USB1_ID(ALT24)	ADC2_VINN16 ADC3_INA5 ACMP_CMP3_INP3 ACMP_CMP2_INP3	VIO_B11	普通
R14	-	PF08	GPIO_F_08(ALT0) GPTMR5_CAPT_0(ALT1) UART2_CTS(ALT3) I2C0_SDA(ALT4) I2S0_RXD_0(ALT9) USB0_OC(ALT24)	ADC2_VINP17 ACMP_CMP3_INP2 ACMP_CMP2_INP2	VIO_B11	普通
T14	-	PF09	GPIO_F_09(ALT0) GPTMR5_COMP_1(ALT1) UART9_RXD(ALT2) I2C3_SDA(ALT4) SPI3_DAT3(ALT5) I2S0_FCLK(ALT9) ETH0_EVTO_2(ALT19) USB0_PWR(ALT24)	ADC2_VINN17 ADC3_INA6 ACMP_CMP3_INN1 ACMP_CMP2_INN1 ACMP_CMP1_INN1 ACMP_CMP0_INN1	VIO_B11	普通
U14	-	PF10	GPIO_F_10(ALT0) UART9_TXD(ALT2) I2C3_SCL(ALT4) SPI3_DAT2(ALT5) I2S0_TXD_0(ALT9) USB0_ID(ALT24)	ADC3_INA7 ACMP_CMP3_INP1 ACMP_CMP2_INP1 ACMP_CMP1_INP1 ACMP_CMP0_INP1	VIO_B11	普通

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

封装		PIN 名称	数字功能	模拟功能	IO 电源	速度
BGA_289	BGA_196					
U6	P5	PY00	GPIO_Y_00(ALT0) UART4_DE(ALT2) UART4_RTS(ALT3) I2C2_SCL(ALT4) SPI3_MOSI(ALT5) I2S1_TXD_1(ALT8)	-	VPMC	普通
T6	N5	PY01	GPIO_Y_01(ALT0) UART4_CTS(ALT3) I2C2_SDA(ALT4) SPI3_MISO(ALT5) I2S1_FCLK(ALT8)	-	VPMC	普通
R6	M5	PY02	GPIO_Y_02(ALT0) UART6_DE(ALT2) UART6_RTS(ALT3) SPI3_SCLK(ALT5) CAN0_TXD(ALT7) I2S1_MCLK(ALT8)	-	VPMC	普通
R5	M4	PY03	GPIO_Y_03(ALT0) UART6_CTS(ALT3) SPI3_CSN(ALT5) CAN0_RXD(ALT7)	-	VPMC	普通
P6	L5	PY04	GPIO_Y_04(ALT0) GPTMR6_COMP_1(ALT1) UART5_DE(ALT2) UART5_RTS(ALT3) I2C3_SCL(ALT4) SPI1_MOSI(ALT5) CAN2_STBY(ALT7) DAOL_P(ALT10) ACMP_COMP_1(ALT16)	-	VPMC	普通
N6	L4	PY05	GPIO_Y_05(ALT0) GPTMR6_CAPT_1(ALT1) UART5_CTS(ALT3) I2C3_SDA(ALT4) SPI1_CSN(ALT5) CAN0_STBY(ALT7) DAOL_N(ALT10) ACMP_COMP_0(ALT16)	-	VPMC	普通

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

封装		PIN 名称	数字功能	模拟功能	IO 电源	速度
BGA_289	BGA_196					
U5	P4	PY06	GPIO_Y_06(ALT0) UART0_TXD(ALT2) CAN1_TXD(ALT7) I2S1_TXD_0(ALT8)	-	VPMC	普通
T5	N4	PY07	GPIO_Y_07(ALT0) UART0_RXD(ALT2) CAN1_RXD(ALT7) I2S1_BCLK(ALT8)	-	VPMC	普通
P5	-	PY08	GPIO_Y_08(ALT0) GPTMR6_COMP_0(ALT1) UART2_TXD(ALT2) SPI1_SCLK(ALT5) DAOR_P(ALT10) ACMP_COMP_2(ALT16)	-	VPMC	普通
N5	-	PY09	GPIO_Y_09(ALT0) GPTMR6_CAPT_0(ALT1) UART2_RXD(ALT2) SPI1_MISO(ALT5) DAOR_N(ALT10) ACMP_COMP_3(ALT16)	-	VPMC	普通
U4	-	PY10	GPIO_Y_10(ALT0) UART7_DE(ALT2) UART7_RTS(ALT3) CAN2_TXD(ALT7) I2S1_RXD_1(ALT8) PDM0_CLK(ALT10)	-	VPMC	普通
T4	-	PY11	GPIO_Y_11(ALT0) UART7_CTS(ALT3) CAN2_RXD(ALT7) I2S1_RXD_0(ALT8) PDM0_D_0(ALT10)	-	VPMC	普通
R10	P8	PZ00	GPIO_Z_00(ALT0) UART15_TXD(ALT2) I2C1_SCL(ALT4)	-	VBAT	普通
R9	N8	PZ01	GPIO_Z_01(ALT0) UART15_RXD(ALT2) I2C1_SDA(ALT4)	-	VBAT	普通

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

封装		PIN 名称	数字功能	模拟功能	IO 电源	速度
BGA_289	BGA_196					
N11	M9	PZ02	GPIO_Z_02(ALT0) UART10_RXD(ALT2) SPI0_CSN(ALT5) PDM0_D_1(ALT10)	-	VBAT	普通
P11	L8	PZ03	GPIO_Z_03(ALT0) UART10_TXD(ALT2) SPI0_SCLK(ALT5) PDM0_D_0(ALT10)	-	VBAT	普通
N10	M8	PZ04	GPIO_Z_04(ALT0) GPTMR7_CAPT_0(ALT1) UART11_RXD(ALT2) SPI0_MOSI(ALT5) I2S0_FCLK(ALT8) PDM0_D_3(ALT10)	-	VBAT	普通
P10	M6	PZ05	GPIO_Z_05(ALT0) UART11_TXD(ALT2) SPI0_MISO(ALT5) PDM0_D_2(ALT10)	-	VBAT	普通
N9	L7	PZ06	GPIO_Z_06(ALT0) GPTMR7_COMP_1(ALT1) UART12_RXD(ALT2) I2S0_BCLK(ALT8) PDM0_CLK(ALT10)	-	VBAT	普通
P9	L6	PZ07	GPIO_Z_07(ALT0) UART12_TXD(ALT2) I2S0_TXD_0(ALT8) PDM0_CLK(ALT10)	-	VBAT	普通
N8	-	PZ08	GPIO_Z_08(ALT0) GPTMR7_COMP_0(ALT1) UART13_RXD(ALT2) I2S0_RXD_0(ALT8) ACMP_COMP_0(ALT16)	-	VBAT	普通
P8	-	PZ09	GPIO_Z_09(ALT0) UART13_TXD(ALT2) I2S0_MCLK(ALT8) ACMP_COMP_1(ALT16)	-	VBAT	普通

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

封装		PIN 名称	数字功能	模拟功能	IO 电源	速度
BGA_289	BGA_196					
N7	-	PZ10	GPIO_Z_10(ALT0) GPTMR7_CAPT_1(ALT1) UART14_RXD(ALT2) I2C0_SDA(ALT4) CAN1_STBY(ALT7) ACMP_COMP_3(ALT16)	-	VBAT	普通
P7	-	PZ11	GPIO_Z_11(ALT0) UART14_TXD(ALT2) I2C0_SCL(ALT4) CAN3_STBY(ALT7) ACMP_COMP_2(ALT16)	-	VBAT	普通
T10	P9	XTAL_IN	-	-	XTAL	XTAL_IN
U10	N9	XTAL_OUT	-	-	XTAL	XTAL_OUT
A1,U1,G3,L3,D4,P4,C7,G7,H7,J7,K7,L7,R7,G8,L8,R8,G9,L9,G10,L10,C11,G11,H11,J11,K11,L11,R11,T11,U11,D14,P14,G15,L15,A17,U17	A1,P1,F3,J3,C6,F6,G6,H6,J6,F7,J7,M7,F8,J8,K8,C9,F9,G9,H9,J9,M10,F12,J12,M12,A14,P14	VSS	-	-	-	-

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

封装		PIN 名称	数字功能	模拟功能	IO 电源	速度
BGA_289	BGA_196					
R1,R2	M1,M2	DCDC_GND	-	-	-	-
T1,T2	N1,N2	DCDC_LP	-	-	-	-
U2,U3	P2,P3	DCDC_IN	-	-	-	-
R3	N3	DCDC_SNS	-	-	-	-
T3	-	DCDC_PSW	-	-	-	-
R4,T7,U7	N7,P7	VPMC	-	-	-	-
F6,F7	-	VIO_B03	-	-	-	-
G6,H6	F5,G5	VIO_B02	-	-	-	-
J6,K6	H5,J5	VIO_B01	-	-	-	-
L6,M6	-	VIO_B00	-	-	-	-
M7	K5	VDD_OTPCAP	-	-	-	-
F8,F9	E5,E6	VIO_B04	-	-	-	-
H8,J8,K8,H9,J9,K9,H10,J10	G7,H7,G8	VDD_SOC	-	-	-	-
M8	K6	VDD_BATCAP	-	-	-	-
T8	N6	RTC_XTAL_OUT	-	-	-	-
U8	P6	RTC_XTAL_IN	-	-	-	-
M9	K7	VDD_PMCCAP	-	-	-	-
T9,U9	N10,P10	VBAT	-	-	-	-
F10,F11	E7,E8	VIO_B05	-	-	-	-
K10	H8	VDD_USB	-	-	-	-
M10	K9	VUSB	-	-	-	-
M11	-	VIO_B11	-	-	-	-
F12,G12	-	VIO_B06	-	-	-	-

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

封装		PIN 名称	数字功能	模拟功能	IO 电源	速度
BGA_289	BGA_196					
H12,J12	E9,E10	VIO_B07	-	-	-	-
K12	-	VIO_B08	-	-	-	-
L12	F10	VIO_B09	-	-	-	-
M12	G10, H10	VIO_B10	-	-	-	-
N12	J10	VANA	-	-	-	-
P12	K10	VREFH	-	-	-	-
R12	L9	USB0_VBUS	-	-	-	-
T12	N11	USB0_DN	-	-	-	-
U12	P11	USB0_DP	-	-	-	-
P13	L10	VREFL	-	-	-	-
R13	M11	USB1_VBUS	-	-	-	-
T13	N12	USB1_DN	-	-	-	-
U13	P12	USB1_DP	-	-	-	-

表 94: SOC IOMUX

注: 高速 IO 相对于普通 IO 具有更低的延迟, 可以更好的满足高速信号的时序要求.

20.2 电源管理域 IO 功能分配

本产品电源管理域 IO 引脚配置及功能如下：

封装		PIN 名称	数字功能	IO 电源	速度
BGA_289	BGA_196				
U6	P5	PY00	PGPIO_Y_00(ALT0) JTAG_TDO(ALT1) PTMR_COMP_0(ALT2) SOC_PY_00(ALT3)	VPMC	普通
T6	N5	PY01	PGPIO_Y_01(ALT0) JTAG_TDI(ALT1) PTMR_COMP_1(ALT2) SOC_PY_01(ALT3)	VPMC	普通
R6	M5	PY02	PGPIO_Y_02(ALT0) JTAG_TCK(ALT1) PTMR_COMP_2(ALT2) SOC_PY_02(ALT3)	VPMC	普通

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

封装		PIN 名称	数字功能	IO 电源	速度
BGA_289	BGA_196				
R5	M4	PY03	PGPIO_Y_03(ALT0) JTAG_TMS(ALT1) PTMR_COMP_3(ALT2) SOC_PY_03(ALT3)	VPMC	普通
P6	L5	PY04	PGPIO_Y_04(ALT0) JTAG_TRST(ALT1) PTMR_COMP_0(ALT2) SOC_PY_04(ALT3)	VPMC	普通
N6	L4	PY05	PGPIO_Y_05(ALT0) PWDG_RST(ALT1) PTMR_CAPT_0(ALT2) SOC_PY_05(ALT3)	VPMC	普通
U5	P4	PY06	PGPIO_Y_06(ALT0) PUART_TXD(ALT1) PTMR_COMP_1(ALT2) SOC_PY_06(ALT3)	VPMC	普通
T5	N4	PY07	PGPIO_Y_07(ALT0) PUART_RXD(ALT1) PTMR_CAPT_1(ALT2) SOC_PY_07(ALT3)	VPMC	普通
P5	-	PY08	PGPIO_Y_08(ALT0) PUART_RTS(ALT1) PTMR_COMP_2(ALT2) SOC_PY_08(ALT3)	VPMC	普通
N5	-	PY09	PGPIO_Y_09(ALT0) PUART_CTS(ALT1) PTMR_CAPT_2(ALT2) SOC_PY_09(ALT3)	VPMC	普通
U4	-	PY10	PGPIO_Y_10(ALT0) VAD_CLK(ALT1) PTMR_COMP_3(ALT2) SOC_PY_10(ALT3)	VPMC	普通
T4	-	PY11	PGPIO_Y_11(ALT0) VAD_DAT(ALT1) PTMR_CAPT_3(ALT2) SOC_PY_11(ALT3)	VPMC	普通

表 95: PMIC IOMUX

注: 高速 IO 相对于普通 IO 具有更低的延迟, 可以更好的满足高速信号的时序要求.

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

20.3 电池备份域 IO 功能分配

本产品电池备份域 IO 引脚配置及功能如下：

封装		PIN 名称	数字功能	IO 电源	速度
BGA_289	BGA_196				
R10	P8	PZ00	BGPIO_Z_00(ALT0) PWR_ON(ALT1) TAMP_00(ALT2) SOC_PZ_00(ALT3)	VBAT	普通
R9	N8	PZ01	BGPIO_Z_01(ALT0) RESETN(ALT1) TAMP_01(ALT2) SOC_PZ_01(ALT3)	VBAT	普通
N11	M9	PZ02	BGPIO_Z_02(ALT0) PBUTN(ALT1) TAMP_02(ALT2) SOC_PZ_02(ALT3)	VBAT	普通
P11	L8	PZ03	BGPIO_Z_03(ALT0) WBUTN(ALT1) TAMP_03(ALT2) SOC_PZ_03(ALT3)	VBAT	普通
N10	M8	PZ04	BGPIO_Z_04(ALT0) PLED(ALT1) TAMP_04(ALT2) SOC_PZ_04(ALT3)	VBAT	普通
P10	M6	PZ05	BGPIO_Z_05(ALT0) WLED(ALT1) TAMP_05(ALT2) SOC_PZ_05(ALT3)	VBAT	普通
N9	L7	PZ06	BGPIO_Z_06(ALT0) TAMP_06(ALT2) SOC_PZ_06(ALT3)	VBAT	普通
P9	L6	PZ07	BGPIO_Z_07(ALT0) TAMP_07(ALT2) SOC_PZ_07(ALT3)	VBAT	普通
N8	-	PZ08	BGPIO_Z_08(ALT0) TAMP_08(ALT2) SOC_PZ_08(ALT3)	VBAT	普通
P8	-	PZ09	BGPIO_Z_09(ALT0) TAMP_09(ALT2) SOC_PZ_09(ALT3)	VBAT	普通

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

封装		PIN 名称	数字功能	IO 电源	速度
BGA_289	BGA_196				
N7	-	PZ10	BGPIO_Z_10(ALT0) HIBERNATE(ALT1) TAMP_10(ALT2) SOC_PZ_10(ALT3)	VBAT	普通
P7	-	PZ11	BGPIO_Z_11(ALT0) STANDBY(ALT1) TAMP_11(ALT2) SOC_PZ_11(ALT3)	VBAT	普通

表 96: BATT IOMUX

注: 高速 IO 相对于普通 IO 具有更低的延迟, 可以更好的满足高速信号的时序要求.

20.4 系统电源域外设管脚分配

本产品系统电源域的外设，不同模块的引脚分配总结如下：

ACMP 信号名称	引脚
CMP0_INN7	PE20
CMP0_INN6	PE21
CMP0_INN5	PE22
CMP0_INN4	PE23
CMP0_INN3	PE24
CMP0_INN2	PE25
CMP0_INP7	PE26
CMP0_INP6	PE27
CMP0_INP5	PE28
CMP0_INP4	PE29
CMP0_INP3	PE30
CMP0_INP2	PE31
CMP0_INN1	PF09
CMP0_INP1	PF10
CMP1_INN7	PE20
CMP1_INN6	PE21
CMP1_INN5	PE22
CMP1_INP7	PE23
CMP1_INP6	PE24
CMP1_INP5	PE25
CMP1_INP4	PE29
CMP1_INP3	PE30
CMP1_INP2	PE31

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

ACMP 信号名称	引脚
CMP1_INN4	PF00
CMP1_INN3	PF01
CMP1_INN2	PF02
CMP1_INN1	PF09
CMP1_INP1	PF10
CMP2_INP7	PE26
CMP2_INP6	PE27
CMP2_INP5	PE28
CMP2_INN7	PE29
CMP2_INN6	PE30
CMP2_INN5	PE31
CMP2_INN4	PF03
CMP2_INN3	PF04
CMP2_INN2	PF05
CMP2_INP4	PF06
CMP2_INP3	PF07
CMP2_INP2	PF08
CMP2_INN1	PF09
CMP2_INP1	PF10
CMP3_INN7	PE29
CMP3_INN6	PE30
CMP3_INN5	PE31
CMP3_INN4	PF00
CMP3_INN3	PF01
CMP3_INN2	PF02
CMP3_INP7	PF03
CMP3_INP6	PF04
CMP3_INP5	PF05
CMP3_INP4	PF06
CMP3_INP3	PF07
CMP3_INP2	PF08
CMP3_INN1	PF09
CMP3_INP1	PF10
COMP_0	PE20 PY05 PZ08
COMP_1	PE25 PY04 PZ09
COMP_2	PE24 PY08

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

ACMP 信号名称	引脚
	PZ11
COMP_3	PE19 PY09 PZ10

表 97: ACMP 信号引脚

ADC0 信号名称	引脚
VINN16	PE31
VINN17	PF01
VINP0	PE14
VINP1	PE15
VINP2	PE16
VINP3	PE17
VINP4	PE18
VINP5	PE19
VINP6	PE20
VINP7	PE21
VINP8	PE22
VINP9	PE23
VINP10	PE24
VINP11	PE25
VINP12	PE26
VINP13	PE27
VINP14	PE28
VINP15	PE29
VINP16	PE30
VINP17	PF00

表 98: ADC0 信号引脚

ADC1 信号名称	引脚
VINN16	PF03
VINN17	PF05
VINP0	PE14
VINP1	PE15
VINP2	PE16
VINP3	PE17
VINP4	PE18
VINP5	PE19
VINP6	PE20
VINP7	PE21

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

ADC1 信号名称	引脚
VINP8	PE22
VINP9	PE23
VINP10	PE24
VINP11	PE25
VINP12	PE30
VINP13	PE31
VINP14	PF00
VINP15	PF01
VINP16	PF02
VINP17	PF04

表 99: ADC1 信号引脚

ADC2 信号名称	引脚
VINN16	PF07
VINN17	PF09
VINP0	PE14
VINP1	PE15
VINP2	PE16
VINP3	PE17
VINP4	PE18
VINP5	PE19
VINP6	PE20
VINP7	PE21
VINP8	PE22
VINP9	PE23
VINP10	PE24
VINP11	PE25
VINP12	PF02
VINP13	PF03
VINP14	PF04
VINP15	PF05
VINP16	PF06
VINP17	PF08

表 100: ADC2 信号引脚

ADC3 信号名称	引脚
INA0	PE19
INA1	PE27
INA2	PE29
INA3	PF03

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

ADC3 信号名称	引脚
INA4	PF05
INA5	PF07
INA6	PF09
INA7	PF10

表 101: ADC3 信号引脚

CAM0 信号名称	引脚
D_2	PA07 PA22
D_3	PA03 PA23
D_4	PA08 PA18
D_5	PA09 PA28
D_6	PA00 PA24
D_7	PA04 PA25
D_8	PA01 PA30
D_9	PA02 PA29
HSYNC	PA05 PA13
PIXCLK	PA11 PA12
VSYNC	PA06 PA17
XCLK	PA10 PA16

表 102: CAM0 信号引脚

CAM1 信号名称	引脚
D_2	PB03
D_3	PB08
D_4	PB04
D_5	PB09
D_6	PB05
D_7	PB12

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

CAM1 信号名称	引脚
D_8	PB13
D_9	PB14
HSYNC	PB07
PIXCLK	PB06
VSYNC	PB11
XCLK	PB10

表 103: CAM1 信号引脚

CAN0 信号名称	引脚
RXD	PA16 PB17 PD11 PD30 PE27 PY03
STBY	PA15 PB14 PD10 PE10 PY05
TXD	PA17 PB15 PD14 PD31 PE28 PY02

表 104: CAN0 信号引脚

CAN1 信号名称	引脚
RXD	PA19 PB18 PD19 PE03 PE30 PY07
STBY	PA14 PB13 PD13 PE11 PZ10

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

CAN1 信号名称	引脚
TXD	PA20 PB19 PD16 PE04 PE31 PY06

表 105: CAN1 信号引脚

CAN2 信号名称	引脚
RXD	PA24 PB08 PD25 PE08 PF02 PY11
STBY	PA11 PB11 PD09 PE12 PY04
TXD	PA25 PB09 PD20 PE09 PF00 PY10

表 106: CAN2 信号引脚

CAN3 信号名称	引脚
RXD	PA01 PA29 PB20 PD17 PE05 PE29
STBY	PA10 PB10 PD12 PE13 PZ11
TXD	PA02

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

CAN3 信号名称	引脚
	PA30 PB12 PD18 PE06 PE26

表 107: CAN3 信号引脚

DAOL 信号名称	引脚
N	PA10 PA26 PB18 PY05
P	PA05 PA21 PB17 PY04

表 108: DAOL 信号引脚

DAOR 信号名称	引脚
N	PA11 PA27 PB16 PY09
P	PA06 PA22 PB15 PY08

表 109: DAOR 信号引脚

DIS0 信号名称	引脚
B_0	PB05
B_1	PB07
B_2	PB02
B_3	PA16
B_4	PA12
B_5	PA17
B_6	PA13
B_7	PA18
CLK	PA20

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

DIS0 信号名称	引脚
EN	PA15
G_0	PB06
G_1	PB01
G_2	PA22
G_3	PA23
G_4	PA29
G_5	PA24
G_6	PA30
G_7	PA25
HSYNC	PA19
R_0	PB03
R_1	PB04
R_2	PB00
R_3	PA31
R_4	PA26
R_5	PA21
R_6	PA27
R_7	PA28
VSYNC	PA14

表 110: DIS0 信号引脚

ETH0 信号名称	引脚
EVTI_0	PE20 PF00
EVTI_1	PE25 PF01
EVTI_2	PE19 PF02
EVTO_0	PE15 PF05
EVTO_1	PE18 PF06
EVTO_2	PE17 PF09
MDC	PD12 PE08 PE22
MDIO	PD15 PE09 PE23

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

ETH0 信号名称	引脚
REFCLK	PE31
RXCK	PE03
RXDV	PD30 PE21
RXD_0	PD31 PE23
RXD_1	PE04 PE22
RXD_2	PE02
RXD_3	PE07
TXCK	PE01
TXD_0	PE06 PE28
TXD_1	PD29 PE27
TXD_2	PD28
TXD_3	PE05
TXEN	PE00 PE26

表 111: ETH0 信号引脚

ETH1 信号名称	引脚
EVTI_0	PC19 PC29
EVTI_1	PC24 PD02
EVTI_2	PC23 PD08
EVTO_0	PC09 PC28
EVTO_1	PC14 PD01
EVTO_2	PC08 PC27
MDC	PD11 PE10 PE27
MDIO	PD14 PE11 PE28

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

ETH1 信号名称	引脚
REFCLK	PE16
RXCK	PD22
RXDV	PD21 PE15
RXD_0	PD18 PE20
RXD_1	PD27 PE18
RXD_2	PD26
RXD_3	PD17
TXCK	PD20
TXD_0	PD25 PE19
TXD_1	PD16 PE17
TXD_2	PD24
TXD_3	PD23
TXEN	PD19 PE14

表 112: ETH1 信号引脚

FEMC 信号名称	引脚
A_00	PC08
A_01	PC09
A_02	PC04
A_03	PC05
A_04	PC06
A_05	PC07
A_06	PC10
A_07	PC11
A_08	PC12
A_09	PC17
A_10	PC15
A_11	PC21
A_12	PC22
BA0	PC13
BA1	PC14
CAS	PC23
CKE	PC25
CLK	PC26

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

FEMC 信号名称	引脚
CS_0	PC19
CS_1	PC20
DM_0	PC30
DM_1	PC31
DM_2	PC02
DM_3	PC03
DQS	PC16 PX01 PX06
DQ_00	PD08
DQ_01	PD05
DQ_02	PD00
DQ_03	PD01
DQ_04	PD02
DQ_05	PC27
DQ_06	PC28
DQ_07	PC29
DQ_08	PD04
DQ_09	PD03
DQ_10	PD07
DQ_11	PD06
DQ_12	PD10
DQ_13	PD09
DQ_14	PD13
DQ_15	PD12
DQ_16	PC01
DQ_17	PC00
DQ_18	PB31
DQ_19	PB28
DQ_20	PB27
DQ_21	PB26
DQ_22	PB23
DQ_23	PB20
DQ_24	PB19
DQ_25	PB18
DQ_26	PB22
DQ_27	PB21
DQ_28	PB25
DQ_29	PB24
DQ_30	PB30

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

FEMC 信号名称	引脚
DQ_31	PB29
RAS	PC18
WE	PC24

表 113: FEMC 信号引脚

GPIO 信号名称	引脚
A_00	PA00
A_01	PA01
A_02	PA02
A_03	PA03
A_04	PA04
A_05	PA05
A_06	PA06
A_07	PA07
A_08	PA08
A_09	PA09
A_10	PA10
A_11	PA11
A_12	PA12
A_13	PA13
A_14	PA14
A_15	PA15
A_16	PA16
A_17	PA17
A_18	PA18
A_19	PA19
A_20	PA20
A_21	PA21
A_22	PA22
A_23	PA23
A_24	PA24
A_25	PA25
A_26	PA26
A_27	PA27
A_28	PA28
A_29	PA29
A_30	PA30
A_31	PA31
B_00	PB00
B_01	PB01

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

GPIO 信号名称	引脚
B_02	PB02
B_03	PB03
B_04	PB04
B_05	PB05
B_06	PB06
B_07	PB07
B_08	PB08
B_09	PB09
B_10	PB10
B_11	PB11
B_12	PB12
B_13	PB13
B_14	PB14
B_15	PB15
B_16	PB16
B_17	PB17
B_18	PB18
B_19	PB19
B_20	PB20
B_21	PB21
B_22	PB22
B_23	PB23
B_24	PB24
B_25	PB25
B_26	PB26
B_27	PB27
B_28	PB28
B_29	PB29
B_30	PB30
B_31	PB31
C_00	PC00
C_01	PC01
C_02	PC02
C_03	PC03
C_04	PC04
C_05	PC05
C_06	PC06
C_07	PC07
C_08	PC08
C_09	PC09

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

GPIO 信号名称	引脚
C_10	PC10
C_11	PC11
C_12	PC12
C_13	PC13
C_14	PC14
C_15	PC15
C_16	PC16
C_17	PC17
C_18	PC18
C_19	PC19
C_20	PC20
C_21	PC21
C_22	PC22
C_23	PC23
C_24	PC24
C_25	PC25
C_26	PC26
C_27	PC27
C_28	PC28
C_29	PC29
C_30	PC30
C_31	PC31
D_00	PD00
D_01	PD01
D_02	PD02
D_03	PD03
D_04	PD04
D_05	PD05
D_06	PD06
D_07	PD07
D_08	PD08
D_09	PD09
D_10	PD10
D_11	PD11
D_12	PD12
D_13	PD13
D_14	PD14
D_15	PD15
D_16	PD16
D_17	PD17

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

GPIO 信号名称	引脚
D_18	PD18
D_19	PD19
D_20	PD20
D_21	PD21
D_22	PD22
D_23	PD23
D_24	PD24
D_25	PD25
D_26	PD26
D_27	PD27
D_28	PD28
D_29	PD29
D_30	PD30
D_31	PD31
E_00	PE00
E_01	PE01
E_02	PE02
E_03	PE03
E_04	PE04
E_05	PE05
E_06	PE06
E_07	PE07
E_08	PE08
E_09	PE09
E_10	PE10
E_11	PE11
E_12	PE12
E_13	PE13
E_14	PE14
E_15	PE15
E_16	PE16
E_17	PE17
E_18	PE18
E_19	PE19
E_20	PE20
E_21	PE21
E_22	PE22
E_23	PE23
E_24	PE24
E_25	PE25

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

GPIO 信号名称	引脚
E_26	PE26
E_27	PE27
E_28	PE28
E_29	PE29
E_30	PE30
E_31	PE31
F_00	PF00
F_01	PF01
F_02	PF02
F_03	PF03
F_04	PF04
F_05	PF05
F_06	PF06
F_07	PF07
F_08	PF08
F_09	PF09
F_10	PF10
X_00	PX00
X_01	PX01
X_02	PX02
X_03	PX03
X_04	PX04
X_05	PX05
X_06	PX06
X_07	PX07
X_08	PX08
X_09	PX09
X_10	PX10
X_11	PX11
Y_00	PY00
Y_01	PY01
Y_02	PY02
Y_03	PY03
Y_04	PY04
Y_05	PY05
Y_06	PY06
Y_07	PY07
Y_08	PY08
Y_09	PY09
Y_10	PY10

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

GPIO 信号名称	引脚
Y_11	PY11
Z_00	PZ00
Z_01	PZ01
Z_02	PZ02
Z_03	PZ03
Z_04	PZ04
Z_05	PZ05
Z_06	PZ06
Z_07	PZ07
Z_08	PZ08
Z_09	PZ09
Z_10	PZ10
Z_11	PZ11

表 114: GPIO 信号引脚

GPTMR0 信号名称	引脚
CAPT_0	PA15 PA20
CAPT_1	PA14 PA19
COMP_0	PA06 PA11
COMP_1	PA05 PA10

表 115: GPTMR0 信号引脚

GPTMR1 信号名称	引脚
CAPT_0	PA13 PA17
CAPT_1	PA12 PA16
COMP_0	PA04 PA08
COMP_1	PA03 PA07

表 116: GPTMR1 信号引脚

GPTMR2 信号名称	引脚
CAPT_0	PE23

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

GPTMR2 信号名称	引脚
CAPT_1	PE28
COMP_0	PE18
COMP_1	PE16

表 117: GPTMR2 信号引脚

GPTMR3 信号名称	引脚
CAPT_0	PE14
CAPT_1	PE17
COMP_0	PE19
COMP_1	PE24

表 118: GPTMR3 信号引脚

GPTMR4 信号名称	引脚
CAPT_0	PE21
CAPT_1	PE25
COMP_0	PE22
COMP_1	PE27

表 119: GPTMR4 信号引脚

GPTMR5 信号名称	引脚
CAPT_0	PF08
CAPT_1	PF06
COMP_0	PF04
COMP_1	PF09

表 120: GPTMR5 信号引脚

GPTMR6 信号名称	引脚
CAPT_0	PY09
CAPT_1	PY05
COMP_0	PY08
COMP_1	PY04

表 121: GPTMR6 信号引脚

GPTMR7 信号名称	引脚
CAPT_0	PZ04
CAPT_1	PZ10
COMP_0	PZ08
COMP_1	PZ06

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

GPTMR7 信号名称	引脚

表 122: GPTMR7 信号引脚

I2C0 信号名称	引脚
SCL	PA06 PB11 PD01 PE15 PF05 PZ11
SDA	PA05 PB10 PD00 PE14 PF08 PZ10

表 123: I2C0 信号引脚

I2C1 信号名称	引脚
SCL	PA11 PB00 PD05 PE11 PF01 PZ00
SDA	PA10 PA31 PD08 PE10 PF03 PZ01

表 124: I2C1 信号引脚

I2C2 信号名称	引脚
SCL	PA15 PB04 PD10 PE13 PF07 PY00
SDA	PA14

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

I2C2 信号名称	引脚
	PB03 PD09 PE12 PF06 PY01

表 125: I2C2 信号引脚

I2C3 信号名称	引脚
SCL	PA13 PB14 PD13 PE23 PF10 PY04
SDA	PA12 PB13 PD12 PE22 PF09 PY05

表 126: I2C3 信号引脚

I2S0 信号名称	引脚
BCLK	PE20 PF06 PZ06
FCLK	PE18 PF09 PZ04
MCLK	PE16 PF03 PZ09
RXD_0	PE26 PF08 PZ08
RXD_1	PE25 PF05
RXD_2	PE24 PF02
RXD_3	PE19

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

I2S0 信号名称	引脚
	PF01
TXD_0	PE21 PF10 PZ07
TXD_1	PE15 PF07
TXD_2	PE14 PF04
TXD_3	PE17 PF00

表 127: I2S0 信号引脚

I2S1 信号名称	引脚
BCLK	PA05 PA18 PY07
FCLK	PA06 PA22 PY01
MCLK	PA04 PA07 PY02
RXD_0	PA11 PA17 PY11
RXD_1	PA10 PA16 PY10
RXD_2	PA09 PA13
RXD_3	PA08 PA12
TXD_0	PA02 PA20 PY06
TXD_1	PA01 PA19 PY00
TXD_2	PA00 PA15
TXD_3	PA03

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

I2S1 信号名称	引脚
	PA14

表 128: I2S1 信号引脚

I2S2 信号名称	引脚
BCLK	PA03 PA25 PB08
FCLK	PA08 PA24 PB04
MCLK	PA04 PA23 PB09
RXD_0	PA09 PA30 PB05
RXD_1	PA29
RXD_2	PB02
RXD_3	PB01
TXD_0	PA00 PA20 PB12
TXD_1	PA19
TXD_2	PA15
TXD_3	PA14

表 129: I2S2 信号引脚

I2S3 信号名称	引脚
BCLK	PA21 PA28 PB10
FCLK	PB11
MCLK	PB03 PB09
RXD_0	PA30 PB07
RXD_1	PA29 PB06
RXD_2	PB02 PB05

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

I2S3 信号名称	引脚
RXD_3	PB01 PB04
TXD_0	PA27 PB14
TXD_1	PA26 PB13
TXD_2	PB00 PB12
TXD_3	PA31 PB08

表 130: I2S3 信号引脚

PDM0 信号名称	引脚
CLK	PE23 PE31 PF04 PF07 PY10 PZ06 PZ07
D_0	PE30 PF01 PY11 PZ03
D_1	PE22 PF00 PZ02
D_2	PE29 PF03 PZ05
D_3	PE21 PF02 PZ04

表 131: PDM0 信号引脚

PWM0 信号名称	引脚
FAULT_0	PB15
FAULT_1	PB17
P_0	PA28 PC01

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

PWM0 信号名称	引脚
P_1	PA23 PC00
P_2	PB00 PB31
P_3	PA31 PB28
P_4	PA27 PB27
P_5	PA26 PB26
P_6	PA22 PB23
P_7	PA21 PB20

表 132: PWM0 信号引脚

PWM1 信号名称	引脚
FAULT_0	PC03
FAULT_1	PB16
P_0	PB02 PB19
P_1	PA30 PB18
P_2	PB01 PB22
P_3	PA29 PB21
P_4	PA25 PB25
P_5	PA24 PB24
P_6	PA20 PB30
P_7	PA19 PB29

表 133: PWM1 信号引脚

PWM2 信号名称	引脚
FAULT_0	PC31
FAULT_1	PD15

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

PWM2 信号名称	引脚
P_0	PD04 PD31
P_1	PD03 PD30
P_2	PD07 PE04
P_3	PD06 PE03
P_4	PD10 PD29
P_5	PD09 PD28
P_6	PD13 PE00
P_7	PD12 PE01

表 134: PWM2 信号引脚

PWM3 信号名称	引脚
FAULT_0	PD14
FAULT_1	PD11
P_0	PD08 PE02
P_1	PD05 PE07
P_2	PD00 PE06
P_3	PD01 PE16
P_4	PD02 PE05
P_5	PC27 PE14
P_6	PC28 PE17
P_7	PC29 PE18

表 135: PWM3 信号引脚

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

SDC0 信号名称	引脚
CDN	PE01 PE18
CLK	PE11 PE27
CMD	PE10 PE22
DATA_0	PE09 PE26
DATA_1	PE08 PE21
DATA_2	PE13 PE28
DATA_3	PE12 PE23
VSEL	PE06 PE20
WP	PE05 PE17

表 136: SDC0 信号引脚

SDC1 信号名称	引脚
CDN	PD28 PE15
CLK	PD22 PX05
CMD	PD21 PX04
DATA_0	PD18 PX09
DATA_1	PD17 PX08
DATA_2	PD27 PX01
DATA_3	PD26 PX00
DATA_4	PD16
DATA_5	PD25
DATA_6	PD19
DATA_7	PD24
DS	PD20

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

SDC1 信号名称	引脚
RSTN	PD23
VSEL	PD29 PE16
WP	PE00 PE14

表 137: SDC1 信号引脚

SOC 信号名称	引脚
REF0	PA09 PB15
REF1	PA07 PE24

表 138: SOC 信号引脚

SPI0 信号名称	引脚
CSN	PA05 PD22 PZ02
DAT2	PA04 PD19
DAT3	PA00 PD24
MISO	PA02 PD26 PZ05
MOSI	PA06 PD21 PZ04
SCLK	PA01 PD27 PZ03

表 139: SPI0 信号引脚

SPI1 信号名称	引脚
CSN	PA18 PE03 PY05
DAT2	PA13 PE02
DAT3	PA12

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

SPI1 信号名称	引脚
	PE07
MISO	PA23 PD30 PY09
MOSI	PA16 PE04 PY04
SCLK	PA21 PD31 PY08

表 140: SPI1 信号引脚

SPI2 信号名称	引脚
CSN	PA26 PB24 PE31
DAT2	PB23 PE29
DAT3	PB20 PE26
MISO	PA31 PB25 PE28
MOSI	PA27 PB22 PE30
SCLK	PB00 PB21 PE27

表 141: SPI2 信号引脚

SPI3 信号名称	引脚
CSN	PB29 PF03 PY03
DAT2	PB28 PF10
DAT3	PC01 PF09
MISO	PC03

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

SPI3 信号名称	引脚
	PF06 PY01
MOSI	PB30 PF07 PY00
SCLK	PC02 PF04 PY02

表 142: SPI3 信号引脚

SYSCTL 信号名称	引脚
CLK_OBS_0	PB02
CLK_OBS_1	PB01
CLK_OBS_2	PB06
CLK_OBS_3	PB07

表 143: SYSCTL 信号引脚

TRGM0 信号名称	引脚
P_00	PC17
P_01	PC12
P_02	PC07
P_03	PC02
P_04	PC06
P_05	PC11
P_06	PB12
P_07	PB09
P_08	PB05
P_09	PB08
P_10	PB04
P_11	PB03

表 144: TRGM0 信号引脚

TRGM1 信号名称	引脚
P_00	PB14
P_01	PB11
P_02	PB07
P_03	PB13
P_04	PB10
P_05	PB06

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

TRGM1 信号名称	引脚
P_06	PC15
P_07	PC10
P_08	PC09
P_09	PC05
P_10	PC08
P_11	PC04

表 145: TRGM1 信号引脚

TRGM2 信号名称	引脚
P_00	PC22
P_01	PC26
P_02	PC16
P_03	PC21
P_04	PC25
P_05	PC30
P_06	PD16
P_07	PD20
P_08	PD25
P_09	PD19
P_10	PD24
P_11	PD23

表 146: TRGM2 信号引脚

TRGM3 信号名称	引脚
P_00	PD18
P_01	PD22
P_02	PD27
P_03	PD17
P_04	PD21
P_05	PD26
P_06	PC20
P_07	PC14
P_08	PC19
P_09	PC24
P_10	PC18
P_11	PC23

表 147: TRGM3 信号引脚

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

UART0 信号名称	引脚
CTS	PB17 PF02
DE	PB15 PB16 PF00
RTS	PB15 PF00
RXD	PB28 PC25 PE12 PY07
TXD	PB23 PC26 PE13 PY06

表 148: UART0 信号引脚

UART1 信号名称	引脚
CTS	PB18 PE29
DE	PB19 PE26
RTS	PB19 PE26
RXD	PA01 PB26 PC18 PE22
TXD	PA02 PB27 PC19 PE23

表 149: UART1 信号引脚

UART10 信号名称	引脚
CTS	PA16 PD25
DE	PA17 PD20
RTS	PA17

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

UART10 信号名称	引脚
	PD20
RXD	PA23 PC04 PD23 PZ02
TXD	PA18 PC05 PD24 PZ03

表 150: UART10 信号引脚

UART11 信号名称	引脚
CTS	PA19 PD17
DE	PA20 PD18
RTS	PA20 PD18
RXD	PA21 PC08 PD28 PZ04
TXD	PA22 PC09 PD29 PZ05

表 151: UART11 信号引脚

UART12 信号名称	引脚
CTS	PB10 PE08
DE	PB11 PE09
RTS	PB11 PE09
RXD	PA26 PC20 PE00 PZ06
TXD	PA27

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

UART12 信号名称	引脚
	PC15 PE01 PZ07

表 152: UART12 信号引脚

UART13 信号名称	引脚
CTS	PA31 PE05
DE	PB00 PE06
RTS	PB00 PE06
RXD	PB05 PC13 PE07 PZ08
TXD	PA28 PC14 PE02 PZ09

表 153: UART13 信号引脚

UART14 信号名称	引脚
CTS	PB03 PE14
DE	PB04 PE15
RTS	PB04 PE15
RXD	PB01 PC16 PD30 PZ10
TXD	PB02 PC17 PD31 PZ11

表 154: UART14 信号引脚

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

UART15 信号名称	引脚
CTS	PB13 PE10
DE	PB14 PE11
RTS	PB14 PE11
RXD	PB06 PC21 PE03 PZ01
TXD	PB07 PC22 PE04 PZ00

表 155: UART15 信号引脚

UART2 信号名称	引脚
CTS	PB08 PF08
DE	PB09 PF05
RTS	PB09 PF05
RXD	PB21 PC23 PE21 PY09
TXD	PB22 PC24 PE16 PY08

表 156: UART2 信号引脚

UART3 信号名称	引脚
CTS	PB20 PF03
DE	PB12 PF01
RTS	PB12 PF01

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

UART3 信号名称	引脚
RXD	PA03 PB24 PC30 PE17
TXD	PA00 PB25 PC31 PE18

表 157: UART3 信号引脚

UART4 信号名称	引脚
CTS	PD00 PY01
DE	PD01 PY00
RTS	PD01 PY00
RXD	PA09 PB29 PD03 PE19
TXD	PA04 PB30 PD04 PE20

表 158: UART4 信号引脚

UART5 信号名称	引脚
CTS	PD08 PY05
DE	PD05 PY04
RTS	PD05 PY04
RXD	PA07 PB31 PD06 PE24
TXD	PA08 PC00

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

UART5 信号名称	引脚
	PD07 PE25

表 159: UART5 信号引脚

UART6 信号名称	引脚
CTS	PD09 PY03
DE	PD10 PY02
RTS	PD10 PY02
RXD	PA05 PC10 PC27 PE27
TXD	PA06 PC01 PC28 PE28

表 160: UART6 信号引脚

UART7 信号名称	引脚
CTS	PD12 PY11
DE	PD13 PY10
RTS	PD13 PY10
RXD	PA10 PC02 PD02 PE30
TXD	PA11 PC03 PC29 PE31

表 161: UART7 信号引脚

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

UART8 信号名称	引脚
CTS	PA14 PD11
DE	PA15 PD14 PD15
RTS	PA15 PD14
RXD	PA24 PC06 PD21 PF06
TXD	PA25 PC07 PD22 PF07

表 162: UART8 信号引脚

UART9 信号名称	引脚
CTS	PA12 PD19
DE	PD16
RTS	PA13 PD16
RXD	PA29 PC11 PD26 PF09
TXD	PA30 PC12 PD27 PF10

表 163: UART9 信号引脚

USB0 信号名称	引脚
ID	PF10
OC	PE29 PF08
PWR	PF09

表 164: USB0 信号引脚

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

USB1 信号名称	引脚
ID	PF07
OC	PE30 PF05
PWR	PF06

表 165: USB1 信号引脚

XPI0 信号名称	引脚
CA_CS0	PE08 PX06
CA_CS1	PD28 PX04
CA_DQS	PE00 PX02 PX05
CA_D_0	PE11 PX10
CA_D_1	PE13 PX11
CA_D_2	PE10 PX02
CA_D_3	PE12 PX03
CA_SCLK	PE09 PX07
CB_CS0	PE02
CB_CS1	PE01
CB_DQS	PD29
CB_D_0	PD31 PX09
CB_D_1	PE04 PX08
CB_D_2	PD30 PX01
CB_D_3	PE03 PX00
CB_SCLK	PE07

表 166: XPI0 信号引脚

XPI1 信号名称	引脚
CA_CS0	PC16

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

XPI1 信号名称	引脚
	PD13
CA_CS1	PC19 PD08
CA_DQS	PC20 PD09 PX03 PX04
CA_D_0	PC22 PD15
CA_D_1	PC26 PD12
CA_D_2	PC21 PD14
CA_D_3	PC25 PD11
CA_SCLK	PC17 PD10
CB_CS0	PC10 PC30
CB_CS1	PC09 PC29
CB_DQS	PC14 PD02
CB_D_0	PC12 PD04
CB_D_1	PC11 PD03
CB_D_2	PC07 PD07
CB_D_3	PC06 PD06
CB_SCLK	PC15 PC31

表 167: XPI1 信号引脚

20.5 电源管理域外设管脚分配

本产品电源管理域的外设，不同模块的引脚分配总结如下：

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

JTAG 信号名称	引脚
TCK	PY02
TDI	PY01
TDO	PY00
TMS	PY03
TRST	PY04

表 168: JTAG 信号引脚

PGPIO 信号名称	引脚
Y_00	PY00
Y_01	PY01
Y_02	PY02
Y_03	PY03
Y_04	PY04
Y_05	PY05
Y_06	PY06
Y_07	PY07
Y_08	PY08
Y_09	PY09
Y_10	PY10
Y_11	PY11

表 169: PGPIO 信号引脚

PTMR 信号名称	引脚
CAPT_0	PY05
CAPT_1	PY07
CAPT_2	PY09
CAPT_3	PY11
COMP_0	PY00 PY04
COMP_1	PY01 PY06
COMP_2	PY02 PY08
COMP_3	PY03 PY10

表 170: PTMR 信号引脚

PUART 信号名称	引脚
CTS	PY09

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

PUART 信号名称	引脚
RTS	PY08
RXD	PY07
TXD	PY06

表 171: PUART 信号引脚

PWDG 信号名称	引脚
RST	PY05

表 172: PWDG 信号引脚

SOC 信号名称	引脚
PY_00	PY00
PY_01	PY01
PY_02	PY02
PY_03	PY03
PY_04	PY04
PY_05	PY05
PY_06	PY06
PY_07	PY07
PY_08	PY08
PY_09	PY09
PY_10	PY10
PY_11	PY11

表 173: SOC 信号引脚

VAD 信号名称	引脚
CLK	PY10
DAT	PY11

表 174: VAD 信号引脚

20.6 电池备份域外设管脚分配

本产品电池备份域的外设，不同模块的引脚分配总结如下：

BGPIO 信号名称	引脚
Z_00	PZ00
Z_01	PZ01
Z_02	PZ02
Z_03	PZ03
Z_04	PZ04

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

BGPIO 信号名称	引脚
Z_05	PZ05
Z_06	PZ06
Z_07	PZ07
Z_08	PZ08
Z_09	PZ09
Z_10	PZ10
Z_11	PZ11

表 175: BGPIO 信号引脚

PWR 信号名称	引脚
ON	PZ00

表 176: PWR 信号引脚

SOC 信号名称	引脚
PZ_00	PZ00
PZ_01	PZ01
PZ_02	PZ02
PZ_03	PZ03
PZ_04	PZ04
PZ_05	PZ05
PZ_06	PZ06
PZ_07	PZ07
PZ_08	PZ08
PZ_09	PZ09
PZ_10	PZ10
PZ_11	PZ11

表 177: SOC 信号引脚

TAMP 信号名称	引脚
00	PZ00
01	PZ01
02	PZ02
03	PZ03
04	PZ04
05	PZ05
06	PZ06
07	PZ07
08	PZ08
09	PZ09

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

TAMP 信号名称	引脚
10	PZ10
11	PZ11

表 178: TAMP 信号引脚

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

20.7 特殊功能引脚

芯片默认是通过 BOOT_MODE[1:0]=[PZ07:PZ06] 引脚选择三种不同的启动模式，启动配置如表 179。其他特殊引脚配置如表 180。

启动模式选择引脚		启动模式	说明
BOOT_MODE1	BOOT_MODE0		
0	0	XPI NOR 启动	从连接在 XPI0/1 上的串行 NOR FLASH 启动
0	1	串行启动 UART0/USB-HID	从 UART0/USB0 上启动
1	0	在系统编程（ISP)	从 UART0/USB0 上烧写固件，OTP
1	1	保留模式	保留模式

表 179: 启动配置表

引脚名称	描述	建议用法
XTAL_IN	24MHz 时钟输入	接 24MHz 晶体或有源时钟
XTAL_OUT	24MHz 时钟输出	接 24MHz 晶体或悬空
RTC_XTAL_IN	32.768kHz 时钟输入	接 32.768kHz 晶体或有源时钟
RTC_XTAL_OUT	32.768kHz 时钟输出	接 32.768kHz 晶体或悬空

表 180: 特殊功能引脚配置

20.8 IO 复位状态

表 182总结了本产品所有 IO 在系统复位后的状态：

名称	复位后状态
PY00	输入内部上拉
PY01	输入内部上拉
PY03	输入内部上拉
PY04	输入内部上拉
PY05	输出高电平
PZ00	输出高电平
PZ01	输入内部上拉
PZ02	输入内部上拉
PZ03	输入内部上拉
PZ04	开漏高阻
PZ05	开漏高阻

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

名称	复位后状态
其余 IO	输入内部下拉

表 181: IO 复位状态表

注意，系统电源域的复位不会复位 GPIO 端口 Y 和 GPIO 端口 Z 的 IO 状态。因为这两个 IO 端口分别位于电源管理域和电池备份域。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

21 输入输出模块概述

本章节介绍了本产品的输入输出 IO 相关模块。本产品的输入输出相关控制模块包含通用 IO 控制模块 IOC，电源管理域 IO 控制模块 PIOC，电池备份域 IO 控制模块 BIOC。2 个 GPIO 控制器，2 个快速 GPIO 控制，GPIO 管理器以及电源管理域 GPIO 控制器 PGPIO，电池备份域 GPIO 控制器 BGPIO。

21.1 IO 控制器

IO 控制器模块包括通用 IO 控制器 IOC，电源管理域 IO 控制器 PIOC 和电池备份域 IO 控制器 BIOC。

通用 IO 控制器 IOC 可以控制通用 IO（PA，PB，PC，PD，PE，PF）。

电源管理域 IO 控制器 PIOC 可以控制电源管理域 IO（PY）。它的功能和通用 IOC 一致，可以配置电源管理域 IO 的基本属性以及外设功能。

电池备份域 IO 控制器 BIOC 可以控制电池备份域 IO（PZ）。它的功能和通用 IOC 一致，可以配置电池备份域 IO 的基本属性以及外设功能。

PIOC 和 BIOC 可以把电源管理域 IO（PY）和电池备份域 IO（PZ）中的一个或者多个 IO 映射到系统电源域。之后，这些 IO 就可以由 IOC 控制。

IO 控制器支持对任意 IO 进行配置，如电压模式（3V 或 1.8V），开漏控制，内部上下拉控制，施密特触发器，驱动能力等。还可以配置每一个 IO 的外设复用功能映射，模拟输入和 IO 状态监测功能。通用 IO 的外设复用功能由 IOC 配置，如图 22。

图 22: 通用 IO 外设复用功能选择

电源管理域 IO（PY）的外设复用功能由 PIOC 和 IOC 配置，如图 23。

图 23: 电源管理域 IO 外设复用功能选择

当电源管理域 IO（PY）的外设复用功能由 PIOC 设置为 ALT3 时，IOC 针对该 IO 的配置生效，而 PIOC 的配置不再生效。

电池备份域 IO（PZ）的外设复用功能由 BIOC 和 IOC 配置，如图 24。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

图 24: 电池备份域 IO 外设复用功能选择

当电池备份域 IO（PZ）的外设复用功能由 BIOC 设置为 ALT3 时，IOC 针对该 IO 的配置生效，而 BIOC 的配置不再生效。

21.2 GPIO 控制器

GPIO 控制器包括：2 个 GPIO 控制器（GPIO0，GPIO1），2 个快速 GPIO 控制器（FGPIO0，FGPIO1），电源管理域 GPIO 控制器（PGPIO）和电池备份域 GPIO 控制器 (BGPIO)。

GPIOx 和 FGPIOx 可以控制通用 IO（PA，PB，PC，PD，PE，PF）。对任一 IO，由 GPIO 管理器 GPIOM 配置决定具体哪个控制器生效。

电源管理域 GPIO 控制器 PGPIO 可以控制电源管理域 IO（PY）。

电池备份域 GPIO 控制器 BGPIO 可以控制电池备份域 IO（PZ）。

PIOC 和 BIOC 可以把电源管理域 IO（PY）和电池备份域 IO（PZ）中的一个或者多个 IO 映射到系统电源域。之后，这些 IO 就可以由 GPIOx 或 FGPIOx 控制。

2 个 GPIO 控制器 GPIO0，GPIO1 和 2 个快速 GPIO 控制器 FGPIO0，FGPIO1，可以控制片上的通用 IO（PA，PB，PC，PD，PE，PF）。

通用 IO 的 GPIO 控制如图 25。

图 25: 通用 IO GPIO 控制选择

经过适当的 PIOC 和 IOC 配置，2 个 GPIO 控制器 GPIO0，GPIO1 和 2 个快速 GPIO 控制器 FGPIO0，FGPIO1 可以控制电源管理域 IO（PY）。

电源管理域 IO 的 GPIO 控制如图 26。

经过适当的 BIOC 和 IOC 配置，2 个 GPIO 控制器 GPIO0，GPIO1 和 2 个快速 GPIO 控制器 FGPIO0，FGPIO1

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

图 26: 电源管理域 IO GPIO 控制选择

可以控制电池备份域 IO（PZ）。

电池备份域 IO 的 GPIO 控制如图 27。

图 27: 电池备份域 IO GPIO 控制选择

2 个快速 GPIO 控制器 (FGPIO0 和 FGPIO1) 分别是处理器 CPU0 和 CPU1 的私有外设，只能由对应的处理器访问。处理器支持以零等待周期访问自己的快速 GPIO 控制器。

GPIO 控制器与快速 GPIO 控制器功能基本相同，可以按照 IO 端口 Port 读取输入，配置 IO 的方向（输入或者输出），设置 IO 输出，或者同时把一个或者多个 IO 输出设置高，设置低或者翻转。

GPIO 控制器支持配置和生成 GPIO 中断。快速 GPIO 控制器不支持中断。

电源管理域 GPIO 控制器 PGPIO 是电源管理域 IO（PY）的 GPIO 控制器，和 GPIO 控制器一样具有读取 IO 输入和配置 IO 输出的功能。此外 PGPIO 作为电源管理域外设，它能在系统电源域掉电时保持工作，PGPIO 中断能在系统电源域掉电时把系统唤醒。

电池备份域 GPIO 控制器 BGPIO 是电池备份域 IO（PZ）的 GPIO 控制器，和 GPIO 控制器一样具有读取 IO 输入和配置 IO 输出的功能。此外 BGPIO 作为电池备份域外设，它能在系统电源域和电源管理域掉电时保持工作，BGPIO 中断能在系统电源域和电源管理域掉电时把系统唤醒。

21.3 GPIO 管理器 GPIOM

GPIO 管理器用来管理所有的 IO。它的主要功能是配置 IO 的管理权限。GPIO 管理器为每一个 IO 选择 2 个快速 GPIO 控制器和 2 个 GPIO 控制器中的一个，作为这个 IO 的控制器。

GPIO 管理器支持配置任意 IO 输入的可见度，即 2 个快速 GPIO 控制器和 2 个 GPIO 控制器的输入寄存器可否读取到 IO 的输入。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

复位后，GPIO 管理器默认 GPIO0 控制所有的通用 IO。所有的 GPIO 控制器和快速 GPIO 控制器都可以读取到 IO 的输入。

21.4 IO 复位状态

表 182总结了本产品所有 IO 在系统复位后的状态：

名称	复位后状态
PY00	输入内部上拉
PY01	输入内部上拉
PY03	输入内部上拉
PY04	输入内部上拉
PY05	输出高电平
PZ00	输出高电平
PZ04	开漏高阻
PZ05	开漏高阻
其余 IO	输入内部下拉

表 182: IO 复位状态表

注意，系统电源域的复位不会复位 GPIO 端口 Y 和 GPIO 端口 Z 的 IO 状态。因为这两个 IO 端口分别位于电源管理域和电池备份域。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

22 IO 控制器 IOC，PIOC，BIOC

本章节描述了 IO 控制器 IOC 的主要特性和功能。

22.1 特性总结

IO 控制器 IOC 的主要特性如下：

- 外设复用功能映射
- 输出回送控制 (loopback)
- 模拟功能配置
- 电压模式配置
- 开漏设置
- 施密特触发器
- 上下拉配置
- 驱动能力配置

22.2 功能描述

本章节描述 IO 控制器 IOC 的功能。

22.2.1 IO 基本配置

IO 控制器 IOC 可以用来配置 IO 的基本属性，这些属性包括 IO 的工作电压，开漏选择，施密特触发器开关，内部上下拉电阻，以及驱动强度。用户可以通过 IOC_X_PAD_CTL 寄存器，配置任意 IO 的基本属性。

IO 的工作电压设置是指用户可以指定 IO 的工作电压，本产品的 IO 支持 3.3V 和 1.8V 两种工作电压。

注意，当 IO 对应的电源引脚 VIO_x 供电在 3V 的供电范围内时，不要把 IO 工作电压配置为 1.8V。

IO 的开漏选择是指，用户可以把 IO 配置成开漏输出（open drain）。如果 IO 配置成开漏输出，那么输出低电平时，正常输出；输出高电平时，IO 不会驱动高电平，而是输出高阻，需要用户配置外部上拉电阻。

IO 的施密特触发器是指，用户可以打开 IO 的输入施密特触发器，即打开输入滞回（hysteresis），增加抗干扰能力。

IO 还可以打开内部的上下拉电阻，即可以配置成内部上拉，也可以配置成下拉。

IO 支持配置驱动能力。

22.2.2 IO 外设功能配置

用户可以通过 IOC 的 IOC_X_FUNC_CTL 寄存器配置 IO 的外设功能，包括输出回送功能，模拟功能和外设功能映射。

用户打开 IO 的输出回送功能后，即可在输入端读取到输出信号。

用户打开 IO 的模拟功能后，这个 IO 就可以用作模拟外设的引脚，如 ADC，ACMP 等。

用户可以通过 IO 的外设功能复选器，选择映射到这个 IO 上的外设功能。有关 IO 和外设功能的映射表，请查阅 PINMUX 相关章节。

22.3 IOC 寄存器

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

22.3.1 寄存器说明

IOC 的寄存器列表如下：

IOC base address: 0xF4040000 PIOC base address: 0xF40D8000 BIOC base address: 0xF5010000

地址偏移	名称	描述	复位值
0x0000	PAD[PA00][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0004	PAD[PA00][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0008	PAD[PA01][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x000C	PAD[PA01][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0010	PAD[PA02][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0014	PAD[PA02][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0018	PAD[PA03][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x001C	PAD[PA03][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0020	PAD[PA04][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0024	PAD[PA04][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0028	PAD[PA05][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x002C	PAD[PA05][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0030	PAD[PA06][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0034	PAD[PA06][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0038	PAD[PA07][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x003C	PAD[PA07][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0040	PAD[PA08][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0044	PAD[PA08][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0048	PAD[PA09][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x004C	PAD[PA09][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0050	PAD[PA10][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0054	PAD[PA10][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0058	PAD[PA11][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x005C	PAD[PA11][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0060	PAD[PA12][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0064	PAD[PA12][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0068	PAD[PA13][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x006C	PAD[PA13][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0070	PAD[PA14][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0074	PAD[PA14][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0078	PAD[PA15][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x007C	PAD[PA15][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0080	PAD[PA16][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0084	PAD[PA16][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0088	PAD[PA17][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x008C	PAD[PA17][PAD_CTL]	PAD 性能配置寄存器	0x00001010

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0090	PAD[PA18][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0094	PAD[PA18][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0098	PAD[PA19][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x009C	PAD[PA19][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x00A0	PAD[PA20][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x00A4	PAD[PA20][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x00A8	PAD[PA21][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x00AC	PAD[PA21][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x00B0	PAD[PA22][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x00B4	PAD[PA22][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x00B8	PAD[PA23][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x00BC	PAD[PA23][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x00C0	PAD[PA24][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x00C4	PAD[PA24][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x00C8	PAD[PA25][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x00CC	PAD[PA25][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x00D0	PAD[PA26][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x00D4	PAD[PA26][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x00D8	PAD[PA27][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x00DC	PAD[PA27][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x00E0	PAD[PA28][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x00E4	PAD[PA28][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x00E8	PAD[PA29][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x00EC	PAD[PA29][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x00F0	PAD[PA30][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x00F4	PAD[PA30][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x00F8	PAD[PA31][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x00FC	PAD[PA31][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0100	PAD[PB00][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0104	PAD[PB00][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0108	PAD[PB01][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x010C	PAD[PB01][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0110	PAD[PB02][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0114	PAD[PB02][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0118	PAD[PB03][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x011C	PAD[PB03][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0120	PAD[PB04][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0124	PAD[PB04][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0128	PAD[PB05][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x012C	PAD[PB05][PAD_CTL]	PAD 性能配置寄存器	0x00001010

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0130	PAD[PB06][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0134	PAD[PB06][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0138	PAD[PB07][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x013C	PAD[PB07][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0140	PAD[PB08][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0144	PAD[PB08][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0148	PAD[PB09][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x014C	PAD[PB09][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0150	PAD[PB10][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0154	PAD[PB10][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0158	PAD[PB11][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x015C	PAD[PB11][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0160	PAD[PB12][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0164	PAD[PB12][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0168	PAD[PB13][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x016C	PAD[PB13][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0170	PAD[PB14][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0174	PAD[PB14][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0178	PAD[PB15][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x017C	PAD[PB15][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0180	PAD[PB16][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0184	PAD[PB16][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0188	PAD[PB17][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x018C	PAD[PB17][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0190	PAD[PB18][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0194	PAD[PB18][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0198	PAD[PB19][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x019C	PAD[PB19][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x01A0	PAD[PB20][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x01A4	PAD[PB20][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x01A8	PAD[PB21][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x01AC	PAD[PB21][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x01B0	PAD[PB22][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x01B4	PAD[PB22][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x01B8	PAD[PB23][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x01BC	PAD[PB23][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x01C0	PAD[PB24][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x01C4	PAD[PB24][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x01C8	PAD[PB25][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x01CC	PAD[PB25][PAD_CTL]	PAD 性能配置寄存器	0x00001010

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x01D0	PAD[PB26][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x01D4	PAD[PB26][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x01D8	PAD[PB27][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x01DC	PAD[PB27][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x01E0	PAD[PB28][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x01E4	PAD[PB28][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x01E8	PAD[PB29][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x01EC	PAD[PB29][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x01F0	PAD[PB30][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x01F4	PAD[PB30][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x01F8	PAD[PB31][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x01FC	PAD[PB31][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0200	PAD[PC00][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0204	PAD[PC00][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0208	PAD[PC01][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x020C	PAD[PC01][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0210	PAD[PC02][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0214	PAD[PC02][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0218	PAD[PC03][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x021C	PAD[PC03][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0220	PAD[PC04][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0224	PAD[PC04][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0228	PAD[PC05][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x022C	PAD[PC05][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0230	PAD[PC06][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0234	PAD[PC06][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0238	PAD[PC07][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x023C	PAD[PC07][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0240	PAD[PC08][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0244	PAD[PC08][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0248	PAD[PC09][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x024C	PAD[PC09][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0250	PAD[PC10][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0254	PAD[PC10][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0258	PAD[PC11][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x025C	PAD[PC11][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0260	PAD[PC12][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0264	PAD[PC12][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0268	PAD[PC13][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x026C	PAD[PC13][PAD_CTL]	PAD 性能配置寄存器	0x00001010

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0270	PAD[PC14][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0274	PAD[PC14][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0278	PAD[PC15][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x027C	PAD[PC15][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0280	PAD[PC16][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0284	PAD[PC16][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0288	PAD[PC17][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x028C	PAD[PC17][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0290	PAD[PC18][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0294	PAD[PC18][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0298	PAD[PC19][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x029C	PAD[PC19][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x02A0	PAD[PC20][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x02A4	PAD[PC20][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x02A8	PAD[PC21][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x02AC	PAD[PC21][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x02B0	PAD[PC22][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x02B4	PAD[PC22][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x02B8	PAD[PC23][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x02BC	PAD[PC23][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x02C0	PAD[PC24][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x02C4	PAD[PC24][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x02C8	PAD[PC25][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x02CC	PAD[PC25][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x02D0	PAD[PC26][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x02D4	PAD[PC26][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x02D8	PAD[PC27][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x02DC	PAD[PC27][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x02E0	PAD[PC28][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x02E4	PAD[PC28][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x02E8	PAD[PC29][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x02EC	PAD[PC29][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x02F0	PAD[PC30][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x02F4	PAD[PC30][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x02F8	PAD[PC31][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x02FC	PAD[PC31][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0300	PAD[PD00][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0304	PAD[PD00][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0308	PAD[PD01][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x030C	PAD[PD01][PAD_CTL]	PAD 性能配置寄存器	0x00001010

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0310	PAD[PD02][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0314	PAD[PD02][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0318	PAD[PD03][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x031C	PAD[PD03][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0320	PAD[PD04][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0324	PAD[PD04][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0328	PAD[PD05][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x032C	PAD[PD05][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0330	PAD[PD06][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0334	PAD[PD06][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0338	PAD[PD07][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x033C	PAD[PD07][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0340	PAD[PD08][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0344	PAD[PD08][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0348	PAD[PD09][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x034C	PAD[PD09][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0350	PAD[PD10][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0354	PAD[PD10][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0358	PAD[PD11][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x035C	PAD[PD11][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0360	PAD[PD12][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0364	PAD[PD12][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0368	PAD[PD13][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x036C	PAD[PD13][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0370	PAD[PD14][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0374	PAD[PD14][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0378	PAD[PD15][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x037C	PAD[PD15][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0380	PAD[PD16][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0384	PAD[PD16][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0388	PAD[PD17][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x038C	PAD[PD17][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0390	PAD[PD18][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0394	PAD[PD18][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0398	PAD[PD19][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x039C	PAD[PD19][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x03A0	PAD[PD20][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x03A4	PAD[PD20][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x03A8	PAD[PD21][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x03AC	PAD[PD21][PAD_CTL]	PAD 性能配置寄存器	0x00001010

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x03B0	PAD[PD22][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x03B4	PAD[PD22][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x03B8	PAD[PD23][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x03BC	PAD[PD23][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x03C0	PAD[PD24][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x03C4	PAD[PD24][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x03C8	PAD[PD25][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x03CC	PAD[PD25][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x03D0	PAD[PD26][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x03D4	PAD[PD26][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x03D8	PAD[PD27][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x03DC	PAD[PD27][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x03E0	PAD[PD28][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x03E4	PAD[PD28][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x03E8	PAD[PD29][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x03EC	PAD[PD29][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x03F0	PAD[PD30][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x03F4	PAD[PD30][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x03F8	PAD[PD31][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x03FC	PAD[PD31][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0400	PAD[PE00][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0404	PAD[PE00][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0408	PAD[PE01][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x040C	PAD[PE01][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0410	PAD[PE02][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0414	PAD[PE02][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0418	PAD[PE03][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x041C	PAD[PE03][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0420	PAD[PE04][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0424	PAD[PE04][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0428	PAD[PE05][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x042C	PAD[PE05][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0430	PAD[PE06][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0434	PAD[PE06][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0438	PAD[PE07][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x043C	PAD[PE07][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0440	PAD[PE08][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0444	PAD[PE08][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0448	PAD[PE09][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x044C	PAD[PE09][PAD_CTL]	PAD 性能配置寄存器	0x00001010

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0450	PAD[PE10][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0454	PAD[PE10][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0458	PAD[PE11][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x045C	PAD[PE11][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0460	PAD[PE12][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0464	PAD[PE12][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0468	PAD[PE13][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x046C	PAD[PE13][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0470	PAD[PE14][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0474	PAD[PE14][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0478	PAD[PE15][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x047C	PAD[PE15][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0480	PAD[PE16][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0484	PAD[PE16][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0488	PAD[PE17][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x048C	PAD[PE17][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0490	PAD[PE18][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0494	PAD[PE18][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0498	PAD[PE19][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x049C	PAD[PE19][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x04A0	PAD[PE20][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x04A4	PAD[PE20][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x04A8	PAD[PE21][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x04AC	PAD[PE21][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x04B0	PAD[PE22][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x04B4	PAD[PE22][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x04B8	PAD[PE23][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x04BC	PAD[PE23][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x04C0	PAD[PE24][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x04C4	PAD[PE24][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x04C8	PAD[PE25][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x04CC	PAD[PE25][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x04D0	PAD[PE26][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x04D4	PAD[PE26][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x04D8	PAD[PE27][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x04DC	PAD[PE27][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x04E0	PAD[PE28][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x04E4	PAD[PE28][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x04E8	PAD[PE29][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x04EC	PAD[PE29][PAD_CTL]	PAD 性能配置寄存器	0x00001010

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x04F0	PAD[PE30][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x04F4	PAD[PE30][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x04F8	PAD[PE31][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x04FC	PAD[PE31][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0500	PAD[PF00][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0504	PAD[PF00][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0508	PAD[PF01][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x050C	PAD[PF01][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0510	PAD[PF02][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0514	PAD[PF02][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0518	PAD[PF03][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x051C	PAD[PF03][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0520	PAD[PF04][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0524	PAD[PF04][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0528	PAD[PF05][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x052C	PAD[PF05][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0530	PAD[PF06][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0534	PAD[PF06][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0538	PAD[PF07][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x053C	PAD[PF07][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0540	PAD[PF08][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0544	PAD[PF08][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0548	PAD[PF09][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x054C	PAD[PF09][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0550	PAD[PF10][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0554	PAD[PF10][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0D00	PAD[PX00][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0D04	PAD[PX00][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0D08	PAD[PX01][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0D0C	PAD[PX01][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0D10	PAD[PX02][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0D14	PAD[PX02][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0D18	PAD[PX03][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0D1C	PAD[PX03][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0D20	PAD[PX04][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0D24	PAD[PX04][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0D28	PAD[PX05][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0D2C	PAD[PX05][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0D30	PAD[PX06][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0D34	PAD[PX06][PAD_CTL]	PAD 性能配置寄存器	0x00001010

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0D38	PAD[PX07][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0D3C	PAD[PX07][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0D40	PAD[PX08][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0D44	PAD[PX08][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0D48	PAD[PX09][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0D4C	PAD[PX09][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0D50	PAD[PX10][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0D54	PAD[PX10][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0D58	PAD[PX11][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0D5C	PAD[PX11][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0E00	PAD[PY00][FUNC_CTL]	外设复用功能选择寄存器	0x00000001
0x0E04	PAD[PY00][PAD_CTL]	PAD 性能配置寄存器	0x00001110
0x0E08	PAD[PY01][FUNC_CTL]	外设复用功能选择寄存器	0x00000001
0x0E0C	PAD[PY01][PAD_CTL]	PAD 性能配置寄存器	0x00001110
0x0E10	PAD[PY02][FUNC_CTL]	外设复用功能选择寄存器	0x00000001
0x0E14	PAD[PY02][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0E18	PAD[PY03][FUNC_CTL]	外设复用功能选择寄存器	0x00000001
0x0E1C	PAD[PY03][PAD_CTL]	PAD 性能配置寄存器	0x00001110
0x0E20	PAD[PY04][FUNC_CTL]	外设复用功能选择寄存器	0x00000001
0x0E24	PAD[PY04][PAD_CTL]	PAD 性能配置寄存器	0x00001110
0x0E28	PAD[PY05][FUNC_CTL]	外设复用功能选择寄存器	0x00000001
0x0E2C	PAD[PY05][PAD_CTL]	PAD 性能配置寄存器	0x00001000
0x0E30	PAD[PY06][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0E34	PAD[PY06][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0E38	PAD[PY07][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0E3C	PAD[PY07][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0E40	PAD[PY08][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0E44	PAD[PY08][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0E48	PAD[PY09][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0E4C	PAD[PY09][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0E50	PAD[PY10][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0E54	PAD[PY10][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0E58	PAD[PY11][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0E5C	PAD[PY11][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0F00	PAD[PZ00][FUNC_CTL]	外设复用功能选择寄存器	0x00000001
0x0F04	PAD[PZ00][PAD_CTL]	PAD 性能配置寄存器	0x00001100
0x0F08	PAD[PZ01][FUNC_CTL]	外设复用功能选择寄存器	0x00000001
0x0F0C	PAD[PZ01][PAD_CTL]	PAD 性能配置寄存器	0x00001110
0x0F10	PAD[PZ02][FUNC_CTL]	外设复用功能选择寄存器	0x00000001
0x0F14	PAD[PZ02][PAD_CTL]	PAD 性能配置寄存器	0x00001110

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0F18	PAD[PZ03][FUNC_CTL]	外设复用功能选择寄存器	0x00000001
0x0F1C	PAD[PZ03][PAD_CTL]	PAD 性能配置寄存器	0x00001110
0x0F20	PAD[PZ04][FUNC_CTL]	外设复用功能选择寄存器	0x00000001
0x0F24	PAD[PZ04][PAD_CTL]	PAD 性能配置寄存器	0x00003000
0x0F28	PAD[PZ05][FUNC_CTL]	外设复用功能选择寄存器	0x00000001
0x0F2C	PAD[PZ05][PAD_CTL]	PAD 性能配置寄存器	0x00003000
0x0F30	PAD[PZ06][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0F34	PAD[PZ06][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0F38	PAD[PZ07][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0F3C	PAD[PZ07][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0F40	PAD[PZ08][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0F44	PAD[PZ08][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0F48	PAD[PZ09][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0F4C	PAD[PZ09][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0F50	PAD[PZ10][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0F54	PAD[PZ10][PAD_CTL]	PAD 性能配置寄存器	0x00001010
0x0F58	PAD[PZ11][FUNC_CTL]	外设复用功能选择寄存器	0x00000000
0x0F5C	PAD[PZ11][PAD_CTL]	PAD 性能配置寄存器	0x00001010

表 183: IOC 寄存器列表

IOC 的寄存器详细说明如下：

22.3.2 PAD[FUNC_CTL] (0x0 + 0x8 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD															LOOP_BACK	RSVD							ANALOG	RSVD			ALT_SELECT				
N/A															RW	N/A							RW	N/A			RW				
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	x	x	x	x	x	x	x	0	x	x	x	*	*	*	*	*

PAD[FUNC_CTL] [31:0]

位域	名称	描述
16	LOOP_BACK	输出回送开关 0: 关闭输出回送功能 1: 打开输出回送功能
8	ANALOG	引脚切换至模拟输入输出功能开关 0: 关闭引脚模拟输入输出功能 1: 将引脚切换至模拟输入输出

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
4-0	ALT_SELECT	外设复用功能映射选择 0: 选择 ALT0 上的外设功能 1: 选择 ALT1 上的外设功能 ... 31: 选择 ALT31 上的外设功能

PAD[FUNC_CTL] 位域

22.3.3 PAD[PAD_CTL] (0x4 + 0x8 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																	MS	OD	SMT	PS	RSVD						PE	RSVD	DS		
N/A																	RW	RW	RW	RW	N/A						RW	N/A	RW		
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	*	1	*	x	x	x	x	x	x	*	x	0	0	0

PAD[PAD_CTL] [31:0]

位域	名称	描述
14	MS	引脚供电电压选择, 此位只对高速引脚可用 0: 3.3 伏特 1: 1.8 伏特
13	OD	开漏输出开关 0: 关闭开漏输出功能 1: 打开开漏输出功能
12	SMT	输入施密特触发器使能, 此位只对高速引脚可用 0: 不使能输入施密特触发器 1: 使能输入施密特触发器
11	PS	内部上下拉电阻选择 0: 下拉电阻 1: 上拉电阻
4	PE	内部上下拉功能开关 0: 关闭上下拉功能 1: 打开上下拉功能

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
2-0	DS	驱动强度选择: 高速引脚 3.3 伏时驱动强度： 000: 85.61 Ohm 001: 61.2 Ohm 010: 42.88 Ohm 011: 35.76 Ohm 111: 30.67 Ohm 高速引脚 1.8 伏时驱动强度: 000: 84.07 Ohm 001: 60.14 Ohm 010: 42.15 Ohm 011: 35.19 Ohm 111: 30.2 Ohm 普通引脚驱动强度: 00: 4mA 01: 8mA 11: 12mA

PAD[PAD_CTL] 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

23 GPIO 控制器

本章节描述了 GPIO 控制器的主要特性和功能。GPIO 控制器包括：2 个 GPIO 控制器（GPIO0，GPIO1），2 个快速 GPIO 控制器（FGPIO0，FGPIO1），电源管理域 GPIO 控制器（PGPIO）和电池备份域 GPIO 控制器(BGPIO)。

23.1 特性总结

本章节介绍 GPIO 控制器的主要特性：

- 配置 IO 作为输入或者输出
- 读取 IO 输入的状态
- 设置 IO 的输出
- 原子化操作设置 IO 输出高，输出低，翻转

GPIO，PGIO，BGPIO 支持配置 GPIO 中断，FGPIO0 和 FGPIO1 不支持生成中断。

23.2 功能描述

23.2.1 GPIO 控制

GPIO 控制器支持 OE 寄存器，每一个 IO 都有对应的 DIRECTION 控制位。用户把该位置 1 就可以把对应的 IO 配置为 GPIO 输出，反之该 IO 即为 GPIO 输入。

用户可以通过 GPIO 控制器的 DO 寄存器配置 GPIO 的输出。

GPIO 输出支持原子化操作寄存器：

- 输出高寄存器 SET，把此寄存器里对应位置 1，会把对应 IO 输出置高；置 0 则 IO 输出不变。
- 输出低寄存器 CLEAR，把此寄存器里对应位置 1，会把对应 IO 输出置低；置 0 则 IO 输出不变。
- 翻转寄存器 TOGGLE，把此寄存器里对应位置 1，会把对应 IO 输出翻转；置 0 则 IO 输出不变。

用户可以通过 GPIO 控制器的 DI 寄存器读取 IO 的电平状态。

注意，DI 寄存器可以实现 IO 监听。即无论 GPIO 配置为输入还是输出，或者对应的 IO 控制器 IOC 是否将 IO 功能映射为 GPIO，用户总能从 DI 读取到 IO 的状态。

23.2.2 GPIO 中断

用户可以通过 GPIO 控制器的 IE 寄存器打开 GPIO 中断，IE 寄存器内的对应位置 1 就可以使能对应 IO 的中断。

用户可以通过 GPIO 控制器的 TP 寄存器来指定中断的类型，对应位置 1，表示中断由边沿触发，对应位置 0，表示中断由电平触发。

用户可以通过 GPIO 控制器的 PL 寄存器来指定中断的极性，对应位置 1，表示中断由下降沿或者低电平触发，对应位置 0，表示中断由上升沿或高电平触发。

用户可以通过 GPIO 控制器的 IF 寄存器来查询中断的状态，对应标志位置 1，表示对应 IO 有中断待处理。对标志位写 1，可以清除这个标志位。

23.3 GPIO 寄存器列表

GPIO 的寄存器列表如下：

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

FGPIO base address: 0x000C0000 GPIO0 base address: 0xF0000000 GPIO1 base address: 0xF0004000 PGPIO base address: 0xF40DC000 BGPIO base address: 0xF5014000

地址偏移	名称	描述	复位值
0x0000	DI[GPIOA][VALUE]	gpioa 状态寄存器	0x00000000
0x0010	DI[GPIOB][VALUE]	gpiob 状态寄存器	0x00000000
0x0020	DI[GPIOC][VALUE]	gpioc 状态寄存器	0x00000000
0x0030	DI[GPIOD][VALUE]	gpiod 状态寄存器	0x00000000
0x0040	DI[GPIOE][VALUE]	gpioe 状态寄存器	0x00000000
0x0050	DI[GPIOF][VALUE]	gpiof 状态寄存器	0x00000000
0x00D0	DI[GPIOX][VALUE]	gpiox 状态寄存器	0x00000000
0x00E0	DI[GPIOY][VALUE]	gpioy 状态寄存器	0x00000000
0x00F0	DI[GPIOZ][VALUE]	gpioz 状态寄存器	0x00000000
0x0100	DO[GPIOA][VALUE]	gpioa 输出寄存器	0x00000000
0x0104	DO[GPIOA][SET]	gpioa 输出设置寄存器	0x00000000
0x0108	DO[GPIOA][CLEAR]	gpioa 输出清除寄存器	0x00000000
0x010C	DO[GPIOA][TOGGLE]	gpioa 输出翻转寄存器	0x00000000
0x0110	DO[GPIOB][VALUE]	gpiob 输出寄存器	0x00000000
0x0114	DO[GPIOB][SET]	gpiob 输出设置寄存器	0x00000000
0x0118	DO[GPIOB][CLEAR]	gpiob 输出清除寄存器	0x00000000
0x011C	DO[GPIOB][TOGGLE]	gpiob 输出翻转寄存器	0x00000000
0x0120	DO[GPIOC][VALUE]	gpioc 输出寄存器	0x00000000
0x0124	DO[GPIOC][SET]	gpioc 输出设置寄存器	0x00000000
0x0128	DO[GPIOC][CLEAR]	gpioc 输出清除寄存器	0x00000000
0x012C	DO[GPIOC][TOGGLE]	gpioc 输出翻转寄存器	0x00000000
0x0130	DO[GPIOD][VALUE]	gpiod 输出寄存器	0x00000000
0x0134	DO[GPIOD][SET]	gpiod 输出设置寄存器	0x00000000
0x0138	DO[GPIOD][CLEAR]	gpiod 输出清除寄存器	0x00000000
0x013C	DO[GPIOD][TOGGLE]	gpiod 输出翻转寄存器	0x00000000
0x0140	DO[GPIOE][VALUE]	gpioe 输出寄存器	0x00000000
0x0144	DO[GPIOE][SET]	gpioe 输出设置寄存器	0x00000000
0x0148	DO[GPIOE][CLEAR]	gpioe 输出清除寄存器	0x00000000
0x014C	DO[GPIOE][TOGGLE]	gpioe 输出翻转寄存器	0x00000000
0x0150	DO[GPIOF][VALUE]	gpiof 输出寄存器	0x00000000
0x0154	DO[GPIOF][SET]	gpiof 输出设置寄存器	0x00000000
0x0158	DO[GPIOF][CLEAR]	gpiof 输出清除寄存器	0x00000000
0x015C	DO[GPIOF][TOGGLE]	gpiof 输出翻转寄存器	0x00000000
0x01D0	DO[GPIOX][VALUE]	gpiox 输出寄存器	0x00000000
0x01D4	DO[GPIOX][SET]	gpiox 输出设置寄存器	0x00000000
0x01D8	DO[GPIOX][CLEAR]	gpiox 输出清除寄存器	0x00000000
0x01DC	DO[GPIOX][TOGGLE]	gpiox 输出翻转寄存器	0x00000000
0x01E0	DO[GPIOY][VALUE]	gpioy 输出寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x01E4	DO[GPIOY][SET]	gpioy 输出设置寄存器	0x00000000
0x01E8	DO[GPIOY][CLEAR]	gpioy 输出清除寄存器	0x00000000
0x01EC	DO[GPIOY][TOGGLE]	gpioy 输出翻转寄存器	0x00000000
0x01F0	DO[GPIOZ][VALUE]	gpioz 输出寄存器	0x00000000
0x01F4	DO[GPIOZ][SET]	gpioz 输出设置寄存器	0x00000000
0x01F8	DO[GPIOZ][CLEAR]	gpioz 输出清除寄存器	0x00000000
0x01FC	DO[GPIOZ][TOGGLE]	gpioz 输出翻转寄存器	0x00000000
0x0200	OE[GPIOA][VALUE]	gpioa 方向控制寄存器	0x00000000
0x0204	OE[GPIOA][SET]	gpioa 方向控制设置寄存器	0x00000000
0x0208	OE[GPIOA][CLEAR]	gpioa 方向控制清除寄存器	0x00000000
0x020C	OE[GPIOA][TOGGLE]	gpioa 方向控制翻转寄存器	0x00000000
0x0210	OE[GPIOB][VALUE]	gpiob 方向控制寄存器	0x00000000
0x0214	OE[GPIOB][SET]	gpiob 方向控制设置寄存器	0x00000000
0x0218	OE[GPIOB][CLEAR]	gpiob 方向控制清除寄存器	0x00000000
0x021C	OE[GPIOB][TOGGLE]	gpiob 方向控制翻转寄存器	0x00000000
0x0220	OE[GPIOC][VALUE]	gpioc 方向控制寄存器	0x00000000
0x0224	OE[GPIOC][SET]	gpioc 方向控制设置寄存器	0x00000000
0x0228	OE[GPIOC][CLEAR]	gpioc 方向控制清除寄存器	0x00000000
0x022C	OE[GPIOC][TOGGLE]	gpioc 方向控制翻转寄存器	0x00000000
0x0230	OE[GPIOD][VALUE]	gpiod 方向控制寄存器	0x00000000
0x0234	OE[GPIOD][SET]	gpiod 方向控制设置寄存器	0x00000000
0x0238	OE[GPIOD][CLEAR]	gpiod 方向控制清除寄存器	0x00000000
0x023C	OE[GPIOD][TOGGLE]	gpiod 方向控制翻转寄存器	0x00000000
0x0240	OE[GPIOE][VALUE]	gpioe 方向控制寄存器	0x00000000
0x0244	OE[GPIOE][SET]	gpioe 方向控制设置寄存器	0x00000000
0x0248	OE[GPIOE][CLEAR]	gpioe 方向控制清除寄存器	0x00000000
0x024C	OE[GPIOE][TOGGLE]	gpioe 方向控制翻转寄存器	0x00000000
0x0250	OE[GPIOF][VALUE]	gpiof 方向控制寄存器	0x00000000
0x0254	OE[GPIOF][SET]	gpiof 方向控制设置寄存器	0x00000000
0x0258	OE[GPIOF][CLEAR]	gpiof 方向控制清除寄存器	0x00000000
0x025C	OE[GPIOF][TOGGLE]	gpiof 方向控制翻转寄存器	0x00000000
0x02D0	OE[GPIOX][VALUE]	gpiox 方向控制寄存器	0x00000000
0x02D4	OE[GPIOX][SET]	gpiox 方向控制设置寄存器	0x00000000
0x02D8	OE[GPIOX][CLEAR]	gpiox 方向控制清除寄存器	0x00000000
0x02DC	OE[GPIOX][TOGGLE]	gpiox 方向控制翻转寄存器	0x00000000
0x02E0	OE[GPIOY][VALUE]	gpioy 方向控制寄存器	0x00000000
0x02E4	OE[GPIOY][SET]	gpioy 方向控制设置寄存器	0x00000000
0x02E8	OE[GPIOY][CLEAR]	gpioy 方向控制清除寄存器	0x00000000
0x02EC	OE[GPIOY][TOGGLE]	gpioy 方向控制翻转寄存器	0x00000000
0x02F0	OE[GPIOZ][VALUE]	gpioz 方向控制寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x02F4	OE[GPIOZ][SET]	gpioz 方向控制设置寄存器	0x00000000
0x02F8	OE[GPIOZ][CLEAR]	gpioz 方向控制清除寄存器	0x00000000
0x02FC	OE[GPIOZ][TOGGLE]	gpioz 方向控制翻转寄存器	0x00000000
0x0300	IF[GPIOA][VALUE]	gpioa 中断标志	0x00000000
0x0310	IF[GPIOB][VALUE]	gpiob 中断标志	0x00000000
0x0320	IF[GPIOC][VALUE]	gpioc 中断标志	0x00000000
0x0330	IF[GPIOD][VALUE]	gpiod 中断标志	0x00000000
0x0340	IF[GPIOE][VALUE]	gpioe 中断标志	0x00000000
0x0350	IF[GPIOF][VALUE]	gpiof 中断标志	0x00000000
0x03D0	IF[GPIOX][VALUE]	gpiox 中断标志	0x00000000
0x03E0	IF[GPIOY][VALUE]	gpioy 中断标志	0x00000000
0x03F0	IF[GPIOZ][VALUE]	gpioz 中断标志	0x00000000
0x0400	IE[GPIOA][VALUE]	gpioa 中断使能	0x00000000
0x0404	IE[GPIOA][SET]	gpioa 中断使能设置	0x00000000
0x0408	IE[GPIOA][CLEAR]	gpioa 中断使能清除	0x00000000
0x040C	IE[GPIOA][TOGGLE]	gpioa 中断使能翻转	0x00000000
0x0410	IE[GPIOB][VALUE]	gpiob 中断使能	0x00000000
0x0414	IE[GPIOB][SET]	gpiob 中断使能设置	0x00000000
0x0418	IE[GPIOB][CLEAR]	gpiob 中断使能清除	0x00000000
0x041C	IE[GPIOB][TOGGLE]	gpiob 中断使能翻转	0x00000000
0x0420	IE[GPIOC][VALUE]	gpioc 中断使能	0x00000000
0x0424	IE[GPIOC][SET]	gpioc 中断使能设置	0x00000000
0x0428	IE[GPIOC][CLEAR]	gpioc 中断使能清除	0x00000000
0x042C	IE[GPIOC][TOGGLE]	gpioc 中断使能翻转	0x00000000
0x0430	IE[GPIOD][VALUE]	gpiod 中断使能	0x00000000
0x0434	IE[GPIOD][SET]	gpiod 中断使能设置	0x00000000
0x0438	IE[GPIOD][CLEAR]	gpiod 中断使能清除	0x00000000
0x043C	IE[GPIOD][TOGGLE]	gpiod 中断使能翻转	0x00000000
0x0440	IE[GPIOE][VALUE]	gpioe 中断使能	0x00000000
0x0444	IE[GPIOE][SET]	gpioe 中断使能设置	0x00000000
0x0448	IE[GPIOE][CLEAR]	gpioe 中断使能清除	0x00000000
0x044C	IE[GPIOE][TOGGLE]	gpioe 中断使能翻转	0x00000000
0x0450	IE[GPIOF][VALUE]	gpiof 中断使能	0x00000000
0x0454	IE[GPIOF][SET]	gpiof 中断使能设置	0x00000000
0x0458	IE[GPIOF][CLEAR]	gpiof 中断使能清除	0x00000000
0x045C	IE[GPIOF][TOGGLE]	gpiof 中断使能翻转	0x00000000
0x04D0	IE[GPIOX][VALUE]	gpiox 中断使能	0x00000000
0x04D4	IE[GPIOX][SET]	gpiox 中断使能设置	0x00000000
0x04D8	IE[GPIOX][CLEAR]	gpiox 中断使能清除	0x00000000
0x04DC	IE[GPIOX][TOGGLE]	gpiox 中断使能翻转	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x04E0	IE[GPIOY][VALUE]	gpioy 中断使能	0x00000000
0x04E4	IE[GPIOY][SET]	gpioy 中断使能设置	0x00000000
0x04E8	IE[GPIOY][CLEAR]	gpioy 中断使能清除	0x00000000
0x04EC	IE[GPIOY][TOGGLE]	gpioy 中断使能翻转	0x00000000
0x04F0	IE[GPIOZ][VALUE]	gpioz 中断使能	0x00000000
0x04F4	IE[GPIOZ][SET]	gpioz 中断使能设置	0x00000000
0x04F8	IE[GPIOZ][CLEAR]	gpioz 中断使能清除	0x00000000
0x04FC	IE[GPIOZ][TOGGLE]	gpioz 中断使能翻转	0x00000000
0x0500	PL[GPIOA][VALUE]	gpioa 中断极性	0x00000000
0x0504	PL[GPIOA][SET]	gpioa 中断极设置	0x00000000
0x0508	PL[GPIOA][CLEAR]	gpioa 中断极性清除	0x00000000
0x050C	PL[GPIOA][TOGGLE]	gpioa 中断极性翻转	0x00000000
0x0510	PL[GPIOB][VALUE]	gpiob 中断极性	0x00000000
0x0514	PL[GPIOB][SET]	gpiob 中断极设置	0x00000000
0x0518	PL[GPIOB][CLEAR]	gpiob 中断极性清除	0x00000000
0x051C	PL[GPIOB][TOGGLE]	gpiob 中断极性翻转	0x00000000
0x0520	PL[GPIOC][VALUE]	gpioc 中断极性	0x00000000
0x0524	PL[GPIOC][SET]	gpioc 中断极设置	0x00000000
0x0528	PL[GPIOC][CLEAR]	gpioc 中断极性清除	0x00000000
0x052C	PL[GPIOC][TOGGLE]	gpioc 中断极性翻转	0x00000000
0x0530	PL[GPIOD][VALUE]	gpiod 中断极性	0x00000000
0x0534	PL[GPIOD][SET]	gpiod 中断极设置	0x00000000
0x0538	PL[GPIOD][CLEAR]	gpiod 中断极性清除	0x00000000
0x053C	PL[GPIOD][TOGGLE]	gpiod 中断极性翻转	0x00000000
0x0540	PL[GPIOE][VALUE]	gpioe 中断极性	0x00000000
0x0544	PL[GPIOE][SET]	gpioe 中断极设置	0x00000000
0x0548	PL[GPIOE][CLEAR]	gpioe 中断极性清除	0x00000000
0x054C	PL[GPIOE][TOGGLE]	gpioe 中断极性翻转	0x00000000
0x0550	PL[GPIOF][VALUE]	gpiof 中断极性	0x00000000
0x0554	PL[GPIOF][SET]	gpiof 中断极设置	0x00000000
0x0558	PL[GPIOF][CLEAR]	gpiof 中断极性清除	0x00000000
0x055C	PL[GPIOF][TOGGLE]	gpiof 中断极性翻转	0x00000000
0x05D0	PL[GPIOX][VALUE]	gpiox 中断极性	0x00000000
0x05D4	PL[GPIOX][SET]	gpiox 中断极设置	0x00000000
0x05D8	PL[GPIOX][CLEAR]	gpiox 中断极性清除	0x00000000
0x05DC	PL[GPIOX][TOGGLE]	gpiox 中断极性翻转	0x00000000
0x05E0	PL[GPIOY][VALUE]	gpioy 中断极性	0x00000000
0x05E4	PL[GPIOY][SET]	gpioy 中断极设置	0x00000000
0x05E8	PL[GPIOY][CLEAR]	gpioy 中断极性清除	0x00000000
0x05EC	PL[GPIOY][TOGGLE]	gpioy 中断极性翻转	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x05F0	PL[GPIOZ][VALUE]	gpioz 中断极性	0x00000000
0x05F4	PL[GPIOZ][SET]	gpioz 中断极设置	0x00000000
0x05F8	PL[GPIOZ][CLEAR]	gpioz 中断极性清除	0x00000000
0x05FC	PL[GPIOZ][TOGGLE]	gpioz 中断极性翻转	0x00000000
0x0600	TP[GPIOA][VALUE]	gpioa 中断类型	0x00000000
0x0604	TP[GPIOA][SET]	gpioa 中断类型设置	0x00000000
0x0608	TP[GPIOA][CLEAR]	gpioa 中断类型清除	0x00000000
0x060C	TP[GPIOA][TOGGLE]	gpioa 中断类型翻转	0x00000000
0x0610	TP[GPIOB][VALUE]	gpiob 中断类型	0x00000000
0x0614	TP[GPIOB][SET]	gpiob 中断类型设置	0x00000000
0x0618	TP[GPIOB][CLEAR]	gpiob 中断类型清除	0x00000000
0x061C	TP[GPIOB][TOGGLE]	gpiob 中断类型翻转	0x00000000
0x0620	TP[GPIOC][VALUE]	gpioc 中断类型	0x00000000
0x0624	TP[GPIOC][SET]	gpioc 中断类型设置	0x00000000
0x0628	TP[GPIOC][CLEAR]	gpioc 中断类型清除	0x00000000
0x062C	TP[GPIOC][TOGGLE]	gpioc 中断类型翻转	0x00000000
0x0630	TP[GPIOD][VALUE]	gpiod 中断类型	0x00000000
0x0634	TP[GPIOD][SET]	gpiod 中断类型设置	0x00000000
0x0638	TP[GPIOD][CLEAR]	gpiod 中断类型清除	0x00000000
0x063C	TP[GPIOD][TOGGLE]	gpiod 中断类型翻转	0x00000000
0x0640	TP[GPIOE][VALUE]	gpioe 中断类型	0x00000000
0x0644	TP[GPIOE][SET]	gpioe 中断类型设置	0x00000000
0x0648	TP[GPIOE][CLEAR]	gpioe 中断类型清除	0x00000000
0x064C	TP[GPIOE][TOGGLE]	gpioe 中断类型翻转	0x00000000
0x0650	TP[GPIOF][VALUE]	gpiof 中断类型	0x00000000
0x0654	TP[GPIOF][SET]	gpiof 中断类型设置	0x00000000
0x0658	TP[GPIOF][CLEAR]	gpiof 中断类型清除	0x00000000
0x065C	TP[GPIOF][TOGGLE]	gpiof 中断类型翻转	0x00000000
0x06D0	TP[GPIOX][VALUE]	gpiox 中断类型	0x00000000
0x06D4	TP[GPIOX][SET]	gpiox 中断类型设置	0x00000000
0x06D8	TP[GPIOX][CLEAR]	gpiox 中断类型清除	0x00000000
0x06DC	TP[GPIOX][TOGGLE]	gpiox 中断类型翻转	0x00000000
0x06E0	TP[GPIOY][VALUE]	gpioy 中断类型	0x00000000
0x06E4	TP[GPIOY][SET]	gpioy 中断类型设置	0x00000000
0x06E8	TP[GPIOY][CLEAR]	gpioy 中断类型清除	0x00000000
0x06EC	TP[GPIOY][TOGGLE]	gpioy 中断类型翻转	0x00000000
0x06F0	TP[GPIOZ][VALUE]	gpioz 中断类型	0x00000000
0x06F4	TP[GPIOZ][SET]	gpioz 中断类型设置	0x00000000
0x06F8	TP[GPIOZ][CLEAR]	gpioz 中断类型清除	0x00000000
0x06FC	TP[GPIOZ][TOGGLE]	gpioz 中断类型翻转	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0700	AS[GPIOA][VALUE]	gpioa 异步中断	0x00000000
0x0704	AS[GPIOA][SET]	gpioa 异步中断设置	0x00000000
0x0708	AS[GPIOA][CLEAR]	gpioa 异步中断清除	0x00000000
0x070C	AS[GPIOA][TOGGLE]	gpioa 异步中断翻转	0x00000000
0x0710	AS[GPIOB][VALUE]	gpiob 异步中断	0x00000000
0x0714	AS[GPIOB][SET]	gpiob 异步中断设置	0x00000000
0x0718	AS[GPIOB][CLEAR]	gpiob 异步中断清除	0x00000000
0x071C	AS[GPIOB][TOGGLE]	gpiob 异步中断翻转	0x00000000
0x0720	AS[GPIOC][VALUE]	gpioc 异步中断	0x00000000
0x0724	AS[GPIOC][SET]	gpioc 异步中断设置	0x00000000
0x0728	AS[GPIOC][CLEAR]	gpioc 异步中断清除	0x00000000
0x072C	AS[GPIOC][TOGGLE]	gpioc 异步中断翻转	0x00000000
0x0730	AS[GPIOD][VALUE]	gpiod 异步中断	0x00000000
0x0734	AS[GPIOD][SET]	gpiod 异步中断设置	0x00000000
0x0738	AS[GPIOD][CLEAR]	gpiod 异步中断清除	0x00000000
0x073C	AS[GPIOD][TOGGLE]	gpiod 异步中断翻转	0x00000000
0x0740	AS[GPIOE][VALUE]	gpioe 异步中断	0x00000000
0x0744	AS[GPIOE][SET]	gpioe 异步中断设置	0x00000000
0x0748	AS[GPIOE][CLEAR]	gpioe 异步中断清除	0x00000000
0x074C	AS[GPIOE][TOGGLE]	gpioe 异步中断翻转	0x00000000
0x0750	AS[GPIOF][VALUE]	gpiof 异步中断	0x00000000
0x0754	AS[GPIOF][SET]	gpiof 异步中断设置	0x00000000
0x0758	AS[GPIOF][CLEAR]	gpiof 异步中断清除	0x00000000
0x075C	AS[GPIOF][TOGGLE]	gpiof 异步中断翻转	0x00000000
0x07D0	AS[GPIOX][VALUE]	gpiox 异步中断	0x00000000
0x07D4	AS[GPIOX][SET]	gpiox 异步中断设置	0x00000000
0x07D8	AS[GPIOX][CLEAR]	gpiox 异步中断清除	0x00000000
0x07DC	AS[GPIOX][TOGGLE]	gpiox 异步中断翻转	0x00000000
0x07E0	AS[GPIOY][VALUE]	gpioy 异步中断	0x00000000
0x07E4	AS[GPIOY][SET]	gpioy 异步中断设置	0x00000000
0x07E8	AS[GPIOY][CLEAR]	gpioy 异步中断清除	0x00000000
0x07EC	AS[GPIOY][TOGGLE]	gpioy 异步中断翻转	0x00000000
0x07F0	AS[GPIOZ][VALUE]	gpioz 异步中断	0x00000000
0x07F4	AS[GPIOZ][SET]	gpioz 异步中断设置	0x00000000
0x07F8	AS[GPIOZ][CLEAR]	gpioz 异步中断清除	0x00000000
0x07FC	AS[GPIOZ][TOGGLE]	gpioz 异步中断翻转	0x00000000

表 184: GPIO 寄存器列表

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

23.4 GPIO 寄存器描述

GPIO 的寄存器详细说明如下：

23.4.1 DI[VALUE] (0x0 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INPUT																															
RO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DI[VALUE] [31:0]

位域	名称	描述
31-0	INPUT	GPIO 输入值，每一位代表一个引脚 0: 引脚上为低电平 1: 引脚上为高电平

DI[VALUE] 位域

23.4.2 DO[VALUE] (0x100 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OUTPUT																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DO[VALUE] [31:0]

位域	名称	描述
31-0	OUTPUT	GPIO 输出值，每一位代表一个引脚 0: 引脚输出低电平 1: 引脚输出高电平

DO[VALUE] 位域

23.4.3 DO[SET] (0x104 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OUTPUT																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

DO[SET] [31:0]

位域	名称	描述
31-0	OUTPUT	GPIO 输出值置位，每一位代表一个引脚，写 1 则置位，写 0 没有影响 0: 引脚输出不变 1: 引脚输出高电平

DO[SET] 位域

23.4.4 DO[CLEAR] (0x108 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OUTPUT																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DO[CLEAR] [31:0]

位域	名称	描述
31-0	OUTPUT	GPIO 输出值清零，每一位代表一个引脚，写 1 则清零，写 0 没有影响 0: 引脚输出不变 1: 引脚输出低电平

DO[CLEAR] 位域

23.4.5 DO[TOGGLE] (0x10C + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OUTPUT																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DO[TOGGLE] [31:0]

位域	名称	描述
31-0	OUTPUT	GPIO 输出值翻转，每一位代表一个引脚，写 1 则翻转，写 0 没有影响 0: 引脚输出不变 1: 引脚输出翻转

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述

DO[TOGGLE] 位域

23.4.6 OE[VALUE] (0x200 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIRECTION																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

OE[VALUE] [31:0]

位域	名称	描述
31-0	DIRECTION	GPIO 方向，每一位代表一个引脚 0: 输入 1: 输出

OE[VALUE] 位域

23.4.7 OE[SET] (0x204 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIRECTION																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

OE[SET] [31:0]

位域	名称	描述
31-0	DIRECTION	GPIO 方向置位，每一位代表一个引脚 0: OE 不变 1: OE 置 1

OE[SET] 位域

23.4.8 OE[CLEAR] (0x208 + 0x10 * n)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIRECTION																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

OE[CLEAR] [31:0]

位域	名称	描述
31-0	DIRECTION	GPIO 方向清零，每一位代表一个引脚 0: OE 不变 1: OE 置 0

OE[CLEAR] 位域

23.4.9 OE[TOGGLE] (0x20C + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIRECTION																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

OE[TOGGLE] [31:0]

位域	名称	描述
31-0	DIRECTION	GPIO 方向翻转，每一位代表一个引脚 0: OE 不变 1: OE 翻转

OE[TOGGLE] 位域

23.4.10 IF[VALUE] (0x300 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IRQ_FLAG																															
W1C																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

IF[VALUE] [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-0	IRQ_FLAG	GPIO 中断标志，每一位代表一个引脚，写 1 清零，写 0 无影响 0: 没有产生中断 1: 产生中断

IF[VALUE] 位域

23.4.11 IE[VALUE] (0x400 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IRQ_EN																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

IE[VALUE] [31:0]

位域	名称	描述
31-0	IRQ_EN	GPIO 中断使能，每一位代表一个引脚 0: 禁止中断 1: 使能中断

IE[VALUE] 位域

23.4.12 IE[SET] (0x404 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IRQ_EN																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

IE[SET] [31:0]

位域	名称	描述
31-0	IRQ_EN	GPIO 中断使能置位，每一位代表一个引脚 0: 禁止中断 1: 使能中断

IE[SET] 位域

23.4.13 IE[CLEAR] (0x408 + 0x10 * n)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IRQ_EN																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

IE[CLEAR] [31:0]

位域	名称	描述
31-0	IRQ_EN	GPIO 中断使能清零，每一位代表一个引脚 0: 禁止中断 1: 使能中断

IE[CLEAR] 位域

23.4.14 IE[TOGGLE] (0x40C + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IRQ_EN																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

IE[TOGGLE] [31:0]

位域	名称	描述
31-0	IRQ_EN	GPIO 中断使能翻转，每一位代表一个引脚 0: 禁止中断 1: 使能中断

IE[TOGGLE] 位域

23.4.15 PL[VALUE] (0x500 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IRQ_POL																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PL[VALUE] [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-0	IRQ_POL	GPIO 中断极性，每一位代表一个引脚 0: 中断在高电平或上升沿产生 1: 中断在低电平或下降沿产生

PL[VALUE] 位域

23.4.16 PL[SET] (0x504 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IRQ_POL																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PL[SET] [31:0]

位域	名称	描述
31-0	IRQ_POL	GPIO 中断极性置位，每一位代表一个引脚 0: 中断在高电平或上升沿产生 1: 中断在低电平或下降沿产生

PL[SET] 位域

23.4.17 PL[CLEAR] (0x508 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IRQ_POL																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PL[CLEAR] [31:0]

位域	名称	描述
31-0	IRQ_POL	GPIO 中断极性清零，每一位代表一个引脚 0: 中断在高电平或上升沿产生 1: 中断在低电平或下降沿产生

PL[CLEAR] 位域

23.4.18 PL[TOGGLE] (0x50C + 0x10 * n)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IRQ_POL																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PL[TOGGLE] [31:0]

位域	名称	描述
31-0	IRQ_POL	GPIO 中断极性翻转，每一位代表一个引脚 0: 中断在高电平或上升沿产生 1: 中断在低电平或下降沿产生

PL[TOGGLE] 位域

23.4.19 TP[VALUE] (0x600 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IRQ_TYPE																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TP[VALUE] [31:0]

位域	名称	描述
31-0	IRQ_TYPE	GPIO 中断类型，每一位代表一个引脚 0: 中断以电平方式产生 1: 中断以边沿方式产生

TP[VALUE] 位域

23.4.20 TP[SET] (0x604 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IRQ_TYPE																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TP[SET] [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-0	IRQ_TYPE	GPIO 中断类型置位，每一位代表一个引脚 0: 中断以电平方式产生 1: 中断以边沿方式产生

TP[SET] 位域

23.4.21 TP[CLEAR] (0x608 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IRQ_TYPE																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TP[CLEAR] [31:0]

位域	名称	描述
31-0	IRQ_TYPE	GPIO 中断类型清零，每一位代表一个引脚 0: 中断以电平方式产生 1: 中断以边沿方式产生

TP[CLEAR] 位域

23.4.22 TP[TOGGLE] (0x60C + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IRQ_TYPE																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TP[TOGGLE] [31:0]

位域	名称	描述
31-0	IRQ_TYPE	GPIO 中断类型翻转，每一位代表一个引脚 0: 中断以电平方式产生 1: 中断以边沿方式产生

TP[TOGGLE] 位域

23.4.23 AS[VALUE] (0x700 + 0x10 * n)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IRQ_ASYNC																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

AS[VALUE] [31:0]

位域	名称	描述
31-0	IRQ_ASYNC	GPIO 以异步方式产生中断，每一位代表一个引脚。 0: 使用系统时钟产生中断 1: 利用组合逻辑产生中断 注：异步方式可以在没有时钟的条件下产生中断，但中断信号的产生对环境干扰较敏感。

AS[VALUE] 位域

23.4.24 AS[SET] (0x704 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IRQ_ASYNC																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

AS[SET] [31:0]

位域	名称	描述
31-0	IRQ_ASYNC	GPIO 以异步方式产生中断置位，每一位代表一个引脚。 0: 使用系统时钟产生中断 1: 利用组合逻辑产生中断 注：异步方式可以在没有时钟的条件下产生中断，但中断信号的产生对环境干扰较敏感。

AS[SET] 位域

23.4.25 AS[CLEAR] (0x708 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IRQ_ASYNC																															

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

AS[CLEAR] [31:0]

位域	名称	描述
31-0	IRQ_ASYNC	GPIO 以异步方式产生中断清零，每一位代表一个引脚。 0: 使用系统时钟产生中断 1: 利用组合逻辑产生中断 注：异步方式可以在没有时钟的条件下产生中断，但中断信号的产生对环境干扰较敏感。

AS[CLEAR] 位域

23.4.26 AS[TOGGLE] (0x70C + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
IRQ_ASYNC																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

AS[TOGGLE] [31:0]

位域	名称	描述
31-0	IRQ_ASYNC	GPIO 以异步方式产生中断翻转，每一位代表一个引脚。 0: 使用系统时钟产生中断 1: 利用组合逻辑产生中断 注：异步方式可以在没有时钟的条件下产生中断，但中断信号的产生对环境干扰较敏感。

AS[TOGGLE] 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

24 GPIO 管理器 GPIOM

本章节描述了 GPIO 管理器 GPIOM 的主要特性和功能。GPIO 管理器的主要功能是为任一 IO 指定 GPIO 配置生效的模块，每个 IO 都可以单独地从 2 个 GPIO 控制器（GPIO0，GPIO1）和 2 个快速 GPIO 控制器（FGPIO0，FGPIO1）中指定作为其控制器。

24.1 特性总结

本章节介绍 GPIO 管理器 GPIOM 的主要特性：

- 分配 IO 给指定的 GPIO 控制器
- 配置 IO 输入是否对特定 GPIO 控制器可见
- GPIOM 寄存器访问控制
- GPIOM 寄存器锁定

24.2 功能描述

本章节介绍 GPIO 管理器 GPIOM 的功能。

24.2.1 GPIO 分配

本产品支持多个 GPIO 控制器，其目的是为了方便多核，多任务间实现 GPIO 资源隔离。GPIO 管理器的主要功能是管理所有的 IO，每一个 IO 都可以单独地指定由某一个 GPIO 控制器控制，其他 GPIO 控制器无法控制 GPIO。

用户可以通过 GPIOxASSIGNy 寄存器实现管理 Px 的 y 引脚。该寄存器的 SELECT 位域可以选择这个 IO 收到哪个 GPIO 控制器控制：

- 0’b00，GPIO0
- 0’b01，GPIO1
- 0’b10，FGPIO0
- 0’b11，FGPIO1

GPIOxASSIGNy 寄存器的 HIDE 位域，由 4 个 HIDE 位组成，每一位置 1，即表示这个 IO 的输入在对应的 GPIO 控制器 DI 寄存器内不可见，即 GPIO 控制器无法读取到这个 IO 的输入。

- HIDE[0]，置 1 表示 IO 对 GPIO0 不可见
- HIDE[1]，置 1 表示 IO 对 GPIO1 不可见
- HIDE[2]，置 1 表示 IO 对 FGPIO0 不可见
- HIDE[3]，置 1 表示 IO 对 FGPIO1 不可见

24.2.2 访问控制

GPIOxASSIGNy 寄存器的 LOCK 位，可以用来锁定这个 IO 的对应寄存器。一旦置 1，这个寄存器的配置直到下次复位前都不能再更改。

GPIOxASSIGNy 寄存器的 NON_SEC 位，可以按照系统安全状态进行访问权限控制。一旦置 1，寄存器只能在安全状态下访问。请访问系统安全的相关章节获取系统安全状态的详细信息。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

24.3 GPIOM 寄存器列表

GPIOM 的寄存器列表如下：

GPIOM base address: 0xF0008000

地址偏移	名称	描述	复位值
0x0000	ASSIGN[GPIOA][PIN][PIN00]	GPIOA 管理寄存器	0x00000000
0x0004	ASSIGN[GPIOA][PIN][PIN01]	GPIOA 管理寄存器	0x00000000
0x0008	ASSIGN[GPIOA][PIN][PIN02]	GPIOA 管理寄存器	0x00000000
0x000C	ASSIGN[GPIOA][PIN][PIN03]	GPIOA 管理寄存器	0x00000000
0x0010	ASSIGN[GPIOA][PIN][PIN04]	GPIOA 管理寄存器	0x00000000
0x0014	ASSIGN[GPIOA][PIN][PIN05]	GPIOA 管理寄存器	0x00000000
0x0018	ASSIGN[GPIOA][PIN][PIN06]	GPIOA 管理寄存器	0x00000000
0x001C	ASSIGN[GPIOA][PIN][PIN07]	GPIOA 管理寄存器	0x00000000
0x0020	ASSIGN[GPIOA][PIN][PIN08]	GPIOA 管理寄存器	0x00000000
0x0024	ASSIGN[GPIOA][PIN][PIN09]	GPIOA 管理寄存器	0x00000000
0x0028	ASSIGN[GPIOA][PIN][PIN10]	GPIOA 管理寄存器	0x00000000
0x002C	ASSIGN[GPIOA][PIN][PIN11]	GPIOA 管理寄存器	0x00000000
0x0030	ASSIGN[GPIOA][PIN][PIN12]	GPIOA 管理寄存器	0x00000000
0x0034	ASSIGN[GPIOA][PIN][PIN13]	GPIOA 管理寄存器	0x00000000
0x0038	ASSIGN[GPIOA][PIN][PIN14]	GPIOA 管理寄存器	0x00000000
0x003C	ASSIGN[GPIOA][PIN][PIN15]	GPIOA 管理寄存器	0x00000000
0x0040	ASSIGN[GPIOA][PIN][PIN16]	GPIOA 管理寄存器	0x00000000
0x0044	ASSIGN[GPIOA][PIN][PIN17]	GPIOA 管理寄存器	0x00000000
0x0048	ASSIGN[GPIOA][PIN][PIN18]	GPIOA 管理寄存器	0x00000000
0x004C	ASSIGN[GPIOA][PIN][PIN19]	GPIOA 管理寄存器	0x00000000
0x0050	ASSIGN[GPIOA][PIN][PIN20]	GPIOA 管理寄存器	0x00000000
0x0054	ASSIGN[GPIOA][PIN][PIN21]	GPIOA 管理寄存器	0x00000000
0x0058	ASSIGN[GPIOA][PIN][PIN22]	GPIOA 管理寄存器	0x00000000
0x005C	ASSIGN[GPIOA][PIN][PIN23]	GPIOA 管理寄存器	0x00000000
0x0060	ASSIGN[GPIOA][PIN][PIN24]	GPIOA 管理寄存器	0x00000000
0x0064	ASSIGN[GPIOA][PIN][PIN25]	GPIOA 管理寄存器	0x00000000
0x0068	ASSIGN[GPIOA][PIN][PIN26]	GPIOA 管理寄存器	0x00000000
0x006C	ASSIGN[GPIOA][PIN][PIN27]	GPIOA 管理寄存器	0x00000000
0x0070	ASSIGN[GPIOA][PIN][PIN28]	GPIOA 管理寄存器	0x00000000
0x0074	ASSIGN[GPIOA][PIN][PIN29]	GPIOA 管理寄存器	0x00000000
0x0078	ASSIGN[GPIOA][PIN][PIN30]	GPIOA 管理寄存器	0x00000000
0x007C	ASSIGN[GPIOA][PIN][PIN31]	GPIOA 管理寄存器	0x00000000
0x0080	ASSIGN[GPIOB][PIN][PIN00]	GPIOB 管理寄存器	0x00000000
0x0084	ASSIGN[GPIOB][PIN][PIN01]	GPIOB 管理寄存器	0x00000000
0x0088	ASSIGN[GPIOB][PIN][PIN02]	GPIOB 管理寄存器	0x00000000
0x008C	ASSIGN[GPIOB][PIN][PIN03]	GPIOB 管理寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0090	ASSIGN[GPIOB][PIN][PIN04]	GPIOB 管理寄存器	0x00000000
0x0094	ASSIGN[GPIOB][PIN][PIN05]	GPIOB 管理寄存器	0x00000000
0x0098	ASSIGN[GPIOB][PIN][PIN06]	GPIOB 管理寄存器	0x00000000
0x009C	ASSIGN[GPIOB][PIN][PIN07]	GPIOB 管理寄存器	0x00000000
0x00A0	ASSIGN[GPIOB][PIN][PIN08]	GPIOB 管理寄存器	0x00000000
0x00A4	ASSIGN[GPIOB][PIN][PIN09]	GPIOB 管理寄存器	0x00000000
0x00A8	ASSIGN[GPIOB][PIN][PIN10]	GPIOB 管理寄存器	0x00000000
0x00AC	ASSIGN[GPIOB][PIN][PIN11]	GPIOB 管理寄存器	0x00000000
0x00B0	ASSIGN[GPIOB][PIN][PIN12]	GPIOB 管理寄存器	0x00000000
0x00B4	ASSIGN[GPIOB][PIN][PIN13]	GPIOB 管理寄存器	0x00000000
0x00B8	ASSIGN[GPIOB][PIN][PIN14]	GPIOB 管理寄存器	0x00000000
0x00BC	ASSIGN[GPIOB][PIN][PIN15]	GPIOB 管理寄存器	0x00000000
0x00C0	ASSIGN[GPIOB][PIN][PIN16]	GPIOB 管理寄存器	0x00000000
0x00C4	ASSIGN[GPIOB][PIN][PIN17]	GPIOB 管理寄存器	0x00000000
0x00C8	ASSIGN[GPIOB][PIN][PIN18]	GPIOB 管理寄存器	0x00000000
0x00CC	ASSIGN[GPIOB][PIN][PIN19]	GPIOB 管理寄存器	0x00000000
0x00D0	ASSIGN[GPIOB][PIN][PIN20]	GPIOB 管理寄存器	0x00000000
0x00D4	ASSIGN[GPIOB][PIN][PIN21]	GPIOB 管理寄存器	0x00000000
0x00D8	ASSIGN[GPIOB][PIN][PIN22]	GPIOB 管理寄存器	0x00000000
0x00DC	ASSIGN[GPIOB][PIN][PIN23]	GPIOB 管理寄存器	0x00000000
0x00E0	ASSIGN[GPIOB][PIN][PIN24]	GPIOB 管理寄存器	0x00000000
0x00E4	ASSIGN[GPIOB][PIN][PIN25]	GPIOB 管理寄存器	0x00000000
0x00E8	ASSIGN[GPIOB][PIN][PIN26]	GPIOB 管理寄存器	0x00000000
0x00EC	ASSIGN[GPIOB][PIN][PIN27]	GPIOB 管理寄存器	0x00000000
0x00F0	ASSIGN[GPIOB][PIN][PIN28]	GPIOB 管理寄存器	0x00000000
0x00F4	ASSIGN[GPIOB][PIN][PIN29]	GPIOB 管理寄存器	0x00000000
0x00F8	ASSIGN[GPIOB][PIN][PIN30]	GPIOB 管理寄存器	0x00000000
0x00FC	ASSIGN[GPIOB][PIN][PIN31]	GPIOB 管理寄存器	0x00000000
0x0100	ASSIGN[GPIOC][PIN][PIN00]	GPIOC 管理寄存器	0x00000000
0x0104	ASSIGN[GPIOC][PIN][PIN01]	GPIOC 管理寄存器	0x00000000
0x0108	ASSIGN[GPIOC][PIN][PIN02]	GPIOC 管理寄存器	0x00000000
0x010C	ASSIGN[GPIOC][PIN][PIN03]	GPIOC 管理寄存器	0x00000000
0x0110	ASSIGN[GPIOC][PIN][PIN04]	GPIOC 管理寄存器	0x00000000
0x0114	ASSIGN[GPIOC][PIN][PIN05]	GPIOC 管理寄存器	0x00000000
0x0118	ASSIGN[GPIOC][PIN][PIN06]	GPIOC 管理寄存器	0x00000000
0x011C	ASSIGN[GPIOC][PIN][PIN07]	GPIOC 管理寄存器	0x00000000
0x0120	ASSIGN[GPIOC][PIN][PIN08]	GPIOC 管理寄存器	0x00000000
0x0124	ASSIGN[GPIOC][PIN][PIN09]	GPIOC 管理寄存器	0x00000000
0x0128	ASSIGN[GPIOC][PIN][PIN10]	GPIOC 管理寄存器	0x00000000
0x012C	ASSIGN[GPIOC][PIN][PIN11]	GPIOC 管理寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0130	ASSIGN[GPIOC][PIN][PIN12]	GPIOC 管理寄存器	0x00000000
0x0134	ASSIGN[GPIOC][PIN][PIN13]	GPIOC 管理寄存器	0x00000000
0x0138	ASSIGN[GPIOC][PIN][PIN14]	GPIOC 管理寄存器	0x00000000
0x013C	ASSIGN[GPIOC][PIN][PIN15]	GPIOC 管理寄存器	0x00000000
0x0140	ASSIGN[GPIOC][PIN][PIN16]	GPIOC 管理寄存器	0x00000000
0x0144	ASSIGN[GPIOC][PIN][PIN17]	GPIOC 管理寄存器	0x00000000
0x0148	ASSIGN[GPIOC][PIN][PIN18]	GPIOC 管理寄存器	0x00000000
0x014C	ASSIGN[GPIOC][PIN][PIN19]	GPIOC 管理寄存器	0x00000000
0x0150	ASSIGN[GPIOC][PIN][PIN20]	GPIOC 管理寄存器	0x00000000
0x0154	ASSIGN[GPIOC][PIN][PIN21]	GPIOC 管理寄存器	0x00000000
0x0158	ASSIGN[GPIOC][PIN][PIN22]	GPIOC 管理寄存器	0x00000000
0x015C	ASSIGN[GPIOC][PIN][PIN23]	GPIOC 管理寄存器	0x00000000
0x0160	ASSIGN[GPIOC][PIN][PIN24]	GPIOC 管理寄存器	0x00000000
0x0164	ASSIGN[GPIOC][PIN][PIN25]	GPIOC 管理寄存器	0x00000000
0x0168	ASSIGN[GPIOC][PIN][PIN26]	GPIOC 管理寄存器	0x00000000
0x016C	ASSIGN[GPIOC][PIN][PIN27]	GPIOC 管理寄存器	0x00000000
0x0170	ASSIGN[GPIOC][PIN][PIN28]	GPIOC 管理寄存器	0x00000000
0x0174	ASSIGN[GPIOC][PIN][PIN29]	GPIOC 管理寄存器	0x00000000
0x0178	ASSIGN[GPIOC][PIN][PIN30]	GPIOC 管理寄存器	0x00000000
0x017C	ASSIGN[GPIOC][PIN][PIN31]	GPIOC 管理寄存器	0x00000000
0x0180	ASSIGN[GPIOD][PIN][PIN00]	GPIOD 管理寄存器	0x00000000
0x0184	ASSIGN[GPIOD][PIN][PIN01]	GPIOD 管理寄存器	0x00000000
0x0188	ASSIGN[GPIOD][PIN][PIN02]	GPIOD 管理寄存器	0x00000000
0x018C	ASSIGN[GPIOD][PIN][PIN03]	GPIOD 管理寄存器	0x00000000
0x0190	ASSIGN[GPIOD][PIN][PIN04]	GPIOD 管理寄存器	0x00000000
0x0194	ASSIGN[GPIOD][PIN][PIN05]	GPIOD 管理寄存器	0x00000000
0x0198	ASSIGN[GPIOD][PIN][PIN06]	GPIOD 管理寄存器	0x00000000
0x019C	ASSIGN[GPIOD][PIN][PIN07]	GPIOD 管理寄存器	0x00000000
0x01A0	ASSIGN[GPIOD][PIN][PIN08]	GPIOD 管理寄存器	0x00000000
0x01A4	ASSIGN[GPIOD][PIN][PIN09]	GPIOD 管理寄存器	0x00000000
0x01A8	ASSIGN[GPIOD][PIN][PIN10]	GPIOD 管理寄存器	0x00000000
0x01AC	ASSIGN[GPIOD][PIN][PIN11]	GPIOD 管理寄存器	0x00000000
0x01B0	ASSIGN[GPIOD][PIN][PIN12]	GPIOD 管理寄存器	0x00000000
0x01B4	ASSIGN[GPIOD][PIN][PIN13]	GPIOD 管理寄存器	0x00000000
0x01B8	ASSIGN[GPIOD][PIN][PIN14]	GPIOD 管理寄存器	0x00000000
0x01BC	ASSIGN[GPIOD][PIN][PIN15]	GPIOD 管理寄存器	0x00000000
0x01C0	ASSIGN[GPIOD][PIN][PIN16]	GPIOD 管理寄存器	0x00000000
0x01C4	ASSIGN[GPIOD][PIN][PIN17]	GPIOD 管理寄存器	0x00000000
0x01C8	ASSIGN[GPIOD][PIN][PIN18]	GPIOD 管理寄存器	0x00000000
0x01CC	ASSIGN[GPIOD][PIN][PIN19]	GPIOD 管理寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x01D0	ASSIGN[GPIOD][PIN][PIN20]	GPIOD 管理寄存器	0x00000000
0x01D4	ASSIGN[GPIOD][PIN][PIN21]	GPIOD 管理寄存器	0x00000000
0x01D8	ASSIGN[GPIOD][PIN][PIN22]	GPIOD 管理寄存器	0x00000000
0x01DC	ASSIGN[GPIOD][PIN][PIN23]	GPIOD 管理寄存器	0x00000000
0x01E0	ASSIGN[GPIOD][PIN][PIN24]	GPIOD 管理寄存器	0x00000000
0x01E4	ASSIGN[GPIOD][PIN][PIN25]	GPIOD 管理寄存器	0x00000000
0x01E8	ASSIGN[GPIOD][PIN][PIN26]	GPIOD 管理寄存器	0x00000000
0x01EC	ASSIGN[GPIOD][PIN][PIN27]	GPIOD 管理寄存器	0x00000000
0x01F0	ASSIGN[GPIOD][PIN][PIN28]	GPIOD 管理寄存器	0x00000000
0x01F4	ASSIGN[GPIOD][PIN][PIN29]	GPIOD 管理寄存器	0x00000000
0x01F8	ASSIGN[GPIOD][PIN][PIN30]	GPIOD 管理寄存器	0x00000000
0x01FC	ASSIGN[GPIOD][PIN][PIN31]	GPIOD 管理寄存器	0x00000000
0x0200	ASSIGN[GPIOE][PIN][PIN00]	GPIOE 管理寄存器	0x00000000
0x0204	ASSIGN[GPIOE][PIN][PIN01]	GPIOE 管理寄存器	0x00000000
0x0208	ASSIGN[GPIOE][PIN][PIN02]	GPIOE 管理寄存器	0x00000000
0x020C	ASSIGN[GPIOE][PIN][PIN03]	GPIOE 管理寄存器	0x00000000
0x0210	ASSIGN[GPIOE][PIN][PIN04]	GPIOE 管理寄存器	0x00000000
0x0214	ASSIGN[GPIOE][PIN][PIN05]	GPIOE 管理寄存器	0x00000000
0x0218	ASSIGN[GPIOE][PIN][PIN06]	GPIOE 管理寄存器	0x00000000
0x021C	ASSIGN[GPIOE][PIN][PIN07]	GPIOE 管理寄存器	0x00000000
0x0220	ASSIGN[GPIOE][PIN][PIN08]	GPIOE 管理寄存器	0x00000000
0x0224	ASSIGN[GPIOE][PIN][PIN09]	GPIOE 管理寄存器	0x00000000
0x0228	ASSIGN[GPIOE][PIN][PIN10]	GPIOE 管理寄存器	0x00000000
0x022C	ASSIGN[GPIOE][PIN][PIN11]	GPIOE 管理寄存器	0x00000000
0x0230	ASSIGN[GPIOE][PIN][PIN12]	GPIOE 管理寄存器	0x00000000
0x0234	ASSIGN[GPIOE][PIN][PIN13]	GPIOE 管理寄存器	0x00000000
0x0238	ASSIGN[GPIOE][PIN][PIN14]	GPIOE 管理寄存器	0x00000000
0x023C	ASSIGN[GPIOE][PIN][PIN15]	GPIOE 管理寄存器	0x00000000
0x0240	ASSIGN[GPIOE][PIN][PIN16]	GPIOE 管理寄存器	0x00000000
0x0244	ASSIGN[GPIOE][PIN][PIN17]	GPIOE 管理寄存器	0x00000000
0x0248	ASSIGN[GPIOE][PIN][PIN18]	GPIOE 管理寄存器	0x00000000
0x024C	ASSIGN[GPIOE][PIN][PIN19]	GPIOE 管理寄存器	0x00000000
0x0250	ASSIGN[GPIOE][PIN][PIN20]	GPIOE 管理寄存器	0x00000000
0x0254	ASSIGN[GPIOE][PIN][PIN21]	GPIOE 管理寄存器	0x00000000
0x0258	ASSIGN[GPIOE][PIN][PIN22]	GPIOE 管理寄存器	0x00000000
0x025C	ASSIGN[GPIOE][PIN][PIN23]	GPIOE 管理寄存器	0x00000000
0x0260	ASSIGN[GPIOE][PIN][PIN24]	GPIOE 管理寄存器	0x00000000
0x0264	ASSIGN[GPIOE][PIN][PIN25]	GPIOE 管理寄存器	0x00000000
0x0268	ASSIGN[GPIOE][PIN][PIN26]	GPIOE 管理寄存器	0x00000000
0x026C	ASSIGN[GPIOE][PIN][PIN27]	GPIOE 管理寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0270	ASSIGN[GPIOE][PIN][PIN28]	GPIOE 管理寄存器	0x00000000
0x0274	ASSIGN[GPIOE][PIN][PIN29]	GPIOE 管理寄存器	0x00000000
0x0278	ASSIGN[GPIOE][PIN][PIN30]	GPIOE 管理寄存器	0x00000000
0x027C	ASSIGN[GPIOE][PIN][PIN31]	GPIOE 管理寄存器	0x00000000
0x0280	ASSIGN[GPIOF][PIN][PIN00]	GPIOF 管理寄存器	0x00000000
0x0284	ASSIGN[GPIOF][PIN][PIN01]	GPIOF 管理寄存器	0x00000000
0x0288	ASSIGN[GPIOF][PIN][PIN02]	GPIOF 管理寄存器	0x00000000
0x028C	ASSIGN[GPIOF][PIN][PIN03]	GPIOF 管理寄存器	0x00000000
0x0290	ASSIGN[GPIOF][PIN][PIN04]	GPIOF 管理寄存器	0x00000000
0x0294	ASSIGN[GPIOF][PIN][PIN05]	GPIOF 管理寄存器	0x00000000
0x0298	ASSIGN[GPIOF][PIN][PIN06]	GPIOF 管理寄存器	0x00000000
0x029C	ASSIGN[GPIOF][PIN][PIN07]	GPIOF 管理寄存器	0x00000000
0x02A0	ASSIGN[GPIOF][PIN][PIN08]	GPIOF 管理寄存器	0x00000000
0x02A4	ASSIGN[GPIOF][PIN][PIN09]	GPIOF 管理寄存器	0x00000000
0x02A8	ASSIGN[GPIOF][PIN][PIN10]	GPIOF 管理寄存器	0x00000000
0x0680	ASSIGN[GPIOX][PIN][PIN00]	GPIOX 管理寄存器	0x00000000
0x0684	ASSIGN[GPIOX][PIN][PIN01]	GPIOX 管理寄存器	0x00000000
0x0688	ASSIGN[GPIOX][PIN][PIN02]	GPIOX 管理寄存器	0x00000000
0x068C	ASSIGN[GPIOX][PIN][PIN03]	GPIOX 管理寄存器	0x00000000
0x0690	ASSIGN[GPIOX][PIN][PIN04]	GPIOX 管理寄存器	0x00000000
0x0694	ASSIGN[GPIOX][PIN][PIN05]	GPIOX 管理寄存器	0x00000000
0x0698	ASSIGN[GPIOX][PIN][PIN06]	GPIOX 管理寄存器	0x00000000
0x069C	ASSIGN[GPIOX][PIN][PIN07]	GPIOX 管理寄存器	0x00000000
0x06A0	ASSIGN[GPIOX][PIN][PIN08]	GPIOX 管理寄存器	0x00000000
0x06A4	ASSIGN[GPIOX][PIN][PIN09]	GPIOX 管理寄存器	0x00000000
0x06A8	ASSIGN[GPIOX][PIN][PIN10]	GPIOX 管理寄存器	0x00000000
0x06AC	ASSIGN[GPIOX][PIN][PIN11]	GPIOX 管理寄存器	0x00000000
0x0700	ASSIGN[GPIOY][PIN][PIN00]	GPIOY 管理寄存器	0x00000000
0x0704	ASSIGN[GPIOY][PIN][PIN01]	GPIOY 管理寄存器	0x00000000
0x0708	ASSIGN[GPIOY][PIN][PIN02]	GPIOY 管理寄存器	0x00000000
0x070C	ASSIGN[GPIOY][PIN][PIN03]	GPIOY 管理寄存器	0x00000000
0x0710	ASSIGN[GPIOY][PIN][PIN04]	GPIOY 管理寄存器	0x00000000
0x0714	ASSIGN[GPIOY][PIN][PIN05]	GPIOY 管理寄存器	0x00000000
0x0718	ASSIGN[GPIOY][PIN][PIN06]	GPIOY 管理寄存器	0x00000000
0x071C	ASSIGN[GPIOY][PIN][PIN07]	GPIOY 管理寄存器	0x00000000
0x0720	ASSIGN[GPIOY][PIN][PIN08]	GPIOY 管理寄存器	0x00000000
0x0724	ASSIGN[GPIOY][PIN][PIN09]	GPIOY 管理寄存器	0x00000000
0x0728	ASSIGN[GPIOY][PIN][PIN10]	GPIOY 管理寄存器	0x00000000
0x072C	ASSIGN[GPIOY][PIN][PIN11]	GPIOY 管理寄存器	0x00000000
0x0780	ASSIGN[GPIOZ][PIN][PIN00]	GPIOZ 管理寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0784	ASSIGN[GPIOZ][PIN][PIN01]	GPIOZ 管理寄存器	0x00000000
0x0788	ASSIGN[GPIOZ][PIN][PIN02]	GPIOZ 管理寄存器	0x00000000
0x078C	ASSIGN[GPIOZ][PIN][PIN03]	GPIOZ 管理寄存器	0x00000000
0x0790	ASSIGN[GPIOZ][PIN][PIN04]	GPIOZ 管理寄存器	0x00000000
0x0794	ASSIGN[GPIOZ][PIN][PIN05]	GPIOZ 管理寄存器	0x00000000
0x0798	ASSIGN[GPIOZ][PIN][PIN06]	GPIOZ 管理寄存器	0x00000000
0x079C	ASSIGN[GPIOZ][PIN][PIN07]	GPIOZ 管理寄存器	0x00000000
0x07A0	ASSIGN[GPIOZ][PIN][PIN08]	GPIOZ 管理寄存器	0x00000000
0x07A4	ASSIGN[GPIOZ][PIN][PIN09]	GPIOZ 管理寄存器	0x00000000
0x07A8	ASSIGN[GPIOZ][PIN][PIN10]	GPIOZ 管理寄存器	0x00000000
0x07AC	ASSIGN[GPIOZ][PIN][PIN11]	GPIOZ 管理寄存器	0x00000000

表 185: GPIOM 寄存器列表

24.4 GPIOM 寄存器描述

GPIOM 的寄存器详细说明如下：

24.4.1 ASSIGN[PIN] (0x0 + 0x80 * n + 0x4 * m)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LOCK	RSVD																			HIDE				RSVD						SELECT	
RW	N/A																			RW				N/A						RW	
0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	x	x	x	x	x	x	0	0

ASSIGN[PIN] [31:0]

位域	名称	描述
31	LOCK	锁定该寄存器的设置，锁定后无法解锁，锁定只能由复位清零 0: 寄存器字段可以修改 1: 寄存器字段不可修改
11-8	HIDE	引脚状态对 GPIO 可见 0 位: 1, GPIO0 不可见; 0: GPIO0 可见 1 位: 1, GPIO1 不可见; 0: GPIO1 可见 2 位: 1, CPU0 快速 GPIO0 不可见; 0: CPU0 快速 GPIO0 可见 3 位: 1, CPU1 快速 GPIO1 不可见; 0: CPU1 快速 GPIO1 可见

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
1-0	SELECT	选择引脚控制来源 0: GPIO0; 1: GPIO1; 2: CPU0 快速 GPIO 3: CPU1 快速 GPIO

ASSIGN[PIN] 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

25 存储器概述

本章节介绍了本产品的内部存储器和外部存储外设相关接口。

25.1 内部 SRAM

本产品集成了总共 2088 KB 内部 RAM，其中包括处理器的本地存储器和通用内存。

25.1.1 本地存储器 Local Memory

本地存储器 LM 包括指令本地存储器 ILM 和数据本地存储器 DLM，是指可以与内核工作在相同时钟频率，可以供内核实现零等待周期访问的内存。本产品共集成容量 1MB 的本地存储器，其中 RISC-V CPU0 配置 512KB，RISC-V CPU1 配置 512KB。本地存储器 LM 可被处理器直接访问，也能通过处理器的总线从接口被片上的其他主设备访问，其对应系统地址映射表上的 LM 和 LM_SLV。

ILD 和 DLM 的分配如下：

- ILM0，RISC-V CPU0 的指令本地存储器，256KB;
- DLM0，RISC-V CPU0 的数据本地存储器，256KB;
- ILM1，RISC-V CPU1 的指令本地存储器，256KB;
- DLM1，RISC-V CPU1 的数据本地存储器，256KB;

25.1.2 通用内存

本产品支持通用内存如下：

- AXI SRAM0，512KB，位于 AXI 总线;
- AXI SRAM1，512KB，位于 AXI 总线;
- AHB SRAM，32KB，位于 AHB 总线;
- APB SRAM，8KB，位于电源管理域，可以在低功耗模式下保存数据;

25.2 通用寄存器

本产品包含一定容量的通用寄存器 GPR(General Purpose Register)，可供用户存放数据供特殊用途。

- 电源管理域通用寄存器 PGPR，容量 64 Byte，位于电源管理域，可以在系统电源域掉电时保存数据。并且不受系统电源域复位影响。
- 电池备份域通用寄存器 BGPR，容量 32 Byte，位于电池备份域，可以在系统电源域，电源管理域掉电时保存数据。并且不受系统电源域，电源管理域复位影响。

25.3 串行总线控制器 XPI

串行总线控制器 XPI 支持连接各类可串行访问的外部存储器，也可以与一些支持串行总线的器件互联。

XPI 支持的外部存储器包括串行 NOR Flash，串行 NAND Flash，串行 PSRAM 等，也支持 HyperBus 器件，如 HyperRAM，HyperFlash。

当 XPI 控制器连接外部 NOR Flash 时，支持代码在线执行 XIP。并可以通过在线解密模块 EXIP 实现代码和数据的在线解密，即数据和代码可以以密文的形式存放在外部 NOR Flash 中。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

25.4 多功能外部存储器控制器 FEMC

多功能外部存储器控制器 FEMC 支持：

- DRAM 控制器
  - 支持 SDRAM 和支持 LPSDR SDRAM
  - 支持 8 位，16 位和 32 位数据宽度
  - 支持最高 166MHz 时钟
- SRAM 控制器
  - 支持连接外部 SRAM 存储器或者访问接口兼容 SRAM 的外部器件
  - 支持异步访问
  - 支持数据地址复用模式 (ADMUX) 或者非复用模式 (Non-ADMUX)
  - 支持 8 位或 16 位数据端口

25.5 SDXC 控制器

本产品支持 2 个 SDXC 控制器，特性如下：

- 支持 SD/SDHC/SDXC
  - 支持 4 位数据位宽
  - 支持 DS，HS，SDR12，SDR25，SDR50，SDR104
  - 支持 SDIO 读等待
  - 支持 1-bit 和 4-bit 模式下 SDIO 卡中断
  - 卡中断唤醒
- 支持 eMMC 5.1
  - 支持 4 位/8 位接口
  - 支持 legacy，HS SDR，HS DDR，HS200，HS400
  - 支持命令队列（Command Queuing）引擎
- 支持作为总线主设备，以 DMA 的方式访问总线下的从设备，如存储器

本产品上，仅 SDXC1 支持连接 eMMC 器件。

25.6 只读存储器 ROM

本产品支持 128KB 内部只读存储器 ROM。

ROM 存放本产品的启动代码，Flashloader 和部分外设驱动程序。

25.7 一次性可编程存储器 OTP

本产品支持 4096 bit 熔丝作为片上一次性可编程存储器 OTP。

OTP 用于存储以下信息：

- 产品的独特序列号 Unique ID
- 产品的启动配置信息
- 产品的安全配置信息
- 一部分安全密钥。
- 产品出厂时存放的片上模拟模块校正数据
- 供用户使用的通用数据

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

一次性可编程存储器 OTP 的管理由 OTP 控制器实现。用户可以通过 OTP 控制器实现对 OTP 的读和烧写操作。此外，OTP 控制器还负责实现 OTP 的读保护和写保护。

本产品上，用户在烧写 OTP 熔丝阵列时，需要打开 LDOOTP，在烧写完成后，必须关闭 LDOOTP。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

26 OTP 和 OTP 控制器

本章节介绍片上一次性可编程存储器 OTP 和 OTP 控制器的主要功能和特点。

26.1 特性总结

片上一次性可编程存储器 OTP 的特性如下：

- OTP 基于熔丝阵列实现，熔丝阵列内的每个位可以烧写一次，烧写之后不可更改
- OTP 熔丝阵列包含 128 个字 (word)，每个字包含 32 位 (bit) 熔丝，容量共 4096 位
- OTP 字按功能和特性分为以下不同类型：
  - 识别（IDENTITY）：芯片的出厂信息，UUID 等信息归为识别类型，此类信息由原厂烧写，安全启动的公钥 HASH 也归为识别类型，可由客户烧写
  - 安全（SECURE）：芯片的生命周期，OTP 硬件锁定位等 OTP 字归为安全类型
  - 密钥（SECRET）：各类密钥，如 Debug Key，EXIP 的 KEK，密钥管理器的 FMK 等归为密钥类型
  - 通用（GENERAL）：用户可自由烧录通用数据，归为通用类型。保留给 BOOT ROM 使用的控制 OTP 字，也归为通用类型
- 支持 32 位 OTP 硬件锁定位，每个锁定位对应 4 个 OTP 字，结合 OTP 控制器的影子锁定位和熔丝锁定位，实现 OTP 读和烧写保护

26.1.1 OTP 控制器特性总结

本产品的一次性可编程存储器 OTP 管理由 OTP 控制器实现。用户可以通过 OTP 控制器实现对 OTP 的读和烧写操作。此外，OTP 控制器还负责实现 OTP 的读保护和写保护。

OTP 控制器在系统地址映射上分为 2 部分：

- 本体部分（内存映射表上命名为 OTP）
- 影子部分（内存映射表上命名为 OTPSHW）

OTP 控制器的特性，以及本体部分（OTP）和影子部分（OTPSHW）的不同配置如下：

- 支持 128 个影子寄存器，对应 OTP 的 128 个字
  - 本体部分（OTP）包含影子寄存器 0~15，对应 OTP 字 0~15
  - 影子部分（OTPSHW）包含影子寄存器 16~127，对应 OTP 字 16~127
- 影子锁定寄存器，OTP 每个字对应 2 位锁定位，影子锁定寄存器可配置影子寄存器的读写保护
  - 本体部分（OTP）包含影子锁定寄存器 0，对应 OTP 字 0~15
  - 影子部分（OTPSHW）包含影子锁定寄存器 1~7，对应 OTP 字 16~127
- 支持 128 个熔丝寄存器，对应 OTP 的 128 个字，熔丝寄存器是 OTP 的直接读写接口
  - 本体部分（OTP）包含熔丝寄存器 0~127，对应 OTP 字 0~127
  - 影子部分（OTPSHW）不支持熔丝寄存器
- 熔丝锁定寄存器，OTP 每个字对应 2 个锁定位，熔丝锁定寄存器可配置熔丝阵列的读写保护
  - 本体部分（OTP）包含熔丝锁定寄存器 0~7，对应 OTP 字 0~127
  - 影子部分（OTPSHW）不支持熔丝锁定寄存器
- 支持 OTP 操作引擎，支持读，写 OTP，及 OTP 影子寄存器重载，支持生成中断
  - 本体部分（OTP）的操作引擎支持 OTP 字 0~127
  - 影子部分（OTPSHW）不支持操作引擎

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

26.2 OTP 控制器功能描述

26.2.1 OTP 影子寄存器

OTP 控制器包含 128 个影子寄存器，每个影子寄存器对应 OTP 的一个字（Word）。OTP 控制器会在芯片从复位中释放的时候，把 OTP 的熔丝阵列的全部数据载入影子寄存器。

用户也可以通过 OTP 操作引擎，手动重载特定的 OTP 字到对应的影子寄存器，细节请查阅节 26.4。

如果某个影子寄存器没有配置读，写保护的话，用户可以任意读取并修改影子寄存器的值。注意，一些保存在 OTP 中的系统配置相关控制位，实际上是载入影子寄存器后生效的。因此，修改 OTP 影子寄存器可以在不烧录 OTP 的情况下，直接修改对应配置。比如，把 OTP 影子寄存器的 DEBUG_DISABLE 位置 1，可以立即关闭调试端口。

OTP 影子寄存器包含一套影子锁定寄存器。锁定寄存器用来配置影子寄存器的读保护，写保护以及是否允许影子寄存器从 OTP 的熔丝阵列重载对应字的值。

每个 OTP 影子寄存器（32 位）对应 2 位锁定控制位。锁定位 LOCK 位域定义如下：

- 2’b00，不锁定，不限制用户读写影子寄存器
- 2’b01，单重锁定，用户可以读影子寄存器，但不允许写影子寄存器，并且不允许再修改锁定位 LOCK 本身
- 2’b10，不锁定，不限制用户读写影子寄存器，并且不允许再修改锁定位 LOCK 本身
- 2’b11，双重锁定，用户即不允许读也不允许写影子寄存器，并且不允许再修改锁定位 LOCK 本身

对于 OTP 的不同类型字对应的影子寄存器，实际的读保护，写，重载保护效果，同时受影子锁定寄存器和 OTP 硬件锁定位影响。具体效果，请查阅节 26.5。

26.3 OTP 熔丝寄存器

OTP 控制器包含 128 个熔丝寄存器，每个熔丝寄存器对应 OTP 的一个字（Word）。熔丝寄存器实质上是 OTP 熔丝阵列的读写接口。对熔丝寄存器读操作，可以绕过 OTP 影子寄存器直接读取到 OTP 熔丝阵列对应字的值。

为了防止用户误操作，熔丝寄存器包含一个解锁寄存器 UNLOCK，对解锁寄存器写入 0x4F50454E（对应 ASCII 字符串“OPEN”），可以解锁熔丝寄存器的写保护。解锁以后，对熔丝寄存器写操作，可以直接启动对 OTP 对应字的烧录。如果用户对解锁寄存器写入 0x4F50454E 以外的任意值，会直接激活熔丝寄存器的写保护。

OTP 熔丝寄存器包含一套熔丝锁定寄存器。锁定寄存器可以配置熔丝阵列对应字的读保护和烧写保护。

每个 OTP 字（32 位）对应 2 位锁定控制位。锁定位 LOCK 位域定义如下：

- 2’b00，不锁定，不限制用户读写熔丝寄存器
- 2’b01，单重锁定，用户可以读熔丝，但不允许烧写熔丝，并且不允许再修改锁定位 LOCK 本身
- 2’b10，不锁定，不限制用户读写熔丝寄存器，并且不允许再修改锁定位 LOCK 本身
- 2’b11，双重锁定，用户即不允许读也不允许烧写熔丝，并且不允许再修改锁定位 LOCK 本身

对于 OTP 熔丝阵列内的不同类型的字，实际的读保护，烧写保护效果，同时受熔丝锁定寄存器和 OTP 硬件锁定位影响。具体效果，请查阅节 26.5。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

26.4 OTP 操作引擎

OTP 控制器支持通过读写熔丝寄存器，直接读写 OTP 的熔丝阵列。不过，如果处理器直接读写熔丝寄存器的话，由于熔丝阵列本身的读写延时较长，可能会阻塞处理器工作。因此，OTP 控制器支持一套操作引擎，用户可以通过操作引擎实现 OTP 熔丝阵列的读，烧写，还可以把 OTP 熔丝阵列重载入对应的影子寄存器。

通过操作引擎读取 OTP 步骤如下:

- 对 ADDR 寄存器写入目标字的子地址，即 0 代表 Word 0，1 代表 Word 1，以此类推。
- 对 CMD 寄存器写入 0x52454144（对应 ASCII 字符串“READ”）
- 等待 INT_FLAG[READ] 标志位置 1
- 从 DATA 寄存器读取目标字的值

通过操作引擎烧录 OTP 步骤如下：

- 对 ADDR 寄存器写入目标字的子地址，即 0 代表 Word 0，1 代表 Word 1，以此类推。
- 对 DATA 寄存器写入目标字的烧录值
- 对 CMD 寄存器写入 0x424C4F57（对应 ASCII 字符串“BLOW”）
- 等待 INT_FLAG[WRITE] 标志位置 1

用户可以通过操作引擎重载 OTP 影子寄存器，操作引擎支持 4 个重载区域：

- REGION[LOAD_REGION0]，重载 OTP Word 0 ~ Word7 至 SHAWD0 ~ SHADOW7
- REGION[LOAD_REGION1]，重载 OTP Word 8 ~ Word15 至 SHAWD7 ~ SHADOW15
- REGION[LOAD_REGION2]，重载 OTP Word 16 ~ Word127 至 SHAWD16 ~ SHADOW127
- REGION[LOAD_REGION3]，用户自定义 OTP Word 的起始和结尾字地址

用户对 LOAD_REQ 寄存器的位 0~3 置 1，即可启动 LOAD_REGION0~3 的重载。

注意，在启动REGION[LOAD_REGION3]之前，用户需要配置REGION[LOAD_REGION3]寄存器的 START位域和REGION[LOAD_REGION3]寄存器的 STOP位域，来指定一段连续的 OTP 字。START位域定义了需要重载的第一个 OTP 字地址，STOP位域定义了重载的截止字地址，即重载 OTP Word (START) ~ OTP Word (STOP -1) 至 SHAWD (START) ~ SHADOW(STOP -1)。

用户可以通过LOAD_COMP寄存器，查询重载进程，对应的重载区域重载完成时，标志位置 1。

> 注意，OTP 操作引擎对 OTP 的读，写和重载，会受到 OTP 硬件锁定位，影子寄存器锁定位和熔丝寄存器锁定位的限制。如果对应的 OTP 字，或者 OTP 影子寄存器被读或写保护，那么 OTP 操作引擎的读，写，重载操作就不会成功。

26.5 OTP 读写保护

OTP 控制器支持对 OTP 内不同类型的字配置不同的读，写保护策略。OTP 熔丝阵列，熔丝寄存器，和影子寄存器的实际读写保护效果，同时受到 OTP 硬件锁定位，影子寄存器锁定位和熔丝寄存器锁定位的影响。

OTP 熔丝阵列的字 0，即 32 位硬件锁定位 HARD_LOCK[31:0]，烧写 HARD_LOCK 可以对 OTP 的指定区域加以读或写保护。把 HARD_LOCK 中的若干位烧写为 1，就对对应的 OTP 区域加以硬件锁定。

> 注意，OTP 支持 32 位硬件锁定位 HARD_LOCK[31:0]，每位对应 OTP 的 4 个字。OTP 熔丝寄存器和影子寄存器的锁定位，每 2 位对应 OTP 的一个字或一个 32 位影子寄存器。

全部 OTP 数据按字可分为以下 4 个类型，不同类型的 OTP 字，设置对应的硬件锁定位后，读保护或写保护的效果有所不同：

- 识别（IDENTITY）
- 安全（SECURE）

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

- 密钥（SECRET）
- 通用（GENERAL）

用户可以查阅 OTP 映射表，了解 OTP 每个字的类型归属。

总结 OTP 的读写保护策略如下：

- 影子寄存器锁定位的效果
  - 影子寄存器的锁定控制位设置为不锁定时，影子寄存器可以自由读写，或者重载 OTP 阵列的值到影子寄存器
  - 影子寄存器的锁定控制位设置为单重锁定时，影子寄存器被写保护，不允许重载 OTP 阵列的值到影子寄存器
  - 影子寄存器的锁定控制位设置为双重锁定时，影子寄存器被读保护和写保护，不允许重载 OTP 阵列的值到影子寄存器
- 熔丝寄存器锁定位的效果
  - 熔丝寄存器的锁定控制位设置为不锁定时，熔丝寄存器可以自由读写
  - 熔丝寄存器的锁定控制位设置为单重锁定时，熔丝阵列被写保护，即不允许通过写熔丝寄存器或者 OTP 操作引擎烧写熔丝阵列
  - 熔丝寄存器的锁定控制位设置为双重锁定时，熔丝阵列被读保护和写保护，即不允许通过熔丝寄存器或者 OTP 操作引擎读取或者烧写熔丝阵列
- OTP 硬件锁定位的效果
  - 识别类型的 OTP 字，当其对应的硬件锁定位为 1 时，只施加写保护，即允许通过熔丝寄存器或者 OTP 操作引擎读取该 OTP 字，也允许读取该 OTP 字对应的影子寄存器。但是不允许通过熔丝寄存器或者 OTP 操作引擎烧写该 OTP 字，也不允许写或者重载该 OTP 字对应的影子寄存器。
  - 安全类型的 OTP 字，当其对应的硬件锁定位为 1 时，只施加写保护，即允许通过熔丝寄存器或者 OTP 操作引擎读取该 OTP 字，也允许读取该 OTP 字对应的影子寄存器。但是不允许通过熔丝寄存器或者 OTP 操作引擎烧写该 OTP 字，也不允许写或者重载该 OTP 字对应的影子寄存器。注意，安全类型 OTP 字中，对应产品生命周期的影子寄存器为例外，允许用户写该影子寄存器，使当前生命周期前进（把产品生命周期的位由 0 置 1），但不允许生命周期回退（把产品生命周期的位由 1 清 0）
  - 密钥类型的 OTP 字，当其对应的硬件锁定位为 1 时，同时施加读保护和写保护，即不允许通过熔丝寄存器或者 OTP 操作引擎读取该 OTP 字，也不允许读取该 OTP 字对应的影子寄存器。也不允许通过熔丝寄存器或者 OTP 操作引擎烧写该 OTP 字，也不允许写或者重载该 OTP 字对应的影子寄存器。
  - 通用类型的 OTP 字，当其对应的硬件锁定位为 1 时，只对熔丝阵列施加写保护，即允许通过熔丝寄存器或者 OTP 操作引擎读取该 OTP 字，也允许读取该 OTP 字对应的影子寄存器。不允许通过熔丝寄存器或者 OTP 操作引擎烧写该 OTP 字，但是允许写或者重载该 OTP 字对应的影子寄存器。
- 对于 OTP 阵列中某个字，如果硬件锁定位和熔丝锁定位配置的读保护或者烧写保护冲突，则保护总是生效。同样的，对于某个 OTP 影子寄存器，如果硬件锁定位和影子锁定位配置的读保护或者写保护冲突，则保护总是生效。

以下表格汇总了 OTP 不同类型字的读写保护效果：

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

识别类型	硬件锁定	熔丝单重锁定	熔丝双重锁定	影子单重锁定	影子双重锁定
读熔丝	Y	Y	N	Y	Y
写熔丝	N	N	N	Y	Y
影子寄存器重载	Y	Y	Y	N	N
读影子寄存器	Y	Y	Y	Y	N
写影子寄存器	N	Y	Y	N	N

表 186: 识别类型 OTP 字读写保护总结

安全类型	硬件锁定	熔丝单重锁定	熔丝双重锁定	影子单重锁定	影子双重锁定
读熔丝	Y	Y	N	Y	Y
写熔丝	N	N	N	Y	Y
影子寄存器重载	Y	Y	Y	N	N
读影子寄存器	Y	Y	Y	Y	N
写影子寄存器	N	Y	Y	N	N

表 187: 安全类型 OTP 字读写保护总结

密钥类型	硬件锁定	熔丝单重锁定	熔丝双重锁定	影子单重锁定	影子双重锁定
读熔丝	N	Y	N	Y	Y
写熔丝	N	N	N	Y	Y
影子寄存器重载	Y	Y	Y	N	N
读影子寄存器	N	Y	Y	Y	N
写影子寄存器	N	Y	Y	N	N

表 188: 密钥类型 OTP 字读写保护总结

通用类型	硬件锁定	熔丝单重锁定	熔丝双重锁定	影子单重锁定	影子双重锁定
读熔丝	Y	Y	N	Y	Y
写熔丝	N	N	N	Y	Y
影子寄存器重载	Y	Y	Y	N	N
读影子寄存器	Y	Y	Y	Y	N
写影子寄存器	Y	Y	Y	N	N

表 189: 通用类型 OTP 字读写保护总结

26.6 OTP 控制器寄存器

OTP 的寄存器列表如下：

OTPSHW base address: 0xF4080000 OTP base address: 0xF40C8000

地址偏移	名称	描述	复位值
0x0000	SHADOW[SHADOW000]	熔丝加载寄存器	0x00000000
0x0004	SHADOW[SHADOW001]	熔丝加载寄存器	0x00000000
0x0008	SHADOW[SHADOW002]	熔丝加载寄存器	0x00000000
0x000C	SHADOW[SHADOW003]	熔丝加载寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0010	SHADOW[SHADOW004]	熔丝加载寄存器	0x00000000
0x0014	SHADOW[SHADOW005]	熔丝加载寄存器	0x00000000
0x0018	SHADOW[SHADOW006]	熔丝加载寄存器	0x00000000
0x001C	SHADOW[SHADOW007]	熔丝加载寄存器	0x00000000
0x0020	SHADOW[SHADOW008]	熔丝加载寄存器	0x00000000
0x0024	SHADOW[SHADOW009]	熔丝加载寄存器	0x00000000
0x0028	SHADOW[SHADOW010]	熔丝加载寄存器	0x00000000
0x002C	SHADOW[SHADOW011]	熔丝加载寄存器	0x00000000
0x0030	SHADOW[SHADOW012]	熔丝加载寄存器	0x00000000
0x0034	SHADOW[SHADOW013]	熔丝加载寄存器	0x00000000
0x0038	SHADOW[SHADOW014]	熔丝加载寄存器	0x00000000
0x003C	SHADOW[SHADOW015]	熔丝加载寄存器	0x00000000
0x0040	SHADOW[SHADOW016]	熔丝加载寄存器	0x00000000
0x0044	SHADOW[SHADOW017]	熔丝加载寄存器	0x00000000
0x0048	SHADOW[SHADOW018]	熔丝加载寄存器	0x00000000
0x004C	SHADOW[SHADOW019]	熔丝加载寄存器	0x00000000
0x0050	SHADOW[SHADOW020]	熔丝加载寄存器	0x00000000
0x0054	SHADOW[SHADOW021]	熔丝加载寄存器	0x00000000
0x0058	SHADOW[SHADOW022]	熔丝加载寄存器	0x00000000
0x005C	SHADOW[SHADOW023]	熔丝加载寄存器	0x00000000
0x0060	SHADOW[SHADOW024]	熔丝加载寄存器	0x00000000
0x0064	SHADOW[SHADOW025]	熔丝加载寄存器	0x00000000
0x0068	SHADOW[SHADOW026]	熔丝加载寄存器	0x00000000
0x006C	SHADOW[SHADOW027]	熔丝加载寄存器	0x00000000
0x0070	SHADOW[SHADOW028]	熔丝加载寄存器	0x00000000
0x0074	SHADOW[SHADOW029]	熔丝加载寄存器	0x00000000
0x0078	SHADOW[SHADOW030]	熔丝加载寄存器	0x00000000
0x007C	SHADOW[SHADOW031]	熔丝加载寄存器	0x00000000
0x0080	SHADOW[SHADOW032]	熔丝加载寄存器	0x00000000
0x0084	SHADOW[SHADOW033]	熔丝加载寄存器	0x00000000
0x0088	SHADOW[SHADOW034]	熔丝加载寄存器	0x00000000
0x008C	SHADOW[SHADOW035]	熔丝加载寄存器	0x00000000
0x0090	SHADOW[SHADOW036]	熔丝加载寄存器	0x00000000
0x0094	SHADOW[SHADOW037]	熔丝加载寄存器	0x00000000
0x0098	SHADOW[SHADOW038]	熔丝加载寄存器	0x00000000
0x009C	SHADOW[SHADOW039]	熔丝加载寄存器	0x00000000
0x00A0	SHADOW[SHADOW040]	熔丝加载寄存器	0x00000000
0x00A4	SHADOW[SHADOW041]	熔丝加载寄存器	0x00000000
0x00A8	SHADOW[SHADOW042]	熔丝加载寄存器	0x00000000
0x00AC	SHADOW[SHADOW043]	熔丝加载寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x00B0	SHADOW[SHADOW044]	熔丝加载寄存器	0x00000000
0x00B4	SHADOW[SHADOW045]	熔丝加载寄存器	0x00000000
0x00B8	SHADOW[SHADOW046]	熔丝加载寄存器	0x00000000
0x00BC	SHADOW[SHADOW047]	熔丝加载寄存器	0x00000000
0x00C0	SHADOW[SHADOW048]	熔丝加载寄存器	0x00000000
0x00C4	SHADOW[SHADOW049]	熔丝加载寄存器	0x00000000
0x00C8	SHADOW[SHADOW050]	熔丝加载寄存器	0x00000000
0x00CC	SHADOW[SHADOW051]	熔丝加载寄存器	0x00000000
0x00D0	SHADOW[SHADOW052]	熔丝加载寄存器	0x00000000
0x00D4	SHADOW[SHADOW053]	熔丝加载寄存器	0x00000000
0x00D8	SHADOW[SHADOW054]	熔丝加载寄存器	0x00000000
0x00DC	SHADOW[SHADOW055]	熔丝加载寄存器	0x00000000
0x00E0	SHADOW[SHADOW056]	熔丝加载寄存器	0x00000000
0x00E4	SHADOW[SHADOW057]	熔丝加载寄存器	0x00000000
0x00E8	SHADOW[SHADOW058]	熔丝加载寄存器	0x00000000
0x00EC	SHADOW[SHADOW059]	熔丝加载寄存器	0x00000000
0x00F0	SHADOW[SHADOW060]	熔丝加载寄存器	0x00000000
0x00F4	SHADOW[SHADOW061]	熔丝加载寄存器	0x00000000
0x00F8	SHADOW[SHADOW062]	熔丝加载寄存器	0x00000000
0x00FC	SHADOW[SHADOW063]	熔丝加载寄存器	0x00000000
0x0100	SHADOW[SHADOW064]	熔丝加载寄存器	0x00000000
0x0104	SHADOW[SHADOW065]	熔丝加载寄存器	0x00000000
0x0108	SHADOW[SHADOW066]	熔丝加载寄存器	0x00000000
0x010C	SHADOW[SHADOW067]	熔丝加载寄存器	0x00000000
0x0110	SHADOW[SHADOW068]	熔丝加载寄存器	0x00000000
0x0114	SHADOW[SHADOW069]	熔丝加载寄存器	0x00000000
0x0118	SHADOW[SHADOW070]	熔丝加载寄存器	0x00000000
0x011C	SHADOW[SHADOW071]	熔丝加载寄存器	0x00000000
0x0120	SHADOW[SHADOW072]	熔丝加载寄存器	0x00000000
0x0124	SHADOW[SHADOW073]	熔丝加载寄存器	0x00000000
0x0128	SHADOW[SHADOW074]	熔丝加载寄存器	0x00000000
0x012C	SHADOW[SHADOW075]	熔丝加载寄存器	0x00000000
0x0130	SHADOW[SHADOW076]	熔丝加载寄存器	0x00000000
0x0134	SHADOW[SHADOW077]	熔丝加载寄存器	0x00000000
0x0138	SHADOW[SHADOW078]	熔丝加载寄存器	0x00000000
0x013C	SHADOW[SHADOW079]	熔丝加载寄存器	0x00000000
0x0140	SHADOW[SHADOW080]	熔丝加载寄存器	0x00000000
0x0144	SHADOW[SHADOW081]	熔丝加载寄存器	0x00000000
0x0148	SHADOW[SHADOW082]	熔丝加载寄存器	0x00000000
0x014C	SHADOW[SHADOW083]	熔丝加载寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0150	SHADOW[SHADOW084]	熔丝加载寄存器	0x00000000
0x0154	SHADOW[SHADOW085]	熔丝加载寄存器	0x00000000
0x0158	SHADOW[SHADOW086]	熔丝加载寄存器	0x00000000
0x015C	SHADOW[SHADOW087]	熔丝加载寄存器	0x00000000
0x0160	SHADOW[SHADOW088]	熔丝加载寄存器	0x00000000
0x0164	SHADOW[SHADOW089]	熔丝加载寄存器	0x00000000
0x0168	SHADOW[SHADOW090]	熔丝加载寄存器	0x00000000
0x016C	SHADOW[SHADOW091]	熔丝加载寄存器	0x00000000
0x0170	SHADOW[SHADOW092]	熔丝加载寄存器	0x00000000
0x0174	SHADOW[SHADOW093]	熔丝加载寄存器	0x00000000
0x0178	SHADOW[SHADOW094]	熔丝加载寄存器	0x00000000
0x017C	SHADOW[SHADOW095]	熔丝加载寄存器	0x00000000
0x0180	SHADOW[SHADOW096]	熔丝加载寄存器	0x00000000
0x0184	SHADOW[SHADOW097]	熔丝加载寄存器	0x00000000
0x0188	SHADOW[SHADOW098]	熔丝加载寄存器	0x00000000
0x018C	SHADOW[SHADOW099]	熔丝加载寄存器	0x00000000
0x0190	SHADOW[SHADOW100]	熔丝加载寄存器	0x00000000
0x0194	SHADOW[SHADOW101]	熔丝加载寄存器	0x00000000
0x0198	SHADOW[SHADOW102]	熔丝加载寄存器	0x00000000
0x019C	SHADOW[SHADOW103]	熔丝加载寄存器	0x00000000
0x01A0	SHADOW[SHADOW104]	熔丝加载寄存器	0x00000000
0x01A4	SHADOW[SHADOW105]	熔丝加载寄存器	0x00000000
0x01A8	SHADOW[SHADOW106]	熔丝加载寄存器	0x00000000
0x01AC	SHADOW[SHADOW107]	熔丝加载寄存器	0x00000000
0x01B0	SHADOW[SHADOW108]	熔丝加载寄存器	0x00000000
0x01B4	SHADOW[SHADOW109]	熔丝加载寄存器	0x00000000
0x01B8	SHADOW[SHADOW110]	熔丝加载寄存器	0x00000000
0x01BC	SHADOW[SHADOW111]	熔丝加载寄存器	0x00000000
0x01C0	SHADOW[SHADOW112]	熔丝加载寄存器	0x00000000
0x01C4	SHADOW[SHADOW113]	熔丝加载寄存器	0x00000000
0x01C8	SHADOW[SHADOW114]	熔丝加载寄存器	0x00000000
0x01CC	SHADOW[SHADOW115]	熔丝加载寄存器	0x00000000
0x01D0	SHADOW[SHADOW116]	熔丝加载寄存器	0x00000000
0x01D4	SHADOW[SHADOW117]	熔丝加载寄存器	0x00000000
0x01D8	SHADOW[SHADOW118]	熔丝加载寄存器	0x00000000
0x01DC	SHADOW[SHADOW119]	熔丝加载寄存器	0x00000000
0x01E0	SHADOW[SHADOW120]	熔丝加载寄存器	0x00000000
0x01E4	SHADOW[SHADOW121]	熔丝加载寄存器	0x00000000
0x01E8	SHADOW[SHADOW122]	熔丝加载寄存器	0x00000000
0x01EC	SHADOW[SHADOW123]	熔丝加载寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x01F0	SHADOW[SHADOW124]	熔丝加载寄存器	0x00000000
0x01F4	SHADOW[SHADOW125]	熔丝加载寄存器	0x00000000
0x01F8	SHADOW[SHADOW126]	熔丝加载寄存器	0x00000000
0x01FC	SHADOW[SHADOW127]	熔丝加载寄存器	0x00000000
0x0200	SHADOW_LOCK[LOCK00]	加载寄存器锁定	0x00000000
0x0204	SHADOW_LOCK[LOCK01]	加载寄存器锁定	0x00000000
0x0208	SHADOW_LOCK[LOCK02]	加载寄存器锁定	0x00000000
0x020C	SHADOW_LOCK[LOCK03]	加载寄存器锁定	0x00000000
0x0210	SHADOW_LOCK[LOCK04]	加载寄存器锁定	0x00000000
0x0214	SHADOW_LOCK[LOCK05]	加载寄存器锁定	0x00000000
0x0218	SHADOW_LOCK[LOCK06]	加载寄存器锁定	0x00000000
0x021C	SHADOW_LOCK[LOCK07]	加载寄存器锁定	0x00000000
0x0400	FUSE[FUSE000]	熔丝	0x00000000
0x0404	FUSE[FUSE001]	熔丝	0x00000000
0x0408	FUSE[FUSE002]	熔丝	0x00000000
0x040C	FUSE[FUSE003]	熔丝	0x00000000
0x0410	FUSE[FUSE004]	熔丝	0x00000000
0x0414	FUSE[FUSE005]	熔丝	0x00000000
0x0418	FUSE[FUSE006]	熔丝	0x00000000
0x041C	FUSE[FUSE007]	熔丝	0x00000000
0x0420	FUSE[FUSE008]	熔丝	0x00000000
0x0424	FUSE[FUSE009]	熔丝	0x00000000
0x0428	FUSE[FUSE010]	熔丝	0x00000000
0x042C	FUSE[FUSE011]	熔丝	0x00000000
0x0430	FUSE[FUSE012]	熔丝	0x00000000
0x0434	FUSE[FUSE013]	熔丝	0x00000000
0x0438	FUSE[FUSE014]	熔丝	0x00000000
0x043C	FUSE[FUSE015]	熔丝	0x00000000
0x0440	FUSE[FUSE016]	熔丝	0x00000000
0x0444	FUSE[FUSE017]	熔丝	0x00000000
0x0448	FUSE[FUSE018]	熔丝	0x00000000
0x044C	FUSE[FUSE019]	熔丝	0x00000000
0x0450	FUSE[FUSE020]	熔丝	0x00000000
0x0454	FUSE[FUSE021]	熔丝	0x00000000
0x0458	FUSE[FUSE022]	熔丝	0x00000000
0x045C	FUSE[FUSE023]	熔丝	0x00000000
0x0460	FUSE[FUSE024]	熔丝	0x00000000
0x0464	FUSE[FUSE025]	熔丝	0x00000000
0x0468	FUSE[FUSE026]	熔丝	0x00000000
0x046C	FUSE[FUSE027]	熔丝	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0470	FUSE[FUSE028]	熔丝	0x00000000
0x0474	FUSE[FUSE029]	熔丝	0x00000000
0x0478	FUSE[FUSE030]	熔丝	0x00000000
0x047C	FUSE[FUSE031]	熔丝	0x00000000
0x0480	FUSE[FUSE032]	熔丝	0x00000000
0x0484	FUSE[FUSE033]	熔丝	0x00000000
0x0488	FUSE[FUSE034]	熔丝	0x00000000
0x048C	FUSE[FUSE035]	熔丝	0x00000000
0x0490	FUSE[FUSE036]	熔丝	0x00000000
0x0494	FUSE[FUSE037]	熔丝	0x00000000
0x0498	FUSE[FUSE038]	熔丝	0x00000000
0x049C	FUSE[FUSE039]	熔丝	0x00000000
0x04A0	FUSE[FUSE040]	熔丝	0x00000000
0x04A4	FUSE[FUSE041]	熔丝	0x00000000
0x04A8	FUSE[FUSE042]	熔丝	0x00000000
0x04AC	FUSE[FUSE043]	熔丝	0x00000000
0x04B0	FUSE[FUSE044]	熔丝	0x00000000
0x04B4	FUSE[FUSE045]	熔丝	0x00000000
0x04B8	FUSE[FUSE046]	熔丝	0x00000000
0x04BC	FUSE[FUSE047]	熔丝	0x00000000
0x04C0	FUSE[FUSE048]	熔丝	0x00000000
0x04C4	FUSE[FUSE049]	熔丝	0x00000000
0x04C8	FUSE[FUSE050]	熔丝	0x00000000
0x04CC	FUSE[FUSE051]	熔丝	0x00000000
0x04D0	FUSE[FUSE052]	熔丝	0x00000000
0x04D4	FUSE[FUSE053]	熔丝	0x00000000
0x04D8	FUSE[FUSE054]	熔丝	0x00000000
0x04DC	FUSE[FUSE055]	熔丝	0x00000000
0x04E0	FUSE[FUSE056]	熔丝	0x00000000
0x04E4	FUSE[FUSE057]	熔丝	0x00000000
0x04E8	FUSE[FUSE058]	熔丝	0x00000000
0x04EC	FUSE[FUSE059]	熔丝	0x00000000
0x04F0	FUSE[FUSE060]	熔丝	0x00000000
0x04F4	FUSE[FUSE061]	熔丝	0x00000000
0x04F8	FUSE[FUSE062]	熔丝	0x00000000
0x04FC	FUSE[FUSE063]	熔丝	0x00000000
0x0500	FUSE[FUSE064]	熔丝	0x00000000
0x0504	FUSE[FUSE065]	熔丝	0x00000000
0x0508	FUSE[FUSE066]	熔丝	0x00000000
0x050C	FUSE[FUSE067]	熔丝	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0510	FUSE[FUSE068]	熔丝	0x00000000
0x0514	FUSE[FUSE069]	熔丝	0x00000000
0x0518	FUSE[FUSE070]	熔丝	0x00000000
0x051C	FUSE[FUSE071]	熔丝	0x00000000
0x0520	FUSE[FUSE072]	熔丝	0x00000000
0x0524	FUSE[FUSE073]	熔丝	0x00000000
0x0528	FUSE[FUSE074]	熔丝	0x00000000
0x052C	FUSE[FUSE075]	熔丝	0x00000000
0x0530	FUSE[FUSE076]	熔丝	0x00000000
0x0534	FUSE[FUSE077]	熔丝	0x00000000
0x0538	FUSE[FUSE078]	熔丝	0x00000000
0x053C	FUSE[FUSE079]	熔丝	0x00000000
0x0540	FUSE[FUSE080]	熔丝	0x00000000
0x0544	FUSE[FUSE081]	熔丝	0x00000000
0x0548	FUSE[FUSE082]	熔丝	0x00000000
0x054C	FUSE[FUSE083]	熔丝	0x00000000
0x0550	FUSE[FUSE084]	熔丝	0x00000000
0x0554	FUSE[FUSE085]	熔丝	0x00000000
0x0558	FUSE[FUSE086]	熔丝	0x00000000
0x055C	FUSE[FUSE087]	熔丝	0x00000000
0x0560	FUSE[FUSE088]	熔丝	0x00000000
0x0564	FUSE[FUSE089]	熔丝	0x00000000
0x0568	FUSE[FUSE090]	熔丝	0x00000000
0x056C	FUSE[FUSE091]	熔丝	0x00000000
0x0570	FUSE[FUSE092]	熔丝	0x00000000
0x0574	FUSE[FUSE093]	熔丝	0x00000000
0x0578	FUSE[FUSE094]	熔丝	0x00000000
0x057C	FUSE[FUSE095]	熔丝	0x00000000
0x0580	FUSE[FUSE096]	熔丝	0x00000000
0x0584	FUSE[FUSE097]	熔丝	0x00000000
0x0588	FUSE[FUSE098]	熔丝	0x00000000
0x058C	FUSE[FUSE099]	熔丝	0x00000000
0x0590	FUSE[FUSE100]	熔丝	0x00000000
0x0594	FUSE[FUSE101]	熔丝	0x00000000
0x0598	FUSE[FUSE102]	熔丝	0x00000000
0x059C	FUSE[FUSE103]	熔丝	0x00000000
0x05A0	FUSE[FUSE104]	熔丝	0x00000000
0x05A4	FUSE[FUSE105]	熔丝	0x00000000
0x05A8	FUSE[FUSE106]	熔丝	0x00000000
0x05AC	FUSE[FUSE107]	熔丝	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x05B0	FUSE[FUSE108]	熔丝	0x00000000
0x05B4	FUSE[FUSE109]	熔丝	0x00000000
0x05B8	FUSE[FUSE110]	熔丝	0x00000000
0x05BC	FUSE[FUSE111]	熔丝	0x00000000
0x05C0	FUSE[FUSE112]	熔丝	0x00000000
0x05C4	FUSE[FUSE113]	熔丝	0x00000000
0x05C8	FUSE[FUSE114]	熔丝	0x00000000
0x05CC	FUSE[FUSE115]	熔丝	0x00000000
0x05D0	FUSE[FUSE116]	熔丝	0x00000000
0x05D4	FUSE[FUSE117]	熔丝	0x00000000
0x05D8	FUSE[FUSE118]	熔丝	0x00000000
0x05DC	FUSE[FUSE119]	熔丝	0x00000000
0x05E0	FUSE[FUSE120]	熔丝	0x00000000
0x05E4	FUSE[FUSE121]	熔丝	0x00000000
0x05E8	FUSE[FUSE122]	熔丝	0x00000000
0x05EC	FUSE[FUSE123]	熔丝	0x00000000
0x05F0	FUSE[FUSE124]	熔丝	0x00000000
0x05F4	FUSE[FUSE125]	熔丝	0x00000000
0x05F8	FUSE[FUSE126]	熔丝	0x00000000
0x05FC	FUSE[FUSE127]	熔丝	0x00000000
0x0600	FUSE_LOCK[LOCK00]	Fuse lock	0x00000000
0x0604	FUSE_LOCK[LOCK01]	Fuse lock	0x00000000
0x0608	FUSE_LOCK[LOCK02]	Fuse lock	0x00000000
0x060C	FUSE_LOCK[LOCK03]	Fuse lock	0x00000000
0x0610	FUSE_LOCK[LOCK04]	Fuse lock	0x00000000
0x0614	FUSE_LOCK[LOCK05]	Fuse lock	0x00000000
0x0618	FUSE_LOCK[LOCK06]	Fuse lock	0x00000000
0x061C	FUSE_LOCK[LOCK07]	Fuse lock	0x00000000
0x0800	UNLOCK	UNLOCK	0x00000000
0x0804	DATA	DATA	0x00000000
0x0808	ADDR	ADDR	0x00000000
0x080C	CMD	CMD	0x00000000
0x0A00	LOAD_REQ	LOAD Request	0x00000007
0x0A04	LOAD_COMP	LOAD complete	0x00000007
0x0A20	REGION[LOAD_REGION0]	LOAD region	0x00000800
0x0A24	REGION[LOAD_REGION1]	LOAD region	0x00001008
0x0A28	REGION[LOAD_REGION2]	LOAD region	0x00000010
0x0A2C	REGION[LOAD_REGION3]	LOAD region	0x00000000
0x0C00	INT_FLAG	interrupt flag	0x00000000
0x0C04	INT_EN	interrupt enable	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值

表 190: OTP 寄存器列表

26.7 OTP 控制器寄存器详细信息

OTP 的寄存器详细说明如下：

26.7.1 SHADOW (0x0 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SHADOW																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SHADOW [31:0]

位域	名称	描述
31-0	SHADOW	熔丝加载寄存器 电源域 0-15 有效，数字域 16-128 有效

SHADOW 位域

26.7.2 SHADOW_LOCK (0x200 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LOCK																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SHADOW_LOCK [31:0]

位域	名称	描述
31-0	LOCK	加载寄存器锁定，每两位控制一个 32 位字，只有该字段为 0 的时候可以写入，不同类型的熔丝的锁定行为具有差异 00: 未锁定 01: 锁定 10: 不锁定，禁止锁定 11: 双重锁定

SHADOW_LOCK 位域

26.7.3 FUSE (0x400 + 0x4 * n)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FUSE																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

FUSE [31:0]

位域	名称	描述
31-0	FUSE	熔丝，仅电源域有效 写操作可读出熔丝值 写操作写入熔丝 (写入前需并开启 2.5V 电源，并对熔丝解锁)

FUSE 位域

26.7.4 FUSE_LOCK (0x600 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LOCK																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

FUSE_LOCK [31:0]

位域	名称	描述
31-0	LOCK	熔丝锁定，每两位控制一个 32 位字，只有该字段为 0 的时候可以写入，不同类型的熔丝的锁定行为具有差异 00: 未锁定 01: 锁定 10: 不锁定，禁止锁定 11: 双重锁定

FUSE_LOCK 位域

26.7.5 UNLOCK (0x800)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UNLOCK																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

UNLOCK [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-0	UNLOCK	解锁熔丝写入功能 写入"OPEN" 可解锁，写入其他值将锁定熔丝 写入熔丝前需打开 2.5V 电源，24M OSC

UNLOCK 位域

26.7.6 DATA (0x804)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DATA [31:0]

位域	名称	描述
31-0	DATA	非阻塞工作模式下的读写数据

DATA 位域

26.7.7 ADDR (0x808)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																									ADDR						
N/A																									RW						
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0

ADDR [31:0]

位域	名称	描述
6-0	ADDR	读写的 32 位字地址

ADDR 位域

26.7.8 CMD (0x80C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CMD																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CMD [31:0]																															

位域	名称	描述
31-0	CMD	熔丝命令 ”BLOW” 将 DATA 寄存器写入位于 ADDR 的字 ”READ” 将位于 ADDR 的字读出到 DATA 寄存器

CMD 位域

26.7.9 LOAD_REQ (0xA00)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																												REQUEST			
N/A																												RW			
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	1	1	1

LOAD_REQ [31:0]

位域	名称	描述
3-0	REQUEST	4 个区域的加载请求 bit0: 区域 0 bit1: 区域 1 bit2: 区域 2 bit3: 区域 3

LOAD_REQ 位域

26.7.10 LOAD_COMP (0xA04)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																												COMPLETE			
N/A																												RW			
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	1	1	1

LOAD_COMP [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
3-0	COMPLETE	4 个区域的加载完成标志，写 1 清零 bit0: 区域 0 bit1: 区域 1 bit2: 区域 2 bit3: 区域 3

LOAD_COMP 位域

26.7.11 REGION (0xA20 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																	STOP							RSVD	START						
N/A																	RW							N/A	RW						
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0

REGION [31:0]

位域	名称	描述
14-8	STOP	加载区域的末尾地址，末尾地址不会被加载
6-0	START	加载区域的开始地址，开始地址会被加载

REGION 位域

26.7.12 INT_FLAG (0xC00)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																													WRITE	READ	LOAD
N/A																													RW	RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0

INT_FLAG [31:0]

位域	名称	描述
2	WRITE	熔丝写入完成标志 0: 未写入或写入未完成 1: 写入完成
1	READ	熔丝读取完成标志 0: 未读取或读取未完成 1: 读取完成

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
0	LOAD	熔丝加载完成标志 0: 未加载或未完成 1: 加载完成

INT_FLAG 位域

26.7.13 INT_EN (0xC04)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																													WRITE	READ	LOAD
N/A																													RW	RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0

INT_EN [31:0]

位域	名称	描述
2	WRITE	熔丝写入完成中断使能 0: 禁止 1: 使能
1	READ	熔丝读取完成中断使能 0: 禁止 1: 使能
0	LOAD	熔丝加载完成中断使能 0: 禁止 1: 使能

INT_EN 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

27 串行总线控制器 XPI

本章节介绍串行总线控制器 XPI 的主要特性和功能。

27.1 特性总结

串行总线控制器 XPI 支持连接各类外部存储器，也可以与一些支持串行总线的器件互联。

XPI 支持的外部存储器包括串行 NOR Flash，串行 NAND Flash，串行 PSRAM 等，也支持 HyperBus 器件，如 HyperRAM。HyperFlash。

XPI 的特性如下：

- 支持 1/2/4/8 位数据模式；
- 两个端口 CA 和 CB，每个端口有 2 个 CS 片选，两个端口可连接四个数据位宽为 4 或者两个数据位宽为 8 的外部器件；
- 支持 SDR 和 DDR 的数据传输模式；
- 支持总线直接寻址访问外部存储器件；
- 支持 Quad-SPI 和 Octal-SPI 的串行 NOR Flash；
- 支持串行 NAND Flash；
- 支持 HyperBus，HyperRAM 和 HyperFlash；
- 支持 Quad/Oct SPI PSRAM。

27.2 功能描述

本章节描述串行总线控制器 XPI 的功能。

27.2.1 外部器件连接配置

XPI 支持连接不同外部存储器，可配置成：外部端口独立模式，外部端口组合模式；简称独立模式和组合模式。

XPI 配置为独立模式时，端口 CA 和端口 CB 分别，管脚如下：

- 端口 CA: CA_CS0, CA_CS1, CA_SCLK, CA_DQS, CA_D[3:0];
- 端口 CB: CB_CS0, CB_CS1, CB_SCLK, CB_DQS, CB_D[3:0];

独立模式时，可连接四个外部器件（比如 nor flash)：

- 器件 1：CA_CS0，CA_SCLK，CA_DQS，CA_D[3:0]；
- 器件 2：CA_CS1，CA_SCLK，CA_DQS，CA_D[3:0]；
- 器件 3：CB_CS0，CB_SCLK，CB_DQS，CB_D[3:0]；
- 器件 4：CB_CS1，CB_SCLK，CB_DQS，CB_D[3:0]；

XPI 配置为组合模式时，可连接两个 8 位数数据位宽的存储器，如 Octal-SPI NOR Flash 或者 Octal-SPI PSRAM。

- 器件 1：CA_CS0，CA_SCLK，CA_DQS，CA_D[3:0]，CB_D[3:0]；
- 器件 2：CB_CS0，CB_SCLK，CB_DQS，CA_D[3:0]，CB_D[3:0]；

XPI 支持的数据位宽：经典 SPI 模式，Dual-SPI 模式，Quad-SPI 模式和 Octal-SPI 模式。

- 经典 SPI 模式，D0 作为 MOSI(Master OUT Slave IN)，D1 作为 MISO(Master IN Slave OUT);
- Dual-SPI 模式，D0 和 D1 用作 2 线双向数据信号;

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

- Qual-SPI 模式，D0~D3 用作 4 线双向数据信号;
- Octal-SPI 模式，端口 A 的 D0~D3 和端口 B 的 D0~D3 用作 8 线双向数据信号.

XPI 的数据传输模式，可以配置 SDR(Single Data Rate) 模式或 DDR(Double Data Rate) 模式；SDR 模式在数据传输以时钟上升沿对准；DDR 模式，在时钟的上升沿和下降沿传输数据。传输时采样哪种数据传输模式，可由 XPI 的 INSTGRP 里的访问指令决定。

27.2.2 XPI 地址映射

XPI 支持连接至多 4 个外部串行存储设备，不同存储设备按照地址区分。当访问地址落在某个存储设备地址范围内时，会通过对应的片选信号，选中这个外部器件。用户通过各个外部器件的 CR0 寄存器 FLSHSZ 位配置每个外部器件的地址范围，以字节 Byte 为单位。

- CA_CS0，地址范围为 $0 \sim DEVSIZE[0].SIZE_KB$
- CA_CS1，地址范围为 $DEVSIZE[0].SIZE_KB \sim DEVSIZE[0].SIZE_KB + DEVSIZE[1].SIZE_KB$
- CB_CS0，地址范围为 $DEVSIZE[0].SIZE_KB + DEVSIZE0[1].SIZE_KB$
  $\sim DEVSIZE[0].SIZE_KB + DEVSIZE[1].SIZE_KB + DEVSIZE[2].SIZE_KB$
- CB_CS1，地址范围为 $DEVSIZE[0].SIZE_KB + DEVSIZE[1].SIZE_KB + DEVSIZE[2].SIZE_KB$
  $\sim DEVSIZE[0].SIZE_KB + DEVSIZE[1].SIZE_KB + DEVSIZE[2].SIZE_KB + DEVSIZE[3].SIZE_KB$

27.2.3 外部器件地址转换

XPI 支持总线寻址范围，总线上的主设备可以直接通过 XPI 系统存储器映射的地址来访问 XPI 连接的外部器件。此时，XPI 会在收到的系统地址上自动去掉 XPI 在系统存储器映射表上的基地址，仅以地址偏移来访问外部器件。

XPI 支持把地址再分为行地址和列地址，把 DEVATTR[x].CAS 位置为非 0 值时，XPI 支持向外部器件分别发送行地址和列地址。否则全部地址以行地址发送。

27.2.4 指令表

XPI 支持通过指令表配置向外部存储器发送指令，地址和数据的格式。XPI 支持 16 组指令表，每组指令表支持最多 8 条指令，每条指令长 16 位。

指令可以配置 XPI 与外部器件通讯的一个特定阶段，如指令段，地址段，Dummy 段，数据读/写段等，若干条指令组合构成一个完整的 XPI 读或者写操作。

16 位的指令格式如下：

- 位 [15]，为 0 时，SDR 模式传输数据，为 1 时 DDR 模式传输数据；
- 位 [14]，保留位；
- 位 [13:10]，操作码 *opcode* ；
- 位 *[9:8]*，数据位数 *numpad* ；
- 位 *[7:0]*，操作数 *oprand* 。

指令表支持以下操作码 opcode：

- 4’h1，发送 CMD，发送的 CMD 值等于操作数 oprand；
- 4’h2，发送行地址 (row addr)，操作数 oprand 代表地址长度，以位 (bit) 为单位；
- 4’h3，发送列地址 (col addr)，操作数 oprand 代表地址长度，以位 (bit) 为单位；
- 4’h4，发送 1 位 MODE，MODE 等于操作数 oprand[0]，数据位数只能为 1 位；

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

- 4’h5，发送 2 位 MODE，MODE 等于操作数 oprand[1:0]，数据位数不能超过 2 位；
- 4’h6，发送 4 位 MODE，MODE 等于操作数 oprand[3:0]，数据位数不能超过 4 位；
- 4’h7，发送 8 位 MODE，MODE 等于操作数 oprand[7:0]；
- 4’h8，写数据；
- 4’h9，读数据；
- 4’hC，发送 Dummy 周期，发送 Dummy 时，XPI 不驱动数据线。Dummy 周期数等于操作数 oprand；
- 4’hD，发送 Dummy RWDS，与 Dummy 类似，用于 HyperBus 器件。读操作时，如果 RWDS 高，Dummy 周期数为 $(\text{oprand} \times 4 - 1)$，否则为 $(\text{oprand} \times 2 - 1)$；写操作时，如果 RWDS 高，Dummy 周期数为 $(\text{oprand} \times 4 - 2)$，否则为 $(\text{oprand} \times 2 - 2)$；
- 4’h0，停止执行指令。

指令表支持以下数据位数 numpad，数据位数代表该指令用到的数据线路数目：

- 2’h0，1 线数据线传输数据；
- 2’h1，2 线数据线传输数据；
- 2’h2，4 位数据线传输数据；
- 2’h3，8 位数据线传输数据；

当 XPI 通过总线寻址访问时，按照 DEVMACR[x] 寄存器的配置，决定执行指令表中的哪段指令，完成相应的读或者写操作。

当 XPI 通过寄存器指令访问时，按照 APBINSCR 寄存器的配置，执行指令表中指定的指令。

27.2.5 总线寻址访问

XPI 支持总线寻址访问。总线寻址访问是指，总线上的主设备，比如处理器，DMA 等，将 XPI 作为总线从设备，按照内存映射表上分配给 XPI 的地址，对 XPI 连接的外部器件直接访问。XPI 在线执行代码即通过总线寻址访问实现。

系统上总线主设备对 XPI 地址的任意读或者写访问，即对 XPI 发出总线寻址访问请求。XPI 在收到此类请求时，会将请求转换为对外部器件的读或者写访问。转换通过执行指令表中的一条或者多条指令实现。

用户需要预先编辑指令表，通过指令实现对外部器件的读或者写操作。再配置 DEVMACR[x] 寄存器，WRINSGRPIND 位配置收到总线寻址访问写操作时，执行的指令索引。

27.2.6 寄存器指令访问

XPI 支持寄存器指令访问。用户可以编辑指令表，并通过配置 XPI 的寄存器来执行指令表中的任意指令。

用户编辑完成指令表后，通过 APBINSCR 寄存器 PINSGRPIND 位指定需要执行的指令在指令表中的索引。之后对 APBCMD 寄存器的 TRG 位置 1，来触发指令的执行。

XPI 通过寄存器指令访问，操作外部器件时，读取到的数据存放到寄存器 RX 缓存中，软件可以通过 PRX 寄存器直接读取缓存。对外部器件写操作时，要把待发送的数据预先写入寄存器 TX 缓存，软件可以通过 PTX 寄存器直接写 TX 缓存。

XPI 寄存器指令访问外部器件时，目标地址存放在 APBDAR 寄存器的 DAR 位。

27.2.7 XPI 时间特性

XPI 支持调整 IO 输入输出的时间特性。

CSx 信号与 SCLK 间的信号建立时间和保持时间，可通过 DEVATTR[x] 寄存器的 TCSS 位和 TCSH 位调节。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

- SDR 模式下，建立时间为 $TCSS + 0.5$ 个周期，保持时间为为 $TCSH$ 个周期；
- DDR 模式下，建立时间为 $TCSS + 0.5$ 个周期，保持时间为为 $TCSH + 0.5$ 个周期。

XPI 支持配置 CSx 信号由有效翻转为无效到下一次再翻转为有效之间的间隔。用户可以配置 DEVATTR[x] 寄存器，间隔为

$CSINTVAL \times 1$ 个时钟周期，CSINTVU = 1’b0；

$CSINTVAL \times 256$ 个时钟周期，CSINTVU = 1’b1。

XPI 支持设置数据的采样选项，可以通过 GCR0 寄存器的 RXCLKSRC 位配置

- 2’b00，发送时钟，内部回环；
- 2’b01，通过芯片的 DQS 引脚回环；
- 2’b10，保留待用；
- 2’b11，通过外部器件提供的 DQS 信号。

27.2.8 中断

XPI 支持生成以下中断请求：

- 寄存器指令访问触发的指令执行完毕；
- 寄存器指令访问触发的指令执行超时；
- 总线寻址访问触发的指令执行超时；
- 寄存器指令访问触发的指令执行错误；
- 总线寻址访问触发的指令执行错误；
- 寄存器指令访问的 RX 缓存内有效数据数目达到或超过警戒线；
- 寄存器指令访问的 TX 缓存内有效数据数目达到或低于警戒线；
- 总线超时。

27.3 XPI 配置和使用

建议用户通过调用本产品的 ROM API，对 XPI 进行初始化及配置。

本产品 ROM API 的详情，请查阅节 19.7。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

28 多功能外部存储控制器 FEMC

本章节介绍了多功能外部存储器控制器 FEMC (Flexible External Memory Controller) 的功能和特性。

28.1 特性总结

本章节介绍多功能外部存储器控制器 FEMC (Flexible External Memory Controller) 的主要特性：

- DRAM 控制器，支持连接外部 SDRAM
  - 支持 8/16/32 位数据模式
  - 可以使用高 16 位数据线访问 16 位 SDRAM(当低 16 位数据线的 IO 被其他功能占用时)
  - 最大支持 166MHz 工作频率
  - 支持通过 APB 总线往 SDRAM 发命令 (READ, WRITE, MODE_SET, AUTO_REFRESH 等)
  - 32 位 AXI 总线，内部读写数据 buffer，最大 outstanding 支持 8 级读和 8 级写
  - auto-refresh 时间, bank 数, CAS 延迟, column 地址位数, burst 长度可配
- SRAM 控制器，支持连接外部 SRAM 或者兼容 SRAM 访问接口的器件
  - 支持异步访问
  - 支持数据地址复用模式 (ADMUX) 或者非复用模式 (Non-ADMUX)
  - 支持 8 位或 16 位数据端口

28.2 FEMC 工作机制

FEMC 包含 DRAM 控制器和 SRAM 控制器 2 套外部存储器控制模块。本章节介绍了这 2 套模块之间分工和配合使用的机制。

28.2.1 FEMC 信号分配

下表列举了 FEMC 的 DRAM 控制器在连接外部 SDRAM 时，以及 SRAM 控制器在连接外部 SRAM 时，对 FEMC 各个信号引脚的使用情况。

FEMC 引脚名称	DRAM 信号	SRAM 信号 (Non-ADMUX)	SRAM 信号 (ADMUX)
FEMC_A_00	A_00	A0	A16
FEMC_A_01	A_01	A1	A17
FEMC_A_02	A_02	A2	A18
FEMC_A_03	A_03	A3	A19
FEMC_A_04	A_04	A4	A20
FEMC_A_05	A_05	A5	A21
FEMC_A_06	A_06	A6	A22
FEMC_A_07	A_07	A7	A23
FEMC_A_08	A_08		
FEMC_A_09	A_09		
FEMC_A_10	A_10		
FEMC_A_11	A_11	NWE	NWE
FEMC_A_12	A_12	NOE	NOE

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

FEMC 引脚名称	DRAM 信号	SRAM 信号 (Non-ADMUX)	SRAM 信号 (ADMUX)
FEMC_BA0	BA0		
FEMC_BA0	BA1	NADV	NADV
FEMC_CAS	CAS		
FEMC_CKE	CKE		
FEMC_CLK	CLK		
FEMC_CS_0	CS_0		
FEMC_CS_1	CS_1	NCE	NCE
FEMC_DM_0	DM_0	NLB	NLB
FEMC_DM_1	DM_1	NUB	NUB
FEMC_DM_2	DM_2		
FEMC_DM_3	DM_3		
FEMC_DQS	DQS		
FEMC_DQ_00	DQ_00	D0	AD0
FEMC_DQ_01	DQ_01	D1	AD1
FEMC_DQ_02	DQ_02	D2	AD2
FEMC_DQ_03	DQ_03	D3	AD3
FEMC_DQ_04	DQ_04	D4	AD4
FEMC_DQ_05	DQ_05	D5	AD5
FEMC_DQ_06	DQ_06	D6	AD6
FEMC_DQ_07	DQ_07	D7	AD7
FEMC_DQ_08	DQ_08	D8	AD8
FEMC_DQ_09	DQ_09	D9	AD9
FEMC_DQ_10	DQ_10	D10	AD10
FEMC_DQ_11	DQ_11	D11	AD11
FEMC_DQ_12	DQ_12	D12	AD12
FEMC_DQ_13	DQ_13	D13	AD13
FEMC_DQ_14	DQ_14	D14	AD14
FEMC_DQ_15	DQ_15	D15	AD15
FEMC_DQ_16	DQ_16	A8	
FEMC_DQ_17	DQ_17	A9	
FEMC_DQ_18	DQ_18	A10	
FEMC_DQ_19	DQ_19	A11	
FEMC_DQ_20	DQ_20	A12	
FEMC_DQ_21	DQ_21	A13	
FEMC_DQ_22	DQ_22	A14	
FEMC_DQ_23	DQ_23	A15	
FEMC_DQ_24	DQ_24	A16	
FEMC_DQ_25	DQ_25	A17	
FEMC_DQ_26	DQ_26	A18	

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

FEMC 引脚名称	DRAM 信号	SRAM 信号 (Non-ADMUX)	SRAM 信号 (ADMUX)
FEMC_DQ_27	DQ_27	A19	
FEMC_DQ_28	DQ_28	A20	
FEMC_DQ_29	DQ_29	A21	
FEMC_DQ_30	DQ_30	A22	
FEMC_DQ_31	DQ_31	A23	
FEMC_RAS	RAS		
FEMC_WE	WE		

表 191: FEMC 信号映射表

FEMC_CS_0 和 FEMC_CS_1 作为片选信号，默认用作 DRAM 的片选信号。用户可以配置 IOCTRL 寄存器 IOCSX 位域，将 FEMC_CS_1 信号用作 SRAM 控制器的片选信号 SRAM_NCE。

28.2.2 FEMC 信号说明

FEMC 的 DRAM 控制器各信号说明如下：

DRAM 信号名称	描述
DQ_00~DQ_31	数据输入和输出信号 0~31。
A_00~A_12	地址信号 0~12，可作为行地址 (Row Address) 或列地址 (Column Address)。 其中列地址信号宽度可配置为 9~12 位.。
CS_0/CS_1	片选信号 0 和片选信号 1。
BA0/BA1	Bank 选择信号 (Bank Select)
DM_0~DM_3	数据掩码 0 3 (Data Mask)。
CAS	列地址选通 (Column Address Strobe)，CAS，RAS，WE 一起定义将对 SDRAM 执行的操作
RAS	行地址选通 (Row Address Strobe)，CAS，RAS，WE 一起定义将对 SDRAM 执行的操作
WE	写使能 (Write Enable)，CAS，RAS，WE 一起定义将对 SDRAM 执行的操作
DQS	数据选通信号 (Data Strobe)

表 192: FEMC DRAM 控制器信号说明

FEMC 的 SRAM 控制器各信号说明如下：

SRAM 信号名称	描述
D0~D15/AD0~AD15	在数据和地址非复用 AD Non-MUX 模式下，为数据输入和输出信号 0~15 在数据和地址复用 ADMUX 模式下，地址信号 0~15 和数据信号 0~15 共享信号 AD0~AD15

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

SRAM 信号名称	描述
A0~A7/A16~A23	在数据和地址非复用 AD Non-MUX 模式下，为地址信号 0~7。 在数据和地址复用 ADMUX 模式下，为地址信号 16~23。
A8~A23	在数据和地址非复用 AD Non-MUX 模式下，为地址信号 8~23 在数据和地址复用 ADMUX 模式下，这些信号不可用。
NWE	写使能信号 (Write Enable)，低电平有效
NOE	读使能信号 (Read Enable)，低电平有效。
NCE	片选信号 (Chip Enable)，低电平有效
NLB	低字节控制 (Lower-Byte Control)，低电平有效
NUB	高字节控制 (Upper-Byte Control)，低电平有效
NADV	在数据和地址复用 ADMUX 模式下，为地址/数据有效信号 (address/data valid)，可以用来锁存地址

表 193: FEMC SRAM 控制器信号映射表

28.2.3 FEM 地址映射配置

用户可以通过以下寄存器，配置外部 DRAM，或者 SRAM 器件地址在芯片的内存映射表上的地址范围：

- BR[BASE0] 寄存器，配置 DRAM 片选信号 CS_0 对应的外部 SDRAM
- BR[BASE1] 寄存器，配置 DRAM 片选信号 CS_1 对应的外部 SDRAM
- BR[BASE6] 寄存器，配置 SRAM 片选信号 NCE 对应的外部 SRAM 或类似接口器件

BR 寄存器的 BASE 位域，可以配置外部存储器 (SDRAM 或 SRAM 等) 映射到内存映射表的基地址；SIZE 位域，可以配置外部存储器的容量；VLD 位域，置 1 表示该 BR 寄存器对应的外部存储器有效。

当 BR 寄存器配置完成并设置为有效后，当总线上的数据读写访问地址匹配 BR[BASE0] 寄存器的配置时，会触发 DRAM 控制器，CS_0 信号有效，访问外部的 SDRAM。

当总线上的数据读写访问地址匹配 BR[BASE1] 寄存器的配置时，会触发 DRAM 控制器，CS_1 信号有效，访问外部的 SDRAM。

当总线上的数据读写访问地址匹配 BR[BASE6] 寄存器的配置时，会触发 SRAM 控制器，NCE 信号有效，访问外部的 SRAM 或类似器件。

注意，根据 IOCTRL 寄存器 IOCSX 位域的配置，FEMC_CS_1 信号或者用作 DRAM 的 CS_1，或者用作 SRAM 控制器的 SRAM_NCE。因此 BR[BASE1] 和 BR[BASE6] 这 2 个寄存器同时只有 1 个能生效，即 FEMC 外部可以同时连接 2 个 SDRAM 或者 1 个 SDRAM 和 1 个 SRAM。

28.3 DRAM 控制器功能描述

提供 SDRAM 读写访问控制.

CPU 可以通过 APB 总线往 SDRAM 发命令.

CPU 和其他外设可以通过 AXI 总线直接读写 DRAM.

28.3.1 初始化流程

- 根据 SDRAM 型号以及开发板设计图，配置 pinmux(主要是 SDRAM 数据宽度，以及使用哪些数据位)；注意：需使用 PC16 作为 DQS 补偿接收数据延迟，PC16 的 pad 设置中需要使能 loopback(详见 IOC 寄

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

存器描述)

- 根据 SDRAM 型号以及应用需求，配置 SDRAM 工作频率，以下以 IS42S32800J 的 32 位 SDRAM，工作在 166MHz 为例，仅供参考。
- 设置 CTRL(offset 0x00)=0x04, 模块使能，使用 DQS 补偿接收延迟；
- 设置 BR0(offset 0x10) 的 MS=01101b(32MB),VLD=1; BA 为系统默认 SDRAM 地址，无需改变。
- 设置 SDRAMCR0(offset 0x40)=0xF32, 4bank/CAS=3/9bitCOL/burst length=8/32bit;
- 根据 SDRAM 手册设置 SDRAMCR1/2/3, 这里给出参考值:SDRAMCR1=0x664A33;SDRAMCR2=0x10A0A; SDRAMCR3=0x14147D01；
- 使用 IPCMD 初始化 SDRAM。IPCMD 流程如下：
  将数据部分写入寄存器 IPTXDAT(offset 0xA0);(WRITE 和 MODESET 命令有数据部分)；
  将命令写入寄存器 IPCMD(offset 0x9C) 的低 4 位，高 16 位写 0x5AA5，其他位写 0；
  等待 IPCMD 结束或者错误中断 (可以用中断，或者轮询状态寄存器 INTR，offset 0x3C)，写状态寄存器 INTR 清中断
- 依次发送以下 IPCMD:PRECHARGE ALL; AUTO REFRESH; AUTO REFRESH(第二次); MODESET(IPTXDAT 写 0x33，设置 CAS=3/burst length=8/burst type=seq)
- 初始化完成，cpu 和其他模块可以通过 AXI 直接访问 SDRAM

28.4 SRAM 控制器功能描述

本章节介绍了 FEMC 内部 SRAM 控制器的功能。SRAM 控制器可以连接外部的 SRAM，PSRAM 或者兼容 SRAM 访问接口的外部器件。

SRAM 控制器支持数据和地址信号复用和非复用两种工作模式，可以通过 SRCTR0 寄存器的 ADM 控制位进行设置。

SRAM 的端口数据宽度，可以通过 SRCTR0 寄存器的 PORTSZ 控制位进行数据端口宽度设置，8bit 或者 16bit。

28.4.1 数据地址非复用模式 Non-ADMUX

SRAM 控制器工作在数据地址非复用模式时，需要各自独立的地址和数据信号线，NADV 信号为可选信号，可以不使用，其写操作的接口信号示意图如下：

图 28: 数据地址非复用模式写操作

读操作的接口信号示意图如下：

图 29: 数据地址非复用模式读操作

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

28.4.2 数据地址复用模式 ADMUX

在数据地址复用模式下，控制器的低 16 位地址线与 16 位数据线是复用的，外围电路需要增加地址锁存器，通过 NADV 信号对低 16 位地址进行锁存。NADV 信号的极性可通过 SRCTL0.ADVH 和 SRCTL0.ADVP 进行配置，以适应不同的地址锁存器。

其写操作的接口信号示意图如下：

图 30: 数据地址复用模式写操作

读操作的接口信号示意图如下：

图 31: 数据地址复用模式读操作

28.4.3 SRAM 控制器时序参数配置

可以通过 SRCTRL1 寄存器控制 SRAM 读写操作的各个时序参数：

- REH 位域，配置 REH（Read Enable High）的长度，为 REH+1 个时钟周期
- REL 位域，配置 REL（Read Enable High）的长度，为 REL+1 个时钟周期
- WEH 位域，配置 WEH（Write Enable High）的长度，为 WEH+1 个时钟周期
- WEL 位域，配置 REL（Write Enable Low）的长度，为 WEL+1 个时钟周期
- AH 位域，配置 AH (Address Hold) 的长度，为 AH+1 个时钟周期
- AS 位域，配置 AS (Address Setup) 的长度，为 AS+1 个时钟周期
- CEH 位域，配置 CEH (Chip Enable Hold) 的长度，为 CEH+1 个时钟周期
- CES 位域，配置 CES (Chip Enable Setup) 的长度，为 CES+1 个时钟周期

28.4.4 SRAM 控制器应用提示

用户可以利用 SRAM 控制器连接 SRAM 或者访问接口兼容 SRAM 的外部器件。SRAM 控制器仅支持一根片选信号。当用户希望连接多个外部器件时，可以将不必须的高位地址线与片选信号通过片外逻辑器件组合起来，生成多个新的片选信号。

28.5 FEMC 寄存器列表

FEMC base address: 0xF3050000

地址偏移	名称	描述	复位值
0x0000	CTRL	控制寄存器	0x00000000
0x0004	IOCTRL		0x00000000
0x0008	BMW0	AXI 总线权重配置寄存器 0	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x000C	BMW1	AXI 总线权重配置寄存器 1	0x00000000
0x0010	BR[BASE0]	SDRAM0 基地址配置	0x00000000
0x0014	BR[BASE1]	SDRAM1 基地址配置	0x00000000
0x0028	BR[BASE6]	SRAM 基地址配置	0x00000000
0x0038	INTEN	中断使能寄存器	0x00000000
0x003C	INTR	中断状态寄存器	0x00000000
0x0040	SDRCTRL0	SDRAM 控制寄存器 0	0x00000000
0x0044	SDRCTRL1	SDRAM 控制寄存器 1	0x00000000
0x0048	SDRCTRL2	SDRAM 控制寄存器 2	0x00000000
0x004C	SDRCTRL3	SDRAM 控制寄存器 3	0x00000000
0x0070	SRCTRL0	SRAM 控制寄存器 0	0x00000000
0x0074	SRCTRL1	SRAM 控制寄存器 1	0x00000000
0x0090	SADDR	IP 命令控制寄存器 0	0x00000000
0x0094	DATSZ	IP 命令控制寄存器 1	0x00000000
0x0098	BYTEMSK	IP 命令控制寄存器 2	0x00000000
0x009C	IPCMD	IP 命令寄存器	0x00000000
0x00A0	IPTX	IP 写数据寄存器	0x00000000
0x00B0	IPRX	IP 读数据寄存器	0x00000000
0x00C0	STAT0	状态寄存器 0	0x00000000
0x0150	DLYCFG	延迟线配置寄存器	0x00000000

表 194: FEMC 寄存器列表

28.6 FEMC 寄存器描述

28.6.1 CTRL (0x0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD			BTO					CTO								RSVD													DQS	DIS	RST
N/A			RW					RW								N/A													RW	RW	RW
x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0

CTRL [31:0]

位域	名称	描述
28-24	BTO	AXI 总线超时。 超时时间为（255*(2^BTO)) 个 FEMC 时钟周期 00000b: 255； 11111b: 255*2^31; 超时后会产生 AXIBUSERR 中断

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
23-16	CTO	命令执行超时。 设 0 使用最大值：256*1024 个 FEMC 时钟周期; 设其他值，超时时间为：CTO*1024 个 FEMC 时钟周期 当命令执行时间超过后，会产生 IPCMDERR 或者 AXICMDERR 中断。
2	DQS	
1	DIS	模块关闭 0b - 打开 1b - 关闭
0	RST	软件复位，复位内部逻辑，不包括配置寄存器

CTRL 位域

28.6.2 IOCTRL (0x4)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																								IO_CSX				RSVD			
N/A																								RW				N/A			
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	x	x	x	x

IOCTRL [31:0]

位域	名称	描述
7-4	IO_CSX	IO_CSX 引脚功能选择 0001b - SDRAM CS1 0110b - SRAM CE#

IOCTRL 位域

28.6.3 BMW0 (0x8)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								RWS								SH								AGE				QOS			
N/A								RW								RW								RW				RW			
x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

BMW0 [31:0]

位域	名称	描述
23-16	RWS	读写切换权重配置
15-8	SH	读写未切换权重配置

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
7-4	AGE	AGE 权重配置 AGE 用来表示当前命令在队列中等待时间，时间越长优先级越高。等待时间乘以 AGE 为 AGE 权重
3-0	QOS	QOS 权重配置 AXI 总线有 AxQOS 信号，用来控制相关读写的优先级，值越大优先级越高。 AxQOS*QOS 为 QOS 权重

BMW0 位域

28.6.4 BMW1 (0xC)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BR								RWS								PH								AGE				QOS			
RW								RW								RW								RW				RW			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

BMW1 [31:0]

位域	名称	描述
31-24	BR	BANK 变化权重配置
23-16	RWS	读写未切换权重配置
15-8	PH	读写未切换权重配置
7-4	AGE	AGE 权重配置 AGE 用来表示当前命令在队列中等待时间，时间越长优先级越高。等待时间乘以 AGE 为 AGE 权重
3-0	QOS	QOS 权重配置 AXI 总线有 AxQOS 信号，用来控制相关读写的优先级，值越大优先级越高。AxQOS*QOS 为 QOS 权重

BMW1 位域

28.6.5 BR (0x10 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BASE																				RSVD						SIZE					VLD
RW																				N/A						RW					RW
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	x	x	x	0	0	0	0	0	0

BR [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-12	BASE	基地址 SDRAM 的高 20 位基地址，低 12 位必须为 0
5-1	SIZE	SDRAM 大小： 00000b - 4KB 00001b - 8KB 00010b - 16KB 00011b - 32KB 00100b - 64KB 00101b - 128KB 00110b - 256KB 00111b - 512KB 01000b - 1MB 01001b - 2MB 01010b - 4MB 01011b - 8MB 01100b - 16MB 01101b - 32MB 01110b - 64MB 01111b - 128MB 10000b - 256MB 10001b - 512MB 10010b - 1GB 10011b - 2GB 10100-11111b - 4GB
0	VLD	设 1 表示 CS0 对应的 SDRAM 有效

BR 位域

28.6.6 INTEN (0x38)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																												AXIBUSERR	AXICMDERR	IPCMDERR	IPCMDDONE
N/A																												RW	RW	RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0

INTEN [31:0]

位域	名称	描述
3	AXIBUSERR	AXI 总线错误中断使能
2	AXICMDERR	AXI 命令错误中断使能

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
1	IPCMDERR	IP 命令错误中断使能
0	IPCMDDONE	IP 命令结束中断使能

INTEN 位域

28.6.7 INTR (0x3C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																												AXIBUSERR	AXICMDERR	IPCMDERR	IPCMDDONE
N/A																												W1C	W1C	W1C	W1C
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0

INTR [31:0]

位域	名称	描述
3	AXIBUSERR	AXI 总线错误中断状态
2	AXICMDERR	AXI 总线错误中断状态
1	IPCMDERR	IP 命令错误中断状态
0	IPCMDDONE	IP 命令结束中断状态

INTR 位域

28.6.8 SDRCTRL0 (0x40)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																	BANK2	RSVD		CAS		COL		COL8	BURSTLEN			HIGHBAND	RSVD	PORTSZ	
N/A																	RW	N/A		RW		RW		RW	RW			RW	N/A	RW	
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	x	x	0	0	0	0	0	0	0	0	0	x	0	0

SDRCTRL0 [31:0]

位域	名称	描述
14	BANK2	BANK 数选择，可以从 SDRAM 手册获得 0 - SDRAM 有 4BANK 1 - SDRAM 有 2BANK

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
11-10	CAS	CAS 延迟周期，可以从 SDRAM 手册获得 00b - 1 01b - 1 10b - 2 11b - 3
9-8	COL	列地址位数： 00b - 12 位 01b - 11 位 10b - 10 位 11b - 9 位
7	COL8	8 位列地址： 设 1 表示 8 位列地址 设 0 由 COL 决定列地址位数 列地址可以从 SDRAM 手册得到
6-4	BURSTLEN	BURST 长度 000b - 1 001b - 2 010b - 4 011b - 8 100b - 8 101b - 8 110b - 8 111b - 8
3	HIGHBAND	高位选择： 0：16 位 SDRAM 使用低 16 位数据线 1：16 位 SDRAM 使用高 16 位数据线 仅在选择 16 位 SDRAM 时有效 (PORTSZ=01b)
1-0	PORTSZ	SDRAM 位宽： 00b - 8 位 01b - 16 位 10b - 32 位

SDRCTRL0 位域

28.6.9 SDRCTRL1 (0x44)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								ACT2PRE				CKEOFF				WRC			RFRC					ACT2RW				PRE2ACT			
N/A								RW				RW				RW			RW					RW				RW			
x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

SDRCTRL1 [31:0]

位域	名称	描述
23-20	ACT2PRE	ACT 命令到 PRECHARGE 命令的最小间隔，可以从 SDRAM 手册获得： （PREACT+1）个时钟周期。
19-16	CKEOFF	时钟关闭最小时间 FEMC 时钟会在 CKE 关闭后至少保持（CKEOFF+1）个时钟周期
15-13	WRC	写命令到 PRECHARGE 命令的最小间隔，可以从 SDRAM 手册获得： （RFRC+1）个时钟周期
12-8	RFRC	REFRESH 命令到 ACT 命令的最小间隔，可以从 SDRAM 手册获得： （RFRC+1）个时钟周期
7-4	ACT2RW	ACT 命令到读写命令的最小间隔，可以从 SDRAM 手册获得： （ACT2RW+1）个时钟周期
3-0	PRE2ACT	PRECHARGE 命令到 ACT/REFRESH 命令的最小间隔，可以从 SDRAM 手册获得： （PREACT+1）个时钟周期。 例如 ISSI 的 SDRAM 手册上 tRP=3 周期，这里设置为 2

SDRCTRL1 位域

28.6.10 SDRCTRL2 (0x48)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ITO								ACT2ACT								REF2REF								SRRC							
RW								RW								RW								RW							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SDRCTRL2 [31:0]

位域	名称	描述
31-24	ITO	SDRAM 空闲超时： FEMC 模块会在超时后关掉所有打开的页。 0：256 个预分频时间周期（详见 PRESCALE） 其他值：ITO 个预分频时间周期
23-16	ACT2ACT	ACT 命令到 ACT 命令最小间隔： （ACT2ACT+1）个时钟周期
15-8	REF2REF	REFRESH 命令到 REFRESH 命令最小间隔： （REF2REF+1）个时钟周期

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
7-0	SRRC	self REFRESH 命令到其他命令最小间隔： （SRRC+1）个时钟周期

SDRCTRL2 位域

28.6.11 SDRCTRL3 (0x4C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UT								RT								PRESCALE								RSVD				REBL			REN
RW								RW								RW								N/A				RW			RW
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	x	0	0	0	0

SDRCTRL3 [31:0]

位域	名称	描述
31-24	UT	紧急 REFRESH 时间周期： 0：256 个预分频时间周期 其他值：UT 个预分频时间周期； 与 RT 的区别： 当 RT 时间到达时，如果当前有 AXI 或者 IP 命令正在等待完成，会等待所有命令结束再发送 REFRESH 命令； 当 UT 时间到达时，会在当前 AXI 或者 IP 命令结束后立即发送 REFRESH 命令.
23-16	RT	REFRESH 时间周期： 0：256 个预分频时间周期 其他值：RT 个预分频时间周期
15-8	PRESCALE	预分频时间： 0：256*16 个 FEMC 时钟周期 其他值：PRESCALE*16 个 FEMC 时钟周期
3-1	REBL	FEMC 可以连续发送多个 AUTO REFRESH 命令： 000b - 1 001b - 2 010b - 3 011b - 4 100b - 5 101b - 6 110b - 7 111b - 8
0	REN	自动 REFRESH 使能

SDRCTRL3 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

28.6.12 SRCTRL0 (0x70)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																				ADVH	ADVP	ADM		RSVD							PORTSZ
N/A																				RW	RW	RW		N/A							RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	x	x	x	x	x	x	x	0

SRCTRL0 [31:0]

位域	名称	描述
11	ADVH	ADV 保持电平 0b - 地址保持态时，ADV 信号为高电平 1b - 地址保持态时，ADV 信号为低电平
10	ADVP	ADV 极性 0b - ADV 动作时为低电平 1b - ADV 动作时为高电平
9-8	ADM	地址线和数据线工作模式 00b - 地址线和数据线复用模式 11b - 地址线和数据线非复用模式
0	PORTSZ	数据位宽 0b - 8 位 1b - 16 位

SRCTRL0 位域

28.6.13 SRCTRL1 (0x74)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OEH				OEL				WEH				WEL				AH				AS				CEH				CES			
RW				RW				RW				RW				RW				RW				RW				RW			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SRCTRL1 [31:0]

位域	名称	描述
31-28	OEH	OE 高电平时间，为 OEH+1 个时钟周期
27-24	OEL	OE 低电平时间，为 OEL+1 个时钟周期
23-20	WEH	WE 高电平时间，为 WEH+1 个时钟周期
19-16	WEL	WE 低电平时间，为 WEL+1 个时钟周期
15-12	AH	AH 时间，为 AH+1 个时钟周期
11-8	AS	AS 时间，为 AS+1 个时钟周期
7-4	CEH	CEH 时间，为 CEH+1 个时钟周期

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
3-0	CES	CES 时间，为 CES+1 个时钟周期

SRCTRL1 位域

28.6.14 SADDR (0x90)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SA																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SADDR [31:0]

位域	名称	描述
31-0	SA	目标地址

SADDR 位域

28.6.15 DATSZ (0x94)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																													DATSZ		
N/A																													RW		
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0

DATSZ [31:0]

位域	名称	描述
2-0	DATSZ	读写位宽，仅对读写命令有效： 001b - 8 位 010b - 16 位 011b - 24 位 其他 - 32 位

DATSZ 位域

28.6.16 BYTEMSK (0x98)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																												BM3	BM2	BM1	BM0

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
N/A																												RW	RW	RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0

BYTEMSK [31:0]

位域	名称	描述
3	BM3	字节 3 屏蔽使能（对应 IPTXD 的比特 31 到 24）
2	BM2	字节 2 屏蔽使能（对应 IPTXD 的比特 23 到 16）
1	BM1	字节 1 屏蔽使能（对应 IPTXD 的比特 15 到 8）
0	BM0	字节 0 屏蔽使能（对应 IPTXD 的比特 7 到 0） 0：不屏蔽 1：屏蔽

BYTEMSK 位域

28.6.17 IPCMD (0x9C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY																CMD															
WO																RW															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

IPCMD [31:0]

位域	名称	描述
31-16	KEY	命令字. 写入 0x5AA5 会触发一次 IP 命令
15-0	CMD	SDRAM 命令： • 0x8: READ • 0x9: WRITE • 0xA: MODESET • 0xB: ACTIVE • 0xC: AUTO REFRESH • 0xD: SELF REFRESH • 0xE: PRECHARGE • 0xF: PRECHARGE ALL • Others: RSVD

IPCMD 位域

28.6.18 IPTX (0xA0)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAT																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

IPTX [31:0]

位域	名称	描述
31-0	DAT	IP 写数据

IPTX 位域

28.6.19 IPRX (0xB0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DAT																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

IPRX [31:0]

位域	名称	描述
31-0	DAT	IP 读数据

IPRX 位域

28.6.20 STAT0 (0xC0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																															IDLE
N/A																															RO
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0

STAT0 [31:0]

位域	名称	描述
0	IDLE	空闲状态指示位。 0 表示当前有正在执行的 AXI 命令； 1 表示没有未执行的 AXI 命令；

STAT0 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

28.6.21 DLYCFG (0x150)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																		OE	RSVD							DLYSEL					DLYEN
N/A																		RW	N/A							RW					RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	x	x	x	x	x	x	x	0	0	0	0	0	0

DLYCFG [31:0]

位域	名称	描述
13	OE	延迟线时钟输出，DLYEN 和 DLYSEL 必须在 OE 为 0 时改动，最后设置 OE 为 1.
5-1	DLYSEL	延迟线级数选择，0 表示一级，31 选择所有 32 级
0	DLYEN	延迟线使能

DLYCFG 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

29 SD/eMMC 控制器 SDXC

SDXC 为 CPU 提供访问外部 SD 卡/eMMC 卡/SDIO 的通道

29.1 功能简介

本章节介绍了 SDXC 的主要功能:

- 支持 SD-HCI 主机版本 4, 支持以下速度模式：default speed(DS), high-speed(HS), SDR12, SDR25, SDR50 和 SDR104
- 最高支持 eMMC5.1, 支持以下速度模式：legacy, high-speed SDR, high-speed DDR, HS200 和 HS400
- 支持 SDIO(SD Specifications Part E1 SDIO Specification Version 4.10 Sept 2014)
- 支持 UHS-1
- 支持以下数据传输类型：CPU/SDMA/ADMA2/ADMA3
- 支持命令队列 Command Queuing Engine (CQE)，兼容 eMMC CQ HCI
- 支持 SD/eMMC tuning

29.2 初始化流程

以 SD 卡的初始化为例，主要介绍系统相关的初始化，具体卡的初始化请参考相关协议。

- 根据开发板设计图，配置 pinmux，注意 cmd 和 data 需要在 PAD_CTL 寄存器中设置上拉;
- 设置 sd 时钟为 400KHz(需设置系统控制模块 SYSCTL，CLK_TOP_SDC0/CLK_TOP_SDC1)；
- 根据应用设置 AC_HOST_CTRL 寄存器 (offset 0x3C)；
- 置位 PROT_CTRL(base+0x28) bit8
- 配置 SYS_CTRL(base+0x2C), 置位 bit0/2/3, 等待 bit1 为 1
- 等待至少 74 个 400KHz 时钟周期 (SD 协议需求)
- 按图 32和图 33所示，发送各种 CMD 完成初始化，以下以 CMD0 为例说明发送 CMD 流程：
  将 CMD 参数写入 CMD_ARG 寄存器 (offset 0x8)，对于 CMD0，写 0;
  根据不同 CMD，配置 CMD_XFER(寄存器 offset 0xC)，对于 CMD0，写 0xC0；等待中断或者轮询中断状态寄存器，得到 CMD 结果并清中断

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

图 32: SD 初始化 1

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

图 33: SD 初始化 2

29.3 数据传输

sdxc 支持以下数据传输类型:CPU/SDMA/ADMA2/ADMA3;传输数据时基于 BLOCK,也就是需要传输 BLOCK 的整数倍数据，BLOCK 的大小可配置

29.3.1 CPU 模式

此模式为通过 CPU 读写寄存器传输数据，效率极低，不建议实际使用，流程如下：

- 根据所需发送的数据大小，将 BLOCK 的大小及所需传输 BLOCK 数量写入 BLK_ATTR 寄存器 (offset 0x04);

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

- 根据需求，配置 CMD_ARG 和 CMD_XFER 寄存器，发送相应 CMD，等待 CMD 结束中断并清中断
- 对于写，重复以下步骤：等待 INT_STAT 寄存器 bit4(BUF_WR_READY) 为 1，连续将一个 BLOCK 数据写入 BUF_DAT 寄存器 (offset 0x20);
  对于读，重复以下步骤：等待 INT_STAT 寄存器 bit5(BUF_RD_READY) 为 1，从 BUF_DAT 寄存器读出一个 BLOCK 数据；
- 等待数据传输结束中断并清中断；

29.3.2 SDMA 模式

利用 sdxc 内置 DMA，从指定地址读出指定长度数据发送出去，或者接收数据存入指定地址，在大数据传输时，内存中地址数据一般不是连续的物理地址，而是由若干页组成，DMA 会在页边界 (详见 BLK_ATTR.SDMA_BUF_BDARY) 停止传输并产生中断，需要 CPU 响应并提供下一段数据的起始物理地址，具体流程如下：

- 配置 DMA 模式为 SDMA， PORT_CTRL.DMA_SEL(offset 0x28, bit4:3)；
- 根据 AC_HOST_CTRL.HOST_VER4_ENABLE(offset 0x3c, bit28), 将数据起始地址写入 SDMASA(offset 0x00) 或者 ADMA_SYS_ADDR(offset 0x58)；
- 根据需求配置 BLK_ATTR 寄存器;
- 根据需求，配置 CMD_ARG 和 CMD_XFER 寄存器，发送相应 CMD，等待 CMD 结束中断并清中断；
- 等待 DMA 中断并清中断，将下一段数据地址写入 SDMASA 或者 ADMA_SYS_ADDR(对于数据没有跨页边界的，可以略过此步);
- 等待数据传输结束中断并清中断；

29.3.3 ADMA2 模式

用传输描述符的方式，将离散地址的数据块连在一起，在边界时由 sdxc 解析描述符并继续传输下一段数据，如图 34所示。

ADMA2 的传输描述符数据结构如图 35所示，每个描述符是一段连续的物理地址空间，每个分量占用 64bit，可以传输一个数据块，也可以指向下一个描述符，硬件会执行到见到 End 位置位为止。

具体流程如下：

- 配置 DMA 模式为 ADMA2，PORT_CTRL.DMA_SEL(offset 0x28, bit4:3)；
- 设置 AC_HOST_CTRL.HOST_VER4_ENABLE=1；
- 准备传输描述符；
- 将传输描述符起始地址写入 ADMA_SYS_ADDR；
- 根据需求配置 BLK_ATTR 寄存器;
- 根据需求，配置 CMD_ARG 和 CMD_XFER 寄存器，发送相应 CMD，等待 CMD 结束中断并清中断；
- 等待数据传输结束中断并清中断；

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

图 34: ADMA2 简介

64-bit ADMA2 Descriptor Line (32-bit Addressing Mode)

32-Bit Address		16-Bit Length	10-Bit Length	Attribute					
63 32		31 16	15 06	05	04	03	02	01	00
xxxx_xxxxh		xxxxh	xxxxxxxxxxb	Act2	Act1	Act0	Int	End	Valid
		Lower	Upper						

Data Length is extended from Version 4.10
(1) 16-bit Data Length Mode
(2) 26-bit Data Length Mode

Valid	Indicates Validity of a Descriptor Line
End	End of Descriptor
Int	Force to generate ADMA Interrupt

Act2	Act1	Act0	Symbol	Comment	Operation
0	0	0	Nop	No Operation	Do not execute current line and go to next line
0	1	0	rsv	Reserved	Same as Nop. Do not execute current line and go to next line
1	0	0	Tran	Transfer Data	Transfer data of one descriptor line
1	1	0	Link	Link Descriptor	Link to another descriptor
All other combinations				No Operation	Same as Nop.

图 35: ADMA2 传输描述符

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

29.3.4 ADMA3 模式

ADMA3 可以认为是多个 ADMA2 的集合，使用 ADMA3 时不需要 CPU 发送 CMD，由硬件解析描述符自动发送 CMD。

结构如所示, 每个 ADMA3 的描述符，由一个命令描述符加上一个 ADMA2 描述符组成, 命令描述符如图 36所示。

ADMA3 描述符结构如图 37所示。

具体流程如下：

- 配置 DMA 模式为 ADMA3，PORT_CTRL.DMA_SEL(offset 0x28, bit4:3)；
- 设置 AC_HOST_CTRL.HOST_VER4_ENABLE=1；
- 准备命令描述符和 ADMA2 传输描述符；
- 准备 ADMA3 描述符
- 将 ADMA3 描述符起始地址写入 ADMA_ID_ADDR(offset 0x78)
- 等待数据传输结束中断并清中断；

图 36: 命令描述符

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

64-bit Integrated Descriptor (32 -bit Addressing)

32-bit Pointer		Reserved		Reserved		Attribute					
63	32	31	16	15	06	05	04	03	02	01	00
xxxx_xxxxh		0000h		000000b		Act2	Act1	Act0	Int	End	Valid

For more information about these descriptor formats, see *SD Specifications Part A2 SD Host Controller Standard Specification Version 4.10, Sep 2013.*

图 37: ADMA3 描述符

以下伪代码是 ADMA3 的一个简单例子，包含 3 个 ADMA3 描述符，每个包含一个命令描述符和一个 ADMA2 描述符，每个 ADMA2 描述符传输 512byte 数据，仅供参考。

sdxc 会在将 desc_list_addr 写入 ADMA_ID_ADDR 后开始 ADMA3 操作:

```
void reg32_write(uint32_t taddr, uint32_t tdata) {
    *(volatile uint32_t *)taddr = tdata;
}
    uint32_t startBlock;
    uint32_t blockSize;
    uint32_t databuffer;
    uint32_t  desc_list_addr;
    uint32_t  adma3_desc0 ;
    uint32_t  adma3_desc1 ;
    uint32_t  adma3_desc2 ;
    //MAP_MEM_AREA is soc memory address, can be in DLM/XRAM/DRAM....
    desc_list_addr = MAP_MEM_AREA+0x10000;
    adma3_desc0 = MAP_MEM_AREA+0x11000;
    adma3_desc1 = MAP_MEM_AREA+0x11080;
    adma3_desc2 = MAP_MEM_AREA+0x11100;
    databuffer  = MAP_MEM_AREA+0x18000;

    //prepare ADMA3 descriptor table
    reg32_write(desc_list_addr+0x00, 0x39);//integrated descriptor
```

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

```
reg32_write(desc_list_addr+0x04, adma3_desc0); //adma3_desc0
reg32_write(desc_list_addr+0x08, 0x39); //integrated descriptor
reg32_write(desc_list_addr+0x0c, adma3_desc1); //adma3_desc1
reg32_write(desc_list_addr+0x10, 0x3b); //integrated descriptor,end
reg32_write(desc_list_addr+0x14, adma3_desc2); //adma3_desc2

//adma3_desc0
reg32_write(adma3_desc0+0x00, 0x09); //cmd0_0
reg32_write(adma3_desc0+0x04, 1); //blk_cnt
reg32_write(adma3_desc0+0x08, 0x09); //cmd0_1
reg32_write(adma3_desc0+0x0c, blockSize);
reg32_write(adma3_desc0+0x10, 0x09); //cmd0_2
reg32_write(adma3_desc0+0x14, startBlock*blockSize); //argu
reg32_write(adma3_desc0+0x18, 0x09); //cmd0_3
reg32_write(adma3_desc0+0x1c, 0x183a0081); //cmd
reg32_write(adma3_desc0+0x20, 0x23+(blockSize<<16)); //data0,size, end
reg32_write(adma3_desc0+0x24, databuffer);

//adma3_desc1
reg32_write(adma3_desc1+0x00, 0x09); //cmd1_0
reg32_write(adma3_desc1+0x04, 1); //blk_cnt
reg32_write(adma3_desc1+0x08, 0x09); //cmd1_1
reg32_write(adma3_desc1+0x0c, blockSize);
reg32_write(adma3_desc1+0x10, 0x09); //cmd1_2
reg32_write(adma3_desc1+0x14, (startBlock+1)*blockSize); //argu
 reg32_write(adma3_desc1+0x18, 0x09); //cmd1_3
reg32_write(adma3_desc1+0x1c, 0x183a0081); //cmd
reg32_write(adma3_desc1+0x20, 0x23+(blockSize<<16)); //data1,size, end
reg32_write(adma3_desc1+0x24, databuffer+512);

//adma3_desc2
reg32_write(adma3_desc2+0x00, 0x09); //cmd2_0
reg32_write(adma3_desc2+0x04, 1); //blk_cnt
reg32_write(adma3_desc2+0x08, 0x09); //cmd2_1
reg32_write(adma3_desc2+0x0c, blockSize);
reg32_write(adma3_desc2+0x10, 0x09); //cmd2_2
reg32_write(adma3_desc2+0x14, (startBlock+2)*blockSize); //argu
reg32_write(adma3_desc2+0x18, 0x09); //cmd2_3
reg32_write(adma3_desc2+0x1c, 0x183a0081); //cmd
reg32_write(adma3_desc2+0x20, 0x23+(blockSize<<16)); //data2,size, end
reg32_write(adma3_desc2+0x24, databuffer+1024);

reg32_write(ADMA_ID_ADDR, desc_list_addr); //start ADMA3 operation
```

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

29.4 SDXC 寄存器列表

SDXC0 base address: 0xF2030000 SDXC1 base address: 0xF2034000

地址偏移	名称	描述	复位值
0x0000	SDMASA		0x00000000
0x0004	BLK_ATTR		0x00020210
0x0008	CMD_ARG		0x00000000
0x000C	CMD_XFER		0x00000000
0x0010	RESP[RESP01]		0x00000000
0x0014	RESP[RESP23]		0x00000000
0x0018	RESP[RESP45]		0x00000000
0x001C	RESP[RESP67]		0x00000000
0x0020	BUF_DATA		0x00000000
0x0024	PSTATE		0x00000000
0x0028	PROT_CTRL		0x00000000
0x002C	SYS_CTRL		0x00000000
0x0030	INT_STAT		0x00000000
0x0034	INT_STAT_EN		0x00000000
0x0038	INT_SIGNAL_EN		0x00000000
0x003C	AC_HOST_CTRL		0x00000000
0x0040	CAPABILITIES1		0x00000000
0x0044	CAPABILITIES2		0x00000000
0x0048	CURR_CAPABILITIES1		0x00000000
0x004C	CURR_CAPABILITIES2		0x00000000
0x0050	FORCE_EVENT		0x00000000
0x0054	ADMA_ERR_STAT		0x00000000
0x0058	ADMA_SYS_ADDR		0x00000000
0x0060	PRESET[INIT]		0x0000
0x0062	PRESET[DS]		0x0000
0x0064	PRESET[HS]		0x0001
0x0066	PRESET[SDR12]		0x0000
0x0068	PRESET[SDR25]		0x0000
0x006A	PRESET[SDR50]		0x0000
0x006C	PRESET[SDR104]		0x0000
0x006E	PRESET[DDR50]		0x0000
0x0074	PRESET[UHS2]		0x0000
0x0078	ADMA_ID_ADDR		0x00000000
0x00E6	P_EMBEDDED_CNTRL		0x0000
0x00E8	P_VENDOR_SPECIFIC_AREA		0x0000
0x00EA	P_VENDOR2_SPECIFIC_AREA		0x0000
0x00FC	SLOT_INTR_STATUS		0x0000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0180	CQVER		0x00000000
0x0184	CQCAP		0x00000000
0x0188	CQCFG		0x00000000
0x018C	CQCTL		0x00000000
0x0190	CQIS		0x00000000
0x0194	CQISE		0x00000000
0x0198	CQISGE		0x00000000
0x019C	CQIC		0x00000000
0x01A0	CQTDLBA		0x00000000
0x01A8	CQTDBR		0x00000000
0x01AC	CQTCN		0x00000000
0x01B0	CQDQS		0x00000000
0x01B4	CQDPT		0x00000000
0x01B8	CQTCLR		0x00000000
0x01C0	CQSSC1		0x00000000
0x01C4	CQSSC2		0x00000000
0x01C8	CQCRDCT		0x00000000
0x01D0	CQRMEM		0x00000000
0x01D4	CQTERRI		0x00000000
0x01D8	CQCRI		0x00000000
0x01DC	CQCRA		0x00000000
0x0500	MSHC_VER_ID		0x00000000
0x0504	MSHC_VER_TYPE		0x00000000
0x0510	MBIU_CTRL		0x00000000
0x052C	EMMC_BOOT_CTRL		0x00000000
0x0540	AUTO_TUNING_CTRL		0x00000000
0x0544	AUTO_TUNING_STAT		0x00000000

表 195: SDXC 寄存器列表

29.5 SDXC 寄存器描述

29.5.1 SDMASA (0x0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BLOCKCNT_SDMASA																															
RW																															

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SDMASA [31:0]

位域	名称	描述
31-0	BLOCKCNT_SDMASA	32 位块计数（SDMA 系统地址） -SDMA 系统地址（主机版本 4 Enable=0）：此寄存器包含 32 位寻址模式下 SDMA 传输的系统内存地址。 当主机控制器停止 SDMA 传输时，该寄存器指向下一个连续数据位置的系统地址。 只有在没有事务执行的情况下才能访问它。在数据传输期间读取此寄存器可能会导致返回无效值。 -32 位块计数（主机版本 4 Enable=1）：根据主机控制器版本 4.10 规范，该寄存器被重新定义为 32 位块计数。 主机控制器为每个块传输递减该寄存器的块计数，当计数达到零时，数据传输停止。当没有事务执行时，必须访问此寄存器。 在数据传输期间读取此寄存器可能返回无效值。 以下是 BLOCKCNT_SDMASA 的值： -0xFFFF_FFFF:4G-1 块 ..... -0x0000_0002:2 块 -0x0000_0001:1 块 -0x0000_0000：停止计数 注: -对于主机版本 4 Enable=0，在 ADMA 模式下运行时，主机驱动程序不在此寄存器中编程系统地址。 系统地址必须在 ADMA 系统地址寄存器中编程。 -对于主机版本 4 Enable=0，当为非 DMA 和 ADMA 模式启用 Auto CMD23 时，主机驱动程序在此寄存器中编程一个非零 32 位块计数值。 Auto CMD23 不能与 SDMA 一起使用。 -如果使用 32 位块计数寄存器而不是 16 位块计数寄存器，则必须使用非零值对该寄存器进行编程，以便进行数据传输

SDMASA 位域

29.5.2 BLK_ATTR (0x4)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BLOCK_CNT																RSVD	SDMA_BUF_BDARY			XFER_BLOCK_SIZE											
RW																N/A	RW			RW											
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

BLK_ATTR [31:0]

位域	名称	描述
31-16	BLOCK_CNT	16 位块计数 -如果主机版本 4 启用位设置为 0 或 16 位块计数寄存器设置为非零，则选择 16 位块计数寄存器。 -如果主机版本 4 启用位设置为 1，且 16 位块计数寄存器设置为零，则选择 32 位块计数寄存器。 以下是 BLOCK_CNT 的值： -0x0：停止计数 -0x1:1 块 -0x2:2 块 - . -0xFFFF:65535 块 注意：对于主机版本 4 Enable=0，在为非 DMA 和 ADMA 模式启用 Auto CMD23 时，在编程 32 位块计数寄存器之前，必须将该寄存器设置为 0000h。
14-12	SDMA_BUF_BDARY	SDMA 缓冲区边界 这些位指定系统内存中连续缓冲区的大小。SDMA 传输在这些字段指定的每个边界处等待，主机控制器生成 DMA 中断，以请求主机驱动程序更新 SDMA 系统地址寄存器。 -0x0（字节 ×4K）：4K 字节 SDMA 缓冲区边界 -0x1（字节 _8K）：8K 字节 SDMA 缓冲区边界 -0x2（字节 _16K）：16K 字节 SDMA 缓冲区边界 -0x3（字节 ×32K）：32K 字节 SDMA 缓冲区边界 -0x4（字节 _64K）：64K 字节 SDMA 缓冲区边界 -0x5（字节 ×128K）：128K 字节 SDMA 缓冲区边界 -0x6（字节 _256K）：256K 字节 SDMA 缓冲区边界 -0x7（字节 _512K）：512K 字节 SDMA 缓冲区边界

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
11-0	XFER_BLOCK_SIZE	传输块大小 这些位指定数据传输的块大小。对于内存，它被设置为 512 字节。只有在没有事务执行的情况下才能访问它。 传输期间的读取操作可能返回无效值，写入操作将被忽略。以下是 XFER_BLOCK_SIZE 的值： -0x1:1 字节 -0x2:2 字节 -0x3:3 字节 - . -0x1FF:511 字节 -0x200:512 字节 - . -0x800:2048 字节 注：必须使用非零值对该寄存器进行编程，以便进行数据传输。

BLK_ATTR 位域

29.5.3 CMD_ARG (0x8)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARGUMNET																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CMD_ARG [31:0]

位域	名称	描述
31-0	ARGUMNET	命令参数 这些位指定在命令格式的位 39-8 中指定的 SD/eMMC 命令参数。

CMD_ARG 位域

29.5.4 CMD_XFER (0xC)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD		CMD_INDEX						CMD_TYPE		DATA_PRESENT_SEL	CMD_IDX_CHK_ENABLE	CMD_CRC_CHK_ENABLE	SUB_CMD_FLAG	RESP_TYPE_SELECT		RSVD							RESP_INT_DISABLE	RESP_ERR_CHK_ENABLE	RESP_TYPE	MULTI_BLK_SEL	DATA_XFER_DIR	AUTO_CMD_ENABLE		BLOCK_COUNT_ENABLE	DMA_ENABLE

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
N/A		RW						RW		RW	RW	RW	RW	RW		N/A							RW	RW	RW	RW	RW	RW		RW	RW
x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0

CMD_XFER [31:0]

位域	名称	描述
29-24	CMD_INDEX	命令索引 这些位设置为命令格式的位 45-40 中指定的命令号。
23-22	CMD_TYPE	命令类型 这些位表示命令类型。 注意：当使用 CMD12/CMD52 发出中止指令或使用 CMD0/CMD52 发出重置指令时，指令类型字段应设置为 0x3。 0x3 (ABORT_CMD) : 中止 0x2 (RESUME_CMD) : 恢复 0x1 (SUSPEND_CMD): 挂起 0x0 (NORMAL_CMD) : 正常
21	DATA_PRESENT_SEL	数据存在选择 该位设置为 1，表示存在数据，并且使用数据线传输数据。在以下情况下，此位设置为 0： 使用命令线的命令 没有数据传输但在数据线 0 上使用忙信号的命令 Resume 命令 0x0（NO_DATA）：不存在数据 0x1（DATA）：数据存在
20	CMD_IDX_CHK_ENABLE	命令索引检查启用 此位使主机控制器能够检查响应中的索引字段，以验证其值是否与命令索引相同。如果值不相同，则报告为命令索引错误。 注: 对于无响应、R2 响应、R3 响应和 R4 响应的命令，索引检查启用必须设置为 0。 对于 tuning 命令，必须始终设置此位以启用索引检查。 0x1（ENABLED）：启用 0x0（DISABLED）：禁用
19	CMD_CRC_CHK_ENABLE	命令 CRC 校验启用 此位使主机控制器能够检查响应中的 CRC 字段。如果检测到错误，则报告为命令 CRC 错误。 注: 对于无响应、R3 响应和 R4 响应的命令，必须将 CRC Check enable 设置为 0。 对于 tuning 命令，该位必须始终设置为 1 以启用 CRC 检查。 0x1（ENABLED）：启用 0x0（DISABLED）：禁用

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
18	SUB_CMD_FLAG	子命令标志 此位区分主命令和子命令。 0x0（MAIN）：主命令 0x1（SUB）：子命令
17-16	RESP_TYPE_SELECT	响应类型选择 此位表示卡的预期响应类型。 0x0（NO_RESP）：无响应 0x1（RESP_LEN_136 ：响应长度 136 0x2（RESP_LEN_48 ：响应长度 48 0x3（RESP_LEN_48B ：响应长度 48；响应后检查忙状态位
8	RESP_INT_DISABLE	响应中断禁用 主机控制器支持响应检查功能，以避免主机驱动程序进行响应错误检查的开销。控制器只能检查 R1 和 R5 的响应类型。 如果主机驱动程序检查响应错误，则将该位设置为 0，等待命令完成中断，然后检查响应寄存器。 如果主机控制器检查响应错误，则将该位设置为 1，并将响应错误检查启用位设置为 1。无论命令完成信号启用与否，该位均禁用命令完成中断。 注：在调整期间（当主机控制 2 寄存器中的执行调整位被设置时），无论响应中断禁用设置如何，都不会生成命令完成中断。 -0x0（ENABLED）：响应中断已启用 -0x1（DISABLED）：响应中断已禁用
7	RESP_ERR_CHK_ENABLE	响应错误检查启用 主机控制器支持响应检查功能，以避免主机驱动程序进行响应错误检查的开销。控制器只能检查 R1 和 R5 的响应类型。 如果主机控制器检查响应错误，则将该位设置为 1，并将响应中断禁用设置为 1。如果检测到错误，则在错误中断状态寄存器中生成响应错误中断。 注: -不得为 R1 和 R5 以外的任何响应类型启用响应错误检查。 -不得为调整命令启用响应检查。 -0x0（DISABLED)：已禁用响应错误检查 -0x1（ENABLED）：已启用响应错误检查

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
6	RESP_TYPE	响应类型 R1/R5 当选择响应错误检查时，该位选择 R1 或 R5 作为响应类型。 在 R1 中检查的错误状态： OUT_OF_RANGE ADDRESS_ERROR BLOCK_LEN_ERROR WP_VIOLATION CARD_IS_LOCKED COM_CRC_ERROR CARD_ECC_FAILED CC_ERROR ERROR Response Flags checked in R5: COM_CRC_ERROR ERROR FUNCTION_NUMBER OUT_OF_RANGE Values: 0x0 (RESP_R1): R1 (Memory) 0x1 (RESP_R5): R5 (SDIO)
5	MULTI_BLK_SEL	多块/单块选择 该位在使用数据线发出多个块传输命令时设置。如果该位设置为 0，则无需设置块计数寄存器。 0x0（SINGLE）：单块 0x1（MULTI）：多块
4	DATA_XFER_DIR	数据传输方向选择 该位定义数据线数据传输的方向。主机驱动程序将该位设置为 1，以将数据从 SD/eMMC 卡传输到主机控制器，所有其他命令将该位设置为 0。 0x1（READ）：读取（卡到主机） 0x0（WRITE）：写入（主机到卡）
3-2	AUTO_CMD_ENABLE	自动命令启用 此字段确定自动命令功能的使用。 注意：在 SDIO 中，此字段必须设置为 00b（自动命令禁用）。 0x0（AUTO_CMD_DISABLED）：自动命令禁用 0x1（AUTO_CMD12_ENABLED）：自动 CMD12 启用 0x2（AUTO_CMD23_ENABLED）：自动 CMD23 启用 0x3（AUTO_CMD_AUTO_SEL）：自动命令自动选择

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
1	BLOCK_COUNT_ENABLE	块计数启用 该位用于启用与多个块传输相关的块计数寄存器。如果该位设置为 0，则块计数寄存器被禁用，这在执行无限传输时非常有用。使用 ADMA 时，主机驱动程序必须将该位设置为 0。 0x1（ENABLED）：启用 0x0（DISABLED）：禁用
0	DMA_ENABLE	DMA 使能 此位启用 DMA 功能。如果该位设置为 1，则当主机驱动程序写入命令寄存器时，DMA 操作开始。 您可以使用主机控制 1 寄存器中的 DMA select 选择一种 DMA 模式。 0x1（ENABLED）：DMA 数据传输 0x0（DISABLED）：无数据传输或非 DMA 数据传输

CMD_XFER 位域

29.5.5 RESP (0x10 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESP01																															
RO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RESP [31:0]

位域	名称	描述
31-0	RESP01	命令响应 这些位反映了 SD/eMMC 响应字段的 39-8 位。 注：对于 Auto CMD，32 位响应（响应字段的第 39-8 位）在 RESP67_R 寄存器中更新。

RESP 位域

29.5.6 BUF_DATA (0x20)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BUF_DATA																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

BUF_DATA [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-0	BUF_DATA	缓冲区数据 这些位允许访问主机控制器数据包缓冲区。

BUF_DATA 位域

29.5.7 PSTATE (0x24)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD			SUB_CMD_STAT	CMD_ISSUE_ERR	RSVD		CMD_LINE_LVL	DAT_3_0				WR_PROTECT_SW_LVL	CARD_DETECT_PIN_LEVEL	CARD_STABLE	CARD_INSERTED	RSVD				BUF_RD_ENABLE	BUF_WR_ENABLE	RD_XFER_ACTIVE	WR_XFER_ACTIVE	DAT_7_4				RE_TUNE_REQ	DAT_LINE_ACTIVE	DAT_INHIBIT	CMD_INHIBIT
N/A			RO	RO	N/A		RO	RO				RO	RO	RO	RO	N/A				RO	RO	RO	RO	RO				RO	RO	RO	RO
x	x	x	0	0	x	x	0	0	0	0	0	0	0	0	0	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0

PSTATE [31:0]

位域	名称	描述
28	SUB_CMD_STAT	子命令状态 该位用于区分主命令和子命令状态。 0x0（FALSE）：主命令状态 0x1（TRUE）：子命令状态
27	CMD_ISSUE_ERR	命令不是由错误发出的 如果在设置命令寄存器后由于除 Auto CMD12 错误以外的错误而无法发出命令，则设置此位。 0x0（FALSE）：发出命令时没有错误 0x1（TRUE）：无法发出命令
24	CMD_LINE_LVL	命令行信号电平 此位用于检查命令线电平，以便从错误中恢复并进行调试。这些位反映信号 sd_cmd_in 的值。
23-20	DAT_3_0	4 位数据线信号电平 此位用于检查数据线电平，以便从错误中恢复并进行调试。这些位反映 sd_dat_in（低半字节）信号的值。
19	WR_PROTECT_SW_LVL	写保护开关引脚电平 此位仅支持内存卡和组合卡。该位反映卡写入保护信号的同步值。 0x0（FALSE）：写保护 0x1（TRUE）：已启用写入

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
18	CARD_DETECT_PIN_LEVEL	卡检测 Pin 电平 该位反映卡检测信号的反向同步值。 0x0（FALSE）：没有卡存在 0x1（TRUE）：存在卡
17	CARD_STABLE	卡检测稳定 该位表示卡检测引脚电平的稳定性。如果此位设置为 1 且 CARD_INSERTED 值为 0，则表示没有检测到卡。 0x0（FALSE）：CARD_INSERTED 值复位或去抖动中，不可用 0x1（TRUE）：CARD_INSERTED 值稳定
16	CARD_INSERTED	卡插入状态 此位指示是否已插入卡。主机控制器对该信号进行去抖动，以便主机驱动器无需等待信号稳定。 0x0（FALSE）：复位、去抖动或无卡 0x1（TRUE）：有插入的卡
11	BUF_RD_ENABLE	缓冲区读取启用 此位用于非 DMA 传输。如果主机缓冲区中存在有效数据，则设置此位。 0x0（DISABLED）：读取禁用 0x1（ENABLED）：读取启用
10	BUF_WR_ENABLE	缓冲区写入启用 此位用于非 DMA 传输。如果空间可用于写入数据，则设置此位。 0x0（DISABLED）：写入禁用 0x1（ENABLED）：写入启用
9	RD_XFER_ACTIVE	读传输状态 此位指示 SD/eMMC 模式下的读取传输是否处于活动状态。 0x0（INACTIVE）：没有有效数据 0x1（ACTIVE）：正在传输数据
8	WR_XFER_ACTIVE	写传输状态 此位指示 SD/eMMC 模式下的写入传输是否处于活动状态。 0x0（INACTIVE）：没有有效数据 0x1（ACTIVE）：正在传输数据
7-4	DAT_7_4	数据线 [7:4] 信号电平 此位用于检查数据线路电平，以便从错误中恢复并进行调试。这些位反映 sd_dat_in（上半字节）信号的值。
3	RE_TUNE_REQ	重新 tuning 请求 SDXC 不生成重新 tuning 请求。软件必须维护重新 tuning 计时器。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
2	DAT_LINE_ACTIVE	数据线状态 该位指示 SD/eMMC 总线上是否有数据线正在使用。 在读取传输的情况下，该位指示是否正在 SD/eMMC 数据线上执行读传输。 在写入传输的情况下，该位指示是否正在 SD/eMMC 数据线上执行写传输。 对于带数据传输的命令，此状态指示是否正在数据线上传输命令。 0x0（INACTIVE）：数据线空闲 0x1（ACTIVE）：数据线忙碌
1	DAT_INHIBIT	禁止带数据的命令 此位在数据线忙碌或者正在进行读传输时设 1； 如果此位设置为 0，则表示主机控制器可以发出后续 SD/eMMC 命令。 0x0（READY）：可以发出使用数据线的命令 0x1（NOT_READY）：无法发出使用数据线的命令
0	CMD_INHIBIT	禁止命令 如果此位设置为 0，则表示未使用命令线，主机控制器可以使用命令线发出 SD/eMMC 命令。 该位在写入命令寄存器时置 1。当接收到命令响应时，该位被清除。 该位不会被 auto CMD12/23 的响应清除，而是被读/写命令的响应清除。 0x0（READY）：主机控制器可以发出命令 0x1（NOT_READY）：主机控制器不能发出命令

PSTATE 位域

29.5.8 PROT_CTRL (0x28)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD					CARD_REMOVAL	CARD_INSERT	CARD_INT	RSVD				INT_AT_BGAP	RD_WAIT_CTRL	CONTINUE_REQ	STOP_BG_REQ	RSVD				SD_BUS_VOL_VDD1			SD_BUS_PWR_VDD1	RSVD		EXT_DAT_XFER	DMA_SEL		HIGH_SPEED_EN	DAT_XFER_WIDTH	RSVD
N/A					RW	RW	RW	N/A				RW	RW	RW	RW	N/A				RW			RW	N/A		RW	RW		RW	RW	N/A
x	x	x	x	x	0	0	0	x	x	x	x	0	0	0	0	x	x	x	x	0	0	0	0	x	x	0	0	0	0	0	x

PROT_CTRL [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
26	CARD_REMOVAL	移除 SD 卡时启用唤醒事件 此位通过正常中断状态寄存器中的卡移除断言启用唤醒事件。 对于 SDIO 卡，卡信息结构（CIS）寄存器中的唤醒支持（FN_WUS）不会影响该位。 0x0（DISABLED）：禁用 0x1（ENABLED）：启用
25	CARD_INSERT	SD 卡插入时启用唤醒事件 此位通过正常中断状态寄存器中的卡插入断言启用唤醒事件。 CIS 中的 FN_WUS（唤醒支持）不影响此位。 0x0（DISABLED）：禁用 0x1（ENABLED）：启用
24	CARD_INT	卡中断启用唤醒事件 该位通过正常中断状态寄存器中的卡中断断言启用唤醒事件。如果 CIS 中的 FN_WUS（唤醒支持）设置为 1，则该位可设置为 1。 0x0（DISABLED）：禁用 0x1（ENABLED）：启用
19	INT_AT_BGAP	块间隙中断 该位仅在 SDIO 卡的 4 位模式下有效，用于选择中断周期中的采样点。设置为 1 可在多块传输的块间隙处启用中断检测。 0x0（DISABLE）：禁用 0x1（ENABLE）：已启用
18	RD_WAIT_CTRL	读等待控制 如果卡支持读取等待，则该位用于启用读取等待协议，以使用数据线 [2] 停止读取数据。 否则，主机控制器必须停止卡时钟以保存读取的数据。 0x0（DISABLE）：禁用读取等待控制 0x1（ENABLE）：启用读取等待控制
17	CONTINUE_REQ	继续请求 此位用于重新启动，被块间隙停止请求停止的传输。当传输重新启动时，主机控制器自动清除该位。 如果 STOP_BG_REQ 位设置为 1，则忽略对此位的任何写入。 0x0（NO_AFFECT）：无影响 0x1（RESTART）：重新启动
16	STOP_BG_REQ	块间隙停止 该位用于在非 DMA、SDMA 和 ADMA 传输的下一个块间隙停止执行读写传输。 0x0（XFER）：传输 0x1（STOP）：停止

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
11-9	SD_BUS_VOL_VDD1	SD/eMMC 总线电压选择 此位使主机驱动程序能够选择 SD/eMMC 卡的电压水平。在设置此寄存器之前，主机驱动程序检查功能寄存器中的电压支持位。如果选择了不支持的电压，则主机系统不提供 SD 总线电压。 该字段中设置的值会反应到 SDXC 的输出信号 VSEL 上，用户可以使用此信号切换外部供电。 0：3.3V 1：1.8V
8	SD_BUS_PWR_VDD1	SD 总线电源 VDD1 此位启用卡的 VDD1 电源。此设置在 SDXC 的 sd_vdd1_on 输出上可用，因此可用于控制卡的 vdd1 电源。 在设置该位之前，SD 主机驱动程序设置 SD 总线电压选择位。如果主机控制器检测到无卡状态，则清除该位。 在 SD 模式下，如果该位被清除，主机控制器将通过清除 CLK\U CTRL\U R 寄存器中的 SD\U CLK\U In 位来停止 SD 时钟。 0x0（OFF）：电源关闭 0x1（ON）：打开电源
5	EXT_DAT_XFER	扩展数据传输宽度 该位控制 8 位总线宽度模式。 0x1（EIGHT_BIT）：8 位总线宽度 0x0（DEFAULT）：总线宽度由数据传输宽度选择
4-3	DMA_SEL	DMA 选择 此字段用于选择 DMA 类型。 当主机控制 2 寄存器中的主机版本 4 启用为 1 时： 0x0（SDMA）：已选择 SDMA 0x1（RSVD_ 位）：保留 0x2（ADMA2）：已选择 ADMA2 0x3（ADMA2_3）：已选择 ADMA2 或 ADMA3 当主机控制 2 寄存器中的主机版本 4 启用为 0 时： 0x0: 已选择 SDMA 0x1：保留 0x2 : 已选择 32 位地址 ADMA2 0x3 : 已选择 64 位地址 ADMA2
2	HIGH_SPEED_EN	高速启用 该位用于确定高速模式预设值的选择。在设置此位之前，主机驱动程序检查功能寄存器中的高速支持。 注：不管是否设置此位，SDXC 始终在 cclk_tx 时钟的上升沿输出 sd_cmd_out 和 sd_dat_out 线 0x1（HIGH_SPEED）：高速模式 0x0（NORMAL_SPEED）：正常速度模式

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
1	DAT_XFER_WIDTH	数据传输宽度 此位选择主机控制器的数据传输宽度。主机驱动程序将其设置为与 SD/eMMC 卡的数据宽度相匹配。 0x1（FOUR_BIT）：4 位模式 0x0（ONE_BIT）：1 位模式

PROT_CTRL 位域

29.5.9 SYS_CTRL (0x2C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD					SW_RST_DAT	SW_RST_CMD	SW_RST_ALL	RSVD				TOUT_CNT				FREQ_SEL								UPPER_FREQ_SEL		CLK_GEN_SELECT	RSVD	PLL_ENABLE	SD_CLK_EN	INTERNAL_CLK_STABLE	INTERNAL_CLK_EN
N/A					RW	RW	RW	N/A				RW				RW								RW		RW	N/A	RW	RW	RW	RW
x	x	x	x	x	0	0	0	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	0	0	0	0

SYS_CTRL [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
26	SW_RST_DAT	数据线的软件复位 该位用于 SD/eMMC 模式，它仅重置部分数据电路，DMA 电路也会重置。 以下寄存器和位被该位清除： Buffer Data Port 寄存器 -缓冲区被清除并初始化。 Present state 寄存器 -缓冲区读取启用 -缓冲区写入启用 -读传输激活 -写传输活动 -数据线激活 -命令禁止（DAT） Block Gap Control 寄存器 -继续请求 -在块间隙请求时停止 Normal Interrupt status 寄存器 -缓冲区读取就绪 -缓冲区写就绪 -DMA 中断 -块间隙事件 -转移完成 0x0（FALSE）：工作 0x1（TRUE）：复位
25	SW_RST_CMD	命令线的软件复位 该位仅重置命令电路的一部分，以便能够发出命令。 此复位仅对命令发出电路有效（包括与命令禁止（CMD）控制相关的响应错误状态），且不影响数据传输电路。 即使在处理子命令响应错误时执行此重置，主机控制器也可以继续数据传输。 以下寄存器和位被该位清除： 当前状态寄存器：命令禁止（CMD）位 正常中断状态寄存器：命令完成位 错误中断状态：与命令禁止（CMD）位相关的响应错误状态 0x0（FALSE）：工作 0x1（TRUE）：复位

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
24	SW_RST_ALL	全局软件复位 此重置影响除卡检测电路外的整个主机控制器。 在初始化期间，主机驱动程序将该位设置为 1 以重置主机控制器。除功能寄存器外，所有寄存器均复位。如果此位设置为 1，主机驱动程序必须发出重置命令并重新初始化卡。 0x0（FALSE）：工作 0x1（TRUE）：复位
19-16	TOUT_CNT	数据超时计数器值。 该值确定检测数据线超时的间隔。通过将基准时钟 TMCLK 值除以该值来生成超时时钟频率。 设置此寄存器时，通过清除数据超时错误状态启用（在错误中断状态启用寄存器中），防止意外超时事件。这些位的值为： 0xF：保留 0xE:TMCLK x 2^27 ..... 0x1:TMCLK x 2^14 0x0:TMCLK x 2^13 注意：在 eMMC 模式下进行引导操作期间，应用程序必须在此位中配置引导数据超时值（约 1 秒）。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
15-8	FREQ_SEL	SDCLK/RCLK 频率选择 这些位用于选择 SDCLK 信号的频率。这些位取决于主机控制 2 寄存器中预设值启用的设置。 如果预设值启用 =0，则这些位由主机驱动程序设置。 如果预设值启用 =1，这些位将自动设置为预设值寄存器之一中指定的值。 该值反映在卡时钟频率信号的下 8 位上。 10 位分频时钟模式： 0x3FF: 2046 分频时钟 ..... N: 2N 分频时钟 ..... 0x002: 4 分频时钟 0x001: 2 分频时钟 0x000：基准时钟（10MHz-255MHz） 可编程时钟模式：使主机系统能够选择细调 SD 时钟频率： 0x3FF：基准时钟 *M/1024 ..... N-1：基准时钟 *M/N ..... 0x002：基准时钟 *M/3 0x001：基准时钟 *M/2 0x000：基准时钟 *M
7-6	UPPER_FREQ_SEL	这些位指定 10 位 SDCLK/RCLK 频率选择控制的上 2 位。该值反映在卡时钟频率选择信号的上 2 位。
5	CLK_GEN_SELECT	时钟发生器选择 该位用于在 SDCLK/RCLK 频率选择中选择时钟发生器模式。如果预设值 Enable=0，则该位由主机驱动程序设置。如果预设值启用 =1，则该位自动设置为一个预设值寄存器中指定的值。 0x0（FALSE）：分时钟模式 0x1（TRUE）：可编程时钟模式
3	PLL_ENABLE	PLL 使能 该位用于激活 PLL（当主机版本 4 启用 =1 时适用）。当主机版本 4 Enable=0 时，内部时钟 EN 位可用于激活 PLL。 注：如果当主机版本 4 启用 =1 时，此位不用于激活 PLL，建议将此位设置为“1”。 0x0（FALSE）：PLL 处于低功率模式 0x1（TRUE）：PLL 已启用

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
2	SD_CLK_EN	SD/eMMC 时钟启用 当设置为 0 时，该位停止 SDCLK 或 RCLK。当该位设置为 0 时，可以更改 SDCLK/RCLK 频率选择位。 0x0（FALSE）：禁用提供 SDCLK/RCLK 0x1（TRUE）：启用提供 SDCLK/RCLK
1	INTERNAL_CLK_STABLE	内部时钟稳定 该位使主机驱动器能够在设置内部时钟启用位和 PLL 启用位后两次检查时钟稳定性。 0x0（FALSE）：未准备好 0x1（TRUE）：准备好了
0	INTERNAL_CLK_EN	内部时钟启用 当主机驱动程序未使用主机控制器或主机控制器等待唤醒中断时，此位设置为 0。 主机控制器必须停止其内部时钟才能进入极低功耗状态。但是，寄存器仍然可以读取和写入。 注：如果该位不用于控制内部时钟（基本时钟和主时钟），建议将该位设置为“1”。 0x0（FALSE）：停止 0x1（TRUE）：振荡

SYS_CTRL 位域

29.5.10 INT_STAT (0x30)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD			BOOT_ACK_ERR	RESP_ERR	TUNING_ERR	ADMA_ERR	AUTO_CMD_ERR	CUR_LMT_ERR	DATA_END_BIT_ERR	DATA_CRC_ERR	DATA_TOUT_ERR	CMD_IDX_ERR	CMD_END_BIT_ERR	CMD_CRC_ERR	CMD_TOUT_ERR	ERR_INTERRUPT	CQE_EVENT	FX_EVENT	RE_TUNE_EVENT	RSVD			CARD_INTERRUPT	CARD_REMOVAL	CARD_INSERTION	BUF_RD_READY	BUF_WR_READY	DMA_INTERRUPT	BGAP_EVENT	XFER_COMPLETE	CMD_COMPLETE
N/A			RW1C	RW1C	RW1C	RW1C	RW1C	RW1C	RW1C	RW1C	RW1C	RW1C	RW1C	RW1C	RW1C	RO	RW1C	RO	RO	N/A			RO	RW1C	RW1C	RW1C	RW1C	RW1C	RW1C	RW1C	RW1C
x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	0	0	0	0	0	0	0	0	0

INT_STAT [31:0]

位域	名称	描述
28	BOOT_ACK_ERR	启动确认错误 当引导确认超时或检测到值不是 010 的引导确认状态时，设置此位。这仅在 eMMC 模式下需要启动确认时适用。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
27	RESP_ERR	响应错误 主机控制器版本 4.00 支持响应错误检查功能，以避免在 DMA 执行期间主机驱动程序进行响应错误检查的开销。 如果传输模式寄存器中的响应错误检查启用设置为 1，主机控制器将检查 R1 或 R5 响应。 如果在响应中检测到错误，则该位设置为 1。这适用于 SD/eMMC 模式。 0x0（FALSE）：无错误 0x1（TRUE）：错误
26	TUNING_ERR	Tuning 错误 当在 Tuning 电路中检测到不可恢复的错误（Tuning 过程中除外）时，设置该位（在 Tuning 过程中出现的错误由主机控制 2 寄存器中的采样时钟选择指示）。 通过检测到 Tuning 错误，主机驱动程序需要中止正在执行的命令并执行 Tuning。要重置 Tuning 电路，在执行 Tuning 程序之前，采样时钟选择设置为 0。 Tuning 错误的优先级高于数据传输期间生成的其他错误中断。 通过检测到 Tuning 错误，主机驱动程序必须丢弃当前读/写命令传输的数据，并在从 Tuning 电路错误中检索到主机控制器后重试数据传输。 0x0（FALSE）：无错误 0x1（TRUE）：错误
25	ADMA_ERR	DMA 错误 当主机控制器在基于 ADMA 的数据传输过程中检测到错误时，设置此位。错误可能是由以下原因造成的： 从系统总线（主 I/F）接收到错误响应 ADMA3、ADMA2 描述符无效 CQE 任务或传输描述符无效 发生错误时，ADMA 的状态保存在 ADMA 错误状态寄存器中。 在 eMMC CQE 模式下： 主机控制器在 ST_FDS 状态下检测到无效描述符数据（Valid=0）时生成此中断。 ADMA 错误状态中的 ADMA 错误状态表示在 ST_FDS 状态中发生了错误。主机驱动程序可能会发现错误描述符上未设置有效位。 0x0（FALSE）：无错误 0x1（TRUE）：错误

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
24	AUTO_CMD_ERR	自动命令错误 此错误状态由 SD/eMMC 模式下的 Auto CMD12 和 Auto CMD23 使用。 当检测到自动 CMD 错误状态寄存器中的任何位 D00 到 D05 已从 0 更改为 1 时，设置此位。 D07 在自动 CMD12 的情况下有效。当该位设置为 1 时，自动 CMD 错误状态寄存器有效，可通过清除该位进行清除。 0x0（FALSE）：无错误 0x1（TRUE）：错误
23	CUR_LMT_ERR	电流限制错误 通过在电源控制寄存器中设置 SD 总线电源位，主机控制器被请求为 SD 总线供电。 如果主机控制器支持电流限制功能，则可以通过停止向卡供电来保护其免受非法卡的侵害，在这种情况下，该位表示故障状态。 此位的读数为 1 表示主机控制器由于某些故障而未向 SD 卡供电。 此位的读数为 0 表示主机控制器正在供电，并且没有发生错误。 主机控制器可能需要一些采样时间来检测电流限制。SDXC 主机控制器不支持此功能，此位始终设置为 0。 0x0（FALSE）无错误 0x1（TRUE）：电源故障
22	DATA_END_BIT_ERR	数据结束位错误 当在使用数据线的读取数据的结束位位置或 CRC 状态的结束位位置检测到 0 时，会发生此错误。 0x0（FALSE）：无错误 0x1（TRUE）：错误
21	DATA_CRC_ERR	数据 CRC 错误 在 SD/eMMC 模式下，当传输使用 DAT 线的读取数据时检测到 CRC 错误，当检测到值不是 010 的写入 CRC 状态，或当写入 CRC 状态超时时，会发生此错误。 0x0（FALSE）：无错误 0x1（TRUE）：错误
20	DATA_TOUT_ERR	数据超时错误 当检测到以下超时条件之一时，此位在 SD/eMMC 模式下设置： R1b、R5b 类型的忙超时 写入 CRC 状态后的忙超时 写入 CRC 状态超时 读取数据超时 0x0（FALSE）：无错误 0x1（TRUE）：超时

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
19	CMD_IDX_ERR	命令索引错误 如果 SD/eMMC 模式下的命令响应中出现命令索引错误，则设置此位。 0x0（FALSE）：无错误 0x1（TRUE）：错误
18	CMD_END_BIT_ERR	命令结束位错误 在 SD/eMMC 模式下检测到命令响应的结束位为 0 时设置此位。 0x0（FALSE）：无错误 0x1（TRUE）：结束位错误
17	CMD_CRC_ERR	命令 CRC 错误 在以下两种情况下，在 SD/eMMC 模式下生成命令 CRC 错误。 如果返回响应且命令超时错误设置为 0（表示没有超时），则在命令响应中检测到 CRC 错误时，此位设置为 1。 当发出命令时，主机控制器通过监视命令行来检测命令行冲突。如果主机控制器将命令行驱动至 1 级，但在下一个 SD 时钟边缘检测到命令行上的 0 级，则主机控制器中止命令（停止驱动命令行）并将该位设置为 1。 命令超时错误也设置为 1，以区分命令行冲突。 0x0（FALSE）：无错误 0x1（TRUE）：生成 CRC 错误
16	CMD_TOUT_ERR	命令超时错误 在 SD/eMMC 模式下，仅当在命令结束位的 64 个 SD 时钟周期内未返回响应时，才设置此位。 如果主机控制器检测到 CMD 行冲突以及命令 CRC 错误位，则该位设置为 1，而不等待 64 个 SD/eMMC 卡时钟周期。 0x0（FALSE）：无错误 0x1（TRUE）：超时
15	ERR_INTERRUPT	错误中断 如果错误中断状态寄存器中的任何位置位，则该位置位。 0x0（FALSE）：无错误 0x1（TRUE）：错误
14	CQE_EVENT	命令队列事件 如果在 eMMC/SD 模式下发生命令队列/加密相关事件，则会设置此状态。 0x0（FALSE）：无事件 0x1（TRUE）：检测到命令队列事件

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
13	FX_EVENT	FX 事件 在传输模式寄存器中，当响应寄存器的 R[14] 设置为 1 且响应类型 R1/R5 设置为 0 时，设置此状态。该中断与响应检查功能一起使用。 0x0（FALSE）：无事件 0x1（TRUE）：检测到 FX 事件
12	RE_TUNE_EVENT	重新 tuning 事件 如果重新 tuning 请求从 0 更改为 1，则设置此位
8	CARD_INTERRUPT	卡中断 此位反映 SD 模式下数据线 [1] 的同步值 0x0（FALSE）：无卡中断 0x1（TRUE）：生成卡中断
7	CARD_REMOVAL	卡移除 如果卡插入状态寄存器从 1 变为 0，则设置此位。 0x0（FALSE）：卡状态稳定或正在去抖动 0x1（TRUE）：卡已移除
6	CARD_INSERTION	卡插入 如果卡插入状态寄存器从 0 变为 0，则设置此位。 0x0（FALSE）：卡状态稳定或正在去抖动 0x1（TRUE）：卡已插入
5	BUF_RD_READY	缓冲区读取就绪 如果缓冲区读取启用从 0 更改为 1，则设置此位。 0x0（FALSE）：未准备好读取缓冲区 0x1（TRUE）：已准备好读取缓冲区
4	BUF_WR_READY	缓冲区写入就绪 如果缓冲区写入启用从 0 更改为 1，则设置此位。 0x0（FALSE）：未准备写入缓冲区 0x1（TRUE）：已准备好写入缓冲区
3	DMA_INTERRUPT	DMA 中断 如果主机控制器在传输期间检测到 SDMA 缓冲区边界，则设置此位。 对于 ADMA，通过在描述符表中设置 Int 字段，主机控制器生成该中断。传输完成后不会生成此中断。 0x0（FALSE）：没有 DMA 中断 0x1（TRUE）：生成 DMA 中断
2	BGAP_EVENT	块间隙事件 当读/写传输由于 STOP_BG_REQ，而在块间隙停止时，设置此位。 0x0（FALSE）：无块间隙事件 0x1（TRUE）：传输在块间隙处停止

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
1	XFER_COMPLETE	传输完成 该位在读/写传输和状态为 busy 的命令完成时设置。 0x0（FALSE）：未完成 0x1（TRUE）：命令执行已完成
0	CMD_COMPLETE	命令完成 在 SD/eMMC 模式下，此位在响应的结束位（Auto CMD12 和 Auto CMD23 除外）时设置。 当传输模式寄存器中的响应中断禁用设置为 1 时，不会生成该中断。 0x0（FALSE）：没有命令完成 0x1（TRUE）：命令完成

INT_STAT 位域

29.5.11 INT_STAT_EN (0x34)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD			BOOT_ACK_ERR_STAT_EN	RESP_ERR_STAT_EN	TUNING_ERR_STAT_EN	ADMA_ERR_STAT_EN	AUTO_CMD_ERR_STAT_EN	CUR_LMT_ERR_STAT_EN	DATA_END_BIT_ERR_STAT_EN	DATA_CRC_ERR_STAT_EN	DATA_TOUT_ERR_STAT_EN	CMD_IDX_ERR_STAT_EN	CMD_END_BIT_ERR_STAT_EN	CMD_CRC_ERR_STAT_EN	CMD_TOUT_ERR_STAT_EN	RSVD	CQE_EVENT_STAT_EN	FX_EVENT_STAT_EN	RE_TUNE_EVENT_STAT_EN	RSVD			CARD_INTERRUPT_STAT_EN	CARD_REMOVAL_STAT_EN	CARD_INSERTION_STAT_EN	BUF_RD_READY_STAT_EN	BUF_WR_READY_STAT_EN	DMA_INTERRUPT_STAT_EN	BGAP_EVENT_STAT_EN	XFER_COMPLETE_STAT_EN	CMD_COMPLETE_STAT_EN
N/A			RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	N/A	RW	RW	RW	N/A			RW	RW	RW	RW	RW	RW	RW	RW	RW
x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	x	0	0	0	x	x	x	0	0	0	0	0	0	0	0	0

INT_STAT_EN [31:0]

位域	名称	描述
28	BOOT_ACK_ERR_STAT_EN	引导确认错误（仅限 eMMC 模式） 将该位设置为 1 可在错误中断状态寄存器（Error_INT_STAT_R）中设置引导确认错误。 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
27	RESP_ERR_STAT_EN	响应错误状态启用（仅 SD 模式） 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
26	TUNING_ERR_STAT_EN	tuning 错误状态启用（仅限 UHS-I 模式） 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
25	ADMA_ERR_STAT_EN	ADMA 错误状态启用 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
24	AUTO_CMD_ERR_STAT_EN	自动命令错误状态启用 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
23	CUR_LMT_ERR_STAT_EN	电流限制错误状态启用 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
22	DATA_END_BIT_ERR_STAT_EN	数据结束位错误状态启用 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
21	DATA_CRC_ERR_STAT_EN	数据 CRC 错误状态启用 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
20	DATA_TOUT_ERR_STAT_EN	数据超时错误状态启用 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
19	CMD_IDX_ERR_STAT_EN	命令索引错误状态启用 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
18	CMD_END_BIT_ERR_STAT_EN	命令结束位错误状态启用 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
17	CMD_CRC_ERR_STAT_EN	命令 CRC 错误状态启用 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
16	CMD_TOUT_ERR_STAT_EN	命令超时错误状态启用 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
14	CQE_EVENT_STAT_EN	CQE 事件状态启用 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
13	FX_EVENT_STAT_EN	FX 事件状态启用 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
12	RE_TUNE_EVENT_STAT_EN	重 tuning 事件状态启用 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
8	CARD_INTERRUPT_STAT_EN	卡中断状态启用 如果该位设置为 0，主机控制器将清除对系统的中断请求。 当该位被清除时，卡中断检测停止，当该位设置为 1 时，卡中断检测重新启动。 主机驱动程序可在维修卡中断之前清除卡中断状态启用，并可在清除卡的所有中断请求后再次设置该位，以防止意外中断。 通过将该位设置为 0，中断输入必须被实现屏蔽，以便中断输入在任何状态下都不受外部信号的影响（例如，浮动状态）。 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
7	CARD_REMOVAL_STAT_EN	卡移除状态启用 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
6	CARD_INSERTION_STAT_EN	卡插入状态启用 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
5	BUF_RD_READY_STAT_EN	读取缓冲区就绪状态启用 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
4	BUF_WR_READY_STAT_EN	写入缓冲区就绪状态启用 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
3	DMA_INTERRUPT_STAT_EN	DMA 中断状态启用 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
2	BGAP_EVENT_STAT_EN	块间隙事件状态启用 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
1	XFER_COMPLETE_STAT_EN	传输完成状态启用 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
0	CMD_COMPLETE_STAT_EN	命令完成状态启用 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用

INT_STAT_EN 位域

29.5.12 INT_SIGNAL_EN (0x38)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD			BOOT_ACK_ERR_SIGNAL_EN	RESP_ERR_SIGNAL_EN	TUNING_ERR_SIGNAL_EN	ADMA_ERR_SIGNAL_EN	AUTO_CMD_ERR_SIGNAL_EN	CUR_LMT_ERR_SIGNAL_EN	DATA_END_BIT_ERR_SIGNAL_EN	DATA_CRC_ERR_SIGNAL_EN	DATA_TOUT_ERR_SIGNAL_EN	CMD_IDX_ERR_SIGNAL_EN	CMD_END_BIT_ERR_SIGNAL_EN	CMD_CRC_ERR_SIGNAL_EN	CMD_TOUT_ERR_SIGNAL_EN	RSVD	CQE_EVENT_SIGNAL_EN	FX_EVENT_SIGNAL_EN	RE_TUNE_EVENT_SIGNAL_EN	RSVD			CARD_INTERRUPT_SIGNAL_EN	CARD_REMOVAL_SIGNAL_EN	CARD_INSERTION_SIGNAL_EN	BUF_RD_READY_SIGNAL_EN	BUF_WR_READY_SIGNAL_EN	DMA_INTERRUPT_SIGNAL_EN	BGAP_EVENT_SIGNAL_EN	XFER_COMPLETE_SIGNAL_EN	CMD_COMPLETE_SIGNAL_EN
N/A			RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	N/A	RW	RW	RW	N/A			RW	RW	RW	RW	RW	RW	RW	RW	RW
x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	x	0	0	0	x	x	x	0	0	0	0	0	0	0	0	0

INT_SIGNAL_EN [31:0]

位域	名称	描述
28	BOOT_ACK_ERR_SIGNAL_EN	引导确认错误（仅限 eMMC 模式）。 当设置错误中断状态寄存器中的引导确认错误时，将该位设置为 1 可生成中断信号。 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
27	RESP_ERR_SIGNAL_EN	响应错误信号启用（仅 SD 模式） 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
26	TUNING_ERR_SIGNAL_EN	tuning 错误信号启用（仅限 UHS-I 模式） 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
25	ADMA_ERR_SIGNAL_EN	ADMA 错误信号启用 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
24	AUTO_CMD_ERR_SIGNAL_EN	自动命令错误信号启动 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
23	CUR_LMT_ERR_SIGNAL_EN	电流限制错误信号启用 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
22	DATA_END_BIT_ERR_SIGNAL_EN	数据结束位错误信号启用 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
21	DATA_CRC_ERR_SIGNAL_EN	数据 CRC 错误信号启用 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
20	DATA_TOUT_ERR_SIGNAL_EN	数据超时错误信号启用 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
19	CMD_IDX_ERR_SIGNAL_EN	命令索引错误信号启用 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
18	CMD_END_BIT_ERR_SIGNAL_EN	命令结束位错误信号启用 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
17	CMD_CRC_ERR_SIGNAL_EN	命令 CRC 错误信号启用 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
16	CMD_TOUT_ERR_SIGNAL_EN	命令超时错误信号启用 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
14	CQE_EVENT_SIGNAL_EN	命令队列引擎事件信号启用 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
13	FX_EVENT_SIGNAL_EN	FX 事件信号启用 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
12	RE_TUNE_EVENT_SIGNAL_EN	重 tuning 事件信号启用 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
8	CARD_INTERRUPT_SIGNAL_EN	卡中断信号启用 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
7	CARD_REMOVAL_SIGNAL_EN	卡移除信号启用 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
6	CARD_INSERTION_SIGNAL_EN	卡插入信号启用 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
5	BUF_RD_READY_SIGNAL_EN	缓冲区读取准备好信号启用 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
4	BUF_WR_READY_SIGNAL_EN	缓冲区写入准备好信号启用 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
3	DMA_INTERRUPT_SIGNAL_EN	DMA 中断信号启用 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
2	BGAP_EVENT_SIGNAL_EN	块间隙事件信号启动 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
1	XFER_COMPLETE_SIGNAL_EN	传输完成信号启动 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用
0	CMD_COMPLETE_SIGNAL_EN	命令完成信号启动 0x0（FALSE）：屏蔽 0x1（TRUE）：已启用

INT_SIGNAL_EN 位域

29.5.13 AC_HOST_CTRL (0x3C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRESET_VAL_ENABLE	ASYNC_INT_ENABLE	RSVD	HOST_VER4_ENABLE	CMD23_ENABLE	ADMA2_LEN_MODE	RSVD		SAMPLE_CLK_SEL	EXEC_TUNING	RSVD		SIGNALING_EN	UHS_MODE_SEL			RSVD								CMD_NOT_ISSUED_AUTO_CMD12	RSVD	AUTO_CMD_RESP_ERR	AUTO_CMD_IDX_ERR	AUTO_CMD_EBIT_ERR	AUTO_CMD_CRC_ERR	AUTO_CMD_TOUT_ERR	AUTO_CMD12_NOT_EXEC
RW	RW	N/A	RW	RW	RW	N/A		RW	RW	N/A		RW	RW			N/A								RO	N/A	RO	RO	RO	RO	RO	RO
0	0	x	0	0	0	x	x	0	0	x	x	0	0	0	0	x	x	x	x	x	x	x	x	0	x	0	0	0	0	0	0

AC_HOST_CTRL [31:0]

位域	名称	描述
31	PRESET_VAL_ENABLE	预设值启用 此位启用 SDCLK 频率和驱动器强度预设值寄存器的自动选择。设置预设值启用时，SDCLK 频率生成（频率选择和时钟发生器选择）和驱动器强度选择由控制器执行。 这些值是根据所选速度模式从一组预设值寄存器中选择的。 0x0（FALSE）：SDCLK 和驱动程序强度由主机驱动程序控制 0x1（TRUE）：启用按预设值自动选择

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
30	ASYNC_INT_ENABLE	异步中断启用 如果卡支持异步中断，并且在功能寄存器中将异步中断支持设置为 1，则可以设置此位。 0x0（FALSE）：已禁用 0x1（TRUE）：已启用
28	HOST_VER4_ENABLE	主机版本 4 启用 此位选择版本 3.00 兼容模式或版本 4 模式。 针对主机版本 4 模式修改了以下字段的功能： SDMA 地址：SDMA 使用 ADMA 系统地址（05Fh-058h）代替 SDMA 系统地址寄存器（003h-000h） ADMA2/ADMA3 选择：ADMA3 由主机控制 1 寄存器中的 DMA 选择选择 64 位 ADMA 描述符大小：当 64 位寻址设置为 1 时，使用 128 位描述符而不是 96 位描述符 32 位/64 位系统寻址选择：32 位或 64 位系统寻址由该寄存器中的 64 位寻址位选择 32 位块计数：SDMA 系统地址寄存器（003h-000h）修改为 32 位块计数寄存器 注意：在主机版本小于 4 模式（主机版本 4 启用 =0）下运行时，建议不要对 ADMA3 集成描述符地址寄存器进行编程。 0x0（FALSE）：版本 3.00 兼容模式 0x1（TRUE）：版本 4 模式
27	CMD23_ENABLE	CMD23 启用 如果卡支持 CMD23，则此位设置为 1。此位用于为 ADMA3 数据传输选择 Auto CMD23 或 Auto CMD12。 0x0（FALSE）：禁用自动 CMD23 0x1（TRUE）：已启用自动 CMD23
26	ADMA2_LEN_MODE	ADMA2 长度模式 该位选择 ADMA2 长度模式为 16 位或 26 位。 0x0（FALSE）：16 位数据长度模式 0x1（TRUE）：26 位数据长度模式
23	SAMPLE_CLK_SEL	采样时钟选择 主机控制器使用该位选择 SD/eMMC 模式下的采样时钟，以接收 CMD 和 DAT。 此位由 tuning 程序设置，并在 tuning 完成后（清除“执行 tuning”时）有效。 将该位设置为 1 表示 tuning 成功完成，将该位设置为 0 表示 tuning 失败。 0x0（FALSE）：使用固定时钟对数据进行采样 0x1（TRUE）：tuning 时钟用于采样数据

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
22	EXEC_TUNING	执行 tuning 该位设置为 1，以在 UHS-I/eMMC 速度模式下启动 tuning 程序，tuning 程序完成时，该位自动清除 0x0（FALSE）：未 tuning 或 tuning 已完成 0x1（TRUE）：执行 tuning
19	SIGNALING_EN	1.8V 信号使能 该位控制 UHS-I/eMMC 速度模式下 I/O 单元的电压调节器。 将该位从 0 设置为 1 开始将信号电压从 3.3V 更改为 1.8V。 如果切换到 1.8 信令失败，主机控制器将清除该位。该值反映在 uhs1_SWV_en 引脚上。 注：必须为所有 UHS-I 速度模式（SDR12/SDR25/SDR50/SDR104/DDR50）设置该位。 0x0（V_3_3）：3.3V 信号 0x1（V_1_8）：1.8V 信号
18-16	UHS_MODE_SEL	UHS 模式/eMMC 速度模式选择 这些位用于在 SD 操作模式下选择 UHS 模式。在 eMMC 模式下，这些位用于选择 eMMC 速度模式。 UHS 模式（仅限 SD/UHS-II 模式）： 0x0（SDR12）：SDR12/Legacy 0x1（SDR25）：SDR25/高速 SDR 0x2（SDR50）：SDR50 0x3（SDR104）：SDR104/HS200 0x4（DDR50）：DDR50/高速 DDR 0x5（RSVD5）：保留 0x6（RSVD6）：保留 0x7（UHS2）：UHS-II/HS400 eMMC 速度模式（仅限 eMMC 模式）： 0x0：遗留 0x1：高速 SDR 0x2：保留 0x3:HS200 0x4：高速 DDR 0x5：保留 0x6：保留 0x7:HS400
7	CMD_NOT_ISSUED_AUTO_CMD12	命令不是由自动 CMD12 发出的错误 如果此位设置为 1，则由于此寄存器中的自动 CMD12 错误（D04-D01），不会执行 CMD_wo_DAT。 当 Auto CMD23 生成 Auto CMD 错误时，此位设置为 0。 0x1（TRUE）：未发布 0x0（FALSE）：无错误

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
5	AUTO_CMD_RESP_ERR	自动命令响应错误 当传输模式寄存器中的响应错误检查启用设置为 1 且在自动 CMD12 或 CMD13 的 R1 响应中检测到错误时，设置此位。 如果 D00 到 D04 之间的任何位设置为 1，则忽略此状态。 0x1（TRUE）：错误 0x0（FALSE）：无错误
4	AUTO_CMD_IDX_ERR	自动命令索引错误 如果响应命令时出现命令索引错误，则设置此位。 0x1（TRUE）：错误 0x0（FALSE）：无错误
3	AUTO_CMD_EBIT_ERR	自动指令结束位错误 该位在检测到命令响应的结束位为 0 时设置。 0x1（TRUE）：生成结束位错误 0x0（FALSE）：无错误
2	AUTO_CMD_CRC_ERR	自动指令 CRC 错误 在命令响应中检测 CRC 错误时设置此位。 0x1（TRUE）：生成 CRC 错误 0x0（FALSE）：无错误
1	AUTO_CMD_TOUT_ERR	自动命令超时错误 如果从命令的结束位返回 64 个 SDCLK 周期没有响应，则设置此位。 如果该位设置为 1，则错误状态位（D04-D01）无意义。 0x1（TRUE）：超时 0x0（FALSE）：无错误
0	AUTO_CMD12_NOT_EXEC	未执行自动 CMD12 如果由于命令错误而未启动多个内存块数据传输，则不会设置此位，因为无需发出自动 CMD12。 将此位设置为 1 意味着主机控制器由于某些错误而无法发出 Auto CMD12 以停止多个内存块数据传输。 如果该位设置为 1，则错误状态位（D04-D01）无意义。 当 Auto CMD23 生成 Auto CMD 错误时，此位设置为 0。 0x1（TRUE）：未执行 0x0（FALSE）：已执行

AC_HOST_CTRL 位域

29.5.14 CAPABILITIES1 (0x40)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SLOT_TYPE_R		ASYNC_INT_SUPPORT	RSVD		VOLT_18	VOLT_30	VOLT_33	SUS_RES_SUPPORT	SDMA_SUPPORT	HIGH_SPEED_SUPPORT	RSVD	ADMA2_SUPPORT	EMBEDDED_8_BIT	MAX_BLK_LEN		BASE_CLK_FREQ								TOUT_CLK_UNIT	RSVD	TOUT_CLK_FREQ					
RO		RO	N/A		RO	RO	RO	RO	RO	RO	N/A	RO	RO	RO		RO								RO	N/A	RO					
0	0	0	x	x	0	0	0	0	0	0	x	0	0	0	0	0	0	0	0	0	0	0	0	0	x	0	0	0	0	0	0

CAPABILITIES1 [31:0]

位域	名称	描述
31-30	SLOT_TYPE_R	插槽类型 这些位表示特定主机系统对插槽的使用。 0x0（REMOVABLE_SLOT）：可移动卡插槽 0x1（EMBEDDED_SLOT）：一个设备的嵌入式插槽 0x2（SHARED_SLOT）：共享总线插槽（SD 模式） 0x3（UHS2_EMBEDDED_SLOT）：UHS-II 多个嵌入式设备
29	ASYNC_INT_SUPPORT	异步中断支持（仅限 SD 模式） 0x0（FALSE）：不支持异步中断 0x1（TRUE）：支持异步中断
26	VOLT_18	1.8V 电压支持 0x0 (FALSE): 不支持 1.8V 0x1 (TRUE): 支持 1.8V
25	VOLT_30	SD 3.0V 或嵌入式 1.2V 的电压支持 0x0（FALSE）：不支持 SD 3.0V 或嵌入式 1.2V 0x1（TRUE：支持 SD 3.0V 或嵌入式
24	VOLT_33	3.3V 电压支持 0x0 (FALSE): 不支持 3.3V 0x1 (TRUE): 支持 3.3V
23	SUS_RES_SUPPORT	暂停/恢复支持 此位指示主机控制器是否支持挂起/恢复功能。 如果该位为 0，则主机驱动程序不会发出 Suspend 或 Resume 命令，因为不支持 Suspend 和 Resume 机制。 0x0（FALSE）：不支持 0x1（TRUE）：支持
22	SDMA_SUPPORT	SDMA 支持 此位指示主机控制器是否能够使用 SDMA 在系统内存和主机控制器之间直接传输数据。 0x0（FALSE）：不支持 SDMA 0x1（TRUE）：支持 SDMA

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
21	HIGH_SPEED_SUPPORT	高速支持 此位指示主机控制器和主机系统是否支持高速模式，以及它们是否可以提供 25 MHz 到 50 MHz 的 SD 时钟频率。 0x0（FALSE）：不支持高速 0x1（TRUE）：支持高速
19	ADMA2_SUPPORT	ADMA2 支持 此位指示主机控制器是否能够使用 ADMA2。 0x0（FALSE）：不支持 ADMA2 0x1（TRUE）：支持 ADMA2
18	EMBEDDED_8_BIT	嵌入式设备的 8 位支持 此位指示主机控制器是否能够使用 8 位总线宽度模式。当插槽类型设置为 10b 时，此位无效。 0x0（FALSE）：不支持 8 位总线宽度 0x1（TRUE）：支持 8 位总线宽度
17-16	MAX_BLK_LEN	最大块长度 此位表示主机驱动程序可以读取和写入主机控制器中缓冲区的最大块大小。 缓冲区在无等待周期的情况下传输此块大小。SD 内存的传输块长度始终为 512 字节，与此位无关 0x0：512 字节 0x1：1024 字节 0x2：2048 字节 0x3：保留

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
15-8	BASE_CLK_FREQ	SD 时钟的基准时钟频率 这些位表示 SD 时钟的基本（最大）时钟频率。这些位的定义取决于主机控制器版本。 6 位基本时钟频率：主机控制器版本 1.00 和 2.00 支持此模式。上 2 位无效，始终为 0。单位值为 1 MHz。支持的时钟范围为 10 MHz 至 63 MHz。 -0x00：通过其他方法获取信息 -0x01:1 兆赫 -0x02:2 兆赫 -..... -0x3F:63 兆赫 -0x40-0xFF: 不支持 8 位基本时钟频率：主机控制器版本 3.00 支持此模式。单位值为 1 MHz。支持的时钟范围为 10 MHz 至 255 MHz。 -0x00：通过其他方法获取信息 -0x01:1 兆赫 -0x02:2 兆赫 -..... -0xFF:255 兆赫 如果频率为 16.5 MHz，则较大的值设置为 0001001b（17 MHz），因为主机驱动程序使用此值来计算时钟分频器值，并且它不超过 SD 时钟频率的上限。 如果这些位都为 0，则主机系统必须使用不同的方法获取信息。
7	TOUT_CLK_UNIT	超时时钟单位 此位显示用于检测数据超时错误的基本时钟频率单位。 0x0：KHz 0x1：MHz
5-0	TOUT_CLK_FREQ	超时时钟频率 此位显示用于检测数据超时错误的基本时钟频率。超时时钟单元定义超时时钟频率的单位。它可以是 KHz 或 MHz。 0x00：通过其他方法获取信息 0x01:1KHz/1MHz 0x02:2KHz/2MHz 0x03:3KHz/3MHz 0x3F:63KHz/63MHz

CAPABILITIES1 位域

29.5.15 CAPABILITIES2 (0x44)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD			VDD2_18V_SUPPORT	ADMA3_SUPPORT	RSVD			CLK_MUL								RE_TUNING_MODES		USE_TUNING_SDR50	RSVD	RETUNE_CNT				RSVD	DRV_TYPED	DRV_TYPEC	DRV_TYPEA	UHS2_SUPPORT	DDR50_SUPPORT	SDR104_SUPPORT	SDR50_SUPPORT
N/A			RO	RO	N/A			RO								RO		RO	N/A	RO				N/A	RO	RO	RO	RO	RO	RO	RO
x	x	x	0	0	x	x	x	0	0	0	0	0	0	0	0	0	0	0	x	0	0	0	0	x	0	0	0	0	0	0	0

CAPABILITIES2 [31:0]

位域	名称	描述
28	VDD2_18V_SUPPORT	1.8V VDD2 支持 此位表示主机系统支持 VDD2。 0x0（FALSE）：不支持 1.8V VDD2 0x1（TRUE）：支持 1.8V VDD2
27	ADMA3_SUPPORT	ADMA3 支持 此位表示主机系统是否支持 ADMA3 0x0（FALSE）：不支持 ADMA3 0x1（TRUE）：支持 ADMA3
23-16	CLK_MUL	时钟倍增器 这些位表示可编程时钟发生器的时钟乘法器。将这些位设置为 0 意味着主机控制器不支持可编程时钟发生器。 0x0: 不支持时钟乘法器 0x1：时钟乘法器 M=2 0x2：时钟乘法器 M=3 ..... 0xFF：时钟乘法器 M=256
15-14	RE_TUNING_MODES	重新 tuning 模式（仅限 UHS-I） 这些位选择重新 tuning 方法并限制最大数据长度。 0x0（模式 1）：计时器 0x1（模式 2）：计时器和重新 tuning 请求（不支持） 0x2（模式 3）：自动重新 tuning（用于传输） 0x3（RSVD_ 模式）：保留
13	USE_TUNING_SDR50	使用 SDR50 tuning（仅限 UHS-I） 0x0：SDR50 不需要 tuning 0x1：SDR50 需要 tuning

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
11-8	RETUNE_CNT	重新 tuning 的计时器计数（仅限 UHS-I） 0x0: 已禁用重新 tuning 计时器 0x1:1 秒 0x2:2 秒 0x3:4 秒 ..... 0xB:1024 秒 0xC：保留 0xD：保留 0xE：保留 0xF：从其他源获取信息
6	DRV_TYPED	D 类驱动器支架（仅限 UHS-I） 该位表示支持 1.8 信令的驱动器类型 D。 0x0（FALSE）：不支持驱动程序类型 D 0x1（TRUE）：支持驱动程序类型 D
5	DRV_TYPEC	C 类驱动器支架（仅限 UHS-I） 该位表示支持 1.8 信令的驱动器类型 C。 0x0（FALSE）：不支持驱动程序类型 C 0x1（TRUE）：支持驱动程序类型 C
4	DRV_TYPEA	A 类驱动器支架（仅限 UHS-I） 该位表示支持 1.8 信令的驱动器类型 A。 0x0（FALSE）：不支持驱动程序类型 A 0x1（TRUE）：支持驱动程序类型 A
3	UHS2_SUPPORT	UHS-II 支持（仅限 UHS-I） 此位表示主机系统是否支持 UHS-II 0x0（FALSE）：不支持 UHS-II 0x1（TRUE）：支持 UHS-II
2	DDR50_SUPPORT	DDR50 支持（仅限 UHS-I） 此位表示主机系统是否支持 DDR50 0x0（FALSE）：不支持 DDR50 0x1（TRUE）：支持 DDR50
1	SDR104_SUPPORT	SDR104 支持 此位表示主机系统是否支持 SDR104 0x0（FALSE）：不支持 SDR104 0x1（TRUE）：支持 SDR104
0	SDR50_SUPPORT	SDR50 支持（仅限 UHS-I） 此位表示支持 SDR50。位 13（USE_TUNING_SDR50）指示 SDR50 是否需要 tuning。 0x0（FALSE）：不支持 SDR50 0x1（TRUE）：支持 SDR50

CAPABILITIES2 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

29.5.16 CURR_CAPABILITIES1 (0x48)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								MAX_CUR_18V								MAX_CUR_30V								MAX_CUR_33V							
N/A								RO								RO								RO							
x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CURR_CAPABILITIES1 [31:0]

位域	名称	描述
23-16	MAX_CUR_18V	1.8V 的最大电流 此位指定卡的 1.8V VDD1 电源的最大电流。 0: 通过其他方法获取信息 1:4mA 2:8mA 3:13mA 255:1020mA
15-8	MAX_CUR_30V	3.0V 的最大电流 此位指定卡的 3.0V VDD1 电源的最大电流。 0: 通过其他方法获取信息 1:4mA 2:8mA 3:13mA 255:1020mA
7-0	MAX_CUR_33V	3.3V 的最大电流 此位指定卡的 3.3V VDD1 电源的最大电流。 0: 通过其他方法获取信息 1:4mA 2:8mA 3:13mA 255:1020mA

CURR_CAPABILITIES1 位域

29.5.17 CURR_CAPABILITIES2 (0x4C)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																								MAX_CUR_VDD2_18V							
N/A																								RO							
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0

CURR_CAPABILITIES2 [31:0]

位域	名称	描述
7-0	MAX_CUR_VDD2_18V	本产品不支持，读出值为 0

CURR_CAPABILITIES2 位域

29.5.18 FORCE_EVENT (0x50)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD			FORCE_BOOT_ACK_ERR	FORCE_RESP_ERR	FORCE_TUNING_ERR	FORCE_ADMA_ERR	FORCE_AUTO_CMD_ERR	FORCE_CUR_LMT_ERR	FORCE_DATA_END_BIT_ERR	FORCE_DATA_CRC_ERR	FORCE_DATA_TOUT_ERR	FORCE_CMD_IDX_ERR	FORCE_CMD_END_BIT_ERR	FORCE_CMD_CRC_ERR	FORCE_CMD_TOUT_ERR	RSVD								FORCE_CMD_NOT_ISSUED_AUTO_CMD12	RSVD	FORCE_AUTO_CMD_RESP_ERR	FORCE_AUTO_CMD_IDX_ERR	FORCE_AUTO_CMD_EBIT_ERR	FORCE_AUTO_CMD_CRC_ERR	FORCE_AUTO_CMD_TOUT_ERR	FORCE_AUTO_CMD12_NOT_EXEC
N/A			WO	WO	WO	WO	WO	WO	WO	WO	WO	WO	WO	WO	WO	N/A								WO	N/A	WO	WO	WO	WO	WO	WO
x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x	0	x	0	0	0	0	0	0

FORCE_EVENT [31:0]

位域	名称	描述
28	FORCE_BOOT_ACK_ERR	写 1 设置 BOOT_ACK_ERR
27	FORCE_RESP_ERR	写 1 设置 RESP_ERR
26	FORCE_TUNING_ERR	写 1 设置 TUNING_ERR

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
25	FORCE_ADMA_ERR	写 1 设置 ADMA_ERR
24	FORCE_AUTO_CMD_ERR	写 1 设置 AUTO_CMD_ERR
23	FORCE_CUR_LMT_ERR	写 1 设置 CUR_LMT_ERR
22	FORCE_DATA_END_BIT_ERR	写 1 设置 DATA_END_BIT_ERR
21	FORCE_DATA_CRC_ERR	写 1 设置 DATA_CRC_ERR
20	FORCE_DATA_TOUT_ERR	写 1 设置 DATA_TOUT_ERR
19	FORCE_CMD_IDX_ERR	写 1 设置 CMD_IDX_ERR
18	FORCE_CMD_END_BIT_ERR	写 1 设置 CMD_END_BIT_ERR
17	FORCE_CMD_CRC_ERR	写 1 设置 CMD_CRC_ERR
16	FORCE_CMD_TOUT_ERR	写 1 设置 CMD_TOUT_ERR
7	FORCE_CMD_NOT_ISSUED_AUTO_CMD12	写 1 设置 CMD_NOT_ISSUED_AUTO_CMD12
5	FORCE_AUTO_CMD_RESP_ERR	写 1 设置 AUTO_CMD_RESP_ERR
4	FORCE_AUTO_CMD_IDX_ERR	写 1 设置 AUTO_CMD_IDX_ERR
3	FORCE_AUTO_CMD_EBIT_ERR	写 1 设置 AUTO_CMD_EBIT_ERR
2	FORCE_AUTO_CMD_CRC_ERR	写 1 设置 AUTO_CMD_CRC_ERR
1	FORCE_AUTO_CMD_TOUT_ERR	写 1 设置 AUTO_CMD_TOUT_ERR
0	FORCE_AUTO_CMD12_NOT_EXEC	写 1 设置 AUTO_CMD12_NOT_EXEC

FORCE_EVENT 位域

29.5.19 ADMA_ERR_STAT (0x54)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																													ADMA_LEN_ERR	ADMA_ERR_STATES	
N/A																													RO	RO	
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0

ADMA_ERR_STAT [31:0]

位域	名称	描述
2	ADMA_LEN_ERR	ADMA 长度不匹配错误状态 以下情况下会发生此错误： 设置块计数启用时，描述符表指定的总数据长度与块计数和块长度指定的总数据长度不同 当总数据长度不能除以块长度时 0x0（NO_ERR）：无错误 0x1（ERROR）：错误
1-0	ADMA_ERR_STATES	ADMA 错误状态 这些位表示在 ADMA 数据传输过程中发生错误时 ADMA 的状态。 0x0（ST_STOP）：STOP DMA-SYS_ADR 寄存器指向错误描述符旁边的位置 0x1（ST_FDS）：获取描述符-SYS_ADR 寄存器指向错误描述符 0x2（UNUSED）：从不设置此状态 0x3（ST_TFR）：传输数据-SYS_ADR 寄存器指向错误描述符旁边的位置

ADMA_ERR_STAT 位域

29.5.20 ADMA_SYS_ADDR (0x58)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADMA_SA																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ADMA_SYS_ADDR [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-0	ADMA_SA	ADMA 系统地址 这些位表示 ADMA 系统地址的较低 32 位。 SDMA：如果主机版本 4 启用设置为 1，则此寄存器存储数据位置的系统地址 ADMA2：该寄存器存储描述符表执行命令的字节地址 ADMA3：该寄存器由 ADMA3 设置。每次提取描述符行时，ADMA2 递增指向下一行的寄存器地址。

ADMA_SYS_ADDR 位域

29.5.21 PRESET (0x60 + 0x2 * n)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD					CLK_GEN_SEL_VAL	FREQ_SEL_VAL									
N/A					RO	RO									
x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0

PRESET [15:0]

位域	名称	描述
10	CLK_GEN_SEL_VAL	时钟发生器选择值 当主机控制器支持可编程时钟发生器时，此位有效。 0x0（FALSE）：主机控制器版本 2。0 兼容时钟发生器 0x1（PROG）：可编程时钟发生器
9-0	FREQ_SEL_VAL	SDCLK/RCLK 频率选择值 主机系统描述的时钟控制寄存器的 SDCLK/RCLK 频率选择字段中设置的 10 位预设值。

PRESET 位域

29.5.22 ADMA_ID_ADDR (0x78)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADMA_ID_ADDR																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

ADMA_ID_ADDR [31:0]

位域	名称	描述
31-0	ADMA_ID_ADDR	ADMA 集成描述符地址 这些位表示 ADMA 集成描述符地址的较低 32 位。集成描述符的起始地址设置为这些寄存器位。 ADMA3 获取一个描述符地址并递增这些位以指示下一个描述符地址。

ADMA_ID_ADDR 位域

29.5.23 P_EMBEDDED_CNTRL (0xE6)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				REG_OFFSET_ADDR											
N/A				RO											
x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0

P_EMBEDDED_CNTRL [15:0]

位域	名称	描述
11-0	REG_OFFSET_ADDR	嵌入式控制寄存器的偏移地址。

P_EMBEDDED_CNTRL 位域

29.5.24 P_VENDOR_SPECIFIC_AREA (0xE8)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				REG_OFFSET_ADDR											
N/A				RO											
x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0

P_VENDOR_SPECIFIC_AREA [15:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
11-0	REG_OFFSET_ADDR	供应商特定寄存器的基址偏移地址。

P_VENDOR_SPECIFIC_AREA 位域

29.5.25 P_VENDOR2_SPECIFIC_AREA (0xEA)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
REG_OFFSET_ADDR															
RO															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

P_VENDOR2_SPECIFIC_AREA [15:0]

位域	名称	描述
15-0	REG_OFFSET_ADDR	命令队列寄存器的基址偏移地址。

P_VENDOR2_SPECIFIC_AREA 位域

29.5.26 SLOT_INTR_STATUS (0xFC)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								INTR_SLOT							
N/A								RO							
x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0

SLOT_INTR_STATUS [15:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
7-0	INTR_SLOT	每个插槽的中断信号 这些状态位表示每个插槽的中断信号和唤醒信号的逻辑 OR。最多可定义 8 个插槽。 如果一个中断信号与多个插槽关联，主机驱动程序可以识别通过读取这些位生成的中断。 通过通电复位或为所有位设置软件复位，中断信号被解除断言，该状态读数为 00h。 位 00：插槽 1 位 01：插槽 2 位 02：插槽 3 ..... 位 07：插槽 8

SLOT_INTR_STATUS 位域

29.5.27 CQVER (0x180)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																				EMMC_VER_MAHOR				EMMC_VER_MINOR				EMMC_VER_SUFFIX			
N/A																				RO				RO				RO			
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0

CQVER [31:0]

位域	名称	描述
11-8	EMMC_VER_MAHOR	此位表示 BCD 格式的 eMMC 主版本（小数点左侧第 1 位）。
7-4	EMMC_VER_MINOR	该位表示 BCD 格式的 eMMC 次要版本（小数点右侧第 1 位）。
3-0	EMMC_VER_SUFFIX	此位表示 eMMC 版本后缀（右侧第二位小数点）BCD 格式。

CQVER 位域

29.5.28 CQCAP (0x184)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD			CRYPTO_SUPPORT	RSVD												ITCFMUL				RSVD		ITCFVAL									
N/A			RO	N/A												RO				N/A		RO									
x	x	x	0	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	x	x	0	0	0	0	0	0	0	0	0	0

CQCAP [31:0]

位域	名称	描述
28	CRYPTO_SUPPORT	加密支持 此位指示主机控制器是否支持加密操作。 0x0（FALSE）：不支持加密 0x1（TRUE）：支持加密
15-12	ITCFMUL	内部定时器时钟倍频器（ITCFMUL） 此字段指示用于此操作的时钟频率中断合并计时器，用于确定 SQS 轮询周期。有关详细信息，请参见 ITCFVAL 定义。 0x0（时钟 1KHz）：1KHz 时钟 0x1（时钟 10KHz）：10KHz 时钟 0x2（时钟 100KHz）：100KHz 时钟 0x3（时钟频率 1MHz）：1MHz 时钟 0x4（时钟频率 10MHz）：10MHz 时钟 其他：保留
9-0	ITCFVAL	内部定时器时钟频率值（ITCFVAL） 此字段缩放由提供的计时器时钟的频率 ITCFMUL。实际计时器时钟的最终时钟频率为计算为 ITCFVAL*ITCFMUL。

CQCAP 位域

29.5.29 CQCFG (0x188)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																			DCMD_EN	RSVD			TASK_DESC_SIZE	RSVD							CQ_EN
N/A																			RW	N/A			RW	N/A							RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	x	x	x	0	x	x	x	x	x	x	x	0

CQCFG [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
12	DCMD_EN	此位向硬件指示任务是否已完成 TDL 插槽 #31 中的描述符是数据传输描述符或直接命令描述符。当在插槽 #31 中发出任务时，CQE 使用该位来确定如何解码任务描述符。 0x1（SLOT31_DCMD_ENABLE）：插槽 31 中的任务描述符是 DCMD 任务描述符 0x0（SLOT31_DCMD_DISABLE）：插槽 #31 中的任务描述符是数据传输任务描述符
8	TASK_DESC_SIZE	位值描述 此位表示主机内存中使用的任务描述符的大小。仅当命令队列启用位为 0（命令队列已禁用）时，才能配置此位。 0x1（TASK_DESC_128b）：任务描述符大小为 128 位 0x0（任 TASK_DESC_64b）：任务描述符大小为 64 位
0	CQ_EN	

CQCFG 位域

29.5.30 CQCTL (0x18C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																							CLR_ALL_TASKS	RSVD							HALT
N/A																							RW	N/A							RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	x	x	x	x	x	x	x	0

CQCTL [31:0]

位域	名称	描述
8	CLR_ALL_TASKS	清除所有任务 此位只能在控制器停止时写入。此位不清除设备中的任务。软件必须使用 CMDQ_TASK_MGMT 命令清除设备的队列。 0x1（CLEAR_ALL_TASKS）：清除控制器中的所有任务 0x0（NO_EFFECT）：编程 0 没有影响

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
0	HALT	停止请求并继续 0x1（HALT_CQE）：当软件希望通过 eMMC 总线获得软件控制并禁止 CQE 在总线上发出命令时，软件将 1 写入该位。 例如，发出放弃任务命令（CMDQ_Task_MGMT）。当软件写入 1 时，CQE 完成正在进行的任务（如果有正在进行的任务）。 任务完成且 CQE 处于空闲状态后，CQE 不会发出新命令，并通过将该位设置为 1 来指示软件。 软件可以对此位进行轮询，直到将其设置为 1，然后才在 eMMC 总线上发送命令。 0x0（RESUME_CQE）：软件将 0 写入该位以退出暂停状态并恢复 CQE 活动

CQCTL 位域

29.5.31 CQIS (0x190)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																												TCL	RED	TCC	HAC
N/A																												RW	RW	RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0

CQIS [31:0]

位域	名称	描述
3	TCL	任务清除中断 当 CQE 完成任务清除操作时，该状态位被置位（如果 CQISE.TCL_STE=1）。 完成的任务清除操作是单个任务清除（通过写入 CQCLR）或所有任务清除（通过写入 CQCTL）。 写 1 将清除此状态位。 0x1（设置）：设置 TCL 中断 0x0（未设置）：未设置 TCL 中断
2	RED	检测到响应错误中断 当接收到在设备状态中设置了错误位的响应时，该状态位被断言（如果 CQISE.RED_STE=1） 领域配置 CQRMEM 寄存器，以识别可能触发中断且被屏蔽的设备状态位字段。 写 1 将清除此状态位。 0x1（设置）：设置红色中断 0x0（未设置）：未设置红色中断

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
1	TCC	任务完成中断 当至少满足以下条件之一时，该状态位被置位（如果 CQISE.TCC_STE=1）： 任务完成后，在其任务描述符中设置 INT 位 由于超时而由中断合并逻辑引起的中断 中断合并逻辑已达到配置的阈值 写 1 将清除此状态位。
0	HAC	停止完全中断 当 CQCTL 寄存器中的 halt 位从 0 变为 1 时，表示主机控制器已完成其当前正在进行的任务并已进入 halt 状态，则置位此状态位（仅当 CQISE.HAC_STE=1 时）。 写 1 将清除此状态位。 0x1：已设置 HAC 中断 0x0：未设置 HAC 中断

CQIS 位域

29.5.32 CQISE (0x194)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																												TCL_STE	RED_STE	TCC_STE	HAC_STE
N/A																												RW	RW	RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0

CQISE [31:0]

位域	名称	描述
3	TCL_STE	任务清除中断使能 0x1（INT_STS_ENABLE）：CQIS.TCL 在其中断条件满足时置位 0x0（INT_STS_DISABLE）：CQIS.TCL 中断被禁止
2	RED_STE	检测到响应错误中断使能 0x1（INT_STS_ENABLE）：CQIS.RED 在其中断条件满足时置位 0x0（INT_STS_DISABLE）：CQIS.RED 中断被禁止
1	TCC_STE	任务完成中断使能 0x1（INT_STS_ENABLE）：CQIS.TCC 在其中断条件满足时置位 0x0（INT_STS_DISABLE）：CQIS.TCC 中断被禁止
0	HAC_STE	停止完全中断使能 0x1（INT_STS_ENABLE）：CQIS.HAC 在其中断条件满足时置位 0x0（INT_STS_DISABLE）：CQIS.HAC 中断被禁止

CQISE 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

29.5.33 CQISGE (0x198)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																												TCL_SGE	RED_SGE	TCC_SGE	HAC_SGE
N/A																												RW	RW	RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0

CQISGE [31:0]

位域	名称	描述
3	TCL_SGE	任务清除中断信号使能 0x1（INT_SIG_ENABLE）：CQIS.TCL 中断信号生成激活 0x0（INT_SIG_DISABLE）：CQIS.TCL 中断信号生成被禁用
2	RED_SGE	检测到响应错误中断信号使能 0x1（INT_SIG_ENABLE）：CQIS.RED 中断信号生成激活 0x0（INT_SIG_DISABLE）：CQIS.RED 中断信号生成被禁用
1	TCC_SGE	任务完成中断信号使能 0x1（INT_SIG_ENABLE）：CQIS.TCC 中断信号生成激活 0x0（INT_SIG_DISABLE）：CQIS.TCC 中断信号生成被禁用
0	HAC_SGE	停止完全中断信号使能 0x1（INT_SIG_ENABLE）：CQIS.HAC 中断信号生成激活 0x0（INT_SIG_DISABLE）：CQIS.HAC 中断信号生成被禁用

CQISGE 位域

29.5.34 CQIC (0x19C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INTC_EN	RSVD										INTC_STAT	RSVD			INTC_RST	INTC_TH_WEN	RSVD		INTC_TH					TOUT_VAL_WEN	TOUT_VAL						
RW	N/A										RO	N/A			WO	WO	N/A		WO					WO	RW						
0	x	x	x	x	x	x	x	x	x	x	0	x	x	x	0	0	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0

CQIC [31:0]

位域	名称	描述
31	INTC_EN	中断合并使能位 0x1（ENABLE_INT_COALESCING）：中断整合机制处于活动状态。对中断进行计数和计时，并生成合并中断 0x0（DISABLE_INT_COALESCING）：禁用中断整合机制（默认）

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
20	INTC_STAT	中断合并状态位 该位向软件指示是否有任何任务（INT=0）已完成并计入中断合并（即，当且仅当 INTC 计数器 >0 时才设置此项）。 0x1（INTC_ATLEAST1_COMP）：至少有一个 INT0 任务完成（INTC 计数器 >0） 0x0（INTC_NO_TASK_COMP）：自上次计数器重置（INTC 计数器 ==0）以来，未发生 INT0 任务完成
16	INTC_RST	计数器和定时器复位 当主机驱动程序写入 1 时，中断合并计时器和计数器复位。 0x1（ASSERT_INTC_RESET）：中断合并计时器和计数器重置 0x0（NO_EFFECT）：无效果
15	INTC_TH_WEN	中断合并计数器阈值写入启用 当软件向该位写入 1 时，值 INTCTH 将用同一周期写入的内容更新。 0x1 (WEN_SET): 设置 INTC_TH_WEN 0x0 (WEN_CLR): 清除 INTC_TH_WEN
12-8	INTC_TH	中断合并计数器阈值字段 软件使用此字段配置生成中断所需的任务完成次数（仅任务描述符中 INT=0 的任务）。 计数器操作：当 INT=0 的数据传输任务完成时，它们由 CQE 计数。 在中断服务程序期间，计数器由软件复位。计数器在达到 INTC_TH 中配置的值时停止计数，并生成中断。 0x0：中断合并功能已禁用 0x1:INT=0 完成时在 1 个任务后生成的中断合并中断 0x2:INT=0 完成时在 2 个任务后生成的中断合并中断 ..... 0x1f:INT=0 完成 31 个任务后生成的中断合并中断 要写入此字段，必须在同一写入操作期间设置 INTC_TH 位
7	TOUT_VAL_WEN	当软件向该位写入 1 时，值 TOUT_VAL 将用同一周期写入的内容更新。 0x1（WEN_SET）：设置 TOUT_VAL_WEN 0x0（WEN_CLR）：清除 TOUT\u VAL\u WEN

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
6-0	TOUT_VAL	中断合并超时值 软件使用此字段来配置在总线上完成任务和生成中断之间允许的最长时间。 定时器操作：定时器在中断服务程序期间由软件复位。 定时器复位后，当 INT=0 的第一个数据传输任务完成时，它开始运行。 当计时器达到 ICTOVAL 字段中配置的值时，它生成一个中断并停止。 计时器的单位等于内部计时器时钟频率字段 CQCAP 寄存器中指定频率的时钟的 1024 个时钟周期。 0x0: 计时器已禁用。不生成基于超时的中断 0x1：计时器时钟频率为 01x1024 个周期时超时 0x2：计时器时钟频率为 02x1024 个周期时超时 ..... 0x7f：定时器时钟频率为 127x1024 个周期时超时 为了写入此字段，必须在同一写入操作中设置 TOUT_VAL_WEN 位。

CQIC 位域

29.5.35 CQTDLBA (0x1A0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TDLBA																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CQTDLBA [31:0]

位域	名称	描述
31-0	TDLBA	该寄存器将任务描述符列表头的字节地址的 LSB 位（31:0）存储在系统内存中。 根据主机驱动程序的配置，任务描述符列表的大小为 32*（任务描述符大小 + 传输描述符大小）。 此地址设置在 1 KB 边界上。该寄存器的低 10 位由软件设置为 0，并被 CQE 忽略

CQTDLBA 位域

29.5.36 CQTDBR (0x1A8)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DBR																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CQTDBR [31:0]

位域	名称	描述
31-0	DBR	软件需在使用此寄存器前配置 TDLBA，并启用 CQE。 将 1 写入该寄存器的位 n 将触发 CQE，以开始处理编码在 TDL 的插槽 n 中的任务。 软件写入 0 不会对硬件产生任何影响，也不会更改寄存器位的值。 CQE 始终根据 CQTDBR 写入事务提交到列表的顺序处理任务。 CQE 通过读取任务描述符并向设备发送队列任务参数（CMD44）和队列任务地址（CMD45）命令来处理数据传输任务。 CQE 通过读取任务描述符并生成由其索引和参数编码的命令来处理 DCMD 任务（在插槽 #31 中，如果启用）。 在以下事件之一中，CQE 将相应位清除为 0： 任务执行完成（成功或错误）。 使用 CQCLR 寄存器清除任务。 使用 CQCTL 寄存器清除所有任务。 使用 CQCFG 寄存器禁用 CQE。 软件可以通过在同一事务中将该寄存器的 1 位写入多个位来同时启动多个任务（批量提交）。 在批量提交的情况下，CQE 按照任务索引的顺序处理任务，从最低索引开始。 如果批次中的一个或多个任务标记为 QBR，则执行顺序基于所述处理顺序。

CQTDBR 位域

29.5.37 CQTCN (0x1AC)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCN																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CQTCN [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-0	TCN	任务完成通知 32 位中的每一位都映射到 32 个任务。 位 N（1）：任务 N 已完成执行（有成功或错误） 位 N（0）：任务 N 尚未完成，可能挂起或未提交。 任务完成时，软件可能会读取此注册表以了解已完成的任务。 读了这个寄存器之后，软件可通过将 1 写入相应位来清除相关位字段。

CQTCN 位域

29.5.38 CQDQS (0x1B0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DQS																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CQDQS [31:0]

位域	名称	描述
31-0	DQS	设备队列状态 32 位中的每一位都映射到 32 个任务。 位 N（1）：设备已将任务 N 标记为准备执行 位 N（0）：任务 N 未准备好执行。此任务可能在设备中挂起或未提交。 主机控制器使用设备队列状态命令的响应更新此寄存器。

CQDQS 位域

29.5.39 CQDPT (0x1B4)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DPT																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CQDPT [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-0	DPT	设备挂起任务 32 位中的每一位都映射到 32 个任务。 位 N（1）：任务 N 已成功排入设备队列，正在等待执行 位 N（0）：任务 N 尚未排队。 当且仅当已为此特定任务发送了队列任务参数（CMD44）和队列任务地址（CMD45）且未执行此任务时，才会设置此寄存器的位 n。 控制器在收到 CMD45 的成功响应后设置此位。CQE 在任务完成执行后清除该位。 软件在任务丢弃过程中读取此寄存器，以确定是否有任务在设备中排队

CQDPT 位域

29.5.40 CQTCLR (0x1B8)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TCLR																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CQTCLR [31:0]

位域	名称	描述
31-0	TCLR	将 1 写入该寄存器的第 n 位命令 CQE 清除软件先前发出的任务。该位只能在 CQE 处于暂停状态时写入，如 CQCFG 寄存器暂停位所示。 当软件将 1 写入该寄存器中的某个位时，CQE 将该值更新为 1，并开始清除与任务相关的数据结构。 一旦清除操作完成，CQE 清除 CQCLR 和 CQTDBR 中的位字段（设置值为 0）。 软件必须轮询 CQCLR，直到完成了清除操作。

CQTCLR 位域

29.5.41 CQSSC1 (0x1C0)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD												SQSCMD_BLK_CNT				SQSCMD_IDLE_TMR															
N/A												RW				RW															
x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CQSSC1 [31:0]

位域	名称	描述
19-16	SQSCMD_BLK_CNT	此字段指示在数据传输过程中何时发送 SQS CMD。 值“n”表示在数据行上传输数据块 block_CNTn 期间，CQE 在 CMD 行上发送状态命令，其中 block_CNT 是当前事务中的块数。 0x0: 在传输期间未发送发送队列状态（CMD13）命令。相反，它仅在数据线空闲时发送。 0x1: 发送队列状态命令将在传输的最后一个块期间发送。 0x2：当最后 2 个块挂起时发送队列状态命令。 0x3：在最后 3 个块挂起时发送队列状态命令。 ..... 0xf：当最后 15 个块挂起时发送队列状态命令。 应仅在 CQCFG.CQ_EN 为 0 时编程
15-0	SQSCMD_IDLE_TMR	此字段配置使用定期发送队列状态（CMD13）轮询时要使用的轮询周期。 当设备中的任务处于挂起状态，但没有进行数据传输时，使用定期轮询。 当发送队列状态响应指示没有任务准备好执行时，CQE 统计配置的时间，直到发出下一个发送队列状态。 定时器单元是时钟的时钟周期，其频率在内部定时器时钟频率字段 CQCAP 寄存器中指定。最小值为 0001h（1 个时钟周期），最大值为 FFFFh（65535 个时钟周期）。 例如，CQCAP 字段值为 0 表示 19.2 MHz 时钟频率（周期 =52.08 ns）。如果 CQSC1.CIT 设置为 0x1000，计算的轮询周期为 4096*52.08 纳秒 =213.33 微秒。 应仅在 CQCFG.CQ_EN 为 0 时编程

CQSSC1 位域

29.5.42 CQSSC2 (0x1C4)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																SQSCMD_RCA															
N/A																RW															
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CQSSC2 [31:0]

位域	名称	描述
15-0	SQSCMD_RCA	此字段为 CQE 提供发送队列状态（CMD13）命令参数中 16 位 RCA 字段的内容。 在传输发送队列状态（CMD13）命令时，CQE 将此字段复制到参数的第 31:16 位。

CQSSC2 位域

29.5.43 CQCRDCT (0x1C8)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DCMD_RESP																															
RO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CQCRDCT [31:0]

位域	名称	描述
31-0	DCMD_RESP	此寄存器包含上次发送的直接命令（DCMD）任务生成的命令的响应。 只有在控制器清除 CQTDBR 寄存器的第 31 位后，该寄存器的内容才有效。

CQCRDCT 位域

29.5.44 CQRMEM (0x1D0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RESP_ERR_MASK																															

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CQRMEM [31:0]

位域	名称	描述
31-0	RESP_ERR_MASK	此字段的位映射到设备响应。 该位用作 R1/R1b 响应中接收的设备状态字段上的中断掩码。 1：当接收到 R1/R1b 响应时，设备状态设置为位 i，将生成 RED 中断。 0：当接收到 R1/R1b 响应时，忽略设备状态中的位 i。 该寄存器的重置值设置为触发设备状态中所有“错误”类型位的中断。 注意：对 CMD13（SQS）的响应对 QSR 进行编码，以便该逻辑忽略它们。

CQRMEM 位域

29.5.45 CQTERRI (0x1D4)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD			TRANS_ERR_TASKID					RSVD		TRANS_ERR_CMD_INDX						RESP_ERR_FIELDS_VALID	RSVD		RESP_ERR_TASKID					RSVD		RESP_ERR_CMD_INDX					
N/A			RO					N/A		RO						RO	N/A		RO					N/A		RO					
x	x	x	0	0	0	0	0	x	x	0	0	0	0	0	0	0	x	x	0	0	0	0	0	x	x	0	0	0	0	0	0

CQTERRI [31:0]

位域	名称	描述
28-24	TRANS_ERR_TASKID	此字段捕获已执行且其数据传输有错误的任务的 ID。
21-16	TRANS_ERR_CMD_INDX	此字段捕获已执行且其数据传输有错误的命令的索引。
15	RESP_ERR_FIELDS_VALID	当在执行命令事务时检测到错误时，此位将更新。 0x1（SET）：检测到响应相关错误。检查 RESP_ERR_TASKID 和 RESP_ERR_CMD_INDX 字段 0x0（NOT_SET）：忽略 RESP_ERR_TASKID 和 RESP_ERR_CMD_INDX 的内容

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
12-8	RESP_ERR_TASK ID	此字段捕获发生错误时在命令行上执行的任务的 ID。
5-0	RESP_ERR_CMD _INDX	此字段捕获错误发生时在命令行上执行的命令的索引

CQTERRI 位域

29.5.46 CQCRI (0x1D8)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																										CMD_RESP_INDX					
N/A																										RO					
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0

CQCRI [31:0]

位域	名称	描述
5-0	CMD_RESP_INDX	最后命令响应索引 此字段存储上次收到的命令响应的索引。控制器在每次收到命令响应时更新该值

CQCRI 位域

29.5.47 CQCRA (0x1DC)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CMD_RESP_ARG																															
RO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CQCRA [31:0]

位域	名称	描述
31-0	CMD_RESP_ARG	最后一个命令响应参数 此字段存储上次收到的命令响应的参数。控制器在每次收到命令响应时更新该值。

CQCRA 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

29.5.48 MSHC_VER_ID (0x500)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VER_ID																															
RO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MSHC_VER_ID [31:0]

位域	名称	描述
31-0	VER_ID	版本号

MSHC_VER_ID 位域

29.5.49 MSHC_VER_TYPE (0x504)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VER_TYPE																															
RO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MSHC_VER_TYPE [31:0]

位域	名称	描述
31-0	VER_TYPE	版本类型

MSHC_VER_TYPE 位域

29.5.50 MBIU_CTRL (0x510)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																												BURST_INCR16_EN	BURST_INCR8_EN	BUSRT_INCR4_EN	UNDEFL_INCR_EN
N/A																												RW	RW	RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0

MBIU_CTRL [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
3	BURST_INCR16_EN	
2	BURST_INCR8_EN	
1	BUSRT_INCR4_EN	
0	UNDEFL_INCR_EN	

MBIU_CTRL 位域

29.5.51 EMMC_BOOT_CTRL (0x52C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BOOT_TOUT_CNT				RSVD			BOOT_ACK_ENABLE	VALIDATE_BOOT	RSVD						MAN_BOOT_EN	RSVD					CQE_PREFETCH_DISABLE	CQE_ALGO_SEL	ENH_STROBE_ENABLE	RSVD				EMMC_RST_N_OE	EMMC_RST_N	DISABLE_DATA_CRC_CHK	CARD_IS_EMMC
RW				N/A			RW	WO	N/A						RW	N/A					RW	RW	RW	N/A				RW	RW	RW	RW
0	0	0	0	x	x	x	0	0	x	x	x	x	x	x	0	x	x	x	x	x	0	0	0	x	x	x	x	0	0	0	0

EMMC_BOOT_CTRL [31:0]

位域	名称	描述
31-28	BOOT_TOUT_CNT	启动确认超时计数器值。 此值确定在引导操作期间预期引导确认时检测到引导确认超时（50 毫秒）的间隔。 0xF：保留 0xE:TMCLK x 2^27 ..... 0x1:TMCLK x 2^14 0x0:TMCLK x 2^13
24	BOOT_ACK_ENABLE	启动确认启用 设置此位时，SDXC 在引导操作期间检查 0-1-0 的引导确认启动模式。此位适用于强制和备用引导模式。 0x1（TRUE）：启动确认启用 0x0（FALSE）：启动确认禁用

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
23	VALIDATE_BOOT	验证强制启动启用位 此位用于验证 MAN_BOOT_EN 位。 0x1（TRUE）：验证强制启动启用位 0x0（FALSE）：忽略强制启动启用位
16	MAN_BOOT_EN	强制启动启用 此位用于启动强制引导操作。应用程序将此位与 VALIDATE_BOOT 位一起设置。 写入 0 被忽略。引导传输完成或终止后，SDXC 清除该位。 0x1（MAN_BOOT_EN）：强制启动启用 0x0（MAN_BOOT_DIS）：强制启动禁用
10	CQE_PREFETCH_DISABLE	启用或禁用 CQE 的预取功能 此字段允许软件在设置为 1 时禁用 CQE 的数据预取功能。 0x0（PREFETCH_ENABLE）：CQE 可以预取成功写入传输和管道成功读取传输的数据 0x1（PREFETCH_DISABLE）：禁用写入的预取和读取的管道
9	CQE_ALGO_SEL	选择要执行的调度程序算法 此位选择用于从许多准备执行的任务中选择一个任务的算法。 0x0（PRI_REORDER_PLUS_FCFS）：使用 FCFS 基于优先级的重新排序，以解决同等优先级的任务 0x1（FCFS_ONLY）：先到先得，顺序为 DBR 环
8	ENH_STROBE_ENABLE	增强选通启用 该位指示 SDXC 使用 HS400 模式的数据选通对 CMD 行进行采样。 0x1（ENH_STB_FOR_CMD）：使用 HS400 模式的数据选通对 CMD 行进行采样 0x0（NO_STB_FOR_CMD）：命令行使用用于 HS400 模式的 cclk 命令进行采样
3	EMMC_RST_N_OE	EMMC 设备复位信号的输出使能 该字段驱动 SDXC 的 sd_rst_n_oe 输出 0x1（ENABLE）：sd_rst_n_oe 为 1 0x0（DISABLE）：sd_rst_n_oe 为 0
2	EMMC_RST_N	EMMC 设备复位信号控制。 该寄存器字段控制 SDXC 的 sd_rst_n 输出 0x1（RST_DEASSERT）：解除输出到 eMMC 设备的复位 0x0（RST_ASSERT）：设置输出到 eMMC 设备的复位（低电平有效）

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
1	DISABLE_DATA_CRC_CHK	禁用数据 CRC 检查 此位控制在 eMMC 模式下卡写入 CRC16 错误的掩蔽。这在 eMMC 设备的总线测试（CMD19）中非常有用。 在总线测试中，eMMC 卡不发送块的 CRC 状态，这可能会产生 CRC 错误。在总线测试期间，可以使用该位屏蔽该 CRC 错误。 0x1（DISABLE）：禁用数据 CRC 检查 0x0（ENABLE）：数据 CRC 检查已启用
0	CARD_IS_EMMC	eMMC 卡是否存在 此位表示连接的卡的类型。基于连接到 SDXC 的卡的该位的应用程序。 0x1（EMMC_CARD）：连接到 SDXC 的卡是一个 EMMC 卡 0x0（NON_EMMC_CARD）：连接到 SDXC 的卡是非 EMMC 卡

EMMC_BOOT_CTRL 位域

29.5.52 AUTO_TUNING_CTRL (0x540)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD	SWIN_TH_VAL							RSVD			POST_CHANGE_DLY		PRE_CHANGE_DLY		TUNE_CLK_STOP_EN	RSVD				WIN_EDGE_SEL				RSVD			SW_TUNE_EN	RPT_TUNE_ERR	SWIN_TH_EN	CI_SEL	AT_EN
N/A	RW							N/A			RW		RW		RW	N/A				RW				N/A			RW	RW	RW	RW	RW
x	0	0	0	0	0	0	0	x	x	x	0	0	0	0	0	x	x	x	x	0	0	0	0	x	x	x	0	0	0	0	0

AUTO_TUNING_CTRL [31:0]

位域	名称	描述
30-24	SWIN_TH_VAL	采样窗口阈值设置 此处可设置的最大值取决于用于 tuning 的延迟线的长度。有 32 个抽头的延迟线可以使用从 0x0 到 0x1F 的值。 此字段仅在 SWIN_TH_EN 为“1”时有效。应仅在 SAMPLE_CLK_SEL 为“0”时编程 0x0：阈值为 0x1，可选择长度为 1 抽头及以上的窗口作为采样窗口。 0x1：阈值为 0x2，可选择长度为 2 个抽头及以上的窗口作为采样窗口。 0x2：阈值为 0x1，可选择长度为 3 个抽头及以上的窗口作为采样窗口。 ..... 0x1F：阈值为 0x1，可选择长度为 32 次的窗口作为采样窗口。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
20-19	POST_CHANGE_DLY	相位切换和稳定时钟输出所需的时间。 指定 tuning 或自动 tuning 后延迟线切换其输出相位所需的最长时间（以 cclk 周期为单位）。 0x0（LATENCY_LT_1）：小于 1 个周期的延迟 0x1（LATENCY_LT_2）：小于 2 个周期的延迟 0x2（LATENCY_LT_3）：小于 3 个周期的延迟 0x3（LATENCY_LT_4）：小于 4 个周期的延迟
18-17	PRE_CHANGE_DLY	cclk_tx 和 cclk_rx 之间的最大延迟规格。 0x0（LATENCY_LT_1）：小于 1 个周期的延迟 0x1（LATENCY_LT_2）：小于 2 个周期的延迟 0x2（LATENCY_LT_3）：小于 3 个周期的延迟 0x3（LATENCY_LT_4）：小于 4 个周期的延迟
16	TUNE_CLK_STOP_EN	用于 tuning 和自动 tuning 电路的时钟停止控制。 启用时，SDXC（clk2card_on）的时钟门控制输出被拉低，然后更改 tuning_cclk_sel 和 autotuning_cclk_sel 上的相位选择代码。这将有效地停止设备/卡时钟、cclk_rx 和漂移 cclk_rx。时钟停止时更改相位代码可确保无故障相位切换。 如果 PHY 或 delayline 可以保证无故障切换，则将该位设置为 0。 0x1（ENABLE_CLK_STOPPING）：时钟在相位代码更改期间停止 0x0（DISABLE_CLK_STOPPING）：时钟不停止，PHY 确保无故障相位切换
11-8	WIN_EDGE_SEL	该字段设置漂移监测的左边缘和右边缘的相位。[左边缘偏移 + 右边缘偏移] 不得小于 delayLine 的总抽头数。 0x0: 已禁用用户选择。使用 tuning 计算的结果 0x1：右边缘阶段为中心 +2 阶段，左边缘阶段为中心-2 阶段。 0x2：右边缘相位为中心 +3 级，左边缘相位为中心-3 级 ... 0xF：右边缘相位为中心 +16 级，左边缘相位为中心-16 级。
4	SW_TUNE_EN	此字段启用软件管理的 tuning 流程。 0x1（软件 tuning 启用）：软件管理 tuning 启用。 AT_STAT_R.CENTER_PH_CODE 字段现在可写。 0x0（软件 tuning 禁用）：软件管理 tuning 禁用
3	RPT_TUNE_ERR	执行 tuning 时不会生成帧错误。 此调试位允许用户报告这些错误。 0x1（DEBUG_ERRORS）：用于报告帧错误的调试模式 0x0（ERRORS_DISABLED）：默认模式，根据 SDXC，不会报告错误。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
2	SWIN_TH_EN	采样窗口阈值启用 选择 tuning 模式 仅当 SAMPLE_CLK_SEL 为“0”时，才应对字段进行编程 0x1（THRESHOLD_MODE）：tuning 引擎选择满足阈值的第一个完整采样窗口 由 SWIN_TH_VAL 字段设置 0x0（LARGEST_WIN_MODE）：tuning 引擎扫描所有窗口，并在最大窗口停留
1	CI_SEL	选择在什么时间输出 tuning_cclk_sel 输出上驱动校正中心相位选择代码的时间间隔。 0x0（WHEN_IN_BLK_GAP）：在块间隙间隔中驱动 0x1（WHEN_IN_IDLE）：在传输结束时驱动
0	AT_EN	设置此位可启用自动 tuning 引擎。 仅当 CLK_CTRL_R.SD_CLK_EN 为 0 时，才能改变此字段。 0x1（AT_ENABLE）：自动 tuning 已启用 0x0（AT_DISABLE）：自动 tuning 被禁用

AUTO_TUNING_CTRL 位域

29.5.53 AUTO_TUNING_STAT (0x544)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								L_EDGE_PH_CODE								R_EDGE_PH_CODE								CENTER_PH_CODE							
N/A								RO								RO								RW							
x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

AUTO_TUNING_STAT [31:0]

位域	名称	描述
23-16	L_EDGE_PH_CODE	左边缘相位码。读取此字段将返回自动 tuning 引擎用于在采样窗口左边缘采样数据的相位代码值。
15-8	R_EDGE_PH_CODE	右边缘相位码。读取此字段将返回自动 tuning 引擎用于在采样窗口右边缘采样数据的相位代码值。
7-0	CENTER_PH_CODE	居中相位码。读取此字段将返回 tuning_cclk_sel 输出的当前值。设置 AT_CTRL_R.SW_TUNE_EN 允许软件写入此字段，其内容反映在 tuning_cclk_sel 上

AUTO_TUNING_STAT 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

30 DMA 和信箱概述

本章节介绍了 DMA 控制器，DMAMUX 和核间通讯信箱 MBX。

30.1 DMA 控制器

本产品包括 2 个 DMA 控制器。

- XDMA，作为主设备连接到 AXI 系统总线。它可以实现高效的内存之间，内存与外部存储器之间的数据搬移。也可以用于外设寄存器与存储器，或者外设寄存器之间的数据搬移。
- HDMA，作为主设备连接到 AHB 外设总线。它可以实现实时的外设寄存器与内存，内存之间的数据搬移。

注意，当 XDMA 的 destination 为 DRAM 时，如果 burst 大于等于 16，那 destsize 必须为 64bit。

XDMA 和 HDMA 的编程模型相同。XDMA 和 HDMA 分别有 8 个 DMA 请求输入信号，这些 16 个 DMA 的请求源来自 DMA 请求路由器（DMAMUX）。

30.2 DMA 请求路由器

DMA 请求路由器 (DMAMUX)。将来自各个外设模块的 DMA 请求分配到 16 输出信号，作为 XDMA 和 HDMA 的 DMA 传输请求源。

DMAMUX 的输出 0~7 连接到外设总线 DMA 控制器 HDMA，DMAMUX 的输出 8~15 连接到系统总线 DMA 控制器 XDMA。

用户可以通过配置 DMAMUX 寄存器，把来自特定外设的 DMA 请求，连接到 XDMA 或者 HDMA 的各个通道。

DMAMUX 的输入具体分配如下：

DMA MUX 编号	DMA MUX SOURCE 名称	描述
0	SPI0_RX	SPI0 接收
1	SPI0_TX	SPI0 发送
2	SPI1_RX	SPI1 接收
3	SPI1_TX	SPI1 发送
4	SPI2_RX	SPI2 接收
5	SPI2_TX	SPI2 发送
6	SPI3_RX	SPI3 接收
7	SPI3_TX	SPI3 发送
8	UART0_RX	UART0 接收
9	UART0_TX	UART0 发送
10	UART1_RX	UART1 接收
11	UART1_TX	UART1 发送
12	UART2_RX	UART2 接收
13	UART2_TX	UART2 发送
14	UART3_RX	UART3 接收
15	UART3_TX	UART3 发送
16	UART4_RX	UART4 接收
17	UART4_TX	UART4 发送

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

DMA MUX 编号	DMA MUX SOURCE 名称	描述
18	UART5_RX	UART5 接收
19	UART5_TX	UART5 发送
20	UART6_RX	UART6 接收
21	UART6_TX	UART6 发送
22	UART7_RX	UART7 接收
23	UART7_TX	UART7 发送
24	UART8_RX	UART8 接收
25	UART8_TX	UART8 发送
26	UART9_RX	UART9 接收
27	UART9_TX	UART9 发送
28	UART10_RX	UART10 接收
29	UART10_TX	UART10 发送
30	UART11_RX	UART11 接收
31	UART11_TX	UART11 发送
32	UART12_RX	UART12 接收
33	UART12_TX	UART12 发送
34	UART13_RX	UART13 接收
35	UART13_TX	UART13 发送
36	UART14_RX	UART14 接收
37	UART14_TX	UART14 发送
38	UART15_RX	UART15 接收
39	UART15_TX	UART15 发送
40	I2S0_RX	I2S0 接收
41	I2S0_TX	I2S0 发送
42	I2S1_RX	I2S1 接收
43	I2S1_TX	I2S1 发送
44	I2S2_RX	I2S2 接收
45	I2S2_TX	I2S2 发送
46	I2S3_RX	I2S3 接收
47	I2S3_TX	I2S3 发送
48	MOT0_0	TRGM0 DMA 请求 0 (包含 PWMT0, QEI0, HALL0 的 DMA 请求)
49	MOT0_1	TRGM0 DMA 请求 1 (包含 PWMT0, QEI0, HALL0 的 DMA 请求)
50	MOT0_2	TRGM0 DMA 请求 2 (包含 PWMT0, QEI0, HALL0 的 DMA 请求)
51	MOT0_3	TRGM0 DMA 请求 3 (包含 PWMT0, QEI0, HALL0 的 DMA 请求)
52	MOT1_0	TRGM1 DMA 请求 0 (包含 PWMT1, QEI1, HALL1 的 DMA 请求)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

DMA MUX 编号	DMA MUX SOURCE 名称	描述
53	MOT1_1	TRGM1 DMA 请求 1 (包含 PWMT1, QEI1, HALL1 的 DMA 请求)
54	MOT1_2	TRGM1 DMA 请求 2 (包含 PWMT1, QEI1, HALL1 的 DMA 请求)
55	MOT1_3	TRGM1 DMA 请求 3 (包含 PWMT1, QEI1, HALL1 的 DMA 请求)
56	MOT2_0	TRGM2 DMA 请求 0 (包含 PWMT2, QEI2, HALL2 的 DMA 请求)
57	MOT2_1	TRGM2 DMA 请求 1 (包含 PWMT2, QEI2, HALL2 的 DMA 请求)
58	MOT2_2	TRGM2 DMA 请求 2 (包含 PWMT2, QEI2, HALL2 的 DMA 请求)
59	MOT2_3	TRGM2 DMA 请求 3 (包含 PWMT2, QEI2, HALL2 的 DMA 请求)
60	MOT3_0	TRGM3 DMA 请求 0 (包含 PWMT3, QEI3, HALL3 的 DMA 请求)
61	MOT3_1	TRGM3 DMA 请求 1 (包含 PWMT3, QEI3, HALL3 的 DMA 请求)
62	MOT3_2	TRGM3 DMA 请求 2 (包含 PWMT3, QEI3, HALL3 的 DMA 请求)
63	MOT3_3	TRGM3 DMA 请求 3 (包含 PWMT3, QEI3, HALL3 的 DMA 请求)
64	NTMR0_0	NTMR0 通道 0
65	NTMR0_1	NTMR0 通道 1
66	NTMR0_2	NTMR0 通道 2
67	NTMR0_3	NTMR0 通道 3
68	NTMR1_0	NTMR1 通道 0
69	NTMR1_1	NTMR1 通道 1
70	NTMR1_2	NTMR1 通道 2
71	NTMR1_3	NTMR1 通道 3
72	GPTMR0_0	GPTMR0 通道 0
73	GPTMR0_1	GPTMR0 通道 1
74	GPTMR0_2	GPTMR0 通道 2
75	GPTMR0_3	GPTMR0 通道 3
76	GPTMR1_0	GPTMR1 通道 0
77	GPTMR1_1	GPTMR1 通道 1
78	GPTMR1_2	GPTMR1 通道 2
79	GPTMR1_3	GPTMR1 通道 3
80	GPTMR2_0	GPTMR2 通道 0
81	GPTMR2_1	GPTMR2 通道 1
82	GPTMR2_2	GPTMR2 通道 2

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

DMA MUX 编号	DMA MUX SOURCE 名称	描述
83	GPTMR2_3	GPTMR2 通道 3
84	GPTMR3_0	GPTMR3 通道 0
85	GPTMR3_1	GPTMR3 通道 1
86	GPTMR3_2	GPTMR3 通道 2
87	GPTMR3_3	GPTMR3 通道 3
88	GPTMR4_0	GPTMR4 通道 0
89	GPTMR4_1	GPTMR4 通道 1
90	GPTMR4_2	GPTMR4 通道 2
91	GPTMR4_3	GPTMR4 通道 3
92	GPTMR5_0	GPTMR5 通道 0
93	GPTMR5_1	GPTMR5 通道 1
94	GPTMR5_2	GPTMR5 通道 2
95	GPTMR5_3	GPTMR5 通道 3
96	GPTMR6_0	GPTMR6 通道 0
97	GPTMR6_1	GPTMR6 通道 1
98	GPTMR6_2	GPTMR6 通道 2
99	GPTMR6_3	GPTMR6 通道 3
100	GPTMR7_0	GPTMR7 通道 0
101	GPTMR7_1	GPTMR7 通道 1
102	GPTMR7_2	GPTMR7 通道 2
103	GPTMR7_3	GPTMR7 通道 3
104	I2C0	I2C0
105	I2C1	I2C1
106	I2C2	I2C2
107	I2C3	I2C3
108	XPI0_RX	XPI0 接收
109	XPI0_TX	XPI0 发送
110	XPI1_RX	XPI1 接收
111	XPI1_TX	XPI1 发送
112	ACMP_0	ACMP0
113	ACMP_1	ACMP1
114	ACMP_2	ACMP2
115	ACMP_3	ACMP3

表 196: DMA MUX 列表

30.3 通讯信箱 MBX

本产品支持 2 个通讯信箱 MBX，用于进程间通信。处理器可以利用 MBX 互相发送数据，MBX 支持生成中断。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31 DMA 控制器

本章节介绍 DMA 控制器的功能和特性。

31.1 特性总结

DMA 控制器的主要特性有：

- 支持 8 个可配置的通道
- 通道支持 2 级优先级配置
- 相同优先级通道使用 Round-Robin 仲裁
- 支持链式连接多个 DMA 任务

31.2 功能描述

DMA 控制器支持 8 个通道，每个通道都可独立配置数据传输的参数。用户可以同时使用多个 DMA 通道，DMA 控制器会交替执行不同通道的数据传输任务。DMA 控制器可能分多次完成单个通道的数据传输，再这个通道全部任务完成后，将状态寄存器内的相应标志位置位。

某个 DMA 通道的数据传输可能因为数据传输错误而中断，也可以由软件中止。此种情况下，DMA 控制器会停止传输数据，并将状态寄存器内的相应标志位置位。

31.2.1 DMA 硬件握手

DMA 控制器支持 8 对请求-响应的握手信号，请求信号来自功能模块并经由 DMAMUX 路由至 DMA 控制器，DMA 控制器根据配置使用某个通道执行将该请求，完成长度为 SrcBurstSize 的数据传输后发送响应信号给 DMAMUX，完成硬件握手。

31.2.2 DMA 链式传输

DMA 支持链式传输，可以在处理器不介入的情况下，连续完成多个不同配置的传输任务。

要想使用 DMA 的链式传输功能，用户需要预先在内存中构建一系列相互链接的 DMA 任务描述符列表。列表的第一个元素就是 DMA 通道的控制寄存器，其余的任务描述符存放在内存中。DMA 任务描述符中的 ChnLLPointer 控制字就是 DMA 通道 n 下一个任务描述符的指针。如果 ChnLLPointer 值非零，DMA 控制器会在完成当前任务描述符的相应任务后，从 ChnLLPointer 指向地址取下一个任务描述符。如果 ChnLLPointer 的值为 0，表示此任务描述符为列表中最后一个，链条中止。

表 197列举了任务描述符的格式，描述符的存储地址需要 8 字节对齐，并且描述符本身不要跨越 4K 的边界。

31.2.3 数据顺序

DMA 控制器支持 3 种地址模式：递增模式，递减模式和不变模式。

- 递增模式是指，在 DMA 每次访问源或者目标地址后，DMA 下次访问此次源或者目标之后的地址
- 递减模式是指，在 DMA 每次访问源或者目标地址后，DMA 下次访问此次源或者目标之前的地址
- 不变模式是指，在 DMA 每次访问源或者目标地址后，DMA 下次访问的源或者目标地址固定不变

在源和目标地址的模式配置相同时，DMA 会保持源与目标区数据的字节顺序不变。但是如果源与目标的地址配置相反，那么源与目标地址间数据的字节顺序也会相反。其中不变模式字节顺序于递增模式相同。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

名称	地址偏移	描述
Ctrl	0x00	通道控制，格式同 CTRL 寄存器
TranSize	0x04	总传输长度，格式同 TRANSIZE 寄存器
SrcAddrL	0x08	源地址 L，格式同 SRCADDRL 寄存器
SrcAddrH	0x0C	源地址 H，格式同 SRCADDRH 寄存器
DstAddrL	0x10	目标地址 L，格式同 DSTADDRL 寄存器
DstAddrH	0x14	目标地址 H，格式同 DSTADDRH 寄存器
LLPointerL	0x18	链表指针 L，格式同 LLPOINTERL 寄存器
LLPointerH	0x1C	链表指针 H，格式同 LLPOINTERH 寄存器

表 197: DMA 链式任务描述符

31.3 DMA 寄存器

DMA 的寄存器列表如下：

HDMA base address: 0xF00C4000 XDMA base address: 0xF3048000

地址偏移	名称	描述	复位值
0x0010	DMACFG	配置查询寄存器	0x00000000
0x0020	DMACTRL	软件复位寄存器	0x00000000
0x0024	CHABORT	通道中止寄存器	0x00000000
0x0030	INTSTATUS	中断状态寄存器	0x00000000
0x0034	CHEN	通道使能状态寄存器	0x00000000
0x0040	CHCTRL[CH0][CTRL]	通道 0 控制寄存器	0x00000000
0x0044	CHCTRL[CH0][TRANSIZE]	通道 0 传输数据量	0x00000000
0x0048	CHCTRL[CH0][SRCADDR]	通道 0 源数据低位地址	0x00000001
0x004C	CHCTRL[CH0][SRCADDRH]	通道 0 源数据高位地址	0x00000001
0x0050	CHCTRL[CH0][DSTADDR]	通道 0 目标数据低位地址	0x00000001
0x0054	CHCTRL[CH0][DSTADDRH]	通道 0 目标数据高位地址	0x00000001
0x0058	CHCTRL[CH0][LLPOINTER]	通道 0 链式传输指针低位地址	0x00000000
0x005C	CHCTRL[CH0][LLPOINTERH]	通道 0 链式传输指针高位地址	0x00000000
0x0060	CHCTRL[CH1][CTRL]	通道 1 控制寄存器	0x00000000
0x0064	CHCTRL[CH1][TRANSIZE]	通道 1 传输数据量	0x00000000
0x0068	CHCTRL[CH1][SRCADDR]	通道 1 源数据低位地址	0x00000001
0x006C	CHCTRL[CH1][SRCADDRH]	通道 1 源数据高位地址	0x00000001
0x0070	CHCTRL[CH1][DSTADDR]	通道 1 目标数据低位地址	0x00000001
0x0074	CHCTRL[CH1][DSTADDRH]	通道 1 目标数据高位地址	0x00000001
0x0078	CHCTRL[CH1][LLPOINTER]	通道 1 链式传输指针低位地址	0x00000000
0x007C	CHCTRL[CH1][LLPOINTERH]	通道 1 链式传输指针高位地址	0x00000000
0x0080	CHCTRL[CH2][CTRL]	通道 2 控制寄存器	0x00000000
0x0084	CHCTRL[CH2][TRANSIZE]	通道 2 传输数据量	0x00000000
0x0088	CHCTRL[CH2][SRCADDR]	通道 2 源数据低位地址	0x00000001

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x008C	CHCTRL[CH2][SRCADDRH]	通道 2 源数据高位地址	0x00000001
0x0090	CHCTRL[CH2][DSTADDR]	通道 2 目标数据低位地址	0x00000001
0x0094	CHCTRL[CH2][DSTADDRH]	通道 2 目标数据高位地址	0x00000001
0x0098	CHCTRL[CH2][LLPOINTER]	通道 2 链式传输指针低位地址	0x00000000
0x009C	CHCTRL[CH2][LLPOINTERH]	通道 2 链式传输指针高位地址	0x00000000
0x00A0	CHCTRL[CH3][CTRL]	通道 3 控制寄存器	0x00000000
0x00A4	CHCTRL[CH3][TRANSIZE]	通道 3 传输数据量	0x00000000
0x00A8	CHCTRL[CH3][SRCADDR]	通道 3 源数据低位地址	0x00000001
0x00AC	CHCTRL[CH3][SRCADDRH]	通道 3 源数据高位地址	0x00000001
0x00B0	CHCTRL[CH3][DSTADDR]	通道 3 目标数据低位地址	0x00000001
0x00B4	CHCTRL[CH3][DSTADDRH]	通道 3 目标数据高位地址	0x00000001
0x00B8	CHCTRL[CH3][LLPOINTER]	通道 3 链式传输指针低位地址	0x00000000
0x00BC	CHCTRL[CH3][LLPOINTERH]	通道 3 链式传输指针高位地址	0x00000000
0x00C0	CHCTRL[CH4][CTRL]	通道 4 控制寄存器	0x00000000
0x00C4	CHCTRL[CH4][TRANSIZE]	通道 4 传输数据量	0x00000000
0x00C8	CHCTRL[CH4][SRCADDR]	通道 4 源数据低位地址	0x00000001
0x00CC	CHCTRL[CH4][SRCADDRH]	通道 4 源数据高位地址	0x00000001
0x00D0	CHCTRL[CH4][DSTADDR]	通道 4 目标数据低位地址	0x00000001
0x00D4	CHCTRL[CH4][DSTADDRH]	通道 4 目标数据高位地址	0x00000001
0x00D8	CHCTRL[CH4][LLPOINTER]	通道 4 链式传输指针低位地址	0x00000000
0x00DC	CHCTRL[CH4][LLPOINTERH]	通道 4 链式传输指针高位地址	0x00000000
0x00E0	CHCTRL[CH5][CTRL]	通道 5 控制寄存器	0x00000000
0x00E4	CHCTRL[CH5][TRANSIZE]	通道 5 传输数据量	0x00000000
0x00E8	CHCTRL[CH5][SRCADDR]	通道 5 源数据低位地址	0x00000001
0x00EC	CHCTRL[CH5][SRCADDRH]	通道 5 源数据高位地址	0x00000001
0x00F0	CHCTRL[CH5][DSTADDR]	通道 5 目标数据低位地址	0x00000001
0x00F4	CHCTRL[CH5][DSTADDRH]	通道 5 目标数据高位地址	0x00000001
0x00F8	CHCTRL[CH5][LLPOINTER]	通道 5 链式传输指针低位地址	0x00000000
0x00FC	CHCTRL[CH5][LLPOINTERH]	通道 5 链式传输指针高位地址	0x00000000
0x0100	CHCTRL[CH6][CTRL]	通道 6 控制寄存器	0x00000000
0x0104	CHCTRL[CH6][TRANSIZE]	通道 6 传输数据量	0x00000000
0x0108	CHCTRL[CH6][SRCADDR]	通道 6 源数据低位地址	0x00000001
0x010C	CHCTRL[CH6][SRCADDRH]	通道 6 源数据高位地址	0x00000001
0x0110	CHCTRL[CH6][DSTADDR]	通道 6 目标数据低位地址	0x00000001
0x0114	CHCTRL[CH6][DSTADDRH]	通道 6 目标数据高位地址	0x00000001
0x0118	CHCTRL[CH6][LLPOINTER]	通道 6 链式传输指针低位地址	0x00000000
0x011C	CHCTRL[CH6][LLPOINTERH]	通道 6 链式传输指针高位地址	0x00000000
0x0120	CHCTRL[CH7][CTRL]	通道 7 控制寄存器	0x00000000
0x0124	CHCTRL[CH7][TRANSIZE]	通道 7 传输数据量	0x00000000
0x0128	CHCTRL[CH7][SRCADDR]	通道 7 源数据低位地址	0x00000001

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x012C	CHCTRL[CH7][SRCADDRH]	通道 7 源数据高位地址	0x00000001
0x0130	CHCTRL[CH7][DSTADDR]	通道 7 目标数据低位地址	0x00000001
0x0134	CHCTRL[CH7][DSTADDRH]	通道 7 目标数据高位地址	0x00000001
0x0138	CHCTRL[CH7][LLPOINTER]	通道 7 链式传输指针低位地址	0x00000000
0x013C	CHCTRL[CH7][LLPOINTERH]	通道 7 链式传输指针高位地址	0x00000000

表 198: DMA 寄存器列表

31.4 DMA 寄存器详细信息

DMA 的寄存器详细说明如下：

31.4.1 DMACFG (0x10)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHAINXFR	REQSYNC	RSVD				DATAWIDTH		ADDRWIDTH							CORENUM	BUSNUM	REQNUM					FIFODEPTH						CHANNELNUM			
RO	RO	N/A				RO		RO							RO	RO	RO					RO						RO			
0	0	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DMACFG [31:0]

位域	名称	描述
31	CHAINXFR	0：不支持链式传输 1：支持链式传输
30	REQSYNC	DMA 请求是否被同步
25-24	DATAWIDTH	AXI 总线位宽
23-17	ADDRWIDTH	AXI 地址位宽
16	CORENUM	DMA 核心数量
15	BUSNUM	AXI 总线数量
14-10	REQNUM	请求/响应支持数量
9-4	FIFODEPTH	FIFO 深度
3-0	CHANNELNUM	通道数量

DMACFG 位域

31.4.2 DMACTRL (0x20)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																															RESET
N/A																															WO

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0

DMACTRL [31:0]

位域	名称	描述
0	RESET	软件复位，将该位置 1 则复位 DMA 控制器并禁止所有通道

DMACTRL 位域

31.4.3 CHABORT (0x24)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHABORT																															
WO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CHABORT [31:0]

位域	名称	描述
31-0	CHABORT	每个通道对应一位，写 1 表示将该通道的传输中止，仅对已使能的通道有效。

CHABORT 位域

31.4.4 INTSTATUS (0x30)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								TC								ABORT								ERROR							
N/A								W1C								W1C								W1C							
x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

INTSTATUS [31:0]

位域	名称	描述
23-16	TC	通道传输结束标志，每一位对应一个通道。
15-8	ABORT	通道传输中止标志，每一位对应一个通道。
7-0	ERROR	通道传输错误标志，每一位对应一个通道。 错误事件包括： - 总线错误 - 非对齐地址 - 非对齐位宽

INTSTATUS 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31.4.5 CHEN (0x34)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CHEN																															
RO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CHEN [31:0]

位域	名称	描述
31-0	CHEN	通道使能状态查询

CHEN 位域

31.4.6 CHCTRL[CTRL] (0x40 + 0x20 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SRCBUSINFIDX	DSTBUSINFIDX	PRIORITY	RSVD	SRCBURSTSIZE				SRCWIDTH			DSTWIDTH			SRCMODE	DSTMODE	SRCADDRCTRL		DSTADDRCTRL		SRCREQSEL				DSTREQSEL				INTABTMASK	INTERRMASK	INTTCMASK	ENABLE
RW	RW	RW	N/A	RW				RW			RW			RW	RW	RW		RW		RW				RW				RW	RW	RW	RW
0	0	0	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CHCTRL[CTRL] [31:0]

位域	名称	描述
31	SRCBUSINFIDX	源数据总线接口选择，对于单总线配置的 DMA 控制器，该位必须是 0
30	DSTBUSINFIDX	目标数据总线接口选择，对于单总线配置的 DMA 控制器，该位必须是 0
29	PRIORITY	通道优先级： 0：低优先级 1：高优先级

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
27-24	SRCBURSTSIZE	源数据 burst 数量，burst 传输的字节数等于（SrcBurstSize * SrcWidth）。 0x0: 1 transfer 0x1: 2 transfers 0x2: 4 transfers 0x3: 8 transfers 0x4: 16 transfers 0x5: 32 transfers 0x6: 64 transfers 0x7: 128 transfers 0x8: 256 transfers 0x9:512 transfers 0xa: 1024 transfers 0xb - 0xf: 非法值 对于 XDMA，允许设置的最大值为 0xa，对于 HDMA，允许设置的最大值为 0x7
23-21	SRCWIDTH	源数据传输位宽： 0x0: 8 位 0x1: 16 位 0x2: 32 位 0x3: 64 位 0x4 - 0x7: 非法值 对于 XDMA，允许设置的最大值为 0x3，对于 HDMA，允许设置的最大值为 0x2
20-18	DSTWIDTH	目标数据传输位宽： 0x0: 8 位 0x1: 16 位 0x2: 32 位 0x3: 64 位 0x4 - 0x7: 非法值 对于 XDMA，允许设置的最大值为 0x3，对于 HDMA，允许设置的最大值为 0x2
17	SRCMODE	源数据 DMA 握手模式： 0：普通模式 1：握手模式
16	DSTMODE	目标数据 DMA 握手模式： 0：普通模式 1：握手模式

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
15-14	SRCADDRCTRL	源数据地址访问控制： 0x0：地址递增 0x1：地址递减 0x2：固定地址 0x3：非法设置
13-12	DSTADDRCTRL	目标数据地址访问控制： 0x0：地址递增 0x1：地址递减 0x2：固定地址 0x3：非法设置
11-8	SRCREQSEL	源数据 DMA 请求选择
7-4	DSTREQSEL	目标数据 DMA 请求选择
3	INTABTMASK	数据中止中断屏蔽： 0：允许数据中止时发出中断 1：禁止数据中止时发出中断
2	INTERRMASK	数据错误中断屏蔽： 0：允许数据错误时发出中断 1：禁止数据错误时发出中断
1	INTTCMASK	数据传输完成中断屏蔽： 0：允许数据传输完成时发出中断 1：禁止数据传输完成时发出中断
0	ENABLE	通道使能

CHCTRL[CTRL] 位域

31.4.7 CHCTRL[TRANSIZE] (0x44 + 0x20 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRANSIZE																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CHCTRL[TRANSIZE] [31:0]

位域	名称	描述
31-0	TRANSIZE	源数据的数据量，总传输数据量为（TranSize * SrcWidth）

CHCTRL[TRANSIZE] 位域

31.4.8 CHCTRL[SRCADDR] (0x48 + 0x20 * n)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SRCADDRL																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CHCTRL[SRCADDR] [31:0]

位域	名称	描述
31-0	SRCADDRL	源数据地址的低 32 位

CHCTRL[SRCADDR] 位域

31.4.9 CHCTRL[SRCADDRH] (0x4C + 0x20 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SRCADDRH																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CHCTRL[SRCADDRH] [31:0]

位域	名称	描述
31-0	SRCADDRH	源数据地址的高 32 位，该寄存器仅在总线地址位宽高于 32 位时有效

CHCTRL[SRCADDRH] 位域

31.4.10 CHCTRL[DSTADDR] (0x50 + 0x20 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSTADDRL																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CHCTRL[DSTADDR] [31:0]

位域	名称	描述
31-0	DSTADDRL	目标数据地址的低 32 位

CHCTRL[DSTADDR] 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31.4.11 CHCTRL[DSTADDRH] (0x54 + 0x20 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSTADDRH																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CHCTRL[DSTADDRH] [31:0]

位域	名称	描述
31-0	DSTADDRH	目标数据地址的高 32 位，该寄存器仅在总线地址位宽高于 32 位时有效

CHCTRL[DSTADDRH] 位域

31.4.12 CHCTRL[LLPOINTER] (0x58 + 0x20 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LLPOINTERL																													RSVD		LLDBUSINFIDX
RW																													N/A		RW
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	0

CHCTRL[LLPOINTER] [31:0]

位域	名称	描述
31-3	LLPOINTERL	链式传输的描述符低位地址，地址为 64 位对齐。
0	LLDBUSINFIDX	获取描述符使用的总线端口选择，对于单总线配置的 DMA 控制器，该位必须是 0

CHCTRL[LLPOINTER] 位域

31.4.13 CHCTRL[LLPOINTERH] (0x5C + 0x20 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LLPOINTERH																															

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CHCTRL[LLPOINTERH] [31:0]

位域	名称	描述
31-0	LLPOINTERH	链式传输的描述符高位地址，该寄存器仅在总线地址位宽高于 32 位时有效

CHCTRL[LLPOINTERH] 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

32 DMA 请求路由器 DMAMUX

本章节介绍 DMA 请求路由器 DMAMUX 的功能和特性。

本产品所有支持生成 DMA 请求的外设，及其在 DMA 请求路由器 DMAMUX 上的分配详情，请查阅节 30.2。

32.1 特性总结

本章节介绍 DMA 请求路由器 DMAMUX 的主要特性：

- 支持多达 128 个外设 DMA 请求
- 支持 16 个输出通道

32.2 功能描述

DMA 请求路由器的功能是实现外设 DMA 请求对 DMA 控制器各个通道的灵活动态映射，使得任意外设可以发送 DMA 请求给任意 DMA 控制器的任意通道。

通过 DMAMUX 的各个通道的配置寄存器 CHCFGx 配置 DMAMUX 的步骤如下：

- 通过MUXCFGx的SOURCE位选择外设的 DMA 请求
- MUXCFGx的ENABLE位置 1，打开 DMAMUX 的通道 x

32.3 DMAMUX 寄存器

DMAMUX 的寄存器列表如下：

DMAMUX base address: 0xF00C0000

地址偏移	名称	描述	复位值
0x0000	MUXCFG[HDMA_MUX0]	HDMA 端口 0 配置寄存器	0x00000000
0x0004	MUXCFG[HDMA_MUX1]	HDMA 端口 1 配置寄存器	0x00000000
0x0008	MUXCFG[HDMA_MUX2]	HDMA 端口 2 配置寄存器	0x00000000
0x000C	MUXCFG[HDMA_MUX3]	HDMA 端口 3 配置寄存器	0x00000000
0x0010	MUXCFG[HDMA_MUX4]	HDMA 端口 4 配置寄存器	0x00000000
0x0014	MUXCFG[HDMA_MUX5]	HDMA 端口 5 配置寄存器	0x00000000
0x0018	MUXCFG[HDMA_MUX6]	HDMA 端口 6 配置寄存器	0x00000000
0x001C	MUXCFG[HDMA_MUX7]	HDMA 端口 7 配置寄存器	0x00000000
0x0020	MUXCFG[XDMA_MUX0]	XDMA 端口 0 配置寄存器	0x00000000
0x0024	MUXCFG[XDMA_MUX1]	XDMA 端口 1 配置寄存器	0x00000000
0x0028	MUXCFG[XDMA_MUX2]	XDMA 端口 2 配置寄存器	0x00000000
0x002C	MUXCFG[XDMA_MUX3]	XDMA 端口 3 配置寄存器	0x00000000
0x0030	MUXCFG[XDMA_MUX4]	XDMA 端口 4 配置寄存器	0x00000000
0x0034	MUXCFG[XDMA_MUX5]	XDMA 端口 5 配置寄存器	0x00000000
0x0038	MUXCFG[XDMA_MUX6]	XDMA 端口 6 配置寄存器	0x00000000
0x003C	MUXCFG[XDMA_MUX7]	XDMA 端口 7 配置寄存器	0x00000000

表 199: DMAMUX 寄存器列表

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

32.4 DMAMUX 寄存器详细信息

DMAMUX 的寄存器详细说明如下：

32.4.1 MUXCFG (0x0 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ENABLE	RSVD																								SOURCE						
RW	N/A																								RW						
0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0

MUXCFG [31:0]

位域	名称	描述
31	ENABLE	使能 DMA 端口
6-0	SOURCE	将选定的 DMA 请求路由到 DMA 端口

MUXCFG 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

33 通信信箱 MBX

本章节介绍通信信箱 MBX 的功能和特性。

33.1 特性总结

通信信箱 MBX 支持进行处理器核间通信，以及处理器的进程间通信。主要特性如下：

- 支持 2 个寄存器访问接口
- 每个接口支持 TX FIFO 和 RX FIFO
- 支持标志位反映 TX FIFO 和 RX FIFO 状态
- 支持生成中断

33.2 功能描述

本章节描述通信信箱 MBX 的功能。

33.2.1 MBX 寄存器访问接口

通信信箱 MBX 有 2 套寄存器访问接口，接口 A 和接口 B。A 和 B 接口都具有一套 TX FIFO 寄存器、RX FIFO 寄存器、控制寄存器和状态寄存器。

用户从 A 接口的发送端 TX 发送的数据，可以在 B 接口的接收端 RX 接收到。同理，A 接口的接收端 RX 可以接收到 B 接口发送端 TX 发送的数据。

33.2.2 FIFO 管理

MBX 的发送端 TX FIFO 深度为 4 个字 (4×32 位)，TX FIFO 的写入接口为 TXREG 寄存器。MBX 支持提示 TX FIFO 的各类状态，即 TX FIFO 是否为空，TX FIFO 是否已满，以及 TX FIFO 中空的字数目。

MBX 的接收端 RX FIFO 深度为 4 个字 (4×32 位)。RX FIFO 的读取接口为 RXREG 寄存器。MBX 支持提示 RX FIFO 的各类状态，即 RX FIFO 是否为空，RX FIFO 是否已满，以及 RX FIFO 中有效的字数目。

33.2.3 中断

MBX 支持生成以下中断：

- TX FIFO 为空时，
- TX FIFO 为满时，
- RX FIFO 非空时，
- RX FIFO 已满时

33.3 MBX 寄存器

MBX 的寄存器列表如下：

MBX0A base address: 0xF00A0000 MBX0B base address: 0xF00A4000 MBX1A base address: 0xF00A8000 MBX1B base address: 0xF00AC000

地址偏移	名称	描述	复位值
0x0000	CR	控制寄存器	0x00000000
0x0004	SR	状态寄存器	0x000000E2

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0008	TXREG	消息字发送寄存器	0x00000000
0x000C	RXREG	消息字接收寄存器	0x00000000
0x0010	TXWRD[TXFIFO0]	消息队列发送 FIFO	0x00000000
0x0020	RXWRD[RXFIFO0]	消息队列接收 FIFO	0x00000000

表 200: MBX 寄存器列表

33.4 MBX 寄存器详细信息

MBX 的寄存器详细说明如下：

33.4.1 CR (0x0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXRESET	RSVD															BARCTL		RSVD					BEIE	TFMAIE	TFMEIE	RFMAIE	RFMFIE	RSVD		TWMEIE	RWMVIE
RW	N/A															RW		N/A					RW	RW	RW	RW	RW	N/A		RW	RW
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CR [31:0]

位域	名称	描述
31	TXRESET	复位发送消息字和发送消息队列。 写 1 复位。
15-14	BARCTL	总线访问响应控制： 0x0：不产生任何错误响应 0x1：以下情况会产生总线访问错误响应 - (1) 访问无效地址，(2) 向只读寄存器发出写操作，(3) 当发送消息队列 FIFO 已满或发送消息字未被读取时对其进行写操作，(4) 当接收消息队列 FIFO 为空或接收消息字无效时对其进行读操作。 0x2：保留值 0x3：保留值 本寄存器配置不影响以下结果：对已满的发送消息队列的写操作不会生效，对未被读取的发送消息字的写操作会覆盖之前的消息字，对空的接收消息队列或无效的接收消息字的读操作，会返回上次读取的数据或复位值。
8	BEIE	总线访问错误中断使能，其对应的错误状态包括 SR[13:8] 的各个位域。
7	TFMAIE	发送消息队列非空中断使能
6	TFMEIE	发送消息队列空中断使能
5	RFMAIE	接收消息队列非空中断使能
4	RFMFIE	接收消息队列满中断使能

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
1	TWMEIE	发送消息字已被读取中断使能
0	RWMVIE	接收消息字有效中断使能

CR 位域

33.4.2 SR (0x4)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								RFVC				TFEC				RSVD		ERRRE	EWTRF	ERRFE	EWTFF	EAIVA	EW2RO	TFMA	TFME	RFMA	RFMF	RSVD		TWME	RWMV
N/A								RO				RO				N/A		W1C	W1C	W1C	W1C	W1C	W1C	RW	RW	RO	RO	N/A		RO	RO
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	0	0	0	0	0	0	1	1	1	0	0	0	1	0

SR [31:0]

位域	名称	描述
23-20	RFVC	接收消息队列中的有效消息数量
19-16	TFEC	发送消息队列中的剩余空间数量
13	ERRRE	访问错误状态标志：在接收消息字无效时对其进行读取
12	EWTRF	访问错误状态标志：在发送消息字未被读取时对其进行写入
11	ERRFE	访问错误状态标志：在接收消息队列为空时对其进行读取
10	EWTFF	访问错误状态标志：在发送消息队列满时对其进行写入
9	EAIVA	访问错误状态标志：访问了不存在的寄存器地址
8	EW2RO	访问错误状态标志：对接收消息字和接收消息队列进行了写操作
7	TFMA	状态标志：发送消息队列未满
6	TFME	状态标志：发送消息队列空
5	RFMA	状态标志：接收消息队列非空 在相关寄存器使能时能够触发中断
4	RFMF	状态标志：发送消息队列非空 在相关寄存器使能时能够触发中断
1	TWME	状态标志：发送消息字为空（已被读取） 在相关寄存器使能时能够触发中断
0	RWMV	状态标志：接收消息字有效 在相关寄存器使能时能够触发中断

SR 位域

33.4.3 TXREG (0x8)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXREG																															

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TXREG [31:0]

位域	名称	描述
31-0	TXREG	发送消息字

TXREG 位域

33.4.4 RXREG (0xC)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RXREG																															
RO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RXREG [31:0]

位域	名称	描述
31-0	RXREG	接收消息字

RXREG 位域

33.4.5 TXWRD (0x10 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TXFIFO																															
WO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TXWRD [31:0]

位域	名称	描述
31-0	TXFIFO	发送消息队列 FIFO 写入寄存器，FIFO 深度为 4，FIFO 位宽为 32bit，向该寄存器的写操作会向 FIFO 中 push 一个 word。

TXWRD 位域

33.4.6 RXWRD (0x20 + 0x4 * n)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RXFIFO																															
RO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RXWRD [31:0]

位域	名称	描述
31-0	RXFIFO	接收消息队列 FIFO 读出寄存器，FIFO 深度为 4，FIFO 位宽为 32bit，向该寄存器的读操作会从 FIFO 中 pop 一个 word。

RXWRD 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

34 摄像和显示外设概述

本章节介绍本产品的摄像和显示系统。别名:VIS 子系统。该系统包括 1 个显示接口 LCDC，2 个摄像接口 CAM，1 个 2D 图形加速模块 PDMA 和一个 JPEG 编解码器。

VIS 子系统是核心数字域下的一个子电源域。因此用户可以在不使用摄像及显示功能的时候，单独关闭整个 VIS 子系统的电源，以降低功耗。

这些摄像和显示系统外设连接到 VIS 系统内部的总线矩阵 VBUS，再连接到系统总线矩阵，从而可以访问系统总线矩阵下的各种从设备，如各个存储器等。

34.1 显示接口 LCDC

显示接口 LCDC 支持连接外部不同种类，不同分辨率的 LCD 或者 TFT 显示屏。LCDC 支持 24 位并行数据线，支持时钟信号 PCLK，支持 HSYNC 和 VSYNC 同步信号。LCDC 可以作为总线主设备读取片上和片外的存储器的图像数据，并发送到外部显示屏上。LCDC 的特性如下：

- 支持多达 24 位 RGB 显示接口
- 内置 DMA，作为总线主设备读取显存数据
- 支持可配置的分辨率显示屏，刷新率可达 1366x768 60 fps
- 支持多种数据格式输入 ARGB8888，RGB565，YUV422/YCbCr422，Y8，1bpp，2bpp，4bpp 和 8bpp
- 支持多达 8 图层 Alpha Blending，其中 2 个主图层支持逐行 YUV422/YCbCr422
- 支持最大 pixclk 为 85MHz

34.2 摄像接口 CAM

本产品支持 2 个摄像接口 CAM。CAM 支持连接外部的 CMOS 传感器，支持 8 位并行数据信号，支持时钟信号 PCLK，支持 HSYNC 和 VSYNC 同步信号。CAM 可以作为总线主设备自主向片上和片外的存储器写入图像数据。CAM 的特性如下：

- 支持 DVP 接口
- 支持 RAW RGB （RGB888）, YUV888, RGB565，YUV422/YCbCr422 等输入格式
- 内置 DMA，作为总线主设备发送图像数据
- 支持双缓冲区
- 支持 32bit WORD 内的 8 bit Byte，16 bit Half-Word 交换和次序重组
- 支持提取 YUV422/YCbCr422 的灰度信息和亮度直方图
- 支持 YUV422/YCbCr422 数据依亮度转换为 1bpp 黑白格式
- 支持 RGB565，YUV422/YCbCr422 转换为 ARGB8888 格式
- 最大 75M 点时钟

34.3 2D 图形加速单元 PDMA

本产品支持 1 个 2D 图形加速单元 PDMA，PDMA 支持处理逐行图像数据，支持按像素处理多种尺寸，多种颜色格式的图形。PDMA 作为总线主设备支持读取 2 个源图形缓冲区，并写入 1 个目标图形缓冲区。PDMA 支持图形缩放，依 90 度角的倍数旋转，镜像；以及双图层的 Porter-Duff Alpha Blending 操作和图像数据格式转换，包括 RGB565，YUV422/YCbCr422，ARGB8888。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

34.4 JPEG 编解码器

本产品支持 1 个 JPEG 编解码器，支持 JPEG 编解码，可以将图像压缩为 JPEG 格式的数据流，以及将 JPEG 数据流解压还原成图像数据。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

35 显示接口 LCDC

35.1 概述

LCDC 模块主要用来产生驱动 LCDC 屏幕的信号。本模块的结构图如图 38。

图 38: LCDC 结构框图

35.2 LCDC 寄存器

参数	地址范围
寄存器地址空间	0x0000 - 0x1FFF
CLUT0 色彩查找表地址空间	0x2000 - 0x23FF
CLUT1 色彩查找表地址空间	0x2400 - 0x27FF
CLUT2 色彩查找表地址空间	0x2800 - 0x2BFF
CLUT3 色彩查找表地址空间	0x2C00 - 0x2FFF
CLUT4 色彩查找表地址空间	0x3000 - 0x33FF
CLUT5 色彩查找表地址空间	0x3400 - 0x37FF
CLUT6 色彩查找表地址空间	0x3800 - 0x3BFF
CLUT7 色彩查找表地址空间	0x3C00 - 0x3FFF
CLUT8 色彩查找表地址空间	0x4000 - 0x43FF

表 201: Memory Map

LCDC 相关寄存器占用地址如下：

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

LCDC base address: 0xF1000000

地址偏移	名称	描述	复位值
0x0000	CTRL	控制寄存器	0x00000000
0x0004	BGND_CL	背景色彩寄存器	0x00000000
0x0008	DISP_WN_SIZE	显示窗口尺寸寄存器	0x00000000
0x000C	HSYNC_PARA	行消隐配置寄存器	0x00000000
0x0010	VSYNC_PARA	场消隐配置寄存器	0x00000000
0x0014	DMA_ST	DMA 状态寄存器	0x00000000
0x0018	ST	状态寄存器	0x00000000
0x001C	INT_EN	中断使能寄存器	0x00000000
0x0020	TXFIFO	发送 FIFO 配置寄存器	0x00000000
0x0200	LAYER[0][LAYCTRL]	图层控制寄存器	0x00000000
0x0204	LAYER[0][ALPHAS]	图层混色 ALPHA 寄存器	0x00000000
0x0208	LAYER[0][LAYSIZE]	图层尺寸寄存器	0x00000000
0x020C	LAYER[0][LAYPOS]	图层位置寄存器	0x00000000
0x0210	LAYER[0][START0]	图层缓冲区地址寄存器	0x00000000
0x0218	LAYER[0][LINECFG]	图层总线配置寄存器	0x00000000
0x021C	LAYER[0][BG_CL]	图层背景色寄存器	0x00000000
0x0220	LAYER[0][CSC_COEF0]	图层色彩转换配置 0 号寄存器	0x00000000
0x0224	LAYER[0][CSC_COEF1]	图层色彩转换配置 1 号寄存器	0x00000000
0x0228	LAYER[0][CSC_COEF2]	图层色彩转换配置 2 号寄存器	0x00000000
0x0240	LAYER[1][LAYCTRL]	图层控制寄存器	0x00000000
0x0244	LAYER[1][ALPHAS]	图层混色 ALPHA 寄存器	0x00000000
0x0248	LAYER[1][LAYSIZE]	图层尺寸寄存器	0x00000000
0x024C	LAYER[1][LAYPOS]	图层位置寄存器	0x00000000
0x0250	LAYER[1][START0]	图层缓冲区地址寄存器	0x00000000
0x0258	LAYER[1][LINECFG]	图层总线配置寄存器	0x00000000
0x025C	LAYER[1][BG_CL]	图层背景色寄存器	0x00000000
0x0260	LAYER[1][CSC_COEF0]	图层色彩转换配置 0 号寄存器	0x00000000
0x0264	LAYER[1][CSC_COEF1]	图层色彩转换配置 1 号寄存器	0x00000000
0x0268	LAYER[1][CSC_COEF2]	图层色彩转换配置 2 号寄存器	0x00000000
0x0280	LAYER[2][LAYCTRL]	图层控制寄存器	0x00000000
0x0284	LAYER[2][ALPHAS]	图层混色 ALPHA 寄存器	0x00000000
0x0288	LAYER[2][LAYSIZE]	图层尺寸寄存器	0x00000000
0x028C	LAYER[2][LAYPOS]	图层位置寄存器	0x00000000
0x0290	LAYER[2][START0]	图层缓冲区地址寄存器	0x00000000
0x0298	LAYER[2][LINECFG]	图层总线配置寄存器	0x00000000
0x029C	LAYER[2][BG_CL]	图层背景色寄存器	0x00000000
0x02A0	LAYER[2][CSC_COEF0]	图层色彩转换配置 0 号寄存器	0x00000000
0x02A4	LAYER[2][CSC_COEF1]	图层色彩转换配置 1 号寄存器	0x00000000
0x02A8	LAYER[2][CSC_COEF2]	图层色彩转换配置 2 号寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x02C0	LAYER[3][LAYCTRL]	图层控制寄存器	0x00000000
0x02C4	LAYER[3][ALPHAS]	图层混色 ALPHA 寄存器	0x00000000
0x02C8	LAYER[3][LAYSIZE]	图层尺寸寄存器	0x00000000
0x02CC	LAYER[3][LAYPOS]	图层位置寄存器	0x00000000
0x02D0	LAYER[3][START0]	图层缓冲区地址寄存器	0x00000000
0x02D8	LAYER[3][LINECFG]	图层总线配置寄存器	0x00000000
0x02DC	LAYER[3][BG_CL]	图层背景色寄存器	0x00000000
0x02E0	LAYER[3][CSC_COEF0]	图层色彩转换配置 0 号寄存器	0x00000000
0x02E4	LAYER[3][CSC_COEF1]	图层色彩转换配置 1 号寄存器	0x00000000
0x02E8	LAYER[3][CSC_COEF2]	图层色彩转换配置 2 号寄存器	0x00000000
0x0300	LAYER[4][LAYCTRL]	图层控制寄存器	0x00000000
0x0304	LAYER[4][ALPHAS]	图层混色 ALPHA 寄存器	0x00000000
0x0308	LAYER[4][LAYSIZE]	图层尺寸寄存器	0x00000000
0x030C	LAYER[4][LAYPOS]	图层位置寄存器	0x00000000
0x0310	LAYER[4][START0]	图层缓冲区地址寄存器	0x00000000
0x0318	LAYER[4][LINECFG]	图层总线配置寄存器	0x00000000
0x031C	LAYER[4][BG_CL]	图层背景色寄存器	0x00000000
0x0320	LAYER[4][CSC_COEF0]	图层色彩转换配置 0 号寄存器	0x00000000
0x0324	LAYER[4][CSC_COEF1]	图层色彩转换配置 1 号寄存器	0x00000000
0x0328	LAYER[4][CSC_COEF2]	图层色彩转换配置 2 号寄存器	0x00000000
0x0340	LAYER[5][LAYCTRL]	图层控制寄存器	0x00000000
0x0344	LAYER[5][ALPHAS]	图层混色 ALPHA 寄存器	0x00000000
0x0348	LAYER[5][LAYSIZE]	图层尺寸寄存器	0x00000000
0x034C	LAYER[5][LAYPOS]	图层位置寄存器	0x00000000
0x0350	LAYER[5][START0]	图层缓冲区地址寄存器	0x00000000
0x0358	LAYER[5][LINECFG]	图层总线配置寄存器	0x00000000
0x035C	LAYER[5][BG_CL]	图层背景色寄存器	0x00000000
0x0360	LAYER[5][CSC_COEF0]	图层色彩转换配置 0 号寄存器	0x00000000
0x0364	LAYER[5][CSC_COEF1]	图层色彩转换配置 1 号寄存器	0x00000000
0x0368	LAYER[5][CSC_COEF2]	图层色彩转换配置 2 号寄存器	0x00000000
0x0380	LAYER[6][LAYCTRL]	图层控制寄存器	0x00000000
0x0384	LAYER[6][ALPHAS]	图层混色 ALPHA 寄存器	0x00000000
0x0388	LAYER[6][LAYSIZE]	图层尺寸寄存器	0x00000000
0x038C	LAYER[6][LAYPOS]	图层位置寄存器	0x00000000
0x0390	LAYER[6][START0]	图层缓冲区地址寄存器	0x00000000
0x0398	LAYER[6][LINECFG]	图层总线配置寄存器	0x00000000
0x039C	LAYER[6][BG_CL]	图层背景色寄存器	0x00000000
0x03A0	LAYER[6][CSC_COEF0]	图层色彩转换配置 0 号寄存器	0x00000000
0x03A4	LAYER[6][CSC_COEF1]	图层色彩转换配置 1 号寄存器	0x00000000
0x03A8	LAYER[6][CSC_COEF2]	图层色彩转换配置 2 号寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x03C0	LAYER[7][LAYCTRL]	图层控制寄存器	0x00000000
0x03C4	LAYER[7][ALPHAS]	图层混色 ALPHA 寄存器	0x00000000
0x03C8	LAYER[7][LAYSIZE]	图层尺寸寄存器	0x00000000
0x03CC	LAYER[7][LAYPOS]	图层位置寄存器	0x00000000
0x03D0	LAYER[7][START0]	图层缓冲区地址寄存器	0x00000000
0x03D8	LAYER[7][LINECFG]	图层总线配置寄存器	0x00000000
0x03DC	LAYER[7][BG_CL]	图层背景色寄存器	0x00000000
0x03E0	LAYER[7][CSC_COEF0]	图层色彩转换配置 0 号寄存器	0x00000000
0x03E4	LAYER[7][CSC_COEF1]	图层色彩转换配置 1 号寄存器	0x00000000
0x03E8	LAYER[7][CSC_COEF2]	图层色彩转换配置 2 号寄存器	0x00000000
0x0400	CLUT_LOAD	色彩查找表导入控制寄存器	0x00000000

表 202: LCDC 寄存器列表

35.3 LCDC 寄存器描述

LCDC 相关寄存器具体描述如下：

35.3.1 CTRL (0x0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SW_RST	DISP_ON	LINE_PATTERN			DISP_MODE		BGDCL4CLR	ARQOS				RSVD															INV_PXDATA	INV_PXCLK	INV_HREF	INV_VSYNC	INV_HSYNC
RW	RW	RW			RW		RW	RW				N/A															RW	RW	RW	RW	RW
0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0

CTRL [31:0]

位域	名称	描述
31	SW_RST	软件复位，高有效。写入 1 时，所有内部逻辑将被重置。 0b-无操作 1b-所有 LCDC 内部寄存器被强制进入复位状态。接口寄存器不受影响。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
30	DISP_ON	显示开/关模式。 0b-显示关闭。 1b-显示打开。 显示可随时关闭，但只能在场消隐有效后再打开。 因此，一个好的关闭显示，修改配置，然后再打开显示的步骤是： 1）清 VS_BLANK 状态 2）置 SW_RST=1 有效 3）清 SW_RST=0 4）置 DISP_ON=0，关闭显示 5）检查 VS_BLANK 状态直至其值为 1 6）重置 LCDC 模块，更改配置 7）置 DISP_ON=1，打开显示
29-27	LINE_PATTERN	LCDIF 色彩输出顺序（bit 23–0）。 000b-RGB。 001b-RBG。 010b-GBR。 011b-GRB。 100b-BRG。 101b-BGR。
26-25	DISP_MODE	LCDIF 操作模式。 00b-正常模式。面板内容由图层配置控制。 01b-测试模式 1。（全屏显示背景色 BGND） 10b-测试模式 2。（竖条纹图） 11b-测试模式 3。（横条纹图）
24	BGDCL4CLR	混色时，alpha 通道为 0 的像素采用背景色代替
23-20	ARQOS	AXI 读通道的 QoS 配置
4	INV_PXDATA	指示是否需要对内部像素数据取反后输出。 0b-输出与内存中的数据保持一致 1b-从内存中的数据取反后输出
3	INV_PXCLK	像素时钟的极性选择。 0b-LCDC 在像素时钟上升沿输出数据，显示器在下降沿采样数据 1b-LCDC 在像素时钟下降沿输出数据，显示器在上升沿采样数据
2	INV_HREF	HREF 的极性选择。HREF 信号有效时，像素数据输出为有效 0b-HREF 信号高有效。 1b-HREF 信号低有效
1	INV_VSYNC	VSYNC 的极性选择。VSYNC 有效时为场消隐期间 0b-VSYNC 信号高有效 1b-VSYNC 信号低有效
0	INV_HSYNC	HSYNC 的极性选择。HSYNC 有效时为行消隐期间 0b-HSYNC 信号高有效 1b-HSYNC 信号低有效

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述

CTRL 位域

35.3.2 BGND_CL (0x4)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								R								G								B							
N/A								RW								RW								RW							
x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

BGND_CL [31:0]

位域	名称	描述
23-16	R	在没有图层处于活动状态的区域中的默认红色色彩分量。
15-8	G	在没有图层处于活动状态的区域中的默认绿色色彩分量。
7-0	B	在没有图层处于活动状态的区域中的默认蓝色色彩分量。

BGND_CL 位域

35.3.3 DISP_WN_SIZE (0x8)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				Y												RSVD				X											
N/A				RW												N/A				RW											
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DISP_WN_SIZE [31:0]

位域	名称	描述
27-16	Y	以像素为单位的显示屏的垂直分辨率。
11-0	X	以像素为单位的显示屏的水平分辨率。

DISP_WN_SIZE 位域

35.3.4 HSYNC_PARA (0xC)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD	FP									RSVD		BP									RSVD		PW								
N/A	RW									N/A		RW									N/A		RW								
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

HSYNC_PARA [31:0]

位域	名称	描述
30-22	FP	HSYNC 前肩宽度（以像素时钟周期为单位）。宽度值如果为零，则表示 HSYNC 没有前肩
19-11	BP	HSYNC 后肩宽度（以像素时钟周期为单位）。宽度值如果为零，则表示 HSYNC 没有后肩
8-0	PW	HSYNC 本身宽度（以像素时钟周期为单位）。宽度的最小值为 1。

HSYNC_PARA 位域

35.3.5 VSYNC_PARA (0x10)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD	FP									RSVD		BP									RSVD		PW								
N/A	RW									N/A		RW									N/A		RW								
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

VSYNC_PARA [31:0]

位域	名称	描述
30-22	FP	VSYNC 前肩宽度（以水平线时间为单位）。宽度值如果为零，则表示 VSYNC 没有前肩
19-11	BP	VSYNC 后肩宽度（以水平线时间为单位）。宽度值如果为零，则表示 VSYNC 没有后肩
8-0	PW	VSYNC 本身宽度（以水平线时间为单位）。宽度的最小值为 1。

VSYNC_PARA 位域

35.3.6 DMA_ST (0x14)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMA_ERR								DMA1_DONE								DMA0_DONE								RSVD							
W1C								W1C								W1C								N/A							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x

DMA_ST [31:0]

位域	名称	描述
31-24	DMA_ERR	各个图层的各自的 AXI 总线错误。写 1 清 0。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
23-16	DMA1_DONE	各个图层的各自的 1 号帧缓冲区读结束。写 1 清 0。
15-8	DMA0_DONE	各个图层的各自的 0 号帧缓冲区读结束。写 1 清 0。

DMA_ST 位域

35.3.7 ST (0x18)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																												URGENT_UNDERRUN	VS_BLANK	UNDERRUN	VSYNC
N/A																												W1C	W1C	W1C	W1C
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0

ST [31:0]

位域	名称	描述
3	URGENT_UNDER RUN	当输出缓冲区遇到严重欠载情况时，硬件将其置为 1。此时硬件不会自我恢复。
2	VS_BLANK	在 VSYNC 有效期开始时，硬件将其置为 1。
1	UNDERRUN	当输出缓冲区遇到欠载情况时，硬件将其置为 1。如果并非严重欠载，此时硬件可以自我恢复。
0	VSYNC	在 VSYNC 有效期结束时，硬件将其置为 1。

ST 位域

35.3.8 INT_EN (0x1C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DMA_ERR								DMA_DONE								RSVD								RSVD				URGENT_UNDERRUN	VS_BLANK	UNDERRUN	VSYNC
RW								RW								N/A								N/A				RW	RW	RW	RW
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	x	0	0	0	0

INT_EN [31:0]

位域	名称	描述
31-24	DMA_ERR	各个图层的各自的 DMA 错误中断使能。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
23-16	DMA_DONE	各个图层的各自的 DMA 传输结束中断使能。
3	URGENT_UNDERRUN	输出缓冲区严重欠载中断使能。
2	VS_BLANK	VSYNC 有效期开始事件的中断使能。
1	UNDERRUN	输出缓冲区欠载中断使能。
0	VSYNC	VSYNC 有效期结束事件的中断使能。

INT_EN 位域

35.3.9 TXFIFO (0x20)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																								THRSH							
N/A																								RW							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TXFIFO [31:0]

位域	名称	描述
7-0	THRSH	启动 lcd 光栅扫描的 FIFO 阈值（0–0x7F）

TXFIFO 位域

35.3.10 LAYER[LAYCTRL] (0x200 + 0x40 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD												PACK_DIR	RSVD	RSVD	SHADOW_LOAD_EN	YUV_FORMAT		PIXFORMAT				LOCALPHA_OP		INALPHA_OP		AB_MODE				RSVD	EN
N/A												RW	N/A	N/A	RW	RW		RW				RW		RW		RW				N/A	RW
x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	0

LAYER[LAYCTRL] [31:0]

位域	名称	描述
19	PACK_DIR	32 位字中 4 个字节的字节序列。 1:{A0，A1，A2，A3} 字节重新排序。 0:{A3，A2，A1，A0} 正常情况下无需字节重新排序

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
16	SHADOW_LOAD_EN	影子寄存器加载使能 在配置好所有 DMA 控制寄存器后，软件将该位置 1。 如果设置为 1，在下一帧的内部逻辑 VSYNC 到来时，将影子寄存器更新成最新的 DMA 控制寄存器的值。同时硬件将本位清 0。 如果设置为 0，则影子寄存器不会加载最新的 DMA 控制寄存器的值。先前的 DMA 活动控制寄存器的值将继续用于处理下一帧。
15-14	YUV_FORMAT	格式变换控制： 如果是 YUV422 输入模式，表明各分量在内存中的次序 00b-YVYU422 Byte 次序从低到高为 U1、Y1、V1、Y2 01b-YVYU422 Byte 次序从低到高为 V1、Y1、U1、Y2 10b-YVYU422 Byte 次序从低到高为 Y1、U1、Y2、V1 11b-YVYU422 Byte 次序从低到高为 Y1、V1、Y2、U1 如果不是 YUV422 输入模式，表明对内部 bit 位的重整 格式 [0]：控制在各个 byte 内部的次序交换：（第一次交换） 如果置为 0，则没有次序交换。 如果置为 1，则次序交换准则为：旧 [31:24]–> 新 [24:31]，旧 [23:16]–> 新 [16:23]，旧 [15:8]–> 新 [8:15]，旧 [7:0]–> 新 [0:7]。 格式 [1]：控制相邻奇偶 byte 的交换：（第二次交换） 如果置为 0，则没有次序交换。 如果置为 1，则次序交换准则为：旧 [23:16]–> 新 [31:24]，旧 [31:24]–> 新 [23:16]，旧 [7:0]–> 新 [15:8]，旧 [15:8]–> 新 [7:0]。
13-10	PIXFORMAT	图层编码格式（每像素位宽） 0000b-1 bpp（像素宽度必须是 32 的倍数，在 32 比特的字里，像素次序从低到高为时间上的早晚次序） 0001b-2 bpp（像素宽度必须是 16 的倍数，在 32 比特的字里，像素次序从低到高为时间上的早晚次序） 0010b-4 bpp（像素宽度必须是 8 的倍数，在 32 比特的字里，像素次序从低到高为时间上的早晚次序） 0011b-8 bpp（像素宽度必须是 4 的倍数，在 32 比特的字里，像素次序从低到高为时间上的早晚次序） 0100b-16 bpp（RGB565，Byte 次序从低到高为 B,R） 0111b-YCbCr422（只有图层 0/1 可以支持此格式，Byte 次序参考 LAYCTRL[YUV_FORMAT]） 1001b-32 bpp（argb888，Byte 次序从低到高为 B,G,R,A） 1011b-Y8（像素宽度必须是 4 的倍数，Byte 次序从低到高为 Y1,Y2,Y3,Y4）

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
9-8	LOCALPHA_OP	LOCALPHA 的用法：（这个系统 alpha 值不是数据有效掩码；如果一个像素的 alpha 值非零，表示其为有效像素。如果没有这样的每个像素单独的 alpha 值，则表示所有像素都有效） 0:LOCALPHA 无效，使用当前源数据码流中的 alpha 值 1:LOCALPHA 用于替代当前源数据码流中的 alpha 值（在当前源数据码流没有 alpha 信息时有用） 2:LOCALPHA 用于缩放当前源数据码流中的 alpha 值 其他：保留
7-6	INALPHA_OP	INALPHA 的使用：（这个系统 alpha 值不是数据有效掩码；如果一个像素的 alpha 值非零，表示其为有效像素。如果没有这样的每个像素单独的 alpha 值，则表示所有像素都有效） 0：INALPHA 无效，使用先前混色码流中的 alpha 值 1：INALPHA 用于替代先前混色码流中的 alpha 值。（当相应的混色码流没有 alpha 信息时有用） 2：INALPHA 用于缩放先前混色码流的 alpha 值 其他：保留
5-2	AB_MODE	混色同步模式选择 0: SKBlendMode_Clear; 1: SKBlendMode_Src ; 2: SKBlendMode_Dst 3: SKBlendMode_SrcOver 4: SKBlendMode_DstOver 5: SKBlendMode_SrcIn 6: SKBlendMode_DstIn 7: SKBlendMode_SrcOut 8: SKBlendMode_DstOut 9: SKBlendMode_SrcATop 10: SKBlendMode_DstATop 11: SKBlendMode_Xor 12: SKBlendMode_Plus (通常意义上的混色模式) 13: SKBlendMode_Modulate 14: 原 SRC 15: 原 DST Others: Reserved.
0	EN	置为 1 来启用该图层。如果未启用该图层，则相关功能为旁路功能。

LAYER[LAYCTRL] 位域

35.3.11 LAYER[ALPHAS] (0x204 + 0x40 * n)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																LOCD								IND							
N/A																RW								RW							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

LAYER[ALPHAS] [31:0]

位域	名称	描述
15-8	LOCD	当前源（SRC）数据码流的系统 alpha 值
7-0	IND	先前混色（DST）码流的系统 alpha 值

LAYER[ALPHAS] 位域

35.3.12 LAYER[LAYSIZE] (0x208 + 0x40 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				HEIGHT												RSVD				WIDTH											
N/A				RW												N/A				RW											
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

LAYER[LAYSIZE] [31:0]

位域	名称	描述
27-16	HEIGHT	图层的高度（以像素为单位）
11-0	WIDTH	以像素为单位的图层宽度（注意：不是实际宽度-1） 图层宽度必须是可存储在 32 比特位中的像素个数的倍数，因此根据图层编码格式的不同而不同。例如，如果使用 2 位/像素格式，则图层宽度必须配置为 16 的倍数。

LAYER[LAYSIZE] 位域

35.3.13 LAYER[LAYPOS] (0x20C + 0x40 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Y																X															
RW																RW															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

LAYER[LAYPOS] [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-16	Y	图层顶部第一行在显示器中的垂直位置，其中 0 为显示器顶部第一行，越往下为越大的正值。
15-0	X	图层左侧第一列在显示器中的水平位置，其中 0 是显示器左侧第一列，越往右为越大的正值。

LAYER[LAYPOS] 位域

35.3.14 LAYER[START0] (0x210 + 0x40 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR0																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

LAYER[START0] [31:0]

位域	名称	描述
31-0	ADDR0	输入缓冲区起始地址 0

LAYER[START0] 位域

35.3.15 LAYER[LINECFG] (0x218 + 0x40 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MPT_SIZE			RSVD					MAX_OT			RSVD					PITCH															
RW			N/A					RW			N/A					RW															
0	0	0	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

LAYER[LINECFG] [31:0]

位域	名称	描述
31-29	MPT_SIZE	每次总线传输数据的最大尺寸： 0:64 字节 1:128 字节 2:256 字节 3:512 字节 4:1024 字节
23-21	MAX_OT	本图层的 AXI 超前访问 (outstanding) 传输（OT）的最大值。如果为零，则表示最大值为 8。图层 0 和 1 支持 OT 最大为 8，其余图层最大 OT 为 2。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
15-0	PITCH	系统内存中两个垂直相邻像素之间的字节数。支持字节粒度，但软件应与 64B 边界对齐。

LAYER[LINECFG] 位域

35.3.16 LAYER[BG_CL] (0x21C + 0x40 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ARGB																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

LAYER[BG_CL] [31:0]

位域	名称	描述
31-0	ARGB	像素无效时的背景色，argb888 形式。它仅在混色器的最后一级有用

LAYER[BG_CL] 位域

35.3.17 LAYER[CSC_COEF0] (0x220 + 0x40 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
YCBCR_MODE	ENABLE	RSVD	C0											UV_OFFSET									Y_OFFSET								
RW	RW	N/A	RW											RW									RW								
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

LAYER[CSC_COEF0] [31:0]

位域	名称	描述
31	YCBCR_MODE	色彩转换模式。 0b-将 YUV 转换为 RGB 数据 1b-将 YCbCr 转换为 RGB 数据
30	ENABLE	色彩转换使能。 0b-不做色彩转换，输入已经是 RGB 数据 1b-启用色彩转换，将 YUV 数据转换为 RGB 数据 有影子寄存器。
28-18	C0	二进制补码形式的与 Y 相乘的系数 C0。YUV=0x100（1.000） YCbCr=0x12A（1.164）

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
17-9	UV_OFFSET	二进制补码形式的 CbCr 数据中隐含的偏置 UV_OFFSET。一般用于 YCbCr 到 RGB 的转换。 YCbCr=0x180，YUV=0x000（通常为-128 或 0x180，表示相关 CbCr 数据是归一化到-0.5 到 0.5 范围的）。
8-0	Y_OFFSET	二进制补码形式的 Y 数据中隐含的偏置 Y_OFFSET。对于 YUV，这通常是 0，对于 YCbCr，这通常是-16（0x1F0）。

LAYER[CSC_COEF0] 位域

35.3.18 LAYER[CSC_COEF1] (0x224 + 0x40 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD					C1											RSVD					C4										
N/A					RW											N/A					RW										
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

LAYER[CSC_COEF1] [31:0]

位域	名称	描述
26-16	C1	二进制补码形式的与 V/Cr 分量相乘的系数 C1。YUV=0x123（1.140）YCbCr=0x198（1.596）。
10-0	C4	二进制补码形式的与 U/Cb 分量相乘的系数 C4。YUV=0x208（2.032）YCbCr=0x204（2.017）。

LAYER[CSC_COEF1] 位域

35.3.19 LAYER[CSC_COEF2] (0x228 + 0x40 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD					C2											RSVD					C3										
N/A					RW											N/A					RW										
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

LAYER[CSC_COEF2] [31:0]

位域	名称	描述
26-16	C2	二进制补码形式的与 V/Cr 分量相乘的系数 C2。YUV=0x76B（-0.581）YCbCr=0x730（-0.813）。
10-0	C3	二进制补码形式的与 U/Cb 分量相乘的系数 C3。YUV=0x79C（-0.394）YCbCr=0x79C（-0.392）。

LAYER[CSC_COEF2] 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

35.3.20 CLUT_LOAD (0x400)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																									SEL_NUM			RSVD			UPDATE_EN
N/A																									R/W			N/A			R/W
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0

CLUT_LOAD [31:0]

位域	名称	描述
6-4	SEL_NUM	选定色彩查找表编号 是图层编号，表明该图层的色彩查找表需要更新。硬件只能备份一个色彩查找表并加载，因此该编号在设置 CLUT_LOAD[UPDATE_EN] 为 1 期间不能变动。 . 3'h0-图层 0 . 3'h1-图层 1 . —— . 3'h7-图层 7 可以通过 APB 总线接口对第 8 号的色彩查找表直接进行修改。目前无法通过 APB 总线接口对图层 0..7 的色彩查找表直接进行修改。只能通过 CLUT_LOAD[UPDATE_EN] 位把第 8 号色彩查找表用拷贝的方式对这些非 8 号色彩查找表进行更新。
0	UPDATE_EN	色彩查找表更新使能 当应用想要更新颜色查找表时，在显示器工作期间，将本位置为 1。 如果设置为 1，则根据 CLUT_LOAD[SEL_NUM] 的设置，软件更新选定的 CLUT，表格将在 SHADOW_LOAD_EN 设置为 1 后的场消隐期间从 CLUT8 拷贝至选定图层的 CLUT。 如果设置为 0，则软件可以通过 APB 和接口地址信息直接更新 CLUT8。 当所选 CLUT 根据 CLUT_LOAD[SEL_NUM] 更新后，硬件将自动清除此位。

CLUT_LOAD 位域

35.4 LCDC 配置使用简单说明

35.4.1 停止

将 ST[VS_BLANK] 置为 1 后,通过往 CTRL[SW_RST] 写一个脉冲将其置为软件复位,然后将 CTRL[DISP_ON] 置为 0，然后等 ST[VS_BLANK] 置为 1 后方才正式将 LCDC 关闭。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

35.4.2 使能

在彻底停止了 LCDC 模块的基础上，可以配置各个寄存器，最后通过将 CTRL[DISP_ON] 置为 1 使能 LCDC 模块。

35.4.3 SHADOW

对于某些显示图层，可以在线更新。采用 shadow 方式切换相应缓冲区。切换的时机以 DMA_ST[DMA_DONE] 及其中断为参考。

35.4.4 背景色

背景色的决定原则如下：

1. 如果 CTRL[BGDCL4CLR] 为 1，那么最后的 blender 的输出结果里 alpha 为 0 的像素点会用 BGND_CL 寄存器里的值代替。
2. 如果 CTRL[BGDCL4CLR] 为 0，那么每个 blender 的所有输入里没有图层占用（即两个输入图层的 alpha=0）的像素，在输出时用该 blender 的 P1(目标图层) 的 LAYER[n][BG_CL] 寄存器里的值代替。
3. 所有 blender 的输入数据中，输入图层方框外的数据都是用 0 填充至 DISP_WN_SIZE 寄存器所决定的图像大小，输入图层方框内的数据即是图层数据自带的数据（即使其 alpha 值为 0）。

35.4.5 ALPHA_BLENDER 的模式

可参考 PDMA 相关章节小节 37.4.6。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

36 摄像接口 CAM

36.1 概述

CAM 模块主要用来接收外部摄像头的信号。本模块的结构图如图 39。

图 39: CAM 结构框图

36.2 寄存器列表

CAM 相关寄存器占用地址如下：CAM0 base address: 0xF1008000 CAM1 base address: 0xF100C000

地址偏移	名称	描述	复位值
0x0000	CR1	控制寄存器	0x00000000
0x0004	INT_EN	中断使能寄存器	0x00000000
0x0010	CR2	控制 2 号寄存器	0x00000000
0x0024	STA	状态寄存器	0x00000000
0x0030	DMASA_FB1	1 号帧像素缓冲区地址寄存器	0x00000000
0x0034	DMASA_FB2	2 号帧像素缓冲区地址寄存器	0x00000000
0x0038	BUF_PARA	像素缓冲区参数寄存器	0x00000000
0x003C	IDEAL_WN_SIZE	图像理想尺寸寄存器	0x00000000
0x004C	CR18	第 18 号控制寄存器	0x00000000
0x0050	DMASA_UV1	1 号帧 UV 像素缓冲区地址寄存器	0x00000000
0x0054	DMASA_UV2	2 号帧 UV 像素缓冲区地址寄存器	0x00000000
0x0058	CR20	第 20 号控制寄存器	0x00000000
0x005C	MAX_WN_CYCLE	最大窗口尺寸寄存器	0x00000000
0x0070	CSC_COEF0	色彩转换配置 0 号寄存器	0x00000000
0x0074	CSC_COEF1	色彩转换配置 1 号寄存器	0x00000000
0x0078	CSC_COEF2	色彩转换配置 2 号寄存器	0x00000000
0x007C	CLRKEY_LOW	色彩键值低限寄存器	0x00000000
0x0080	CLRKEY_HIGH	色彩键值高限寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0090	HISTOGRAM_FIFO[DATA0]	直方图统计寄存器	0x00000000
0x0094	HISTOGRAM_FIFO[DATA1]	直方图统计寄存器	0x00000000
0x0098	HISTOGRAM_FIFO[DATA2]	直方图统计寄存器	0x00000000
0x009C	HISTOGRAM_FIFO[DATA3]	直方图统计寄存器	0x00000000
0x00A0	HISTOGRAM_FIFO[DATA4]	直方图统计寄存器	0x00000000
0x00A4	HISTOGRAM_FIFO[DATA5]	直方图统计寄存器	0x00000000
0x00A8	HISTOGRAM_FIFO[DATA6]	直方图统计寄存器	0x00000000
0x00AC	HISTOGRAM_FIFO[DATA7]	直方图统计寄存器	0x00000000
0x00B0	HISTOGRAM_FIFO[DATA8]	直方图统计寄存器	0x00000000
0x00B4	HISTOGRAM_FIFO[DATA9]	直方图统计寄存器	0x00000000
0x00B8	HISTOGRAM_FIFO[DATA10]	直方图统计寄存器	0x00000000
0x00BC	HISTOGRAM_FIFO[DATA11]	直方图统计寄存器	0x00000000
0x00C0	HISTOGRAM_FIFO[DATA12]	直方图统计寄存器	0x00000000
0x00C4	HISTOGRAM_FIFO[DATA13]	直方图统计寄存器	0x00000000
0x00C8	HISTOGRAM_FIFO[DATA14]	直方图统计寄存器	0x00000000
0x00CC	HISTOGRAM_FIFO[DATA15]	直方图统计寄存器	0x00000000
0x00D0	HISTOGRAM_FIFO[DATA16]	直方图统计寄存器	0x00000000
0x00D4	HISTOGRAM_FIFO[DATA17]	直方图统计寄存器	0x00000000
0x00D8	HISTOGRAM_FIFO[DATA18]	直方图统计寄存器	0x00000000
0x00DC	HISTOGRAM_FIFO[DATA19]	直方图统计寄存器	0x00000000
0x00E0	HISTOGRAM_FIFO[DATA20]	直方图统计寄存器	0x00000000
0x00E4	HISTOGRAM_FIFO[DATA21]	直方图统计寄存器	0x00000000
0x00E8	HISTOGRAM_FIFO[DATA22]	直方图统计寄存器	0x00000000
0x00EC	HISTOGRAM_FIFO[DATA23]	直方图统计寄存器	0x00000000
0x00F0	HISTOGRAM_FIFO[DATA24]	直方图统计寄存器	0x00000000
0x00F4	HISTOGRAM_FIFO[DATA25]	直方图统计寄存器	0x00000000
0x00F8	HISTOGRAM_FIFO[DATA26]	直方图统计寄存器	0x00000000
0x00FC	HISTOGRAM_FIFO[DATA27]	直方图统计寄存器	0x00000000
0x0100	HISTOGRAM_FIFO[DATA28]	直方图统计寄存器	0x00000000
0x0104	HISTOGRAM_FIFO[DATA29]	直方图统计寄存器	0x00000000
0x0108	HISTOGRAM_FIFO[DATA30]	直方图统计寄存器	0x00000000
0x010C	HISTOGRAM_FIFO[DATA31]	直方图统计寄存器	0x00000000
0x0110	HISTOGRAM_FIFO[DATA32]	直方图统计寄存器	0x00000000
0x0114	HISTOGRAM_FIFO[DATA33]	直方图统计寄存器	0x00000000
0x0118	HISTOGRAM_FIFO[DATA34]	直方图统计寄存器	0x00000000
0x011C	HISTOGRAM_FIFO[DATA35]	直方图统计寄存器	0x00000000
0x0120	HISTOGRAM_FIFO[DATA36]	直方图统计寄存器	0x00000000
0x0124	HISTOGRAM_FIFO[DATA37]	直方图统计寄存器	0x00000000
0x0128	HISTOGRAM_FIFO[DATA38]	直方图统计寄存器	0x00000000
0x012C	HISTOGRAM_FIFO[DATA39]	直方图统计寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0130	HISTOGRAM_FIFO[DATA40]	直方图统计寄存器	0x00000000
0x0134	HISTOGRAM_FIFO[DATA41]	直方图统计寄存器	0x00000000
0x0138	HISTOGRAM_FIFO[DATA42]	直方图统计寄存器	0x00000000
0x013C	HISTOGRAM_FIFO[DATA43]	直方图统计寄存器	0x00000000
0x0140	HISTOGRAM_FIFO[DATA44]	直方图统计寄存器	0x00000000
0x0144	HISTOGRAM_FIFO[DATA45]	直方图统计寄存器	0x00000000
0x0148	HISTOGRAM_FIFO[DATA46]	直方图统计寄存器	0x00000000
0x014C	HISTOGRAM_FIFO[DATA47]	直方图统计寄存器	0x00000000
0x0150	HISTOGRAM_FIFO[DATA48]	直方图统计寄存器	0x00000000
0x0154	HISTOGRAM_FIFO[DATA49]	直方图统计寄存器	0x00000000
0x0158	HISTOGRAM_FIFO[DATA50]	直方图统计寄存器	0x00000000
0x015C	HISTOGRAM_FIFO[DATA51]	直方图统计寄存器	0x00000000
0x0160	HISTOGRAM_FIFO[DATA52]	直方图统计寄存器	0x00000000
0x0164	HISTOGRAM_FIFO[DATA53]	直方图统计寄存器	0x00000000
0x0168	HISTOGRAM_FIFO[DATA54]	直方图统计寄存器	0x00000000
0x016C	HISTOGRAM_FIFO[DATA55]	直方图统计寄存器	0x00000000
0x0170	HISTOGRAM_FIFO[DATA56]	直方图统计寄存器	0x00000000
0x0174	HISTOGRAM_FIFO[DATA57]	直方图统计寄存器	0x00000000
0x0178	HISTOGRAM_FIFO[DATA58]	直方图统计寄存器	0x00000000
0x017C	HISTOGRAM_FIFO[DATA59]	直方图统计寄存器	0x00000000
0x0180	HISTOGRAM_FIFO[DATA60]	直方图统计寄存器	0x00000000
0x0184	HISTOGRAM_FIFO[DATA61]	直方图统计寄存器	0x00000000
0x0188	HISTOGRAM_FIFO[DATA62]	直方图统计寄存器	0x00000000
0x018C	HISTOGRAM_FIFO[DATA63]	直方图统计寄存器	0x00000000
0x0190	HISTOGRAM_FIFO[DATA64]	直方图统计寄存器	0x00000000
0x0194	HISTOGRAM_FIFO[DATA65]	直方图统计寄存器	0x00000000
0x0198	HISTOGRAM_FIFO[DATA66]	直方图统计寄存器	0x00000000
0x019C	HISTOGRAM_FIFO[DATA67]	直方图统计寄存器	0x00000000
0x01A0	HISTOGRAM_FIFO[DATA68]	直方图统计寄存器	0x00000000
0x01A4	HISTOGRAM_FIFO[DATA69]	直方图统计寄存器	0x00000000
0x01A8	HISTOGRAM_FIFO[DATA70]	直方图统计寄存器	0x00000000
0x01AC	HISTOGRAM_FIFO[DATA71]	直方图统计寄存器	0x00000000
0x01B0	HISTOGRAM_FIFO[DATA72]	直方图统计寄存器	0x00000000
0x01B4	HISTOGRAM_FIFO[DATA73]	直方图统计寄存器	0x00000000
0x01B8	HISTOGRAM_FIFO[DATA74]	直方图统计寄存器	0x00000000
0x01BC	HISTOGRAM_FIFO[DATA75]	直方图统计寄存器	0x00000000
0x01C0	HISTOGRAM_FIFO[DATA76]	直方图统计寄存器	0x00000000
0x01C4	HISTOGRAM_FIFO[DATA77]	直方图统计寄存器	0x00000000
0x01C8	HISTOGRAM_FIFO[DATA78]	直方图统计寄存器	0x00000000
0x01CC	HISTOGRAM_FIFO[DATA79]	直方图统计寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x01D0	HISTOGRAM_FIFO[DATA80]	直方图统计寄存器	0x00000000
0x01D4	HISTOGRAM_FIFO[DATA81]	直方图统计寄存器	0x00000000
0x01D8	HISTOGRAM_FIFO[DATA82]	直方图统计寄存器	0x00000000
0x01DC	HISTOGRAM_FIFO[DATA83]	直方图统计寄存器	0x00000000
0x01E0	HISTOGRAM_FIFO[DATA84]	直方图统计寄存器	0x00000000
0x01E4	HISTOGRAM_FIFO[DATA85]	直方图统计寄存器	0x00000000
0x01E8	HISTOGRAM_FIFO[DATA86]	直方图统计寄存器	0x00000000
0x01EC	HISTOGRAM_FIFO[DATA87]	直方图统计寄存器	0x00000000
0x01F0	HISTOGRAM_FIFO[DATA88]	直方图统计寄存器	0x00000000
0x01F4	HISTOGRAM_FIFO[DATA89]	直方图统计寄存器	0x00000000
0x01F8	HISTOGRAM_FIFO[DATA90]	直方图统计寄存器	0x00000000
0x01FC	HISTOGRAM_FIFO[DATA91]	直方图统计寄存器	0x00000000
0x0200	HISTOGRAM_FIFO[DATA92]	直方图统计寄存器	0x00000000
0x0204	HISTOGRAM_FIFO[DATA93]	直方图统计寄存器	0x00000000
0x0208	HISTOGRAM_FIFO[DATA94]	直方图统计寄存器	0x00000000
0x020C	HISTOGRAM_FIFO[DATA95]	直方图统计寄存器	0x00000000
0x0210	HISTOGRAM_FIFO[DATA96]	直方图统计寄存器	0x00000000
0x0214	HISTOGRAM_FIFO[DATA97]	直方图统计寄存器	0x00000000
0x0218	HISTOGRAM_FIFO[DATA98]	直方图统计寄存器	0x00000000
0x021C	HISTOGRAM_FIFO[DATA99]	直方图统计寄存器	0x00000000
0x0220	HISTOGRAM_FIFO[DATA100]	直方图统计寄存器	0x00000000
0x0224	HISTOGRAM_FIFO[DATA101]	直方图统计寄存器	0x00000000
0x0228	HISTOGRAM_FIFO[DATA102]	直方图统计寄存器	0x00000000
0x022C	HISTOGRAM_FIFO[DATA103]	直方图统计寄存器	0x00000000
0x0230	HISTOGRAM_FIFO[DATA104]	直方图统计寄存器	0x00000000
0x0234	HISTOGRAM_FIFO[DATA105]	直方图统计寄存器	0x00000000
0x0238	HISTOGRAM_FIFO[DATA106]	直方图统计寄存器	0x00000000
0x023C	HISTOGRAM_FIFO[DATA107]	直方图统计寄存器	0x00000000
0x0240	HISTOGRAM_FIFO[DATA108]	直方图统计寄存器	0x00000000
0x0244	HISTOGRAM_FIFO[DATA109]	直方图统计寄存器	0x00000000
0x0248	HISTOGRAM_FIFO[DATA110]	直方图统计寄存器	0x00000000
0x024C	HISTOGRAM_FIFO[DATA111]	直方图统计寄存器	0x00000000
0x0250	HISTOGRAM_FIFO[DATA112]	直方图统计寄存器	0x00000000
0x0254	HISTOGRAM_FIFO[DATA113]	直方图统计寄存器	0x00000000
0x0258	HISTOGRAM_FIFO[DATA114]	直方图统计寄存器	0x00000000
0x025C	HISTOGRAM_FIFO[DATA115]	直方图统计寄存器	0x00000000
0x0260	HISTOGRAM_FIFO[DATA116]	直方图统计寄存器	0x00000000
0x0264	HISTOGRAM_FIFO[DATA117]	直方图统计寄存器	0x00000000
0x0268	HISTOGRAM_FIFO[DATA118]	直方图统计寄存器	0x00000000
0x026C	HISTOGRAM_FIFO[DATA119]	直方图统计寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0270	HISTOGRAM_FIFO[DATA120]	直方图统计寄存器	0x00000000
0x0274	HISTOGRAM_FIFO[DATA121]	直方图统计寄存器	0x00000000
0x0278	HISTOGRAM_FIFO[DATA122]	直方图统计寄存器	0x00000000
0x027C	HISTOGRAM_FIFO[DATA123]	直方图统计寄存器	0x00000000
0x0280	HISTOGRAM_FIFO[DATA124]	直方图统计寄存器	0x00000000
0x0284	HISTOGRAM_FIFO[DATA125]	直方图统计寄存器	0x00000000
0x0288	HISTOGRAM_FIFO[DATA126]	直方图统计寄存器	0x00000000
0x028C	HISTOGRAM_FIFO[DATA127]	直方图统计寄存器	0x00000000
0x0290	HISTOGRAM_FIFO[DATA128]	直方图统计寄存器	0x00000000
0x0294	HISTOGRAM_FIFO[DATA129]	直方图统计寄存器	0x00000000
0x0298	HISTOGRAM_FIFO[DATA130]	直方图统计寄存器	0x00000000
0x029C	HISTOGRAM_FIFO[DATA131]	直方图统计寄存器	0x00000000
0x02A0	HISTOGRAM_FIFO[DATA132]	直方图统计寄存器	0x00000000
0x02A4	HISTOGRAM_FIFO[DATA133]	直方图统计寄存器	0x00000000
0x02A8	HISTOGRAM_FIFO[DATA134]	直方图统计寄存器	0x00000000
0x02AC	HISTOGRAM_FIFO[DATA135]	直方图统计寄存器	0x00000000
0x02B0	HISTOGRAM_FIFO[DATA136]	直方图统计寄存器	0x00000000
0x02B4	HISTOGRAM_FIFO[DATA137]	直方图统计寄存器	0x00000000
0x02B8	HISTOGRAM_FIFO[DATA138]	直方图统计寄存器	0x00000000
0x02BC	HISTOGRAM_FIFO[DATA139]	直方图统计寄存器	0x00000000
0x02C0	HISTOGRAM_FIFO[DATA140]	直方图统计寄存器	0x00000000
0x02C4	HISTOGRAM_FIFO[DATA141]	直方图统计寄存器	0x00000000
0x02C8	HISTOGRAM_FIFO[DATA142]	直方图统计寄存器	0x00000000
0x02CC	HISTOGRAM_FIFO[DATA143]	直方图统计寄存器	0x00000000
0x02D0	HISTOGRAM_FIFO[DATA144]	直方图统计寄存器	0x00000000
0x02D4	HISTOGRAM_FIFO[DATA145]	直方图统计寄存器	0x00000000
0x02D8	HISTOGRAM_FIFO[DATA146]	直方图统计寄存器	0x00000000
0x02DC	HISTOGRAM_FIFO[DATA147]	直方图统计寄存器	0x00000000
0x02E0	HISTOGRAM_FIFO[DATA148]	直方图统计寄存器	0x00000000
0x02E4	HISTOGRAM_FIFO[DATA149]	直方图统计寄存器	0x00000000
0x02E8	HISTOGRAM_FIFO[DATA150]	直方图统计寄存器	0x00000000
0x02EC	HISTOGRAM_FIFO[DATA151]	直方图统计寄存器	0x00000000
0x02F0	HISTOGRAM_FIFO[DATA152]	直方图统计寄存器	0x00000000
0x02F4	HISTOGRAM_FIFO[DATA153]	直方图统计寄存器	0x00000000
0x02F8	HISTOGRAM_FIFO[DATA154]	直方图统计寄存器	0x00000000
0x02FC	HISTOGRAM_FIFO[DATA155]	直方图统计寄存器	0x00000000
0x0300	HISTOGRAM_FIFO[DATA156]	直方图统计寄存器	0x00000000
0x0304	HISTOGRAM_FIFO[DATA157]	直方图统计寄存器	0x00000000
0x0308	HISTOGRAM_FIFO[DATA158]	直方图统计寄存器	0x00000000
0x030C	HISTOGRAM_FIFO[DATA159]	直方图统计寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0310	HISTOGRAM_FIFO[DATA160]	直方图统计寄存器	0x00000000
0x0314	HISTOGRAM_FIFO[DATA161]	直方图统计寄存器	0x00000000
0x0318	HISTOGRAM_FIFO[DATA162]	直方图统计寄存器	0x00000000
0x031C	HISTOGRAM_FIFO[DATA163]	直方图统计寄存器	0x00000000
0x0320	HISTOGRAM_FIFO[DATA164]	直方图统计寄存器	0x00000000
0x0324	HISTOGRAM_FIFO[DATA165]	直方图统计寄存器	0x00000000
0x0328	HISTOGRAM_FIFO[DATA166]	直方图统计寄存器	0x00000000
0x032C	HISTOGRAM_FIFO[DATA167]	直方图统计寄存器	0x00000000
0x0330	HISTOGRAM_FIFO[DATA168]	直方图统计寄存器	0x00000000
0x0334	HISTOGRAM_FIFO[DATA169]	直方图统计寄存器	0x00000000
0x0338	HISTOGRAM_FIFO[DATA170]	直方图统计寄存器	0x00000000
0x033C	HISTOGRAM_FIFO[DATA171]	直方图统计寄存器	0x00000000
0x0340	HISTOGRAM_FIFO[DATA172]	直方图统计寄存器	0x00000000
0x0344	HISTOGRAM_FIFO[DATA173]	直方图统计寄存器	0x00000000
0x0348	HISTOGRAM_FIFO[DATA174]	直方图统计寄存器	0x00000000
0x034C	HISTOGRAM_FIFO[DATA175]	直方图统计寄存器	0x00000000
0x0350	HISTOGRAM_FIFO[DATA176]	直方图统计寄存器	0x00000000
0x0354	HISTOGRAM_FIFO[DATA177]	直方图统计寄存器	0x00000000
0x0358	HISTOGRAM_FIFO[DATA178]	直方图统计寄存器	0x00000000
0x035C	HISTOGRAM_FIFO[DATA179]	直方图统计寄存器	0x00000000
0x0360	HISTOGRAM_FIFO[DATA180]	直方图统计寄存器	0x00000000
0x0364	HISTOGRAM_FIFO[DATA181]	直方图统计寄存器	0x00000000
0x0368	HISTOGRAM_FIFO[DATA182]	直方图统计寄存器	0x00000000
0x036C	HISTOGRAM_FIFO[DATA183]	直方图统计寄存器	0x00000000
0x0370	HISTOGRAM_FIFO[DATA184]	直方图统计寄存器	0x00000000
0x0374	HISTOGRAM_FIFO[DATA185]	直方图统计寄存器	0x00000000
0x0378	HISTOGRAM_FIFO[DATA186]	直方图统计寄存器	0x00000000
0x037C	HISTOGRAM_FIFO[DATA187]	直方图统计寄存器	0x00000000
0x0380	HISTOGRAM_FIFO[DATA188]	直方图统计寄存器	0x00000000
0x0384	HISTOGRAM_FIFO[DATA189]	直方图统计寄存器	0x00000000
0x0388	HISTOGRAM_FIFO[DATA190]	直方图统计寄存器	0x00000000
0x038C	HISTOGRAM_FIFO[DATA191]	直方图统计寄存器	0x00000000
0x0390	HISTOGRAM_FIFO[DATA192]	直方图统计寄存器	0x00000000
0x0394	HISTOGRAM_FIFO[DATA193]	直方图统计寄存器	0x00000000
0x0398	HISTOGRAM_FIFO[DATA194]	直方图统计寄存器	0x00000000
0x039C	HISTOGRAM_FIFO[DATA195]	直方图统计寄存器	0x00000000
0x03A0	HISTOGRAM_FIFO[DATA196]	直方图统计寄存器	0x00000000
0x03A4	HISTOGRAM_FIFO[DATA197]	直方图统计寄存器	0x00000000
0x03A8	HISTOGRAM_FIFO[DATA198]	直方图统计寄存器	0x00000000
0x03AC	HISTOGRAM_FIFO[DATA199]	直方图统计寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x03B0	HISTOGRAM_FIFO[DATA200]	直方图统计寄存器	0x00000000
0x03B4	HISTOGRAM_FIFO[DATA201]	直方图统计寄存器	0x00000000
0x03B8	HISTOGRAM_FIFO[DATA202]	直方图统计寄存器	0x00000000
0x03BC	HISTOGRAM_FIFO[DATA203]	直方图统计寄存器	0x00000000
0x03C0	HISTOGRAM_FIFO[DATA204]	直方图统计寄存器	0x00000000
0x03C4	HISTOGRAM_FIFO[DATA205]	直方图统计寄存器	0x00000000
0x03C8	HISTOGRAM_FIFO[DATA206]	直方图统计寄存器	0x00000000
0x03CC	HISTOGRAM_FIFO[DATA207]	直方图统计寄存器	0x00000000
0x03D0	HISTOGRAM_FIFO[DATA208]	直方图统计寄存器	0x00000000
0x03D4	HISTOGRAM_FIFO[DATA209]	直方图统计寄存器	0x00000000
0x03D8	HISTOGRAM_FIFO[DATA210]	直方图统计寄存器	0x00000000
0x03DC	HISTOGRAM_FIFO[DATA211]	直方图统计寄存器	0x00000000
0x03E0	HISTOGRAM_FIFO[DATA212]	直方图统计寄存器	0x00000000
0x03E4	HISTOGRAM_FIFO[DATA213]	直方图统计寄存器	0x00000000
0x03E8	HISTOGRAM_FIFO[DATA214]	直方图统计寄存器	0x00000000
0x03EC	HISTOGRAM_FIFO[DATA215]	直方图统计寄存器	0x00000000
0x03F0	HISTOGRAM_FIFO[DATA216]	直方图统计寄存器	0x00000000
0x03F4	HISTOGRAM_FIFO[DATA217]	直方图统计寄存器	0x00000000
0x03F8	HISTOGRAM_FIFO[DATA218]	直方图统计寄存器	0x00000000
0x03FC	HISTOGRAM_FIFO[DATA219]	直方图统计寄存器	0x00000000
0x0400	HISTOGRAM_FIFO[DATA220]	直方图统计寄存器	0x00000000
0x0404	HISTOGRAM_FIFO[DATA221]	直方图统计寄存器	0x00000000
0x0408	HISTOGRAM_FIFO[DATA222]	直方图统计寄存器	0x00000000
0x040C	HISTOGRAM_FIFO[DATA223]	直方图统计寄存器	0x00000000
0x0410	HISTOGRAM_FIFO[DATA224]	直方图统计寄存器	0x00000000
0x0414	HISTOGRAM_FIFO[DATA225]	直方图统计寄存器	0x00000000
0x0418	HISTOGRAM_FIFO[DATA226]	直方图统计寄存器	0x00000000
0x041C	HISTOGRAM_FIFO[DATA227]	直方图统计寄存器	0x00000000
0x0420	HISTOGRAM_FIFO[DATA228]	直方图统计寄存器	0x00000000
0x0424	HISTOGRAM_FIFO[DATA229]	直方图统计寄存器	0x00000000
0x0428	HISTOGRAM_FIFO[DATA230]	直方图统计寄存器	0x00000000
0x042C	HISTOGRAM_FIFO[DATA231]	直方图统计寄存器	0x00000000
0x0430	HISTOGRAM_FIFO[DATA232]	直方图统计寄存器	0x00000000
0x0434	HISTOGRAM_FIFO[DATA233]	直方图统计寄存器	0x00000000
0x0438	HISTOGRAM_FIFO[DATA234]	直方图统计寄存器	0x00000000
0x043C	HISTOGRAM_FIFO[DATA235]	直方图统计寄存器	0x00000000
0x0440	HISTOGRAM_FIFO[DATA236]	直方图统计寄存器	0x00000000
0x0444	HISTOGRAM_FIFO[DATA237]	直方图统计寄存器	0x00000000
0x0448	HISTOGRAM_FIFO[DATA238]	直方图统计寄存器	0x00000000
0x044C	HISTOGRAM_FIFO[DATA239]	直方图统计寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0450	HISTOGRAM_FIFO[DATA240]	直方图统计寄存器	0x00000000
0x0454	HISTOGRAM_FIFO[DATA241]	直方图统计寄存器	0x00000000
0x0458	HISTOGRAM_FIFO[DATA242]	直方图统计寄存器	0x00000000
0x045C	HISTOGRAM_FIFO[DATA243]	直方图统计寄存器	0x00000000
0x0460	HISTOGRAM_FIFO[DATA244]	直方图统计寄存器	0x00000000
0x0464	HISTOGRAM_FIFO[DATA245]	直方图统计寄存器	0x00000000
0x0468	HISTOGRAM_FIFO[DATA246]	直方图统计寄存器	0x00000000
0x046C	HISTOGRAM_FIFO[DATA247]	直方图统计寄存器	0x00000000
0x0470	HISTOGRAM_FIFO[DATA248]	直方图统计寄存器	0x00000000
0x0474	HISTOGRAM_FIFO[DATA249]	直方图统计寄存器	0x00000000
0x0478	HISTOGRAM_FIFO[DATA250]	直方图统计寄存器	0x00000000
0x047C	HISTOGRAM_FIFO[DATA251]	直方图统计寄存器	0x00000000
0x0480	HISTOGRAM_FIFO[DATA252]	直方图统计寄存器	0x00000000
0x0484	HISTOGRAM_FIFO[DATA253]	直方图统计寄存器	0x00000000
0x0488	HISTOGRAM_FIFO[DATA254]	直方图统计寄存器	0x00000000
0x048C	HISTOGRAM_FIFO[DATA255]	直方图统计寄存器	0x00000000

表 203: CAM 寄存器列表

36.3 寄存器描述

CAM 相关寄存器具体描述如下：

36.3.1 CR1 (0x0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD	RSVD	COLOR_EXT	INV_PIXCLK	INV_HSYNC	INV_VSYNC	SWAP16_EN	PACK_DIR	RESTART_BUSPTR	RSVD		ASYNC_RXFIFO_CLR	SYNC_RXFIFO_CLR	RSVD	SOF_INT_POL	RSVD	INV_DATA	RSVD		RSVD	STORAGE_MODE		RSVD			COLOR_FORMATS				SENSOR_BIT_WIDTH		
N/A	N/A	RW	RW	RW	RW	RW	RW	RW	N/A		RW	RW	N/A	RW	N/A	RW	N/A		N/A	RW		N/A			RW				RW		
0	x	0	0	0	0	0	0	0	x	x	0	0	x	0	x	0	0	x	0	0	0	0	0	0	0	0	0	0	0	0	

CR1 [31:0]

位域	名称	描述
29	COLOR_EXT	ARGB8888 输出使能 如果置为 1，则将输出颜色模式更改为 argb888。用于输入颜色模式为 RGB565、RGB888、YUV888 等。Byte 次序从低到高为 B,G,R,A (依赖正确的 CR2[ClrBitFormat] 的设置)
28	INV_PIXCLK	PIXCLK 反转使能。 如果置为 1，pixclk 管脚的输入反转后再使用

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
27	INV_HSYNC	HSYNC 反转使能。 如果置为 1，hsync 管脚的输入反转后再使用
26	INV_VSYNC	VSYNC 反转使能。 如果置为 1，vsync 管脚的输入反转后再使用
25	SWAP16_EN	使能 16 位交换。 如果置为 1，允许依 16 位组为单元进行交换。 该模块接收到的 8 位或 10 位数据首先打包成 32 位（需依据 PACK_DIR 的设置），然后在放入像素的 RX FIFO 之前按照本控制设置进行 16 位组进行交换。本控制设置仅影响像素的 RX FIFO。 0–禁用交换 1–启用交换 示例：如果使能 16 位交换： RX FIFO 的输入数据 =0x11223344 RX FIFO 中的存储数据 =0x33441122 示例：如果不使能 16 位交换： RX FIFO 的输入数据 =0x11223344 RX FIFO 中的存储数据 =0x11223344
24	PACK_DIR	数据打包方向控制。 该位控制如何将 8 位/10 位图像数据打包到 32 位 RX FIFO 中。 0–从 LSB 开始打包。例如：图像数据依次为 0x11、0x22、0x33、0x44 时，在 RX FIFO 中将显示为 0x44332211。 1–从 MSB 开始打包。例如：图像数据依次为 0x11、0x22、0x33、0x44 时，在 RX FIFO 中将显示为 0x11223344。
23	RESTART_BUSPTR	重置指针使能。 如果设为 1，强制在 sof 末尾初始化缓冲区指针，同时清 fifo 指针
20	ASYNC_RXFIFO_CLR	像素 RX FIFO 异步初始化。 如果置为 1，立即初始化像素 RX FIFO。该位会被自动清除。
19	SYNC_RXFIFO_CLR	像素 RX FIFO 同步初始化。 如果置为 1，在每一个 SOF 有效时，初始化像素 RX FIFO。
17	SOF_INT_POL	SOF 中断极性。该位控制产生 SOF 中断的条件。 0–SOF 下降沿产生 SOF 中断 1–SOF 上升沿产生 SOF 中断
15	INV_DATA	输入数据反转使能。该位启用或禁用数据线上的反相器。 0 CAM_D 数据线直接应用于内部电路 1 CAM_D 数据线被反转后再用于内部电路
11-10	STORAGE_MODE	存储模式选择 00：正常模式（单平面模式） 01：双平面模式（Y、UV 平面） 10：仅 Y 模式, Byte 次序从低到高为 Y0,Y1,Y2,Y3 11：二进制模式。当 Bit 次序从 LSB 到 MSB。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
6-3	COLOR_FORMATS	输入颜色格式： 0010b:24bit:RGB888 0011b:24bit:RGB666 0100b:16bit:RGB565 0101b:16bit:RGB444 0110b:16bit:RGB555 0111b:16 位：YCbCr422（Y0 Cb Y1 Cr，每个 8 位）（YUV 或 YCrCb） 注意：不支持 YUV420。 1000b:24 位：YUV444
2-0	SENSOR_BIT_WIDTH	传感器的位宽度 0:8 位 1:10 位 3:24 位 其他：未定义

CR1 位域

36.3.2 INT_EN (0x4)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																		ERR_CL_BWID_CFG_INT_EN	HIST_DONE_INT_EN	HRESP_ERR_EN	RSVD	EOF_INT_EN	RSVD	RSVD	RF_OR_INTEN	RSVD		FB2_DMA_DONE_INTEN	FB1_DMA_DONE_INTEN	RSVD	SOF_INT_EN
N/A																		RW	RW	RW	N/A	RW	N/A	N/A	RW	N/A		RW	RW	N/A	RW
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	0	0	0	0	0	0	

INT_EN [31:0]

位域	名称	描述
13	ERR_CL_BWID_CFG_INT_EN	不支持的颜色（color_format[3:0]）和位宽度（sensor_bit_width[2:0]）配置的错误类型中断使能位
12	HIST_DONE_INT_EN	直方图统计结束中断使能
11	HRESP_ERR_EN	总线响应错误中断使能。 0：禁用总线响应错误中断 1：使能总线响应错误中断

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
9	EOF_INT_EN	帧结束中断使能。 0：EOF 中断被禁用。 1：使能 EOF 中断。
6	RF_OR_INTEN	RxFIFO 过载中断使能。 0 禁用 RxFIFO 过载中断 1 使能 RxFIFO 过载中断
3	FB2_DMA_DONE_INTEN	帧缓冲区 2 DMA 传输完成中断使能。 0 禁用帧缓冲区 2 DMA 传输完成中断 1 使能帧缓冲区 2 DMA 传输完成中断
2	FB1_DMA_DONE_INTEN	帧缓冲区 1 DMA 传输完成中断使能。 0 禁用帧缓冲区 1 DMA 传输完成中断 1 使能帧缓冲区 1 DMA 传输完成中断
0	SOF_INT_EN	帧始中断使能。 0：禁用 SOF 中断。 1：使能 SOF 中断。

INT_EN 位域

36.3.3 CR2 (0x10)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FRMCNT_15_0																FRMCNT_RST	RSVD			RXFF_LEVEL			RSVD			DMA_REQ_EN_RFF	RSVD	CLRBITFORMAT			
RO																RW	N/A			RW			N/A			RW	N/A	RW			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	0	0	0	0	0	0	0	x	0	0	0	0

CR2 [31:0]

位域	名称	描述
31-16	FRMCNT_15_0	帧计数器。这是一个 16 位帧计数器 （达到最大值后自动回 0）
15	FRMCNT_RST	帧数重置。 0 不重置 1 立即重置帧计数器

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
11-9	RXFF_LEVEL	RxFIFO 满门限。 当 RxFIFO 中的数据数量达到此级别时，将生成 RxFIFO 满中断，或发送 RxFIFO DMA 请求。 000：4 个 64 比特的双字 001：8 个 64 比特的双字 010：16 个 64 比特的双字 011：24 个 64 比特的双字 100：32 个 64 比特的双字 101：48 个 64 比特的双字 110：64 个 64 比特的双字 111：96 个 64 比特的双字
5	DMA_REQ_EN_RFF	RxFIFO 的 DMA 请求使能。 此位使能从 RxFIFO 到 CAM 内嵌的 dma 控制器的 dma 请求。 0：禁用 dma 请求 1：启用 dma 请求。 UV Rx FIFO 仅能在 2 平面模式下填充数据。
3-0	CLRBITFORMAT	输入字节和顺序与 OV5640 相同，但 RAW 模式除外。 仅用于内部到 ARGB 转换。

CR2 位域

36.3.4 STA (0x24)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD												ERR_CL_BWID_CFG	HIST_DONE	RSVD			RSVD	RF_OR_INT	RSVD		DMA_TSF_DONE_FB2	DMA_TSF_DONE_FB1	RSVD	EOF_INT	SOF_INT	RSVD			HRESP_ERR_INT	RSVD	
N/A												W1C	W1C	N/A			N/A	W1C	N/A		W1C	W1C	N/A	W1C	W1C	N/A			W1C	N/A	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	0	x	x	0	0	0	0	0	0	0	0	0	x	x

STA [31:0]

位域	名称	描述
19	ERR_CL_BWID_CFG	颜色格式不支持标志
18	HIST_DONE	直方图统计结束标志
13	RF_OR_INT	RxFIFO 过载标志

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
10	DMA_TSF_DONE_FB2	帧缓冲区 2 的 DMA 传输完成标志。 指示从 RxFIFO 到帧缓冲区 2 的 DMA 传输已完成。如果在 CAM_CR1 中设置了相应的使能位，则可触发中断。该位可通过写入 1 或在 CAM_CR3 中重新刷新 RxFIFO dma 控制器来清除。 0：DMA 传输未完成。 1：DMA 传输完成。
9	DMA_TSF_DONE_FB1	帧缓冲区 1 的 DMA 传输完成标志。 指示从 RxFIFO 到帧缓冲区 1 的 DMA 传输已完成。如果在 CAM_CR1 中设置了相应的使能位，则可触发中断。该位可通过写入 1 或在 CAM_CR3 中重新刷新 RxFIFO dma 控制器来清除。 0：DMA 传输未完成。 1：DMA 传输完成。
7	EOF_INT	帧结束标志
6	SOF_INT	帧始标志
2	HRESP_ERR_INT	总线响应错误标志

STA 位域

36.3.5 DMASA_FB1 (0x30)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PTR																														RSVD	
RW																														N/A	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DMASA_FB1 [31:0]

位域	名称	描述
31-2	PTR	帧缓冲区 1 中的 DMA 起始地址。 指示写入数据的起始地址。内嵌的 DMA 控制器将从 RxFIFO 读取数据，并通过总线向该地址开始的缓冲区写入数据。地址应该是双字（64 比特）对齐的。 在双平面模式下，为 Y 缓冲区 1

DMASA_FB1 位域

36.3.6 DMASA_FB2 (0x34)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PTR																														RSVD	

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RW																														N/A	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DMASA_FB2 [31:0]

位域	名称	描述
31-2	PTR	帧缓冲区 2 中的 DMA 起始地址。 指示写入数据的起始地址。内嵌的 DMA 控制器将从 RxFIFO 读取数据，并通过总线向该地址开始的缓冲区写入数据。地址应该是双字（64 比特）对齐的。 在双平面模式下，为 Y 缓冲区 2

DMASA_FB2 位域

36.3.7 BUF_PARA (0x38)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																LINEBSP_STRIDE															
N/A																RW															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

BUF_PARA [31:0]

位域	名称	描述
15-0	LINEBSP_STRIDE	行空白跨距。 指示帧缓冲区中行结束图像存储和新行开始存储之间的空间。 帧缓冲区中的行存储宽度（双字）减去图像宽度（双字）即为跨距。 跨距应该是双字对齐的。 内嵌的 DMA 控制器将在开始写入图像的下一行之前跳过这一步。

BUF_PARA 位域

36.3.8 IDEAL_WN_SIZE (0x3C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HEIGHT																WIDTH															
RW																RW															

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

IDEAL_WN_SIZE [31:0]

位域	名称	描述
31-16	HEIGHT	图像高度。为接收到的图像列方向上的有效像素个数。
15-0	WIDTH	图像宽度。为接收到的图像行方向上的有效像素个数。 要传输的字节数在硬件中根据 cr1[color_ext] 和 cr1[store_mode] 自动重新计算。默认值为 2* 像素数。 因为传感器的输入数据为 8 位/像素格式，所以图像宽度需为 8 像素的倍数。

IDEAL_WN_SIZE 位域

36.3.9 CR18 (0x4C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CAM_ENABLE	RSVD																		RSVD		AWQOS				RSVD						
RW	N/A																		N/A		RW				N/A						
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	0	0	0	0	0	0	0	0	0	0	

CR18 [31:0]

位域	名称	描述
31	CAM_ENABLE	CAM 模块使能信号。 只有当该位为 1 时，本模块才能开始接收数据并存储到内存中。
10-7	AWQOS	总线访问的 AWQoS

CR18 位域

36.3.10 DMASA_UV1 (0x50)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PTR																														RSVD	
RW																														N/A	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DMASA_UV1 [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-2	PTR	双平面 UV 的 1 号缓冲区起始地址

DMASA_UV1 位域

36.3.11 DMASA_UV2 (0x54)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PTR																														RSVD	
RW																														N/A	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DMASA_UV2 [31:0]

位域	名称	描述
31-2	PTR	双平面 UV 的 2 号缓冲区起始地址

DMASA_UV2 位域

36.3.12 CR20 (0x58)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BINARY_EN	HISTOGRAM_EN	RSVD																					BIG_END	THRESHOLD							
RW	RW	N/A																					RW	RW							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CR20 [31:0]

位域	名称	描述
31	BINARY_EN	二进制图片输出使能
30	HISTOGRAM_EN	直方图功能使能
8	BIG_END	设置为 1 时，表明二进制输出为 big-endian 类型，这意味着图像右边的数据位于 LSB。只在 32 比特的字内有效。
7-0	THRESHOLD	生成二值颜色的亮度阈值。如果像素亮度大于阈值，则输出比特 1；否则输出比特 0。

CR20 位域

36.3.13 MAX_WN_CYCLE (0x5C)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ROW																COL															
RW																RW															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MAX_WN_CYCLE [31:0]

位域	名称	描述
31-16	ROW	图像最大宽度-1
15-0	COL	图像最大高度-1

MAX_WN_CYCLE 位域

36.3.14 CSC_COEF0 (0x70)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
YCBCR_MODE	ENABLE	RSVD	C0											UV_OFFSET									Y_OFFSET								
RW	RW	N/A	RW											RW									RW								
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CSC_COEF0 [31:0]

位域	名称	描述
31	YCBCR_MODE	色彩转换模式。 0b-将 YUV 转换为 RGB 数据 1b-将 YCbCr 转换为 RGB 数据
30	ENABLE	色彩转换使能。 0b-不做色彩转换，输入已经是 RGB 数据 1b-启用色彩转换，将 YUV 数据转换为 RGB 数据
28-18	C0	二进制补码形式的与 Y 相乘的系数 C0。YUV=0x100（1.000） YCbCr=0x12A（1.164）
17-9	UV_OFFSET	二进制补码形式的 CbCr 数据中隐含的偏置 UV_OFFSET。一般用于 YCbCr 到 RGB 的转换。 YCbCr=0x180，YUV=0x000（通常为-128 或 0x180，表示相关 CbCr 数据是归一化到-0.5 到 0.5 范围的）。
8-0	Y_OFFSET	二进制补码形式的 Y 数据中隐含的偏置 Y_OFFSET。对于 YUV，这通常是 0，对于 YCbCr，这通常是-16（0x1F0）。

CSC_COEF0 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

36.3.15 CSC_COEF1 (0x74)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD					C1											RSVD					C4										
N/A					RW											N/A					RW										
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CSC_COEF1 [31:0]

位域	名称	描述
26-16	C1	二进制补码形式的与 V/Cr 分量相乘的系数 C1。YUV=0x123（1.140）YCbCr=0x198（1.596）。
10-0	C4	二进制补码形式的与 U/Cb 分量相乘的系数 C4。YUV=0x208（2.032）YCbCr=0x204（2.017）。

CSC_COEF1 位域

36.3.16 CSC_COEF2 (0x78)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD					C2											RSVD					C3										
N/A					RW											N/A					RW										
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CSC_COEF2 [31:0]

位域	名称	描述
26-16	C2	二进制补码形式的与 V/Cr 分量相乘的系数 C2。YUV=0x76B（-0.581）YCbCr=0x730（-0.813）。
10-0	C3	二进制补码形式的与 U/Cb 分量相乘的系数 C3。YUV=0x79C（-0.394）YCbCr=0x79C（-0.392）。

CSC_COEF2 位域

36.3.17 CLRKEY_LOW (0x7C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								LIMIT																							
N/A								RW																							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CLRKEY_LOW [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
23-0	LIMIT	色彩键值的低限。要禁用色彩键值，可以将低限设置为 0xFFFFFF，将高限设置为 0x000000。

CLRKEY_LOW 位域

36.3.18 CLRKEY_HIGH (0x80)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								LIMIT																							
N/A								RW																							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CLRKEY_HIGH [31:0]

位域	名称	描述
23-0	LIMIT	色彩键值的低限。要禁用色彩键值，可以将低限设置为 0xFFFFFF，将高限设置为 0x000000。

CLRKEY_HIGH 位域

36.3.19 HISTOGRAM_FIFO (0x90 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								HIST_Y																							
N/A								RO																							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

HISTOGRAM_FIFO [31:0]

位域	名称	描述
23-0	HIST_Y	

HISTOGRAM_FIFO 位域

36.4 CAM 配置使用简单说明

36.4.1 停止

将 CR18[CAM_ENABLE] 置为 0 即可停止 CAM 模块。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

36.4.2 软件复位

将 CR18[CAM_ENABLE] 置为 0 之后，要将相关 CR1[FIFO_CLR] 置为 1，状态寄存器写 0xFFFFFFFF 清 0，CR20 清 0。

36.4.3 使能

按照上述复位流程复位，然后配置 CR1，IDEAL_WN_SIZE，按照分辨率和颜色格式配置 MAX_WN_CYCLE, 配置 MAX_STT_WN_SIZE，配置 CR2 的 DMA_EN 和 DMA 的门限、DMASA_FB1、DMASA_FB2，最后置 CR18[CAM_ENABLE] 为 1。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

37 2D 图形加速单元 PDMA

37.1 概述

PDMA 模块主要用来读取 2 个 Layer 的显示数据，进行缩放，旋转，blending，然后送出到内存。本模块的结构图如图 40。

图 40: PDMA 结构框图

37.2 寄存器列表

PDMA 相关寄存器占用地址如下：PDMA base address: 0xF1010000

地址偏移	名称	描述	复位值
0x0000	CTRL	控制寄存器	0x00000000
0x0004	STAT	状态寄存器	0x00000000
0x0008	OUT_CTRL	输出图层控制寄存器	0x00000000
0x000C	OUT_BUF	输出图层缓冲区地址	0x00000000
0x0014	OUT_PITCH	输出图层行间隔寄存器	0x00000000
0x0018	OUT_LRC	输出图层右下角寄存器	0x00000000
0x001C	OUT_PS[0][ULC]	图层目标左上角寄存器	0x00000000
0x0020	OUT_PS[0][LRC]	图层目标右下角寄存器	0x00000000
0x0024	OUT_PS[1][ULC]	图层目标左上角寄存器	0x00000000
0x0028	OUT_PS[1][LRC]	图层目标右下角寄存器	0x00000000
0x0030	PS[0][CTRL]	图层输入控制寄存器	0x00000000
0x0034	PS[0][BUF]	图层输入缓冲区地址寄存器	0x00000000
0x0040	PS[0][PITCH]	图层输入行间隔寄存器	0x00000000
0x0044	PS[0][BKGD]	图层背景色寄存器	0x00000000
0x0048	PS[0][SCALE]	图层缩放尺度寄存器	0x00000000
0x004C	PS[0][OFFSET]	图层缩放偏置寄存器	0x00000000
0x0050	PS[0][CLRKEY_LOW]	图层色彩键值低限寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0054	PS[0][CLRKEY_HIGH]	图层色彩键值高限寄存器	0x00000000
0x0058	PS[0][ORG]	图层原始尺寸寄存器	0x00000000
0x0060	PS[1][CTRL]	图层输入控制寄存器	0x00000000
0x0064	PS[1][BUF]	图层输入缓冲区地址寄存器	0x00000000
0x0070	PS[1][PITCH]	图层输入行间隔寄存器	0x00000000
0x0074	PS[1][BKGD]	图层背景色寄存器	0x00000000
0x0078	PS[1][SCALE]	图层缩放尺度寄存器	0x00000000
0x007C	PS[1][OFFSET]	图层缩放偏置寄存器	0x00000000
0x0080	PS[1][CLRKEY_LOW]	图层色彩键值低限寄存器	0x00000000
0x0084	PS[1][CLRKEY_HIGH]	图层色彩键值高限寄存器	0x00000000
0x0088	PS[1][ORG]	图层原始尺寸寄存器	0x00000000
0x00A0	YUV2RGB_COEF0	YUV2RGB 色彩转换系数 0 号寄存器	0x00000000
0x00A4	YUV2RGB_COEF1	YUV2RGB 色彩转换系数 1 号寄存器	0x00000000
0x00A8	YUV2RGB_COEF2	YUV2RGB 色彩转换系数 2 号寄存器	0x00000000
0x00AC	RGB2YUV_COEF0	RGB2YUV 色彩转换系数 0 号寄存器	0x00000000
0x00B0	RGB2YUV_COEF1	RGB2YUV 色彩转换系数 1 号寄存器	0x00000000
0x00B4	RGB2YUV_COEF2	RGB2YUV 色彩转换系数 2 号寄存器	0x00000000
0x00B8	RGB2YUV_COEF3	RGB2YUV 色彩转换系数 3 号寄存器	0x00000000
0x00BC	RGB2YUV_COEF4	RGB2YUV 色彩转换系数 4 号寄存器	0x00000000

表 204: PDMA 寄存器列表

37.3 寄存器描述

PDMA 相关寄存器具体描述如下：

37.3.1 CTRL (0x0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD									ARQOS				AWQOS				PACK_DIR		AXIERR_IRQ_EN	PDMA_DONE_IRQ_EN	RSVD	CLKGATE	RSVD	RSVD	IRQ_EN	BS16	P1_EN	P0_EN	RSVD	PDMA_SFTRST	PDMA_EN

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
N/A									RW				RW				RW		RW	RW	N/A	RW	N/A	N/A	RW	RW	RW	RW	N/A	RW	RW
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CTRL [31:0]

位域	名称	描述
22-19	ARQOS	AXI 读总线的 QoS
18-15	AWQOS	AXI 写总线的 QoS
14-13	PACK_DIR	确定输出数据的 32 位字内 {A3，A2，A1，A0} 的字节序列。各个字节里的比特位序列不变。 2’b00：无变化 {A3，A2，A1，A0} 2’b01:{A2，A3，A0，A1} 2’b10:{A1，A0，A3，A2} 2’b11:{A0，A1，A2，A3}
12	AXIERR_IRQ_EN	AXI 总线错误中断使能
11	PDMA_DONE_IRQ_EN	PDMA 工作结束中断使能
9	CLKGATE	当模块不工作时，将其置为 1 来关闭内部时钟。 如果置为零，则内部时钟始终打开。
6	IRQ_EN	正常中断使能
5	BS16	置为 1 时，处理基本块大小为 16x16。 置为 0 时，处理基本块大小为 8x8。
4	P1_EN	图层 1 使能
3	P0_EN	图层 0 使能
1	PDMA_SFTRST	软件复位。 写入 1 以复位 PDMA 内部逻辑。 写入 0 以退出软件复位模式。
0	PDMA_EN	置为 1 来使能本模块

CTRL 位域

37.3.2 STAT (0x4)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BLOCKY								BLOCKX								RSVD						PDMA_DONE	AXI_ERR_ID				AXI_0_WRITE_ERR	AXI_1_READ_ERR	AXI_0_READ_ERR	RSVD	IRQ
RO								RO								N/A						RO	RO				W1C	W1C	W1C	N/A	W1C
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

STAT [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-24	BLOCKY	正在处理的块的 Y 坐标
23-16	BLOCKX	正在处理的块的 X 坐标
9	PDMA_DONE	PDMA 一帧完成
8-5	AXI_ERR_ID	AXI 错误 ID
4	AXI_0_WRITE_ERR	AXI0 写错误
3	AXI_1_READ_ERR	AXI1 读错误
2	AXI_0_READ_ERR	AXI0 读错误
0	IRQ	为 1 时表明有 IRQ 事件发生

STAT 位域

37.3.3 OUT_CTRL (0x8)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DSTALPHA								SRCALPHA								RSVD				ABLEND_MODE				RSVD		FORMAT					
RW								RW								N/A				RW				N/A		RW					
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	x	0	0	0	0	x	x	0	0	0	0	0	0

OUT_CTRL [31:0]

位域	名称	描述
31-24	DSTALPHA	目标图层（图层 1）系统 ALPHA 值
23-16	SRCALPHA	源图层（图层 0）系统 ALPHA 值

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
11-8	ABLEND_MODE	混色同步模式选择 0: SKBlendMode_Clear （如果 PS1_CTRL[BKGNDCL4CLR] 为 1，则使用 PS1_BKGRND 颜色填充 PS1 确定的范围，否则将 PS1 确定的范围填充为零）; 1: SKBlendMode_Src ; 2: SKBlendMode_Dst 3: SKBlendMode_SrcOver 4: SKBlendMode_DstOver 5: SKBlendMode_SrcIn 6: SKBlendMode_DstIn 7: SKBlendMode_SrcOut 8: SKBlendMode_DstOut 9: SKBlendMode_SrcATop 10: SKBlendMode_DstATop 11: SKBlendMode_Xor 12: SKBlendMode_Plus (通常意义上的混色模式) 13: SKBlendMode_Modulate 14: 原 SRC 15: 原 DST Others: Reserved.
5-0	FORMAT	输出帧缓冲区颜色格式选择。 0x0 ARGB8888-32 位像素，Byte 次序从低到高为 B,G,R,A 0xE RGB565-16 位像素，Byte 次序从低到高为 B,R 0x12 UYVY1P422-16 位像素，共平面，Byte 次序从低到高为 U0、Y0、V0、Y1

OUT_CTRL 位域

37.3.4 OUT_BUF (0xC)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

OUT_BUF [31:0]

位域	名称	描述
31-0	ADDR	输出帧缓冲区的当前地址指针。地址可以有任何字节对齐。建议使用 64B 对齐以获得最佳性能。

OUT_BUF 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

37.3.5 OUT_PITCH (0x14)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																BYTELEN															
N/A																RW															
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

OUT_PITCH [31:0]

位域	名称	描述
15-0	BYTELEN	指示两个垂直相邻像素之间内存中的字节数。

OUT_PITCH 位域

37.3.6 OUT_LRC (0x18)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD		Y														RSVD		X													
N/A		RW														N/A		RW													
x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0

OUT_LRC [31:0]

位域	名称	描述
29-16	Y	输出帧缓冲区的右下角 Y 坐标（以像素为单位）。 该值是输出图像的的高度。
13-0	X	输出帧缓冲区的右下角 X 坐标（以像素为单位）。 该值是输出图像的的宽度。

OUT_LRC 位域

37.3.7 OUT_PS[ULC] (0x1C + 0x8 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD		Y														RSVD		X													
N/A		RW														N/A		RW													
x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0

OUT_PS[ULC] [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
29-16	Y	此字段表示当前图层在输出帧缓冲区中的左上角 Y 坐标（以像素为单位）。
13-0	X	此字段表示当前图层在输出帧缓冲区中的左上角 X 坐标（以像素为单位）。

OUT_PS[ULC] 位域

37.3.8 OUT_PS[LRC] (0x20 + 0x8 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD		Y														RSVD		X													
N/A		RW														N/A		RW													
x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0

OUT_PS[LRC] [31:0]

位域	名称	描述
29-16	Y	此字段表示当前图层在输出帧缓冲区中的右下角 Y 坐标（以像素为单位）。
13-0	X	此字段表示当前图层在输出帧缓冲区中的右下角 X 坐标（以像素为单位）。

OUT_PS[LRC] 位域

37.3.9 PS[CTRL] (0x30 + 0x30 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD											INB13_SWAP	PACK_DIR		BKGCL4CLR	YCBCR_MODE	BYPASS	VFLIP	HFLIP	ROTATE		DECY		DECX		HW_BYTE_SWAP	FORMAT					
N/A											RW	RW		RW	RW	RW	RW	RW	RW		RW		RW		RW	RW					
x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PS[CTRL] [31:0]

位域	名称	描述
20	INB13_SWAP	如果置为 1，在打包操作前，交换位 [31:24] 和位 [15:8]。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
19-18	PACK_DIR	确定 32 位字内 {A3，A2，A1，A0} 的字节序列。各个字节里的比特位序列不变。 2'b00：无变化 {A3，A2，A1，A0} 2'b01:{A2，A3，A0，A1} 2'b10:{A1，A0，A3，A2} 2'b11:{A0，A1，A2，A3}
17	BKGCL4CLR	如果置为 1，在混色同步模式为 SKBlendMode_Clear 时，用背景色填充
16	YCBCR_MODE	如果置为 1，表明输入为 YCbCr 模式；否则为 YUV 模式
15	BYPASS	如果置为 1，不做色彩转换。
14	VFLIP	置为 1 时，对输入图层在旋转前做垂直翻转
13	HFLIP	置为 1 时，对输入图层在旋转前做水平翻转
12-11	ROTATE	对输入图层进行顺时针旋转。旋转操作发生在垂直翻转和水平翻转之后。 0x0 ROT_0 0x1 ROT_90 0x2 ROT_180 0x3 ROT_270
10-9	DECY	预先垂直下采样控制。 0x0 禁用-禁用预先垂直下采样。 0x1 DECY2-预先垂直 2 倍下采样。 0x2 DECY4-预先垂直 4 倍下采样。 0x3 DECY8-预先垂直 8 倍下采样。
8-7	DECX	预先水平下采样控制。 0x0 禁用-禁用预先水平下采样。 0x1 DECY2-预先水平 2 倍下采样。 0x2 DECY4-预先水平 4 倍下采样。 0x3 DECY8-预先水平 8 倍下采样。
6	HW_BYTE_SWAP	置为 1 时，在半个字中交换字节。对于每个 16 位半字，将交换其含有的两个字节的位置。
5-0	FORMAT	输入缓冲区颜色格式。如果要在 YUV 和 YCbCr 格式之间进行选择，请参阅该寄存器的第 16 位。 0x0 ARGB888-32 位像素，Byte 次序从低到高为 B,G,R,A 0xE RGB565-16 位像素，Byte 次序从低到高为 B,R 0x13 YUYV1P422-16 位像素（共平面，Byte 次序从低到高为 Y0,U0,Y1,V0 交错字节）

PS[CTRL] 位域

37.3.10 PS[BUF] (0x34 + 0x30 * n)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PS[BUF] [31:0]

位域	名称	描述
31-0	ADDR	输入图层的 RGB 或 Y（luma）输入缓冲区的地址指针。

PS[BUF] 位域

37.3.11 PS[PITCH] (0x40 + 0x30 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																BYTELEN															
N/A																RW															
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PS[PITCH] [31:0]

位域	名称	描述
15-0	BYTELEN	系统内存中两个垂直相邻像素之间的字节数。

PS[PITCH] 位域

37.3.12 PS[BKGD] (0x44 + 0x30 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
COLOR																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PS[BKGD] [31:0]

位域	名称	描述
31-0	COLOR	不在本图层最终缩放范围内，但落在 OUT_PS[x][ULC]、OUT_PS[x][LRC] 指定的缓冲区范围内的任何像素所要采用的背景色（32bpp 格式）。最高 8 位是 alpha 通道。

PS[BKGD] 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

37.3.13 PS[SCALE] (0x48 + 0x30 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD	Y															RSVD	X														
N/A	RW															N/A	RW														
x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PS[SCALE] [31:0]

位域	名称	描述
30-16	Y	这是本图层 X 方向双线性缩放因子，为两位整数和 12 位小数的表示形式（################）。 最大值应为 2，因为双线性滤波器不支持按大于 2 的因子缩小。 预先水平下采样和 X 方向缩放因子一起使用，可以实现 2 倍以上的缩放。
14-0	X	这是本图层 Y 方向双线性缩放因子，为两位整数和 12 位小数的表示形式（################）。 最大值应为 2，因为双线性滤波器不支持按大于 2 的因子缩小。 预先垂直下采样和 Y 方向缩放因子一起使用，可以实现 2 倍以上的缩放。

PS[SCALE] 位域

37.3.14 PS[OFFSET] (0x4C + 0x30 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				Y												RSVD				X											
N/A				RW												N/A				RW											
x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0

PS[OFFSET] [31:0]

位域	名称	描述
27-16	Y	这是 Y 缩放偏置的 12 位分数表示法（0.##############）。 这是一个固定的像素偏移量，该偏移量被加到缩放地址的计算中，用来确定缩放时的原始像素位置。 一个单位间距指的是预先垂直下采样之后的一个像素宽度。
11-0	X	这是 X 缩放偏置的 12 位分数表示法（0.##############）。 这是一个固定的像素偏移量，该偏移量被加到缩放地址的计算中，用来确定缩放时的原始像素位置。 一个单位间距指的是预先水平下采样之后的一个像素宽度。

PS[OFFSET] 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

37.3.15 PS[CLRKEY_LOW] (0x50 + 0x30 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								LIMIT																							
N/A								RW																							
x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PS[CLRKEY_LOW] [31:0]

位域	名称	描述
23-0	LIMIT	本图层的色彩键值的低限。要禁用色彩键值，可以将低限设置为 0xFFFFFF，将高限设置为 0x000000。

PS[CLRKEY_LOW] 位域

37.3.16 PS[CLRKEY_HIGH] (0x54 + 0x30 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								LIMIT																							
N/A								RW																							
x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PS[CLRKEY_HIGH] [31:0]

位域	名称	描述
23-0	LIMIT	本图层的色彩键值的高限。要禁用色彩键值，可以将低限设置为 0xFFFFFF，将高限设置为 0x000000。

PS[CLRKEY_HIGH] 位域

37.3.17 PS[ORG] (0x58 + 0x30 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD		HIGHT														RSVD		WIDTH													
N/A		RW														N/A		RW													
x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PS[ORG] [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
29-16	HIGHT	图层原始帧的垂直像素数（不要-1）
13-0	WIDTH	图层原始帧的水平像素数（不要-1）

PS[ORG] 位域

37.3.18 YUV2RGB_COEF0 (0xA0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD			C0											UV_OFFSET									Y_OFFSET								
N/A			RW											RW									RW								
x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

YUV2RGB_COEF0 [31:0]

位域	名称	描述
28-18	C0	二进制补码形式的与 Y 相乘的系数 C0。YUV=0x100（1.000）YCbCr=0x12A（1.164）
17-9	UV_OFFSET	二进制补码形式的 CbCr 数据中隐含的偏置 UV_OFFSET。一般用于 YCbCr 到 RGB 的转换。 YCbCr=0x180，YUV=0x000（通常为-128 或 0x180，表示相关 CbCr 数据是归一化到-0.5 到 0.5 范围的）。
8-0	Y_OFFSET	二进制补码形式的 Y 数据中隐含的偏置 Y_OFFSET。对于 YUV，这通常是 0，对于 YCbCr，这通常是-16（0x1F0）。

YUV2RGB_COEF0 位域

37.3.19 YUV2RGB_COEF1 (0xA4)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD					C1											RSVD					C4										
N/A					RW											N/A					RW										
x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0

YUV2RGB_COEF1 [31:0]

位域	名称	描述
26-16	C1	二进制补码形式的与 V/Cr 分量相乘的系数 C1。YUV=0x123（1.140）YCbCr=0x198（1.596）。
10-0	C4	二进制补码形式的与 U/Cb 分量相乘的系数 C4。YUV=0x208（2.032）YCbCr=0x204（2.017）。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述

YUV2RGB_COEF1 位域

37.3.20 YUV2RGB_COEF2 (0xA8)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD					C2											RSVD					C3										
N/A					RW											N/A					RW										
x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0

YUV2RGB_COEF2 [31:0]

位域	名称	描述
26-16	C2	二进制补码形式的与 V/Cr 分量相乘的系数 C2。YUV=0x76B（-0.581）YCbCr=0x730（-0.813）。
10-0	C3	二进制补码形式的与 U/Cb 分量相乘的系数 C3。YUV=0x79C（-0.394）YCbCr=0x79C（-0.392）。

YUV2RGB_COEF2 位域

37.3.21 RGB2YUV_COEF0 (0xAC)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
YCBCR_MODE	ENABLE	RSVD	C0											UV_OFFSET									Y_OFFSET								
RW	RW	N/A	RW											RW									RW								
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RGB2YUV_COEF0 [31:0]

位域	名称	描述
31	YCBCR_MODE	必须置为 1 来选择 YCbCr 模式
30	ENABLE	二进制补码形式的与 U/Cb 分量相乘的系数 C3。YUV=0x79C（-0.394）YCbCr=0x79C（-0.392）。
28-18	C0	色彩转换系数 C0
17-9	UV_OFFSET	色彩转换系数 UV 偏置
8-0	Y_OFFSET	色彩转换系数 Y 偏置

RGB2YUV_COEF0 位域

37.3.22 RGB2YUV_COEF1 (0xB0)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD					C1											RSVD					C4										
N/A					RW											N/A					RW										
x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0

RGB2YUV_COEF1 [31:0]

位域	名称	描述
26-16	C1	色彩转换系数 C1
10-0	C4	色彩转换系数 C4

RGB2YUV_COEF1 位域

37.3.23 RGB2YUV_COEF2 (0xB4)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD					C2											RSVD					C3										
N/A					RW											N/A					RW										
x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0

RGB2YUV_COEF2 [31:0]

位域	名称	描述
26-16	C2	色彩转换系数 C2
10-0	C3	色彩转换系数 C3

RGB2YUV_COEF2 位域

37.3.24 RGB2YUV_COEF3 (0xB8)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD					C6											RSVD					C5										
N/A					RW											N/A					RW										
x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0

RGB2YUV_COEF3 [31:0]

位域	名称	描述
26-16	C6	色彩转换系数 C6
10-0	C5	色彩转换系数 C5

RGB2YUV_COEF3 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

37.3.25 RGB2YUV_COEF4 (0xBC)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD					C8											RSVD					C7										
N/A					RW											N/A					RW										
x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0

RGB2YUV_COEF4 [31:0]

位域	名称	描述
26-16	C8	色彩转换系数 C8
10-0	C7	色彩转换系数 C7

RGB2YUV_COEF4 位域

37.4 PDMA 配置使用简单说明

37.4.1 复位

将 CTRL[PDMA_SFTRST] 置为 1 后复位，将 CTRL[PDMA_SFTRST] 置为 0 后解除复位，。

37.4.2 停止

置 CTRL[PDMA_EN] 为 0，复位，然后写 0x21F 至 STAT 寄存器复位各标志位。

37.4.3 使能

在停止了 PDMA 模块的基础上，可以配置各个寄存器，最后通过将 CTRL[PDMA_EN] 置为 1 使能 PDMA 模块。

37.4.4 背景色

背景色的决定原则如下：

1. 如果图层 1 的 PS[CTRL][BGDCL4CLR] 为 1，那么 blender 的所有输入里没有图层占用（即两个输入图层的 alpha=0）的像素，在输出时用图层 1 的 PS[BKGD] 寄存器里的值代替。如果图层 1 的 PS[CTRL][BGDCL4CLR] 为 0，那么 blender 的所有输入里没有图层占用（即两个输入图层的 alpha=0）的像素，在输出时值为 0。
2. blender 的输入数据中，输入图层方框外的数据都是用该图层的 PS[BKGD] 寄存器里的值填充至 OUT+LRC 寄存器所决定的图像大小，输入图层方框内的数据即是图层数据自带的数据（即使其 alpha 值为 0）。

37.4.5 色彩转换

本模块可以处理 YCbCr2RGB、YUV2RGB、RGB2YCbCr 的转换。其公式如下：

当从 YUV 或者 YCbCr 转成 RGB 时：

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

R = C0*(Y+YOFFSET) + C1(V+UV_OFFSET)
G = C0*(Y+YOFFSET) + C3(U+UV_OFFSET) + C2(V+UV_OFFSET)
B = C0*(Y+YOFFSET) + C4(U+UV_OFFSET)

除去 YUV 或者 YCbCr 的一位控制位,，及色彩转换允许位后，其配置方式如下：

当从 YUV 转成 RGB 时：

```
//C0:0x100,
//C1:0x167,C2:0x749
//C3:0x7A8,C4:0x1C5
//Y_OFFSET:0x0, UV_OFFSET:0x0

CSCCOEF0_WR( (32'h100<<18/*C0*/) | (32'h0<<9/*UV_OFFSET*/) | (32'h0<<0/*Y_OFFSET*/) );
CSCCOEF1_WR( (32'h167<<16/*C1*/) | (32'h1C5<<0/*C4*/) );
CSCCOEF2_WR( (32'h749<<16/*C2*/) | (32'h7A8<<0/*C3*/) );
```

当从 YCbCr 转成 RGB 时：

```
//C0:0x12A,
//C1:0x198,C2:0x730
//C3:0x79C,C4:0x204
//Y_OFFSET:0x1F0, UV_OFFSET:0x180

CSCCOEF0_WR( (32'h12A<<18/*C0*/) | (32'h180<<9/*UV_OFFSET=-128*/) | (32'h1F0<<0/*Y_OFFSET=-16*/) );
CSCCOEF1_WR( (32'h198<<16/*C1*/) | (32'h204<<0/*C4*/) );
CSCCOEF2_WR( (32'h730<<16/*C2*/) | (32'h79C<<0/*C3*/) );
```

当从 RGB 转成 YCbCr 时，其公式如下：

Y = A0*R + A1*G + A2*B + Y_OFFSET
U = B0*R + B1*G + B2*B + UV_OFFSET
V = C0*R + C1*G + C2*B + UV_OFFSET

除去转 YCbCr 的一位控制位，及色彩转换允许位后，其配置方式如下：

当从 RGB 转成 YCbCr 时：

```
//C0:0x042,C1:0x081,C2:0x019
//C3:0x7DA,C4:0x7B5,C5:0x070
//C6:0x070,C7:0x7A2,C8:0x7EE
//Y_OFFSET:0x10,UV_OFFSET:0x080

CSCCOEF0_WR((32'h042<<18/*C0*/) | (32'h80<<9/*UV_OFFSET*/) | (32'h10<<0/*Y_OFFSET*/));
CSCCOEF1_WR((32'h081<<16/*C1*/) | (32'h7B5<<0/*C4*/) );
CSCCOEF2_WR((32'h019<<16/*C2*/) | (32'h7DA<<0/*C3*/) );
CSCCOEF3_WR((32'h070<<16/*C6*/) | (32'h070<<0/*C5*/) );
CSCCOEF4_WR((32'h7EE<<16/*C8*/) | (32'h7A2<<0/*C7*/) );
```

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

37.4.6 ALPHA_BLENDER 的模式

这里解释一下 OUT_CTRL[ABLEND_MODE] 的含义。PDMA 支持 Porter-Duff Blend 模式。其定义如图 41所示:

图 41: Porter Duff Blend 模式

这里假设 source（源图）如图 42所示，

destination（目标图）如图 43所示。

图 42: Source（源图）图像

像素点的计算规则如下表 37.4.6。表中，每一行的 [..., ...] 里，逗号 (,) 之前为 alpha 通道的更新规则，逗号 (,) 之后为色度通道的更新规则。Da 为目标图 alpha 通道值，Sa 为源图 alpha 通道值，Dc 为目标图色度通道值，Sc 为源图色度通道值。

Mode	Operation
Clear	$[0, 0]$
Src	$[\mathrm{Sa}, \mathrm{Sc} \cdot \mathrm{Sa}]$
Dst	$[\mathrm{Da}, \mathrm{Dc} \cdot \mathrm{Da}]$
Srcover	$[\mathrm{Sa} + \mathrm{Da} \cdot (1 - \mathrm{Sa}), \mathrm{Sc} \cdot \mathrm{Sa} + \mathrm{Dc} \cdot \mathrm{Da} \cdot (1 - \mathrm{Sa})$
Dstover	$[\mathrm{Da} + \mathrm{Sa} \cdot (1 - \mathrm{Da}), \mathrm{Dc} \cdot \mathrm{Da} + \mathrm{Sc} \cdot \mathrm{Sa} \cdot (1 - \mathrm{Da})$

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

Srcin	$[Sa \cdot Da, Sc \cdot Sa \cdot Da]$
DstIn	$[Da \cdot Sa, Dc \cdot Da \cdot Sa]$
Srcout	$[Sa \cdot (1 - Da), Sc \cdot Sa \cdot (1 - Da)]$
Dstout	$[Da \cdot (1 - Sa), Dc \cdot Da \cdot (1 - Sa)]$
Srcatop	$[Da, Sc \cdot Sa \cdot Da + Dc \cdot Da \cdot (1 - Sa)]$
Dstatop	$[Sa, Dc \cdot Da \cdot Sa + Sc \cdot Sa \cdot (1 - Da)]$
Xor	$[Sa + Da - 2 \cdot Sa \cdot Da, Sc \cdot Sa \cdot (1 - Da) + Dc \cdot Da \cdot (1 - Sa)]$
Plus	$[Sa + Da, Sc \cdot Sa + Dc \cdot Da]$
Modulate	$[Sa \cdot Da, Sc \cdot Sa \cdot Dc \cdot Da]$
Src Org	$[Sa, Sc]$
Dst org	$[Da, Dc]$

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

图 43: Destination（目标图）图像

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

38 JPEG 编解码器

38.1 概述

JPEG 模块主要用来完成 jpeg 的编解码。目前支持的特性如下：

- 可以工作在编码模式或者解码模式。
- 支持压缩编码的格式为 YUV444，YUV422H1P，YUV422V1P，YUV420，Y8(YUV400)。
- 编解码的图像大小必须为整数倍的宏块尺寸（即依压缩格式，图像行列的个数必须为 8 或者 16 的整数倍）
- 编码器：支持 RGB565、YUV422H1P、Y8、ARGB8888 的二维逐行图像输入
- 解码器：支持 RGB565、YUV422H1P、Y8、ARGB8888 的二维逐行图像输出

38.2 JPEG 架构图

本模块的结构图如图 44。图中的 Macro Blk Proc 有时又称为 Codec。

图 44: JPEG 结构框图

38.3 寄存器列表

JPEG 相关寄存器占用地址如下：JPEG base address: 0xF1014000

地址偏移	名称	描述	复位值
0x0000	INDMA_MISC	DMA 输入通道杂类控制寄存器	0x00000000
0x0004	INDMABASE	DMA 输入通道缓冲区地址寄存器	0x00000000
0x000C	INDMA_CTRL0	DMA 输入通道缓冲控制 0 号寄存器	0x00000000
0x0010	INDMA_CTRL1	DMA 输入通道缓冲控制 1 号寄存器	0x00000000
0x0014	INXT_CMD	DMA 输入通道后继命令寄存器	0x00000000
0x0020	OUTDMA_MISC	DMA 输出通道杂类控制寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0024	OUTDMABASE	DMA 输出通道缓冲区地址寄存器	0x00000000
0x002C	OUTDMA_CTRL0	DMA 输出通道缓冲控制 0 号寄存器	0x00000000
0x0030	OUTDMA_CTRL1	DMA 输出通道缓冲控制 1 号寄存器	0x00000000
0x0034	ONXT_CMD	DMA 输出通道后继命令寄存器	0x00000000
0x0040	CFG	配置寄存器	0x00000000
0x0044	STAT	状态寄存器	0x00000000
0x0048	WIDTH	图像宽度寄存器	0x00000000
0x004C	HEIGHT	图像高度寄存器	0x00000000
0x0050	BUFADDR	内部缓冲区访问地址寄存器	0x00000000
0x0054	BUFDATA	内部缓冲区访问数据寄存器	0x00000000
0x0058	OUTDMACNT	DMA 输出 byte 计数器	0x00000000
0x005C	CSC_COEF0	YUV2RGB 色彩转换系数 0 号寄存器	0x00000000
0x0060	CSC_COEF1	YUV2RGB 色彩转换系数 1 号寄存器	0x00000000
0x0064	CSC_COEF2	YUV2RGB 色彩转换系数 2 号寄存器	0x00000000
0x0068	RGB2YUV_COEF0	RGB2YUV 色彩转换系数 0 号寄存器	0x00000000
0x006C	RGB2YUV_COEF1	RGB2YUV 色彩转换系数 1 号寄存器	0x00000000
0x0070	RGB2YUV_COEF2	RGB2YUV 色彩转换系数 2 号寄存器	0x00000000
0x0074	RGB2YUV_COEF3	RGB2YUV 色彩转换系数 3 号寄存器	0x00000000
0x0078	RGB2YUV_COEF4	RGB2YUV 色彩转换系数 4 号寄存器	0x00000000
0x0084	IMGREG1	压缩图像控制 1 号寄存器	0x00000000
0x0088	IMGREG2	压缩图像控制 2 号寄存器	0x00000000
0x008C	IMGREG3	压缩图像控制 3 号寄存器	0x00000000
0x0090	IMGREG[REG40]	压缩图像控制 40 号寄存器	0x00000000
0x0094	IMGREG[REG41]	压缩图像控制 41 号寄存器	0x00000000
0x0098	IMGREG[REG42]	压缩图像控制 42 号寄存器	0x00000000
0x009C	IMGREG[REG43]	压缩图像控制 43 号寄存器	0x00000000

表 206: JPEG 寄存器列表

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

38.4 寄存器描述

JPEG 相关寄存器具体描述如下：

38.4.1 INDMA_MISC (0x0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD									ARQOS				MAX_OT				INB13_SWAP	PACK_DIR		INDMA_RENEW	NXT_IRQ_EN	IN_DMA_DONE_IRQ_EN	AXI_ERR_IRQ_EN	IRQ_EN	IN_DMA_ID			IN_DMA_REQ	INDMA2D	RSVD	
N/A									RW				RW				RW	RW		RW	RW	RW	RW	RW	RW			RW	RW	N/A	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x

INDMA_MISC [31:0]

位域	名称	描述
22-19	ARQOS	AXI 读通道的 QoS 配置
18-15	MAX_OT	输入为 RGB 像素时的 AXI 超前访问 (outstanding) 传输的最大值。 如果每像素 16 比特，可以将其设置为 4。 如果每像素 32 比特，可以将其设置为 2。
14	INB13_SWAP	在打包操作之前交换位 [31:24] 和位 [15:8]。 仅适用于像素数据。
13-12	PACK_DIR	确定 32 位字内 {A3，A2，A1，A0} 的字节序列。各个字节里的比特位序列不变。 仅适用于像素数据。 2’b00：无变化 {A3，A2，A1，A0} 2’b01:{A2，A3，A0，A1} 2’b10:{A1，A0，A3，A2} 2’b11:{A0，A1，A2，A3}
11	INDMA_RENEW	DMA 输入通道地址更新选项。 0：当出现新的 DMA 请求时，地址计数器继续增加。 1：当出现新的 DMA 请求时，重新初始化地址计数器。
10	NXT_IRQ_EN	DMA 输入通道后继命令中断使能
9	IN_DMA_DONE_IRQ_EN	DMA 输入通道数据传输结束中断使能
8	AXI_ERR_IRQ_EN	DMA 输入通道 AXI 总线错误中断使能
7	IRQ_EN	DMA 输入通道总中断允许使能

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
6-4	IN_DMA_ID	DMA 输入通道目标地址标号 0：原始像素（输入） 1：压缩码流 ECS（输入） 2：Qmem 3：HuffEnc 4：HuffMin 5：HuffBase 6：HuffSymb
3	IN_DMA_REQ	置为 1 时请求 DMA。DMA 完成后自动清 0。
2	INDMA2D	In_DMA_ID 为原始像素（输入）时，必须置为 1。其余为 0。

INDMA_MISC 位域

38.4.2 INDMABASE (0x4)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

INDMABASE [31:0]

位域	名称	描述
31-0	ADDR	Y 面（或者压缩码流 ECS）起始地址指针

INDMABASE 位域

38.4.3 INDMA_CTRL0 (0xC)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TTLEN																PITCH															
RW																RW															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

INDMA_CTRL0 [31:0]

位域	名称	描述
31-16	TTLEN	以字节为单位的总长度-1 的数值的低 16 位（当 In_DMA_ID 不是原始像素（输入）时）
15-0	PITCH	相邻行的起始点之间的地址间距（(当 In_DMA_ID 是原始像素（输入）时)）

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述

INDMA_CTRL0 位域

38.4.4 INDMA_CTRL1 (0x10)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																ROWLEN															
N/A																RW															
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

INDMA_CTRL1 [31:0]

位域	名称	描述
15-0	ROWLEN	以字节为单位的总长度-1 的数值的高 16 位（当 In_DMA_ID 不是原始像素（输入）时）。 参见 InDMA_Ctrl0[TTLEN] 的描述

INDMA_CTRL1 位域

38.4.5 INXT_CMD (0x14)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR																														OP_VALID	EN
RW																														RW	RW
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

INXT_CMD [31:0]

位域	名称	描述
31-2	ADDR	后继命令在内存中的起始地址
1	OP_VALID	如果存在数据 DMA 或后继命令操作，则置为 1。 自动清 0。 如果 CFG[JPEG_EN] 为 1，将触发 DMA 输入通道传输。
0	EN	后继命令使能

INXT_CMD 位域

38.4.6 OUTDMA_MISC (0x20)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD														AWQOS				PACK_DIR		EN_OUTCNT	INI_OUTCNT	ADD_ODMA_ENDINGS	NXT_IRQ_EN	OUT_DMA_DONE_IRQ_EN	AXI_ERR_IRQ_EN	IRQ_EN	OUT_DMA_ID	OUT_DMA_REQ	OUTDMA2D	RSVD	
N/A														RW				RW		RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	N/A	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x

OUTDMA_MISC [31:0]

位域	名称	描述
17-14	AWQOS	
13-12	PACK_DIR	确定 32 位字内 {A3，A2，A1，A0} 的字节序列。各个字节内的比特位序列不变。所有 DMA 输出通道传输的数据都会受到影响。 2’b00: 无变化 {A3，A2，A1，A0}（用于压缩码流 ecs） 2’b01:{A2，A3，A0，A1} 2’b10:{A1，A0，A3，A2} 2’b11:{A0，A1，A2，A3}
11	EN_OUTCNT	使能输出计数器（以字节为单位）
10	INI_OUTCNT	1：初始化输出计数器为 0， 0：不对输出计数器进行初始化
9	ADD_ODMA_ENDINGS	当编码器模块处理完所有的原始图像像素时，将 0xFFD9 添加到 DMA 输出通道码流的结尾。
8	NXT_IRQ_EN	DMA 输出通道后继命令中断使能
7	OUT_DMA_DONE_IRQ_EN	DMA 输出通道数据传输结束中断使能
6	AXI_ERR_IRQ_EN	DMA 输出通道 AXI 总线错误中断使能
5	IRQ_EN	DMA 输出通道总中断允许使能
4	OUT_DMA_ID	DMA 输出通道目标地址标号 0：原始像素（输出） 1：压缩码流 ECS（输出）
3	OUT_DMA_REQ	置为 1 时请求 DMA。DMA 完成后自动清 0。
2	OUTDMA2D	Out_DMA_ID 为原始像素（输出）时，必须置为 1。其余为 0。

OUTDMA_MISC 位域

38.4.7 OUTDMABASE (0x24)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR																															

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

OUTDMABASE [31:0]

位域	名称	描述
31-0	ADDR	Y 面（或者压缩码流 ECS）起始地址指针

OUTDMABASE 位域

38.4.8 OUTDMA_CTRL0 (0x2C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TTLEN																PITCH															
RW																RW															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

OUTDMA_CTRL0 [31:0]

位域	名称	描述
31-16	TTLEN	以字节为单位的总长度-1 的数值的低 16 位（当 Out_DMA_ID 不是原始像素（输出）时）
15-0	PITCH	相邻行的起始点之间的地址间距（(当 Out_DMA_ID 是原始像素（输出）时)）

OUTDMA_CTRL0 位域

38.4.9 OUTDMA_CTRL1 (0x30)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																ROWLEN															
N/A																RW															
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

OUTDMA_CTRL1 [31:0]

位域	名称	描述
15-0	ROWLEN	以字节为单位的总长度-1 的数值的高 16 位（当 Out_DMA_ID 不是原始像素（输出）时）。 参见 OutDMA_Ctrl0[TTLEN] 的描述

OUTDMA_CTRL1 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

38.4.10 ONXT_CMD (0x34)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR																														OP_VALID	EN
RW																														RW	RW
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ONXT_CMD [31:0]

位域	名称	描述
31-2	ADDR	后继命令在内存中的起始地址
1	OP_VALID	如果存在数据 DMA 或后继命令操作，则置为 1。 自动清 0。 如果 CFG[JPEG_EN] 为 1，将触发 DMA 输出通道传输。
0	EN	后继命令使能

ONXT_CMD 位域

38.4.11 CFG (0x40)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD									JD_UVSWAP	CFG_IPATH_SEL		CODEC_OVER_IRQ_EN	CODEC_RESTART_ERR_IRQ_EN	MEM_DEBUG_CLK_SEL	RSVD	RSVD						CLKGATE	CFG_OPATH_SEL		JDATA_FORMAT			JPEG_SFTRST	START	MODE	JPEG_EN
N/A									RW	RW		RW	RW	RW	N/A	N/A						RW	RW		RW			RW	RW	RW	RW
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CFG [31:0]

位域	名称	描述
22	JD_UVSWAP	通常默认的 CbCr 序列是 Cb 宏块位于 Cr 宏块之前。如果 Cr 宏块是第一个，则将该位设置为 1。此位仅影响从源自 RGB、目标为 RGB 的颜色空间转换。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
21-20	CFG_IPATH_SEL	编码器输入的颜色类别 2‘b00：根据原始数据确定的 2 平面（Y 平面和 UV 平面）或 1 平面（仅 Y 平面），Byte 次序从低到高为 Y0,Y1, 或者为 U,V 2’b01：ARGB8888，Byte 次序从低到高为 B,G,R,A 2’b10：RGB565，Byte 次序从低到高为 B,R 2’b11：YUV422H，Byte 次序从低到高为 Y0,U0,Y1,V1
19	CODEC_OVER_IRQ_EN	JPEG 编解码器进程完成中断使能
18	CODEC_RESTART_ERR_IRQ_EN	JPEG 编解码器重启标志帧错误中断使能
17	MEM_DEBUG_CLK_SEL	如果置为 1，则让本模块内部的 memory 使用 APB 时钟，以便通过 APB 接口读取内部 memory 内容
9	CLKGATE	1：当模块不工作时，自动关闭内部时钟。 0：内部时钟始终打开。
8-7	CFG_OPATH_SEL	解码器输出的颜色类别 2‘b00：根据原始数据确定的 2 平面（Y 平面和 UV 平面）或 1 平面（仅 Y 平面），Byte 次序从低到高为 Y0,Y1, 或者为 U,V 2’b01：ARGB8888，Byte 次序从低到高为 B,G,R,A 2’b10：RGB565，Byte 次序从低到高为 R,B 2’b11：YUV422H1P，Byte 次序从低到高为 Y0,U0,Y1,V1
6-4	JDATA_FORMAT	压缩码流 ECS 类别 3’b000：码流类型为 420，hy=2，vy=2，hc=1，vc=1 //6 个子块每个 MCU 3’b001：码流类型为 422h，hy=2，vy=1，hc=1，vc=1 //4 个子块每个 MCU 3’b010：码流类型为 422v，hy=1，vy=2，hc=1，vc=1 //4 个子块每个 MCU 3’b011：码流类型为 444，hy=1，vy=1，hc=1，vc=1 //3 个子块每个 MCU 3’b100：码流类型为 400，hy=2，vy=2，hc=0，vc=0 //4 个子块每个 MCU 其他：未定义 （hy 指的是一个 MCU 中亮度子块 Y 的横向跨度，vy 指的是一个 MCU 中亮度子块 Y 的纵向跨度， hc 指的是一个 MCU 中色度子块 C 的横向跨度，vc 指的是一个 MCU 中色度子块 C 的纵向跨度）
3	JPEG_SFTRST	置为 1 时进行软件复位

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
2	START	编解码器启动控制 如果要启动新的编解码器操作，则将其置为 1。 其后的工作流程是：首先停止内部 JPEG 编解码器子模块，然后重置它，再重新运行它。 这是一种不同于 DMA 模式的模式。 无法在 DMA 链描述符中配置它。只能由核心处理器配置。 自动清 0。
1	MODE	1：解码器， 0：编码器
0	JPEG_EN	置为 1 时使能 JPEG 编解码器，这样就可以配置相关寄存器了

CFG 位域

38.4.12 STAT (0x44)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BUSY	RSVD																RSVD	AXI_ERR_ID				AXI_READ_ERR	AXI_WRITE_ERR	AXI_ERR	ONXT_IRQ	INXT_IRQ	OUT_DMA_TRANSFER_DONE	IN_DMA_TRANSFER_DONE	CODEC_OVER	RESTART_MARKER_ERROR	RSVD
RO	N/A																N/A	RO				RO	RO	W1C	W1C	W1C	W1C	W1C	W1C	W1C	N/A
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0	0	0	0	0	0	0	x

STAT [31:0]

位域	名称	描述
31	BUSY	为 1 时，表示模块正忙于编解码转换和 DMA 数据传输中。
13-10	AXI_ERR_ID	axi 错误的 ID 指示
9	AXI_READ_ERR	DMA 输入通道 axi 总线错误
8	AXI_WRITE_ERR	DMA 输出通道 axi 总线错误
7	AXI_ERR	axi 总线错误
6	ONXT_IRQ	DMA 输出通道后继命令读取完成中断
5	INXT_IRQ	DMA 输入通道后继命令读取完成中断
4	OUT_DMA_TRANSFER_DONE	DMA 输出通道数据传输完成中断
3	IN_DMA_TRANSFER_DONE	DMA 输入通道数据传输完成中断

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
2	CODEC_OVER	编码或解码过程结束。DMA 不包括在内。 只有当 in_dma_transfer_ 完成和 out_dma_transfer_ 完成以及 codec_over 都被断言时，模块才完全不忙。
1	RESTART_MARKER_ERROR	JPEG 编解码器重启标志帧错误中断使能

STAT 位域

38.4.13 WIDTH (0x48)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																IMG															
N/A																RW															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

WIDTH [31:0]

位域	名称	描述
15-0	IMG	图像宽度（它是从 0 开始计数的像素的最大索引，假设左上角像素的索引为 [0,0]）

WIDTH 位域

38.4.14 HEIGHT (0x4C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																IMG															
N/A																RW															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

HEIGHT [31:0]

位域	名称	描述
15-0	IMG	图像高度（它是从 0 开始计数的像素的最大索引，假设左上角像素的索引为 [0,0]）

HEIGHT 位域

38.4.15 BUFADDR (0x50)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

BUFADDR [31:0]

位域	名称	描述
31-0	ADDR	ADDR[31:28] 为缓冲区分类: 0x2: Qmem 0x3: HuffEnc 0x4: HuffMin 0x5: HuffBase 0x6: HuffSymb ADDR[27:0] 为缓冲区里的具体地址。

BUFADDR 位域

38.4.16 BUFDATA (0x54)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

BUFDATA [31:0]

位域	名称	描述
31-0	DATA	写入缓冲区的数据，或者从缓冲区读取的数据。 读取的第 n 个地址实际上是为第 n-1 个地址写入的数据，实际存储位置还是第 n-1 个地址。

BUFDATA 位域

38.4.17 OUTDMACNT (0x58)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VAL																															
RO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

OUTDMACNT [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-0	VAL	DMA 输出通道的计数器

OUTDMACNT 位域

38.4.18 CSC_COEF0 (0x5C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
YCBCR_MODE	ENABLE	RSVD	C0											UV_OFFSET									Y_OFFSET								
RW	RW	N/A	RW											RW									RW								
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CSC_COEF0 [31:0]

位域	名称	描述
31	YCBCR_MODE	色彩转换模式。 0b-将 YUV 转换为 RGB 数据 1b-将 YCbCr 转换为 RGB 数据
30	ENABLE	使能色彩转换功能。 0b：不做色彩转换 1b：启用色彩转换
28-18	C0	二进制补码形式的与 Y 相乘的系数 C0。YUV=0x100（1.000） YCbCr=0x12A（1.164）
17-9	UV_OFFSET	二进制补码形式的 CbCr 数据中隐含的偏置 UV_OFFSET。一般用于 YCbCr 到 RGB 的转换。 YCbCr=0x180，YUV=0x000（通常为-128 或 0x180，表示相关 CbCr 数据是归一化到-0.5 到 0.5 范围的）。
8-0	Y_OFFSET	二进制补码形式的 Y 数据中隐含的偏置 Y_OFFSET。对于 YUV，这通常是 0，对于 YCbCr，这通常是-16（0x1F0）。

CSC_COEF0 位域

38.4.19 CSC_COEF1 (0x60)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD					C1											RSVD					C4										
N/A					RW											N/A					RW										
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

CSC_COEF1 [31:0]

位域	名称	描述
26-16	C1	二进制补码形式的与 V/Cr 分量相乘的系数 C1。YUV=0x123（1.140）YCbCr=0x198（1.596）。
10-0	C4	二进制补码形式的与 U/Cb 分量相乘的系数 C4。YUV=0x208（2.032）YCbCr=0x204（2.017）。

CSC_COEF1 位域

38.4.20 CSC_COEF2 (0x64)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD					C2											RSVD					C3										
N/A					RW											N/A					RW										
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CSC_COEF2 [31:0]

位域	名称	描述
26-16	C2	二进制补码形式的与 V/Cr 分量相乘的系数 C2。YUV=0x76B（-0.581）YCbCr=0x730（-0.813）。
10-0	C3	二进制补码形式的与 U/Cb 分量相乘的系数 C3。YUV=0x79C（-0.394）YCbCr=0x79C（-0.392）。

CSC_COEF2 位域

38.4.21 RGB2YUV_COEF0 (0x68)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
YCBCR_MODE	ENABLE	RSVD	C0											UV_OFFSET									Y_OFFSET								
RW	RW	N/A	RW											RW									RW								
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RGB2YUV_COEF0 [31:0]

位域	名称	描述
31	YCBCR_MODE	必须置为 1 来选择 YCbCr 模式
30	ENABLE	置为 1 来使能 RGB2YCbCr 色彩转换模式
28-18	C0	色彩转换系数 C0

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
17-9	UV_OFFSET	色彩转换系数 UV 偏置
8-0	Y_OFFSET	色彩转换系数 Y 偏置

RGB2YUV_COEF0 位域

38.4.22 RGB2YUV_COEF1 (0x6C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD					C1											RSVD					C4										
N/A					RW											N/A					RW										
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RGB2YUV_COEF1 [31:0]

位域	名称	描述
26-16	C1	色彩转换系数 C1
10-0	C4	色彩转换系数 C4

RGB2YUV_COEF1 位域

38.4.23 RGB2YUV_COEF2 (0x70)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD					C2											RSVD					C3										
N/A					RW											N/A					RW										
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RGB2YUV_COEF2 [31:0]

位域	名称	描述
26-16	C2	色彩转换系数 C2
10-0	C3	色彩转换系数 C3

RGB2YUV_COEF2 位域

38.4.24 RGB2YUV_COEF3 (0x74)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD					C6											RSVD					C5										
N/A					RW											N/A					RW										

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RGB2YUV_COEF3 [31:0]

位域	名称	描述
26-16	C6	色彩转换系数 C6
10-0	C5	色彩转换系数 C5

RGB2YUV_COEF3 位域

38.4.25 RGB2YUV_COEF4 (0x78)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD					C8											RSVD					C7										
N/A					RW											N/A					RW										
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RGB2YUV_COEF4 [31:0]

位域	名称	描述
26-16	C8	色彩转换系数 C8
10-0	C7	色彩转换系数 C7

RGB2YUV_COEF4 位域

38.4.26 IMGREG1 (0x84)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																												RSVD	RE	NCOL	
N/A																												N/A	RW	RW	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	0	0	0

IMGREG1 [31:0]

位域	名称	描述
2	RE	仅用于编码器。 置为 1 时使能重启标志帧。会在输出的压缩码流 ECS 中每 NRST+1 个 MCU 起始位置插入一个重启标志。 它是两个重新启动标记（如果启用）之间的 MCU 数减去 1。如果未设置寄存器 1 中的 Re 位，则忽略该寄存器的内容。
1-0	NCOL	Ncol 是要处理的图像数据中颜色分量的数量减 1。 例如，对于灰度图像 Ncol=0，对于 RGB 图像，Ncol=2

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述

IMGREG1 位域

38.4.27 IMGREG2 (0x88)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD						NMCU																									
N/A						RW																									
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

IMGREG2 [31:0]

位域	名称	描述
25-0	NMCU	仅用于编码器。 编码器模式下生成的 NMCU 数量

IMGREG2 位域

38.4.28 IMGREG3 (0x8C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																NRST															
N/A																RW															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

IMGREG3 [31:0]

位域	名称	描述
15-0	NRST	仅用于编码器。 它是两个重启标志帧（如果启用）之间的 MCU 的个数减去 1。 如果未设置压缩图像控制 1 号寄存器中的 Re 位，则忽略本控制字段。

IMGREG3 位域

38.4.29 IMGREG (0x90 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																								NBLOCK				QT		HA	HD
N/A																								RW				RW		RW	RW

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

IMGREG [31:0]

位域	名称	描述
7-4	NBLOCK	仅用于编码器。 MCU 中包含的本色彩分量的数据单元（8x8 个数据块）个数减去 1。
3-2	QT	仅用于编码器。 量化表的选择编号。
1	HA	仅用于编码器。 哈夫曼表的选择编号，用于指定编码本色彩分量的 AC 系数的表
0	HD	仅用于编码器。 哈夫曼表的选择编号，用于指定编码本色彩分量的 DC 系数的表

IMGREG 位域

38.5 JPEG 配置使用简单说明

38.5.1 软件复位

将 CFG[START] 置为 0 后，将 CFG[JPEG_SFTRST] 置为 1 后复位，再将 CFG[JPEG_SFTRST] 置为 0 后解除复位，然后写 0xFFFFFFFF 清除状态位。

38.5.2 Encoder 流程

各步骤如下：

1. 按照图像尺寸和压缩目标格式计算出所需宏单元（MCU）的个数，及全部要求输入的像素点 Bytes 个数。
2. 配置 INDMA_MISC[INDMA2D] 为 DMA2D 模式，INDMA_MISC[IN_DMA_ID]=0。
3. 配置 OUTDMA_MISC[OUTDMA2D] 为 0，OUTDMA_MISC[OUT_DMA_ID]=1。
4. 其余寄存器按需求配置。
5. 置 CFG[MODE]=0，CFG[JPEG_EN]=1 和 CFG[START]=1，然后模块开始工作。

38.5.3 Decoder 流程

各步骤如下：

1. 软件分析文件头，生成相应表格。
2. 按照图像尺寸和压缩目标格式计算出所需宏单元（MCU）的个数，及原始像素点 Bytes 个数。
3. 配置 INDMA_MISC[INDMA2D] 为 0（非 DMA2D 模式)，INDMA_MISC[IN_DMA_ID]=1。
4. 配置 OUTDMA_MISC[OUTDMA2D] 为 0，OUTDMA_MISC[OUT_DMA_ID]=1。
5. 其余寄存器按需求配置。
6. 置 CFG[MODE]=1，CFG[JPEG_EN]=1 和 CFG[START]=1，然后模块开始工作。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

39 音频外设概述

本章节介绍了本产品的音频接口。本产品的音频接口包括 4 个 I2S 接口，一个 PDM 数字麦克风接口，一个数字音频输出 DAO 和一个语言检测模块 VAD。

39.1 集成电路内置音频总线 I2S

本产品支持 4 个集成电路内置音频总线 I2S。I2S 支持多种音频标准如 I2S，LSB 对齐，MSB 对齐，PCM，TDM 等，能满足多种单声道和立体声应用。单个 I2S 支持 4 路发送数据信号和 4 路接收数据信号，支持工作在主模式和从模式。单个 I2S 支持独立的时钟配置，可以支持多种码率的音频。

39.2 数字音频输出 DAO

本产品支持 1 个数字音频输出 DAO，DAO 支持 2 通道输出，每个通道支持一对差分 PWM 输出引脚，可以驱动小功率的高阻抗耳机，或者通过滤波电路后驱动高功率的 CLASSD 功放。

本产品上，DAO 和 I2S1 紧密耦合，DAO 与 I2S1 共享时钟，通过 I2S1 的 TX0 FIFO 发送音频数据给 DAO。DAO 只能工作于 I2S1 为 Clock 主模式，且帧率为 48kHz 的情况下。

39.3 数字麦克风 PDM

本产品支持 1 个数字麦克风 PDM。PDM 可以连接脉冲密度调制 (Pulse Density Modulation PDM) 的麦克风，把麦克风输出的 PDM 比特流，转换为 24 位的 PCM 音频数据。PDM 支持一路时钟信号和 8 路数据信号，可以连接 4 路双声道，共 8 个外部 PDM 麦克风。

同时（可选地）支持把来自 DAO 的 2 路 48kHz 的参考信号下采样输出。在同时回采参考信号时仅支持 16kHz 为最终输出的麦克风和参考信号码流的共同采样频率。并且回采应用时，I2S0 和 I2S1 的 bclk 信号必须同源。

本产品上，PDM 和 I2S0 紧密耦合，PDM 与 I2S0 共享时钟，PDM 通过 I2S0 的 RX0 FIFO 接收音频数据。仅能工作在 I2S0 是 clock 主模式的情况下。

39.4 语音唤醒模块 VAD

本产品支持 1 个语音唤醒模块 VAD，VAD 支持连接一路外部脉冲密度调制 (Pulse Density Modulation PDM) 麦克风。VAD 支持过零检测 (Zero Cross Detection)，和音量检测来判定是否人声。VAD 同时支持把 PDM 比特流转换为 16 位的 PCM 数据。

本产品上，VAD 位于电源管理域，可以在系统电源域掉电时保持工作。PDM 支持把语音数据存储到电源管理域内的 8KB 的 APB SRAM。这样系统由 VAD 唤醒后即可直接读取相应的唤醒前采集到的历史语音数据。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

40 集成电路内置音频总线 I2S

40.1 概述

I2S 模块可以用来接收和发送语音码流信号。目前支持的特性如下：

功能	主要特性
通信方式	· 支持全双工模式 · 支持主模式或者从模式
数据格式	· 数据移位顺序:MSB 开始 · 可选择数据宽度:16/24/32 位 · 可选通道长度：16/32 位
波特率	· 9 位可编程线性分频器，可实现精确的音频采样频率 · 依据系统音频主时钟编程，可支持采样频率 192k，96k，48k，44.1k，32k，22.05k，16k，8k · 可将系统音频主时钟输出以作为驱动时钟来驱动外部音频元件
支持 I2S 协议	· I2S Philips 标准 · MSB 对齐标准 · LSB 对齐标准 · PCM 标准
支持 TDM 模式	· 基于 I2S Philips 标准 · 基于 MSB 对齐标准 · 基于 LSB 对齐标准 · 基于 PCM 标准
数据缓冲	· TX 带有 8 字深，32 位宽的输入输出 FIFO 缓冲区域 · RX 带有 64 字深，32 位宽的输入输出 FIFO 缓冲区域
时钟源	· 可使用系统音频主时钟；也可由 I2Sn_MCLK 引脚上的外部时钟提供
中断	· 发送缓冲区有效空间达到报警阈值时产生中断 · 接收缓冲区有效空间达到报警阈值时产生中断 · 接收数据区域已满仍有写入数据请求，接收上溢 · 发送数据区域已空仍有发送请求，发送下溢

表 207: I2S 主要特性

40.2 I2S 架构图

本模块的结构图如图 45。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

图 45: I2S 结构框图

40.3 管脚说明

表 208: I2S 管脚说明

管脚	方向	功能描述
I2Sn[1]MCLK	输入输出	驱动时钟
I2Sn_BCLK	输入输出	通讯时钟
I2Sn_FCLK	输入输出	帧控制
I2Sn_TXD[3:0]	输出	4 根串行输出数据线
I2Sn_RXD[3:0]	输入	4 根串行输入数据线

[1] n=0,..,3

40.4 功能说明

40.4.1 I2S 一般说明

I2S 引脚功能

- I2Sn_TXD：串行输出数据, 全双工模式数据输出。
- I2Sn_RXD：串行输出数据, 全双工模式数据输入。
- I2Sn_FCLK：帧控制，表明一帧的开始。是主模式下的数据控制信号输出以及从模式下的数据控制信号输入。
- I2Sn_BCLK：串行时钟，是主模式下的串行时钟输出以及从模式下的串行时钟输入。
- I2Sn_MCLK：
  - 当 I2S 配置为主模式（并且 MISC_CFGR[MCLKOE] 位置 1）时，输出此附加时钟，此时该时钟为系统音频主时钟。I2S 在主模式下使用本模块内含的时钟发生器生成通信时钟 I2Sn_BCLK、I2Sn_FCLK。此时钟发生器也是驱动时钟输出的源。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

– 当 I2S 配置为从模式下，也可把该管脚的输入，使用本模块内含的时钟发生器生成通信时钟 I2Sn_BCLK、I2Sn_FCLK。

40.4.2 设置分频

I2S 比特率用来确定 I2S 数据线上的数据流和 I2S 时钟信号频率。

I2S 比特率 = 每个通道的位数 × 通道数 × 音频采样频率

对于为槽通道长度为 16 位 (CFGR[CHSIZ=0]) 的双通道音频 (CFGR[CH_MAX]=2)，I2S 比特率的计算公式如下：I2S 比特率 = 16× 2× Fs。如果为槽通道长度为 32 位 (CFGR[CHSIZ=1]) 的双通道音频 (CFGR[CH_MAX]=2)，则 I2S 比特率 = 32× 2× Fs。如果为槽通道长度为 32 位 (CFGR[CHSIZ=1]) 的 8 通道音频 (CFGR[CH_MAX】=8)，则 I2S 比特率 = 32× 8× Fs。

图 46: 音频采样率 Fs 定义

配置主模式时，需要正确地对线性分频器进行设置，以便采用所需的音频频率进行通信。本模块的时钟分频路径如图 47。

图 47: I2S 的时钟分频路径

从图中可见，CFGR [CH_MAX] 和 CFGR [CHSIZ] 决定了从 I2Sn_BCLK 如何分频至 I2Sn_FCLK，但从 I2Sn_MCLK 分频至 I2Sn_BCLK 是可以由 CFGR[BCLK_DIV] 来确定的。如果想依确定的 Fs 来输出信号，则 CFGR[BCLK_DIV] 由下式决定：

$$\mathrm{CFGR[BCLK_DIV]} = \frac{F_{\mathrm{I2Sn_MCLK}}}{\mathrm{Fs} * \mathrm{CFGR[CH_MAX]} * (\,(\mathrm{CFGR[CHSIZ]} == 1)\ ?\ 32 : 16\,)} \tag{1}$$

式中 $F_{\mathrm{I2Sn_MCLK}}$ 指的是 CFGR[MCK_SEL_OP] 选择出的 I2Sn_MCLK 的频率。

为了有足够精确的音频采样率 Fs，在主模式下，必须谨慎选择 AUDIO_CLK 的频率。

40.4.2.1 主模式和从模式

主模式是指，BCLK 和 FCLK 都由本模块产生，用以驱动外界的芯片的相关逻辑。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

从模式是指，BCLK 和 FCLK 都由外界的芯片产生，用以驱动本模块的相关逻辑。

通过将 CFGR [BCLK_SEL_OP] 和 CFGR [FCLK_SEL_OP] 置为 1 选择从模式;反之,通过将 CFGR [BCLK_SEL_OP] 和 CFGR [FCLK_SEL_OP] 置为 0 选择主模式。

40.4.3 发送缓冲区和接收缓冲区

I2S 的数据往来通过缓冲区进行。

I2S 有 4 根发送（输出）数据线，4 根接收（输入）数据线。每根线都联有各自的数据缓冲区，所以本模块里共有 4 个发送缓冲区和 4 个接收缓冲区，分别通过 TXD[DATA3..0]、RXD[DATA3..0] 来访问。其中，每个发送缓冲区为 8 字深、32 位比特宽；每个接收缓冲区为 64 字深、32 位比特宽。

I2S 数据缓冲区的具体说明如209所示。

表 209: I2S 数据缓冲区

缓冲区名称	内含存数个数	报警阈值
发送缓冲区 3 至 0：TXD[DATA3..0]	TFIFO_FILLINGS[TX3..0]	FIFO_THRESH[TX] (其内容 <= 门限时报警)
接收缓冲区 3 至 0：RXD[DATA3..0]	RFIFO_FILLINGS[RX3..0]	FIFO_THRESH[RX] (其内容 >= 门限时报警)

40.4.4 中断

I2S 的中断源有发送缓冲区有效空间小于等于报警阈值、接收缓冲区有效空间大于等于报警阈值、接收上溢、和发送下溢。这些中断状态反映在状态寄存器 STA 的相应标志位里。

这些中断共用一根中断线，所以需要读取相应状态位和中断允许位来决定中断原因。

I2S 中断源的具体说明如210所示。

表 210: I2S 中断请求

中断事件	事件标志	使能控制位
发送缓冲区有效空间小于等于报警阈值	STA[TX_DN[3:0]]	CTRL[TXDNIE]
接收缓冲区有效空间大于等于报警阈值	STA[RX_DA[3:0]]	CTRL[RXDAIE]
接收上溢	STA[RX_OV[3:0]]	CTRL[ERRIE]
发送下溢	STA[TX_UD[3:0]]	CTRL[ERRIE]

40.4.5 DMA 传输

对于发送缓冲区有效空间小于等于报警阈值、接收缓冲区有效空间大于等于报警阈值，I2S 也支持 DMA 传输。

4 个发送信号线共用一根 DMA 申请线，4 个接收信号线共用一根 DMA 申请线。

I2S 的 DMA 源的具体说明如211所示。

40.4.6 支持的传输格式

有四种数据和槽通道格式组合，可采用下列格式发送每个槽通道数据：

- 将 16 位数据封装在 16 位槽通道中

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

表 211: I2S 的 DMA 请求

DMA 事件	事件标志	使能控制位
发送缓冲区有效空间小于等于报警阈值	STA[TX_DN[3:0]]	CTRL[TX_DMA_EN]
接收缓冲区有效空间大于等于报警阈值	STA[RX_DA[3:0]]	CTRL[TX_DMA_EN]

- 将 16 位数据封装在 32 位槽通道中
- 将 24 位数据封装在 32 位槽通道中
- 将 32 位数据封装在 32 位槽通道中

最多可达 16 个的偶数个槽通道组成一帧。一帧里的所有数据，在采样的含义上对应同一个采样点时刻，共用 FCLK 的同一个有效边沿。槽通道的个数 M 为 CFGR[CH_MAX] 所配置，最多为 16。

一帧里的各个槽通道可以分别被单独使能。发送单元的槽通道使能在 TXDSLT 寄存器里，从比特位置 0 开始使能第 0 个槽通道的，以后的依次类推。接收单元的槽通道使能在 RXDSLT 寄存器里。

当采用将“将 16 位数据封装在 16 位槽通道中”这种模式时，缓冲区里的一个 32 比特其实含有 2 个槽通道的数据；因此应用时要求一帧里必须含有有效的偶数个槽通道，且高 16 比特对应的是槽通道号较低的槽通道。

在发送模块里，当使用 32 位槽通道时，对于发送缓冲区里的数据，有效字长从 MSB 算起，超出字长的低位比特在发送时被强制清 0，即：

- 当使用 32 位数据包中的 16 位数据时，前 16 位 (MSB) 为有效位，16 位 LSB 被强制清零，无需任何软件操作（只需一个读/写操作）。
- 当使用 32 位数据包中的 24 位数据时，前 24 位 (MSB) 为有效位，8 位 LSB 被强制清零，无需任何软件操作（只需一个读/写操作）。

在接收模块里，当使用 32 位槽通道时，对于接收缓冲区里的数据，有效字长也是从 MSB 算起，超出字长的低位比特被强制清 0，即：

- 当使用 32 位数据包中的 16 位数据时，前 16 位 (MSB) 为有效位，16 位 LSB 为零。这个 16 位 MSB 有效数据为
  - 当传输的数据格式为 LSB 对齐模式时，为传输位线上的当前槽通道波形的低 16 位。
  - 对于其余的传输数据格式，为传输位线上的当前槽通道波形的高 16 位。
- 当使用 32 位数据包中的 24 位数据时，前 24 位 (MSB) 为有效位，8 位 LSB 为零。这个 24 位 MSB 有效数据为
  - 当传输的数据格式为 LSB 对齐模式时，为传输位线上的当前槽通道波形的低 24 位。
  - 对于其余的传输数据格式，为传输位线上的当前槽通道波形的高 24 位。

对于所有数据格式和通信标准而言，始终会先发送最高有效位（MSB 优先）。

I2S 接口支持四种音频协议及其对应的 TDM 模式，可使用 CFGR [STD] 和 CFGR [TDM_EN] 及 CFGR [CH_MAX] 位对其进行配置。

下面的各图分别展示了不同传输协议及 TDM 模式时，在传输位线上的波形，其中 N 是 15 或 23 或 31，代表有效数据的 MSB；0 代表有效数据的 LSB。相邻从 N 到 0 的数据才是有效的目标数据。

为通用起见，图中标记了非有效数据比特。其实，对于顶格传输的情况，例如 16 位槽通道传输 16 比特数据，或者 32 位槽通道传输 32 比特数据的情况，非有效数据比特的节拍数长度为 0。

图中假设 CFGR[FRAME_EDGE]=0，即 FCLK 的下降沿表示一帧的开始。如果要用 FCLK 的上升沿表示一

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

帧的开始，则要将 CFGR[FRAME_EDGE]=1。

同时，图中假设发送端在 BCLK 的下降沿打出数据，接收端要在 BCLK 的上升沿采集数据（也即：主模式下 CFGA[INV_BCLK_OUT]=0，或者从模式下 CFGA[INV_BCLK_IN]=0）。如果发送端在 BCLK 的上升沿打出数据，接收端要在 BCLK 的下降沿采集数据，则要如此配置：主模式下 CFGA[INV_BCLK_OUT]=1，或者从模式下 CFGA[INV_BCLK_IN]=1。

TDM 相关模式图中的 M=CFGR[CH_MAX]。

40.4.6.1 I2S Philips 标准

图 48: I2S Philips 模式

此模式下传输位线上的波形如图48。

使用 FCLK 信号来指示当前正在发送的数据所属的通道。该信号从当前通道数据的名义上的第一个位 (MSB) 之前的一个时钟周期开始有效。有效数据从当前通道数据的名义上的第一个时钟周期开始传输。非有效数据位在传输时为 0。

40.4.6.2 MSB 对齐模式

图 49: I2S MSB 对齐模式

此模式下传输位线上的波形如图49。

使用 FCLK 信号来指示当前正在发送的数据所属的通道。该信号和当前通道数据的名义上的第一个位 (MSB) 同一个时钟周期开始有效。有效数据从当前通道数据的名义上的第一个时钟周期开始传输。非有效数据位在传输时为 0。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

40.4.6.3 LSB 对齐模式

图 50: I2S LSB 对齐模式

此模式下传输位线上的波形如图50。

使用 FCLK 信号来指示当前正在发送的数据所属的通道。该信号和当前通道数据的名义上的第一个位 (MSB) 同一个时钟周期开始有效。有效数据不一定从当前通道数据的名义上的第一个时钟周期开始传输，但最低有效数据比特一定是在当前通道数据的名义上的最后一个时钟周期开始传输。非有效数据位在传输时为 0。

40.4.6.4 PCM 模式

图 51: I2S PCM 模式

此模式下传输位线上的波形如图51。

使用 FCLK 信号来指示当前正在发送的数据所属的通道。该信号从当前通道数据的名义上的第一个位 (MSB) 之前的一个时钟周期里有效，且只维持一拍。有效数据从当前通道数据的名义上的第一个时钟周期开始传输。非有效数据位在传输时为 0。

40.4.6.5 TDM I2S Philips 标准

此模式下传输位线上的波形如图52。其中 M=CFGR[CH_MAX]。

基本和非 TDM 模式 I2S Philips 标准相同，区别仅在于 FCLK 高电平或者低电平时，有 $M/2$ 个槽通道的信号传输。槽通道号依时间顺序分别为 0，1，...，M-1。

40.4.6.6 TDM MSB 对齐模式

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

图 52: I2S TDM Philips 模式

图 53: I2S TDM MSB 对齐模式

此模式下传输位线上的波形如图53。其中 M=CFGR[CH_MAX]。

基本和非 TDM MSB 对齐模式相同，区别仅在于 FCLK 高电平或者低电平时，有 $M/2$ 个槽通道的信号传输。槽通道号依时间顺序分别为 0，1，...，M-1。

40.4.6.7 TDM LSB 对齐模式

图 54: I2S TDM LSB 对齐模式

此模式下传输位线上的波形如图54。其中 M=CFGR[CH_MAX]。

基本和非 TDM LSB 对齐模式相同，区别仅在于 FCLK 高电平或者低电平时，有 $M/2$ 个槽通道的信号传输。槽通道号依时间顺序分别为 0，1，...，M-1。

40.4.6.8 TDM PCM 模式

图 55: I2S TDM PCM 模式

此模式下传输位线上的波形如图55。其中 M=CFGR[CH_MAX]。

基本和非 TDM PCM 模式相同，区别仅在于 M 个槽通道的信号依次传输。槽通道号依时间顺序分别为 0，1，...，M-1。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

40.5 寄存器列表

I2S 相关寄存器占用地址如下：

I2S0 base address: 0xF0100000 I2S1 base address: 0xF0104000 I2S2 base address: 0xF0108000 I2S3 base address: 0xF010C000

地址偏移	名称	描述	复位值
0x0000	CTRL	控制寄存器	0x00000000
0x0004	RFIFO_FILLINGS	接收模块的先入先出缓冲区中存数个数寄存器	0x00000000
0x0008	TFIFO_FILLINGS	发射模块的先入先出缓冲区中存数个数寄存器	0x00000000
0x000C	FIFO_THRESH	发射/接收模块的先入先出缓冲区门限寄存器	0x00000000
0x0010	STA	状态寄存器	0x00000000
0x0020	RXD[DATA0]	0 号接收模块接收数据寄存器	0x00000000
0x0024	RXD[DATA1]	1 号接收模块接收数据寄存器	0x00000000
0x0028	RXD[DATA2]	2 号接收模块接收数据寄存器	0x00000000
0x002C	RXD[DATA3]	3 号接收模块接收数据寄存器	0x00000000
0x0030	TXD[DATA0]	0 号发射模块接收数据寄存器	0x00000000
0x0034	TXD[DATA1]	1 号发射模块接收数据寄存器	0x00000000
0x0038	TXD[DATA2]	2 号发射模块接收数据寄存器	0x00000000
0x003C	TXD[DATA3]	3 号发射模块接收数据寄存器	0x00000000
0x0050	CFGR	配置寄存器	0x40000000
0x0058	MISC_CFGR	杂类配置寄存器	0x00042000
0x0060	RXDSLOT[DATA0]	接收模块 0 的槽控制寄存器	0x0000FFFF
0x0064	RXDSLOT[DATA1]	接收模块 1 的槽控制寄存器	0x0000FFFF
0x0068	RXDSLOT[DATA2]	接收模块 2 的槽控制寄存器	0x0000FFFF
0x006C	RXDSLOT[DATA3]	接收模块 3 的槽控制寄存器	0x0000FFFF
0x0070	TXDSLOT[DATA0]	发射模块 0 的槽控制寄存器	0x0000FFFF
0x0074	TXDSLOT[DATA1]	发射模块 1 的槽控制寄存器	0x0000FFFF
0x0078	TXDSLOT[DATA2]	发射模块 2 的槽控制寄存器	0x0000FFFF
0x007C	TXDSLOT[DATA3]	发射模块 3 的槽控制寄存器	0x0000FFFF

表 212: I2S 寄存器列表

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

40.6 寄存器描述

I2S 相关寄存器具体描述如下：

40.6.1 CTRL (0x0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD													SFTRST_RX	SFTRST_TX	SFTRST_CLKGEN	TXDNIE	RXDAIE	ERRIE	TX_DMA_EN	RX_DMA_EN	TXFIFOCLR	RXFIFOCLR	TX_EN				RX_EN				I2S_EN
N/A													RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW				RW				RW
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CTRL [31:0]

位域	名称	描述
18	SFTRST_RX	置为 1 时，软件重置接收模块。 自动清零。
17	SFTRST_TX	置为 1 时，软件重置发射模块。 自动清零。
16	SFTRST_CLKGEN	置为 1 时，软件重置时钟产生模块。 自动清零。
15	TXDNIE	发射模块数据缓冲区的数据需求中断使能位 0: 不使能该中断 1: 使能该中断。当相应标志置位时，产生中断请求。
14	RXDAIE	接收模块数据缓冲区的数据可用中断使能位 0: 不使能该中断 1: 使能该中断。当相应标志置位时，产生中断请求。
13	ERRIE	错误中断使能 该位控制发生错误条件（UD，OV）时中断的生成。 0：不使能该中断。 1：使能该中断。
12	TX_DMA_EN	置为 1 时使用 DMA，否则使用中断来传输发射模块的数据
11	RX_DMA_EN	置为 1 时使用 DMA，否则使用中断来传输接收模块的数据
10	TXFIFOCLR	置为 1 时初始化接收模块的先入先出缓冲区 自动清零。
9	RXFIFOCLR	置为 1 时初始化发射模块的先入先出缓冲区 自动清零。
8-5	TX_EN	每个发射模块的单独的使能控制。置为 1 时，且整个模块总使能也为 1 时。使能该发射模块。
4-1	RX_EN	每个接收模块的单独的使能控制。置为 1 时，且整个模块总使能也为 1 时。使能该接收模块。
0	I2S_EN	整个 I2S 模块的总使能控制。置为 1 时使能。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述

CTRL 位域

40.6.2 RFIFO_FILLINGS (0x4)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RX3								RX2								RX1								RX0							
RO								RO								RO								RO							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RFIFO_FILLINGS [31:0]

位域	名称	描述
31-24	RX3	3 号接收模块的先入先出缓冲区中存数个数
23-16	RX2	2 号接收模块的先入先出缓冲区中存数个数
15-8	RX1	1 号接收模块的先入先出缓冲区中存数个数
7-0	RX0	0 号接收模块的先入先出缓冲区中存数个数

RFIFO_FILLINGS 位域

40.6.3 TFIFO_FILLINGS (0x8)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TX3								TX2								TX1								TX0							
RO								RO								RO								RO							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TFIFO_FILLINGS [31:0]

位域	名称	描述
31-24	TX3	3 号发射模块的先入先出缓冲区中存数个数
23-16	TX2	2 号发射模块的先入先出缓冲区中存数个数
15-8	TX1	1 号发射模块的先入先出缓冲区中存数个数
7-0	TX0	0 号发射模块的先入先出缓冲区中存数个数

TFIFO_FILLINGS 位域

40.6.4 FIFO_THRESH (0xC)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																TX								RX							
N/A																RW								RW							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

FIFO_THRESH [31:0]

位域	名称	描述
15-8	TX	发射模块的先入先出缓冲区阈值： 当发射模块的先入先出缓冲区中的存数小于或等于阈值时，将状态寄存器中的相应 tx_dn 标志置位。
7-0	RX	接收模块的先入先出缓冲区阈值： 当接收模块的先入先出缓冲区中的存数大于或等于阈值时，将状态寄存器中的相应 rx_da 标志置位。

FIFO_THRESH 位域

40.6.5 STA (0x10)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD															TX_UD				RX_OV				TX_DN				RX_DA				RSVD
N/A															W1C				W1C				RO				RO				N/A
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

STA [31:0]

位域	名称	描述
16-13	TX_UD	发射模块的先入先出缓冲区里的数据出现下溢时置为 1。要和 CTRL[tx_en] 相与才能给出正确的状态数值。写 1 清 0。
12-9	RX_OV	接收模块的先入先出缓冲区里的数据出现上溢时置为 1。写 1 清 0。
8-5	TX_DN	发射模块的先入先出缓冲区里的数据个数小于或等于阈值时置为 1。
4-1	RX_DA	接收模块的先入先出缓冲区里的数据个数大于或等于阈值时置为 1。

STA 位域

40.6.6 RXD (0x20 + 0x4 * n)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
D																															
RO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RXD [31:0]

位域	名称	描述
31-0	D	

RXD 位域

40.6.7 TXD (0x30 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
D																															
WO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TXD [31:0]

位域	名称	描述
31-0	D	

TXD 位域

40.6.8 CFGR (0x50)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD	BCLK_GATEOFF	BCLK_DIV									INV_BCLK_OUT	INV_BCLK_IN	INV_FCLK_OUT	INV_FCLK_IN	INV_MCLK_OUT	INV_MCLK_IN	BCLK_SEL_OP	FCLK_SEL_OP	MCK_SEL_OP	FRAME_EDGE	CH_MAX					TDM_EN	STD		DATSIZ		CHSIZ	
N/A	RW	RW									RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW					RW	RW		RW		RW	
0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CFGR [31:0]

位域	名称	描述
30	BCLK_GATEOFF	关闭 BCLK 控制。置为 1 时关闭 BCLK。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
29-21	BCLK_DIV	从 MCLK 生成 BCLK 的线性预分频器控制。 BCLK_DIV[8:0]=0:BCLK= 无时钟。 BCLK_DIV[8:0]=1:BCLK=MCLK/1 BCLK_DIV[8:0]=n:BCLK=MCLK/（n）。 注：这些位应在 I2S 未使能时配置。仅当 I2S 处于主模式时使用。
20	INV_BCLK_OUT	BCLK 输出反转控制位 置为 1 时在将 BCLK 发送到芯片管脚之前，将其反转。 仅在 BCLK 主模式下有效
19	INV_BCLK_IN	BCLK 输入反转控制位 置为 1 时在将芯片管脚得到的 BCLK 反转再使用。 仅在 BCLK 从模式下有效
18	INV_FCLK_OUT	FCLK 输出反转控制位 置为 1 时在将 FCLK 发送到芯片管脚之前，将其反转。 仅在 FCLK 主模式下有效
17	INV_FCLK_IN	FCLK 输入反转控制位 置为 1 时在将芯片管脚得到的 FCLK 反转再使用。 仅在 FCLK 从模式下有效
16	INV_MCLK_OUT	MCLK 输出反转控制位 置为 1 时在将 MCLK 发送到芯片管脚之前，将其反转。 仅在 MCLK 主模式下有效
15	INV_MCLK_IN	MCLK 输入反转控制位 置为 1 时在将芯片管脚得到的 MCLK 反转再使用。 仅在 MCLK 从模式下有效
14	BCLK_SEL_OP	BCLK 源选择 1：使用来自芯片管脚得到的 BCLK。 0：使用来自芯片内部分频得到的 BCLK。
13	FCLK_SEL_OP	FCLK 源选择 1：使用来自芯片管脚得到的 FCLK。 0：使用来自芯片内部分频得到的 FCLK。
12	MCK_SEL_OP	MCLK 源选择 1：使用来自芯片管脚得到的 MCLK。 0：使用来自芯片内部分频得到的 MCLK。
11	FRAME_EDGE	帧的起始边沿选择 0：下降沿表示新帧（与飞利浦标准 I2S 相同） 1：上升沿表示新帧

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
10-6	CH_MAX	CH_MAX[4:0] 是 TDM 模式下支持的槽通道数。当不处于 TDM 模式时，必须将其设置为 2。 它必须是偶数，因此 CH_MAX[0] 始终为 0。 5'h2:2 通道 5'h4:4 通道 ... 5'h10:16 通道（最大支持通道数）
5	TDM_EN	TDM 模式选择 0：非 TDM 模式 1：TDM 模式
4-3	STD	I2S 标准选择 00: 飞利浦标准 I2S。 01:MSB 对齐标准（左对齐） 10:LSB 对齐标准（右对齐） 11:PCM 标准 注意：为了正确操作，应在未使能 I2S 时配置这些位。
2-1	DATSIZ	传输数据的比特长度选择 00:16 位数据长度 01:24 位数据长度 10:32 位数据长度 11: 不可用 注意：为了正确操作，应在未使能 I2S 时配置这些位。
0	CHSIZ	槽通道长度（每个音频槽通道的比特位数） 0:16 位宽 1:32 位宽 该位的写入操作只有在 DATLEN=00 时才有意义。否则，槽通道的长度将由硬件固定为 32 位，无论软件赋的是什么值。 注意：为了正确操作，应在未使能 I2S 时配置此位。

CFGR 位域

40.6.9 MISC_CFGR (0x58)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																		MCLK_GATEOFF	RSVD		RSVD	RSVD									MCLKOE
N/A																		RW	N/A		N/A	N/A									RW
0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	1	0	0	x	x	x	x	x	x	x	x	x	0	

MISC_CFGR [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
13	MCLK_GATEOFF	关闭 mclk 控制位。 因为 mcl 来自于一个易发生毛刺的的 mux 的输出，因此每次切换 mclk 时，应首先将该位置 1 来关闭时钟。时钟切换后，再将该位置为 0 来让新的 mclk 通过。
0	MCLKOE	MCLK 输出至管脚使能 0：MCLK 被禁止输出至管脚 1：MCLK 被输出至管脚 注意：只有当未使能 I2S 时，才能配置此位。 仅当 I2S 处于时钟主模式时生效。

MISC_CFGR 位域

40.6.10 RXDSLOT (0x60 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																EN															
N/A																RW															
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

RXDSLOT [31:0]

位域	名称	描述
15-0	EN	

RXDSLOT 位域

40.6.11 TXDSLOT (0x70 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																EN															
N/A																RW															
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

TXDSLOT [31:0]

位域	名称	描述
15-0	EN	

TXDSLOT 位域

40.7 I2S 配置使用简单说明

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

40.7.1 软件复位

- 将 CTRL[SFTRST_RX] 置为 1 后复位 RX 部分，再将 CTRL[SFTRST_RX] 置为 0 后解除 RX 部分复位。另，本复位也可自动解除。
- 将 CTRL[SFTRST_TX] 置为 1 后复位 TX 部分，再将 CTRL[SFTRST_TX] 置为 0 后解除 TX 部分复位。另，本复位也可自动解除。
- 将 CTRL[SFTRST_CLKGEN] 置为 1 后复位时钟生成模块部分，再将 CTRL[SFTRST_CLKGEN] 置为 0 后解除时钟生成模块部分复位。另，本复位也可自动解除。

40.7.2 使能 TX 流程

各步骤如下：

1. 按照帧格式和采样率来确定 MCLK 到 BCLK 的分频比，并选取相关的 CLK 来源。
2. 按需配置各寄存器及分频比 CFGR[BCLK_DIV]。
3. 软件复位 TX 部分。
4. 等 3-4 个 BCLK 的周期时间后，往 TXFIFO 里填上一定量的数。这是为了防止出现一使能就出现 TX 缓冲区 underflow 的问题。
5. 置 CTRL[TX_EN] 相关位和 CTRL[I2S_EN]=1，这样 TX 部分就开始工作了。

40.7.3 使能 RX 流程

各步骤如下：

1. 按照帧格式和采样率来确定 MCLK 到 BCLK 的分频比，并选取相关的 CLK 来源。
2. 按需配置各寄存器及分频比 CFGR[BCLK_DIV]。
3. 软件复位 RX 部分。
4. 置 CTRL[RX_EN] 相关位和 CTRL[I2S_EN]=1，这样 RX 部分就开始工作了。

40.7.4 注意事项

因为只有一个 CFGR，所以 RX 和 TX 同时工作时，必须帧格式一致。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

41 数字麦克风 PDM

41.1 概述

PDM 模块主要用来采集多达 8 路 PDM 麦克风的信号并下采样，同时可以对来自 DAO 的多达 2 路参考信号进行下采样。目前支持的特性如下表 213：

功能	主要特性
通信方式	· 支持 4 根信号线上多达 8 个 PDM（Pulse-Density Modulation）信号输入（信号 ID 分别为 0–7） · 支持从 DAO 模块来的多达 2 个参考信号输入（信号 ID 分别为 8–9）
下采样率	· 可以软件灵活配置
数据缓冲	· 本模块输出至 I2S0[RXD0]，所以共享 I2S0[RXD0] 的 FIFO 深度 (见小节 40.4.3)
DMA 支持	· 本模块输出至 I2S0[RXD0]，所以共享 I2S0[RXD0] 的 DMA 设置
数据格式	· 从 MSB 开始，共计 24 位。紧接其下 4 位为信号 ID。
时钟源	· 为系统音频主时钟；此时 I2S0 必须工作在主模式下
中断	· 除了 I2S0 共享的中断外，还包含一些错误中断，主要本模块不同形式的过载相关 – 计算缓冲区指针过载 – 输出 FIFO 过载 – CIC 采样率过载 – CIC 计算饱和

表 213: PDM 主要特性

41.2 PDM 架构图

本模块的结构图如图 56。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

图 56: PDM 结构框图

41.3 管脚说明

表 214: PDM 管脚说明

管脚	方向	功能描述
PDM_CLK	输出	驱动时钟
PDM_D[3:0]	输入	4 根串行输入数据线，可通 8 路信号

管脚与外部的器件联接方式如图 57。

41.4 功能说明

41.4.1 PDM 一般说明

PDM 引脚功能

- PDM_CLK：串行时钟输出，用以驱动外面的数字麦克风。该时钟为系统音频主时钟分频所得。一般在 1Mhz–3.072MHz 之间。
- PDM_D：串行输入数据，为 4 根信号线，但在 PDM_CLK 为高低电平时分别代表左右声道。

41.4.2 PDM_CLK 的产生

PDM_CLK 用于驱动外部的数字麦克风产生高采样率的 PDM 信号；它来自于系统音频主时钟的分频。其分频比为 CTRL [PDM_CLK_HFDIV] 和 CTRL [PDM_CLK_DIV_BYPASS] 所控制。如图 58所示。

PDM_CLK 是否输出到管脚上由 CTRL [PDM_CLK_OE] 控制。

41.4.3 信号流图

41.4.3.1 PDM 信号

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

图 57: PDM 与麦克风的联接图示

图 58: PDM_CLK 的时钟分频路径

图 59: PDM 的信号流图

本模块可以接收最多从 8 个数字麦克风接收的高采样率的 PDM 信号，然后将其转变为 8 路 24 位的低采样率的 PCM 信号。这 8 路信号以左右两路共用一根信号线，并分别在 PDM_CLK 的高低电平传输的方式，联入本模块；所以需要 4 根信号线。

其信号流图如图 59所示。各路 PDM 信号在被各自的 PDM 捕获模块捕获后，生成一比特的 +1, 或 −1 的数字信号。该一比特的信号流，被各自的 CIC 降 M 倍采样率滤波器滤波后，经过一个可以旁路掉的一阶的高通滤波器 HPF，再经过多路选择器分别送入内部缓存中；这些内部缓存里的数据，在被降 N 倍的 FIR 低通滤波器处理

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

后，生成 24 比特的信号。因为传输到模块外部时，每个通道都有 32 比特位宽，所以，在紧跟 24 比特 MSB 的有效数据后，用 4 比特（即比特位置 [7:4]）来标志相应通道号。

为了使各路 PDM 信号经过相同的延时和滤波放大，所有 PDM 通道采用同样的 CIC 配置参数。

这些 CIC 相关配置参数中，CIC 的下采样率 M 为 CIC_CFG [CIC_DEC_RATIO]，CIC 滤波器的阶数为 CIC_CFG [SGD]。为了防止 CIC 的结果引起饱和失真，或者过小，可以对 CIC 的结果施加额外的移位。移位控制在 CIC_CFG [POST_SCALE]。如果移位配置不够好，产生了饱和截止失真，可以通过 ST [CIC_SAT_ERR] 及相应中断观察到。一般来说，会依据具体情况调整这个移位配置，使得饱和截止尽量少，同时音量尽可能大。

各个 PDM 通道的使能可以由 CH_CTRL [CH_EN [7:0]] 单独控制。究竟是在 PDM_CLK 高电平时先捕获，还是在 PDM_CLK 低电平时先捕获各 PDM 信号，由 CH_CTRL [CH_POL [7:0]] 来控制。

HPF 的参数配置在寄存器 HPF_MA 和 HPF_B 里，是否旁路由 CTRL[HPF_EN] 来控制。这个 HPF 的公式是

$$Y(z) = \frac{b * (1 - z^{-1}) * X(z)}{1 - a * z^{-1}} \tag{2}$$

寄存器 HPF_MA 中储存的是式中的 –a 值，寄存器 HPF_B 中储存的是式中的 b 值。

比方说，打算设计一个截止频率在 100Hz，采样率为 48kHz 的高通，此时，设计指令类似于

$$[ba, aa] = \text{butter}(1, 100/(48000/2), ' \text{high}') \tag{3}$$

可得：

$$\begin{aligned} aa &= [1.000000000000000 \ \ -0.986994962681551], \\ ba &= [0.993497481340776 \ \ -0.993497481340776] \end{aligned}$$

所以，HPF_MA 的值为 ROUND (0.986994962681551 * POWER(2,23) , 24), 即 0x7e55d9; HPF_B 的值为 ROUND (0.993497481340776 * POWER(2,23) , 24), 即 0x7f2aec。

各个 PDM 通道的 FIR 低通滤波器选择由 CH_CFG [CHn_TYPE] 单独控制，这里 n=0,..,7。一般将 CH_CFG [CHn_TYPE] 配为 0。降 N 倍的 FIR 低通滤波器是所有信号通道以时分复用的方式来共享一个 ALU 单元的。

41.4.3.2 参考信号

本模块可以接收从 DAO 传来的 2 路 PCM 信号，用来做回声抵消的参考信号。

因为 DAO 一般要求采样率是 48kHz，所以在应用参考信号用来做回声抵消时，会要求相应的 PDM 生成的 PCM 信号也是 48kHz 采样率。然后参考信号和 PDM 转成的 PCM 信号一起经过降 N 倍的 FIR 低通滤波器（这里一般 N=3），然后一起送到 I2S0 的 RXD0 的缓冲区里。此时，相应的，I2S0 就被配置成采样率为 16kHz 的语音信号发送和接收。

各个参考信号通道的使能可以由 CH_CTRL[CH_EN[9:8]] 单独控制。

41.4.4 发送缓冲区和接收缓冲区

本模块的输出数据往来通过 I2S0 的 RXD0 缓冲区进行。所以请参考小节 40.4.3。

41.4.5 中断

因为本模块的输出数据往来通过 I2S0 的 RXD0 缓冲区进行，所以中断主要是异常错误中断。所以请参考小节 40.4.3。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

错误 ST[CIC_SAT_ERR] 已经在小节 41.4.3.1被提及。

同时，因为系统中共享了一些资源，所以，可能会在一些情况下，系统来不及处理所有的通道，这时，ST [FILT_CRX_ERR]、ST [OFIFO_OVFL_ERR]、或者 ST [CIC_OVLD_ERR] 会发生置位为 1 的情况，这时只能通过设法降低通道数，或者提高 CIC 的降采样率来减少系统的算力要求，直至 ST [FILT_CRX_ERR]、ST [OFIFO_OVFL_ERR]、和 ST [CIC_OVLD_ERR] 都不会再出现。

另外，如果 I2S0 的采样率配置和 PDM 模块的采样率配置不一致，也会导致 ST [OFIFO_OVFL_ERR] 被置位，此时需要检查相关配置，以确保这两个模块的采样率一致。

PDM 中断源的具体说明如表 215所示。

表 215: PDM 中断请求

中断事件	事件标志	使能控制位
CIC 计算饱和	ST[CIC_SAT_ERR]	CTRL[CIC_SAT_ERR_IE]
CIC 采样率过载	ST[CIC_OVLD_ERR]	CTRL[CIC_OVLD_ERR_IE]
输出 FIFO 过载	ST[OFIFO_OVFL_ERR]	CTRL[OFIFO_OVFL_ERR_IE]
计算缓冲区指针过载	ST[FILT_CRX_ERR]	CTRL[FILT_CRX_ERR_IE]

41.4.6 DMA 传输

本模块的输出数据往来通过 I2S0 的 RXD0 缓冲区进行。所以请参考小节 40.4.3。

41.4.7 SNR 的估算

$$\mathrm{SNR(dB)} = 20*\log10(2^{\mathrm{ENOB}})+1.76 = 20*\mathrm{ENOB}*\log10(2)+1.76 = \mathrm{ENOB}*(20*\log10(2))+1.76 = \mathrm{ENOB}*6.02+1.76$$

对于 CIC 滤波器，ENOB 上界约为

$$\mathrm{ENOB} = \lceil \log2(\mathrm{OSR}^{\mathrm{Order}})\rceil + \mathrm{B}_{\mathrm{input}} = \lceil \mathrm{Order} * \log2(\mathrm{OSR})\rceil + \mathrm{B}_{\mathrm{input}}$$

，其中 $\mathrm{B}_{\mathrm{input}}$ 是 CIC 级的输入比特位宽度。CIC 之后的滤波器，通过改变噪声的带宽，有可能会进一步改变这个 SNR 的数值。

41.5 寄存器列表

PDM 相关寄存器占用地址如下：PDM base address: 0xF0114000

地址偏移	名称	描述	复位值
0x0000	CTRL	控制寄存器	0x00000000
0x0004	CH_CTRL	通道控制寄存器	0x00000000
0x0008	ST	状态寄存器	0x00000000
0x000C	CH_CFG	通道配置寄存器	0x00000000
0x0010	CIC_CFG	CIC 配置寄存器	0x00000000
0x0014	CTRL_INBUF	内部缓冲区控制寄存器	0x00000000
0x0018	CTRL_FILT0	滤波器 0 号寄存器	0x00000000
0x001C	CTRL_FILT1	滤波器 1 号寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0020	RUN	执行寄存器	0x00000000
0x0024	MEMADDR	内部存储器访问地址寄存器	0x00000000
0x0028	MEMDATA	内部存储器访问数据寄存器	0x00000000
0x002C	HPF_MA	高通滤波器 A 系数寄存器	0x00000000
0x0030	HPF_B	高通滤波器 B 系数寄存器	0x00000000

表 216: PDM 寄存器列表

41.6 寄存器描述

PDM 相关寄存器具体描述如下：

41.6.1 CTRL (0x0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SFTRST	RSVD							SOF_FEDGE	RSVD		USE_COEF_RAM	FILT_CRX_ERR_IE	OFIFO_OVFL_ERR_IE	CIC_OVLD_ERR_IE	CIC_SAT_ERR_IE	DEC_AFT_CIC				RSVD	CAPT_DLY				PDM_CLK_HFDIV				PDM_CLK_DIV_BYPASS	PDM_CLK_OE	HPF_EN
RW	N/A							RW	N/A		RW	RW	RW	RW	RW	RW				N/A	RW				RW				RW	RW	RW
0	x	x	x	x	x	x	x	0	x	x	0	0	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0	0	0	0	0

CTRL [31:0]

位域	名称	描述
31	SFTRST	置为 1 时，软件重置本模块。 自动清零。
23	SOF_FEDGE	置为 1 时，选择来自 DAO 的 ref fclk 的下降沿为新帧的开始。 这用于对齐 DAO 反馈信号。
20	USE_COEF_RAM	置为 1 时，系数来自于 RAM；否则来自 ROM。
19	FILT_CRX_ERR_IE	访问的数据超出边界错误中断使能。 当模块无法及时计算足够数量的数据时，会发生此错误。
18	OFIFO_OVFL_ERR_IE	输出 FIFO 过载错误中断使能
17	CIC_OVLD_ERR_IE	CIC 过载错误中断使能
16	CIC_SAT_ERR_IE	CIC 饱和错误中断使能 该位控制发生错误条件（CIC 饱和）时中断的生成。 0：错误中断被屏蔽 1：使能错误中断
15-12	DEC_AFT_CIC	CIC 阶段之后的下采样比率。现在要求为 3。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
10-7	CAPT_DLY	捕获周期延迟 >=0，应小于 PDM_CLK_HFDIV
6-3	PDM_CLK_HFDIV	生成 PDM_CLK 的时钟分频比。 时钟分频器将至少为 4。 0: 分频比为 2， 1: 分频比为 4 . . . n: 分频比为 2*(n+1)
2	PDM_CLK_DIV_BYPASS	置为 1 时不做 PDM_CLK 的时钟分频
1	PDM_CLK_OE	置为 1 时输出分频产生的 PDM_CLK
0	HPF_EN	PDM 高通滤波器使能。 这个 1 阶 HPF 仅适用于 PDM 麦克风数据。

CTRL 位域

41.6.2 CH_CTRL (0x4)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								CH_POL								RSVD						CH_EN									
N/A								RW								N/A						RW									
x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0

CH_CTRL [31:0]

位域	名称	描述
23-16	CH_POL	置为 1 时选择在 PDM_CLK 高电平时捕获，否则选择 PDM_CLK 低电平时捕获。
9-0	CH_EN	置为 1 时使能相关通道。 Ch8 和 CH9 为参考信号通道。 Ch0-7 为麦克风信号通道。

CH_CTRL 位域

41.6.3 ST (0x8)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																												FILT_CRX_ERR	OFIFO_OVFL_ERR	CIC_OVLD_ERR	CIC_SAT_ERR
N/A																												W1C	W1C	W1C	W1C

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0

ST [31:0]

位域	名称	描述
3	FILT_CRX_ERR	数据访问超出边界错误
2	OFIFO_OVFL_ERR	输出 FIFO 过载错误。 原因可能是采样频率不匹配，或快或慢。
1	CIC_OVLD_ERR	CIC 过载错误
0	CIC_SAT_ERR	CIC 饱和错误

ST 位域

41.6.4 CH_CFG (0xC)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD												CH9_TYPE		CH8_TYPE		CH7_TYPE		CH6_TYPE		CH5_TYPE		CH4_TYPE		CH3_TYPE		CH2_TYPE		CH1_TYPE		CH0_TYPE	
N/A												RW		RW		RW		RW		RW		RW		RW		RW		RW		RW	
x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CH_CFG [31:0]

位域	名称	描述
19-18	CH9_TYPE	
17-16	CH8_TYPE	
15-14	CH7_TYPE	
13-12	CH6_TYPE	
11-10	CH5_TYPE	
9-8	CH4_TYPE	
7-6	CH3_TYPE	
5-4	CH2_TYPE	
3-2	CH1_TYPE	
1-0	CH0_TYPE	通道的滤波器类型 2’b00: 下采样比率为 3，滤波器类型 0（CIC 补偿站 + 标准滤波器） 2’b01: 下采样比率为 3，过滤器类型 1（无 CIC 补偿，仅标准滤波器）

CH_CFG 位域

41.6.5 CIC_CFG (0x10)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																POST_SCALE						SGD		CIC_DEC_RATIO							
N/A																RW						RW		RW							
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CIC_CFG [31:0]

位域	名称	描述
15-10	POST_SCALE	对 CIC 输出的结果进行的移位值。
9-8	SGD	sigma-delta 滤波器阶数 2’b00:7 2’b01:6 2’b10:5 其他：未使用
7-0	CIC_DEC_RATIO	CIC 下采样的比率

CIC_CFG 位域

41.6.6 CTRL_INBUF (0x14)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD		MAX_PTR								PITCH											START_ADDR										
N/A		RW								RW											RW										
x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CTRL_INBUF [31:0]

位域	名称	描述
29-22	MAX_PTR	每个通道的缓冲区大小减 1
21-11	PITCH	相邻通道的起始地址之间的间距
10-0	START_ADDR	滤波器通道 0 的输入数据缓冲区的起始地址

CTRL_INBUF 位域

41.6.7 CTRL_FILT0 (0x18)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																COEF_LEN_M0								COEF_START_ADDR							
N/A																RW								RW							
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CTRL_FILT0 [31:0]

位域	名称	描述
15-8	COEF_LEN_M0	滤波器类型 2’b00 的系数的长度（阶数）
7-0	COEF_START_ADDR	滤波器类型 2’b00 的系数在系数内存里的起始地址

CTRL_FILT0 位域

41.6.8 CTRL_FILT1 (0x1C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																COEF_LEN_M1								COEF_START_ADDR							
N/A																RW								RW							
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CTRL_FILT1 [31:0]

位域	名称	描述
15-8	COEF_LEN_M1	滤波器类型 2’b01 的系数的长度（阶数）
7-0	COEF_START_ADDR	滤波器类型 2’b01 的系数在系数内存里的起始地址

CTRL_FILT1 位域

41.6.9 RUN (0x20)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																															PDM_EN
N/A																															RW

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0

RUN [31:0]

位域	名称	描述
0	PDM_EN	置为 1 时使能本模块

RUN 位域

41.6.10 MEMADDR (0x24)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MEMADDR [31:0]

位域	名称	描述
31-0	ADDR	0–0x0FFFFFFF: 模块内部的滤波器系数空间 0x10000000–0x1FFFFFF：模块内部的滤波器数据空间

MEMADDR 位域

41.6.11 MEMDATA (0x28)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MEMDATA [31:0]

位域	名称	描述
31-0	DATA	写入缓冲区的数据/从缓冲区读取的数据

MEMDATA 位域

41.6.12 HPF_MA (0x2C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
COEF																															

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

HPF_MA [31:0]

位域	名称	描述
31-0	COEF	1 阶 HPF 系数 A 的补码，S24:23。仅有低 24 位有用。仅能表示 [-1,1) 之间的数。

HPF_MA 位域

41.6.13 HPF_B (0x30)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
COEF																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

HPF_B [31:0]

位域	名称	描述
31-0	COEF	1 阶 HPF 系数 B，S24:23。仅有低 24 位有用。仅能表示 [-1,1) 之间的数。

HPF_B 位域

41.7 PDM 配置使用简单说明

41.7.1 软件复位

将 CTRL[SFTRST] 置为 1 后复位，再将 CTRL[SFTRST] 置为 0 后解除复位。另，本复位也可自动解除。

41.7.2 使能流程

各步骤如下：

1. 检查 RUN[PDM_EN] 确定本模块是否在运行。如在运行，置 RUN[PDM_EN]=0
2. 配置 CTRL[PDM_CLK_HFDIV] 为所需数值，保证 PDM_CLK 小于或等于 3.072MHz。
3. 其余寄存器按需求配置。
4. 按需求配置 I2S0 RX0 的相关寄存器。
5. 置 RUN[PDM_EN]=1, 使能 I2S 模块，然后 PDM 模块开始工作, 接收到的数据通过 I2S0 RX 的 FIFO 送到芯片内部做进一步处理。。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

42 数字音频输出 DAO

42.1 概述

DAO 模块主要用来产生较高质量的类似差分输出的 PWM，在音频带宽 [200Hz,20kHz) 内可以达到约 55dB 的信噪比。目前支持的特性如下表 217：

功能	主要特性
通信方式	· 支持从 I2S1[TXD0] 来的 2 路 PCM 槽通道信号输入。软件可选配 2 路槽通道的具体位置。 · 支持向 PDM 模块输出 2 个参考信号（可用于 AEC）。
数据缓冲	· 本模块输入来自 I2S1[TXD0]，所以共享 I2S1[TXD0] 的 FIFO 深度 (见小节 40.4.3)
DMA 支持	· 本模块输入来自 I2S1[TXD0]，所以共享 I2S1[TXD0] 的 DMA 设置
数据格式	· 同 I2S1
时钟源	· 为系统音频主时钟；此时 I2S1 必须工作在主模式下

表 217: DAO 主要特性

42.2 DAO 架构图

本模块的结构图如图 60。从 I2S1 的 TXD0 来的信号，提取相关槽通道后，经过可以旁路掉的高通滤波器 (HPF) 后，进行上采样，然后变成 PWM 信号输出。

图 60: DAO 结构框图

42.3 管脚说明

本模块使用的管脚说明见表 218。

42.4 功能说明

42.4.1 DAO 一般说明

DAO 引脚上会输出 PWM 信号。以左声道为例，这个二值化 PWM 信号经过如下图 61中的阻容滤波器电路可以变成模拟信号，然后去驱动语音信号的功放，再由这个功放输出去驱动高功率喇叭。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

表 218: DAO 管脚说明

管脚	方向	功能描述
DAOL_P	输出	左声道输出的 P 路信号
DAOL_N	输出	左声道输出的 N 路信号
DAOR_P	输出	右声道输出的 P 路信号
DAOR_N	输出	右声道输出的 N 路信号

[1] 注意：这里相应的 P 路和 N 路信号管脚必须联合起来使用。

如果只要驱动 100mW-200mW 左右的高阻抗耳机，则可以省略掉图中的蓝色框里的阻容滤波器和语音信号的功放。但要注意，芯片的管脚一般只能输出约 50mA-100mA 的电流，太大的电流会烧毁芯片里的管脚部分的电路。

图 61: DAO 输出去驱动喇叭

42.4.2 DAO 输出波形

DAO 引脚上输出的 PWM 信号，反映了当前 PCM 的值的大小。在忽略掉滤波和 PWM 转换带来的延时的情况下，若输入的 PCM 为正，则 DAOx_P 管脚上会在更多时间里输出为高电平；若输入的 PCM 为负，则 DAOx_N 管脚上会在更多时间里输出为高电平。这样经过低通滤波后，就可以恢复出原始的 PCM 语音信号。相对应的图形有 2 种，介绍如下：

- 在 CTRL[REMAP] 为 0 时，P 管脚和 N 管脚上输出的波形如图 62。
- 在 CTRL[REMAP] 为 1 时，同样输入下，P 管脚和 N 管脚上输出的波形如图 63。

可见，当 CTRL[REMAP] 为 1 时，P 管脚和 N 管脚上的跳变更少，EMC 性能以及驱动电路开关带来的非线性影响更小。所以，推荐将 CTRL[REMAP] 配置为 1。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

图 62: DAO 输出波形，当 CTRL[REMAP]=0 时

图 63: DAO 输出波形，当 CTRL[REMAP]=1 时

42.4.3 相应的 I2S 的配置，以及槽通道的选择

对于和 I2S1 相同名字的寄存器配置字段，一般需要和 I2S1 的配置匹配成一样的。目前，DAO 要求相应的 I2S1_CFGR[CHSIZ]=1。

因为 I2S 支持 TDM 模式，所以需要从这些槽通道里选出 2 个槽通道。可以通过配置 RXSLT 来选择出 2 个槽通道。

42.4.4 信号流图

本模块的信号流图见图 64.

图 64: DAO 信号流图

42.4.4.1 PCM 信号的滤波和采样变换

从 I2S 的输出信号里取出 2 个槽通道的信号后，先通过可旁路的高通滤波器滤除直流，然后 8 倍上采样，再通过 PWM 信号生成逻辑，最终在管脚上输出成对的 PWM 信号。

42.4.4.2 高通滤波器 HPF 的配置

HPF 目的是为了减少 PCM 里面的 DC 信号的影响。缺省状态下，HPF 未使能。目前如果要使能 HPF 的话，必须使能 2 个槽通道。

HPF 的参数配置在寄存器 HPF_MA 和 HPF_B 里，是否旁路由 CTRL[HPF_EN] 来控制。这个 HPF 的公式是

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

$$Y(z) = \frac{b * (1 - z^{-1}) * X(z)}{1 - a * z^{-1}} \tag{4}$$

寄存器 HPF_MA 中储存的是式中的 –a 值，寄存器 HPF_B 中储存的是式中的 b 值。

比方说，打算设计一个截止频率在 100Hz，采样率为 48kHz 的高通，此时，设计指令类似于

$$[ba, aa] = butter(1, 100/(48000/2), ' high') \tag{5}$$

可得：

$$\begin{aligned} aa &= [1.000000000000000 \ -0.986994962681551], \\ ba &= [0.993497481340776 \ -0.993497481340776] \end{aligned}$$

所以，HPF_MA 的值为 ROUND (0.986994962681551 * POWER(2,23) , 24), 即 0x7e55d9; HPF_B 的值为 ROUND (0.993497481340776 * POWER(2,23) , 24), 即 0x7f2aec。

42.4.4.3 参考信号

HPF 阶段之后的信号被作为参考信号,送给 PDM 模块作为自动回声消除(AEC)用的参考信号。参小节 41.4.3.2。本模块和 PDM 联合工作时，最好把 DAO 信号的采样率配置为 48kHz，因为这是联合工作时最佳的设置。

42.4.5 发送缓冲区和接收缓冲区

本模块的输出数据往来通过 I2S1 的 TXD0 缓冲区进行。所以请参考小节 40.4.3。

42.4.6 中断

目前本模块没有中断输出。

42.4.7 DMA 传输

本模块的输出数据往来通过 I2S1 的 TXD0 缓冲区进行。所以请参考小节 40.4.3。

42.5 寄存器列表

DAO 相关寄存器占用地址如下：DAO base address: 0xF0110000

地址偏移	名称	描述	复位值
0x0000	CTRL	控制寄存器	0x00000000
0x0008	CMD	命令寄存器	0x00000000
0x000C	RX_CFGR	配置寄存器	0x00000000
0x0010	RXSLT	接收槽控制寄存器	0x00000000
0x0014	HPF_MA	高通滤波器 A 系数寄存器	0x00000000
0x0018	HPF_B	高通滤波器 B 系数寄存器	0x00000000

表 219: DAO 寄存器列表

42.6 寄存器描述

DAO 相关寄存器具体描述如下：

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

42.6.1 CTRL (0x0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD														HPF_EN	RSVD									MONO	RIGHT_EN	LEFT_EN	REMAP	INVERT	FALSE_LEVEL		FALSE_RUN
N/A														RW	N/A									RW	RW	RW	RW	RW	RW		RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0

CTRL [31:0]

位域	名称	描述
17	HPF_EN	HPF（高通滤波器）使能。该 HPF 用于过滤掉直流部分。 1–使能 HPF 0–不使能 HPF
7	MONO	置为 1 时，左侧和右侧通道将输出相同的值。
6	RIGHT_EN	置为 1 时，使能右声道
5	LEFT_EN	置为 1 时，使能左声道
4	REMAP	1：使用重新映射的 pwm 信号。重新映射版本是指当输入 pcm 信号为正或负时，一个 pwm 输出被强制为零的版本 0: 不使用重新映射 pwm 信号。
3	INVERT	置为 1 时，在发送到 pad 之前，所有输出都需反转
2-1	FALSE_LEVEL	在虚假运行模式或模块被禁用时时，管脚的输出模式： 0: 全低 1: 都很高 2:P-高，N-低 3. 输出未启用
0	FALSE_RUN	设置为 1 时，为虚假运行模式。 此时，本模块继续消耗输入数据，但所有的输出管脚上的都是恒定的，没有音频输出

CTRL 位域

42.6.2 CMD (0x8)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																														SFTRST	RUN
N/A																														RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0

CMD [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
1	SFTRST	写一软件复位。自动清零。
0	RUN	置为 1 时，运行本模块

CMD 位域

42.6.3 RX_CFGR (0xC)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																					CH_MAX					RSVD					
N/A																					RW					N/A					
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	x	x	x	x	x	x

RX_CFGR [31:0]

位域	名称	描述
10-6	CH_MAX	Ch_MAX[3:0] 为对接的 I2S 配置中在 TDM 模式下支持的槽的通道数。 当不处于 TDM 模式时，必须将其设置为 2。 它必须是偶数，因此 Chu MAX[0] 始终为 0。 4’h2:2 通道 4’h4:4 频道 等

RX_CFGR 位域

42.6.4 RXSLT (0x10)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EN																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RXSLT [31:0]

位域	名称	描述
31-0	EN	接收槽使能控制位。置为 1 时表明该槽含有效数据。

RXSLT 位域

42.6.5 HPF_MA (0x14)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
COEF																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

HPF_MA [31:0]

位域	名称	描述
31-0	COEF	1 阶 HPF 系数 A 的补码

HPF_MA 位域

42.6.6 HPF_B (0x18)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
COEF																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

HPF_B [31:0]

位域	名称	描述
31-0	COEF	1 阶 HPF 系数 B

HPF_B 位域

42.7 DAO 配置使用简单说明

42.7.1 软件复位

将 CMD[SFTRST] 置为 1 后复位，再将 CMD[SFTRST] 置为 0 后解除复位。另，本复位也可自动解除。

42.7.2 使能流程

各步骤如下：

1. 检查 CMD[RUN] 确定本模块是否在运行。如在运行，置 CMD[RUN]=0
2. 软件复位本模块。
3. 配置 RX_CFGR[CH_MAX] 如所连接的 I2S1 TX0 的行为；配 RXSLT 寄存器为所需截取的 I2S1 TX0 中的 slot。
4. 其余寄存器按需求配置。
5. 按需求配置 I2S1 TX0 的相关寄存器。
6. 置 CMD[RUN]=1, 然后模块开始工作。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

43 语音检测模块 VAD

43.1 概述

VAD 模块主要用来采集 PDM 麦克风的信号，同时根据能量和过零率来初步判决是否可能是人声。同时会产生专门的 VAD 激活信号，可用于使系统退出低功耗模式，来进一步判别是否为有效语音信号。

43.2 VAD 架构图

本模块的结构图如图 65。

图 65: VAD 结构框图

43.3 寄存器列表

VAD 相关寄存器占用地址如下：VAD base address: 0xF40EC000

地址偏移	名称	描述	复位值
0x0000	CTRL	控制寄存器	0x00000000
0x0004	FILTCTRL	滤波器控制寄存器	0x00000000
0x0008	DEC_CTRL0	判决控制 0 号寄存器	0x00000000
0x000C	DEC_CTRL1	判决控制 1 号寄存器	0x00000000
0x0010	DEC_CTRL2	判决控制 2 号寄存器	0x00000000
0x0018	ST	状态寄存器	0x00000000
0x001C	OFIFO	输出 FIFO 寄存器	0x00000000
0x0020	RUN	执行寄存器	0x00000000
0x0024	OFIFO_CTRL	输出 FIFO 控制寄存器	0x00000000
0x0028	CIC_CFG	CIC 配置寄存器	0x00000000
0x00A0	COEF[STE_ACT]	短时能量寄存器	0x00000000

表 220: VAD 寄存器列表

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

43.4 寄存器描述

VAD 相关寄存器具体描述如下：

43.4.1 CTRL (0x0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				CAPT_DLY				PDM_CLK_HFDIV				RSVD	VAD_IE	OFIFO_AV_IE	MEMBUF_EMPTY_IE	OFIFO_OVFL_ERR_IE	IIR_OVLD_ERR_IE	IIR_OVFL_ERR_IE	CIC_OVLD_ERR_IE	CIC_SAT_ERR_IE	RSVD	MEMBUF_DISABLE	FIFO_THRSH				PDM_CLK_DIV_BYPASS	PDM_CLK_OE	CH_POL		CHNUM
N/A				RW				RW				N/A	RW	RW	RW	RW	RW	RW	RW	RW	N/A	RW	RW				RW	RW	RW		RW
x	x	x	x	0	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0	0	0	0

CTRL [31:0]

位域	名称	描述
27-24	CAPT_DLY	捕获周期延迟 >=0，应小于 PDM_CLK_HFDIV
23-20	PDM_CLK_HFDIV	生成 PDM_CLK 的时钟分频比。 时钟分频器将至少为 4。 0: 分频比为 2， 1: 分频比为 4 . . . n: 分频比为 2^(n+1)
18	VAD_IE	VAD 事件中断使能
17	OFIFO_AV_IE	输出 FIFO 数据可用中断使能
16	MEMBUF_EMPTY_IE	内部存储器空状态中断使能
15	OFIFO_OVFL_ERR_IE	输出 FIFO 过载错误中断使能
14	IIR_OVLD_ERR_IE	IIR 过载错误中断使能
13	IIR_OVFL_ERR_IE	IIR 饱和错误中断使能
12	CIC_OVLD_ERR_IE	CIC 过载错误中断使能
11	CIC_SAT_ERR_IE	CIC 饱和错误中断使能
9	MEMBUF_DISABLE	置为 1 来禁用内部存储器
8-5	FIFO_THRSH	输出 FIFO 的阈值 用于生成输出 FIFO 数据可用状态 OFIFO_AV（当填充 >= 阈值时）（FIFO 大小：最大 16 项，16*32 位）

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
4	PDM_CLK_DIV_BYPASS	置为 1 时不做 PDM_CLK 的时钟分频
3	PDM_CLK_OE	置为 1 时输出分频产生的 PDM_CLK
2-1	CH_POL	置为 1 时选择在 PDM_CLK 高电平时捕获，否则选择 PDM_CLK 低电平时捕获。
0	CHNUM	存储在内部缓冲区中的通道数。 1：2 个通道， 0：1 个通道。

CTRL 位域

43.4.2 FILTCTRL (0x4)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																					DECRATIO			IIR_SLOT_EN							
N/A																					RW			RW							
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0

FILTCTRL [31:0]

位域	名称	描述
10-8	DECRATIO	CIC 阶段之后的下采样比率。现在要求为 3。
7-0	IIR_SLOT_EN	IIR 各级使能

FILTCTRL 位域

43.4.3 DEC_CTRL0 (0x8)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NOISE_TOL																RSVD						BLK_CFG	SUBBLK_LEN								
RW																N/A						RW	RW								
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0

DEC_CTRL0 [31:0]

位域	名称	描述
31-16	NOISE_TOL	计算 ZCR 时使用的噪声振幅门限值

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
9	BLK_CFG	计算短时能量的子块个数 1：3 个子块（相邻块能量计算时重叠 2/3 区域）， 0：2 个子块（相邻块能量计算时重叠 1/2 区域）
8-0	SUBBLK_LEN	子块采样的样本数

DEC_CTRL0 位域

43.4.4 DEC_CTRL1 (0xC)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD										ZCR_HIGH											ZCR_LOW										
N/A										RW											RW										
x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DEC_CTRL1 [31:0]

位域	名称	描述
21-11	ZCR_HIGH	过零率高限
10-0	ZCR_LOW	过零率低限

DEC_CTRL1 位域

43.4.5 DEC_CTRL2 (0x10)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AMP_HIGH																AMP_LOW															
RW																RW															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DEC_CTRL2 [31:0]

位域	名称	描述
31-16	AMP_HIGH	信号幅值高限
15-0	AMP_LOW	信号幅值低限

DEC_CTRL2 位域

43.4.6 ST (0x18)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																								VAD	OFIFO_AV	MEMBUF_EMPTY	OFIFO_OVFL	IIR_OVLD	IIR_OVFL	CIC_OVLD_ERR	CIC_SAT_ERR
N/A																								W1C	RO	W1C	W1C	W1C	W1C	W1C	W1C
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0

ST [31:0]

位域	名称	描述
7	VAD	VAD 事件已发生标志
6	OFIFO_AV	输出 FIFO 数据可用标志
5	MEMBUF_EMPTY	内部存储器空状态标志
4	OFIFO_OVFL	输出 FIFO 过载错误标志
3	IIR_OVLD	IIR 过载错误标志
2	IIR_OVFL	IIR 饱和错误标志
1	CIC_OVLD_ERR	CIC 过载错误标志
0	CIC_SAT_ERR	CIC 饱和错误标志

ST 位域

43.4.7 OFIFO (0x1C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
D																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

OFIFO [31:0]

位域	名称	描述
31-0	D	PCM 数据。 当只有一个通道时，样本来自 Ch0，32 位中的 2 个样本为：位 [31:16]：时间较早的样本（[T-1]）。位 [15:0]：时间（[T]）中稍后的样本。 当有两个通道时，32 位中的样本为：位 [31:16]：样本属于通道 1（当通道极性 Ch_pol[1:0]==2 时，数据在 pdm_clk 的高电平时捕获）。位 [15:0]：样本属于通道 0（当通道极性 Ch_pol[1:0]==2 时，数据在 pdm_clk 的低电平时捕获）。

OFIFO 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

43.4.8 RUN (0x20)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																														SFTRST	VAD_EN
N/A																														RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0

RUN [31:0]

位域	名称	描述
1	SFTRST	置为 1 时，软件重置本模块。 自动清零。
0	VAD_EN	置为 1 来使能本模块

RUN 位域

43.4.9 OFIFO_CTRL (0x24)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																															EN
N/A																															RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0

OFIFO_CTRL [31:0]

位域	名称	描述
0	EN	置为 1 来使能输出 FIFO

OFIFO_CTRL 位域

43.4.10 CIC_CFG (0x28)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																POST_SCALE						RSVD									
N/A																RW						N/A									
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	x	x	x	x	x	x	x	x	x	x

CIC_CFG [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
15-10	POST_SCALE	对 CIC 输出的结果进行的移位值。

CIC_CFG 位域

43.4.11 COEF (0xA0 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VAL																															
RO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

COEF [31:0]

位域	名称	描述
31-0	VAL	目前检测到的短时能量数值

COEF 位域

43.5 VAD 配置使用简单说明

43.5.1 软件复位

将 RUN[SFTRST] 置为 1 后复位，再将 RUN[SFTRST] 置为 0 后解除复位。另，本复位也可自动解除。

43.5.2 使能流程

各步骤如下：

1. 检查 RUN[VAD_EN] 确定本模块是否在运行。如在运行，置 RUN[VAD_EN]=0。然后软件复位该模块。
2. 配置 CTRL，FILTCTRL，CIC_CFG 为所需数值。
3. 置 RUN[VAD_EN]=1, 使能 VAD 模块。
4. 等 VAD 的事件中断来后，置 OFIFO_CTRL[EN]=1，然后就可以通过 CPU 从 OFIFO 里读取数据了。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

44 电机系统概述

本章节介绍了本产品的电机控制系统。本产品支持 4 套电机控制单元，每个单元包括 1 个 PWM 定时器，1 个正交编码器接口，1 个霍尔传感器接口和 1 个互联管理器。配合片上的模拟外设如模数转换器 ADC，比较器 ACMP 等外设，可以实现同时控制 4 个电机。本产品包括一个同步定时器，用于 4 套电机控制单元间同步。

所有电机控制单元和同步定时器均工作在外部总线时钟 (CLK_TOP_AHB), 以实现最小 cpu 访问延时。

本产品的电机控制系统如图 66。

图 66: 电机系统框图

44.1 PWM 定时器 PWM

本产品支持 4 个 PWM 定时器。单个 PWM 支持高达 28 位计数器，支持 24 个通道，其中通道 0~7 用于生成 8 路独立或者 4 对互补 PWM 输出，支持死区控制和故障保护。其余 16 路通道支持输出比较，可以通过互联管理器输出到 IO，或者其他片上模块。PWM 定时器支持输入捕获。

本产品上，单个 PWM 定时器信号连接如下：

- 通道 0~7 输出经过 PWM 控制逻辑，连接到 IO 上
- 通道 8~23 输出连接到电机控制单元内的互联管理器
- 输入捕获 0~7 来自 IO
- 输入捕获 8~23 来自电机控制单元内的互联管理器
- 计数器同步触发输入 SYNCI 来自电机控制单元内的互联管理器
- 强制输出的使能输入 FRCI 来自电机控制单元内的互联管理器
- 强制输出影子寄存器的生效的触发输入 SHSYNCI 来自电机控制单元内的互联管理器
- 外部故障保护输入 FAULTE0~1 来自 IO，可在无时钟状态实现故障保护
- 内部故障保护输入 FAULTI0~3 来自电机控制单元内的互联管理器，需在电机系统时钟正常工作时实现故障保护

各个 PWM 模块信号与电机控制单元内的互联管理器内信号连接请查阅节 44.4。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

44.2 正交编码器接口 QEI

本产品支持 4 个正交编码器接口 QEI。QEI 支持外部的各种类型的正交编码器，用以感应电机的位置信息，并提供电机的转向，转速信息。

本产品上，单个正交编码器接口 QEI 的信号连接如下：

- A 相输入 APH，来自电机控制单元内的互联管理器
- B 相输入 BPH，来自电机控制单元内的互联管理器
- Z 相输入 ZPH，来自电机控制单元内的互联管理器
- H 相输入 HPH，也称位 HOME，来自电机控制单元内的互联管理器
- 快照输入 SNAPI，来自电机控制单元内的互联管理器
- 触发输出 TRGO，连接到电机控制单元内的互联管理器

正交编码器接口 QEI 的各个信号支持通过电机控制单元内互联管理器灵活地分配，可以连接到 TRGM 的各个 IO，也可以连接到片上的其他外设。具体信号连接请查阅节 44.4。

44.3 霍尔传感器接口 HALL

本产品支持 4 个霍尔传感器接口 HALL。HALL 支持外部的霍尔传感器。

本产品上，单个霍尔传感器接口 HALL 的信号连接如下：

- A 相输入 U，来自电机控制单元内的互联管理器
- B 相输入 V，来自电机控制单元内的互联管理器
- Z 相输入 W，来自电机控制单元内的互联管理器
- 快照输入 SNAPI，来自电机控制单元内的互联管理器
- 触发输出 TRGO，连接到电机控制单元内的互联管理器

霍尔传感器接口 HALL 的各个信号支持通过电机控制单元内互联管理器灵活地分配，可以连接到 TRGM 的各个 IO，也可以连接到片上的其他外设。具体信号连接请查阅节 44.4。

44.4 互联管理器 TRGM

本产品支持 4 个互联管理器 TRGM，TRGM 支持电机控制单元内外各个设备的信号间互通互联，可以把片上各个外设整合起来，实现外设间相互同步，相互配合。

互联管理器支持多个输入，输入来自于 IO，电机控制单元内外的各个外设，以及其他电机控制单元的互联管理器。各个互联管理器的输入信号，请查阅小节 44.4.1。

互联管理器支持多个输出，用户可以从互联管理器的众多输入信号中选择一个，连接到任意输出。各个互联管理器的输出信号分配，请查阅小节 44.4.2。

注意：将电机系统内部信号连接到电机系统外时，需要考虑时钟频率和信号有效长度。

以下几个信号只有一个电机系统时钟周期，这些信号可以在电机系统内部任意连接，不建议出电机系统：

正交解码器 n 触发输出；霍尔传感器 n 接口触发输出；同步定时器通道 n。

互联管理器支持管理电机控制单元内外设的 DMA 请求，本产品上，电机控制单元内设备的 DMA 请求不直接连接到 DMAMUX，而是通过 TRGM 转接。各个 TRGM 管理的 DMA 请求，请查阅小节 44.4.3。

互联管理器支持多个数字滤波器，可以对 TRGM 的特定输入信号进行滤波。各个 TRGM 中配置有数字滤波器的输入信号，请查阅小节 44.4.4。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

44.4.1 互联管理器输入分配

本章节介绍互联管理器输入信号分配。

互联管理器 0 的输入信号分配：

TRGM0_INPUT MUX 编号	TRGM0_INPUT MUX SOURCE 名称	描述
0	VSS	低电平
1	VDD	高电平
2	TRGM0_P0	互联管理器 0 输入 0（来自 IO）
3	TRGM0_P1	互联管理器 0 输入 1（来自 IO）
4	TRGM0_P2	互联管理器 0 输入 2（来自 IO）
5	TRGM0_P3	互联管理器 0 输入 3（来自 IO）
6	TRGM0_P4	互联管理器 0 输入 4（来自 IO）
7	TRGM0_P5	互联管理器 0 输入 5（来自 IO）
8	TRGM0_P6	互联管理器 0 输入 6（来自 IO）
9	TRGM0_P7	互联管理器 0 输入 7（来自 IO）
10	TRGM0_P8	互联管理器 0 输入 8（来自 IO）
11	TRGM0_P9	互联管理器 0 输入 9（来自 IO）
12	TRGM0_P10	互联管理器 0 输入 10（来自 IO）
13	TRGM0_P11	互联管理器 0 输入 11（来自 IO）
14	TRGM3_OUTX0	互联管理器 3 输出 X0
15	TRGM3_OUTX1	互联管理器 3 输出 X1
16	TRGM2_OUTX0	互联管理器 2 输出 X0
17	TRGM2_OUTX1	互联管理器 2 输出 X1
18	TRGM1_OUTX0	互联管理器 1 输出 X0
19	TRGM1_OUTX1	互联管理器 1 输出 X1
20	PWM0_CH8REF	PWM 定时器 0 通道 8 参考输出
21	PWM0_CH9REF	PWM 定时器 0 通道 9 参考输出
22	PWM0_CH10REF	PWM 定时器 0 通道 10 参考输出
23	PWM0_CH11REF	PWM 定时器 0 通道 11 参考输出
24	PWM0_CH12REF	PWM 定时器 0 通道 12 参考输出
25	PWM0_CH13REF	PWM 定时器 0 通道 13 参考输出
26	PWM0_CH14REF	PWM 定时器 0 通道 14 参考输出
27	PWM0_CH15REF	PWM 定时器 0 通道 15 参考输出
28	PWM0_CH16REF	PWM 定时器 0 通道 16 参考输出
29	PWM0_CH17REF	PWM 定时器 0 通道 17 参考输出
30	PWM0_CH18REF	PWM 定时器 0 通道 18 参考输出
31	PWM0_CH19REF	PWM 定时器 0 通道 19 参考输出
32	PWM0_CH20REF	PWM 定时器 0 通道 20 参考输出
33	PWM0_CH21REF	PWM 定时器 0 通道 21 参考输出
34	PWM0_CH22REF	PWM 定时器 0 通道 22 参考输出

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

TRGM0_INPUT MUX 编号	TRGM0_INPUT MUX SOURCE 名称	描述
35	PWM0_CH23REF	PWM 定时器 0 通道 23 参考输出
36	QEI0_TRGO	正交解码器 0 触发输出
37	HALL0_TRGO	霍尔传感器接口触发输出
38	USB0_SOF	USB0 桢起始
39	USB1_SOF	USB1 桢起始
40	ENET0_PTP_OUT3	以太网控制器 0 PTP 输出 3
41	ENET1_PTP_OUT3	以太网控制器 1 PTP 输出 3
42	PTPC_CMP0	精确时间协议模块 PTPC 输出比较 0
43	PTPC_CMP1	精确时间协议模块 PTPC 输出比较 1
44	SYNT0_CH0	同步定时器通道 0
45	SYNT0_CH1	同步定时器通道 1
46	SYNT0_CH2	同步定时器通道 2
47	SYNT0_CH3	同步定时器通道 3
48	GPTMR0_OUT2	通用定时器 0 通道 2
49	GPTMR0_OUT3	通用定时器 0 通道 3
50	GPTMR1_OUT2	通用定时器 1 通道 2
51	GPTMR1_OUT3	通用定时器 1 通道 3
52	CMP0_OUT	比较器 0 输出
53	CMP1_OUT	比较器 1 输出
54	CMP2_OUT	比较器 2 输出
55	CMP3_OUT	比较器 3 输出
56	DEBUG_FLAG	调试模式进入标志位

表 221: TRGM0_INPUT MUX 列表

互联管理器 1 的输入信号分配：

TRGM1_INPUT MUX 编号	TRGM1_INPUT MUX SOURCE 名称	描述
0	VSS	低电平
1	VDD	高电平
2	TRGM1_P0	互联管理器 1 输入 0（来自 IO）
3	TRGM1_P1	互联管理器 1 输入 1（来自 IO）
4	TRGM1_P2	互联管理器 1 输入 2（来自 IO）
5	TRGM1_P3	互联管理器 1 输入 3（来自 IO）
6	TRGM1_P4	互联管理器 1 输入 4（来自 IO）
7	TRGM1_P5	互联管理器 1 输入 5（来自 IO）
8	TRGM1_P6	互联管理器 1 输入 6（来自 IO）
9	TRGM1_P7	互联管理器 1 输入 7（来自 IO）
10	TRGM1_P8	互联管理器 1 输入 8（来自 IO）
11	TRGM1_P9	互联管理器 1 输入 9（来自 IO）

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

TRGM1_INPUT MUX 编号	TRGM1_INPUT MUX SOURCE 名称	描述
12	TRGM1_P10	互联管理器 1 输入 10（来自 IO）
13	TRGM1_P11	互联管理器 1 输入 11（来自 IO）
14	TRGM3_OUTX0	互联管理器 3 输出 X0
15	TRGM3_OUTX1	互联管理器 3 输出 X1
16	TRGM2_OUTX0	互联管理器 2 输出 X0
17	TRGM2_OUTX1	互联管理器 2 输出 X1
18	TRGM0_OUTX0	互联管理器 0 输出 X0
19	TRGM0_OUTX1	互联管理器 0 输出 X1
20	PWM1_CH8REF	PWM 定时器 1 通道 8 参考输出
21	PWM1_CH9REF	PWM 定时器 1 通道 9 参考输出
22	PWM1_CH10REF	PWM 定时器 1 通道 10 参考输出
23	PWM1_CH11REF	PWM 定时器 1 通道 11 参考输出
24	PWM1_CH12REF	PWM 定时器 1 通道 12 参考输出
25	PWM1_CH13REF	PWM 定时器 1 通道 13 参考输出
26	PWM1_CH14REF	PWM 定时器 1 通道 14 参考输出
27	PWM1_CH15REF	PWM 定时器 1 通道 15 参考输出
28	PWM1_CH16REF	PWM 定时器 1 通道 16 参考输出
29	PWM1_CH17REF	PWM 定时器 1 通道 17 参考输出
30	PWM1_CH18REF	PWM 定时器 1 通道 18 参考输出
31	PWM1_CH19REF	PWM 定时器 1 通道 19 参考输出
32	PWM1_CH20REF	PWM 定时器 1 通道 20 参考输出
33	PWM1_CH21REF	PWM 定时器 1 通道 21 参考输出
34	PWM1_CH22REF	PWM 定时器 1 通道 22 参考输出
35	PWM1_CH23REF	PWM 定时器 1 通道 23 参考输出
36	QEI1_TRGO	正交编码器接口 1 触发输出
37	HALL1_TRGO	霍尔传感器接口 1 触发输出
38	USB0_SOF	USB0 桢起始
39	USB1_SOF	USB1 桢起始
40	ENET0_PTP_OUT3	以太网控制器 0 PTP 输出 3
41	ENET1_PTP_OUT3	以太网控制器 1 PTP 输出 3
42	PTPC_CMP0	精确时间协议模块 PTPC 输出比较 0
43	PTPC_CMP1	精确时间协议模块 PTPC 输出比较 1
44	SYNT_CH0	同步定时器通道 0
45	SYNT_CH1	同步定时器通道 1
46	SYNT_CH2	同步定时器通道 2
47	SYNT_CH3	同步定时器通道 3
48	GPTMR2_OUT2	通用定时器 2 通道 2 输出比较
49	GPTMR2_OUT3	通用定时器 2 通道 3 输出比较
50	GPTMR3_OUT2	通用定时器 3 通道 2 输出比较

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

TRGM1_INPUT MUX 编号	TRGM1_INPUT MUX SOURCE 名称	描述
51	GPTMR3_OUT3	通用定时器 3 通道 3 输出比较
52	CMP0_OUT	比较器 0 输出
53	CMP1_OUT	比较器 1 输出
54	CMP2_OUT	比较器 2 输出
55	CMP3_OUT	比较器 3 输出
56	DEBUG_FLAG	调试模式进入标志位

表 222: TRGM1_INPUT MUX 列表

互联管理器 2 的输入信号分配：

TRGM2_INPUT MUX 编号	TRGM2_INPUT MUX SOURCE 名称	描述
0	VSS	低电平
1	VDD	高电平
2	TRGM2_P0	互联管理器 2 输入 0（来自 IO）
3	TRGM2_P1	互联管理器 2 输入 1（来自 IO）
4	TRGM2_P2	互联管理器 2 输入 2（来自 IO）
5	TRGM2_P3	互联管理器 2 输入 3（来自 IO）
6	TRGM2_P4	互联管理器 2 输入 4（来自 IO）
7	TRGM2_P5	互联管理器 2 输入 5（来自 IO）
8	TRGM2_P6	互联管理器 2 输入 6（来自 IO）
9	TRGM2_P7	互联管理器 2 输入 7（来自 IO）
10	TRGM2_P8	互联管理器 2 输入 8（来自 IO）
11	TRGM2_P9	互联管理器 2 输入 9（来自 IO）
12	TRGM2_P10	互联管理器 2 输入 10（来自 IO）
13	TRGM2_P11	互联管理器 2 输入 11（来自 IO）
14	TRGM3_OUTX0	互联管理器 3 输出 X0
15	TRGM3_OUTX1	互联管理器 3 输出 X1
16	TRGM1_OUTX0	互联管理器 1 输出 X0
17	TRGM1_OUTX1	互联管理器 1 输出 X1
18	TRGM0_OUTX0	互联管理器 0 输出 X0
19	TRGM0_OUTX1	互联管理器 0 输出 X1
20	PWM2_CH8REF	PWM 定时器 2 通道 8 参考输出
21	PWM2_CH9REF	PWM 定时器 2 通道 9 参考输出
22	PWM2_CH10REF	PWM 定时器 2 通道 10 参考输出
23	PWM2_CH11REF	PWM 定时器 2 通道 11 参考输出
24	PWM2_CH12REF	PWM 定时器 2 通道 12 参考输出
25	PWM2_CH13REF	PWM 定时器 2 通道 13 参考输出
26	PWM2_CH14REF	PWM 定时器 2 通道 14 参考输出
27	PWM2_CH15REF	PWM 定时器 2 通道 15 参考输出

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

TRGM2_INPUT MUX 编号	TRGM2_INPUT MUX SOURCE 名称	描述
28	PWM2_CH16REF	PWM 定时器 2 通道 16 参考输出
29	PWM2_CH17REF	PWM 定时器 2 通道 17 参考输出
30	PWM2_CH18REF	PWM 定时器 2 通道 18 参考输出
31	PWM2_CH19REF	PWM 定时器 2 通道 19 参考输出
32	PWM2_CH20REF	PWM 定时器 2 通道 20 参考输出
33	PWM2_CH21REF	PWM 定时器 2 通道 21 参考输出
34	PWM2_CH22REF	PWM 定时器 2 通道 22 参考输出
35	PWM2_CH23REF	PWM 定时器 2 通道 23 参考输出
36	QEI2_TRGO	正交编码器接口 2 触发输出
37	HALL2_TRGO	霍尔传感器接口 2 触发输出
38	USB0_SOF	USB0 桢起始
39	USB1_SOF	USB1 桢起始
40	ENET0_PTP_OUT3	以太网控制器 0 PTP 输出 3
41	ENET1_PTP_OUT3	以太网控制器 1 PTP 输出 3
42	PTPC_CMP0	精确时间协议模块 PTPC 输出比较 0
43	PTPC_CMP1	精确时间协议模块 PTPC 输出比较 1
44	SYNT_CH0	同步定时器通道 0
45	SYNT_CH1	同步定时器通道 1
46	SYNT_CH2	同步定时器通道 2
47	SYNT_CH3	同步定时器通道 3
48	GPTMR4_OUT2	通用定时器 4 通道 2 输出比较
49	GPTMR4_OUT3	通用定时器 4 通道 3 输出比较
50	GPTMR5_OUT2	通用定时器 5 通道 2 输出比较
51	GPTMR5_OUT3	通用定时器 5 通道 3 输出比较
52	CMP0_OUT	比较器 0 输出
53	CMP1_OUT	比较器 1 输出
54	CMP2_OUT	比较器 2 输出
55	CMP3_OUT	比较器 3 输出
56	DEBUG_FLAG	调试模式进入标志位

表 223: TRGM2_INPUT MUX 列表

互联管理器 3 的输入信号分配：

TRGM3_INPUT MUX 编号	TRGM3_INPUT MUX SOURCE 名称	描述
0	VSS	低电平
1	VDD	高电平
2	TRGM3_P0	互联管理器 3 输入 0（来自 IO）
3	TRGM3_P1	互联管理器 3 输入 1（来自 IO）
4	TRGM3_P2	互联管理器 3 输入 2（来自 IO）

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

TRGM3_INPUT MUX 编号	TRGM3_INPUT MUX SOURCE 名称	描述
5	TRGM3_P3	互联管理器 3 输入 3（来自 IO）
6	TRGM3_P4	互联管理器 3 输入 4（来自 IO）
7	TRGM3_P5	互联管理器 3 输入 5（来自 IO）
8	TRGM3_P6	互联管理器 3 输入 6（来自 IO）
9	TRGM3_P7	互联管理器 3 输入 7（来自 IO）
10	TRGM3_P8	互联管理器 3 输入 8（来自 IO）
11	TRGM3_P9	互联管理器 3 输入 9（来自 IO）
12	TRGM3_P10	互联管理器 3 输入 10（来自 IO）
13	TRGM3_P11	互联管理器 3 输入 11（来自 IO）
14	TRGM2_OUTX0	互联管理器 2 输出 X0
15	TRGM2_OUTX1	互联管理器 2 输出 X1
16	TRGM1_OUTX0	互联管理器 1 输出 X0
17	TRGM1_OUTX1	互联管理器 1 输出 X1
18	TRGM0_OUTX0	互联管理器 0 输出 X0
19	TRGM0_OUTX1	互联管理器 0 输出 X1
20	PWM3_CH8REF	PWM 定时器 3 通道 8 参考输出
21	PWM3_CH9REF	PWM 定时器 3 通道 9 参考输出
22	PWM3_CH10REF	PWM 定时器 3 通道 10 参考输出
23	PWM3_CH11REF	PWM 定时器 3 通道 11 参考输出
24	PWM3_CH12REF	PWM 定时器 3 通道 12 参考输出
25	PWM3_CH13REF	PWM 定时器 3 通道 13 参考输出
26	PWM3_CH14REF	PWM 定时器 3 通道 14 参考输出
27	PWM3_CH15REF	PWM 定时器 3 通道 15 参考输出
28	PWM3_CH16REF	PWM 定时器 3 通道 16 参考输出
29	PWM3_CH17REF	PWM 定时器 3 通道 17 参考输出
30	PWM3_CH18REF	PWM 定时器 3 通道 18 参考输出
31	PWM3_CH19REF	PWM 定时器 3 通道 19 参考输出
32	PWM3_CH20REF	PWM 定时器 3 通道 20 参考输出
33	PWM3_CH21REF	PWM 定时器 3 通道 21 参考输出
34	PWM3_CH22REF	PWM 定时器 3 通道 22 参考输出
35	PWM3_CH23REF	PWM 定时器 3 通道 23 参考输出
36	QEI3_TRGO	正交编码器接口 3 触发输出
37	HALL3_TRGO	霍尔传感器接口 3 触发输出
38	USB0_SOF	USB0 桢起始
39	USB1_SOF	USB1 桢起始
40	ENET0_PTP_OUT3	以太网控制器 0 PTP 输出 3
41	ENET1_PTP_OUT3	以太网控制器 1 PTP 输出 3
42	PTPC_CMP0	精确时间协议模块 PTPC 输出比较 0
43	PTPC_CMP1	精确时间协议模块 PTPC 输出比较 1

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

TRGM3_INPUT MUX 编号	TRGM3_INPUT MUX SOURCE 名称	描述
44	SYNT_CH0	同步定时器通道 0
45	SYNT_CH1	同步定时器通道 1
46	SYNT_CH2	同步定时器通道 2
47	SYNT_CH3	同步定时器通道 3
48	GPTMR6_OUT2	通用定时器 6 通道 2 输出比较
49	GPTMR6_OUT3	通用定时器 6 通道 3 输出比较
50	GPTMR7_OUT2	通用定时器 7 通道 2 输出比较
51	GPTMR7_OUT3	通用定时器 7 通道 3 输出比较
52	CMP0_OUT	比较器 0 输出
53	CMP1_OUT	比较器 1 输出
54	CMP2_OUT	比较器 2 输出
55	CMP3_OUT	比较器 3 输出
56	DEBUG_FLAG	调试模式进入标志位

表 224: TRGM3_INPUT MUX 列表

44.4.2 互联管理器输出分配

本章节介绍互联管理器输出信号分配。

互联管理器 0 的输出信号分配：

TRGM0_OUTPUT MUX 编号	TRGM0_OUTPUT MUX SOURCE 名称	描述
0	TRGM0_P0	互联管理器 0 输出 0（输出至 IO）
1	TRGM0_P1	互联管理器 0 输出 1（输出至 IO）
2	TRGM0_P2	互联管理器 0 输出 2（输出至 IO）
3	TRGM0_P3	互联管理器 0 输出 3（输出至 IO）
4	TRGM0_P4	互联管理器 0 输出 4（输出至 IO）
5	TRGM0_P5	互联管理器 0 输出 5（输出至 IO）
6	TRGM0_P6	互联管理器 0 输出 6（输出至 IO）
7	TRGM0_P7	互联管理器 0 输出 7（输出至 IO）
8	TRGM0_P8	互联管理器 0 输出 8（输出至 IO）
9	TRGM0_P9	互联管理器 0 输出 9（输出至 IO）
10	TRGM0_P10	互联管理器 0 输出 10（输出至 IO）
11	TRGM0_P11	互联管理器 0 输出 11（输出至 IO）
12	TRGM0_OUTX0	互联管理器 0 输出 X0（输出至其他 TRGM）
13	TRGM0_OUTX1	互联管理器 0 输出 X1（输出至其他 TRGM）
14	PWM0_SYNCI	PWM 定时器 0 计数器同步触发输入
15	PWM0_FRCI	PWM 定时器 0 强制输出控制输入

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

TRGM0_OUTPUT MUX 编号	TRGM0_OUTPUT MUX SOURCE 名称	描述
16	PWM0_FRCSYNCI	PWM 定时器 0 强制输出控制同步生效输入
17	PWM0_SHRLDSYNCI	PWM 定时器 0 影子寄存器生效的触发输入
18	PWM0_FAULTI0	PWM 定时器 0 故障保护输入 0
19	PWM0_FAULTI1	PWM 定时器 0 故障保护输入 1
20	PWM0_FAULTI2	PWM 定时器 0 故障保护输入 2
21	PWM0_FAULTI3	PWM 定时器 0 故障保护输入 3
22	PWM0_IN8	PWM 定时器 0 输入捕获 8
23	PWM0_IN9	PWM 定时器 0 输入捕获 9
24	PWM0_IN10	PWM 定时器 0 输入捕获 10
25	PWM0_IN11	PWM 定时器 0 输入捕获 11
26	PWM0_IN12	PWM 定时器 0 输入捕获 12
27	PWM0_IN13	PWM 定时器 0 输入捕获 13
28	PWM0_IN14	PWM 定时器 0 输入捕获 14
29	PWM0_IN15	PWM 定时器 0 输入捕获 15
30	PWM0_IN16	PWM 定时器 0 输入捕获 16
31	PWM0_IN17	PWM 定时器 0 输入捕获 17
32	PWM0_IN18	PWM 定时器 0 输入捕获 18
33	PWM0_IN19	PWM 定时器 0 输入捕获 19
34	PWM0_IN20	PWM 定时器 0 输入捕获 20
35	PWM0_IN21	PWM 定时器 0 输入捕获 21
36	PWM0_IN22	PWM 定时器 0 输入捕获 22
37	PWM0_IN23	PWM 定时器 0 输入捕获 23
38	QEI0_A	正交编码器接口 0 A 相输入
39	QEI0_B	正交编码器接口 0 B 相输入
40	QEI0_Z	正交编码器接口 0 Z 相输入
41	QEI0_H	正交编码器接口 0 H 相输入
42	QEI0_PAUSE	正交编码器接口 0 计数器暂停
43	QEI0_SNAPI	正交编码器接口 0 快照触发输入
44	HALL0_U	霍尔传感器接口 0 U 相输入
45	HALL0_V	霍尔传感器接口 0 V 相输入
46	HALL0_W	霍尔传感器接口 0 W 相输入
47	HALL0_SNAPI	霍尔传感器接口 0 快照触发输入
48	ADC0_STRGI	ADC0 的序列转换触发输入
49	ADC1_STRGI	ADC1 的序列转换触发输入
50	ADC2_STRGI	ADC2 的序列转换触发输入
51	ADC3_STRGI	ADC3 的序列转换触发输入
52	ADCX_PTRGI0A	ADC0, 1, 2, 3 的抢占转换触发输入 0A

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

TRGM0_OUTPUT MUX 编号	TRGM0_OUTPUT MUX SOURCE 名称	描述
53	ADCX_PTRGI0B	ADC0, 1, 2, 3 的抢占转换触发输入 0B
54	ADCX_PTRGI0C	ADC0, 1, 2, 3 的抢占转换触发输入 0C
55	GPTMR0_SYNCI	通用定时器 0 计数器同步输入
56	GPTMR0_IN2	通用定时器 0 通道 2 输入
57	GPTMR0_IN3	通用定时器 0 通道 3 输入
58	GPTMR1_SYNCI	通用定时器 1 计数器同步输入
59	GPTMR1_IN2	通用定时器 1 通道 2 输入
60	GPTMR1_IN3	通用定时器 1 通道 3 输入
61	ACMP0_WIN	比较器 0 窗口模式输入
62	PTPC_CAP0	精确时间协议模块 PTPC 输入捕获 0
63	PTPC_CAP1	精确时间协议模块 PTPC 输入捕获 1

表 225: TRGM0_OUTPUT MUX 列表

互联管理器 1 的输出信号分配：

TRGM1_OUTPUT MUX 编号	TRGM1_OUTPUT MUX SOURCE 名称	描述
0	TRGM1_P0	互联管理器 1 输出 0（输出至 IO）
1	TRGM1_P1	互联管理器 1 输出 1（输出至 IO）
2	TRGM1_P2	互联管理器 1 输出 2（输出至 IO）
3	TRGM1_P3	互联管理器 1 输出 3（输出至 IO）
4	TRGM1_P4	互联管理器 1 输出 4（输出至 IO）
5	TRGM1_P5	互联管理器 1 输出 5（输出至 IO）
6	TRGM1_P6	互联管理器 1 输出 6（输出至 IO）
7	TRGM1_P7	互联管理器 1 输出 7（输出至 IO）
8	TRGM1_P8	互联管理器 1 输出 8（输出至 IO）
9	TRGM1_P9	互联管理器 1 输出 9（输出至 IO）
10	TRGM1_P10	互联管理器 1 输出 10（输出至 IO）
11	TRGM1_P11	互联管理器 1 输出 11（输出至 IO）
12	TRGM1_OUTX0	互联管理器 1 输出 X0（输出至其他 TRGM）
13	TRGM1_OUTX1	互联管理器 1 输出 X1（输出至其他 TRGM）
14	PWM1_SYNCI	PWM 定时器 1 计数器同步触发输入
15	PWM1_FRCI	PWM 定时器 1 强制输出控制输入
16	PWM1_FRCSYNCI	PWM 定时器 1 强制输出控制同步生效输入
17	PWM1_SHRLDSYNCI	PWM 定时器 1 影子寄存器生效的触发输入
18	PWM1_FAULTI0	PWM 定时器 1 故障保护输入 0

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

TRGM1_OUTPUT MUX 编号	TRGM1_OUTPUT MUX SOURCE 名称	描述
19	PWM1_FAULTI1	PWM 定时器 1 故障保护输入 1
20	PWM1_FAULTI2	PWM 定时器 1 故障保护输入 2
21	PWM1_FAULTI3	PWM 定时器 1 故障保护输入 3
22	PWM1_IN8	PWM 定时器 1 输入捕获 8
23	PWM1_IN9	PWM 定时器 1 输入捕获 9
24	PWM1_IN10	PWM 定时器 1 输入捕获 10
25	PWM1_IN11	PWM 定时器 1 输入捕获 11
26	PWM1_IN12	PWM 定时器 1 输入捕获 12
27	PWM1_IN13	PWM 定时器 1 输入捕获 13
28	PWM1_IN14	PWM 定时器 1 输入捕获 14
29	PWM1_IN15	PWM 定时器 1 输入捕获 15
30	PWM1_IN16	PWM 定时器 1 输入捕获 16
31	PWM1_IN17	PWM 定时器 1 输入捕获 17
32	PWM1_IN18	PWM 定时器 1 输入捕获 18
33	PWM1_IN19	PWM 定时器 1 输入捕获 19
34	PWM1_IN20	PWM 定时器 1 输入捕获 20
35	PWM1_IN21	PWM 定时器 1 输入捕获 21
36	PWM1_IN22	PWM 定时器 1 输入捕获 22
37	PWM1_IN23	PWM 定时器 1 输入捕获 23
38	QEI1_A	正交编码器接口 1 A 相输入
39	QEI1_B	正交编码器接口 1 B 相输入
40	QEI1_Z	正交编码器接口 1 Z 相输入
41	QEI1_H	正交编码器接口 1 H 相输入
42	QEI1_PAUSE	正交编码器接口 1 计数器暂停
43	QEI1_SNAPI	正交编码器接口 1 快照触发输入
44	HALL1_U	霍尔传感器接口 1 U 相输入
45	HALL1_V	霍尔传感器接口 1 V 相输入
46	HALL1_W	霍尔传感器接口 1 W 相输入
47	HALL1_SNAPI	霍尔传感器接口 1 快照触发输入
48	ADC0_STRGI	ADC0 的序列转换触发输入
49	ADC1_STRGI	ADC1 的序列转换触发输入
50	ADC2_STRGI	ADC2 的序列转换触发输入
51	ADC3_STRGI	ADC3 的序列转换触发输入
52	ADCX_PTRGI1A	ADC0, 1, 2, 3 的抢占转换触发输入 1A
53	ADCX_PTRGI1B	ADC0, 1, 2, 3 的抢占转换触发输入 1B
54	ADCX_PTRGI1C	ADC0, 1, 2, 3 的抢占转换触发输入 1C
55	GPTMR2_SYNCI	通用定时器 2 计数器同步输入
56	GPTMR2_IN2	通用定时器 2 通道 2 输入
57	GPTMR2_IN3	通用定时器 2 通道 3 输入

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

TRGM1_OUTPUT MUX 编号	TRGM1_OUTPUT MUX SOURCE 名称	描述
58	GPTMR3_SYNCI	通用定时器 3 计数器同步输入
59	GPTMR3_IN2	通用定时器 3 通道 2 输入
60	GPTMR3_IN3	通用定时器 3 通道 3 输入
61	ACMP1_WIN	比较器 1 窗口模式输入
62	PTPC_CAP0	精确时间协议模块 PTPC 输入捕获 0
63	PTPC_CAP1	精确时间协议模块 PTPC 输入捕获 1

表 226: TRGM1_OUTPUT MUX 列表

互联管理器 2 的输出信号分配：

TRGM2_OUTPUT MUX 编号	TRGM2_OUTPUT MUX SOURCE 名称	描述
0	TRGM2_P0	互联管理器 2 输出 0（输出至 IO）
1	TRGM2_P1	互联管理器 2 输出 1（输出至 IO）
2	TRGM2_P2	互联管理器 2 输出 2（输出至 IO）
3	TRGM2_P3	互联管理器 2 输出 3（输出至 IO）
4	TRGM2_P4	互联管理器 2 输出 4（输出至 IO）
5	TRGM2_P5	互联管理器 2 输出 5（输出至 IO）
6	TRGM2_P6	互联管理器 2 输出 6（输出至 IO）
7	TRGM2_P7	互联管理器 2 输出 7（输出至 IO）
8	TRGM2_P8	互联管理器 2 输出 8（输出至 IO）
9	TRGM2_P9	互联管理器 2 输出 9（输出至 IO）
10	TRGM2_P10	互联管理器 2 输出 10（输出至 IO）
11	TRGM2_P11	互联管理器 2 输出 11（输出至 IO）
12	TRGM2_OUTX0	互联管理器 2 输出 X0（输出至其他 TRGM）
13	TRGM2_OUTX1	互联管理器 2 输出 X1（输出至其他 TRGM）
14	PWM2_SYNCI	PWM 定时器 2 计数器同步触发输入
15	PWM2_FRCI	PWM 定时器 2 强制输出控制输入
16	PWM2_FRCSYNCI	PWM 定时器 2 强制输出控制同步生效输入
17	PWM2_SHRLDSYNCI	PWM 定时器 2 影子寄存器生效的触发输入
18	PWM2_FAULTI0	PWM 定时器 2 故障保护输入 0
19	PWM2_FAULTI1	PWM 定时器 2 故障保护输入 1
20	PWM2_FAULTI2	PWM 定时器 2 故障保护输入 2
21	PWM2_FAULTI3	PWM 定时器 2 故障保护输入 3
22	PWM2_IN8	PWM 定时器 2 输入捕获 8
23	PWM2_IN9	PWM 定时器 2 输入捕获 9

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

TRGM2_OUTPUT MUX 编号	TRGM2_OUTPUT MUX SOURCE 名称	描述
24	PWM2_IN10	PWM 定时器 2 输入捕获 10
25	PWM2_IN11	PWM 定时器 2 输入捕获 11
26	PWM2_IN12	PWM 定时器 2 输入捕获 12
27	PWM2_IN13	PWM 定时器 2 输入捕获 13
28	PWM2_IN14	PWM 定时器 2 输入捕获 14
29	PWM2_IN15	PWM 定时器 2 输入捕获 15
30	PWM2_IN16	PWM 定时器 2 输入捕获 16
31	PWM2_IN17	PWM 定时器 2 输入捕获 17
32	PWM2_IN18	PWM 定时器 2 输入捕获 18
33	PWM2_IN19	PWM 定时器 2 输入捕获 19
34	PWM2_IN20	PWM 定时器 2 输入捕获 20
35	PWM2_IN21	PWM 定时器 2 输入捕获 21
36	PWM2_IN22	PWM 定时器 2 输入捕获 22
37	PWM2_IN23	PWM 定时器 2 输入捕获 23
38	QEI2_A	正交编码器接口 2 A 相输入
39	QEI2_B	正交编码器接口 2 B 相输入
40	QEI2_Z	正交编码器接口 2 Z 相输入
41	QEI2_H	正交编码器接口 2 H 相输入
42	QEI2_PAUSE	正交编码器接口 2 计数器暂停
43	QEI2_SNAPI	正交编码器接口 2 快照触发输入
44	HALL2_U	霍尔传感器接口 2 U 相输入
45	HALL2_V	霍尔传感器接口 2 V 相输入
46	HALL2_W	霍尔传感器接口 2 W 相输入
47	HALL2_SNAPI	霍尔传感器接口 2 快照触发输入
48	ADC0_STRGI	ADC0 的序列转换触发输入
49	ADC1_STRGI	ADC1 的序列转换触发输入
50	ADC2_STRGI	ADC2 的序列转换触发输入
51	ADC3_STRGI	ADC3 的序列转换触发输入
52	ADCX_PTRGI2A	ADC0, 1, 2, 3 的抢占转换触发输入 2A
53	ADCX_PTRGI2B	ADC0, 1, 2, 3 的抢占转换触发输入 2B
54	ADCX_PTRGI2C	ADC0, 1, 2, 3 的抢占转换触发输入 2C
55	GPTMR4_SYNCI	通用定时器 4 计数器同步输入
56	GPTMR4_IN2	通用定时器 4 通道 2 输入
57	GPTMR4_IN3	通用定时器 4 通道 3 输入
58	GPTMR5_SYNCI	通用定时器 5 计数器同步输入
59	GPTMR5_IN2	通用定时器 5 通道 2 输入
60	GPTMR5_IN3	通用定时器 5 通道 3 输入
61	ACMP2_WIN	比较器 0 窗口模式输入
62	PTPC_CAP0	精确时间协议模块 PTPC 输入捕获 0

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

TRGM2_OUTPUT MUX 编号	TRGM2_OUTPUT MUX SOURCE 名称	描述
63	PTPC_CAP1	精确时间协议模块 PTPC 输入捕获 1

表 227: TRGM2_OUTPUT MUX 列表

互联管理器 3 的输出信号分配：

TRGM3_OUTPUT MUX 编号	TRGM3_OUTPUT MUX SOURCE 名称	描述
0	TRGM3_P0	互联管理器 3 输出 0（输出至 IO）
1	TRGM3_P1	互联管理器 3 输出 1（输出至 IO）
2	TRGM3_P2	互联管理器 3 输出 2（输出至 IO）
3	TRGM3_P3	互联管理器 3 输出 3（输出至 IO）
4	TRGM3_P4	互联管理器 3 输出 4（输出至 IO）
5	TRGM3_P5	互联管理器 3 输出 5（输出至 IO）
6	TRGM3_P6	互联管理器 3 输出 6（输出至 IO）
7	TRGM3_P7	互联管理器 3 输出 7（输出至 IO）
8	TRGM3_P8	互联管理器 3 输出 8（输出至 IO）
9	TRGM3_P9	互联管理器 3 输出 9（输出至 IO）
10	TRGM3_P10	互联管理器 3 输出 10（输出至 IO）
11	TRGM3_P11	互联管理器 3 输出 11（输出至 IO）
12	TRGM3_OUTX0	互联管理器 3 输出 X0（输出至其他 TRGM）
13	TRGM3_OUTX1	互联管理器 3 输出 X1（输出至其他 TRGM）
14	PWM3_SYNCI	PWM 定时器 3 计数器同步触发输入
15	PWM3_FRCI	PWM 定时器 3 强制输出控制输入
16	PWM3_FRCSYNCI	PWM 定时器 3 强制输出控制同步生效输入
17	PWM3_SHRLDSYNCI	PWM 定时器 3 影子寄存器生效的触发输入
18	PWM3_FAULTI0	PWM 定时器 3 故障保护输入 0
19	PWM3_FAULTI1	PWM 定时器 3 故障保护输入 1
20	PWM3_FAULTI2	PWM 定时器 3 故障保护输入 2
21	PWM3_FAULTI3	PWM 定时器 3 故障保护输入 3
22	PWM3_IN8	PWM 定时器 3 输入捕获 8
23	PWM3_IN9	PWM 定时器 3 输入捕获 9
24	PWM3_IN10	PWM 定时器 3 输入捕获 10
25	PWM3_IN11	PWM 定时器 3 输入捕获 11
26	PWM3_IN12	PWM 定时器 3 输入捕获 12
27	PWM3_IN13	PWM 定时器 3 输入捕获 13
28	PWM3_IN14	PWM 定时器 3 输入捕获 14

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

TRGM3_OUTPUT MUX 编号	TRGM3_OUTPUT MUX SOURCE 名称	描述
29	PWM3_IN15	PWM 定时器 3 输入捕获 15
30	PWM3_IN16	PWM 定时器 3 输入捕获 16
31	PWM3_IN17	PWM 定时器 3 输入捕获 17
32	PWM3_IN18	PWM 定时器 3 输入捕获 18
33	PWM3_IN19	PWM 定时器 3 输入捕获 19
34	PWM3_IN20	PWM 定时器 3 输入捕获 20
35	PWM3_IN21	PWM 定时器 3 输入捕获 21
36	PWM3_IN22	PWM 定时器 3 输入捕获 22
37	PWM3_IN23	PWM 定时器 3 输入捕获 23
38	QEI3_A	正交编码器接口 3 A 相输入
39	QEI3_B	正交编码器接口 3 B 相输入
40	QEI3_Z	正交编码器接口 3 Z 相输入
41	QEI3_H	正交编码器接口 3 H 相输入
42	QEI3_PAUSE	正交编码器接口 3 计数器暂停
43	QEI3_SNAPI	正交编码器接口 3 快照触发输入
44	HALL3_U	霍尔传感器接口 3 U 相输入
45	HALL3_V	霍尔传感器接口 3 V 相输入
46	HALL3_W	霍尔传感器接口 3 W 相输入
47	HALL3_SNAPI	霍尔传感器接口 3 快照触发输入
48	ADC0_STRGI	ADC0 的序列转换触发输入
49	ADC1_STRGI	ADC1 的序列转换触发输入
50	ADC2_STRGI	ADC2 的序列转换触发输入
51	ADC3_STRGI	ADC3 的序列转换触发输入
52	ADCX_PTRGI3A	ADC0, 1, 2, 3 的抢占转换触发输入 3A
53	ADCX_PTRGI3B	ADC0, 1, 2, 3 的抢占转换触发输入 3B
54	ADCX_PTRGI3C	ADC0, 1, 2, 3 的抢占转换触发输入 3C
55	GPTMR6_SYNCI	通用定时器 6 计数器同步输入
56	GPTMR6_IN2	通用定时器 6 通道 2 输入
57	GPTMR6_IN3	通用定时器 6 通道 3 输入
58	GPTMR7_SYNCI	通用定时器 7 计数器同步输入
59	GPTMR7_IN2	通用定时器 7 通道 2 输入
60	GPTMR7_IN3	通用定时器 7 通道 3 输入
61	ACMP3_WIN	比较器 0 窗口模式输入
62	PTPC_CAP0	精确时间协议模块 PTPC 输入捕获 0
63	PTPC_CAP1	精确时间协议模块 PTPC 输入捕获 1

表 228: TRGM3_OUTPUT MUX 列表

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

44.4.3 互联管理器 DMA 请求

本章节介绍互联管理器 DMA 请求分配。TRGM 支持 4 个 DMA 请求输出，用户可以配置 TRGM，从多个 DMA 请求输入中，选择 4 个连接到 DMAMUX。

互联管理器 0 的 DMA 请求分配：

TRGM0_DMA MUX 编号	TRGM0_DMA MUX SOURCE 名称	描述
0	PWM0_CMP0	PWM 定时器 0 比较器 0 的输入捕获或者输出比较匹配
1	PWM0_CMP1	PWM 定时器 0 比较器 1 的输入捕获或者输出比较匹配
2	PWM0_CMP2	PWM 定时器 0 比较器 2 的输入捕获或者输出比较匹配
3	PWM0_CMP3	PWM 定时器 0 比较器 3 的输入捕获或者输出比较匹配
4	PWM0_CMP4	PWM 定时器 0 比较器 4 的输入捕获或者输出比较匹配
5	PWM0_CMP5	PWM 定时器 0 比较器 5 的输入捕获或者输出比较匹配
6	PWM0_CMP6	PWM 定时器 0 比较器 6 的输入捕获或者输出比较匹配
7	PWM0_CMP7	PWM 定时器 0 比较器 7 的输入捕获或者输出比较匹配
8	PWM0_CMP8	PWM 定时器 0 比较器 8 的输入捕获或者输出比较匹配
9	PWM0_CMP9	PWM 定时器 0 比较器 9 的输入捕获或者输出比较匹配
10	PWM0_CMP10	PWM 定时器 0 比较器 10 的输入捕获或者输出比较匹配
11	PWM0_CMP11	PWM 定时器 0 比较器 11 的输入捕获或者输出比较匹配
12	PWM0_CMP12	PWM 定时器 0 比较器 12 的输入捕获或者输出比较匹配
13	PWM0_CMP13	PWM 定时器 0 比较器 13 的输入捕获或者输出比较匹配
14	PWM0_CMP14	PWM 定时器 0 比较器 14 的输入捕获或者输出比较匹配
15	PWM0_CMP15	PWM 定时器 0 比较器 15 的输入捕获或者输出比较匹配
16	PWM0_CMP16	PWM 定时器 0 比较器 16 的输入捕获或者输出比较匹配

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

TRGM0_DMA MUX 编号	TRGM0_DMA MUX SOURCE 名称	描述
17	PWM0_CMP17	PWM 定时器 0 比较器 17 的输入捕获或者输出比较匹配
18	PWM0_CMP18	PWM 定时器 0 比较器 18 的输入捕获或者输出比较匹配
19	PWM0_CMP19	PWM 定时器 0 比较器 19 的输入捕获或者输出比较匹配
20	PWM0_CMP20	PWM 定时器 0 比较器 20 的输入捕获或者输出比较匹配
21	PWM0_CMP21	PWM 定时器 0 比较器 21 的输入捕获或者输出比较匹配
22	PWM0_CMP22	PWM 定时器 0 比较器 22 的输入捕获或者输出比较匹配
23	PWM0_CMP23	PWM 定时器 0 比较器 23 的输入捕获或者输出比较匹配
24	PWM0_RLD	PWM 定时器 0 计数器重载
25	PWM0_HALFRLD	PWM 定时器 0 半周期器重载
26	PWM0_XRLD	PWM 定时器 0 扩展计数器重载
27	QEI0	正交解码器 0 的 DMA 请求
28	HALL0	霍尔传感器 0 的 DMA 请求

表 229: TRGM0_DMA MUX 列表

互联管理器 1 的 DMA 请求分配：

TRGM1_DMA MUX 编号	TRGM1_DMA MUX SOURCE 名称	描述
0	PWM1_CMP0	PWM 定时器 1 比较器 0 的输入捕获或者输出比较匹配
1	PWM1_CMP1	PWM 定时器 1 比较器 1 的输入捕获或者输出比较匹配
2	PWM1_CMP2	PWM 定时器 1 比较器 2 的输入捕获或者输出比较匹配
3	PWM1_CMP3	PWM 定时器 1 比较器 3 的输入捕获或者输出比较匹配
4	PWM1_CMP4	PWM 定时器 1 比较器 4 的输入捕获或者输出比较匹配
5	PWM1_CMP5	PWM 定时器 1 比较器 5 的输入捕获或者输出比较匹配
6	PWM1_CMP6	PWM 定时器 1 比较器 6 的输入捕获或者输出比较匹配

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

TRGM1_DMA MUX 编号	TRGM1_DMA MUX SOURCE 名称	描述
7	PWM1_CMP7	PWM 定时器 1 比较器 7 的输入捕获或者输出比较匹配
8	PWM1_CMP8	PWM 定时器 1 比较器 8 的输入捕获或者输出比较匹配
9	PWM1_CMP9	PWM 定时器 1 比较器 9 的输入捕获或者输出比较匹配
10	PWM1_CMP10	PWM 定时器 1 比较器 10 的输入捕获或者输出比较匹配
11	PWM1_CMP11	PWM 定时器 1 比较器 11 的输入捕获或者输出比较匹配
12	PWM1_CMP12	PWM 定时器 1 比较器 12 的输入捕获或者输出比较匹配
13	PWM1_CMP13	PWM 定时器 1 比较器 13 的输入捕获或者输出比较匹配
14	PWM1_CMP14	PWM 定时器 1 比较器 14 的输入捕获或者输出比较匹配
15	PWM1_CMP15	PWM 定时器 1 比较器 15 的输入捕获或者输出比较匹配
16	PWM1_CMP16	PWM 定时器 1 比较器 16 的输入捕获或者输出比较匹配
17	PWM1_CMP17	PWM 定时器 1 比较器 17 的输入捕获或者输出比较匹配
18	PWM1_CMP18	PWM 定时器 1 比较器 18 的输入捕获或者输出比较匹配
19	PWM1_CMP19	PWM 定时器 1 比较器 19 的输入捕获或者输出比较匹配
20	PWM1_CMP20	PWM 定时器 1 比较器 20 的输入捕获或者输出比较匹配
21	PWM1_CMP21	PWM 定时器 1 比较器 21 的输入捕获或者输出比较匹配
22	PWM1_CMP22	PWM 定时器 1 比较器 22 的输入捕获或者输出比较匹配
23	PWM1_CMP23	PWM 定时器 1 比较器 23 的输入捕获或者输出比较匹配
24	PWM1_RLD	PWM 定时器 1 计数器重载
25	PWM1_HALFRLD	PWM 定时器 1 半周期器重载
26	PWM1_XRLD	PWM 定时器 1 扩展计数器重载
27	QEI1	正交解码器 1 的 DMA 请求
28	HALL1	霍尔传感器 1 的 DMA 请求

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

TRGM1_DMA MUX 编号	TRGM1_DMA MUX SOURCE 名称	描述

表 230: TRGM1_DMA MUX 列表

互联管理器 2 的 DMA 请求分配：

TRGM2_DMA MUX 编号	TRGM2_DMA MUX SOURCE 名称	描述
0	PWM2_CMP0	PWM 定时器 2 比较器 0 的输入捕获或者输出比较匹配
1	PWM2_CMP1	PWM 定时器 2 比较器 1 的输入捕获或者输出比较匹配
2	PWM2_CMP2	PWM 定时器 2 比较器 2 的输入捕获或者输出比较匹配
3	PWM2_CMP3	PWM 定时器 2 比较器 3 的输入捕获或者输出比较匹配
4	PWM2_CMP4	PWM 定时器 2 比较器 4 的输入捕获或者输出比较匹配
5	PWM2_CMP5	PWM 定时器 2 比较器 5 的输入捕获或者输出比较匹配
6	PWM2_CMP6	PWM 定时器 2 比较器 6 的输入捕获或者输出比较匹配
7	PWM2_CMP7	PWM 定时器 2 比较器 7 的输入捕获或者输出比较匹配
8	PWM2_CMP8	PWM 定时器 2 比较器 8 的输入捕获或者输出比较匹配
9	PWM2_CMP9	PWM 定时器 2 比较器 9 的输入捕获或者输出比较匹配
10	PWM2_CMP10	PWM 定时器 2 比较器 10 的输入捕获或者输出比较匹配
11	PWM2_CMP11	PWM 定时器 2 比较器 11 的输入捕获或者输出比较匹配
12	PWM2_CMP12	PWM 定时器 2 比较器 12 的输入捕获或者输出比较匹配
13	PWM2_CMP13	PWM 定时器 2 比较器 13 的输入捕获或者输出比较匹配
14	PWM2_CMP14	PWM 定时器 2 比较器 14 的输入捕获或者输出比较匹配
15	PWM2_CMP15	PWM 定时器 2 比较器 15 的输入捕获或者输出比较匹配
16	PWM2_CMP16	PWM 定时器 2 比较器 16 的输入捕获或者输出比较匹配

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

TRGM2_DMA MUX 编号	TRGM2_DMA MUX SOURCE 名称	描述
17	PWM2_CMP17	PWM 定时器 2 比较器 17 的输入捕获或者输出比较匹配
18	PWM2_CMP18	PWM 定时器 2 比较器 18 的输入捕获或者输出比较匹配
19	PWM2_CMP19	PWM 定时器 2 比较器 19 的输入捕获或者输出比较匹配
20	PWM2_CMP20	PWM 定时器 2 比较器 20 的输入捕获或者输出比较匹配
21	PWM2_CMP21	PWM 定时器 2 比较器 21 的输入捕获或者输出比较匹配
22	PWM2_CMP22	PWM 定时器 2 比较器 22 的输入捕获或者输出比较匹配
23	PWM2_CMP23	PWM 定时器 2 比较器 23 的输入捕获或者输出比较匹配
24	PWM2_RLD	PWM 定时器 2 计数器重载
25	PWM2_HALFRLD	PWM 定时器 2 半周期器重载
26	PWM2_XRLD	PWM 定时器 2 扩展计数器重载
27	QEI2	正交解码器 2 的 DMA 请求
28	HALL2	霍尔传感器 2 的 DMA 请求

表 231: TRGM2_DMA MUX 列表

互联管理器 3 的 DMA 请求分配：

TRGM3_DMA MUX 编号	TRGM3_DMA MUX SOURCE 名称	描述
0	PWM3_CMP0	PMW 定时器 3 比较器 0 的输入捕获或者输出比较匹配
1	PWM3_CMP1	PMW 定时器 3 比较器 1 的输入捕获或者输出比较匹配
2	PWM3_CMP2	PMW 定时器 3 比较器 2 的输入捕获或者输出比较匹配
3	PWM3_CMP3	PMW 定时器 3 比较器 3 的输入捕获或者输出比较匹配
4	PWM3_CMP4	PMW 定时器 3 比较器 4 的输入捕获或者输出比较匹配
5	PWM3_CMP5	PMW 定时器 3 比较器 5 的输入捕获或者输出比较匹配
6	PWM3_CMP6	PMW 定时器 3 比较器 6 的输入捕获或者输出比较匹配

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

TRGM3_DMA MUX 编号	TRGM3_DMA MUX SOURCE 名称	描述
7	PWM3_CMP7	PMW 定时器 3 比较器 7 的输入捕获或者输出比较匹配
8	PWM3_CMP8	PMW 定时器 3 比较器 8 的输入捕获或者输出比较匹配
9	PWM3_CMP9	PMW 定时器 3 比较器 9 的输入捕获或者输出比较匹配
10	PWM3_CMP10	PMW 定时器 3 比较器 10 的输入捕获或者输出比较匹配
11	PWM3_CMP11	PMW 定时器 3 比较器 11 的输入捕获或者输出比较匹配
12	PWM3_CMP12	PMW 定时器 3 比较器 12 的输入捕获或者输出比较匹配
13	PWM3_CMP13	PMW 定时器 3 比较器 13 的输入捕获或者输出比较匹配
14	PWM3_CMP14	PMW 定时器 3 比较器 14 的输入捕获或者输出比较匹配
15	PWM3_CMP15	PMW 定时器 3 比较器 15 的输入捕获或者输出比较匹配
16	PWM3_CMP16	PMW 定时器 3 比较器 16 的输入捕获或者输出比较匹配
17	PWM3_CMP17	PMW 定时器 3 比较器 17 的输入捕获或者输出比较匹配
18	PWM3_CMP18	PMW 定时器 3 比较器 18 的输入捕获或者输出比较匹配
19	PWM3_CMP19	PMW 定时器 3 比较器 19 的输入捕获或者输出比较匹配
20	PWM3_CMP20	PMW 定时器 3 比较器 20 的输入捕获或者输出比较匹配
21	PWM3_CMP21	PMW 定时器 3 比较器 21 的输入捕获或者输出比较匹配
22	PWM3_CMP22	PMW 定时器 3 比较器 22 的输入捕获或者输出比较匹配
23	PWM3_CMP23	PMW 定时器 3 比较器 23 的输入捕获或者输出比较匹配
24	PWM3_RLD	PWM 定时器 3 计数器重载
25	PWM3_HALFRLD	PWM 定时器 3 半周期器重载
26	PWM3_XRLD	PWM 定时器 3 扩展计数器重载
27	QEI3	正交解码器 3 的 DMA 请求
28	HALL3	霍尔传感器 3 的 DMA 请求

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

TRGM3_DMA MUX 编号	TRGM3_DMA MUX SOURCE 名称	描述

表 232: TRGM3_DMA MUX 列表

44.4.4 互联管理器数字滤波器

本章节介绍互联管理器数字滤波器和输入信号对应情况。

互联管理器 0 的数字滤波器分配：

TRGM0_FILTER MUX 编号	TRGM0_FILTER MUX SOURCE 名称	描述
0	PWM0_IN0	PWM 定时器 0 输入捕获 0
1	PWM0_IN1	PWM 定时器 0 输入捕获 1
2	PWM0_IN2	PWM 定时器 0 输入捕获 2
3	PWM0_IN3	PWM 定时器 0 输入捕获 3
4	PWM0_IN4	PWM 定时器 0 输入捕获 4
5	PWM0_IN5	PWM 定时器 0 输入捕获 5
6	PWM0_IN6	PWM 定时器 0 输入捕获 6
7	PWM0_IN7	PWM 定时器 0 输入捕获 7
8	TRGM0_IN0	互联管理器 0 输入 0
9	TRGM0_IN1	互联管理器 0 输入 1
10	TRGM0_IN2	互联管理器 0 输入 2
11	TRGM0_IN3	互联管理器 0 输入 3
12	TRGM0_IN4	互联管理器 0 输入 4
13	TRGM0_IN5	互联管理器 0 输入 5
14	TRGM0_IN6	互联管理器 0 输入 6
15	TRGM0_IN7	互联管理器 0 输入 7
16	TRGM0_IN8	互联管理器 0 输入 8
17	TRGM0_IN9	互联管理器 0 输入 9
18	TRGM0_IN10	互联管理器 0 输入 10
19	TRGM0_IN11	互联管理器 0 输入 11

表 233: TRGM0_FILTER MUX 列表

互联管理器 1 的数字滤波器分配：

TRGM1_FILTER MUX 编号	TRGM1_FILTER MUX SOURCE 名称	描述
0	PWM1_IN0	PWM 定时器 1 输入捕获 0
1	PWM1_IN1	PWM 定时器 1 输入捕获 1
2	PWM1_IN2	PWM 定时器 1 输入捕获 2
3	PWM1_IN3	PWM 定时器 1 输入捕获 3

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

TRGM1_FILTER MUX 编号	TRGM1_FILTER MUX SOURCE 名称	描述
4	PWM1_IN4	PWM 定时器 1 输入捕获 4
5	PWM1_IN5	PWM 定时器 1 输入捕获 5
6	PWM1_IN6	PWM 定时器 1 输入捕获 6
7	PWM1_IN7	PWM 定时器 1 输入捕获 7
8	TRGM1_IN0	互联管理器 1 输入 0
9	TRGM1_IN1	互联管理器 1 输入 1
10	TRGM1_IN2	互联管理器 1 输入 2
11	TRGM1_IN3	互联管理器 1 输入 3
12	TRGM1_IN4	互联管理器 1 输入 4
13	TRGM1_IN5	互联管理器 1 输入 5
14	TRGM1_IN6	互联管理器 1 输入 6
15	TRGM1_IN7	互联管理器 1 输入 7
16	TRGM1_IN8	互联管理器 1 输入 8
17	TRGM1_IN9	互联管理器 1 输入 9
18	TRGM1_IN10	互联管理器 1 输入 10
19	TRGM1_IN11	互联管理器 1 输入 11

表 234: TRGM1_FILTER MUX 列表

互联管理器 2 的数字滤波器分配：

TRGM2_FILTER MUX 编号	TRGM2_FILTER MUX SOURCE 名称	描述
0	PWM2_IN0	PWM 定时器 2 输入捕获 0
1	PWM2_IN1	PWM 定时器 2 输入捕获 1
2	PWM2_IN2	PWM 定时器 2 输入捕获 2
3	PWM2_IN3	PWM 定时器 2 输入捕获 3
4	PWM2_IN4	PWM 定时器 2 输入捕获 4
5	PWM2_IN5	PWM 定时器 2 输入捕获 5
6	PWM2_IN6	PWM 定时器 2 输入捕获 6
7	PWM2_IN7	PWM 定时器 2 输入捕获 7
8	TRGM2_IN0	互联管理器 2 输入 0
9	TRGM2_IN1	互联管理器 2 输入 1
10	TRGM2_IN2	互联管理器 2 输入 2
11	TRGM2_IN3	互联管理器 2 输入 3
12	TRGM2_IN4	互联管理器 2 输入 4
13	TRGM2_IN5	互联管理器 2 输入 5
14	TRGM2_IN6	互联管理器 2 输入 6
15	TRGM2_IN7	互联管理器 2 输入 7
16	TRGM2_IN8	互联管理器 2 输入 8
17	TRGM2_IN9	互联管理器 2 输入 9

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

TRGM2_FILTER MUX 编号	TRGM2_FILTER MUX SOURCE 名称	描述
18	TRGM2_IN10	互联管理器 2 输入 10
19	TRGM2_IN11	互联管理器 2 输入 11

表 235: TRGM2_FILTER MUX 列表

互联管理器 3 的数字滤波器分配：

TRGM3_FILTER MUX 编号	TRGM3_FILTER MUX SOURCE 名称	描述
0	PWM3_IN0	PWM 定时器 3 输入捕获 0
1	PWM3_IN1	PWM 定时器 3 输入捕获 1
2	PWM3_IN2	PWM 定时器 3 输入捕获 2
3	PWM3_IN3	PWM 定时器 3 输入捕获 3
4	PWM3_IN4	PWM 定时器 3 输入捕获 4
5	PWM3_IN5	PWM 定时器 3 输入捕获 5
6	PWM3_IN6	PWM 定时器 3 输入捕获 6
7	PWM3_IN7	PWM 定时器 3 输入捕获 7
8	TRGM3_IN0	互联管理器 3 输入 0
9	TRGM3_IN1	互联管理器 3 输入 1
10	TRGM3_IN2	互联管理器 3 输入 2
11	TRGM3_IN3	互联管理器 3 输入 3
12	TRGM3_IN4	互联管理器 3 输入 4
13	TRGM3_IN5	互联管理器 3 输入 5
14	TRGM3_IN6	互联管理器 3 输入 6
15	TRGM3_IN7	互联管理器 3 输入 7
16	TRGM3_IN8	互联管理器 3 输入 8
17	TRGM3_IN9	互联管理器 3 输入 9
18	TRGM3_IN10	互联管理器 3 输入 10
19	TRGM3_IN11	互联管理器 3 输入 11

表 236: TRGM3_FILTER MUX 列表

44.5 同步定时器 SYNT

本产品支持 1 个同步定时器 SYNT，SYNT 支持 32 位计数器，和 4 个输出比较通道，输出信号连接到本产品上的 4 个电机控制单元 TRGM 的输入。用作各个电机控制单元内外设的同步。

同步定时器 SYNCT 的输出信号连接，请查阅小节 44.4.1。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

45 PWM 定时器 PWM

本章节介绍本产品 PWM 定时器的主要功能和特性。

45.1 特性总结

本章节介绍 PWM 控制器的主要特性：

- 28 (24 +4) 位分辨率计数器，支持向上计数模式
- 支持计数器同步
- 多达 24 个比较器，支持用作输出比较，或者输入捕获
- 多达 24 个通道，其中通道 0~7 可用于 PWM 输出
  - 支持 8 路独立或者 4 对互补 PWM 输出
  - 互补 PWM 支持死区插入，支持独立配置双侧死区宽度
  - 支持把 PWM 输出强制设置为指定状态
  - 支持故障保护输入，在出错时（如故障保护输入时），单独配置每个 PWM 输出通道的状态
- 支持为每个输出通道灵活地分配数目不等的比较器，灵活控制输出信号，生成例如边沿对齐 PWM、左右不对称的中央对齐 PWM 以及更复杂的输出信号
- 支持生成各类 DMA 请求和中断请求
- 部分寄存器配有影子寄存器，支持灵活的寄存器新值更新/生效时机

PWM 的框图如图 67。

图 67: PWM 定时器框图

45.2 功能描述

本章节描述 PWM 定时器各个子模块的功能。

45.2.1 定时器时间基准

定时器时间基准模块的作用是决定 PWM 定时器运行的时间和周期。

它包含以下几部分：

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

- 计数器，计数器包括计数器和扩展计数两部分，计数器 24 位，扩展 4 位。可以合并成 28 位计数器使用
- 起始寄存器，可以设置计数器起始值和扩展起始值
- 重载寄存器，可以设置计数器重载值和扩展重载值

图 68: PWM 的时间基准模块

计数器是一个由 24 位计数器（CNT）和 4 位扩展计数器（XCNT）组成，可以扩展为 28 位计数器。

起始寄存器STA可以设置 24 位计数器的起始值（STA），以及 4 位扩展计数器的起始值（XSTA）。

重载寄存器RLD可以设置 24 位计数器的重载值（RLD），以及 4 位扩展计数器的重载值（XRLD）。

计数器，起始寄存器和重载寄存器分别占用 32 位的寄存器空间，其中低 4 位为 0。

计时器支持向上计数。

计数器使能 (GCR[CEN] 位置 1) 以后，总是从起始值开始计数，当计时器的值（CNT）计数至重载值（RLD）后，重载标志RLDF位置 1，此时，扩展计数器值 +1，计数器的值恢复到起始值（STA）。当扩展计数器值（XCNT）也计数到扩展重载值（XRLD）后，重载标志XRLDF位置 1，扩展计数器恢复到起始值。

如果把计数器起始值设置为 0，重载值设置为 x，实际定时器的计时周期为 x+1 个时钟周期。如果把计数器起始值 STA 设置为 24'h000000，重载值 RLD 设置为 24'hFFFFFF, 扩展起始值 XSTA 设置为 4'h0，扩展重载值 XRLD 设置为 4'hF。效果等同于把计数器由 24 位扩展为 28 位。

图 69: PWM 计数器计数与重载、扩展重载标志位置位示意图

用户配置完成STA和RLD寄存器后，将GCR[CEN] 位置 1，计数器 CNT 开始计数。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

用户也可以利用 PWM 定时器的同步触发输入（SYNCI）来同步计数器开始计数的时机。用户可以配置GCR [RLDSYNCEN] 和 GCR [XRLDSYNCEN] 位来选择是否打开外部同步。GCR [RLDSYNCEN] 位置 1 时，同步触发输入（SYNCI）同步触发输入可以重置计数器到起始值（CNT = STA），重载标志位RLDF置 1。如果GCR [RLDSYNCEN] 位置 1，计数器的扩展位会充值到起始值的扩展位（XCNT = XSTA），扩展重载标志位 XRLDF 也会置 1。

多电机协同工作时，可以使用同步定时器 SYNT，产生同步脉冲，让多个 PWM 同时开始计数，或者间隔指定的时间开始计数。

计数器模块还支持一个半重载标志位HALFRLDF，当计数器计数达到（RLD - STA）一半时（注意，不包括 XRLD 和 XSTA），该位置 1。

控制模块管理如下标志位

- RLDF：当计数器（不包括扩展计数位）计数至重载寄存器的值时该位置 1，或者由 SYNCI 将计数器重置时，该位也置 1
- XRLDF：当扩展计数器扩展计数位计数至扩展重载计数位时，该位置 1，或者由 SYNCI 将计数器重置时，该位也置 1
- HALFRLDF：当计数器计数至起始值和重载值中间时，该位置 1

45.2.2 PWM 生成

PWM 生成需要配合使用比较器和通道，主要功能是以通道为单位，利用比较器组合生成输出参考信号。

如下图所示，PWM 生成模块包括 24 个比较器和 24 个输出通道。

其中通道 0 到通道 7 是 PWM 输出通道，通道输出 CH0REF ~ CH7REF 连接到 PWM 控制逻辑，如互补控制，死区生成，故障保护等模块。最终输出信号 OUT0~OUT7 到芯片的管脚上。

通道 8 及之后的通道是通用输出通道，这些通道的输出参考信号不经过 PWM 控制逻辑，也可以输出信号供内外部使用。

图 70: PWM 定时器的 PWM 生成模块

PWM 定时器的 24 个比较器，当它们用于 PWM 生成时，需要配置为输出比较模式（把 CMPCFGx[CMPMODE] 位置 0）。此时，当计数器的值等于比较寄存器的值时，产生匹配事件。注意比较器和计时器一样，包含 24 位比较位（CMP）和 4 位扩展比较位（XCMP）。可以设置CMPCFGx[XCNTCMPEN] 位，选择 4 位扩展位是否参与比较。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

- 当XCNTCMPEN[3:0] 位都置 0 时，4 位扩展比较位不参与比较。24 位计数器计数达到 24 位比较位，即 CNT == CMPx，产生匹配事件
- 当XCNTCMPEN[3:0] 位中某一位或者某几位置 1 时，对应的扩展比较位会和计时器的对应扩展计数位比较。比如XCNTCMPEN[3:0] = 4'b1111 时，4 位扩展计数位达到 4 位扩展比较位，并且 24 位计数器计数达到 24 位比较位，即 XCNT == XCMP && CNT == CMP，产生匹配事件。

比较器寄存器还包含 4 位为小数比较位（CMPHLF和CMPJIT），设置这些位可以使得比较寄存器生成匹配事件的精度小于一个 PWM 定时器时钟周期。CMPHLF是半周期比较位，由 PWM 定时器时钟的下边沿实现，该位置 1，可以使匹配事件的生成时间延后 1/2 时钟周期。CMPJIT是抖动比较位，由 4，8，16 个周期边沿抖动，平均后实现精度达 1/4，1/8 和 1/16 时钟周期的延时效果。

图 71: PWM 比较器对应计数器位域图

用户可以把一个或者多个连续的比较器分配给某个通道,实现灵活复杂的输出。用户通过设置 CHCFGx [CMPSELBEG] 位，选择分配给通道 x 的比较寄存器起始序号。通过设置 CHCFGx [CMPSELEND] 位，选择分配给通道 x 的比较寄存器末尾序号。

一个比较器可以同时分配给多个通道。

例如，以下是某个应用的配置，有 3 个 pwm 输出和两个控制信号输出：

设置 CHCFG[0][CMPSELBEG] = 5'b00000，CHCFG[0][CMPSELEND] = 5'b00010，表示把比较寄存器 0~2 分配给通道 0。

设置 CHCFG[1][CMPSELBEG] = 5'b00011，CHCFG[1][CMPSELEND] = 5'b00011，表示把比较寄存器 3 分配给通道 1。

设置 CHCFG[5][CMPSELBEG] = 5'b00100，CHCFG[5][CMPSELEND] = 5'b00111，表示把比较寄存器 4~7 分配给通道 5。

设置 CHCFG[8][CMPSELBEG] = 5'b00100，CHCFG[8][CMPSELEND] = 5'b00101，表示把比较寄存器 4~5 分配给通道 8。

设置 CHCFG[9][CMPSELBEG] = 5'b00111，CHCFG[9][CMPSELEND] = 5'b00111，表示把比较寄存器 7 分配给通道 9。

当计数器 CNT 计数达到比较器 CMPx 配置的CMP或者XCMP时，产生匹配事件，此时 OCx 输出置逻辑 1。当计数器 CNT 值到达重载寄存器，发生重载事件，输出重置逻辑 0。

如果比较器值 CMPx 等于重载值 RLD，OCx 会保持输出逻辑 1。因此设置 CMPx = RLD 可用来生成 100% 占空比的 PWM 输出。

当比较器值大于重载值，即 CMPx > RLD，由于计数器值 CNT 始终达不到 CMPx，比较器输出 OCx 会保持逻辑 0。

注意：比较器的输出 OCx 为 PWM 信号，PWM 的占空比由 CMPx 和 RLD 共同决定，设置 CMPx == RLD 可以得到占空比 100% 的 PWM，设置 CMPx > RLD 可以得到占空比 0% 的 PWM。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

图 72: PWM 计数器计数与重载、扩展重载标志位置位示意图

通道 x 的输出参考信号 CHxREF，由分配给它的全部比较器输出 OC_{BEG} ~OC_{END} 异或后得到。即

$$CHxREF = OC_{BEG} \oplus OC_{BEG+1} \oplus OC_{BEG+2} \oplus \cdots \oplus OC_{END}$$

45.2.3 PWM 生成举例

本章节给出几个通过配置比较器，结合输出通道生成特定 PWM 输出的例子。

以下是在通道 0（CH0REF）和通道 1（CH1REF）输出上生成边沿对齐 PWM 的例子。

分配比较器 0 到通道 0，即 CHCFG0[CMPSELBEG] = 0，CHCFG0[CMPSELEND] = 0

分配比较器 1 到通道 1，即 CHCFG1[CMPSELBEG] = 1，CHCFG1[CMPSELEND] = 1

设置比较器 0~1 为电平输出模式。设置比较器 0~1 的值 $STA < CMP0 < CMP1 < RLD$。以此可以得到 CH0REF，CH1REF 输出如图 73：

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

图 73: 边沿对齐 PWM 生成示例图

以下是在通道 0（CH0REF）和通道 1（CH1REF）输出上生成中心对齐相移 PWM 的例子。

分配比较器 0，1 到通道 0，即 CHCFG0[CMPSELBEG] = 0，CHCFG0[CMPSELEND] = 1

分配比较器 2，3 到通道 1，即 CHCFG1[CMPSELBEG] = 2，CHCFG1[CMPSELEND] = 3

设置比较器 0~3 为电平输出模式。

设置比较器 0~3 的值 $STA < CMP2 < CMP0 < CMP3 < CMP1 < RLD$。以此可以得到 CH0REF，CH1REF 输出如图 74：

图 74: 中心对齐相移 PWM 生成示例图

以下是在通道 0（CH0REF）输出上生成双翻转 PWM 的例子。

分配比较器 0 ~ 比较器 3 到通道 0，即 CHCFG0[CMPSELBEG] = 0，CHCFG0[CMPSELEND] = 3。

设置比较器 0~3 为电平输出模式。

设置比较器 0~3 的值 $STA < CMP0 < CMP1 < CMP2 < CMP3 < RLD$。

以此可以得到 CH0REF 输出如图 75：

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

图 75: 双翻转 PWM 生成示例图

45.2.4 PWM 输出控制概述

PWM 输出通道（通道 0~7）的参考信号（CH0REF~CH7REF）经过后续的互补控制，死区插入，取反控制，强制输出，故障保护后，形成输出信号（OUT0~OUT7）到 IO。这些 PWM 控制逻辑可以通过 PWMCFG[x] 和 CHCFG[x] 寄存器内的控制位配置。

PWM 控制逻辑，以相邻的一对 PWM 输出为例，如图 76所示。

图 76: PWM 输出控制示例图

45.2.5 PWM 互补控制

PWM 定时器支持生成成对的互补 PWM 输出。当把寄存器 PWMCFGx[PAIR] 位置 1 时，可以把 PWM0 和 PWM1，PWM2 和 PWM3，PWM4 和 PWM5，PWM6 和 PWM7 设置为互补的 PWM 输出。注意，一定把成对的 PWMCFGx[PAIR] 寄存器位都置 1，互补输出才会生效。一旦设置成 PWM 互补输出，偶数序号的 PWM 通道配置会生效，奇数序号的 PWM 通道输出为偶数通道的输出取反。

比如，当 PWM0 和 PWM1 配置为互补输出时，PWM0 输出（OUT0）为通道 0 的输出参考信号（CH0REF），

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

PWM1（OUT1）则是 PWM0 取反。

45.2.6 死区控制

PWM 定时器配置成输出一对互补的 PWM 输出时，用户可以通过死区控制模块，在成对的输出参考信号的翻转之间插入一定的延时，避免受 PWM 输出控制的外部开关同时导通。

PWM 定时器允许用户在 2 路互补的参考信号上插入的不同的延时。这样用户可以根据片外开关器件的特性，优化死区时间。

用户可以通过配置 PWMCFGx[DEADAREA] 位来配置死区的长度，必须同时配置成对的通道 x 和通道 x+1 寄存器才能正确地生成死区。

例如，当把 PWM 输出 0 和输出 1 配置成互补的 PWM 输出时，需要配置：PWMCFG0[DEADAREA] 可以把通道 0 参考信号的每一个上升沿推迟若干个时钟周期。PWMCFG1[DEADAREA] 可以把通道 1 参考信号的每一个上升沿推迟若干个时钟周期。

注意，PWMCFGx[DEADAREA] 配置死区长度的单位是 0.5 个 PWM 定时器时钟周期。死区支持的最小长度是 1 个时钟周期。
即：PWMCFGx[DEADAREA] = 20’h00003，表示死区长度为 1.5 个时钟周期
PWMCFGx[DEADAREA] = 20’h000A0，表示死区长度为 80 个时钟周期

图 77: PWM 死区控制示意图

45.2.7 输出取反

外部器件打开以及关断所需要的可以是高电平也可以是低电平。为了适应各种外部器件，PWM 定时器的全部通道输出可以通过设置 CHCFGx[OP] 位，来配置输出极性：

- 置 0 时，输出为 CHxREF 不变
- 置 1 时，输出为 CHxREF 取反

45.2.8 强制输出控制

强制输出控制模块可以作用于通道 0~7 的参考信号，允许用户把参考信号配置成指定的状态。此模块可以方便生成驱动 BLDC 电机需要的 6 步换相 PWM 输出。

通过配置 PWMCFGx[FRCSRCSEL] 位，可以自由选择 PWM 输出 0~7 强制调试是由硬件触发还是由软件触

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

发

- 该位置 0 时，表示 PWM 输出 x 强制输出由外部输入 FRCI 控制，可以通过 GCR[FRCPOL] 位选择 FRCI 的有效极性，GCR[FRCPOL] = 1’b0，表示 FRCI 逻辑 1 有效，否则逻辑 0 有效。
- 该位置 1 时，并且软件将 GCR[SWFRC] 位置 1 时，强制输出有效。

通过配置寄存器 GCR[FRCTIME]，用户可以选择输出生效的时机。

- 2’b00，即时生效
- 2’b01，强制输出在使能后，计数器重载标志位 RLD 置 1 时生效
- 2’b10，强制输出在使能后，同步输入触发（FRCSYNCI）上捕获到上升沿时生效
- 2’b11，强制输出不生效

注意，GCR[FRCTIME] 同样控制强制输出失效的时机。即强制输出关闭后，输出失效的时机也由其控制。

通过配置寄存器 FRCMD[MODEx]，可以配置强制输出生效时，通道 0~7 输出的状态：

- 2’b00，强制输出逻辑 0
- 2’b01，强制输出逻辑 1
- 2’b10，关闭输出，引脚变为高阻 HiZ
- 2’b11，不进行强制输出，即输出保持通道 x 的参考信号 CHxREF 不变

注意，FRCMD 寄存器配备有影子寄存器，直接写 FRCMD 寄存器并不一定会立即生效。如果用户希望改变某个 PWM 输出的强制输出状态，比如从强制输出逻辑 0 改为输出逻辑 1，其生效时间由PWMCFG[x] [FRCSHDWUPT] 决定，具体请参考小节 45.2.12。

45.2.9 故障保护

PWM 定时器允许用户在紧急情况下实时快速地切断 PWN 输出信号。

PWM 定时器支持内外部共 6 个故障保护输入信号，其中 4 个内部故障输入信号（FAULTI0~FAULTI3），和 2 个外部故障输入信号（FAULTE0，FAULTE1）。

PWM 定时器外部故障输入信号（FAULTE0，FAULTE1），在 PWM 定时器时钟丢失的情况下，也可以发挥作用。用户可以设置 GCR[FAULTExPOL] 位来选择外部故障输入信号是逻辑 1 生效，还是逻辑 0 生效。

- 1’b0，FAULTEx 逻辑 1 时生效
- 1’b1，FAULTEx 逻辑 0 时生效

用户可以通过配置 GCR[FAULTExEN] 位，打开或者关闭 PWM 定时器的外部故障输入：

- 1’b0，关闭故障保护，PWM 输出不响应外部故障输入信号 x（FAULTEx）
- 1’b1，使能故障保护，按照 GCR[FAULTExPOL] 位的设置，在故障输入信号（FAULTIx）为逻辑 1 或者逻辑 0 时生效

用户可以通过配置 GCR[FAULTIxEN] 位，打开或者关闭 PWM 定时器的内部故障输入。

- 1’b0，关闭故障保护，PWM 输出不响应内部故障输入信号 x（FAULTIx）
- 1’b1，使能故障保护，内部故障输入在逻辑 1 时生效

在故障输入生效时，PWM 定时器可以把通道 0~ 通道 7 的输出（OUT0 ~ OUT7）强制到某个安全的既定状态。

用户可以选择打开一个或者多个乃至全部故障输入信号。在打开的故障输入中，任意一个生效时，故障保护即有效。

通过配置 PWMCFGx[FAULTMODE]，PWM0~7 输出都可以独立配置为：

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

- 2’b0x，当故障发生时，关闭输出，引脚变为高阻 HiZ
- 2’b10，当故障发生时，输出变为逻辑 0
- 2’b11，当故障发生时，输出变为逻辑 1

一旦故障发生，那么在系统状态变化之前，PWM 输出都不会恢复。

用户可以通过设置 PWMCFGx[FAULTRECTIME]，选择 PWM 恢复的时机：

- 2’b00，故障恢复后，立即输出恢复。
- 2’b01，故障恢复后，计数器重载标志位 RLD 置 1 时输出恢复。
- 2’b10，故障恢复后，计数器与某一个 CMP 发生匹配后输出恢复，可以通过 GCR [FAULTRECHWSEL] 位从 24 个比较器选择其一，作为故障恢复时机。
- 2’b11，故障恢复后，软件将 GCR[FAULTCLR] 位置 1 后输出恢复

45.2.10 Debug 模式支持

PWM 定时器允许用户进入调试模式时，断开 PWM 输出，以此来保护外部功率器件。

可以设置 GCR[DEBUGFAULT] 位，该位置 1 时，一旦芯片进入调试模式（Debug 模式），PWM 输出状态会如同故障保护一样，强制到指定的状态。管脚的具体状态如同故障保护，由 PWMCFGx[FAULTMODE] 位的设置决定。

45.2.11 输入捕获模块

PWM 定时器的各个比较器，也可以用作输入捕获模式。

注意，一旦某个比较器配置为输入捕获模式，它就不能再被分配给通道，用作输出。

用户可以配置 CMPCFGx[CMPMODE] 位来选择比较器的工作模式：

- 1’b0，输出比较模式，比较器可以被分配给通道，用作输出
- 1’b1，输入捕获模式，此时，比较器用来捕获输入信号的翻转，并在翻转时保存计数器的值（CNT 和 XCNT）。

把比较器配置成输入捕获模式后，用户可以从寄存器 CAPPOSx 寄存器读取到 CMPx 在信号（INx）上升沿捕获到的计数器值；在 CAPNEGx 寄存器读取到 CMPx 在下降沿捕获到的计数器值。CAPPOSx 和 CAPNEGx 寄存器即会保存计数器寄存器的 24 位计数器（CNT）值，也会保存 4 位扩展计数器（XCNT）值。

注意，CAPPOSx 寄存器和 CAPNEGx 寄存器的值在捕获到新的边沿时会刷新，之前捕获的值会丢失。

45.2.12 影子寄存器

PWM 定时器的部分寄存器支持影子寄存器（shadow register）。影子寄存器的作用是为定时器的部分关键寄存器提供读写接口。在处理器访问寄存器的时候，实质上改变的是它的影子寄存器，新值并不马上生效。只有在用户指定的时刻，才把影子寄存器的值更新到寄存器，并以此改变 PWM 定时器的工作状态。

PWM 定时器的以下三组寄存器支持影子寄存器：

- 计数器的起始寄存器 STA（包括 STA/XSTA）和重载寄存器 RLD（包括 RLD/XRLD）
- 比较器 CMPx，当其在用作输出比较时
- 控制寄存器中的 FRCMD[FRCMD] 位，即通道 0~7（PWM 通道）的强制输出控制模式位

以上这些寄存器和寄存器位，用户对它们进行写操作的时候，是不会即刻生效的。需要等到某个指定的时刻，统一生效。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

对于计数器的起始寄存器 STA 和计数器的重载寄存器 RLD，它们的影子寄存器值（包括 STA，XSTA，RLD，XRLD）生效时间可以通过 SHCR[CNTSHDWUPT] 位设置：

- 2'b00，由软件把 SHLK [SHLK] 位置 1 后生效
- 2'b01，实时生效，在寄存器写之后，一个周期内生效
- 2'b10，定时器的某一个 CMP 发生匹配后生效，用户可以通过 SHCR [CNTSHDWSEL] 从比较器 0~23 中选择一个，匹配可以是该比较器的输出比较，也可以是输入捕获。用户可以选择把选中的比较器 CMPx 的值设为与 RLD 或 xRLD 相等，达到一个完整的 PWM 周期后更新影子寄存器的目的。
- 2'b11，影子寄存器重载触发输入 SHRLDSYNCI 上捕获到上升沿时

PWM 定时器的比较器 CMPx，它们的影子寄存器值生效时刻可以通过 CMPCFGx[CMPSHDWUPT] 位设置：

- 2'b00，由软件把 SHLK [SHLK] 位置 1 后生效
- 2'b01，实时生效，在寄存器写之后，一个周期内生效
- 2'b10，定时器的某一个 CMP 发生匹配后生效，用户可以通过 GCR [CMPSHDWSEL] 从比较器 0~23 中选择一个，匹配可以是该比较器的输出比较，也可以是输入捕获。用户可以选择把选中的比较器 CMPx 的值设为与 RLD 或 xRLD 相等，达到一个完整的 PWM 周期后更新影子寄存器的目的。
- 2'b11，影子寄存器重载触发输入 SHRLDSYNCI 上捕获到上升沿时

注意，在 PWM 定时器工作过程中，如果通过更新比较器 CMPx 来实时改变 PWM 输出波形占空比，推荐用户将 CMPx 的 CMPCFGx[CMPSHDWUPT] 位配置为 2'b10 或者 2'b11，即由硬件指定 CMPx 的影子寄存器的生效时刻。避免软件在不恰当的时机更改配置，导致输出波形异常。

通道 0~7（PWM 通道）的强制输出模式位的影子寄存器位生效时间，可以通过 PWMCFGx[FRCSHUPT] 位设置：

- 2'b00，由软件把 SHLK[SHLK] 位置 1 后生效
- 2'b01，实时生效，在寄存器写之后，一个周期内生效
- 2'b10，定时器的某一个 CMP 发生匹配后生效，用户可以通过 SHCR [FRCSHDWSEL] 从比较器 0~23 中选择一个，匹配可以是该比较器的输出比较，也可以是输入捕获。用户可以选择把选中的比较器 CMPx 的值设为与 RLD 或 xRLD 相等，达到一个完整的 PWM 周期后更新影子寄存器的目的。
- 2'b11，影子寄存器重载触发输入 SHRLDSYNCI 上捕获到上升沿时

此外，影子寄存器支持写保护，用户可以把 SHCR[SHLKEN] 位置 1，之后把 SHLK[SHLK] 位也置 1。这样，软件对任意影子寄存器的写操作都无效。

用户可以通过对 UNLK 寄存器写入神奇代码 0xB0382607 来解锁影子寄存器。解锁之后，可以恢复对所有影子寄存器的写操作。

用户在更新多个影子寄存器的过程中，有可能软件或 DMA 只更新了部分影子寄存器，影子寄存器的生效时刻已到，导致出错。用户可以通过以下操作步骤避免这种情况：

- 把 SHCR[SHLKEN] 位置 1，之后把 SHLK[SHLK] 位也置 1，打开影子寄存器写保护
- 对 UNLK 寄存器写入神奇代码 0xB0382607 来解锁影子寄存器的写保护
- 更新所有需要更新的影子寄存器
- 再把 SHCR[SHLK] 位置 1，此时，重新锁定影子寄存器写保护。
- 之后在下一个影子寄存器生效事件发生时，新的寄存器值生效。注意，如果把生效时机控制位设为 2'b00，即由软件把 SHLK[SHLK] 位置 1 后生效，那么用户要再把 SHLK[SHLK] 位置 1 一次，使影子寄存器新值生效。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

45.2.13 中断和 DMA

PWM 定时器支持生成以下中断：

- RLD 当重载事件产生时，即计数器计数达到重载寄存器值，或者由同步触发输入 SYNCI 引发计数器重载
- XRLD：当扩展计数器扩展计数位计数至扩展重载计数位时，该位置 1，或者由 SYNCI 将计数器重置时
- HALFRLD：当计数器计数至起始寄存器到重载寄存器的中间时
- 当比较器设置为输出比较，发生匹配事件时
- 当比较器设置为输入捕获，并在输入通道捕获到指定边沿跳变时
- 故障保护生效时

PWM 定时器支持生成以下 DMA 请求：

- RLD 当重载事件产生时，即计数器计数达到重载寄存器值，或者由同步触发输入 SYNCI 引发计数器重载
- XRLD：当扩展计数器扩展计数位计数至扩展重载计数位时，该位置 1，或者由 SYNCI 将计数器重置时
- HALFRLD：当计数器计数至起始寄存器到重载寄存器的中间时
- 当比较器设置为输出比较，发生匹配事件时
- 当比较器设置为输入捕获，并在输入通道捕获到指定边沿跳变时

45.3 PWM 寄存器

PWM 的寄存器列表如下：

PWM0 base address: 0xF0200000 PWM1 base address: 0xF0210000 PWM2 base address: 0xF0220000 PWM3 base address: 0xF0230000

地址偏移	名称	描述	复位值
0x0000	UNLK	影子寄存器解锁寄存器	0x00000000
0x0004	STA	计数器起始值寄存器	0x00000000
0x0008	RLD	计数器重载值寄存器	0x00000000
0x000C	CMP[0]	比较器寄存器	0x00000000
0x0010	CMP[1]	比较器寄存器	0x00000000
0x0014	CMP[2]	比较器寄存器	0x00000000
0x0018	CMP[3]	比较器寄存器	0x00000000
0x001C	CMP[4]	比较器寄存器	0x00000000
0x0020	CMP[5]	比较器寄存器	0x00000000
0x0024	CMP[6]	比较器寄存器	0x00000000
0x0028	CMP[7]	比较器寄存器	0x00000000
0x002C	CMP[8]	比较器寄存器	0x00000000
0x0030	CMP[9]	比较器寄存器	0x00000000
0x0034	CMP[10]	比较器寄存器	0x00000000
0x0038	CMP[11]	比较器寄存器	0x00000000
0x003C	CMP[12]	比较器寄存器	0x00000000
0x0040	CMP[13]	比较器寄存器	0x00000000
0x0044	CMP[14]	比较器寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0048	CMP[15]	比较器寄存器	0x00000000
0x004C	CMP[16]	比较器寄存器	0x00000000
0x0050	CMP[17]	比较器寄存器	0x00000000
0x0054	CMP[18]	比较器寄存器	0x00000000
0x0058	CMP[19]	比较器寄存器	0x00000000
0x005C	CMP[20]	比较器寄存器	0x00000000
0x0060	CMP[21]	比较器寄存器	0x00000000
0x0064	CMP[22]	比较器寄存器	0x00000000
0x0068	CMP[23]	比较器寄存器	0x00000000
0x0078	FRCMD	强制输出模式寄存器	0x00000000
0x007C	SHLK	影子寄存器锁定寄存器	0x00000000
0x0080	CHCFG[0]	输出通道配置寄存器	0x00000000
0x0084	CHCFG[1]	输出通道配置寄存器	0x00000000
0x0088	CHCFG[2]	输出通道配置寄存器	0x00000000
0x008C	CHCFG[3]	输出通道配置寄存器	0x00000000
0x0090	CHCFG[4]	输出通道配置寄存器	0x00000000
0x0094	CHCFG[5]	输出通道配置寄存器	0x00000000
0x0098	CHCFG[6]	输出通道配置寄存器	0x00000000
0x009C	CHCFG[7]	输出通道配置寄存器	0x00000000
0x00A0	CHCFG[8]	输出通道配置寄存器	0x00000000
0x00A4	CHCFG[9]	输出通道配置寄存器	0x00000000
0x00A8	CHCFG[10]	输出通道配置寄存器	0x00000000
0x00AC	CHCFG[11]	输出通道配置寄存器	0x00000000
0x00B0	CHCFG[12]	输出通道配置寄存器	0x00000000
0x00B4	CHCFG[13]	输出通道配置寄存器	0x00000000
0x00B8	CHCFG[14]	输出通道配置寄存器	0x00000000
0x00BC	CHCFG[15]	输出通道配置寄存器	0x00000000
0x00C0	CHCFG[16]	输出通道配置寄存器	0x00000000
0x00C4	CHCFG[17]	输出通道配置寄存器	0x00000000
0x00C8	CHCFG[18]	输出通道配置寄存器	0x00000000
0x00CC	CHCFG[19]	输出通道配置寄存器	0x00000000
0x00D0	CHCFG[20]	输出通道配置寄存器	0x00000000
0x00D4	CHCFG[21]	输出通道配置寄存器	0x00000000
0x00D8	CHCFG[22]	输出通道配置寄存器	0x00000000
0x00DC	CHCFG[23]	输出通道配置寄存器	0x00000000
0x00F0	GCR	全局控制寄存器	0x00000000
0x00F4	SHCR	影子寄存器控制寄存器	0x00000000
0x0100	CAPPOS[0]	上升沿捕获寄存器	0x00000000
0x0104	CAPPOS[1]	上升沿捕获寄存器	0x00000000
0x0108	CAPPOS[2]	上升沿捕获寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x010C	CAPPOS[3]	上升沿捕获寄存器	0x00000000
0x0110	CAPPOS[4]	上升沿捕获寄存器	0x00000000
0x0114	CAPPOS[5]	上升沿捕获寄存器	0x00000000
0x0118	CAPPOS[6]	上升沿捕获寄存器	0x00000000
0x011C	CAPPOS[7]	上升沿捕获寄存器	0x00000000
0x0120	CAPPOS[8]	上升沿捕获寄存器	0x00000000
0x0124	CAPPOS[9]	上升沿捕获寄存器	0x00000000
0x0128	CAPPOS[10]	上升沿捕获寄存器	0x00000000
0x012C	CAPPOS[11]	上升沿捕获寄存器	0x00000000
0x0130	CAPPOS[12]	上升沿捕获寄存器	0x00000000
0x0134	CAPPOS[13]	上升沿捕获寄存器	0x00000000
0x0138	CAPPOS[14]	上升沿捕获寄存器	0x00000000
0x013C	CAPPOS[15]	上升沿捕获寄存器	0x00000000
0x0140	CAPPOS[16]	上升沿捕获寄存器	0x00000000
0x0144	CAPPOS[17]	上升沿捕获寄存器	0x00000000
0x0148	CAPPOS[18]	上升沿捕获寄存器	0x00000000
0x014C	CAPPOS[19]	上升沿捕获寄存器	0x00000000
0x0150	CAPPOS[20]	上升沿捕获寄存器	0x00000000
0x0154	CAPPOS[21]	上升沿捕获寄存器	0x00000000
0x0158	CAPPOS[22]	上升沿捕获寄存器	0x00000000
0x015C	CAPPOS[23]	上升沿捕获寄存器	0x00000000
0x0170	CNT	计数器	0x00000000
0x0180	CAPNEG[0]	下降沿捕获寄存器	0x00000000
0x0184	CAPNEG[1]	下降沿捕获寄存器	0x00000000
0x0188	CAPNEG[2]	下降沿捕获寄存器	0x00000000
0x018C	CAPNEG[3]	下降沿捕获寄存器	0x00000000
0x0190	CAPNEG[4]	下降沿捕获寄存器	0x00000000
0x0194	CAPNEG[5]	下降沿捕获寄存器	0x00000000
0x0198	CAPNEG[6]	下降沿捕获寄存器	0x00000000
0x019C	CAPNEG[7]	下降沿捕获寄存器	0x00000000
0x01A0	CAPNEG[8]	下降沿捕获寄存器	0x00000000
0x01A4	CAPNEG[9]	下降沿捕获寄存器	0x00000000
0x01A8	CAPNEG[10]	下降沿捕获寄存器	0x00000000
0x01AC	CAPNEG[11]	下降沿捕获寄存器	0x00000000
0x01B0	CAPNEG[12]	下降沿捕获寄存器	0x00000000
0x01B4	CAPNEG[13]	下降沿捕获寄存器	0x00000000
0x01B8	CAPNEG[14]	下降沿捕获寄存器	0x00000000
0x01BC	CAPNEG[15]	下降沿捕获寄存器	0x00000000
0x01C0	CAPNEG[16]	下降沿捕获寄存器	0x00000000
0x01C4	CAPNEG[17]	下降沿捕获寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x01C8	CAPNEG[18]	下降沿捕获寄存器	0x00000000
0x01CC	CAPNEG[19]	下降沿捕获寄存器	0x00000000
0x01D0	CAPNEG[20]	下降沿捕获寄存器	0x00000000
0x01D4	CAPNEG[21]	下降沿捕获寄存器	0x00000000
0x01D8	CAPNEG[22]	下降沿捕获寄存器	0x00000000
0x01DC	CAPNEG[23]	下降沿捕获寄存器	0x00000000
0x01F0	CNTCOPY	计数器拷贝	0x00000000
0x0200	PWMCFG[0]	PWM 通道配置寄存器	0x00000000
0x0204	PWMCFG[1]	PWM 通道配置寄存器	0x00000000
0x0208	PWMCFG[2]	PWM 通道配置寄存器	0x00000000
0x020C	PWMCFG[3]	PWM 通道配置寄存器	0x00000000
0x0210	PWMCFG[4]	PWM 通道配置寄存器	0x00000000
0x0214	PWMCFG[5]	PWM 通道配置寄存器	0x00000000
0x0218	PWMCFG[6]	PWM 通道配置寄存器	0x00000000
0x021C	PWMCFG[7]	PWM 通道配置寄存器	0x00000000
0x0220	SR	状态寄存器	0x00000000
0x0224	IRQEN	中断请求使能寄存器	0x00000000
0x022C	DMAEN	DMA 请求使能寄存器	0x00000000
0x0230	CMPCFG[CMPCFG0]	比较器配置寄存器	0x00000000
0x0234	CMPCFG[1]	比较器配置寄存器	0x00000000
0x0238	CMPCFG[2]	比较器配置寄存器	0x00000000
0x023C	CMPCFG[3]	比较器配置寄存器	0x00000000
0x0240	CMPCFG[4]	比较器配置寄存器	0x00000000
0x0244	CMPCFG[5]	比较器配置寄存器	0x00000000
0x0248	CMPCFG[6]	比较器配置寄存器	0x00000000
0x024C	CMPCFG[7]	比较器配置寄存器	0x00000000
0x0250	CMPCFG[8]	比较器配置寄存器	0x00000000
0x0254	CMPCFG[9]	比较器配置寄存器	0x00000000
0x0258	CMPCFG[10]	比较器配置寄存器	0x00000000
0x025C	CMPCFG[11]	比较器配置寄存器	0x00000000
0x0260	CMPCFG[12]	比较器配置寄存器	0x00000000
0x0264	CMPCFG[13]	比较器配置寄存器	0x00000000
0x0268	CMPCFG[14]	比较器配置寄存器	0x00000000
0x026C	CMPCFG[15]	比较器配置寄存器	0x00000000
0x0270	CMPCFG[16]	比较器配置寄存器	0x00000000
0x0274	CMPCFG[17]	比较器配置寄存器	0x00000000
0x0278	CMPCFG[18]	比较器配置寄存器	0x00000000
0x027C	CMPCFG[19]	比较器配置寄存器	0x00000000
0x0280	CMPCFG[20]	比较器配置寄存器	0x00000000
0x0284	CMPCFG[21]	比较器配置寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0288	CMPCFG[22]	比较器配置寄存器	0x00000000
0x028C	CMPCFG[23]	比较器配置寄存器	0x00000000

表 237: PWM 寄存器列表

45.4 PWM 寄存器详细信息

PWM 的寄存器详细说明如下：

45.4.1 UNLK (0x0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SHUNLK																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

UNLK [31:0]

位域	名称	描述
31-0	SHUNLK	对此位域写入 0xB0382607 可以解锁地址偏移从 0x04 到 0x78 的寄存器的影子寄存器。 解锁后，允许写入这些寄存器的影子寄存器。

UNLK 位域

45.4.2 STA (0x4)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
XSTA				STA																								RSVD			
RW				RW																								N/A			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

STA [31:0]

位域	名称	描述
31-28	XSTA	PWM 定时器的计数器起始位扩展值 当计数器计数至 XRLD 时，计数器值扩展值 XCNT 会重载到 XSTA

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
27-4	STA	PWM 定时器的计数器起始位 当计数器计数至 RLD 时，计数器值 CNT 会重载到 STA 当计数器重载或者软件写入 SHUNLK 位时，STA 的影子寄存器值会生效

STA 位域

45.4.3 RLD (0x8)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
XRLD				RLD																								RSVD			
RW				RW																								N/A			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RLD [31:0]

位域	名称	描述
31-28	XRLD	PWM 定时器的计数器重载位扩展值 当计数器计数至 XRLD 时，计数器值扩展值 XCNT 会重载到 XSTA
27-4	RLD	PWM 定时器的计数器重载值 当计数器计数至 RLD 时，计数器值 CNT 会重载到 STA 当计数器重载或者软件写入 SHUNLK 位时，RLD 的影子寄存器值会生效

RLD 位域

45.4.4 CMP (0xC + 0x4 * m)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
XCMP				CMP																								CMPHLF	CMPJIT		
RW				RW																								RW	RW		
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CMP [31:0]

位域	名称	描述
31-28	XCMP	比较器值扩展位

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
27-4	CMP	比较器值 比较器的输出 OCx 默认为 0，在计数器计数到 CMP 时置 1，计数器重载时再清 0
3	CMPHLF	比较器半周期比较位，此位置 1 可以使比较器的精度达到 1/2 时钟周期
2-0	CMPJIT	比较器值抖动位

CMP 位域

45.4.5 FRCMD (0x78)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																FRCMD															
N/A																RW															
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

FRCMD [31:0]

位域	名称	描述
15-0	FRCMD	PWM 输出通道的强制输出模式控制位 00：强制输出 0 01：强制输出 1 10：强制输出高阻 11：不强制输出

FRCMD 位域

45.4.6 SHLK (0x7C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SHLK	RSVD																														
RW	N/A																														
0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

SHLK [31:0]

位域	名称	描述
31	SHLK	影子寄存器锁定位 写入 1 锁定所有的影子寄存器，锁定后不允许写入影子寄存器

SHLK 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

45.4.7 CHCFG (0x80 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD			CMPSELEND					RSVD			CMPSELBEG					RSVD														OUTPOL	RSVD
N/A			RW					N/A			RW					N/A														RW	N/A
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0

CHCFG [31:0]

位域	名称	描述
28-24	CMPSELEND	比较器选择结尾位 指定分配给输出通道的若干个比较器的结尾序号
20-16	CMPSELBEG	比较器选择起始位 指定分配给输出通道的若干个比较器的起始序号
1	OUTPOL	输出极性 置 1 可以使通道输出取反

CHCFG 位域

45.4.8 GCR (0xF0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FAULTI3EN	FAULTI2EN	FAULTI1EN	FAULTI0EN	DEBUGFAULT	FRCPOL	RSVD	HWSHDWEDG	CMPSHDWSEL					FAULTRECEDG	FAULTRECHWSEL					FAULTE1EN	FAULTE0EN	FAULTEXPOL		RLDSYNCEN	CEN	FAULTCLR	XRLDSYNCEN	RSVD		FRCTIME		SWFRC
RW	RW	RW	RW	RW	RW	N/A	RW	RW					RW	RW					RW	RW	RW		RW	RW	RW	RW	N/A		WO		RW
0	0	0	0	0	0	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	0	0	0

GCR [31:0]

位域	名称	描述
31	FAULTI3EN	1：使能内部故障输入信号 3（FAULTI3）
30	FAULTI2EN	1：使能内部故障输入信号 2（FAULTI2）
29	FAULTI1EN	1：使能内部故障输入信号 1（FAULTI1）
28	FAULTI0EN	1：使能内部故障输入信号 0（FAULTI0）
27	DEBUGFAULT	1：使能调试模式保护
26	FRCPOL	强制输出硬件控制信号 FRCI 的极性 1：FRCI 高有效 0：FRCI 低有效

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
24	HWSHDWEDG	比较器影子寄存器比较器生效时机边沿选择 当影子寄存器生效的时机设置为硬件事件（某一个比较器）时，并且该比较器配置为输入捕获模式时，此位控制比较器输入信号的有效边沿： 1：下降沿 0：上升沿
23-19	CMPSHDWSEL	比较器影子寄存器硬件事件生效比较器选择：当 CMPSHDUPDT 设置为 10 时， 此位选择比较器之一，以选中的比较器匹配事件，作为比较器影子寄存器生效的时机。
18	FAULTRECEDG	故障恢复比较器生效时机边沿选择 当故障恢复的时机设置为硬件事件（某一个比较器）时， 并且该比较器配置为输入捕获模式时，此位控制比较器输入信号的有效边沿： 1：下降沿 0：上升沿
17-13	FAULTRECHWSEL	故障恢复比较器选择位 选择比较器之一作为故障恢复的时机。当选中的比较器发生匹配事件时，恢复 PWM 输出。 匹配事件可以是比较器的输出比较或者输入捕获。
12	FAULTE1EN	1：使能外部故障输入信号 1（FAULTE1）
11	FAULTE0EN	1：使能外部故障输入信号 0（FAULTE0）
10-9	FAULTEXPOL	外部故障输入有效极性 1：低电平有效 0：高电平有效
8	RLDSYNCEN	1：使能通过 SYNCI 信号触发 PWM 定时器计数器重载
7	CEN	1：使能 PWM 定时器的计数器 0：关闭 PWM 定时器的计数器
6	FAULTCLR	故障清除位 如果 FAULTRECTIME 设置为 11，对该位写 1，PWM 输出会恢复。 注意，用户只能在故障条件清除之后，新的故障条件发生前对该位写 1
5	XRLDSYNCEN	1：使能通过 SYNCI 信号触发 PWM 定时器计数器和扩展值一同重载
2-1	FRCTIME	强制输出时机控制位 00：强制输出立即生效 01：强制输出在计数器下一次重载时生效 10：强制输出在 FRCSYNCI 上捕捉到上升沿时生效 11：不生效

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
0	SWFRC	软件强制输出位，当 FRCSRCSEL 置 0 时 1：使能强制输出 0：关闭强制输出

GCR 位域

45.4.9 SHCR (0xF4)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																			FRCSHDWSEL					CNTSHDWSEL					CNTSHDWUPT		SHLKEN
N/A																			RW					RW					RW		RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0

SHCR [31:0]

位域	名称	描述
12-8	FRCSHDWSEL	FRCMD 影子寄存器硬件事件生效比较器选择： 当 FRCSHDUPDT 设置为 10 时，此位选择比较器之一，以选中的比较器匹配事件，作为 FRCMD 影子寄存器生效的时机。
7-3	CNTSHDWSEL	RLD，STA 影子寄存器硬件事件生效比较器选择： 当 CNTSHDUPDT 设置为 10 时，此位选择比较器之一，以选中的比较器匹配事件，作为 RLD，STA 影子寄存器生效的时机。
2-1	CNTSHDWUPT	RLD，STA 影子寄存器生效时机选择： 00：由软件把 SHLK [SHLK] 位置 1 后生效 01：实时生效，在寄存器写之后，一个周期内生效 10：定时器的某一个 CMP 发生匹配后生效，用户可以通过 SHCR [CNTSHDWSEL] 从比较器 0 到 23 中选择一个，匹配可以是该比较器的输出比较，也可以是输入捕获。 11：影子寄存器重载触发输入 SHRLDSYNCI 上捕获到上升沿时生效
0	SHLKEN	1：使能影子寄存器锁定，允许锁定影子寄存器 0：关闭影子寄存器锁定，不能锁定影子寄存器

SHCR 位域

45.4.10 CAPPOS (0x100 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CAPPOS																												RSVD			

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RO																												N/A			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	x

CAPPOS [31:0]

位域	名称	描述
31-4	CAPPOS	在输入信号上升沿时，捕获到的计数器值

CAPPOS 位域

45.4.11 CNT (0x170)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
XCNT				CNT																								RSVD			
RO				RO																								N/A			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CNT [31:0]

位域	名称	描述
31-28	XCNT	计数器扩展位
27-4	CNT	计数器

CNT 位域

45.4.12 CAPNEG (0x180 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CAPNEG																															
RO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CAPNEG [31:0]

位域	名称	描述
31-0	CAPNEG	在输入信号下降沿时，捕获到的计数器值;

CAPNEG 位域

45.4.13 CNTCOPY (0x1F0)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
XCNT				CNT																								RSVD			
RO				RO																								N/A			
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CNTCOPY [31:0]

位域	名称	描述
31-28	XCNT	计数器扩展位
27-4	CNT	计数器

CNTCOPY 位域

45.4.14 PWMCFG (0x200 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD			OEN	FRCSHDWUPT		FAULTMODE		FAULTRECTIME		FRCSRCSEL	PAIR	DEADAREA																			
N/A			RW	RW		RW		RW		RW	RW	RW																			
x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PWMCFG [31:0]

位域	名称	描述
28	OEN	PWM 输出使能 1：打开 PWM 输出 0：关闭 PWM 输出
27-26	FRCSHDWUPT	FRCMD 影子寄存器生效时机选择： 00：由软件把 SHLK [SHLK] 位置 1 后生效 01：实时生效，在寄存器写之后，一个周期内生效 10：定时器的某一个 CMP 发生匹配后生效，用户可以通过 SHCR [FRCSHDWSEL] 从比较器 0□23 中选择一个，匹配可以是该比较器的输出比较，也可以是输入捕获。 11：影子寄存器重载触发输入 SHRLDSYNCI 上捕获到上升沿时生效
25-24	FAULTMODE	故障保护模式 00：发生故障时，PWM 输出强制为低电平 01：发生故障时，PWM 输出强制为高电平 1x：发生故障时，PWM 输出强制为高阻

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
23-22	FAULTRECTIME	故障恢复输出时机选择： 00：故障条件消除后立即恢复输出 01：故障条件消除后，在计数器重载 RLD 后恢复输出 10：定时器的某一个 CMP 发生匹配后生效，用户可以通过 FAULTRECHWSEL 从比较器 0□23 中选择一个， 匹配可以是该比较器的输出比较，也可以是输入捕获。 11：故障条件消除后，软件将 FAULTCLR 位置 1 后，恢复输出
21	FRCSRCSEL	强制输出选择位 0：硬件强制输出，由 FRCI 控制强制输出开关 1：软件强制输出，SWFRC 位控制强制输出开关
20	PAIR	PWM 互补输出位 0：PWM 输出位独立模式 1：PWM 输出位互补模式
19-0	DEADAREA	死区长度位，设置死区长度，单位为 0.5 时钟周期。死区长度最小为 1 个时钟周期。 用户配置此位域前，必须将 PAIR 位置 1

PWMCFG 位域

45.4.15 SR (0x220)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				FAULTF	XRLDF	HALFRLDF	RLDF	CMPFX																							
N/A				W1C	W1C	W1C	W1C	W1C																							
x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SR [31:0]

位域	名称	描述
27	FAULTF	故障标志位
26	XRLDF	扩展重载标志位
25	HALFRLDF	半重载标志位
24	RLDF	重载标志位
23-0	CMPFX	比较器匹配事件标志位

SR 位域

45.4.16 IRQEN (0x224)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				FAULTIRQE	XRLDIRQE	HALFRLDIRQE	RLDIRQE	CMPIRQEX																							
N/A				RW	RW	RW	RW	RW																							
x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

IRQEN [31:0]

位域	名称	描述
27	FAULTIRQE	故障中断请求使能位
26	XRLDIRQE	扩展重载中断请求使能位
25	HALFRLDIRQE	半重载中断请求使能位
24	RLDIRQE	重载中断请求使能位
23-0	CMPIRQEX	比较器匹配事件中断请求使能位

IRQEN 位域

45.4.17 DMAEN (0x22C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				FAULTEN	XRLDEN	HALFRLDEN	RLDEN	CMPENX																							
N/A				RW	RW	RW	RW	RW																							
x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DMAEN [31:0]

位域	名称	描述
27	FAULTEN	故障 DMA 请求使能位
26	XRLDEN	扩展重载 DMA 请求使能位
25	HALFRLDEN	半重载 DMA 请求使能位
24	RLDEN	重载 DMA 请求使能位
23-0	CMPENX	比较器匹配事件 DMA 请求使能位

DMAEN 位域

45.4.18 CMPCFG (0x230 + 0x4 * n)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																								XCNTCMPEN				CMPSHDWUPT		CMPMODE	RSVD
N/A																								RW				RW		RW	N/A
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0

CMPCFG [31:0]

位域	名称	描述
7-4	XCNTCMPEN	比较器扩展比较值使能位
3-2	CMPSHDWUPT	比较器影子寄存器生效时机选择： 00：由软件把 SHLK [SHLK] 位置 1 后生效 01：实时生效，在寄存器写之后，一个周期内生效 10：定时器的某一个 CMP 发生匹配后生效，用户可以通过 CMPSHDWSEL 从比较器 0□23 中选择一个， 匹配可以是该比较器的输出比较，也可以是输入捕获。 11：影子寄存器重载触发输入 SHRLDSYNCI 上捕获到上升沿时生效
1	CMPMODE	比较器模式选择 0：输出比较模式 1：输入捕获模式

CMPCFG 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

46 正交解码器接口 QEI

本章节介绍本产品正交解码器接口 QEI 的主要功能和特性。

46.1 特性总结

本章节介绍正交解码器接口 QEI 的主要特性：

- 正交信号解码逻辑
- 相位计数器，即位置计数器
- Z 相计数器，即周数计数器
- 测速计数器
- 测速计数器日志功能
- 支持电机位置匹配检测
- 支持同一时刻读取多个计数器
- 支持计数器快照功能，由硬件信号触发
- 32 位定时器用作计时
- 支持看门狗计数器
- 支持方向模式和上下模式

PWM 的框图如图 78。

图 78: 正交编码器接口 QEI 框图

46.2 功能描述

本章节描述正交编码器接口 QEI 的功能。

46.2.1 正交信号解码逻辑

用户可以通过 CR [ENCTYP] 位来设置正交解码器的解码模式。

当 CR [ENCTYP] = 2’b00 时，解码器工作在正交解码模式。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

正交信号解码逻辑根据 A 相和 B 相输入信号解码出电机的转动信息。当 A 相信号相位领先 B 相信号时，表示电机在正向旋转。当 A 相信号相位滞后 B 相信号时，表示电机在反向旋转。

当 CR [ENCTYP] = 2’b01 或者 2’b10 时，正交解码器工作在方向（PD）模式或者上下（UD）模式，此时，解码器按照其他方式解读电机旋转方向，具体请参阅后文。

46.2.2 相位计数器

相位计数器 PHCNT（COUNTER[PH]）是一个 21 位的计数器，它根据正交信号解码逻辑输出的电机旋转方向计数。这个计数器可以反映电机在当前时刻所处的位置，因此可以把它视作位置计数器。

当电机正向旋转时，每当 A 相或者 B 相信号翻转时，相位计数器 +1。

图 79: 正向旋转相位计数示意图

当电机反向旋转时，每当 A 相或者 B 相信号翻转时，相位计数器-1。

图 80: 反向旋转相位计数示意图

用户也可以从相位计数器的寄存器里读取到电机的旋转方向，和 A 相 / B 相输入信号的状态信息。

PHCNT[DIR] 位为旋转方向位，1’b0 表示正向旋转，1’b1 表示反向旋转

PHCNT[PHSTAT] 位为 A 相/B 相状态位，PHCNT [PHSTAT] = 2’b10 表示 A 相输入为逻辑 1，B 相输入为逻辑 0。

PHCNT[20:0] 为 AB 相计数器（PHCNT）当前值。

注意，在方向（PD）解码模式，和上下（UD）解码模式下，相位计数器 PHCNT 的行为会有所不同，具体请参考后文。

用户可以根据电机和正交编码器的具体配置，去设置相位溢出寄存器 PHMAX，这个值可以用来表示电机旋转一周的位置计数总数。

每当 AB 相计数器正向计数达到 PHMAX 后，PHCNT 会重置为 0。

每当 AB 相计数器反向计数达到 0 后，PHCNT 会重置为 PHMAX。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

注意，相位计数器 PHCNT 从 0 开始计数，从 PHCNT 读取到 x，表示实际相位数为 x+1。

图 81: 相位计数溢出示意图

46.2.3 Z 相计数器

Z 相计数器（ZCNT，COUNTER[Z]）是一个 32 位的计数器。它会根据 Z 相输入信号以及电机的转向信息计数。

Z 相信号通常也称为 Index 信号，电机每旋转一周会输出一个脉冲，该信号可以用来在定位电机每一圈的零点。

正交解码器提供了 2 种 Z 相计数器的计数模式。用户可以通过 PHCFG[ZCNTCFG] 位来配置。

PHCFG[ZCNTCFG] 置 0 时，表示仅按照 Z 相输入信号计数：

- 当电机正向旋转时，Z 相信号输入捕捉到上升沿，Z 相计数器 +1。
- 当电机反向旋转时，Z 相信号输入捕捉到下降沿，Z 相计数器-1。

PHCFG[ZPHCNTCFG] 置 1 时，表示按照位置溢出计数，用户需要预设一周最大计数值（PHMAX 寄存器），这时

- 当电机正向旋转时，每当 PHCNT 计数达到 PHMAX 后，Z 相计数器 +1。
- 当电机反向旋转时，每当 PHCNT 计数达到 0 后，Z 相计数器-1。
- 注意，如果此时 Z 相输入上有信号，计数逻辑会自动判断，如果此时 PHCNT 与 Z 相校正值 PHIDX 差值大于 PHMAX 的一半，Z 相计数器仍会 +1，但如果差值小于 PHMAX 的一半，则 Z 相计数器不变，避免重复计数。用户可以切断 Z 相输入引脚来屏蔽此信号的影响。

为了保证电机无论正向还是反向旋转，总是定位到 Z 相信号的同一边沿，正交解码器内部逻辑会将 Z 相信号与 A/B 相信号同步，具体做法为

- 当电机正向旋转时，Z 相信号捕捉总是同步于 A 相的上升沿
- 当电机反向旋转时，Z 相信号捕捉总是同步于 A 相的下降沿

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

图 82: Z 相输入同步示意图

正交解码器会根据电机的选择方向，在捕获到 Z 相输入信号时将 SR[ZPHF] 标志位置 1

- 当电机正向旋转时，捕获到 Z 相上升沿，SR[ZPH] 标志位置 1
- 当电机反向旋转时，捕获到 Z 相下降沿，SR[ZPH] 标志位置 1

46.2.4 相位计数器校正

此外，Z 相输入可以用来校正相位计数器，用户需要设置 PHCFG[PHCALIZ] 位为 1，还要通过 PHIDX 寄存器设置相位计数器的校正值，PHIDX 寄存器可以设置为 0，表示 Z 相信号是电机旋转的 0 点。也可以设置为任意非零值，表示 Z 相信号相对 0 位置有偏移。

- 当电机正向旋转时，捕获到 Z 相上升沿，重置 PHCNT = PHIDX。
- 当电机反向旋转时，捕获到 Z 相下降沿，重置 PHCNT = PHIDX - 1。注意，如果 PHIDX 设置为 0，此时会把 PHCNT 重置为相位溢出值 PHMAX。

46.2.5 H 相输入

H 相输入，也被称为 HOME 输入，在某些电机上代表零点位置。正交解码器支持在以下情况，将 SR[HOME] 标志位置 1：

- 电机正相旋转检测到 H 上升沿，并且 CR[HRDIR0] 位置 1
- 电机正相旋转检测到 H 下降沿，并且 CR[HFDIR0] 位置 1
- 电机反相旋转检测到 H 上升沿，并且 CR[HRDIR1] 位置 1
- 电机反相旋转检测到 H 下降沿，并且 CR[HFDIR1] 位置 1

当 SR[HOMEF] 标志位置 1 时，可以产生中断。

用户也可以选择利用该标志位复位解码器的各个计数器，即当 SR[HOME] 标志位置 1 时，复位正交解码器的：

- 当 CR[HRSTPH] 位为 1 时，PHCNT 复位至相位校正值 PHIDX
- 当 CR[HRSTZ] 位为 1 时，ZPHCNT 复位至 0
- 当 CR[HRSTSPD] 位为 1 时，SPDCNT 复位至 0

46.2.6 测速计数器

测速计数器 SPDCNT（COUNTER[SPD]）是个 28 位的计数器，以正交解码器的时钟运行，在每个时钟周期累加。测速计数器的作用是提供电机的转速信息。它除了在模块复位时清 0，还会在 A 相和 B 相输入信号翻转时，

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

把当前计数器值保存到对应的测速日志寄存器里，再把计数器清 0，重新开始计数。因此，测速计数器实际上记录的是 A 相和 B 相输入信号保持当前状态的时长，一旦输入变化就会清 0，重新计数。

用户也可以从测速计数器的寄存器里读取到电机的旋转方向，和 A 相 / B 相输入信号的状态信息。

SPDCNT[DIR] 位为旋转方向位，1’b0 表示正向旋转，1’b1 表示反向旋转

SPDCNT[ABSTAT] 位为 A 相/B 相状态位，SPDCNT[ABSTAT] = 2’b10 表示 A 相输入为逻辑 1，B 相输入为逻辑 0。

SPDCNT[27:0] 为测速计数器当前值。

按照 A 相，B 相输入信号的不同状态，测速计数器值保存到的目标日志寄存器为：

- 在测速日志寄存器 0（SPDHIS0）里，保存 A 相输入为逻辑 0，B 相输入为逻辑 0 的时长，即 SPDHIS0[ABSTAT] = 2’b00
- 在测速日志寄存器 1（SPDHIS1）里，保存 A 相输入为逻辑 0，B 相输入为逻辑 1 的时长，即 SPDHIS0[ABSTAT] = 2’b01
- 在测速日志寄存器 2（SPDHIS2）里，保存 A 相输入为逻辑 1，B 相输入为逻辑 0 的时长，即 SPDHIS0[ABSTAT] = 2’b10
- 在测速日志寄存器 3（SPDHIS3）里，保存 A 相输入为逻辑 1，B 相输入为逻辑 1 的时长，即 SPDHIS0[ABSTAT] = 2’b11

这样一组测速日志寄存器可以完整捕获到一个周期内，电机的速度信息。

图 83: 测速计数器和测速日志计数器计数示意图

46.2.7 方向模式和上下模式

解码器除了支持增量型正交编码器，还支持方向（PD），上下（UD）两种编码模式。

用户可以配置 CR[ENCTYP] 位来设置解码器模式：

- 2’b00，正交解码器模式
- 2’b01，方向（PD）模式
- 2’b10，上下（UD）模式

方向（PD）模式下，A 相输入用作 P 相（脉冲）输入，B 相输入用作 D 相（方向）输入。

D 相输入表示电机旋转方向，输入逻辑 1 表示正向旋转，输入逻辑 0 表示反向旋转。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

电机正向旋转时，P 相输入的每一个边沿跳变（上升沿或下降沿），会使相位计数器 PHCNT +1。

电机反向旋转时，P 相输入的每一个边沿跳变（上升沿或下降沿），会使相位计数器 PHCNT -1。

图 84: 方向（PD）解码模式示意图

测速计数器会在 P 相输入的上升沿和下降沿时清 0，并重新计数。

测速日志寄存器 0 会在 P 相捕获到上升沿时，保存 P 相输入为逻辑 0 的时长。

测速日志寄存器 1 会在 P 相捕获到下降沿时，保存 P 相输入为逻辑 1 的时长。

上下（UD）模式下，A 相输入用作 U 相输入，B 相输入用作 D 相输入。

U 相输入的每一个脉冲，表示电机正向旋转，会使相位计数器 PHCNT +1。

D 相输入的每一个脉冲，表示电机反向旋转，会使相位计数器 PHCNT -1。

图 85: 上下（UD）解码模式示意图

测速计数器会在 U 相或者 D 相输入的上升沿和下降沿时清 0，并重新计数。

测速日志寄存器 0 会在 U 相 / D 相捕获到上升沿时，保存 U 相 / D 相输入为逻辑 0 的时长。

测速日志寄存器 1 会在 U 相 / D 相捕获到下降沿时，保存 U 相 / D 相输入为逻辑 1 的时长。

46.2.8 位置匹配

解码器支持对电机位置进行匹配检测。当电机运行到指定位置时，将位置匹配标志位置 1，该标志位可以触发中断，DMA 请求，也可以作为事件输出。

用户可以设置 PHCMP 和 SPDCMP 值，当相位计数器 PHCNT 计数达到 PHCMP，测速计数器 SPDCNT 计数达到 SPDCMP 时，产生位置匹配事件。

注意，如果把 SPDCMP 值设为 0，那么只要相位计数器匹配（PHCNT == PHCMP），即会立即产生匹配事件。因为 A 相/B 相输入翻转时，测速计数器会清 0。

用户也可以指定电机的旋转方向，添加为位置匹配的条件之一。把 PHCMP[DIRCMPDIS] 位清 0，再设置

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

PHCMP[DIRCMP] 位来指定期望的电机旋转方向。

用户还可以把 Z 相计数器，即电机旋转周数添加为位置匹配的条件之一。把 PHCMP[ZCMPDIS] 位清 0，再设置 ZPHCMP 寄存器，来指定 Z 相计数器匹配值。那么在满足其他匹配条件，并且 ZPHCNT == ZPHCMP 时，才会发生匹配事件。

46.2.9 定时器

定时器（TMRCNT, COUNT[TMR]）是个以正交解码器时钟运行的 32 位定时器。在每个时钟周期累加。这个定时器提供了编码器的全局时间计数。

46.2.10 看门狗计数器

看门狗计数器是个以正交编码器接口时钟运行的 31 位定时器，在每个时钟周期累加，看门狗计数器在检测到 A 相或者 B 相输入信号的任意翻转时会清零。用户可以任意设置 WDGCFG 寄存器来配置超时的时间。看门狗计数器的作用是，如果发生电机停转超过一定时间，为用户提供警报。

用户把 WDGCFG[WDGEN] 位置 1，即可打开看门狗计数器。通过 WDGCFG[WDGTO] 位可以设置看门狗计数器的超时长度，当看门狗计数达到超时，SR[WDGF] 标志位置位。

用户通过 SR[WDGF] 写 1 清除该标志位时，看门狗计数器也会随之清零。

46.2.11 计数器读取和快照功能

正交解码器接口为它的计数器专门设计了读取接口，方便用户一次读取足够的电机位置和速度信息。

用户可以从计数器寄存器组读取各个计数器的实时信息：

- COUNT[CURRENT][PH] 寄存器，相位计数器，以及当前电机的旋转方向和 A 相 B 相输入状态信息
- COUNT[CURRENT][Z]T 寄存器，Z 相计数器
- COUNT[CURRENT][SPD] 寄存器，测速计数器，以及当前电机的旋转方向和 A 相 B 相输入状态信息
- COUNT[CURRENT][TMR]，定时器。

正交解码器支持在读取事件发生时，把各个计数器的值保存到以下读取（READ）寄存器组里。以此保证用户读到的各种计数器值，以及它们所反映的位置和速度信息是严格同一时刻的。

- COUNT[READ][PH] 寄存器，保存相位计数器的信息，以及当前电机的旋转方向和 A 相 B 相输入状态信息
- COUNT[READ][Z] 寄存器，保存 Z 相计数器的信息
- COUNT[READ][SPD] 寄存器，保存测速计数器的信息，以及当前电机的旋转方向和 A 相 B 相输入状态信息
- COUNT[READ][TMR]，保存定时器的计时信息。

读取事件可以是：

- 软件触发，用户通过软件把 CR[READ] 位置 1
- 硬件触发，当以下标志位置 1 时，并且与之对应的硬件读取位 (READEN) 也置 1 时：
  - 看门狗计数器超时，SR[WDGF] 标志位置 1
  - HOME 标志位 SR[HOMEF] 置 1 时
  - ZPH 标志位 SR[ZPHF] 置 1 时，
  - 发生位置匹配事件，标志位 SR[POSCOMPF] 置 1 时

用户可以把硬件触发读取事件和正交解码器中断配合使用。例如，用户可以通过 IRQEN 寄存器打开 Z 相信

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

号的中断，同时通过 READEN 寄存器打开硬件读取。当标志位触发中断时，同时触发读取事件，各个计数器组保存到读取寄存器组。这样，用户可以在中断服务程序里，直接通过读取寄存器组获得 Z 相输入跳变时刻各个计数器的实时信息，避免中断延时造成的数据失真。

计数器快照功能则由硬件触发，当 CR[SNAPEN] 位置 1 时，正交解码器接口会检测快照触发输入 SNAPI，在这个输入捕获到上升沿时，将各个计数器的值保存到以下快照（snap0/snap1）寄存器组里。和读取（READ）寄存器组一样，快照寄存器组里的各种计数器值，以及它们所反映的位置和速度信息是严格同一时刻的。

- COUNT[SNAP0][PH] / COUNT[SNAP1][PH] 寄存器，保存相位计数器的信息，以及当前电机的旋转方向和 A 相 B 相输入状态信息
- COUNT[SNAP0][PH] / COUNT[SNAP1][PH] 寄存器，保存 Z 相计数器的信息
- COUNT[SNAP0][PH] / COUNT[SNAP1][PH] 寄存器，以及当前电机的旋转方向和 A 相 B 相输入状态信息
- COUNT[SNAP0][PH] / COUNT[SNAP1][PH]，保存定时器的计时信息。

注意，快照触发输入信号长度不要超过一个正交编码器时钟周期。

注意，在快照触发输入捕获到上升沿时，解码器硬件总是会把 snap0 寄存器组的值转存到 snap1 寄存器组，把当前计数器值保存到 snap0 寄存器组。因此每当快照触发时，软件可以从 snap0 寄存器组读取到本次触发时的各计数器值，并且可以从 snap1 寄存器组里读取到上一次快照触发时，保存到 snap0 寄存器组的计数器值。而由再早些快照触发保存下来的计数器值会丢失。

图 86: 快照功能示意图

图 86演示了正交解码器快照功能的使用示意图，假设快照由外部触发，正交解码器的各定时器由 2 次 SNAPI 触发信号保存至快照寄存器数据 SNAP0 和 SNAP1。如图所示：

2 组快照间的时间可由定时器计数器值相减（TMRSNAP0 -TMRSNAP1）得到。第一次快照触发时，与上一次相位计数器 PHCNT 更新的时间间隔可读取测速计数器的快照 SPDSNAP1 得到。第二次快照触发时，与上一次相位计数器 PHCNT 更新的时间间隔可读取测速计数器的快照 SPDSNAP0 得到。

2 组快照间，电机运行的距离可以通过比较相位计数器快照 PHSNAP0，PHSNAP1 以及 Z 相计数器快照 ZPHSNAP0，ZPHSNAP1 得到。

由此，可以计算出电机运行的时间间隔，速度等信息。

46.2.12 计数器复位

正交解码器支持通过以下方式复位所有计数器

- 用户软件置 CR [RSTCNT] 位为 1

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

复位后，以下计数器

- PHCNT，复位至 PHIDX
- ZPHCNT，复位至 0
- SPDCNT，以及各组测速日志计数器，SPDHISx，复位至 0
- TMRCNT，复位至 0

此外，各组读取计数器和快照计数器内容也会清 0。

46.2.13 计数器暂停

正交解码器支持在 PAUSE 输入为逻辑 1 时，暂停以下各计数器的计数:

- PHCNT
- ZPHCNT
- SPDCNT

46.2.14 中断、DMA、触发输出

正交解码器支持以下中断：

- 看门狗计数器超时，SR[WDGF] 标志位置 1
- HOME 标志位 SR[HOMEF] 置 1 时
- ZPH 标志位 SR[ZPHF] 置 1 时，
- 发生位置匹配事件，标志位 SR[POSCOMPF] 置 1 时

通过设置 IRQEN 寄存器相应位，可以打开或者关闭以上中断请求。

用户可以通过读取 SR 寄存器查询所有的标志位，SR 寄存器相应标志位写 1 可以清除标志位。

正交解码器支持以下 DMA 请求：

- 看门狗计数器超时，SR[WDGF] 标志位置 1
- HOME 标志位 SR[HOMEF] 置 1 时
- ZPH 标志位 SR[ZPHF] 置 1 时，
- 发生位置匹配事件，标志位 SR[POSCOMPF] 置 1 时

通过设置 DMAEN 寄存器内的相应位，可以打开或者关闭这些 DMA 请求。

正交解码器支持在以下情况发出长度为一个脉冲的触发输出信号 TRGO：

- 看门狗计数器超时，SR[WDGF] 标志位置 1
- HOME 标志位 SR[HOMEF] 置 1 时
- ZPH 标志位 SR[ZPHF] 置 1 时，
- 发生位置匹配事件，标志位 SR[POSCOMPF] 置 1 时

通过设置 TRGOEN 寄存器内的相应位，可以打开或者关闭这些触发输出。

46.3 QEI 寄存器

QEI 的寄存器列表如下：

QEI0 base address: 0xF0208000 QEI1 base address: 0xF0218000 QEI2 base address: 0xF0228000 QEI3 base address: 0xF0238000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0000	CR	控制寄存器	0x00000000
0x0004	PHCFG	相位配置寄存器	0x00000000
0x0008	WDGCFG	看门狗配置寄存器	0x00000000
0x000C	PHIDX	相位索引寄存器	0x00000000
0x0010	TRGOEN	触发输出使能寄存器	0x00000000
0x0014	READEN	读取事件使能寄存器	0x00000000
0x0018	ZCMP	Z 相比较器	0x00000000
0x001C	PHCMP	AB 相比较器	0x00000000
0x0020	SPDCMP	转速比较器	0x00000000
0x0024	DMAEN	DMA 请求使能寄存器	0x00000000
0x0028	SR	状态寄存器	0x00000000
0x002C	IRQEN	中断请求使能寄存器	0x00000000
0x0030	COUNT[CURRENT][Z]	Z 相计数器	0x00000000
0x0034	COUNT[CURRENT][PH]	AB 相计数器	0x00000000
0x0038	COUNT[CURRENT][SPD]	转速计数器	0x00000000
0x003C	COUNT[CURRENT][TMR]	定时器计数器	0x00000000
0x0040	COUNT[READ][Z]	Z 相读取寄存器	0x00000000
0x0044	COUNT[READ][PH]	AB 相读取寄存器	0x00000000
0x0048	COUNT[READ][SPD]	转速读取寄存器	0x00000000
0x004C	COUNT[READ][TMR]	定时器读取寄存器	0x00000000
0x0050	COUNT[SNAP0][Z]	Z 相快照寄存器 0	0x00000000
0x0054	COUNT[SNAP0][PH]	AB 相快照寄存器 0	0x00000000
0x0058	COUNT[SNAP0][SPD]	转速快照寄存器 0	0x00000000
0x005C	COUNT[SNAP0][TMR]	定时器快照寄存器 0	0x00000000
0x0060	COUNT[SNAP1][Z]	Z 相快照寄存器 1	0x00000000
0x0064	COUNT[SNAP1][PH]	AB 相快照寄存器 1	0x00000000
0x0068	COUNT[SNAP1][SPD]	转速快照寄存器 1	0x00000000
0x006C	COUNT[SNAP1][TMR]	定时器快照寄存器 1	0x00000000
0x0070	SPDHIS[SPDHIS0]	转速日志寄存器 0	0x00000000
0x0074	SPDHIS[SPDHIS1]	转速日志寄存器 1	0x00000000
0x0078	SPDHIS[SPDHIS2]	转速日志寄存器 2	0x00000000
0x007C	SPDHIS[SPDHIS3]	转速日志寄存器 3	0x00000000

表 238: QEI 寄存器列表

46.4 QEI 寄存器详细信息

QEI 的寄存器详细说明如下：

46.4.1 CR (0x0)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
READ	RSVD												HRSTSPD	HRSTPH	HRSTZ	RSVD	PAUSESPD	PAUSEPH	PAUSEZ	HRDIR1	HRDIR0	HFDIR1	HFDIR0	RSVD		SNAPEN	RSTCNT	RSVD		ENCTYP	
WO	N/A												RW	RW	RW	N/A	RW	RW	RW	RW	RW	RW	RW	N/A		RW	RW	N/A		RW	
0	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	x	0	0	0	0	0	0	0	x	x	0	0	0	0	0	0

CR [31:0]

位域	名称	描述
31	READ	1：生成软件读取事件，把 PHCNT，ZCNT，SPDCNT 和 TMRCNT 这些寄存器的值，载入对应的读取寄存器
18	HRSTSPD	1：当 H 相输入有效时，复位 SPDCNT
17	HRSTPH	1：当 H 相输入有效时，复位 PHCNT
16	HRSTZ	1：当 H 相输入有效时，复位 ZCNT
14	PAUSESPD	1：当 PAUSE 输入有效时，暂定 SPDCNT
13	PAUSEPH	1：当 PAUSE 输入有效时，暂定 PHCNT
12	PAUSEZ	1：当 PAUSE 输入有效时，暂定 ZCNT
11	HRDIR1	1：HOMEF 标志位在 H 相输入上升沿，并且电机反向选择（DIR==1）时置 1
10	HRDIR0	1：HOMEF 标志位在 H 相输入上升沿，并且电机正向旋转（DIR==0）时置 1
9	HFDIR1	1：HOMEF 标志位在 H 相输入下降沿，并且电机反向选择（DIR==1）时置 1
8	HFDIR0	1：HOMEF 标志位在 H 相输入下降沿，并且电机正向旋转（DIR==0）时置 1
5	SNAPEN	1：打开快照功能，当 SNAPI 输入有效时，把 PHCNT，ZCNT，SPDCNT 和 TMRCNT 这些寄存器的值，载入对应的快照寄存器
4	RSTCNT	1：将 ZCNT，TMRCNT 和 SPDCNT 重置为 0，将 PHCNT 重置为 PHIDX 的值
1-0	ENCTYP	解码器模式控制位： 00：ABZ 模式 01：PD 模式 10：UD 模式 11：保留

CR 位域

46.4.2 PHCFG (0x4)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD									ZCNTCFG	PHCALIZ	PHMAX																				

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
N/A									RW	RW	RW																				
x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PHCFG [31:0]

位域	名称	描述
22	ZCNTCFG	1：当 PHCNT 递增计数到达 PHMAX 时，ZCNT 加 1，当 PHCNT 递减计数过 0 时，ZCNT 减 1 0：当 Z 相输入有效时，ZCNT 按照电机旋转反向加 1 或减 1
21	PHCALIZ	1：当 Z 相输入有效时，重置 PHCNT 为 PHIDX
20-0	PHMAX	PHCNT 的计数上限，当 PHCNT 计数递增到达 PHMAX 时，会回滚为 0；当 PHCNT 计数递减至 0 时，会回滚为 PHMAX

PHCFG 位域

46.4.3 WDGCFG (0x8)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WDGEN	WDGTO																														
RW	RW																														
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

WDGCFG [31:0]

位域	名称	描述
31	WDGEN	1：使能看门狗计数器
30-0	WDGTO	看门狗计数器的超时值

WDGCFG 位域

46.4.4 PHIDX (0xC)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD											PHIDX																				
N/A											RW																				
x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PHIDX [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
20-0	PHIDX	PHCNT 的重置值，如果 PHCALIZ 置 1，当 Z 相输入有效时，PHCNT 重置为 PHIDX

PHIDX 位域

46.4.5 TRGOEN (0x10)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WDGFEN	HOMEFEN	POSCMPFEN	ZPHFEN	RSVD																											
RW	RW	RW	RW	N/A																											
0	0	0	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

TRGOEN [31:0]

位域	名称	描述
31	WDGFEN	WDGF 标志位触发输出 TRGO 使能位
30	HOMEFEN	HOMEF 标志位触发输出 TRGO 使能位
29	POSCMPFEN	POSCMPF 标志位触发输出 TRGO 使能位
28	ZPHFEN	ZPHF 标志位触发输出 TRGO 使能位

TRGOEN 位域

46.4.6 READEN (0x14)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WDGFEN	HOMEFEN	POSCMPFEN	ZPHFEN	RSVD																											
RW	RW	RW	RW	N/A																											
0	0	0	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

READEN [31:0]

位域	名称	描述
31	WDGFEN	WDGF 标志位生成读取事件使能位
30	HOMEFEN	HOMEF 标志位生成读取事件使能位
29	POSCMPFEN	POSCMPF 标志位生成读取事件使能位
28	ZPHFEN	ZPHF 标志位生成读取事件使能位

READEN 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

46.4.7 ZCMP (0x18)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ZCMP																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ZCMP [31:0]

位域	名称	描述
31-0	ZCMP	ZCNT 计时器位置匹配的比较值，当 ZCNT==ZCMP 时，匹配才成立

ZCMP 位域

46.4.8 PHCMP (0x1C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ZCMPDIS	DIRCMPDIS	DIRCMP	RSVD								PHCMP																				
RW	RW	RW	N/A								RW																				
0	0	0	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PHCMP [31:0]

位域	名称	描述
31	ZCMPDIS	1：位置匹配时，忽略 ZCMP
30	DIRCMPDIS	1：位置匹配时，忽略电机旋转方向 DIR
29	DIRCMP	配置匹配时的旋转方向比较 1：位置匹配时，电机需反向旋转（DIR==1） 0：位置匹配时，电机需正向旋转（DIR==0）
20-0	PHCMP	PHCNT 计时器位置匹配的比较值，当 PHCNT==PHCMP 时，匹配才成立

PHCMP 位域

46.4.9 SPDCMP (0x20)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPDCMP																															
RW																															

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SPDCMP [31:0]

位域	名称	描述
31-0	SPDCMP	SPHCNT 计时器位置匹配的比较值，当 SPDCNT==SPDCMP 时，匹配才成立

SPDCMP 位域

46.4.10 DMAEN (0x24)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WDGFEN	HOMEFEN	POSCMPFEN	ZPHFEN	RSVD																											
RW	RW	RW	RW	N/A																											
0	0	0	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

DMAEN [31:0]

位域	名称	描述
31	WDGFEN	WDGF 标志位生成 DMA 请求使能位
30	HOMEFEN	HOMEF 标志位生成 DMA 请求使能位
29	POSCMPFEN	POSCMPF 标志位生成 DMA 请求使能位
28	ZPHFEN	ZPHF 标志位生成 DMA 请求使能位

DMAEN 位域

46.4.11 SR (0x28)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WDGF	HOMEF	POSCMPF	ZPHF	RSVD																											
RW	RW	RW	RW	N/A																											
0	0	0	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

SR [31:0]

位域	名称	描述
31	WDGF	看门狗超时标志位
30	HOMEF	HOMEF 标志位
29	POSCMPF	位置匹配标志位
28	ZPHF	ZPH 标志位

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述

SR 位域

46.4.12 IRQEN (0x2C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WDGIE	HOMEIE	POSCMPIE	ZPHIE	RSVD																											
RW	RW	RW	RW	N/A																											
0	0	0	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

IRQEN [31:0]

位域	名称	描述
31	WDGIE	WDGF 标志位生成中断请求使能位
30	HOMEIE	HOMEF 标志位生成中断请求使能位
29	POSCMPIE	POSCMPF 标志位生成中断请求使能位
28	ZPHIE	ZPHF 标志位生成中断请求使能位

IRQEN 位域

46.4.13 COUNT[Z] (0x30 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ZCNT																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

COUNT[Z] [31:0]

位域	名称	描述
31-0	ZCNT	Z 相计数器 ZCNT

COUNT[Z] 位域

46.4.14 COUNT[PH] (0x34 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD	DIR	RSVD			ASTAT	BSTAT	RSVD				PHCNT																				
N/A	RO	N/A			RO	RO	N/A				RO																				
x	0	x	x	x	0	0	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

COUNT[PH] [31:0]

位域	名称	描述
30	DIR	旋转反向 0：电机正向旋转 1：电机反向旋转
26	ASTAT	A 相输入信号状态 1：A 相输入为逻辑 1 0：A 相输入为逻辑 0
25	BSTAT	B 相输入信号状态 1：B 相输入为逻辑 1 0：B 相输入为逻辑 0
20-0	PHCNT	相位计数器 PHCNT

COUNT[PH] 位域

46.4.15 COUNT[SPD] (0x38 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIR	ASTAT	BSTAT	RSVD	SPDCNT																											
RO	RO	RW	N/A	RO																											
0	0	0	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

COUNT[SPD] [31:0]

位域	名称	描述
31	DIR	旋转反向 0：电机正向旋转 1：电机反向旋转
30	ASTAT	A 相输入信号状态 1：A 相输入为逻辑 10：A 相输入为逻辑 0
29	BSTAT	B 相输入信号状态 1：B 相输入为逻辑 10：B 相输入为逻辑 0
27-0	SPDCNT	转速计数器 SPDCNT

COUNT[SPD] 位域

46.4.16 COUNT[TMR] (0x3C + 0x10 * n)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TMRCNT																															
RO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

COUNT[TMR] [31:0]

位域	名称	描述
31-0	TMRCNT	定时器计数器 TMRCNT

COUNT[TMR] 位域

46.4.17 SPDHIS (0x70 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SPDHIS0																															
RO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SPDHIS [31:0]

位域	名称	描述
31-0	SPDHIS0	SPDCNT 的日志 0，当 A 相、B 相信号从逻辑 0，逻辑 0 变成其他状态时，从 SPDCNT 载入

SPDHIS 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

47 霍尔传感器接口 HALL

本章节介绍本产品霍尔传感器接口 HALL 的主要功能和特性:

47.1 特性总结

本章节介绍霍尔传感器接口 HALL 的主要特性：

- 支持 U，V，W 三相输入信号检测
- 测速计数器
- 测速计数器日志功能
- 支持同一时刻读取多个计数器
- 支持计数器快照功能，由硬件信号触发
- 32 位定时器用作计时
- 支持看门狗计数器

霍尔传感器接口 HALL 的框图如图 87。

图 87: 霍尔传感器 HALL 框图

47.2 功能描述

本章节描述霍尔传感器接口 HALL 的功能。

47.2.1 U，V，W 相输入

霍尔传感器接口支持 3 个输入信号：U，V，W。每当输入信号之一发生翻转时，SR[PHUPTF] 标志位会置 1。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

用户也可以通过 SR 寄存器的 UF，VF，WF 这三个标志位来单独判断 U，V，W 三相输入信号的翻转情况。

注意，PHUPTF，UF，VF，WF 这些标志位不会自动清除，用户需要及时通过对对应标志位写 1 来清除这些标志位。以此保证标志位的实时性。

47.2.2 U，V，W 计数器

霍尔传感器接口支持 3 个计数器，分别记录输入信号 U，V，W 的长度信息。这三个测速计数器以霍尔传感器接口的时钟运行，每个时钟周期 +1，可以用来记录输入信号的宽度，即 U / V / W 保持逻辑 0 或者逻辑 1 时长。具体行为如下：

U 计数器（UCNT）会在输入信号 U 捕获到上升沿时，把计数器值保存到 U 日志计数器 0（UHIS0），再将计数器清 0，重新计数。它会在输入信号 U 捕获到下降沿时，把计数器值保存到 U 日志计数器 1（UHIS1），再将计数器清 0，重新计数。

V 计数器（VCNT）会在输入信号 V 捕获到上升沿时，把计数器值保存到 V 日志计数器 0（VHIS0），再将计数器清 0，重新计数。它会在输入信号 V 捕获到下降沿时，把计数器值保存到 V 日志计数器 1（VHIS1），再将计数器清 0，重新计数。

W 计数器（WCNT）会在输入信号 W 捕获到上升沿时，把计数器值保存到 W 日志计数器 0（WHIS0），再将计数器清 0，重新计数。它会在输入信号 W 捕获到下降沿时，把计数器值保存到 W 日志计数器 1（WHIS1），再将计数器清 0，重新计数。

图 88: U, V, W 日志计数器示意图

47.2.3 定时器

定时器（TMRCNT）是个以霍尔传感器接口时钟运行的 32 位定时器。在每个时钟周期累加。这个定时器可作为霍尔传感器接口的全局时间计数。

47.2.4 提前触发

由于机械以及电信号的延时，用户有可能希望在霍尔传感器输入 U，V，W 上捕获到翻转之前就产生中断或者事件来执行必要的操作，比如电机换相等。

霍尔传感器接口支持通过配置 UVWCFG[PRECNT] 位，来设置提前量。这样，在计数器 xCNT 计数到对应日志测速计数器减去提前量时（xCNT == xHIS0 - PRECNT），即产生提前触发事件，SR[PHPREF] 标志位置 1。这个标志位既可以产生中断，DMA 请求，也可以用作触发输出。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

注意，当霍尔传感器接口在复位之后，缺乏历史数据，日志测速计数器值是不可靠的。由于提前触发的提前量是基于日志测速寄存器，因此，SR[PHPREF] 标志位置 1 的时刻也不可预测。建议用户霍尔传感器接口采集完整的 U，V，W 输入信号一定时间后，再使用提前触发功能。

47.2.5 延时事件

用户可以配置 PHCFG[DLYCNT]，在 U，V，W 信号翻转（SR[PHUPTF] 位置 1）之后，延时一定的时钟周期。或者在提前触发事件（SR[PHPREF] 位置 1）之后延时一定的时钟周期，产生延时事件，SR[PHDLYF] 标志位置 1。

用户通过配置 PHCFG[DLYSEL] 来选择延时的起点：

- 1’b0，在 U，V，W 信号翻转（SR[PHUPT] 置 1）之后延时，即当 xCNT == DLYCNT 时，SR[PHDLYF] 标志位置 1
- 1’b1，在提前触发事件（SR[PHPREF] 置 1）之后延时，即当 xCNT == xHIS0 -PRECNT + DLYCNT 时，SR[DLY] 标志位置 1

SR[PHDLYF] 标志位置 1 时，既可以产生中断，DMA 请求，也可以用作触发输出。

47.2.6 看门狗计数器

看门狗计数器是个以霍尔传感器接口时钟运行的 31 位定时器，在每个时钟周期累加，看门狗计数器在检测到 U、V、W 输入信号的任意翻转时会清零。用户可以任意设置 WDGCFG 寄存器来配置超时的时间。看门狗计数器的作用是，如果发生电机停转超过一定时间，为用户提供警报。

用户把 WDGCFG[WDGEN] 位置 1，即可打开看门狗计数器。通过 WDGCFG[WDGTO] 位可以设置看门狗计数器的超时长度，当看门狗计数达到超时，SR[WDGF] 标志位置位。用户通过 SR[WDGF] 写 1 清除该标志位时，看门狗计数器也会随之清零。

47.2.7 计数器读取和快照功能

霍尔传感器接口为它的计数器专门设计了读取接口，方便用户一次读取足够的电机位置和速度信息。

用户可以从计数器寄存器组读取各个计数器的实时信息：

- U，V，W 计数器：UCNT，VCNT，WCNT
- TMRCNT，定时器。

在发生读取事件时，霍尔传感器接口会把各个计数器的值保存到以下读取（READ）寄存器组里。以此保证用户读到的各种计数器值，以及它们所反映的位置和速度信息是严格同一时刻的。

- U，V，W 的 READ 寄存器，保存 U/V/W 计数器的信息和 U/V/W 的输入状态信息，包括 UREAD，VREAD，WREAD
- TMRREAD，保存定时器的计时信息。

读取事件可以是：

- 软件触发，用户通过软件把 CR[READ] 位置 1
- 硬件触发，当以下标志位置 1 时，并且与之对应的硬件读取位 (READEN) 也置 1 时：
  - 看门狗超时，SR[WDGF] 位置 1
  - U/V/W 任一输入信号翻转，SR[PHUDTF] 位置 1
  - U 信号翻转，SR[UF] 位置 1
  - V 信号翻转，SR[VF] 位置 1

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

  - W 信号翻转，SR[WF] 位置 1
  - 发生提前触发事件，SR[PHPREF] 位置 1
  - 发生延时事件，SR[PHDLYF] 位置 1

用户可以把硬件触发读取事件和中断配合使用。例如，用户通过 IRQEN 寄存器打开了 U/V/W 任意信号翻转的中断，同时通过 READEN 寄存器打开了硬件读取。SR[PHUDTF] 标志位触发中断时，同时触发读取事件，各个计数器组保存到读取寄存器组。这样，用户可以在中断服务程序里，直接通过读取寄存器组获得信号翻转时，各个计数器的实时信息，避免中断延时造成的数据失真。

计数器快照功能则由硬件触发，霍尔传感器接口会检测快照触发输入 SNAPI，在这个输入捕获到上升沿时，将各个计数器的值保存到以下快照（snap0/snap1）寄存器组里。和读取（READ）寄存器组一样，快照寄存器组里的各种计数器值，以及它们所反映的位置和速度信息是严格同一时刻的。

- U，V，W 计数器的 SNAP0 / SNAP 1 寄存器，保存 U/V/W 计数器的信息和 U/V/W 的输入状态信息，USNAP0 / USNAP1，VSNAP0 / VSNAP1，WSNAP0 / WSNAP1，
- TMRSNAP0 / TMRSNAP 1，保存定时器的计时信息。

注意，快照触发输入信号长度不要超过一个霍尔传感器接口时钟周期。

注意，在快照触发输入捕获到上升沿时，霍尔传感器接口硬件总是会把 snap0 寄存器组的值转存到 snap1 寄存器组，把当前计数器值保存到 snap0 寄存器组。因此每当快照触发时，软件可以从 snap0 寄存器组读取到本次触发时的各计数器值，并且可以从 snap1 寄存器组里读取到上一次快照触发时，保存到 snap0 寄存器组的计数器值。而由再早些快照触发保存下来的计数器值会丢失。

47.2.8 计数器复位

正交解码器支持通过以下方式复位所有计数器

- 用户软件置 CR [RSTCNT] 位为 1

复位后，以下计数器

- UCNT，复位至 0
- VCNT，复位至 0
- WCNT，复位至 0
- TMRCNT，复位至 0

此外，各组读取计数器和快照计数器内容也会清 0。

47.2.9 中断、DMA、触发输出

霍尔传感器接口支持以下中断：

- 看门狗计数器超时，SR[WDGF] 标志位置 1
- U/V/W 任一输入信号翻转，SR[PHUDTF] 位置 1
- U 信号翻转，SR[UF] 位置 1
- V 信号翻转，SR[VF] 位置 1
- W 信号翻转，SR[WF] 位置 1
- 发生提前触发事件，SR[PHPREF] 位置 1
- 发生延时事件，SR[PHDLYF] 位置 1

通过设置 IRQEN 寄存器相应位，可以打开或者关闭以上中断请求。

用户可以通过读取 SR 寄存器查询所有的标志位，SR 寄存器相应标志位写 1 可以清除标志位。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

正交解码器支持以下 DMA 请求：

- 看门狗计数器超时，SR[WDGF] 标志位置 1
- U/V/W 任一输入信号翻转，SR[PHUDTF] 位置 1
- U 信号翻转，SR[UF] 位置 1
- V 信号翻转，SR[VF] 位置 1
- W 信号翻转，SR[WF] 位置 1
- 发生提前触发事件，SR[PHPREF] 位置 1
- 发生延时事件，SR[PHDLYF] 位置 1

通过设置 DMAEN 寄存器内的相应位，可以打开或者关闭这些 DMA 请求。

正交解码器支持在以下情况发出长度为一个脉冲的触发输出信号 TRGO：

- 看门狗计数器超时，SR[WDGF] 标志位置 1
- U/V/W 任一输入信号翻转，SR[PHUDTF] 位置 1
- U 信号翻转，SR[UF] 位置 1
- V 信号翻转，SR[VF] 位置 1
- W 信号翻转，SR[WF] 位置 1
- 发生提前触发事件，SR[PHPREF] 位置 1
- 发生延时事件，SR[PHDLYF] 位置 1

通过设置 TRGOEN 寄存器内的相应位，可以打开或者关闭这些触发输出。

47.3 HALL 寄存器列表

HALL 的寄存器列表如下：

HALL0 base address: 0xF0204000 HALL1 base address: 0xF0214000 HALL2 base address: 0xF0224000 HALL3 base address: 0xF0234000

地址偏移	名称	描述	复位值
0x0000	CR	控制寄存器	0x00000000
0x0004	PHCFG	相位配置寄存器	0x00000000
0x0008	WDGCFG	看门狗配置寄存器	0x00000000
0x000C	UVWCFG	UVW 配置寄存器	0x00000000
0x0010	TRGOEN	触发输出使能寄存器	0x00000000
0x0014	READEN	读取事件使能寄存器	0x00000000
0x0024	DMAEN	DMA 请求使能寄存器	0x00000000
0x0028	SR	状态寄存器	0x00000000
0x002C	IRQEN	中断请求使能寄存器	0x00000000
0x0030	COUNT[CURRENT][W]	W 相计数器	0x00000000
0x0034	COUNT[CURRENT][V]	V 相计数器	0x00000000
0x0038	COUNT[CURRENT][U]	U 相计数器	0x00000000
0x003C	COUNT[CURRENT][TMR]	定时器计数器	0x00000000
0x0040	COUNT[READ][W]	W 相读取寄存器	0x00000000
0x0044	COUNT[READ][V]	V 相读取寄存器	0x00000000
0x0048	COUNT[READ][U]	U 相读取寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x004C	COUNT[READ][TMR]	定时器读取寄存器	0x00000000
0x0050	COUNT[SNAP0][W]	W 相快照寄存器 0	0x00000000
0x0054	COUNT[SNAP0][V]	V 相快照寄存器 0	0x00000000
0x0058	COUNT[SNAP0][U]	U 相快照寄存器 0	0x00000000
0x005C	COUNT[SNAP0][TMR]	定时器快照寄存器 0	0x00000000
0x0060	COUNT[SNAP1][W]	W 相快照寄存器 1	0x00000000
0x0064	COUNT[SNAP1][V]	V 相快照寄存器 1	0x00000000
0x0068	COUNT[SNAP1][U]	U 相快照寄存器 1	0x00000000
0x006C	COUNT[SNAP1][TMR]	定时器快照寄存器 1	0x00000000
0x0070	HIS[U][HIS0]	U 相日志寄存器 0	0x00000000
0x0074	HIS[U][HIS1]	U 相日志寄存器 1	0x00000000
0x0078	HIS[V][HIS0]	V 相日志寄存器 0	0x00000000
0x007C	HIS[V][HIS1]	V 相日志寄存器 1	0x00000000
0x0080	HIS[W][HIS0]	W 相日志寄存器 0	0x00000000
0x0084	HIS[W][HIS1]	W 相日志寄存器 1	0x00000000

表 239: HALL 寄存器列表

47.4 HALL 寄存器详细信息

HALL 的寄存器详细说明如下：

47.4.1 CR (0x0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
READ	RSVD															RSVD				SNAPEN	RSVD						RSTCNT	RSVD		RSVD	
WO	N/A															N/A				RW	N/A						RW	N/A		N/A	
0	0	x	x	x	x	0	0	0	0	0	0	0																			

CR [31:0]

位域	名称	描述
31	READ	1：生成软件读取事件，把 UCNT，VCNT，W.CNT 和 TMRCNT 这些寄存器的值，载入对应的读取寄存器。置 1 后硬件会自动清零此位，此位读取值总为 0
11	SNAPEN	1：打开快照功能，当 SNAPI 输入有效时，把 UCNT，VCNT，WCNT 和 TMRCNT 这些寄存器的值，载入对应的快照寄存器
4	RSTCNT	1：重置所有的计数器和对应的快照寄存器

CR 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

47.4.2 PHCFG (0x4)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DLYSEL	RSVD							DLYCNT																							
RW	N/A							RW																							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PHCFG [31:0]

位域	名称	描述
31	DLYSEL	该位选择延时的起点： 1：在提前触发事件（SR[PHPREF] 置 1）之后延时 0：在 U，V，W 信号翻转（SR[PHUPT] 置 1）之后延时
23-0	DLYCNT	延时的长度，以时钟周期为单位。

PHCFG 位域

47.4.3 WDGCFG (0x8)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WDGEN	WDGTO																														
RW	RW																														
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

WDGCFG [31:0]

位域	名称	描述
31	WDGEN	1：使能看门狗
30-0	WDGTO	看门狗计数器的超时值

WDGCFG 位域

47.4.4 UVWCFG (0xC)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								PRECNT																							
N/A								RW																							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0					

UVWCFG [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
23-0	PRECNT	提前事件的提前量，以时钟周期位单位。

UVWCFG 位域

47.4.5 TRGOEN (0x10)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WDGEN	PHUPTEN	PHPREEN	PHDLYEN	RSVD	RSVD	RSVD	RSVD	UFEN	VFEN	WFEN	RSVD																				
RW	RW	RW	RW	N/A	N/A	N/A	N/A	RW	RW	RW	N/A																				
0	0	0	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

TRGOEN [31:0]

位域	名称	描述
31	WDGEN	WDGF 标志位触发输出 TRGO 使能位
30	PHUPTEN	PHUPTF 标志位触发输出 TRGO 使能位
29	PHPREEN	PHPREF 标志位触发输出 TRGO 使能位
28	PHDLYEN	PHDLYF 标志位触发输出 TRGO 使能位
23	UFEN	UF 标志位触发输出 TRGO 使能位
22	VFEN	VF 标志位触发输出 TRGO 使能位
21	WFEN	WF 标志位触发输出 TRGO 使能位

TRGOEN 位域

47.4.6 READEN (0x14)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WDGEN	PHUPTEN	PHPREEN	PHDLYEN	RSVD	RSVD	RSVD	RSVD	UFEN	VFEN	WFEN	RSVD																				
RW	RW	RW	RW	N/A	N/A	N/A	N/A	RW	RW	RW	N/A																				
0	0	0	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

READEN [31:0]

位域	名称	描述
31	WDGEN	WDGF 标志位读取事件使能位
30	PHUPTEN	PHUPTF 标志位读取事件使能位
29	PHPREEN	PHPREF 标志位读取事件使能位
28	PHDLYEN	PHDLYF 标志位读取事件使能位
23	UFEN	UF 标志位读取事件使能位

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
22	VFEN	VF 标志位读取事件使能位
21	WFEN	WF 标志位读取事件使能位

READEN 位域

47.4.7 DMAEN (0x24)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WDGEN	PHUPTEN	PHPREEN	PHDLYEN	RSVD	RSVD	RSVD	RSVD	UFEN	VFEN	WFEN	RSVD																				
RW	RW	RW	RW	N/A	N/A	N/A	N/A	RW	RW	RW	N/A																				
0	0	0	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

DMAEN [31:0]

位域	名称	描述
31	WDGEN	WDGF 标志位 DMA 请求使能位
30	PHUPTEN	PHUPTF 标志位 DMA 请求使能位
29	PHPREEN	PHPREF 标志位 DMA 请求使能位
28	PHDLYEN	PHDLYF 标志位 DMA 请求使能位
23	UFEN	UF 标志位 DMA 请求使能位
22	VFEN	VF 标志位 DMA 请求使能位
21	WFEN	WF 标志位 DMA 请求使能位

DMAEN 位域

47.4.8 SR (0x28)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WDGF	PHUPTF	PHPREF	PHDLYF	RSVD	RSVD	RSVD	RSVD	UF	VF	WF	RSVD																				
RW	RW	RW	RW	N/A	N/A	N/A	N/A	RW	RW	RW	N/A																				
0	0	0	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

SR [31:0]

位域	名称	描述
31	WDGF	看门狗超时标志位
30	PHUPTF	相位更新标志位，当 U 相，V 相，W 相中任一信号翻转时置 1
29	PHPREF	提前事件标志位，会在 U 相，V 相，W 相中任一信号翻转的 PRECNT 个时钟周期之前置 1

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
28	PHDLYF	延时事件标志位，根据 DLYSEL 位的配置，在 U 相，V 相，W 相中任一信号翻转之后，或者在提前事件标志位置 1 后，DLYCNT 个时钟周期后置 1
23	UF	U 相标志位，U 相信号翻转时置 1
22	VF	V 相标志位，V 相信号翻转时置 1
21	WF	W 相标志位，W 相信号翻转时置 1

SR 位域

47.4.9 IRQEN (0x2C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WDGIE	PHUPTIE	PHPREIE	PHDLYIE	RSVD	RSVD	RSVD	RSVD	UFIE	VFIE	WFIE	RSVD																				
RW	RW	RW	RW	N/A	N/A	N/A	N/A	RW	RW	RW	N/A																				
0	0	0	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

IRQEN [31:0]

位域	名称	描述
31	WDGIE	WDGF 标志位中断请求使能位
30	PHUPTIE	PHUPTF 标志位中断请求使能位
29	PHPREIE	PHPREF 标志位中断请求使能位
28	PHDLYIE	PHDLYF 标志位中断请求使能位
23	UFIE	UF 标志位中断请求使能位
22	VFIE	VF 标志位中断请求使能位
21	WFIE	WF 标志位中断请求使能位

IRQEN 位域

47.4.10 COUNT[W] (0x30 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				WCNT																											
N/A				RO																											
x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

COUNT[W] [31:0]

位域	名称	描述
27-0	WCNT	W 相计数器

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述

COUNT[W] 位域

47.4.11 COUNT[V] (0x34 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD	RSVD	RSVD		VCNT																											
N/A	N/A	N/A		RO																											
0	0	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

COUNT[V] [31:0]

位域	名称	描述
27-0	VCNT	V 相计数器

COUNT[V] 位域

47.4.12 COUNT[U] (0x38 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DIR	USTAT	VSTAT	WSTAT	UCNT																											
RO	RO	RO	RO	RO																											
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

COUNT[U] [31:0]

位域	名称	描述
31	DIR	旋转反向 0：电机正向旋转 1：电机反向旋转
30	USTAT	U 相输入信号状态 1：U 相输入为逻辑 1 0：U 相输入为逻辑 0
29	VSTAT	V 相输入信号状态 1：V 相输入为逻辑 1 0：V 相输入为逻辑 0
28	WSTAT	W 相输入信号状态 1：W 相输入为逻辑 1 0：W 相输入为逻辑 0
27-0	UCNT	U 相计数器

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述

COUNT[U] 位域

47.4.13 COUNT[TMR] (0x3C + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TIMER																															
RO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

COUNT[TMR] [31:0]

位域	名称	描述
31-0	TIMER	定时器计数器

COUNT[TMR] 位域

47.4.14 HIS[HIS0] (0x70 + 0x8 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UHIS0																															
RO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

HIS[HIS0] [31:0]

位域	名称	描述
31-0	UHIS0	U 相计数器日志 0，U 相输入上升沿时从 U 相计数器载入

HIS[HIS0] 位域

47.4.15 HIS[HIS1] (0x74 + 0x8 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UHIS1																															
RO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

HIS[HIS1] [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-0	UHIS1	U 相计数器日志 1，U 相输入下降沿时从 U 相计数器载入

HIS[HIS1] 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

48 互联管理器 TRGM

在本产品上，多个外设的输入输出信号可以相互连接，使得多个外设可以相互配合使用。互联管理器可以配置这些连接。

互联管理器支持若干输入输出（IO），可以把这些 IO 分配给连接到互联管理器的外设，用作它们的输入或者输出。

本产品上，互联管理器的输入信号分配，请查阅小节 44.4.1。

本产品上，互联管理器的输出信号分配，请查阅小节 44.4.2。

互联管理器输入配有数字滤波器，可以对一些信号进行滤波。

本产品上，互联管理器的数字滤波器分配，请查阅小节 44.4.4。

互联管理器也管理外设的 DMA 请求，把选中的 DMA 请求发送到 DMA 控制器。

本产品上，互联管理器的 DMA 请求信号分配，请查阅小节 44.4.3。

48.1 特性总结

本章节介绍互联管理器 TRGM（Trigger Manager）的主要特性：

- 多路复选器（MUX）阵列
- 支持多个输入和多个输出
- 每个输出都可以单独配置，从众多输入中选择
- 输入信号数字滤波器
- 输出信号极性取反
- 信号边沿到脉冲转换
- DMA 请求管理，管理 PWMT，QDEC 和 HALL 的 DMA 请求

48.2 功能描述

本章节描述互联管理器 TRGM 的功能。

48.2.1 管理器信号输入输出复选器

用户通过配置互联管理器寄存器,可以把 TRGM 的任意输入信号连接到互相管理器的输出,配置 TRGOCFGx[OCFG] 位来从 TRGM 的输入中选择一个，作为 OUTx 的输出。

48.2.2 输出配置

对于互联管理器的输出，在选择了信号输入后，用户还可以通过配置 TRGOCFGx[OPOL] 位，对输出取反。TRGOCFGx[OPOL] 位置 0 时，输出信号不变，置 1 时，输出信号取反。

此外，互联管理器的输出配置支持对信号进行边沿到脉冲的转换。TRGOCFGx[REDG2PEN] 位置 1 时，输入信号的每一个上升沿，都会输出宽度为一个互联管理器时钟周期长度的脉冲。

TRGOCFGx[FEDG2PEN] 位置 1 时，输入信号的每一个下降沿，都会输出宽度为一个互联管理器时钟周期长度的脉冲。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

48.2.3 数字滤波器

互联管理器 TRGM 为部分输入信号提供数字滤波器，用户可以通过 FILTCFGx[MODE] 寄存器滤波器的工作模式：

- 3'b000，旁路模式，数字滤波器关闭
- 3'b100，滤刺模式，滤波器输入翻转后，输出也会立即翻转，之后会在一定时间内无视滤波器的输入。这个模式下，滤波器输出会紧随输入，同时会避免输出信号出现毛刺。
- 3'b101，延时滤波器，滤波器输入翻转后需要保持一定时间，滤波器输出才会翻转
- 3'b110，滤峰模式，滤波器输入置逻辑 1 后，需要保持一定时间，滤波器输出才会置逻辑 1，而滤波器输入置 0，滤波器输出会立即置 0，这个模式的目的是滤除不够长的输入波峰。
- 3'b111，滤谷模式，滤波器输入置逻辑 0 后，需要保持一定时间，滤波器输出才会置逻辑 0，而滤波器输入置 1，滤波器输出会立即置 1，这个模式的目的是滤除不够长的输入波谷。

用户可以通过 FILTCFGx[FILTLEN] 寄存器位配置滤波器的滤波宽度。单位是互联管理器的时钟周期。

用户可以通过把 FILTCFGx[OUTINV] 位置 1 来将滤波器的输出取反。

48.2.4 DMA 请求管理

互联管理器支持管理与它互联的部分外设的 DMA 请求，这些外设的 DMA 请求通过互联管理器转发到 DMA-MUX。

互联管理器支持 4 个 DMA 请求，用户可以配置 DMACFG0~ DMACFG3 寄存器，从下表中选择输出到 DMA 控制器的 DMA 请求。

48.3 TRGM 寄存器列表

TRGM 的寄存器列表如下：

TRGM0 base address: 0xF020C000 TRGM1 base address: 0xF021C000 TRGM2 base address: 0xF022C000 TRGM3 base address: 0xF023C000

地址偏移	名称	描述	复位值
0x0000	FILTCFG[PWM_IN0]	滤波器配置寄存器	0x00000000
0x0004	FILTCFG[PWM_IN1]	滤波器配置寄存器	0x00000000
0x0008	FILTCFG[PWM_IN2]	滤波器配置寄存器	0x00000000
0x000C	FILTCFG[PWM_IN3]	滤波器配置寄存器	0x00000000
0x0010	FILTCFG[PWM_IN4]	滤波器配置寄存器	0x00000000
0x0014	FILTCFG[PWM_IN5]	滤波器配置寄存器	0x00000000
0x0018	FILTCFG[PWM_IN6]	滤波器配置寄存器	0x00000000
0x001C	FILTCFG[PWM_IN7]	滤波器配置寄存器	0x00000000
0x0020	FILTCFG[TRGM_IN0]	滤波器配置寄存器	0x00000000
0x0024	FILTCFG[TRGM_IN1]	滤波器配置寄存器	0x00000000
0x0028	FILTCFG[TRGM_IN2]	滤波器配置寄存器	0x00000000
0x002C	FILTCFG[TRGM_IN3]	滤波器配置寄存器	0x00000000
0x0030	FILTCFG[TRGM_IN4]	滤波器配置寄存器	0x00000000
0x0034	FILTCFG[TRGM_IN5]	滤波器配置寄存器	0x00000000
0x0038	FILTCFG[TRGM_IN6]	滤波器配置寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x003C	FILTCFG[TRGM_IN7]	滤波器配置寄存器	0x00000000
0x0040	FILTCFG[TRGM_IN8]	滤波器配置寄存器	0x00000000
0x0044	FILTCFG[TRGM_IN9]	滤波器配置寄存器	0x00000000
0x0048	FILTCFG[TRGM_IN10]	滤波器配置寄存器	0x00000000
0x004C	FILTCFG[TRGM_IN11]	滤波器配置寄存器	0x00000000
0x0100	TRGOCFG[TRGM_OUT0]	TRGM 输出配置寄存器	0x00000000
0x0104	TRGOCFG[TRGM_OUT1]	TRGM 输出配置寄存器	0x00000000
0x0108	TRGOCFG[TRGM_OUT2]	TRGM 输出配置寄存器	0x00000000
0x010C	TRGOCFG[TRGM_OUT3]	TRGM 输出配置寄存器	0x00000000
0x0110	TRGOCFG[TRGM_OUT4]	TRGM 输出配置寄存器	0x00000000
0x0114	TRGOCFG[TRGM_OUT5]	TRGM 输出配置寄存器	0x00000000
0x0118	TRGOCFG[TRGM_OUT6]	TRGM 输出配置寄存器	0x00000000
0x011C	TRGOCFG[TRGM_OUT7]	TRGM 输出配置寄存器	0x00000000
0x0120	TRGOCFG[TRGM_OUT8]	TRGM 输出配置寄存器	0x00000000
0x0124	TRGOCFG[TRGM_OUT9]	TRGM 输出配置寄存器	0x00000000
0x0128	TRGOCFG[TRGM_OUT10]	TRGM 输出配置寄存器	0x00000000
0x012C	TRGOCFG[TRGM_OUT11]	TRGM 输出配置寄存器	0x00000000
0x0130	TRGOCFG[TRGM_OUTX0]	TRGM 输出配置寄存器	0x00000000
0x0134	TRGOCFG[TRGM_OUTX1]	TRGM 输出配置寄存器	0x00000000
0x0138	TRGOCFG[PWM_SYNCI]	TRGM 输出配置寄存器	0x00000000
0x013C	TRGOCFG[PWM_FRCI]	TRGM 输出配置寄存器	0x00000000
0x0140	TRGOCFG[PWM_FRCSYNCI]	TRGM 输出配置寄存器	0x00000000
0x0144	TRGOCFG[PWM_SHRLDSYNCI]	TRGM 输出配置寄存器	0x00000000
0x0148	TRGOCFG[PWM_FAULTI0]	TRGM 输出配置寄存器	0x00000000
0x014C	TRGOCFG[PWM_FAULTI1]	TRGM 输出配置寄存器	0x00000000
0x0150	TRGOCFG[PWM_FAULTI2]	TRGM 输出配置寄存器	0x00000000
0x0154	TRGOCFG[PWM_FAULTI3]	TRGM 输出配置寄存器	0x00000000
0x0158	TRGOCFG[PWM_IN8]	TRGM 输出配置寄存器	0x00000000
0x015C	TRGOCFG[PWM_IN9]	TRGM 输出配置寄存器	0x00000000
0x0160	TRGOCFG[PWM_IN10]	TRGM 输出配置寄存器	0x00000000
0x0164	TRGOCFG[PWM_IN11]	TRGM 输出配置寄存器	0x00000000
0x0168	TRGOCFG[PWM_IN12]	TRGM 输出配置寄存器	0x00000000
0x016C	TRGOCFG[PWM_IN13]	TRGM 输出配置寄存器	0x00000000
0x0170	TRGOCFG[PWM_IN14]	TRGM 输出配置寄存器	0x00000000
0x0174	TRGOCFG[PWM_IN15]	TRGM 输出配置寄存器	0x00000000
0x0178	TRGOCFG[PWM_IN16]	TRGM 输出配置寄存器	0x00000000
0x017C	TRGOCFG[PWM_IN17]	TRGM 输出配置寄存器	0x00000000
0x0180	TRGOCFG[PWM_IN18]	TRGM 输出配置寄存器	0x00000000
0x0184	TRGOCFG[PWM_IN19]	TRGM 输出配置寄存器	0x00000000
0x0188	TRGOCFG[PWM_IN20]	TRGM 输出配置寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x018C	TRGOCFG[PWM_IN21]	TRGM 输出配置寄存器	0x00000000
0x0190	TRGOCFG[PWM_IN22]	TRGM 输出配置寄存器	0x00000000
0x0194	TRGOCFG[PWM_IN23]	TRGM 输出配置寄存器	0x00000000
0x0198	TRGOCFG[QEI_A]	TRGM 输出配置寄存器	0x00000000
0x019C	TRGOCFG[QEI_B]	TRGM 输出配置寄存器	0x00000000
0x01A0	TRGOCFG[QEI_Z]	TRGM 输出配置寄存器	0x00000000
0x01A4	TRGOCFG[QEI_H]	TRGM 输出配置寄存器	0x00000000
0x01A8	TRGOCFG[QEI_PAUSE]	TRGM 输出配置寄存器	0x00000000
0x01AC	TRGOCFG[QEI_SNAPI]	TRGM 输出配置寄存器	0x00000000
0x01B0	TRGOCFG[HALL_U]	TRGM 输出配置寄存器	0x00000000
0x01B4	TRGOCFG[HALL_V]	TRGM 输出配置寄存器	0x00000000
0x01B8	TRGOCFG[HALL_W]	TRGM 输出配置寄存器	0x00000000
0x01BC	TRGOCFG[HALL_SNAPI]	TRGM 输出配置寄存器	0x00000000
0x01C0	TRGOCFG[ADC0_STRGI]	TRGM 输出配置寄存器	0x00000000
0x01C4	TRGOCFG[ADC1_STRGI]	TRGM 输出配置寄存器	0x00000000
0x01C8	TRGOCFG[ADC2_STRGI]	TRGM 输出配置寄存器	0x00000000
0x01CC	TRGOCFG[ADC3_STRGI]	TRGM 输出配置寄存器	0x00000000
0x01D0	TRGOCFG[ADCX_PTRGI0A]	TRGM 输出配置寄存器	0x00000000
0x01D4	TRGOCFG[ADCX_PTRGI0B]	TRGM 输出配置寄存器	0x00000000
0x01D8	TRGOCFG[ADCX_PTRGI0C]	TRGM 输出配置寄存器	0x00000000
0x01DC	TRGOCFG[GPTMRA_SYNCI]	TRGM 输出配置寄存器	0x00000000
0x01E0	TRGOCFG[GPTMRA_IN2]	TRGM 输出配置寄存器	0x00000000
0x01E4	TRGOCFG[GPTMRA_IN3]	TRGM 输出配置寄存器	0x00000000
0x01E8	TRGOCFG[GPTMRB_SYNCI]	TRGM 输出配置寄存器	0x00000000
0x01EC	TRGOCFG[GPTMRB_IN2]	TRGM 输出配置寄存器	0x00000000
0x01F0	TRGOCFG[GPTMRB_IN3]	TRGM 输出配置寄存器	0x00000000
0x01F4	TRGOCFG[CMPX_WIN]	TRGM 输出配置寄存器	0x00000000
0x01F8	TRGOCFG[CAN_PTPC0_CAP]	TRGM 输出配置寄存器	0x00000000
0x01FC	TRGOCFG[CAN_PTPC1_CAP]	TRGM 输出配置寄存器	0x00000000
0x0200	DMACFG[0]	DMA 请求配置寄存器	0x00000000
0x0204	DMACFG[1]	DMA 请求配置寄存器	0x00000000
0x0208	DMACFG[2]	DMA 请求配置寄存器	0x00000000
0x020C	DMACFG[3]	DMA 请求配置寄存器	0x00000000
0x0400	GCR	通用控制寄存器	0x00000000

表 240: TRGM 寄存器列表

48.4 TRGM 寄存器描述

TRGM 的寄存器详细说明如下：

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

48.4.1 FILTCFG (0x0 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD															OUTINV	MODE			SYNCEN	FILTLEN											
N/A															RW	RW			RW	RW											
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

FILTCFG [31:0]

位域	名称	描述
16	OUTINV	1：滤波器输出取反 0：滤波器输出不变
15-13	MODE	此位域定义了滤波器的模式 000：旁路模式 100：滤刺模式 101：延时滤波器 110：滤峰模式 111：滤谷模式
12	SYNCEN	1：将滤波器输入信号于 TRGM 时钟同步 0：不进行同步（有可能会导致时序问题）
11-0	FILTLEN	此位域设置滤波器的长度，单位是 TRGM 时钟周期

FILTCFG 位域

48.4.2 TRGOCFG (0x100 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																							OUTINV	FEDG2PEN	REDG2PEN	TRIGOSEL					
N/A																							RW	RW	RW	RW					
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0

TRGOCFG [31:0]

位域	名称	描述
8	OUTINV	1：TRGM 输出取反 0：TRGM 输出不变
7	FEDG2PEN	1: 将输入信号的下降沿转化为输出一个脉冲
6	REDG2PEN	1: 将输入信号的上升沿转化为输出一个脉冲
5-0	TRIGOSEL	此位域从 TRGM 输入中选择一个作为 TRGM 输出

TRGOCFG 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

48.4.3 DMACFG (0x200 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																											DMASRCSEL				
N/A																											RW				
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0

DMACFG [31:0]

位域	名称	描述
4-0	DMASRCSEL	此位域选择 DMA 请求之一，作为 TRGM 的 DMA 请求

DMACFG 位域

48.4.4 GCR (0x400)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																				TRGOPEN											
N/A																				RW											
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0

GCR [31:0]

位域	名称	描述
11-0	TRGOPEN	此位域使能 TRGM 输出到 IO

GCR 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

49 同步定时器 SYNT

本章节介绍同步定时器 SYNT 的主要功能和特性。

49.1 特性总结

本章节介绍同步定时器 SYNT 的主要特性：

- 32 位计数器和重载寄存器
- 支持 4 通道，每个通道支持一个比较寄存器
- 支持输出同步事件

49.2 功能描述

同步定时器有一个 32 位的计数器和 32 位的重载寄存器。

用户可以把 GCR[CEN] 位置 1 来使能计数器，使能以后，计数器总是从 0 开始计数，当计时器的值到达重载寄存器 RLD 值时，计数器恢复到 0 开始继续计数。

用户也可以通过 GCR[CRST] 位来把计数器复位到 0。

同步定时器支持 4 个通道，每个通道配置有 32 位比较寄存器 CMPx。

当计数器计数达到比较寄存器值时，会输出长度为一个同步定时器时钟脉冲的比较事件。这个事件可以通过互联管理器连接到电机系统的其他模块，比如 PWM,QEI,HAL 等，用作同步。

例如，通过连接到 PWM 的同步触发输入（SYNCI），可让 4 个电机系统精确到同一时钟周期开始运转，也可精确调节 4 个电机系统的相位差。

注意：同步定时器设计用于片上电机系统间的同步，工作时钟与电机系统同步，不能用于其他时钟域的外设。

同步定时器不支持生成中断或者 DMA 请求。

49.3 SYNT 寄存器列表

SYNT 的寄存器列表如下：

SYNT base address: 0xF0240000

地址偏移	名称	描述	复位值
0x0000	GCR	全局控制寄存器	0x00000000
0x0004	RLD	计数器重载寄存器	0x00000000
0x000C	CNT	计数器	0x00000000
0x0020	CMP[0]	比较器	0x00000000
0x0024	CMP[1]	比较器	0x00000000
0x0028	CMP[2]	比较器	0x00000000
0x002C	CMP[3]	比较器	0x00000000

表 241: SYNT 寄存器列表

49.4 SYNT 寄存器详细信息

SYNT 的寄存器详细说明如下：

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

49.4.1 GCR (0x0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																														CRST	CEN
N/A																														RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0

GCR [31:0]

位域	名称	描述
1	CRST	1: 复位计数器 软件需要清零此位以退出复位状态
0	CEN	1: 使能计数器

GCR 位域

49.4.2 RLD (0x4)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RLD																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RLD [31:0]

位域	名称	描述
31-0	RLD	计数器的重载值

RLD 位域

49.4.3 CNT (0xC)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNT																															
RO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CNT [31:0]

位域	名称	描述
31-0	CNT	计数器

CNT 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

49.4.4 CMP (0x20 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CMP																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CMP [31:0]

位域	名称	描述
31-0	CMP	比较器值，当计数器计数到达比较器值时，输出长度为一个时钟脉冲的比较事件

CMP 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

50 定时器概述

本章节介绍了本产品的定时器。本产品上的定时器包括通用定时器，看门狗定时器和实时时钟。

50.1 通用定时器 GPTMR, NTMR, PTMR

本产品支持 11 个通用定时器，每个通用定时器支持 4 个通道，每个通道支持 32 位计数器，重载寄存器和一个输入捕获/输出比较通道，支持通用计时，输入捕获，输出比较，PWM 生成，以及产生中断和 DMA 请求。

- 8 个定时器位于系统电源域称为通用定时器 GPTMR0~7
- 2 个定时器位于系统电源域的 CONN 子系统，称为网络定时器 NTMR0, NTMR1
- 1 个定时器位于电源管理域，称为电源管理域定时器 PTMR。

本产品上，GPTMR0~7 的 4 个输入捕获/输出比较通道中，通道 0 和 1 的信号连接到 IO 上，通道 2 和 3 连接到电机控制单元的各个互联管理器上。GPTMR0~8 的计数器同步输入 SYNCI，来自不同的互联管理器：GPTMR0 和 GPTMR1 的 SYNCI 来自 TRGM0，GPTMR2 和 GPTMR3 的 SYNCI 来自 TRGM1，GPTMR4 和 GPTMR5 的 SYNCI 来自 TRGM2，GPTMR6 和 GPTMR7 的 SYNCI 来自 TRGM3。

GPTMR0~7 的内部信号互联细节，请查阅节 44.4。

本产品上，NTMR0 和 NTMR1 的通道信号没有连接到 IO 上，而是连接部分通讯外设信号：

- NTMR0 通道 0 输入捕获连接 ENET0 PTP 输出 0
- NTMR0 通道 1 输入捕获连接 ENET1 PTP 输出 0
- NTMR0 通道 2 输入捕获连接 USB0 SOF
- NTMR0 通道 3 输入捕获连接 USB1 SOF
- NTMR1 通道 0 输入捕获连接 ENET0 PTP 输出 1
- NTMR1 通道 1 输入捕获连接 ENET1 PTP 输出 1
- NTMR1 通道 2 输入捕获连接 USB0 SOF
- NTMR1 通道 3 输入捕获连接 USB1 SOF

本产品上，PTMR 的 4 个输入捕获/输出比较通道连接到电源管理域 IO(GPIO 端口 Y)。PTMR 可以在系统电源域电时保持工作。PTMR 中断可以把系统从低功耗模式下唤醒。PTMR 不支持生成 DMA 请求。

50.2 看门狗定时器 WDG, PWDG

本产品支持 5 个看门狗定时器，看门狗定时器可以防止系统因为软件或者硬件的错误而锁死。看门狗定时器支持在软件喂狗超时时产生中断，或者生成系统复位。

其中 4 个位于系统电源域称为 WDG0~4，WDGx 的时钟为 CLK_TOP_AHB，看门狗计数器外部时钟来自 CLK_32K。

1 个位于电源管理域，称为 PWDG。PWDG 可以在系统电源域掉电时保持工作。PWDG 的时钟为 CLK_24M，看门狗计数器外部时钟为 CLK_32K。PWDG 支持从电源管理域 IO 上输出复位信号。

50.3 实时时钟 RTC

本产品支持 1 个实时时钟 RTC。RTC 位于电池备份域，可在系统仅有 VBAT 引脚供电时保持工作。RTC 时钟为 CLK_32K，支持以秒为单位计数，支持生成闹钟中断。RTC 的中断可以作为唤醒源，把系统从关机模式 SHUTDOWN 等低功耗模式下唤醒。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

51 定时器 TMR

本章节介绍定时器 TMR 的主要功能和特性。

51.1 特性总结

本章节介绍定时器 TMR 的主要特性：

- 定时器由 4 通道组成
- 单个通道配置一个 32 位分辨率计数器，支持向上模式
- 各个通道的计数器支持同步
- 单个通道支持可配置的 32 位重载寄存器
- 通道可同时用于输入捕获以及输出比较
- 单个通道支持 2 个输出比较器
- 支持捕获上升沿和/或者下降沿，支持测量 PWM 周期和占空比
- 支持生成 DMA 和中断请求

定时器的框图如图 89。

图 89: 定时器框图

51.2 功能描述

本章节描述定时器各个子模块的功能。

51.2.1 定时器时间基准

定时器每个通道的时间基准模块的作用是决定定时器运行需要时间和周期。

它包含以下几部分：

- 32 位计数器
- 32 位的重载寄存器

计时器支持向上计数。

用户可以设置 CHxCR [TEN] 位使能计数器，使能以后，计数器总是从 0 开始计数，当计时器的值到达重载值时，重载标志位置 1. 计数器恢复到 0 开始继续计数。

用户可以通过 CHxCR [CNTRST] 位随时复位计数器。把 GCR[CNTRST] 位置 1 可以使计数器归 0。需要再把 GCR[CNTRST] 位置 0，计数器才会重新开始计数。通过 GCR[CNTRST] 位重置计数器的同时，也会重置所有

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

的输入捕获值寄存器，同时把输出比较的输出重置到 CHxCR[CMPINIT] 位定义的起始电平。

计数器寄存器为只读寄存器，用户可以通过以下步骤将计数器 CHxCNT 的值更新到期望值：

- 把期望值写入寄存器 CHxCNTUPTVAL
- 把 CHxCR [CNTUPT] 位置 1，将 CHxCNTNEW 的值载入计数器 CHxCNT

用户也可以利用定时器的同步触发输入（SYNCI）来同步计数器开始计数的时机。定时器支持软件同步和硬件同步等同步机制：

- 把 CHxCR [SWSYNCIEN] 位置 1 后，软件同步可以通过写入 GCR[SWSYNCTx] 位触发，每个通道都有独立的软件触发位。用户同时把多个通道的软件触发位置 1，即可实现这些通道的计时器同步开始计时。
- 硬件同步信号来自定时器外部，即 SYNCI，可以通过把 CHxCR [SYNCIREN] 或者 CHxCR [SYNCIFEN] 位置 1，来选择同步发生在 SYNCI 的上升沿还是下降沿。
- 此外，对于通道序号大于 0 的通道，用户可以选择把 CHxCR [SYNCFLW] 位置 1，这样，该通道计数器会随着它之前通道的计数器同步。比如，通道 1 的计数器会与通道 0 的计数器同时同步。

如果通过同步触发输入重置计数器到 0，重载标志位 RLDF 也会置 1。

51.2.2 输出比较

通用定时器的通道支持输出比较功能。

使用通道输出比较功能配置流程如下：

- 通过 CHxCR [CMPINIT] 位配置输出的起始状态，该位置 0 时，表示计数器开始计数时，输出起始状态为逻辑 0，反之，则计数器开始计数时输出起始状态为逻辑 1。此外，当计数器计重载时（CNT == RLD），输出也会重置到起始状态。
- 配置通道的两个比较器，CMP0 和 CMP1。每当计数器达到任一比较器值时，通道输出会翻转。
  如果配置 CMP0 和 CMP1 相等，当计数器达到比较器值时，输出无变化。
- 通过设置 CHxCR [CMPEN] 位为 1，打开输出比较功能
- 通过设置 CHxCR [CEN] 位为 1 使能计数器

用户如果需要输出边沿对齐 PWM，可以通过 CMP0 设置 PWM 的占空比，设置 CMP1 值等于重载寄存器值（CMP1 = RLD）。

用户如果需要输出中心对齐 PWM，可以设置 $0 < CMP0 < CMP1 < RLD$。这样，PWM 周期即为 RLD 值，占空比为（CMP1 -CMP0）。

输出比较支持快速输出逻辑 0 和逻辑 1，即把 CMP0 配置为 32’hFFFFFFFF 时，通道输出始终为逻辑 0。把 CMP1 配置为 32’hFFFFFFFF，且 CMP0 不为全 1 时，通道输出始终为逻辑 1。

注意：CMP0 和 CMP1 的初始值均为 32’hFFFFFFFF，用户使用比较输出功能时需配置两个值。

51.2.3 输入捕获

通用定时器的通道支持输入捕获。

用户可以配置 CHxCR[CAPMODE] 位来选择不同的捕获模式：

- 3’b000，关闭输入捕获
- 3’b001，捕获上升沿，每当输入发生从逻辑 0 变成逻辑 1 时，将当前的计数器值保存到 CAPPOS 寄存器，标志位 CHxCAPF 置 1
- 3’b010，捕获下降沿，每当输入发生从逻辑 1 变成逻辑 0 时，将当前的计数器值保存到 CAPNEG 寄存

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

器，标志位 CHxCAPF 置 1

- 3'b011，捕获上升和下降沿，每当在输入发生翻转时，将当前的计数器值保存到 CAPPOS 和 CAPNEG 寄存器，标志位 CHxCAPF 置 1
- 3'b100，PWM 测量模式，此时定时器会自动测量 PWM 周期和占空比。定时器会把输入信号两个上升沿之间的计数值差（即 PWM 周期）保存在 CAPPRD 寄存器，把信号上升沿和下降沿之间的计数值差（即 PWM 占空比）保存在 CAPDTY 寄存器。CAPVAL 寄存器仍然保存最近一次信号上升沿时计数器的值。在此模式下，捕获到输入信号上升沿时，标志位 CHxCAPF 置 1

注意，CAPPOS 寄存器、CAPNEG 寄存器、CAPPRD 寄存器和 CAPDTY 寄存器的值，根据不同设置，在捕获到新的边沿时会刷新，之前捕获的值会丢失。

注意，在 PWM 测量模式时，用户应当注意计数器 CNT 的值，在相邻的信号边沿跳转之间发生计数器重载，计数器值归 0 的话，CAPPRD 寄存器和 CAPDTY 寄存器的值会不准确。

51.2.4 中断和 DMA

定时器支持生成以下中断：

- CHxRLDF 标志位置 1，即计数器计数达到重载寄存器值，或者由同步触发输入 SYNCI 引发计数器重载
- CHxCMPxF 标志位置 1，即输出比较功能打开时，计数器计数达到 CMP0 或者 CMP1 值时
- CHxCAPF 标志位置 1 时，即输入捕获功能打开时，在输入通道捕获到指定边沿跳变时

通过设置 CHxIRQEN 寄存器相应位，可以打开或者关闭以上中断请求。

用户可以通过读取 CHxSR 寄存器查询所有的标志位，SR 寄存器相应标志位写 1 可以清除标志位。

定时器支持生成以下 DMA 请求：

- CHxRLDF 标志位置 1，即计数器计数达到重载寄存器值，或者由同步触发输入 SYNCI 引发计数器重载
- CHxCMPxF 标志位置 1，即输出比较功能打开时，计数器计数达到 CMP0 或者 CMP1 值时
- CHxCAPF 标志位置 1 时，即输入捕获功能打开时，在输入通道捕获到指定边沿跳变时

通过设置 CHxCR[DMASEL] 寄存器位，可以选择从以上请求中选择一个作为 DMA 请求输出。

通过设置 CHxCR [DMAEN] 寄存器位，可以打开或者关闭 DMA 请求。

51.2.5 调试模式支持

通用定时器支持调试功能，即在内核进入调试模式（Debug）时，暂停计数器计数。用户把 CHxCR[DBGPAUSE] 位置 1 时，此功能即生效。

51.3 定时器寄存器

51.3.1 寄存器说明

定时器的寄存器列表如下：

NTMR0 base address: 0xF2010000 NTMR1 base address: 0xF2014000 GPTMR0 base address: 0xF3000000 GPTMR1 base address: 0xF3004000 GPTMR2 base address: 0xF3008000 GPTMR3 base address: 0xF300C000 GPTMR4 base address: 0xF3010000 GPTMR5 base address: 0xF3014000 GPTMR6 base address: 0xF3018000 GPTMR7 base address: 0xF301C000 PTMR base address: 0xF40E0000

地址偏移	名称	描述	复位值
0x0000	CHANNEL[CH0][CR]	控制寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0004	CHANNEL[CH0][CMP][CMP0]	比较寄存器 0	0xFFFFFFFF
0x0008	CHANNEL[CH0][CMP][CMP1]	比较寄存器 1	0xFFFFFFFF
0x000C	CHANNEL[CH0][RLD]	重载寄存器	0xFFFFFFFF
0x0010	CHANNEL[CH0][CNTUPTVAL]	计数器更新值寄存器	0x00000000
0x0020	CHANNEL[CH0][CAPPOS]	上升沿捕获寄存器	0x00000000
0x0024	CHANNEL[CH0][CAPNEG]	下降沿捕获寄存器	0x00000000
0x0028	CHANNEL[CH0][CAPPRD]	PWM 周期测量寄存器	0x00000000
0x002C	CHANNEL[CH0][CAPDTY]	PWM 占空比测量寄存器	0x00000000
0x0030	CHANNEL[CH0][CNT]	计数器	0x00000000
0x0040	CHANNEL[CH1][CR]	控制寄存器	0x00000000
0x0044	CHANNEL[CH1][CMP][CMP0]	比较寄存器 0	0xFFFFFFFF
0x0048	CHANNEL[CH1][CMP][CMP1]	比较寄存器 1	0xFFFFFFFF
0x004C	CHANNEL[CH1][RLD]	重载寄存器	0xFFFFFFFF
0x0050	CHANNEL[CH1][CNTUPTVAL]	计数器更新值寄存器	0x00000000
0x0060	CHANNEL[CH1][CAPPOS]	上升沿捕获寄存器	0x00000000
0x0064	CHANNEL[CH1][CAPNEG]	下降沿捕获寄存器	0x00000000
0x0068	CHANNEL[CH1][CAPPRD]	PWM 周期测量寄存器	0x00000000
0x006C	CHANNEL[CH1][CAPDTY]	PWM 占空比测量寄存器	0x00000000
0x0070	CHANNEL[CH1][CNT]	计数器	0x00000000
0x0080	CHANNEL[CH2][CR]	控制寄存器	0x00000000
0x0084	CHANNEL[CH2][CMP][CMP0]	比较寄存器 0	0xFFFFFFFF
0x0088	CHANNEL[CH2][CMP][CMP1]	比较寄存器 1	0xFFFFFFFF
0x008C	CHANNEL[CH2][RLD]	重载寄存器	0xFFFFFFFF
0x0090	CHANNEL[CH2][CNTUPTVAL]	计数器更新值寄存器	0x00000000
0x00A0	CHANNEL[CH2][CAPPOS]	上升沿捕获寄存器	0x00000000
0x00A4	CHANNEL[CH2][CAPNEG]	下降沿捕获寄存器	0x00000000
0x00A8	CHANNEL[CH2][CAPPRD]	PWM 周期测量寄存器	0x00000000
0x00AC	CHANNEL[CH2][CAPDTY]	PWM 占空比测量寄存器	0x00000000
0x00B0	CHANNEL[CH2][CNT]	计数器	0x00000000
0x00C0	CHANNEL[CH3][CR]	控制寄存器	0x00000000
0x00C4	CHANNEL[CH3][CMP][CMP0]	比较寄存器 0	0xFFFFFFFF

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x00C8	CHANNEL[CH3][CMP][CMP1]	比较寄存器 1	0xFFFFFFFF
0x00CC	CHANNEL[CH3][RLD]	重载寄存器	0xFFFFFFFF
0x00D0	CHANNEL[CH3][CNTUPTVAL]	计数器更新值寄存器	0x00000000
0x00E0	CHANNEL[CH3][CAPPOS]	上升沿捕获寄存器	0x00000000
0x00E4	CHANNEL[CH3][CAPNEG]	下降沿捕获寄存器	0x00000000
0x00E8	CHANNEL[CH3][CAPPRD]	PWM 周期测量寄存器	0x00000000
0x00EC	CHANNEL[CH3][CAPDTY]	PWM 占空比测量寄存器	0x00000000
0x00F0	CHANNEL[CH3][CNT]	计数器	0x00000000
0x0200	SR	状态寄存器	0x00000000
0x0204	IRQEN	中断使能寄存器	0x00000000
0x0208	GCR	全局控制寄存器	0x00000000

表 242: GPTMR 寄存器列表

定时器的寄存器详细说明如下：

51.3.2 CHANNEL[CR] (0x0 + 0x40 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNTUPT	RSVD													RSVD			CNTRST	SYNCFLW	SYNCIFEN	SYNCIREN	CEN	CMPINIT	CMPEN	DMASEL		DMAEN	SWSYNCIEN	DBGPAUSE	CAPMODE		
WO	N/A													N/A			RW	RW	RW	RW	RW	RW	RW	RW		RW	RW	RW	RW		
0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CHANNEL[CR] [31:0]

位域	名称	描述
31	CNTUPT	1: 将计数器值更新为 CNTUPTVAL 寄存器的值，该位置 1 后会在 1 个周期后自动清 0
14	CNTRST	1: 复位计数器 用户需要清零此位，不然计时器始终处于复位状态
13	SYNCFLW	1: 该通道计数器会随着上一通道计数器的一起重载。 该位对定时器通道 0 不适用。
12	SYNCIFEN	1: 定时器同步输入 SYNCI 下降沿有效
11	SYNCIREN	1: 定时器同步输入 SYNCI 上升沿有效
10	CEN	1: 使能计数器

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
9	CMPINIT	输出比较初始极性 1: 通道输出初始极性为逻辑高 0: 通道输出初始极性为逻辑低 用户需要在把 CMPEN 位置 1 前设置此位
8	CMPEN	1: 使能此通道的输出比较功能
7-6	DMASEL	DMA 请求选择位： 00: 比较器 0 标志位 CMP0 置 1 时生产 DMA 请求 01: 比较器 0 标志位 CMP1 置 1 时生产 DMA 请求 10: 输入捕获信号翻转时生产 DMA 请求 11: 重载标志位 RLD 置 1 时生产 DMA 请求
5	DMAEN	1: 使能 DMA
4	SWSYNCIEN	1: 使能软件计数器同步，该位置 1 时，计数器会在 SWSYNCT 位置 1 时重载
3	DBGPAUSE	1: 调试模式下计数器会暂停
2-0	CAPMODE	输入捕获模式配置位 100: PWM 测量模式，定时器会测量输入 PWM 的周期和占空比 011: 捕获上升沿和下降沿 010: 捕获下降沿 001: 捕获上升沿 000: 关闭输入捕获

CHANNEL[CR] 位域

51.3.3 CHANNEL[CMP] (0x4 + 0x40 * n + 0x4 * m)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CMP																															
RW																															
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

CHANNEL[CMP] [31:0]

位域	名称	描述
31-0	CMP	比较器值 0 全 1 时 (0xffffffff) 比较器输出始终为 0. 初始值为全 1，用户使用比较功能前需要配置此位和比较寄存器 1

CHANNEL[CMP] 位域

51.3.4 CHANNEL[RLD] (0xC + 0x40 * n)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RLD																															
RW																															
1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

CHANNEL[RLD] [31:0]

位域	名称	描述
31-0	RLD	重载值

CHANNEL[RLD] 位域

51.3.5 CHANNEL[CNTUPTVAL] (0x10 + 0x40 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CNTUPTVAL																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CHANNEL[CNTUPTVAL] [31:0]

位域	名称	描述
31-0	CNTUPTVAL	计数器更新值，当 CR 寄存器的 CNTUPT 位置 1 时，计数器更新为此值

CHANNEL[CNTUPTVAL] 位域

51.3.6 CHANNEL[CAPPOS] (0x20 + 0x40 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CAPPOS																															
RO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CHANNEL[CAPPOS] [31:0]

位域	名称	描述
31-0	CAPPOS	输入信号上升沿捕获到的计数器值

CHANNEL[CAPPOS] 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

51.3.7 CHANNEL[CAPNEG] (0x24 + 0x40 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CAPNEG																															
RO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CHANNEL[CAPNEG] [31:0]

位域	名称	描述
31-0	CAPNEG	输入信号下降沿捕获到的计数器值

CHANNEL[CAPNEG] 位域

51.3.8 CHANNEL[CAPPRD] (0x28 + 0x40 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CAPPRD																															
RO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CHANNEL[CAPPRD] [31:0]

位域	名称	描述
31-0	CAPPRD	PWM 测量模式下，测量的 PWM 周期长度

CHANNEL[CAPPRD] 位域

51.3.9 CHANNEL[CAPDTY] (0x2C + 0x40 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MEAS_HIGH																															
RO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CHANNEL[CAPDTY] [31:0]

位域	名称	描述
31-0	MEAS_HIGH	PWM 测量模式下，测量的 PWM 占空比长度

CHANNEL[CAPDTY] 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

51.3.10 CHANNEL[CNT] (0x30 + 0x40 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
COUNTER																															
RO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CHANNEL[CNT] [31:0]

位域	名称	描述
31-0	COUNTER	32 位计数器值

CHANNEL[CNT] 位域

51.3.11 SR (0x200)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																CH3CMP1F	CH3CMP0F	CH3CAPF	CH3RLDF	CH2CMP1F	CH2CMP0F	CH2CAPF	CH2RLDF	CH1CMP1F	CH1CMP0F	CH1CAPF	CH1RLDF	CH0CMP1F	CH0CMP0F	CH0CAPF	CH0RLDF
N/A																W1C	W1C	W1C	W1C	W1C	W1C	W1C	W1C	W1C	W1C	W1C	W1C	W1C	W1C	W1C	W1C
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SR [31:0]

位域	名称	描述
15	CH3CMP1F	通道 3 比较器 1 标志位
14	CH3CMP0F	通道 3 比较器 0 标志位
13	CH3CAPF	通道 3 输入捕获标志位
12	CH3RLDF	通道 3 重载标志位
11	CH2CMP1F	通道 2 比较器 1 标志位
10	CH2CMP0F	通道 2 比较器 0 标志位
9	CH2CAPF	通道 2 输入捕获标志位
8	CH2RLDF	通道 2 重载标志位
7	CH1CMP1F	通道 1 比较器 1 标志位
6	CH1CMP0F	通道 1 比较器 0 标志位
5	CH1CAPF	通道 1 输入捕获标志位
4	CH1RLDF	通道 1 重载标志位
3	CH0CMP1F	通道 0 比较器 1 标志位
2	CH0CMP0F	通道 0 比较器 0 标志位
1	CH0CAPF	通道 0 输入捕获标志位
0	CH0RLDF	通道 0 重载标志位

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述

SR 位域

51.3.12 IRQEN (0x204)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																CH3CMP1EN	CH3CMP0EN	CH3CAPEN	CH3RLDEN	CH2CMP1EN	CH2CMP0EN	CH2CAPEN	CH2RLDEN	CH1CMP1EN	CH1CMP0EN	CH1CAPEN	CH1RLDEN	CH0CMP1EN	CH0CMP0EN	CH0CAPEN	CH0RLDEN
N/A																RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

IRQEN [31:0]

位域	名称	描述
15	CH3CMP1EN	通道 3 比较器 1 标志位中断使能位
14	CH3CMP0EN	通道 3 比较器 0 标志位中断使能位
13	CH3CAPEN	通道 3 输入捕获标志位中断使能位
12	CH3RLDEN	通道 3 重载标志位中断使能位
11	CH2CMP1EN	通道 2 比较器 1 标志位中断使能位
10	CH2CMP0EN	通道 2 比较器 0 标志位中断使能位
9	CH2CAPEN	通道 2 输入捕获标志位中断使能位
8	CH2RLDEN	通道 2 重载标志位中断使能位
7	CH1CMP1EN	通道 1 比较器 1 标志位中断使能位
6	CH1CMP0EN	通道 1 比较器 0 标志位中断使能位
5	CH1CAPEN	通道 1 输入捕获标志位中断使能位
4	CH1RLDEN	通道 1 重载标志位中断使能位
3	CH0CMP1EN	通道 0 比较器 1 标志位中断使能位
2	CH0CMP0EN	通道 0 比较器 0 标志位中断使能位
1	CH0CAPEN	通道 0 输入捕获标志位中断使能位
0	CH0RLDEN	通道 0 重载标志位中断使能位

IRQEN 位域

51.3.13 GCR (0x208)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																												SWSYNCT			
N/A																												RW			
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0

GCR [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
3-0	SWSYNCT	计数器软件同步位，每一位对应一个通道

GCR 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

52 看门狗 WDG

本章节介绍看门狗 WDG 的功能和特性。

52.1 特性总结

看门狗 WDG 在打开后，需要软件在一定时间期限内执行“喂狗”操作，当软件执行由于各种原因出现错误，无法在规定时间内“喂狗”时，生成中断乃至复位。看门狗 WDG 的主要特性如下：

- 支持中断超时计数器，在“喂狗”超时时生成中断
- 支持复位超时计数器，在“喂狗”超时时生成复位
- 支持使用总线时钟或者外部时钟
- 支持使用 Magic code 喂狗
- 支持寄存器写保护，可利用 Magic code 解锁写保护

52.2 功能描述

本章节描述看门狗 WDG 的功能。

52.2.1 WDG 超时中断和超时复位

WDG 的喂狗超时机制分为 2 部分，超时中断和超时复位。在 WDG 使能之后，首先进行超时中断的倒计时，如果期间没有“喂狗”，在超时中断到期后，WDG 支持生产中断警报。随后 WDG 进行超时复位的倒计时，如果期间仍然没有“喂狗”，WDG 会生成复位。

用户可以通过 INTTIME 位设置超时中断的时长，如果把 CTRL [INTEN] 位置 1，超时后 WDG 会产生中断报警。注意，即使 CTRL [INTEN] 位清 0，WDG 仍然会先进行超时中断倒计时，只是不再产生中断报警。

用户可以通过 RSTTIME 位设置超时复位的时长，在超时中断到期后，进行超时复位倒计时，如果把 CTRL [RSTEN] 位置 1，超时后 WDG 会产生复位。

INTTIME 和 RSTTIME 位设置的时长单位为看门狗 WDG 的计数器时钟周期数。WDG 可以配置使用以下时钟：

- CLKSEL = 1’b0，使用外部时钟
- CLKSEL = 1’b1，使用 WDG 时钟

有关 WDG 时钟和外部时钟的具体情况，请用户查阅系统时钟配置的相关章节。

52.2.2 WDG 喂狗

通常把将看门狗 WDG 计数器重置的操作，称为“喂狗”。软件通过在恰当的时机“喂狗”，从而避免了 WDG 计数器因为超时而生成中断，乃至复位。

用户需要对 RESTART 寄存器的 RESTART 位域写入 Magic Code 来“喂狗”。WDG“喂狗”的 Magic Code 为 0xCAFE。

52.2.3 WDG 寄存器解锁

WDG 的 CTRL 寄存器和 RESTART 寄存器受到写保护。用户需要通过解锁操作，才能执行寄存器写操作，进行 WDG 配置以及“喂狗”。

用户需要对 WREN 寄存器的 WEN 位域写入 Magic Code 进行解锁，解锁的 Magic Code 为 0x5AA5。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

52.3 WDG 寄存器列表

WDG 的寄存器列表如下：

WDG0 base address: 0xF0090000 WDG1 base address: 0xF0094000 WDG2 base address: 0xF0098000 WDG3 base address: 0xF009C000 PWDG base address: 0xF40E8000

地址偏移	名称	描述	复位值
0x0010	CTRL	控制寄存器	0x00000000
0x0014	RESTART	计时器重启寄存器	0x00000000
0x0018	WREN	写保护寄存器	0x00000000
0x001C	ST	状态寄存器	0x00000000

表 243: WDG 寄存器列表

52.4 WDOG 寄存器描述

WDG 的寄存器详细说明如下：

52.4.1 CTRL (0x10)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																					RSTTIME			INTTIME				RSTEN	INTEN	CLKSEL	EN
N/A																					RW			RW				RW	RW	RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0

CTRL [31:0]

位域	名称	描述
10-8	RSTTIME	触发复位的时间设定： 0: 2^7 个计时时钟周期 1: 2^8 个计时时钟周期 2: 2^9 个计时时钟周期 3: 2^10 个计时时钟周期 4: 2^11 个计时时钟周期 5: 2^12 个计时时钟周期 6: 2^13 个计时时钟周期 7: 2^14 个计时时钟周期

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
7-4	INTTIME	触发中断的时间设定： 0: 2^6 个计时时钟周期 1: 2^8 个计时时钟周期 2: 2^10 个计时时钟周期 3: 2^11 个计时时钟周期 4: 2^12 个计时时钟周期 5: 2^13 个计时时钟周期 6: 2^14 个计时时钟周期 7: 2^15 个计时时钟周期 8: 2^17 个计时时钟周期 9: 2^19 个计时时钟周期 10: 2^21 个计时时钟周期 11: 2^23 个计时时钟周期 12: 2^25 个计时时钟周期 13: 2^27 个计时时钟周期 14: 2^29 个计时时钟周期 15: 2^31 个计时时钟周期
3	RSTEN	使能看门狗超时复位
2	INTEN	使能看门狗超时中断
1	CLKSEL	计时时钟选择： 0：外部时钟 1：总线时钟
0	EN	使能看门狗计时

CTRL 位域

52.4.2 RESTART (0x14)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																RESTART															
N/A																WO															
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RESTART [31:0]

位域	名称	描述
15-0	RESTART	写入 magic number 能够复位并重新启动看门狗计时器

RESTART 位域

52.4.3 WREN (0x18)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																WEN															
N/A																WO															
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

WREN [31:0]

位域	名称	描述
15-0	WEN	写入 magic code 能够解锁 CTRL 和 RESTART 寄存器的写保护

WREN 位域

52.4.4 ST (0x1C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																															INTEXPIRED
N/A																															W1C
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0

ST [31:0]

位域	名称	描述
0	INTEXPIRED	看门狗中断计时器状态： 0：计时器未超时 1：计时器已超时

ST 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

53 实时时钟 RTC

53.1 特性总结

RTC 支持以下功能：

- 以秒为单位的时间计数
- 秒内计数
- 秒计数器和秒内计数器的锁存
- 两组定时器用于产生中断
- 定期重复

53.2 时间计数器

RTC 利用 32K 时钟源进行计时。提供一个 32 位的秒计数器，秒计数器允许写入，用以调整时钟的时间。

RTC 还提供一个秒内计数器，该计数器每个 32K 时钟周期计数一次，提供更为精确的时间信息。

为了避免秒内计数器和秒计数器读取时不同步，RTC 提供了数值锁存功能。锁存寄存器有两个，分别对应秒计数器和秒内计数器。对任意一个锁存寄存器进行一次写操作，会触发两个锁存寄存器同时更新到当前计数器的值，再读取两个锁存寄存器以获得同步时间。

53.3 定时器

RTC 能够设置定时，当计时时间与定时时间匹配时，能够产生中断，用于定时任务或唤醒系统。

如果增量寄存器 ALARMx_INC 设置了非零值，则每次定时器的匹配后，定时时间设置会自动增加 INCREASE 的值。利用该功能可以实现重复唤醒和中断的能力。

RTC 提供两组定时器设置。

定时器的匹配触发后即产生定时标志位，对该位写入 1 可完成对标志位的清零。

通过寄存器 ALARM_EN 来使能定时器匹配触发中断。

53.4 RTC 寄存器列表

RTCSHW base address: 0xF501C000 RTC base address: 0xF5044000

地址偏移	名称	描述	复位值
0x0000	SECOND	秒计数器	0x00000000
0x0004	SUBSEC	秒内计数器	0x00000000
0x0008	SEC_SNAP	秒计数器快照	0x00000000
0x000C	SUB_SNAP	秒内计数器快照	0x00000000
0x0010	ALARM0	秒计数器比较寄存器 0	0x00000000
0x0014	ALARM0_INC	秒计数器匹配递增寄存器 0	0x00000000
0x0018	ALARM1	秒计数器比较寄存器 1	0x00000000
0x001C	ALARM1_INC	秒计数器匹配递增寄存器 1	0x00000000
0x0020	ALARM_FLAG	RTC 警报标志	0x00000000
0x0024	ALARM_EN	RTC 警报使能	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值

表 244: RTC 寄存器列表

53.5 RTC 寄存器描述

53.5.1 SECOND (0x0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SECOND																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SECOND [31:0]

位域	名称	描述
31-0	SECOND	秒计数器

SECOND 位域

53.5.2 SUBSEC (0x4)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SUBSEC																															
RO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SUBSEC [31:0]

位域	名称	描述
31-0	SUBSEC	秒内计数器

SUBSEC 位域

53.5.3 SEC_SNAP (0x8)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SEC_SNAP																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SEC_SNAP [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-0	SEC_SNAP	秒计数器快照，写该寄存器会触发秒计数器和秒内计数器的快照保存

SEC_SNAP 位域

53.5.4 SUB_SNAP (0xC)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SUB_SNAP																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SUB_SNAP [31:0]

位域	名称	描述
31-0	SUB_SNAP	秒内计数器快照，写该寄存器会触发秒计数器和秒内计数器的快照保存

SUB_SNAP 位域

53.5.5 ALARM0 (0x10)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ALARM																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ALARM0 [31:0]

位域	名称	描述
31-0	ALARM	设置秒计数器的比较值 0，每次秒计数器与比较值 0 匹配时，ALARM 位自动递增 ALARM0_INC 的值

ALARM0 位域

53.5.6 ALARM0_INC (0x14)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INCREASE																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ALARM0_INC [31:0]

位域	名称	描述
31-0	INCREASE	设置每次秒计数器与比较值 0 匹配时，ALARM 位的递增值

ALARM0_INC 位域

53.5.7 ALARM1 (0x18)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ALARM																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ALARM1 [31:0]

位域	名称	描述
31-0	ALARM	设置秒计数器的比较值 1，每次秒计数器与比较值 1 匹配时，ALARM 位自动递增 ALARM1_INC 的值

ALARM1 位域

53.5.8 ALARM1_INC (0x1C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
INCREASE																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ALARM1_INC [31:0]

位域	名称	描述
31-0	INCREASE	设置每次秒计数器与比较值 1 匹配时，ALARM 位的递增值

ALARM1_INC 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

53.5.9 ALARM_FLAG (0x20)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																														ALARM1	ALARM0
N/A																														RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0

ALARM_FLAG [31:0]

位域	名称	描述
1	ALARM1	秒计数器与比较寄存器 1 匹配
0	ALARM0	秒计数器与比较寄存器 0 匹配

ALARM_FLAG 位域

53.5.10 ALARM_EN (0x24)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																														ENABLE1	ENABLE0
N/A																														RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0

ALARM_EN [31:0]

位域	名称	描述
1	ENABLE1	秒计数器与比较寄存器 1 匹配时的中断警报使能
0	ENABLE0	秒计数器与比较寄存器 0 匹配时的中断警报使能

ALARM_EN 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

54 通讯外设概述

本章节介绍了本产品的通讯外设。

54.1 通用异步收发器 UART，PUART

本产品支持 17 个通用异步收发器，支持与外部设备实现用于双向异步通信。

16 个通用异步收发器位于系统电源域，称为 UART0~15。

1 个通用异步收发器位于电源管理域，称为 PUART。PUART 支持在系统电源域掉电时保持工作，产生的中断可用于低功耗唤醒。PUART 不支持生成 DMA 请求。

54.2 串行外设总线 SPI

本产品支持 4 个串行外设总线 SPI，支持与外部设备实现全双工，同步的通信。SPI 支持经典单向 2 路数据线模式，即 MISO，MOSI，也支持双向 2 路，4 路数据线模式，即 Dual-SPI 和 Quad-SPI。

54.3 集成电路总线 I2C

本产品支持 4 个集成电路总线 I2C。I2C 支持标准模式最大 100Kbps，快速模式最大 400Kbps 和快速 + 模式最大 1Mbps。

。

54.4 控制器局域网 CAN

本产品支持 4 个控制器局域网 CAN0~3，CAN 遵循 CAN 总线协议 2.0A 和 2.0B 协议，并支持 CAN-FD 协议。

注意，本系列并不是所有产品型号都提供 CAN-FD 支持，请查询数据手册，了解具体型号是否支持 CAN-FD 协议。

本产品上，CAN 支持时间触发 CAN 通信，CAN0~3 可以通过精确时间协议模块 PTPC 的时间戳输出端口直接载入时间戳信息。

54.5 精确时间协议模块 PTPC

本产品支持 1 个精确时间协议模块 PTPC。PTPC 支持 2 套时间戳，可以生成秒和纳秒为分辨率的精确时间戳信息供网络不同节点间同步时钟。

PTPC 支持 4 个时间戳输出端口，分别连接到 CAN0~3，CAN 模块可以从这些端口直接载入时间戳信息。

PTPC 支持 2 个时间戳输入捕获信号 CAP0 和 CAP1，支持根据输入捕获信号捕获当前的时间戳。CAP0 和 CAP1 来自互联管理器 TRGM0~3。PTPC 支持在时间戳匹配时，输出 2 个时间戳输出比较 CMP0 和 CMP1。CMP0 和 CMP1 输出到互联管理器 TRGM0~3。具体连接请查阅节 44.4。

54.6 以太网控制器 ENET

本产品支持 2 个以太网控制器 ENET。ENET 支持 IEEE802.3 标准以太网 MAC，支持 10/100/1000 Mbps 数据传输速率，支持 RMII 和 RGMII 模式的 PHY。

本产品上，ENET 控制器支持事件输出信号 EVTO，可以把 ENET 的 PTP 输出 0~2 通过 EVTO0~2 经过 IO 输出。ENET 的 PTP 输出 3 输出到了互联管理器 TRGM0~3。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

54.7 通用串行总线 USB

本产品支持 2 个通用串行总线 USB，USB 集成 HS PHY，支持 USB2.0 低速，全速，和高速传输。USB 支持 Host，Device 和 OTG 模式。

本产品上，USB 控制器支持输出 USB 的 SOF (桢起始 Start of Frame) 信号，可以通过互联管理器 TRGM0~3 连接到片上的其他模块。

54.8 通讯系统控制器 CONCTL

本产品支持 1 个通讯系统控制器 CONCTL。本产品上，将 USB 控制器，以太网控制器，SD/eMMC 控制器等集成为一个通讯子系统（CONN 子系统），包含独立的子系统电源开关。CONCTL 支持配置 CONN 子系统内的一些外设间连接选项。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

55 通用异步收发器 UART

本章节介绍通用异步收发器 UART 的功能和特性。

55.1 特性总结

本章节介绍通用异步收发器 UART 的主要特性：

- 支持 5~8 位数据长度
- 可配置停止位：1 位，1.5 位或者 2 位
- 可配置奇偶校验位：奇校验，偶校验，粘校验位
- 支持 DMA 数据传输
- 支持可配置波特率，支持独立的波特率生成时钟
- 支持硬件流控
- 支持奇偶校验错误，数据 FIFO 溢出等错误检测
- 16 字节的 TXFIFO 和 RXFIFO
- 支持各类中断

UART 的框图如图 90。

图 90: UART 框图

55.2 功能描述

本章节描述通用异步收发器 UART 的功能。

55.2.1 UART 发送

UART 发送端由 TX FIFO 和 TX 移位寄存器和 TX 控制器组成。

TX FIFO 包含待发送的数据，并将数据传送到 TX 移位寄存器。

TX 移位寄存器为并行-串行转换器，把发送数据转换成串行的比特流。

TX 控制器在发送一个数据时，会生成一个 START 位，一个可配置的奇偶校验位 PARITY 位，和一个长度可配的停止位。用户可以LCR寄存器 (Line Control Register) 来配置奇偶效验位和停止位。

TXFIFO 的写入口是THR寄存器 (Transmitter Holding Register)。用户需要把FCR寄存器 (FIFO Control Register) 的 FIFOE 位置 1，来打开 TXFIFO。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

55.2.2 UART 接收

UART 接收端由 RX FIFO 和 RX 移位寄存器和 RX 控制器组成。

RX 控制器使用波特率控制模块生成的过采样时钟，对输入的每一位进行采样，并把收到的每一位移入 RX 移位寄存器。

RX 移位寄存器对数据进行串行-并行转换，并把数据存入 RX FIFO。

RX FIFO 的读入口是RBR寄存器 (Receiver Buffer Register)，用户需要把FCR寄存器 (FIFO Control Register) 的 FIFOE 位置 1，来打开 RXFIFO。

RX 控制器支持检测接收数据过程中的错误，如奇偶校验位错误，停止位错误，RX FIFO 溢出等。

55.2.3 波特率控制

波特率控制模块对 UART 时钟分频，得到波特率时钟，分频器为 16 位长，分别位于 2 个寄存器中，每个寄存器存放 8 位分频值。分频值的 MSB 位于DLM寄存器 (Divisor Latch MSB)，而 LSB 位于DLL寄存器 (Divisor Latch LSB)。

UART 时钟与波特率的比率就是过采样率，过采样率OSC存放在OSCR寄存器 (Over Sample Control Register)。OSC默认值为 16。

分频值的公式如 (55.2.3)：

$$Divisor = \frac{f_{uart_clock}}{Baudrate \times OSR}$$

RX 控制器利用过采样时钟对输入数据进行采样。假设过采样率OSC为 16 当检测到输入信号第一个下降沿时 (起始 START 位)，计数器从 1 开始计数直到 16，在计数到 8 时，RX 控制器对输入数据采样。计数器在计数到 16 后，会复位到 1，以此采样下一位数据，循环往复，直到停止 STOP 位。TX 控制器同样利用过采样时钟来生成输出数据流。

55.2.4 Modem 控制器

Modem 控制器提供 Modem 控制功能，也支持自动流控，可以进一步降低软件控制开销。

UART 的发送接收流控通过 RTS / CTS 握手实现。流控可以避免因为数据传输速率超过数据消化速率而引起的 overrun 错误。

UART 支持自动流控，包括 auto-RTS 和 auto-CTS 功能，前者用于数据接收，后者用于数据发送。

打开 auto-RTS 功能时，UART 的 RTS 输出需要连接到对方 UART 的 CTS 信号。

- N 是 RX FIFO 的触发阈值
- Bn 是 RX FIFO 接收到的字节数目
- 当 $B_n \geq N$ 时，RTS 置低
- 当 $B_n < N$ 时，RTS 会自动置高，提示对方 UART 可以发送数据

打开 auto-CTS 功能时，UART 的 CTS 输入连接到对方 UART 的 RTS 信号。UART 只有在 CTS 检测到输入低时，才会发送数据。CTS 必须在当前传输数据的停止 STOP 位发出前置高，这样 UART 才能不发出下一个数据。

55.2.5 Loopback 模式

UART 支持 Loopback 模式。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

Loopback 模式打开时，UART 的 TX 连接到 RX，RTS 连接到 CTS。通过THR寄存器发出的数据可以从RBR寄存器接收到。

55.2.6 DMA

UART 支持发送 DMA 请求和接收 DMA 请求。

用户通过FCR寄存器配置 RX FIFO 的触发阈值RFIFOT，当 RX FIFO 接收的数据超过阈值时，生成 DMA 接收请求。

用户通过FCR寄存器配置 TX FIFO 的触发阈值TFIFOT，当 TX FIFO 的待发送数据少于阈值时，生成 DMA 发送请求。

55.3 寄存器说明

UART 的寄存器列表如下：

UART0 base address: 0xF0040000 UART1 base address: 0xF0044000 UART2 base address: 0xF0048000 UART3 base address: 0xF004C000 UART4 base address: 0xF0050000 UART5 base address: 0xF0054000 UART6 base address: 0xF0058000 UART7 base address: 0xF005C000 PUART base address: 0xF40E4000

地址偏移	名称	描述	复位值
0x0010	CFG	配置查询寄存器	0x00000000
0x0014	OSCR	过采样控制寄存器	0x00000010
0x0020	RBR	接收缓冲寄存器（当 DLAB=0 时）	0x00000000
0x0020	THR	发送缓冲寄存器（当 DLAB=0 时）	0x00000000
0x0020	DLL	分频参数低位寄存器（当 DLAB=1 时）	0x00000001
0x0024	IER	中断使能寄存器（当 DLAB=0 时）	0x00000000
0x0024	DLM	分频参数高位寄存器（当 DLAB=1 时）	0x00000000
0x0028	IIR	中断 ID 寄存器	0x00000001
0x0028	FCR	FIFO 控制寄存器	0x00000000
0x002C	LCR	传输控制寄存器	0x00000000
0x0030	MCR	流量控制寄存器	0x00000000
0x0034	LSR	传输状态寄存器	0x00000000
0x0038	MSR	流控状态寄存器	0x00000000

表 245: UART 寄存器列表

55.4 寄存器详细信息

UART 的寄存器详细说明如下：

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

55.4.1 CFG (0x10)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																														FIFOSIZE	
N/A																														RO	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CFG [31:0]

位域	名称	描述
1-0	FIFOSIZE	RXFIFO 和 TXFIFO 深度： 0：16 字节 1：32 字节 2：64 字节 3：128 字节

CFG 位域

55.4.2 OSCR (0x14)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																											OSC				
N/A																											RW				
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	1	0	0	0	0

OSCR [31:0]

位域	名称	描述
4-0	OSC	过采样率设置： OSC=0：过采样率为 32 OSC<=8：过采样率为 8 OSC>8：过采样率为 OSC 的值 OSC 设置值必须是偶数，若写入了奇数则会被自动转换为一个偶数值

OSCR 位域

55.4.3 RBR (0x20)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																								RBR							

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
N/A																								RO							
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0

RBR [31:0]

位域	名称	描述
7-0	RBR	接收数据读取

RBR 位域

55.4.4 THR (0x20)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																								THR							
N/A																								WO							
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0

THR [31:0]

位域	名称	描述
7-0	THR	发送数据写入

THR 位域

55.4.5 DLL (0x20)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																								DLL							
N/A																								RW							
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	1

DLL [31:0]

位域	名称	描述
7-0	DLL	当 DLAB 为 1 时，该寄存器配置分频参数的低 8 位

DLL 位域

55.4.6 IER (0x24)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																												EMSI	ELSI	ETHEI	ERBI
N/A																												RW	RW	RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0

IER [31:0]

位域	名称	描述
3	EMSI	流控中断使能： 当自动流控功能关闭时，CTS 状态的变化会触发中断。 当自动流控使能时，流控中断不会被使能，CTS 状态用来自动控制发送行为。
2	ELSI	接收状态中断使能
1	ETHEI	发送状态中断使能
0	ERBI	接收数据有效中断使能 character 超时中断使能

IER 位域

55.4.7 DLM (0x24)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																								DLM							
N/A																								RW							
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0

DLM [31:0]

位域	名称	描述
7-0	DLM	当 DLAB 为 1 时，该寄存器配置分频参数的高 8 位

DLM 位域

55.4.8 IIR (0x28)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																								FIFOED		RSVD		INTRID			
N/A																								RO		N/A		RO			
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	x	x	0	0	0	1

IIR [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
7-6	FIFOED	当 FIFO 被使能（FIFOE 位为 1）时，FIFOED 的值为 0x3
3-0	INTRID	中断 ID 6: 接收状态 当发生 overrun 错误，奇偶校验错误，帧错误或 line break 时产生 读寄存器 LSR 清零 4: 接收数据有效 如果 FIFOE 不使能，表示接收到一个数据在 RBR 中 如果 FIFOE 使能，表示接收到的数据达到 RFIFOT 触发水平 通过读接收缓存寄存器 RBR 直到剩余数据小于设置的触发水平清零 0xC: 字符超时 当 FIFOE 被使能，没有字符从接收 FIFO 中被移出或移入，并且在最后四个字符时间内接收 FIFO 中至少有一个字符 读接收寄存器 RBR 直到 FIFO 为控清零 2: 发送缓存寄存器空 如果 FIFOE 不使能，表示 1 字节的 THR 为空 如果 FIFOE 使能，表示整个 16 字节的发送 FIFO 为空 向 THR 写入数据清零或读取 IIR 清零该位 0: modem 状态 当 modem 状态寄存器 MSR 的 bit[3:0] 的值不是 0 时置位，指示下列事件中的一种发生： Clear To Send (CTS), Data Set Ready (DSR), Ring Indicator (RI), or Data Carrier Detect (DCD) 读 MSR 清零该位

IIR 位域

55.4.9 FCR (0x28)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																								RFIFOT		TFIFOT		DMAE	TFIFORST	RFIFORST	FIFOE
N/A																								WO		WO		WO	WO	WO	WO
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0

FCR [31:0]

位域	名称	描述
7-6	RFIFOT	接收 FIFO trigger level
5-4	TFIFOT	发送 FIFO trigger level
3	DMAE	DMA 使能

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
2	TFIFORST	发送 FIFO 复位，写 1 会清除发送 FIFO 中的所有数据并复位指针，该位自动清零
1	RFIFORST	接收 FIFO 复位，写 1 会清除接收 FIFO 中的所有数据并复位指针，该位自动清零
0	FIFOE	FIFO 使能。 写 1 会使能发送 FIFO 和接收 FIFO，该位发生翻转时会复位所有的 FIFO

FCR 位域

55.4.10 LCR (0x2C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																								DLAB	BC	SPS	EPS	PEN	STB	WLS	
N/A																								RW	RW	RW	RW	RW	RW	RW	
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0

LCR [31:0]

位域	名称	描述
7	DLAB	分频参数访问控制位，为 1 时访问相关寄存器会定向到分频参数控制
6	BC	break 控制
5	SPS	固定奇偶校验位： 1：parity bit 会固定为 0 或 1，根据 EPS 位设定 0：parity bit 不固定
4	EPS	奇偶校验选择： 1：偶校验（data 和 parity bits 中有偶数个 1） 0：奇校验
3	PEN	奇偶校验使能，使能后在发送数据时一个校验位会被放置在第一个 STOP 之前，在接收数据时会进行校验位检查
2	STB	STOP 位数量： 0：1 位 1：STOP 位的数量基于 WLS 的设置， WLS 为 0 时，STOP 为 1.5 位 WLS 为 1，2，3 时，STOP 为 2 位
1-0	WLS	word 长度设置 0：5 位 1：6 位 2：7 位 3：8 位

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述

LCR 位域

55.4.11 MCR (0x30)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																										AFE	LOOP	RSVD		RTS	RSVD
N/A																										RW	RW	N/A		RW	N/A
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	x	x	0	x

MCR [31:0]

位域	名称	描述
5	AFE	自动流控使能： 0：关闭 1：当 RTS 为 0 时，仅 CTS 做自动流控，当 RTS 为 1 时，CTS 和 RTS 自动流控都使能
4	LOOP	loopback 使能
1	RTS	请求 RTS 流控：设为 1 时，RTS 信号输出 0

MCR 位域

55.4.12 LSR (0x34)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																								ERRF	TEMT	THRE	LBREAK	FE	PE	OE	DR
N/A																								RO	RO	RO	RO	RO	RO	RO	RO
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0

LSR [31:0]

位域	名称	描述
7	ERRF	接收 FIFO 错误： 在 FIFO 模式下，当出现了奇偶校验错误，帧错误或者传输打断时该位会置 1。 该位读清零。
6	TEMT	发送 FIFO 空
5	THRE	发送 FIFO 空，该位为 1 时，如果对应中断使能，则会触发中断

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
4	LBREAK	传输打断。 当 RXD 信号拉低持续超过一个 full-word 时该位会被置 1。 一个 full-word 包括 START，data，parity 和 STOP 位。 该位读清零。
3	FE	帧错误。 当接收的 STOP 位为低时该位置 1。 该位读清零。
2	PE	奇偶校验错误。 该位读清零。
1	OE	接收数据过载。
0	DR	接收数据就绪。 存在有效的接收数据时该位置 1。 在所有接收数据被读取后该位清零。

LSR 位域

55.4.13 MSR (0x38)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																											CTS	RSVD			DCTS
N/A																											RO	N/A			RC
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	x	x	x	0

MSR [31:0]

位域	名称	描述
4	CTS	CTS 信号状态： 0：CTS 输入为高电平 1：CTS 输入为低电平
0	DCTS	该位置 1 表示在上次该位被读取之后，CTS 输入信号曾发生了翻转。

MSR 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

56 串行外设总线 SPI

串行外设总线 SPI 支持主机模式和从机模式。主机模式下可以控制多种外设，从机模式下可以接受主机的请求完成数据交换。

56.1 模块功能

- 支持主机模式和从机模式
- MSB 先行和 LSB 先行可配置
- 时钟频率可配置
- 支持 DMA 数据传输
- 支持 2 线 4 线模式

56.2 功能描述

本小节分为 4 个部分，分别描述主机模式、从机模式、两线模式和四线模式。主机和从机模式主要描述初始化和传输格式。2 线和 4 线模式主要描述它们和普通模式的区别。

56.2.1 主机模式

SPI 在主机模式下控制发起传输。SPI 传输的格式和接口时序可以通过寄存器编程。SPI 传输也通过寄存器访问发起。

SPI 传输包括命令、地址和数据字段，SPI 控制器提供专用的寄存器用来存储这些字段。

数据寄存器在接受和发送时是共用的。

数据传输可以由寄存器访问发起，也可以由 DMA 发起。

SPI 控制器提供发送和接受缓冲阈值中断，用以减轻流控的软件负担。

控制器还可以在传输结束时产生中断。

除支持标准的 SPI 传输以外，控制器允许软件直接控制 SPI 接口上的信号。这一功能可以用来实现接口上的特殊时序。

56.2.2 从机模式

SPI 模块可以工作在从机模式，接受接口上的命令。该模式下还可以支持用户在寄存器中自定义的特殊命令。

从机模式下把接口上的信号解释为命令、等待和数据。

从机模式下的命令和等待字段固定为 8 位，数据段的长度由接收到的命令和寄存器的设置决定。

对于读取状态的命令，控制器返回状态寄存器的值。

对于数据读写指令，传输由命令-等待-数据组成。

对于用户自定义指令，数据段格式由寄存器配置。例如，传输模式被设置成等待，写入，那么之后写入字段被保存在数据寄存器中，等待字段被丢弃。

56.2.3 2 线模式

2 线模式下把 MISO 和 MOSI 都用作双向信号从而获得 2 倍的带宽。

2 线模式下提供两种传输方式。一种方式地址和数据均使用 2 线传输。另一种方式下，只有数据使用 2 线传

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

输。传输方式可以通过寄存器配置。

56.2.4 4 线模式

4 线模式把 MOSI、MISO、WP 和 HOLD 均作为双向数据信号使用，获得 4 倍带宽。

4 线模式下提供两种传输方式。一种方式地址和数据均使用 4 线传输。另一种方式下，只有数据使用 4 线传输。传输方式可以通过寄存器配置。

56.3 SPI 寄存器列表

SPI0 base address: 0xF0030000 SPI1 base address: 0xF0034000 SPI2 base address: 0xF0038000 SPI3 base address: 0xF003C000

地址偏移	名称	描述	复位值
0x0010	TRANSFMT	数据格式	0x00020780
0x0020	TRANSCTRL	传输控制	0x00000000
0x0024	CMD	命令寄存器	0x00000000
0x0028	ADDR	地址寄存器	0x00000000
0x002C	DATA	数据寄存器	0x00000000
0x0030	CTRL	控制寄存器	0x00000000
0x0034	STATUS	状态寄存器	0x00000000
0x0038	INTREN	中断使能寄存器	0x00000000
0x003C	INTRST	中断状态	0x00000000
0x0040	TIMING	接口时序	0x00000000
0x0060	SLVST	从机状态	0x00000000
0x0064	SLVDATACNT	从机数据计数	0x00000000
0x007C	CONFIG	配置寄存器	0x00004311

表 246: SPI 寄存器列表

56.4 SPI 寄存器描述

56.4.1 TRANSFMT (0x10)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD														ADDRLEN		RSVD			DATALEN					DATAMERGE	RSVD		MOSIBIDIR	LSB	SLVMODE	CPOL	CPHA
N/A														RW		N/A			RW					RW	N/A		RW	RW	RW	RW	RW
0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	x	x	x	0	0	1	1	1	1	x	x	0	0	0	0	0

TRANSFMT [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
17-16	ADDRLEN	地址长度： 0x0:8 位， 0x1:16 位， 0x2:24 位， 0x3:32 位。
12-8	DATALEN	数据单位长度 实际位数为（DataLen+1）
7	DATAMERGE	允许数据合并模式，该模式在写入时自动拆分数据，在读取时合并数据。 此位仅在 DataLen=0x7 时生效。在数据合并模式下，对数据寄存器的每次写入将传输写入数据的所有四个字节；从数据寄存器读取的每个数据将检索四个字节的接收数据，作为单个字数据。 当禁用数据合并模式时，只有数据寄存器的最小（DataLen+1）有效位对读/写操作有效；不会执行自动数据拆分/合并。
4	MOSIBIDIR	常规模式下的双向 MOSI： 0x0:MOSI 是单向信号， 0x1:MOSI 是双向信号。
3	LSB	传输顺序： 0x0：高位先行， 0x1：低位先行。
2	SLVMODE	主/从模式选择： 0x0：主模式， 0x1：从模式。
1	CPOL	SPI 时钟极性： 0x0: 空闲态为低电平， 0x1: 空闲态为高电平。
0	CPHA	SPI 时钟相位： 0x0：奇数 SCLK 边沿采样， 0x1：偶数 SCLK 边沿采样。

TRANSFMT 位域

56.4.2 TRANSCTRL (0x20)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SLVDATAONLY	CMDEN	ADDREN	ADDRFMT	TRANSMODE				DUALQUAD		TOKENEN	WRTRANCNT									TOKENVALUE	DUMMYCNT		RDTRANCNT								
RW	RW	RW	RW	RW				RW		RW	RW									RW	RW		RW								
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TRANSCTRL [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31	SLVDATAONLY	纯数据模式（仅从模式）： 0x0：禁用纯数据模式， 0x1：启用纯数据模式。 注：此模式仅在常规模式下有效，因此 MOSIBiDir、DualQuad 和 TransMode 应设置为 0。
30	CMDEN	启用命令段（仅主模式）： 0x0：禁用命令段， 0x1: 启用命令段。
29	ADDREN	启用地址段（仅主模式）： 0x0：禁用地址段， 0x1: 启用地址段。
28	ADDRFMT	SPI 地址段格式（仅主模式）： 0x0：常规（1 位）模式， 0x1：数据段（2 线/4 线）相同。
27-24	TRANSMODE	传输模式，传输顺序可以是 0x0：同时读写， 0x1：仅写， 0x2：只读， 0x3：写，读， 0x4：读、写， 0x5：写、填充、读， 0x6：读、填充、写， 0x7：无数据（必须在主模式下启用 CmdEn 或 AddrEn）， 0x8：填充，写， 0x9：填充，读， 0xa~0xf: 保留。
23-22	DUALQUAD	SPI 数据段格式： 0x0：1 线模式， 0x1：2 线模式， 0x2：4 线模式， 0x3：保留。
21	TOKENEN	启用令牌（仅主模式），在 SPI 读取地址段后的 1 字节的令牌。应在 TokenValue 中选择特殊令牌的值。 0x0：禁用令牌， 0x1：启用令牌。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
20-12	WRTRANCNT	写入数据长度。 WrTranCnt 表示 SPI 写入数据长度。实际传输长度为（WrTranCnt+1）。 WrTranCnt 仅在 TransMode 为 0、1、3、4、5、6 或 8 时生效。 数据单位的大小（位宽度）由传输格式寄存器的 DataLen 字段定义。 对于传输模式 0，WrTranCnt 必须等于 RdTranCnt。
11	TOKENVALUE	令牌值（仅主模式），SPI 读取地址段后的令牌。 0x0：令牌值 =0x00， 0x1：令牌值 =0x69。
10-9	DUMMYCNT	填充数据长度。实际填充长度为（DummyCnt+1）。 SPI 接口上的填充周期数为（DummyCnt+1）*（(DataLen+1）/SPI IO 宽度），在填充数据段，数据引脚被置于高阻抗中。 DummyCnt 仅用于 TransMode 5、6、8 和 9，其具有填充数据段。
8-0	RDTRANCNT	读取数据长度，RdTranCnt 表示从 SPI 总线接收的数据长度。实际接收长度为（RdTranCnt+1）。 RdTransCnt 仅在 TransMode 为 0、2、3、4、5、6 或 9 时生效。 数据单位由传输格式寄存器的 DataLen 字段定义。 对于传输模式 0，WrTranCnt 必须等于 RdTranCnt。

TRANSCTRL 位域

56.4.3 CMD (0x24)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																								CMD							
N/A																								RW							
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0

CMD [31:0]

位域	名称	描述
7-0	CMD	SPI 命令。

CMD 位域

56.4.4 ADDR (0x28)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDR																															

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ADDR [31:0]

位域	名称	描述
31-0	ADDR	SPI 地址（仅主模式）。

ADDR 位域

56.4.5 DATA (0x2C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DATA [31:0]

位域	名称	描述
31-0	DATA	对于写操作，数据传输到 TX FIFO。低字节先行。如果 TX FIFO 满且状态寄存器的 SPIActive 位为 1，总线被阻塞并插入等待状态。 对于读操作，数据从 RX FIFO 读取。低字节先行。如果 RX FIFO 空且状态寄存器的 SPIActive 位为 1，总线被阻塞并插入等待状态。 FIFO 将 SPI 传输和软件的速度的缓冲。当 TX FIFO 为空时，SPI 传输将暂停，直到更多数据写入 TX FIFO；当 RX FIFO 满时，SPI 传输将暂停，直到 RX FIFO 中有更多空间。 如果写入 TX FIFO 的数据多于写入传输数量（WrTranCnt），剩余数据保留在 TX FIFO 中，下次传输或 TX FIFO 复位清除。

DATA 位域

56.4.6 CTRL (0x30)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								TXTHRES								RXTHRES								RSVD			TXDMAEN	RXDMAEN	TXFIFORST	RXFIFORST	SPIRST
N/A								RW								RW								N/A			RW	RW	RW	RW	RW
x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	0	0	0	0	0

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

CTRL [31:0]

位域	名称	描述
23-16	TXTHRES	TXFIFO 阈值，TX 数据小于或等于 TX FIFO 阈值时，发出 TXFIFO 中断或 DMA 请求。
15-8	RXTHRES	RXFIFO 阈值，RX 数据大于或等于 RX FIFO 阈值时，发出 RXFIFO 中断或 DMA 请求。
4	TXDMAEN	TX DMA 启用。
3	RXDMAEN	RX DMA 启用。
2	TXFIFORST	发送 FIFO 复位，写 1 复位，复位后自动清零。
1	RXFIFORST	接收 FIFO 复位，写 1 复位，复位后自动清零。
0	SPIRST	SPI 复位，写 1 复位，复位后自动清零。

CTRL 位域

56.4.7 STATUS (0x34)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD		TXNUM_7_6		RSVD		RXNUM_7_6		TXFULL	TXEMPTY	TXNUM_5_0						RXFULL	RXEMPTY	RXNUM_5_0						RSVD							SPIACTIVE
N/A		RO		N/A		RO		RO	RO	RO						RO	RO	RO						N/A							RO
x	x	0	0	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	0

STATUS [31:0]

位域	名称	描述
29-28	TXNUM_7_6	发送 FIFO 中的有效数据。
25-24	RXNUM_7_6	接收 FIFO 中的有效数据。
23	TXFULL	发送 FIFO 满标志。
22	TXEMPTY	发送 FIFO 空标志。
21-16	TXNUM_5_0	发送 FIFO 中的有效数据。
15	RXFULL	接收 FIFO 满标志。
14	RXEMPTY	接收 FIFO 空标志。
13-8	RXNUM_5_0	接收 FIFO 中的有效数据。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
0	SPIACTIVE	SPI 寄存器编程正在进行中。 在主模式下，SPIActive 在写入 SPI 命令寄存器后变为 1，在传输完成后变为 0。 在从属模式下，SPI CS 信号被断言后，SPIActive 变为 1；SPI CS 信号被解除断言后，SPIActive 变为 0。 注意，由于时钟同步，当相应条件发生时，SPIActive 最多可能需要两个 spi_ 时钟周期才能改变。 注意：当使用直接 IO 控制或内存映射接口时，该位保持为 0。

STATUS 位域

56.4.8 INTREN (0x38)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																										SLVCMDEN	ENDINTEN	TXFIFOINTEN	RXFIFOINTEN	TXFIFOURINTEN	RXFIFOORINTEN
N/A																										RW	RW	RW	RW	RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0

INTREN [31:0]

位域	名称	描述
5	SLVCMDEN	启用从机命令中断，在从模式下收到属命令时产生中断（仅从模式）。
4	ENDINTEN	启用 SPI 传输结束中断。SPI 传输结束时是否产生中断（在从模式下，读取结束不产生中断）。
3	TXFIFOINTEN	启用发送 FIFO 阈值中断。有效数据小于或等于 TX FIFO 阈值时是否产生中断。
2	RXFIFOINTEN	启用接收 FIFO 阈值中断。有效数据大于或等于 RX FIFO 阈值时是否产生中断。
1	TXFIFOURINTEN	启用发送 FIFO 欠载中断。发送 FIFO 数据耗尽时是否产生中断（仅从模式）。
0	RXFIFOORINTEN	启用接收 FIFO 溢出中断。接收 FIFO 溢出时是否产生中断（仅从模式）。

INTREN 位域

56.4.9 INTRST (0x3C)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																										SLVCMDINT	ENDINT	TXFIFOINT	RXFIFOINT	TXFIFOURINT	RXFIFOORINT
N/A																										W1C	W1C	W1C	W1C	W1C	W1C
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0

INTRST [31:0]

位域	名称	描述
5	SLVCMDINT	从机命令中断（仅从模式）。
4	ENDINT	SPI 传输中断结束。
3	TXFIFOINT	TX FIFO 阈值中断。
2	RXFIFOINT	RX FIFO 阈值中断。
1	TXFIFOURINT	TX FIFO 欠载中断（仅从模式）。
0	RXFIFOORINT	RX FIFO 溢出中断（仅从模式）。

INTRST 位域

56.4.10 TIMING (0x40)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																		CS2SCLK		CSHT				SCLK_DIV							
N/A																		RW		RW				RW							
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TIMING [31:0]

位域	名称	描述
13-12	CS2SCLK	CS 有效到 SCLK 边缘最短时间。SCLK_ 周期 *（CS2SCLK+1）/2。
11-8	CSHT	CS 高电平的最短时间。SCLK_ 周期 *（CSHT+1）/2。
7-0	SCLK_DIV	时钟源和 SPI 接口 SCLK 之间的时钟频率比。F(SCLK)=F(SPI)/((SCLK_DIV+1)*2)。 当 SCLK_DIV 是 0xff 时，SCLK 频率应与 SPI 时钟源同频。

TIMING 位域

56.4.11 SLVST (0x60)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD													UNDERRUN	OVERRUN	READY	USR_STATUS															
N/A													W1C	RW	RW	RW															
x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SLVST [31:0]

位域	名称	描述
18	UNDERRUN	上次传输中发生数据不足。
17	OVERRUN	上次传输中发生数据溢出。
16	READY	SPI 准备就绪。除从机模式下读取状态，该位都会在传输结束后清零。
15-0	USR_STATUS	自定义的状态标志。

SLVST 位域

56.4.12 SLVDATACNT (0x64)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD						WCNT										RSVD						RCNT									
N/A						RO										N/A						RO									
x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0

SLVDATACNT [31:0]

位域	名称	描述
25-16	WCNT	从机发送数据计数。
9-0	RCNT	从机接收数据计数。

SLVDATACNT 位域

56.4.13 CONFIG (0x7C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																	SLAVE	RSVD				QUADSPI	DUALSPI	TXFIFOSIZE				RXFIFOSIZE			
N/A																	RO	N/A				RO	RO	RO				RO			
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	1	x	x	x	x	1	1	0	0	0	1	0	0	0	1

CONFIG [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
14	SLAVE	支持从机模式。
9	QUADSPI	支持 4 线模式。
8	DUALSPI	支持 2 线模式。
7-4	TXFIFOSIZE	发送 FIFO 的深度： 0x0:2 个字， 0x1:4 个字， 0x2:8 个字， 0x3:16 个字， 0x4:32 个字， 0x5:64 个字， 0x6:128 字。
3-0	RXFIFOSIZE	接收 FIFO 的深度： 0x0:2 个字， 0x1:4 个字， 0x2:8 个字， 0x3:16 个字， 0x4:32 个字， 0x5:64 个字， 0x6:128 字。

CONFIG 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

57 集成电路总线 I2C

本章节介绍 I2C 的功能和特性。

57.1 特性总结

本章节介绍 I2C 的主要特性：

- 支持标准模式 (100Kb/s)，快速模式 (400Kb/s) 和快速模式 +(1Mb/s)
- 可配置主从模式
- 支持 7 位和 10 位地址模式
- 支持广播呼叫地址 (general call address)
- 自动时钟延展 (clock stretching)
- 可配置的时钟/数据时序
- 支持直接内存访问 (DMA)
- 4 字节 FIFO

I2C 的框图如图 91。

图 91: I2C 框图

57.2 功能描述

本章节描述 I2C 的功能。

57.2.1 主要功能

通过 SETUP 寄存器的 MASTER 位可配置 I2C 工作在主机模式或者从机模式。作为 I2C 主机，该控制器能够高效的发起传输。每个传输由 4 个阶段组成：起始，地址，数据和结束。在起始阶段会产生 START 操作，在地址阶段发送地址，在数据阶段 1 个或多个数据字节被传送，在结束阶段产生 STOP 操作。每个阶段都能够独立控制是否执行。

作为 I2C 从机，当 I2C 传输的地址与寄存器 ADDR 的地址匹配时，该控制器被选定，可配置 INTEN 寄存器的 ADDRHIT 位使控制器产生中断来通知软件准备后续的操作。如果收到广播呼叫地址，控制器会响应 ACK 并将 STATUS 寄存器的 GENCALL 位置 1。

当软件没有准备好下一个字节的发送数据或者接收数据时 FIFO 已满，控制会自动延展 I2C 总线时钟来暂停总线传输。主机模式和从模式都支持自动时钟延展。

控制器默认使能了自动响应，即除了最后一个字节外每接收一个字节数据都会自动发出 ACK，软件可通过使能 ByteReceive 中断来禁止自动响应功能，在每个字节接收完毕后决定是否发送 ACK 响应。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

57.2.2 时序配置

I2C 时序参数在 SETUP 寄存器中配置，所有参数的单位都是 I2C 模块功能时钟 (CLK_TOP_I2Cx) 的时钟周期数。由于这些可配参数的位数有限，当功能时钟频率非常高时，时序参数的位宽可能无法满足配置要求，因此控制器提供了 TPM 寄存器用来设置时序参数乘数，该乘数能够扩展时序参数的范围。TPM 寄存器的修改应该在 I2C 总线空闲且 I2C 控制器关闭 (寄存器 SETUP 的 IICEN 位为 0) 时进行。

以下以 CLK_TOP_I2C 频率 40MHz 且 TPM 等于 0 为例来说明时序参数配置。

毛刺过滤：在 SCL 和 SDA 输入信号上可被过滤掉的脉冲宽度，由 SETUP 寄存器的 T_SP 位定义，计算公式如 (6):

$$PulseWidth = T_SP \times Clk_Period \times (TPM + 1) \tag{6}$$

对于快速模式和快速模式 +，要求 50ns 以下的毛刺必须被过滤掉，计算可得 T_SP 应为 2.

数据建立时间 (Data Setup Time)：数据建立时间定义了在 SCL 上升沿之前 SDA 应该保持稳定的时间，由 SETUP 寄存器的 T_SUDAT 位设置，计算公式如 (7):

$$SetupTime = (2 \times Clk_Period) + (2 + T_SP + T_SUDAT) \times Clk_Period \times (TPM + 1) \tag{7}$$

对于标准模式，数据建立时间要求为 250ns 时，可得 T_SUDAT 应设为 4。

数据保持时间 (Data Hold Time)：数据保持时间定义了 SCL 下降沿之后应保持稳定的时间，由 SETUP 寄存器的 T_HDDAT 位设置，计算公式如 (8):

$$HoldTime = (2 \times Clk_Period) + (2 + T_SP + T_HDDAT) \times Clk_Period \times (TPM + 1) \tag{8}$$

对于标准模式，数据保持时间要求为 300ns 时，可得 T_HDDAT 应设为 6。

总线时钟频率：I2C 总线时钟频率由 SETUP 寄存器的 T_SCLHI 位和 T_SCLRATIO 位定义，计算公式如 (9)和(10)

$$SCL\ HighPeriod = (2 \times Clk_Period) + (2 + T_SP + T_SCLHI) \times Clk_Period \times (TPM + 1) \tag{9}$$

$$SCL\ LowPeriod = (2 \times Clk_Period) + (2 + T_SP + T_SCLHI \times T_S CLRATIO) \times Clk_Period \times (TPM + 1) \tag{10}$$

57.2.3 主机模式

不使用 DMA 的数据发送：

1. 设置时序参数
2. 配置主机模式 MASTER=1 并使能控制器 IICEN=1
3. 设置数据长度 DATACNT，传输方向 DIR 和传输阶段选择 PHASE_START/ADDR/DATA/STOP
4. 配置目标从机地址 ADDRESS
5. 设置 CMPL 使传输完成时产生中断，设置 FIFOEMPTY 使 FIFO 空时产生中断
6. 写 0x1 到 COMMAND 寄存器来启动传输
7. 等待中断：若 FIFO 为空则通过写 DATA 寄存器来存入数据，若所有数据已存入 FIFO 则关闭 FIFO 空中断，否则重复步骤 7；若传输完成则检查 ADDRHIT 确保目标从机正确接收了传输，CMPL 寄存器写 1 清除中断，跳转到步骤 8。
8. 关闭所有中断，检查 DATACNT 以确保所有数据传输完成

不使用 DMA 的数据接收：

1. 设置时序参数

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

2. 配置主机模式 MASTER=1 并使能控制器 IICEN=1
3. 设置数据长度 DATACNT，传输方向 DIR 和传输阶段选择 PHASE_START/ADDR/DATA/STOP
4. 配置目标从机地址 ADDRESS
5. 设置 CMPL 使传输完成时产生中断，设置 FIFOFULL 使 FIFO 满时产生中断
6. 写 0x1 到 COMMAND 寄存器来启动传输
7. 等待中断：若 FIFO 为满则通过从 DATA 寄存器来读出数据，若所有数据已存入 FIFO 则关闭 FIFO 空中断，否则重复步骤 7；若传输完成则检查 ADDRHIT 确保目标从机正确接收了传输，CMPL 寄存器写 1 清除中断，跳转到步骤 8。
8. 关闭所有中断，检查 DATACNT 以确保所有数据传输完成

使用 DMA 的数据发送：

1. 设置时序参数
2. 配置主机模式 MASTER=1，使能控制器 IICEN=1，使能 DMA 功能 DMAEn=1
3. 配置 DMA 控制器 IP
4. 设置数据长度 DATACNT，传输方向 DIR 和传输阶段选择 PHASE_START/ADDR/DATA/STOP
5. 配置目标从机地址 ADDRESS
6. 设置 CMPL 使传输完成时产生中断
7. 写 0x1 到 COMMAND 寄存器来启动传输
8. 等待中断，检查 DATACNT 以确保所有数据传输完成

57.2.4 从机模式

不使用 DMA 的数据传输：

1. 设置从机地址
2. 设置时序参数
3. 配置从机模式 MASTER=0 并使能控制器 IICEN=1
4. 使能地址命中中断 ADDRHIT 和传输完成中断 CMPL
5. 等待地址命中中断：读取传输方向 DIR，查看 GENCALL 确认是否是广播呼叫。若 DIR 方向为从机接收，则使能 FIFO 满中断并跳转到步骤 6；若 DIR 方向为从机发送，则使能 FIFO 空中断并跳转到步骤 7
6. 从机接收：等待 FIFO 满中断，读取数据，直到收到传输完成中断
7. 从机发送：等待 FIFO 空中断，写入数据，直到收到传输完成中断
8. 检查 DATACNT 寄存器确认传输数据量，清除传输完成中断

使用 DMA 的数据传输：

1. 设置从机地址
2. 设置时序参数
3. 配置从机模式 MASTER=0 并使能控制器 IICEN=1
4. 使能地址命中中断 ADDRHIT 和传输完成中断 CMPL
5. 等待地址命中中断：读取传输方向 DIR，如果不是期望的传输方向，则跳转到不使用 DMA 的数据传输流程。查看 GENCALL 确认是否是广播呼叫
6. 从机接收：等待 FIFO 满中断，读取数据，直到收到传输完成中断
7. 从机发送：等待 FIFO 空中断，写入数据，直到收到传输完成中断
8. 检查 DATACNT 寄存器确认传输数据量，清除传输完成中断

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

57.3 I2C 寄存器

57.3.1 寄存器说明

I2C 的寄存器列表如下：

I2C0 base address: 0xF3020000 I2C1 base address: 0xF3024000 I2C2 base address: 0xF3028000 I2C3 base address: 0xF302C000

地址偏移	名称	描述	复位值
0x0010	CFG	配置查询寄存器	0x00000001
0x0014	INTEN	中断使能寄存器	0x00000000
0x0018	STATUS	状态寄存器	0x00000001
0x001C	ADDR		0x00000000
0x0020	DATA	数据寄存器	0x00000000
0x0024	CTRL	控制寄存器	0x00001E00
0x0028	CMD	指令寄存器	0x00000000
0x002C	SETUP	设置寄存器	0x05252100
0x0030	TPM	时序参数乘数	0x00000000

表 247: I2C 寄存器列表

57.3.2 寄存器详细信息

I2C 的寄存器详细说明如下：

57.3.3 CFG (0x10)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																														FIFOSIZE	
N/A																														RO	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

CFG [31:0]

位域	名称	描述
1-0	FIFOSIZE	FIFO 深度： 0：2 字节 1：4 字节 2：8 字节 3：16 字节

CFG 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

57.3.4 INTEN (0x14)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																						CMPL	BYTERECV	BYTETRANS	START	STOP	ARBLOSE	ADDRHIT	FIFOHALF	FIFOFULL	FIFOEMPTY
N/A																						RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

INTEN [31:0]

位域	名称	描述
9	CMPL	传输完成中断使能： 主机模式：一个 transaction 被正确发出且没有失去总线仲裁 从机模式：发送给本控制器的一个 transaction 传输完成
8	BYTERECV	字节接收中断使能： 当收到一个字节的数据后发出中断，该位设为 1 时会关闭自动 ACK 响应，软件需要控制 ACK 或 NACK 的发出。
7	BYTETRANS	字节发送中断使能： 当完成一个字节的发送后产生中断。
6	START	START 中断使能： 当探测到 START 或 repeated START 时产生中断。
5	STOP	STOP 中断使能： 当探测到 STOP 时产生中断。
4	ARBLOSE	总线仲裁丢失中断使能： 主机模式：当控制器失去总线仲裁时产生中断 从机模式：无效
3	ADDRHIT	地址命中中断使能： 主机模式：收到目标从机的 ACK 响应时产生中断 从机模式：地址匹配时产生中断
2	FIFOHALF	FIFO 半满/半空中断： 工作在数据接收状态时，当 FIFO 已被填充一半时产生中断。 工作在数据发送状态时，当 FIFO 空出一半空间时产生中断。 数据的发送和接收状态由传输的方向决定。
1	FIFOFULL	FIFO 满中断使能
0	FIFOEMPTY	FIFO 空中断使能

INTEN 位域

57.3.5 STATUS (0x18)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																	LINESDA	LINESCL	GENCALL	BUSBUSY	ACK	CMPL	BYTERECV	BYTETRANS	START	STOP	ARBLOSE	ADDRHIT	FIFOHALF	FIFOFULL	FIFOEMPTY
N/A																	RO	RO	RO	RO	RO	W1C	W1C	W1C	W1C	W1C	W1C	W1C	RO	RO	RO
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

STATUS [31:0]

位域	名称	描述
14	LINESDA	SDA 信号状态： 1：高电平 0：低电平
13	LINESCL	SCL 信号状态： 1：高电平 0：低电平
12	GENCALL	广播呼叫标志： 1：当前 transaction 为广播呼叫 0：非广播呼叫
11	BUSBUSY	总线繁忙标志： 总线上出现了 START 但尚未出现 STOP 时为繁忙状态，该位置 1。
10	ACK	记录上一次传输的 ACK 状态： 1：ACK 0：NACK
9	CMPL	传输完成： 主机模式：一个 transaction 被正确发出且没有失去总线仲裁 从机模式：发送给本控制器的一个 transaction 传输完成 该状态位必须被清除，否则下一个 transaction 会被阻塞。
8	BYTERECV	一个字节数据已被接收
7	BYTETRANS	一个字节数据已被发送
6	START	START 或 repeated START 已被发送或接收
5	STOP	STOP 已被发送或接收
4	ARBLOSE	控制器已失去总线仲裁
3	ADDRHIT	主机模式：表示从机已发出响应 从机模式：表示 transaction 以本控制器为目标从机（包括广播呼叫）
2	FIFOHALF	数据发送状态下 FIFO 半空
1	FIFOFULL	FIFO 满
0	FIFOEMPTY	FIFO 空

STATUS 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

57.3.6 ADDR (0x1C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																						ADDR									
N/A																						RW									
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ADDR [31:0]

位域	名称	描述
9-0	ADDR	从机地址： 对于 7 位地址模式，该寄存器的低 7 位有效

ADDR 位域

57.3.7 DATA (0x20)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																								DATA							
N/A																								RW							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DATA [31:0]

位域	名称	描述
7-0	DATA	对该寄存器执行写操作会对 FIFO 进行 push，对该寄存器的读操作会对 FIFO 进行 pop

DATA 位域

57.3.8 CTRL (0x24)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																	RSVD		PHASE_START	PHASE_ADDR	PHASE_DATA	PHASE_STOP	DIR	DATACNT							
N/A																	N/A		RW	RW	RW	RW	RW	RW							
0	0	0	0	0	x	x	1	1	1	1	0	0	0	0	0	0	0	0	0												

CTRL [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
12	PHASE_START	发送 START 使能，仅主机模式。
11	PHASE_ADDR	发送地址使能，仅主机模式。
10	PHASE_DATA	发送数据使能，仅主机模式。
9	PHASE_STOP	发送 STOP 使能，仅主机模式。
8	DIR	传输方向： 主机模式下： 0：发送 1：接收 从机模式下： 0：接收 1：发送
7-0	DATACNT	byte 数量： 主机模式下：需要发送或接收的字节数，0 表示最大字节数。每次 byte 传输后该寄存器值减 1。 从机模式下：该寄存器的功能与 DMA 模式相关： 如果 DMA 关闭，该寄存器显示已向主机发送或从主机接收的字节数，当地址匹配时清零，每字节的数据传输后加 1。 如果 DMA 使能，该寄存器表示需要向主机发送或从主机接收的字节数，它不会清零且每字节的数据传输后减 1。

CTRL 位域

57.3.9 CMD (0x28)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																													CMD		
N/A																													RW		
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CMD [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
2-0	CMD	定义需要执行的操作： 0x0：无操作 0x1：发送一个数据 transaction，仅主机模式 0x2：发送一个 ACK 响应 0x3：发送一个 NACK 响应 0x4：清除 FIFO 0x5：复位该控制器，包括中断使能寄存器 当通过向该寄存器写 1 来发送 transaction 时，寄存器保持 0x1 的值直到传输完成。

CMD 位域

57.3.10 SETUP (0x2C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD			T_SUDAT					T_SP			T_HDDAT					RSVD		T_SCLRADIO	T_SCLHI									DMAEN	MASTER	ADDRESSING	IICEN
N/A			RW					RW			RW					N/A		RW	RW									RW	RW	RW	RW
0	0	0	0	0	1	0	1	0	0	1	0	0	1	0	1	0	0	1	0	0	0	0	1	0	0	0	0	0	0	0	0

SETUP [31:0]

位域	名称	描述
28-24	T_SUDAT	定义 SCL 上升沿之前 SDA 的建立时间
23-21	T_SP	定义毛刺过滤的脉冲宽度
20-16	T_HDDAT	定义 SCL 下降沿之后 SDA 的保持时间
13	T_SCLRADIO	定义 SCL 占空比： 0：50% 占空比 1：低电平的持续时间约为高电平的 2 倍 仅主机模式有效。
12-4	T_SCLHI	定义 SCL 高电平时间，仅主机模式有效
3	DMAEN	DMA 使能
2	MASTER	配置主从模式： 1：主机模式 0：从机模式
1	ADDRESSING	I2C 地址模式： 1：10 位地址模式 0：7 位地址模式
0	IICEN	使能 I2C 控制器

SETUP 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

57.3.11 TPM (0x30)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																											TPM				
N/A																											RW				
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TPM [31:0]

位域	名称	描述
4-0	TPM	时序参数乘数

TPM 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

58 控制器局域网 CAN 控制器

本章节介绍控制器局域网 CAN 控制器功能和特性。

58.1 特性总结

本章节介绍控制器局域网 CAN 控制器功能和特性：

- 支持 CAN 2.0B 协议，支持多达 8 字节的数据载荷, 数据速率可达 1Mbit/s;
- 支持 CAN FD 协议，支持多达 64 字节的数据载荷, 数据速率可达 8Mbit/s;
- 支持 1 ~ 1/256 的波特率预分频，灵活配置波特率;
- 16 个接收缓冲器;
  - FIFO 方式;
  - 错误或者不被接收的数据不会覆盖存储的消息;
- 1 个高优先主发送缓冲器 PTB;
- 8 个副发送缓冲器 STB;
  - FIFO 方式;
  - 优先级仲裁方式;
- 16 组独立的筛选器;
  - 支持 11 位标准 ID 和 29 位扩展 ID;
  - 可编程 ID CODE 位以及 MASK 位;
- PTB/STB 均支持单次发送模式;
- 支持静默模式;
- 支持回环模式;
- 支持待机模式;
- 支持捕捉传输的错误种类以及定位仲裁失败位置;
- 可编程的错误警告值;
- 支持 ISO11898-4 规定时间触发 CAN 以及接收时间戳可配置停止位：1 位，1.5 位或者 2 位。

CAN 控制器的框图如图 92。

图 92: CAN 控制器数据流框图

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

58.2 功能描述

本章节介绍控制器局域网 CAN 控制器的功能。

58.2.1 CAN 管脚说明

管脚名称	方向	功能说明
RXD	输入	CAN 接收数据信号
TXD	输出	CAN 发送数据信号
STBY	输出	CAN 外部收发器待机控制信号

表 248: CAN 管脚说明

58.2.2 设定波特率

CAN 通信使用的时钟 CAN_CLK 为 SOC 内部产生的时钟，使用 CAN 模块之前，默认时钟频率 (f_{can_clk}) 是 80Mhz, 客户一般不需要对此时钟进行改变。

下图给出 CAN 位时间（BitTime，BT）定义图，虚线上部分为 CAN 协议规定的位时间，虚线下部分为本 CAN 控制器定义的位时间。其中 segment1 和 segment2 可以通过寄存器 BT 设定。BT 寄存器只能在 CMD_STA_CMD_CTRL.RESET=
即 CAN 软件复位时设定。

图 93: CAN RXTX 位的时间定义图

TQ 计算方法请参考以下公式，其中 PRESC 通过 BT 寄存器的 PRESC 位设定。

$$TQ = \frac{n_{prescaler}}{f_{can_clk}}$$

位时间计算方法请参考以下公式，其中 SEG_1 和 SEG_2 通过 BT 寄存器的 SEG_1 位和 SEG_2 位设定。

$$BT = \frac{n_{prescaler} * n_{TQ}}{f_{can_clk}} = t_{Seg_1} + t_{Seg_2} = ((SEG_1 + 2 + (SEG_2 + 1))TQ$$

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

寄存器位	设定范围	设定规则
BT 寄存器的 SEG_1 位	0 ~ 63	SEG_1 ≥ SEG_2 + 1
BT 寄存器的 SEG_2 位	0 ~ 7	SEG_2 ≥ SJW
BT 寄存器的 SJW 位	0 ~ 7	

表 249: CAN 位时间设定规则

58.2.3 发送缓冲器

CAN 控制器提供两种发送缓冲器用于发送数据，主发送数据缓冲器 PTB 和副发送缓冲器 STB。PTB 具有最高的优先级，但只能缓冲一帧数据。STB 优先级比 PTB 低，但可以缓冲 4 帧数据，且 STB 内 4 帧数据可以工作在 FIFO 模式或者优先级仲裁模式。

STB 中的 4 帧数据可以通过 CMD_STA_CMD_CTRL 寄存器的 TSALL 位设定为 1 全部发送，在 FIFO 模式下，最先写入的数据先发送，在优先级模式下，ID 小的数据先发送。PTB 中的数据具有最高优先级，所以 PTB 发送能推迟 STB 发送，但是已经赢得仲裁并开始发送的 STB 不能够被 PTB 发送推迟。

PTB 和 STB 中的一帧数据需占用 4 个字，可以通过 TBUF 寄存器进行访问。通过 CMD_STA_CMD_CTRL 寄存器的 TBSEL 位选择 PTB 或者 STB，TBSEL=0，选择 PTB，TBSEL=1，选择 STB。通过 CMD_STA_CMD_CTRL 寄存器的 TSNEXT 位选择 STB 中的下一个 SLOT。对应关系如下图所示：

图 94: CAN TBUF 寄存器写发送缓冲器和示意图

58.2.4 接受缓冲器

CAN 控制器提供 16 个 SLOT 的接收缓冲器用于存储接收到的数据，该 16SLOT 的接收缓冲器工作在 FIFO 模式。每个 RB SLOT 需占用 4 个字，通过 RBUF 寄存器来读取接收到的数据，总是最先读取最早接收到数据，并通过 CMD_STA_CMD_CTRL 寄存器的 RREL 设置为 1 释放已经读取的 RB SLOT，并指向下一个 RB SLOT。

通过 RBUF 读取 RB SLOT 示意图如下。

58.2.5 接收筛选寄存器组

CAN 控制器提供 16 组 32 位筛选器用于过滤接收到的数据从而降低 CPU 负荷，筛选器可以支持标准格式 11 位 ID 或者扩展格式 29 位 ID。每组筛选器有一个 32 位 ID CODE 寄存器和一个 32 位 ID MASK 寄存器，ID CODE 寄存器用于比较接收到 CAN ID，而 ID MASK 寄存器用于选择比较的 CAN ID 位。对应的 ID MASK 位为 1 时，不比较该位的 ID CODE。

接收到的数据只要通过 16 组筛选器的任意一组，则被接收，接收到的数据存储在 RB 中，否则数据不被接收，也不被存储。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

每组筛选器通过 ACFEN 寄存器使能或者禁止。ID CODE 和 ID MASK 通过 ACFCTRL 寄存器的 SELMASK 位设定，SELMASK=0 时，指向 ID CODE，SELMASK=1 时，指向 ID MASK。筛选器通过 ACFCTRL 寄存器的 ACFADR 位选择。ID CODE 和 ID MASK 通过 ACF 寄存器访问且只能在 CMD_STA_CMD_CTRL.RESET=1 即 CAN 软件复位时设定。ACF 寄存访问筛选寄存器组的方式请参考下图。

图 95: CAN 接受筛选寄存器

58.2.6 单次数据发送

不需要使用自动重新发送功能时，可以通过寄存器设定为单次发送模式，CMD_STA_CMD_CTRL 寄存器的 TPSS 位用于 PTB 的单次发送模式设定，TSSS 位用于 STB 的单次发送模式。数据成功发送时单次发送和正常发送模式时动作相同。但是数据没有成功发送时会出现以下结果：

- TPIF 置位（TPIE=1），对应的 BUF SLOT 数据会被清除。
- 有错误发送时，KOER 更新，BEIF 置位（BEIE=1）。
- 仲裁失败，ALIF 置位（ALIE=1）。

单次发送模式，不能单独依靠 TPIF 来判断发送完成，需要同 BEIF 和 ALIF 一起判断发送是否完成。

58.2.7 取消数据发送

可以通过 TPA 或者 TSA 取消已请求但还没有被执行的数据发送。取消数据发送会出现以下几种情况：

- 仲裁中
  - 节点仲裁失败，则取消数据发送。
  - 节点仲裁成功，则继续发送。
- 数据发送中
  - 成功发送数据且收到 ACK，对应的标志和状态正常置位。数据发送不取消。
  - 成功发送数据但没有收到 ACK，数据发送取消，错误计数器增加。
  - TSALL=1 设定的发送数据，正在发送的 STB SLOT 数据正常发送，没有开始发送的 STB SLOT 被取消。

取消数据发送的结果有以下两种情况。

- TPA 释放 PTB，且使 TPE=0。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

- TSA 释放一个 STB SLOT 或者全部 STB SLOT 取决是 TSONE 还是 TSALL 使能的发送。

58.2.8 数据接收

接收筛选器组可以过滤掉不需要的接收数据，减少中断的发生和 RB 的读取，从而降低 CPU 负荷。接收数据设定步骤如下：

- 设定筛选器组。
- 设定 RFIE，RAFIE 和 AFWL。
- 等待 RFIF 或者 RAIF。
- 通过 RBUF 从 RB FIFO 中读取最早接收到的数据。
- 设置 RREL=1，选择下一个 RB SLOT。
- 重复 4，5 直到通过 RSTAT 确认 RB 为空。

58.2.9 错误处理

CAN 控制器一方面可以自动处理部分错误，比如自动重发数据或者丢弃接收到含有错误的帧，另一方面通过中断将错误向 CPU 报告。

CAN 节点有以下三种错误状态：

- 错误主动：节点检测到错误时自动发送主动错误标志。
- 错误被动：节点检测到错误时自动发送被动错误标志。
- 节点关闭：关闭状态下此节点不再影响整个 CAN 网络。

CAN 控制器提供 TECNT 和 RECNT 两个计数器用于计数错误。TECNT 和 RECNT 计数器按照 CAN2.0B 协议规定的规则进行增减。另外提供可编程的 CAN 错误警告 LIMIT 寄存器用于产生错误中断通知 CPU。

CAN 通信过程中有以下 5 种错误类型，错误类型可以通过 EALCAP 寄存器的 KOER 位识别：

- 位错误。
- 形式错误。
- 填充错误。
- 应答错误。
- CRC 错误。

58.2.10 节点关闭

当发送错误数大于 255 时，CAN 节点自动进入节点关闭状态从而不参与 CAN 通信，直到返回到错误主动状态。可以通过 CMD_STA_CMD_CTRL 寄存器的 BUSOFF 位确认 CAN 节点关闭状态。BUSOFF 被置位的同时 EIF 中断产生。

CAN 从节点关闭状态状态恢复到错误主动状态有以下两种方法：

- 上电复位。
- 接收到连续 128 个 11 位的隐形位序列（恢复序列）。

节点关闭状态下，TECNT 值保持不变，RECNT 用于计数恢复序列。从节点关闭状态恢复后，TECNT 和 RECNT 被复位为 0。

节点关闭标志 BUSOFF 置位的同时，CMD_STA_CMD_CTRL 寄存器的 RESET 位也被置位。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

58.2.11 仲裁失败位置捕捉

CAN 控制器能够精确捕捉到仲裁失败位的位置并反映到 ALC 寄存器中。ALC 寄存器中保存着最近一次仲裁失败位的位置，如果节点赢得仲裁，则 ALC 位不更新。

ALC 值定义如下：

- SOF 位后，第一个 ID 数据位 ALC 为 0，第二个 ID 数据位 ALC 为 1，依次类推。因为仲裁只发生在仲裁场内，所以 ALC 的最大值为 31。比如一个标准格式远程帧和一个扩展帧仲裁，扩展帧在 IDE 位失败，则 ALC=12。

58.2.12 回环模式

CAN 控制器支持以下两种回环模式：

- 内部回环。
- 外部回环。

两种回环模式都可以接收自己发出的数据帧，主要用于测试用途。

内部回环模式，模块内部将接收数据线连接到发送数据线，并且发送数据不输出。内部回环模式下，节点会生成自应答信号以避免 ACK 错误。

外部回环模式保持和收发器的连接因此发送的数据仍能出现在 CAN 总线上，在收发器的帮助下，CAN 能收到自己发送的数据。外部回环模式可以通过 CMD_STA_CMD_CTRL 寄存器的 SACK 位来决定是否生成自应答信号，SACK=0 时，不生成自应答信号，SACK=1 时，生成自应答信号。

外部回环模式，SACK=0 时，会出现以下两种情况：

- 其它节点也收到本节点发送的数据帧并发送应答信号，该情况下本节点能够成功收发数据。
- 如果没有其它节点返回应答信号，则会产生应答错误，会重新发送数据并增加错误计数器。此时推荐采用单次发送模式。

从回环模式返回到正常模式时，除了清除模式位以外，还需要软件复位 CAN_CTRL。

图 96: CAN-CTRL 的回环模式

58.2.13 静默模式

静默模式可以用来监控 CAN 网络数据。在静默模式下，可以从 CAN 总线接收数据，不向总线发送任何数据。将 CMD_STA_CMD_CTRL 寄存器中的 LOM 置 1，使 CAN 总线控制器进入静默模式，将其清 0 可以离开静默模式。

外部回环模式可以和静默模式组合成外部回环静默模式，此时 CAN 可以认为一个安静的接收者，但在有必要的时候可以发送数据。外部回环静默模式下，帧包含自应答信号允许被发送，但是该节点不会产生错误标志和

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

过载帧。

58.2.14 软件复位功能

通过设定寄存器 CMD_STA_CMD_CTRL 寄存器的 RESET 位为 1, 实现软件复位功能，软件复位功能的复位范围如下表所示。

表 250: 软件复位

寄存器	复位	注释
ACFADR	NO	-
ACODE_X	NO	RESET=1 时寄存器可写，RESET=0 时写禁止。
ACFA	YES	-
AE_x	NO	-
AFWL	NO	-
AIF	YES	-
ALC	YES	-
ALIE	NO	-
ALIF	YES	-
AMASK_x	NO	RESET=1 时寄存器可写，RESET=0 时写禁止
BEIE	NO	-
BEIF	YES	-
BUSOFF	NO	BUSOFF=1 时复位错误寄存器，同时也复位 BUSOFF
EIE	NO	-
EIF	NO	-
EPASS	NO	-
EPIE	NO	-
EPIF	YES	-
EWARN	NO	-
EWL	YES	-
FD_ISO	NO	-
FSTIM	NO	-
F_PRESC	NO	RESET=1 时寄存器可写，RESET=0 时写禁止
F_SEG_1	NO	RESET=1 时寄存器可写，RESET=0 时写禁止
F_SEG_2	NO	RESET=1 时寄存器可写，RESET=0 时写禁止
F_SJW	NO	RESET=1 时寄存器可写，RESET=0 时写禁止
KELOC	YES	-
KOER	YES	-
LBME	YES	-
LBMI	YES	-
LOM	NO	-
MAEIF	YES	-
MDEIF	YES	-

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

表 250: 软件复位

寄存器	复位	注释
MDWIE	NO	-
MDWIF	YES	-
MEL	NO	-
MEBP1	NO	-
MEBP2	NO	-
ME1EE	NO	-
ME2EE	NO	-
MEAEE	NO	-
MEEEC	NO	-
MENEC	NO	-
MES	NO	-
MPEN	NO	RESET=1 时寄存器可写，RESET=0 时写禁止
RACTIVE	YES	CAN 的消息接收会被马上终止，不会发出接收应答。
RAFIE	NO	-
RAFIF	YES	-
RBALL	YES	-
RBUF	YES	-
RECNT	NO	-
REF_ID	NO	-
RFIE	NO	-
RFIF	YES	-
RIE	NO	-
RIF	YES	-
ROIE	NO	-
ROIF	UES	-
ROM	NO	-
ROV	UES	所有的 RB 位置都被标为“空”
RREL	YES	-
RSTAT	YES	所有的 RB 位置都被标为“空”
SACK	YES	-
SEIF	YES	-
SELMASK	NO	-
STBY	NO	-
SWIE	NO	-
SWIF	YES	-
S_PRESC	NO	RESET=1 时寄存器可写，RESET=0 时写禁止
S_SEG_1	NO	RESET=1 时寄存器可写，RESET=0 时写禁止
S_SEG_2	NO	RESET=1 时寄存器可写，RESET=0 时写禁止
S_SJW	NO	RESET=1 时寄存器可写，RESET=0 时写禁止

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

表 250: 软件复位

寄存器	复位	注释
TACTIVE	YES	CAN 的消息发送会被马上终止。
TBE	YES	-
TBF	YES	-
TBPTR	NO	-
TBSEL	YES	TBUF 指向 PTB
TBUF	YES	所有的 STB 位置都被标为“空”
TECNT	NO	-
TEIF	YES	-
TIMEEN	NO	-
TIMEPOS	NO	-
TPA	YES	-
TPE	YES	-
TSA	YES	-
TSALL	YES	-
TSMODE	NO	-
TSNEXT	YES	-
TSONE	YES	-
TPIE	NO	-
TPIF	YES	-
TPSS	YES	-
TSFF	YES	所有的 STB 位置都被标为“空
TSSS	NO	-
TSSTAT	YES	所有的 STB 位置都被标为“空
TTEN	YES	-
TTIF	YES	-
TTIE	NO	-
TTPTR	NO	-
TTS	NO	-
TTTBM	NO	-
TTYPE	NO	-
TT_TRIG	NO	-
TT_WTRIG	NO	-
T_PRESC	NO	-
TXB	YES	-
TXS	YES	-
WTIE	YES	-
WTIF	YES	-
XMREN	NO	RESET=1 时寄存器可写，RESET=0 时写禁止

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

58.2.15 向上兼容 CAN-FD 功能

CAN 控制器的 CAN-FD 功能如果未被使能情况下，也能够向上兼容；在这种情况下，在 CAN-FD 网络中收到 CAN-FD 的帧，接收器会自动忽略这些帧，不返回 ACK，等到总线空闲时，再发送或者接收下一个 CAN2.0B 的帧。

58.2.16 时间触发 TTCAN

CAN 控制器为 ISO11898-4 规定的时间触发通信方式提供部分 (lever 1) 硬件支持。本章节从以下 5 个部分介绍 TTCAN 功能。

58.2.16.1 TTCAN 模式下的 TBUF 行为 TTTBM=1

TTTBM=1 时，PTB 和 STB SLOT 一样组成 TB SLOT，通过 TBPTR 寄存器指定发送 BUF，其中 TBPTR=0 时，指向 PTB，TBPTR=1 是指向 STB SLOT1，依次类推。主机可以通过 TPE 和 TPF 寄存器来标记发送 BUF SLOT。此时 TBSEL 和 TSNEXT 寄存器无任何意义从而可以被忽略。

TTTBM=1 时，PTB 不具有任何特殊的属性，和 STB SLOT 一样，传送完成标志也采用 TSIF。

TTCAN 模式时，发送 BUF 没有 FIFO 模式和优先级仲裁模式，同时也只有一个选定的 SLOT 可以发送数据。

TTCAN 模式下，传输开始需要采用时间触发方式，TPE，TSONE，TSALL，TPSS 和 TPA 被固定为 0 且被忽略。

TTTBM=0

TTTBM=0 时，组合使用事件驱动通信和接收时间戳功能。在该模式下，PTB 和 STB 的功能和 TTEN=0 时一致，因此 PTB 始终具有最高的优先级，而 STB 可以工作在 FIFO 模式或者仲裁模式。

58.2.16.2 TTCAN 功能描述 上电后，Time Master 需要根据 ISO 11898-4 协议进行初始化。一个 CAN 网络中，最多可以有 8 个潜在的 Time Master。每一个 Time Master 都具有自己的参考消息 ID（ID 最后 3 位）。这些潜在的 Time Master 根据自己的优先级发送各自的参考消息。

TTEN=1 后，16 位的计数器开始工作，当参考消息被成功接收或者 Time Master 成功发送参考消息时，CAN 控制器将 Sync_Mark 拷贝给 Ref_Mark，Ref_Mark 将 cycle time 设置为 0。成功接收参考消息置位 RIF 标志而成功发送参考消息置位 TPIF 标志或者 TSIF 标志。此时主机需要准备下一个动作的触发条件。

触发条件可以是接收触发。该触发仅触发中断可用于检测期待的消息没有被收到。触发条件也可以是发送触发。该触发开始发送通过 TTPTR 寄存器指定的 TBUF SLOT 里的数据。如果选定的 TBUF SLOT 被标记为空，则不开始发送，但置位中断标志。

58.2.16.3 TTCAN 时序 CAN 控制器支持 ISO11898-4 level 1。包含的一个 16 位计数器工作在为 PRESC，SEG_1，SET_2 定义的位时间下。如果 TTEN=1，则有一个额外的预分频器 T_PRESC。一帧数据的 SOF 时，计数器的值为 Sync_Mark。如果该帧数据为参考消息，则将 Sync_Mark 拷贝给 Ref_Mark。cycle time 等于计数器的值减去 Ref_Mark。该时间用作为接收消息的时间戳或者发送消息的触发时间基准。

58.2.16.4 TTCAN 触发方式 通过 TTYPE 寄存器定义 TTCAN 的触发方式，TTPTR 寄存器指定发送 SLOT，而 TT_TRIG 指定触发器的周期时间。包含以下五种触发方式：

- 立即触发。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

- 时间触发。
- 单词发送触发。
- 发送开始触发。
- 发送停止触发。

除了立即触发方式外，所有的触发器都使用 TTIF 标志。TTTBM=1 时，只支持时间触发方式。

立即触发

通过写 TT_TRIG 的高位（不在意写入的值），启动触发器。此模式下，TTPTR 选定的 TBUF SLOT 内的数据会立即发送。TTIF 不置位。

时间触发

时间触发方式仅通过置位 TTIF 标志产生中断，并无其他功能。如果一个节点期待在特定的时间窗口内收到期待的数据，则可以使用时间触发方式。如果 TT_TRIG 值小于实际的 cycle time，则 TEIF 置位且无其它动作。

单次发送触发

单次发送触发方式用于在执行时间窗口内发送数据。此时，忽略 TSSS 位。

通过 TEW 位设定 ISO11898-4 规定的最多 16 个 cycle time 的 Tick，设定范围为 1 16。如果在规定的发送使能时间窗口内数据没有开始发送，则帧被丢弃。对应的发送 BUF SLOT 被标记为空，并且置位 AIF，对应的发送 BUF 内的数据不会被改写，因为可以通过置位 TPF 再次发送。

如果 TT_TRIG 值小于实际的周期时间，则 TEIF 置位且无其它动作。

发送开始触发

发送开始触发方式用于仲裁时间窗口内，参与仲裁。TSSS 用于决定是否自动重发或者单次发送模式。如果指定的消息没有被成功发送，可以使用发送停止触发来停止该发送。

如果 TT_TRIG 值小于实际的周期时间，则 TEIF 置位且无其它动作。

发送停止触发

发送停止触发方式用于停止通过发送开始触发方式已经开始的发送。如果发送被停止，则发送帧被舍弃，置位 AIF 并将选定的 TBUF SLOT 标记为空，但 TBUF SLOT 内的数据不会被改写，可以通过置位 TPF 就可以再次发送。

如果 TT_TRIG 值小于实际的周期时间，则 TEIF 置位且无其它动作。

58.2.16.5 TTCAN 触发看门时间 TTCAN 触发看门时间功能类似于看门狗功能，在 TTTBM=1 时使用。用来看门从上次成功接收到参考消息开始的时间。参考消息可以在周期 cycle time 中或者一个事件后被接收，应用程序应该根据具体情况设定合适的看门时间。

如果 cycle count 等于 TT_WTRIG，则置位 WTIF。通过 WTIE 写 0，关闭看门触发。如果 TT_WTRIG 比实际的 cycle time 小，则 TEIF 置位。

58.2.17 CiA 603 时间戳

58.2.17.1 时间戳

CAN in Automation (CiA) 在规范 603 中定义了至少 16 位时间戳的方法，此芯片 CAN 控制器支持 64 位时间戳。它可以与 TTCAN 一起使用或独立使用。

CiA 603 有一个自由运行的计时器，它计算时钟周期而不是 CAN 位次。CAN 控制器外部有自由运行定时器

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

（64 位）PTPC，计数值连接到 CAN 控制器；计数器的时钟（PTPC 的时钟，默认值是 100Mhz）和 CAN 控制器的通信时钟 can_clk 异步，和总线（APB 总线）的时钟也异步；can_clk 时钟域的事件（event）来触发从 PTPC 计数器来的计数值（PTPC 时钟域）作为时间戳，再到总线的时钟域（APB 时钟），最后再回到 can_clk 时钟域；这些跨时钟域的信号会带来一定的延迟。

在 SOF 或 EOF 位的采样点处获取时间戳，其中帧被取为有效的。这可以通过配置位 TIMEPOS 来选择。ACK 后的七个隐性位分隔符形成 CAN / CAN FD 帧的 EOF。一个帧在最后一位对接收者有效 EOF，但对于 EOF 最后一位的发送器。

在许多系统中广泛使用的基于软件的时间戳依赖于接收和传输中断。因此，建议在 EOF 上加时间戳。

CiA 603 应该支持 AUTOSAR 的时间戳和时间同步。用于 AUTOSAR CAN 网络中的一个节点是时间主站。时间主站发送同步消息（同步消息）。SYNC 消息的时间戳由时间主机和所有时间获取奴隶。从命令 SYNC 消息事件到发出 SYNC 消息的时间之间的时间差实际传输的 SYNC 消息将在后续 (FUP) 消息中由时间大师。因此 CAN-CTRL 只支持传输帧 (TTS) 的一个时间戳，但所有接收帧 (RTS) 的单独时间戳。为传输帧生成时间戳可以使用 TBUF 插槽内的位 TTSEN 为每个帧单独启用或禁用。

CiA 定义了读取定时器和修改定时器的规则。CAN-CTRL 不包括定时器，但使用外部定时器。CAN-CTRL 只包括时间戳机制，寄存器用于存储 TTS 和用于存储每个帧的 RTS 的内存。

寄存器位 TIMEEN 启用或禁用时间戳。如果禁用 TTS 和 RTS 无效。

58.2.17.2 外部定时器

CAN 控制器从 PTPC 模块接入 64 位自由运行计数器的计数值，PTPC 计数器的详细信息，请参照 PTPC 章节。

总之，PTPC 是一个自由运行的计数器，它可以被 CPU 读取和写入；与 CAN 控制器提供的 CliA 603 时间戳支持 AUTOSAR 定义的时间同步。

58.3 CAN 寄存器

58.3.1 寄存器说明

CAN 的寄存器列表如下：

CAN0 base address: 0xF0080000 CAN1 base address: 0xF0084000

地址偏移	名称	描述	复位值
0x0000	RBUF[BUF0]	接收缓冲区寄存器及时间戳	0x00000000
0x0004	RBUF[BUF1]	接收缓冲区寄存器及时间戳	0x00000000
0x0008	RBUF[BUF2]	接收缓冲区寄存器及时间戳	0x00000000
0x000C	RBUF[BUF3]	接收缓冲区寄存器及时间戳	0x00000000
0x0010	RBUF[BUF4]	接收缓冲区寄存器及时间戳	0x00000000
0x0014	RBUF[BUF5]	接收缓冲区寄存器及时间戳	0x00000000
0x0018	RBUF[BUF6]	接收缓冲区寄存器及时间戳	0x00000000
0x001C	RBUF[BUF7]	接收缓冲区寄存器及时间戳	0x00000000
0x0020	RBUF[BUF8]	接收缓冲区寄存器及时间戳	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0024	RBUF[BUF9]	接收缓冲区寄存器及时间戳	0x00000000
0x0028	RBUF[BUF10]	接收缓冲区寄存器及时间戳	0x00000000
0x002C	RBUF[BUF11]	接收缓冲区寄存器及时间戳	0x00000000
0x0030	RBUF[BUF12]	接收缓冲区寄存器及时间戳	0x00000000
0x0034	RBUF[BUF13]	接收缓冲区寄存器及时间戳	0x00000000
0x0038	RBUF[BUF14]	接收缓冲区寄存器及时间戳	0x00000000
0x003C	RBUF[BUF15]	接收缓冲区寄存器及时间戳	0x00000000
0x0040	RBUF[BUF16]	接收缓冲区寄存器及时间戳	0x00000000
0x0044	RBUF[BUF17]	接收缓冲区寄存器及时间戳	0x00000000
0x0048	RBUF[BUF18]	接收缓冲区寄存器及时间戳	0x00000000
0x004C	RBUF[BUF19]	接收缓冲区寄存器及时间戳	0x00000000
0x0050	TBUF[BUF0]	发送缓存寄存器	0x00000000
0x0054	TBUF[BUF1]	发送缓存寄存器	0x00000000
0x0058	TBUF[BUF2]	发送缓存寄存器	0x00000000
0x005C	TBUF[BUF3]	发送缓存寄存器	0x00000000
0x0060	TBUF[BUF4]	发送缓存寄存器	0x00000000
0x0064	TBUF[BUF5]	发送缓存寄存器	0x00000000
0x0068	TBUF[BUF6]	发送缓存寄存器	0x00000000
0x006C	TBUF[BUF7]	发送缓存寄存器	0x00000000
0x0070	TBUF[BUF8]	发送缓存寄存器	0x00000000
0x0074	TBUF[BUF9]	发送缓存寄存器	0x00000000
0x0078	TBUF[BUF10]	发送缓存寄存器	0x00000000
0x007C	TBUF[BUF11]	发送缓存寄存器	0x00000000
0x0080	TBUF[BUF12]	发送缓存寄存器	0x00000000
0x0084	TBUF[BUF13]	发送缓存寄存器	0x00000000
0x0088	TBUF[BUF14]	发送缓存寄存器	0x00000000
0x008C	TBUF[BUF15]	发送缓存寄存器	0x00000000
0x0090	TBUF[BUF16]	发送缓存寄存器	0x00000000
0x0094	TBUF[BUF17]	发送缓存寄存器	0x00000000
0x0098	TTS[WRD0]	发送时间戳寄存器，低 32 位	0x00000000
0x009C	TTS[WRD1]	发送时间戳寄存器，高 32 位	0x00000000
0x00A0	CMD_STA_CMD_CTRL	配置，状态，命令和控制寄存器	0x00900080
0x00A4	RTIE	接收和发送中断使能寄存器	0xFE
0x00A5	RTIF	接收和发送中断标志寄存器	0x00
0x00A6	ERRINT	错误中断使能寄存器	0x00
0x00A7	LIMIT	警告限制寄存器。	0x1B
0x00A8	S_PRESC	位时序寄存器（低速）	0x01020203
0x00AC	F_PRESC	位时序寄存器（高速）	0x01020203
0x00B0	EALCAP	错误或仲裁丢失寄存器	0x00
0x00B1	TDC	发送延迟补偿寄存器	0x00

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x00B2	RECNT	接收错误计数寄存器	0x00
0x00B3	TECNT	发送错误计数寄存器	0x00
0x00B4	ACFCTRL	接收过滤控制寄存器	0x00
0x00B5	TIMECFG	CiA 603 时间戳	0x00
0x00B6	ACF_EN	接收过滤使能寄存器	0x0000
0x00B8	ACF	接收 CODE ACODE 或 ACMASK 寄存器	0x00000000
0x00BC	VER	版本号	0x0000
0x00BE	TBSLOT	TTCAN：TB 时隙指针寄存器	0x00
0x00BF	TTCFG	TTCAN：TB 时间触发控制寄存器	0x00
0x00C0	REF_MSG	TTCAN: 参考消息寄存器	0x00000000
0x00C4	TRIG_CFG	TTCAN: 触发配置寄存器	0x0000
0x00C6	TT_TRIG	TTCAN: 触发时间寄存器	0x0000
0x00C8	TT_WTRIG	TTCAN: 监视触发时间寄存器。	0x0000

表 251: CAN 寄存器列表

58.3.2 寄存器详细信息

CAN 的寄存器详细说明如下：

58.3.3 RBUF (0x0 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RBUF																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RBUF [31:0]

位域	名称	描述
31-0	RBUF	接收缓存

RBUF 位域

58.3.4 TBUF (0x50 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TBUF																															
RW																															

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TBUF [31:0]

位域	名称	描述
31-0	TBUF	发送缓存

TBUF 位域

58.3.5 TTS (0x98 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TTS_WRD0																															
RO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TTS [31:0]

位域	名称	描述
31-0	TTS_WRD0	发送时间戳，字 0，低 32 位

TTS 位域

58.3.6 CMD_STA_CMD_CTRL (0xA0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SACK	ROM	ROV	RREL	RBALL	RSVD	RSTAT		FD_ISO	TSNEXT	TSMODE	TTTBM	RSVD		TSSTAT		TBSEL	LOM	STBY	TPE	TPA	TSONE	TSALL	TSA	RESET	LBME	LBMI	TPSS	TSSS	RACTIVE	TACTIVE	BUSOFF
RW	RW	RO	RW	RW	N/A	RO		RW	RW	RW	RW	N/A		RO		RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RO	RO	RW
0	0	0	0	0	x	0	0	1	0	0	1	x	x	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0

CMD_STA_CMD_CTRL [31:0]

位域	名称	描述
31	SACK	自响应 (Self ACK) 0 -无自响应确认 1 -当 LBME=1 时，自响应。
30	ROM	接收缓冲区溢出模式，如果收到新消息时 RBUF 已满，则 ROM 选择以下内容： 1 -不会存储新消息。 0 -最旧的消息将被覆盖。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
29	ROV	接收缓冲区溢出 1 -溢出。至少丢失了一条消息。 0 -无溢出。 ROV 通过设置 RREL=1 被清除。
28	RREL	接收缓冲区释放，CPU 已读取实际的 RB 槽并释放它。 RB 槽指针指向下一个 RB 插槽。RSTAT 得到更新。 1 -释放：主机已读取 RB。 0 -无释放
27	RBALL	接收缓冲区存储“所有”数据帧 0 -正常操作 1 -RB 存储正确的数据帧以及有错误的数据帧
25-24	RSTAT	接收缓冲区状态 00 - 空 01 - 不空 10 - 几乎满（AFWL 可编程阈值）但未满且无溢出 11 - 满（在溢出的情况下保持设置—溢出信号见 ROV）
23	FD_ISO	CAN FD ISO 模式 0 - 博世 CAN FD（非 ISO）模式 1 - ISO CAN FD 模式 (ISO 11898-1:2015) ISO CAN FD 模式具有不同的 CRC 初始化值和额外的填充位计数。 两种模式不兼容，不得在一个 CAN 网络中混合使用。 该位对 CAN 2.0B 没有影响。 该位仅在 RESET=1 时可写。
22	TSNEXT	副发送缓冲器下一个数据槽的使能 0 - 无动作 1 - STB 时隙已满，选择下一个插槽。 在所有帧字节写入 TBUF 寄存器后，主机控制器必须设置 TSNEXT 表示该槽已被填满。然后 CAN-CTRL 内核连接 TBUF 注册到下一个插槽。一旦一个时隙被标记为已满，就可以开始传输使用 TSONE 或 TSALL。 可以在一次写访问中同时设置 TSNEXT 和 TSONE 或 TSALL。 TSNEXT 必须由主机控制器设置，并由 CAN-CTRL 自动复位核心设置后立即。 如果 TBSEL=0，则设置 TSNEXT 没有意义。在这种情况下 TSNEXT 被忽略并且自动清除。它不会造成任何伤害。 如果 STB 的所有时隙都已填满，则 TSNEXT 将保持设置状态，直到一个时隙变为空闲。 TSNEXT 在 TTCAN 模式下没有意义，固定为 0。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
21	TSMODE	副发送缓冲器操作模式 0 - 先进先出模式 1 - 优先决策模式 在 FIFO 模式下，帧按照写入 STB 的顺序传输。 在优先级决策模式下，STB 中具有最高优先级的帧自动首先传送。帧的 ID 用于优先级决定。较低的 ID 意味着帧的优先级更高。 PTB 中的帧始终具有最高优先级，无论身份证。 只有当 STB 为空时才应切换 TSMODE。
20	TTTBM	TTCAN 发送缓冲模式 如果 TTEN=0，则忽略 TTTBM，否则以下内容有效： 0 - 分离 PTB 和 STB，行为由 TSMODE 定义 1 - 完全 TTCAN 支持：缓冲槽可由 TBPTR 和 TTPTR 选择 对于事件驱动的 CAN 通信（TTEN=0），系统提供了 PTB 和 STB；STB 的行为由 TSMODE 定义。 对于时间触发的 CAN 通信 (TTEN=1)，支持所有功能，包括时间触发传输（TTTBM=1）。所有 TB 槽都是可使用 TTPTR 和 TBPTR 寻址。 对于仅支持接收时间戳的时间触发 CAN 通信 (TTEN=1)，可选择 TTTBM=0。然后发送缓冲区作为事件驱动模式（通过 TSMODE 选择行为）。 仅当 TBUF 为空时才可更改 TTTBM 的值。
17-16	TSSTAT	传输辅助状态 STAT 位 如果 TTEN=0 或 TTTBM=0： 00 –STB 为空 01 –STB 小于或等于半满 10 –STB 已满一半 11 –STB 已满 如果使用 STB_DISABLE 禁用 STB，则 TSSTAT=00。 如果 TTEN=1 且 TTTBM=1： 00 –PTB 和 STB 为空 01 –PTB 和 STB 非空且未满 11 –PTB 和 STB 已满
15	TBSEL	发送缓冲区选择；　选择要加载消息的传输缓冲区（TBUF）。 TBSEL 需要在写入 TBUF 寄存器时稳定。 TSNEXT 已设置。 0 - PTB（高优先级缓冲区） 1 - STB（次级优先级） 如果（TTEN=1 和 TTTBM=1），该位将被复位为硬件复位

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
14	LOM	只听模式 0 - 禁用 1 - 启用 如果设置了 TPE、TSONE 或 TSALL，则无法启用 LOM。如果已经启用值听模式下 (LOM)，且 LBME=0，将无法启动传输。 LOM=1 和 LBME=0 禁用所有传输。 LOM=1 和 LBME=1 禁用接收帧和错误帧的 ACK，但启用自己的帧的传输。
13	STBY	CAN 外部收发器待机模式 0 - 禁用 1 - 启用 该寄存器位连接到输出信号 STBY，可用于控制 CAN 收发器的待机模式。 如果 TPE=1、TSONE=1 或 TSALL=1，则 STBY 不能设置为 1。如果主机将 STBY 设置为 0，则主机需要等待收发器在主机请求新传输之前启动。
12	TPE	主传输使能 1 - 高优先级 PTB 消息的传输启用 0 - PTB 无传输 如果设置了 TPE，来自 PTB 的消息将在下一个可能的传输位置传输。未完成的 STB 消息将继续完成，但新 STB 将等待 PTB 消息被传输后才开始。TPE 一直保持被设置状态（=1），直到消息成功传输或使用中止协议。 主机控制器可以将 TPE 设置为 1，但不能将其重置为 0。只能是可能用 TPA 并中止消息。 如果 RESET=1, STBY=1, (LOM=1 和 LBME=0) 或 (TTEN=1 和 TTTBM=1)，此位会被重置位硬件复位时的值（0）。
11	TPA	传输主中止 1 -中止。 中止由 TPE=1 请求，但未开始的 PTB 传输。（消息的数据字节保留在 PTB 中）。 0 -不中止。 当此位被设置后，整个 CAN 控制器复位时复位此位；设置 TPA 位，会使 TPE 清零。 CPU 可以将 TPA 设置为 1，但不能将其重置为 0。如果 RESET=1 或（TTEN=1 和 TTTBM=1），该位将被复位。 TPA 不应与 TPE 同时设置。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
10	TSONE	发送次要帧 1-STB 传输一个帧。 在 FIFO 模式下，这是最早的消息； 在优先级模式下，这是具有最高优先级的消息。优先模式下（PRIMARY）的 TSONE 很难处理，因为有可能在同时向 STB 写入新消息，此时会传输消息。一旦总线空闲，且无 PTB 传输请求（TPE）。 0-STB 无传输。 TSONE 将保持被设置状态，直到消息成功传输或被 TSA 中止。 CPU 可以将 TSONE 设置为 1，但无法将其重置为 0。可以用 TSA 中止消息发送。 此位被复位的条件，RESET=1，STBY=1，（LOM=1 和 LBME=0）或（TTEN=1 和 TTTBM=1）。
9	TSALL	发送所有副帧 1-传输 STB 所有消息。 一旦总线空闲，控制器就会启动传输，并且无任何 PTB（位 TPE）传输请求。 0-STB 消息不传输。 TSALL 被设置后，到所有消息成功传输或被 TSA 中止，才会变为“0”。 CPU 可以将 TSALL 设置为 1，但不能将其重置为 0。可使用 TSA 并中止消息。 此位被复位的条件，RESET=1，STBY=1，（LOM=1 和 LBME=0）或（TTEN=1 和 TTTBM=1）。 如果在传输期间 STB 加载了新帧，则新帧也将被传输，直到 STB 为空。
8	TSA	次要传输中止 1-中止已请求但尚未启动的 STB 传输。 对于 TSONE 传输，只有一个帧回在传输中被中止；对于对于 TSALL，传输时，所有帧都被中止。将相应的更新 TSSTAT。所有中止的消息都将丢失。 0-无中止 CPU 可以将 TSA 设置为 1，但不能将其重置为 0。此位被置“1”时，会自动清楚 TSONE 和 TALL。此位不应和 TSONE 或 TALL 同时置“1”。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
7	RESET	RESET 请求位 1 - 执行本地复位。 0 - 没有本地复位某些寄存器（例如用于节点配置）只能在 RESET=1 时修改。 位 RESET 强制几个组件进入复位状态。 请注意，在 11 个 CAN 位时间后 RESET 切换为 0 后，一个 CAN 节点将参与 CAN 通信。 CAN 标准要求此延迟（总线空闲时间）。如果 RESET 设置为 1 并立即设置为 0，则需要一些时间才能读到 RESET 为 0 并变为无效。
6	LBME	外部环回模式 0 - 未使能 1 - 启用。 当传输处于活动状态时不应启用。
5	LBMI	内部环回模式 0 - 未使能 1 - 启用。 当传输处于活动状态时不应启用。
4	TPSS	PTB 传输主单发模式 0 - 禁用 1 - 启用
3	TSSS	传输次级单发模式 0 - 禁用 1 - 启用
2	RACTIVE	接收正在进行（接收状态位） 1 - 控制器当前正在接收帧。 0 - 没有接收活动。
1	TACTIVE	发送正在进行（传输状态位） 1 - 前正在传输一个帧。 0 - 无传输活动。
0	BUSOFF	总线关闭（总线状态位） 1 - 控制器状态为“总线关闭”。 0 - 控制器状态为“总线开启”。

CMD_STA_CMD_CTRL 位域

58.3.7 RTIE (0xA4)

7	6	5	4	3	2	1	0
RIE	ROIE	RFIE	RAFIE	TPIE	TSIE	EIE	TSFF

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

7	6	5	4	3	2	1	0
RW	RW	RW	RW	RW	RW	RW	RO
1	1	1	1	1	1	1	0

RTIE [7:0]

位域	名称	描述
7	RIE	接收中断使能 0 -禁用，1 -启用
6	ROIE	RB 溢出中断使能 0 -禁用，1 -启用
5	RFIE	RB 满中断使能 0 -禁用，1 -启用
4	RAFIE	RB 几乎满中断使能 0 -禁用，1 -启用
3	TPIE	首级传输中断使能 0 -禁用，1 -启用
2	TSIE	次级传输中断使能 0 -禁用，1 -启用
1	EIE	错误中断使能 0 -禁用，1 -启用
0	TSFF	如果 TTEN=0 或 TTTBM=0：发送二级缓冲区满标志 1 - STB 填充了最大数量的消息。 0 - STB 未填充最大数量的消息。 如果使用 STB_DISABLE 禁用 STB，则 TSFF=0。 如果 TTEN=1 且 TTTBM=1：发送缓冲区时隙已满标志 1 - TBPTR 选择的缓冲槽为满。 0 - TBPTR 选择的缓冲槽为空。

RTIE 位域

58.3.8 RTIF (0xA5)

7	6	5	4	3	2	1	0
RIF	ROIF	RFIF	RAFIF	TPIF	TSIF	EIF	AIF
W1C	W1C	W1C	W1C	W1C	W1C	W1C	W1C
0	0	0	0	0	0	0	0

RTIF [7:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
7	RIF	接收中断标志 1 - 数据或远程帧已被接收并且在接收缓冲区中。 0 - 没有收到帧。
6	ROIF	RB 溢出中断标志 1 - 至少一个接收到的消息已在 RB 中被覆盖。 0 - 没有 RB 被覆盖。 在 RB 溢出的情况下，ROIF 和 RFIF 都将被设置。
5	RFIF	RB 满中断标志 1 - 所有 RB 都已满。如果在接收到下一个有效消息之前不会释放 RB，最旧的消息将丢失。 0 - RB FIFO 未满。
4	RAFIF	RB 几乎满中断标志 1 - 填充的 RB 槽数 >= AFWL_i 0 - 填充的 RB 槽数 < AFWL_i
3	TPIF	首级传输中断标志 1 - 请求的 PTB 传输已成功完成。 0 - 尚未完成 PTB 的传输。 在 TTCAN 模式下，TPIF 不会被设置，只有 TSIF 是有效的。
2	TSIF	次级传输中断标志 1 - 请求的 STB 传输已成功完成。 0 - 没有成功完成 STB 的传输。 在 TTCAN 模式下，TSIF 将发出所有成功传输的信号，无论其存储位置如何消息。
1	EIF	错误中断标志 1 - 已超过错误警告限制，或 BUSOFF 位已更改。 0 - 没有变化。
0	AIF	中止中断标志 1 - 设置 TPA 或 TSA 后，相应的消息已中止。 建议不要同时设置 TPA 和 TSA，因为两者都触发 AIF。 0 - 未执行中止。

RTIF 位域

58.3.9 ERRINT (0xA6)

7	6	5	4	3	2	1	0
EWARN	EPASS	EPIE	EPIF	ALIE	ALIF	BEIE	BEIF
RO	RO	RW	W1C	RW	W1C	RW	W1C
0	0	0	0	0	0	0	0

ERRINT [7:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
7	EWARN	达到错误或警告限制 1 - 错误计数器 RECNT 或 TECNT 之一等于或大于 EWL 0 - 两个计数器中的值都小于 EWL。
6	EPASS	被动错误模式激活 0 - 非激活（节点是主动错误模式） 1 - 激活（节点被动错误模式）
5	EPIE	
4	EPIF	被动错误中断标志。 如果错误状态从主动错误到被动错误的更改，则 EPIF 将被置起（如果此终端被使能）；反之亦然。
3	ALIE	仲裁丢失中断使能
2	ALIF	仲裁丢失中断标志
1	BEIE	总线错误中断使能
0	BEIF	总线错误中断标志

ERRINT 位域

58.3.10 LIMIT (0xA7)

7	6	5	4	3	2	1	0
AFWL				EWL			
RW				RW			
0	0	0	1	1	0	1	1

LIMIT [7:0]

位域	名称	描述
7-4	AFWL	接收缓冲区几乎满警告限制 AFWL 定义了内部警告限制 AFWL_i，它是可用 RB 槽的数量。 AFWL_i 与已填充的 RB 槽进行比较，如果相等则触发 RAFIF。 AFWL = 0 无意义，自动视为 0x1。（请注意，此规则中的意思是 AFWL 而不是 AFWL_i。） AFWL_i > RB 总槽数无意义，自动视为 RB 的总槽数。 AFWL_i = RB 的总槽数是一个有效值。
3-0	EWL	可编程　错误警告限制 = (EWL+1)*8。可能的限制值：8、16、……128。 EWL 的值会直接影响对应的中断标志位 EIF。

LIMIT 位域

58.3.11 S_PRESC (0xA8)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
S_PRESC								RSVD	S_SJW							RSVD	S_SEG_2							S_SEG_1							
RW								N/A	RW							N/A	RW							RW							
0	0	0	0	0	0	0	1	x	0	0	0	0	0	1	0	x	0	0	0	0	0	1	0	0	0	0	0	0	0	1	1

S_PRESC [31:0]

位域	名称	描述
31-24	S_PRESC	预分频器（慢速） 预分频器对系统时钟进行分频以获得时间时钟 tq_clk。有效范围 PRESC=[0x00, 0xff] 导致分频器值为 1 到 256。
22-16	S_SJW	同步跳转宽度（慢速） 同步跳转宽度是缩短或延长重新同步的位时间的最大时间，其中 TQ 是时间单位量。
14-8	S_SEG_2	位定时段 2（慢速） 采样点之后的时间。
7-0	S_SEG_1	位定时段 1 （慢速） 设置采样点在位时间开始之后的时间。

S_PRESC 位域

58.3.12 F_PRESC (0xAC)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
F_PRESC								RSVD				F_SJW				RSVD				F_SEG_2				RSVD				F_SEG_1			
RW								N/A				RW				N/A				RW				N/A				RW			
0	0	0	0	0	0	0	1	x	x	x	x	0	0	1	0	x	x	x	x	0	0	1	0	x	x	x	x	0	0	1	1

F_PRESC [31:0]

位域	名称	描述
31-24	F_PRESC	预分频器（快速） 预分频器对系统时钟进行分频以获得时间时钟 tq_clk。有效范围 PRESC=[0x00, 0xff] 导致分频器值为 1 到 256。
19-16	F_SJW	同步跳转宽度（速度快） 同步跳转宽度是缩短或延长重新同步的位时间的最大时间，其中 TQ 是时间单位量。
11-8	F_SEG_2	位定时段 2（慢速） 采样点之后的时间。
3-0	F_SEG_1	位定时段 1 （慢速） 设置采样点在位时间开始之后的时间。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述

F_PRESC 位域

58.3.13 EALCAP (0xB0)

7	6	5	4	3	2	1	0
KOER			ALC				
RO			RO				
0	0	0	0	0	0	0	0

EALCAP [7:0]

位域	名称	描述
7-5	KOER	错误类型（错误代码） 000 - 没有错误（NO ERR） 001 - 位错误（BIT ERR） 010 - 格式错误（FORM ERR） 011 - 资料错误（STUFF ERR) 100 - 应答错误（ACK ERR) 101 - CRC 错误 110 - 其他错误（自身错误标志后的显性位，接收到的活动错误标志太长，ACK 错误后被动错误标志期间的显性位） 111 - 未使用 KOER 随每个新错误而更新。因此，当帧成功发送或接收时，它保持不变。
4-0	ALC	仲裁丢失捕获（仲裁丢失的帧中的位的位置）

EALCAP 位域

58.3.14 TDC (0xB1)

7	6	5	4	3	2	1	0
TDCEN				SSPOFF			
RW				RW			
0	0	0	0	0	0	0	0

TDC [7:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
7	TDCEN	发送的延迟补偿使能 如果 TDCEN=1，BRS 处于活动状态，则 TDC 将在 CAN FD 帧的数据阶段被激活。
6-0	SSPOFF	二级采样点偏移 发送的延迟加上 SSPOFF 定义了 TDC 的辅助采样点的时间。SSPOFF 以 TQ 的计数量给出。

TDC 位域

58.3.15 RECNT (0xB2)

7	6	5	4	3	2	1	0
RECNT							
RO							
0	0	0	0	0	0	0	0

RECNT [7:0]

位域	名称	描述
7-0	RECNT	接收期间的错误数（Receive Error Count）。 RECNT 按照 CAN 规范中的定义递增和递减。RECNT 不会溢出。 如果 TXB=1，则错误计数器被冻结。

RECNT 位域

58.3.16 TECNT (0xB3)

7	6	5	4	3	2	1	0
TECNT							
RO							
0	0	0	0	0	0	0	0

TECNT [7:0]

位域	名称	描述
7-0	TECNT	传输过程中的错误数（Transmit Error Count） TECNT 按照 CAN 规范中的定义递增和递减。在“总线关闭状态”的情况下，TECT 可能会溢出。 如果 TXB=1，则错误计数器被冻结。

TECNT 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

58.3.17 ACFCTRL (0xB4)

7	6	5	4	3	2	1	0
RSVD		SELMASK	RSVD	ACFADR			
N/A		RW	N/A	RW			
x	x	0	x	0	0	0	0

ACFCTRL [7:0]

位域	名称	描述
5	SELMASK	选择接受传输的掩码 0 - 寄存器 ACF_x 指向接受代码 1 - 寄存器 ACF_x 指向接受掩码。 ACFADR 选择一个特定的验收过滤器。
3-0	ACFADR	接受过滤器地址 ACFADR 指向特定的接受过滤器。 可以使用寄存器 ACF_x 访问选定的过滤器。 位 SELMASK 为选定的验收过滤器在验收代码和掩码之间进行选择。 ACFADR>ACF_NUMBER-1 的值是没有意义的，并自动被视为值 ACF_NUMBER-1。 ACF_NUMBER = 16。

ACFCTRL 位域

58.3.18 TIMECFG (0xB5)

7	6	5	4	3	2	1	0
RSVD						TIMEPOS	TIMEEN
N/A						RW	RW
x	x	x	x	x	x	0	0

TIMECFG [7:0]

位域	名称	描述
1	TIMEPOS	时间戳位置 0 –SOF， 1 –EOF， TIEMPOS 只能在 TIMEEN=0 时更改，但可以和 TIMEEN=1 同时修改 TIEMPOS。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
0	TIMEEN	时间戳启用 0 –禁用 1 –启用

TIMECFG 位域

58.3.19 ACF_EN (0xB6)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ACF_EN															
RW															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ACF_EN [15:0]

位域	名称	描述
15-0	ACF_EN	接收过滤器启用 1 - 启用接受过滤器 0 - 接受过滤器禁用 每个验收过滤器（AMASK / ACODE）都可以单独启用或禁用。禁用的过滤器拒绝消息；只有启用的过滤器才能接受消息。请注意 AMASK / ACODE 配置匹配。

ACF_EN 位域

58.3.20 ACF (0xB8)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD	AIDEE	AIDE	CODE_MASK																												
N/A	RW	RW	RW																												
x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ACF [31:0]

位域	名称	描述
30	AIDEE	接受掩码 IDE 位检查使能 1 - 接受过滤器接受 AIDE 定义的标准或扩展 0 - 接受过滤器接受标准或扩展帧 只有过滤器 0 受上电复位影响。所有其他过滤器保持未初始化状态。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
29	AIDE	接受掩码 IDE 位的值，如果 AIDEE=1，则： 1 - 接受过滤器只接受扩展帧； 0 - 接受过滤器只接受标准帧； 只有过滤器 0 受上电复位影响，所有其他过滤器保持未初始化状态。
28-0	CODE_MASK	接收代码 1 - ACC 位值与接收到的消息的 ID 位进行比较 0 - ACC 位值与接收到的消息的 ID 位进行比较 ACODE_x(10:0) 将用于扩展帧。 ACODE_x(28:0) 将用于扩展帧。 只有过滤器 0 受上电复位影响。 接受掩码（如果 SELMASK ==1 ） 1 - 接受检查，对象为禁用的接收标识符位 0 - 接受检查，对象为启用的接收标识符位 AMASK_x(10:0) 将用于扩展帧。 AMASK_x(28:0) 将用于扩展帧。 禁用位会使消息被接受。因此默认配置后，过滤器 0 的重置接受所有消息。只有过滤器 0 受上电复位影响。

ACF 位域

58.3.21 VER (0xBC)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VERSION															
RW															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

VER [15:0]

位域	名称	描述
15-0	VERSION	版本号

VER 位域

58.3.22 TBSLOT (0xBE)

7	6	5	4	3	2	1	0
TBE	TBF	TBPTR					
RW	RW	RW					

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0

TBSLOT [7:0]

位域	名称	描述
7	TBE	将 TB 插槽设置为“空” 1 - TBPTR 选择的消息槽标记为“空” 0 - 无操作 一旦消息槽被标记为空，且 TSFF=0，TBE 自动重置为 0。 如果来自该消息槽的传输处于活动状态，TBE 就保持被设置状态，到传输完成或在传输错误或仲裁丢失后。 如果同时设置了 TBF 和 TBE，则 TBE 获胜
6	TBF	将 TB 消息槽设置为“已填充” 1 - TBPTR 选择的消息槽应标记为“已填充” 0 - 无操作 一旦消息槽被标记为已填充，且 TSFF=1，TBF 会自动重置为 0。 如果同时设置了 TBF 和 TBE，则 TBE 获胜。
5-0	TBPTR	指向 TB 消息槽的指针。 0x00 - 指向 PTB 的指针 其他 - 指向 STB 中槽的指针 TBPTR 指向的消息槽可使用 TBUF 寄存器进行读取/写入。 仅当 TSFF=0 时才可能进行写访问。 将 TBF 设置为 1 将所选槽标记为已填充，将 TBE 设置为 1 将所选插槽标记为空。 TBSEL 和 TSNEXT 在 TTCAN 模式下不使用，没有意义。 TBPTR 只能指向硬件中存在的缓冲槽。 TBPTR 的不可用位，固定为 0。 TBPTR 仅限于 PTB 和 63 个 STB 消息槽。 TTCAN 模式下不能使用更多的槽位。如果 TBPTR 太大并且指向一个不可用的槽位，则 TBF 和 TBE 会自动重置并且不发生任何动作。

TBSLOT 位域

58.3.23 TTCFG (0xBF)

7	6	5	4	3	2	1	0
WTIE	WTIF	TEIF	TTIE	TTIF	T_PRESC		TTEN
RW	RW	RW	RW	RW	RW		RW
0	0	0	0	0	0	0	0

TTCFG [7:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
7	WTIE	监视触发中断使能
6	WTIF	监视触发中断标志 如果循环计数达到 TT_WTRIG 定义的限制，并且设置了 WTIE，则将设置 WTIF。
5	TEIF	错误触发中断标志 没有其他的寄存器位来启用或禁用 TEIF。
4	TTIE	时间触发中断使能 如果设置了 TTIE，那么如果循环时间等于触发时间 TT_TRIG，则将设置 TTIF
3	TTIF	时间触发中断标志 如果设置了 TTIE 并且周期时间等于触发时间 TT_TRIG，则将设置 TTIF 为高。 将 1 写入 TTIF 会将其重置。写入零没有影响。TTIF 将只设置一次。如果 TT_TRIG 没有更新，那么在下一个基本循环中将不会再次设置 TTIF。
2-1	T_PRESC	TTCAN 定时器预分频器 00b - 1 01b - 2 10b - 4 11b - 8 TTCAN 时基是由 S_PRES、S_SEG_1 和 S_SEG_2 定义的 CAN 位时间。使用 T_PRESC 定义了 1、2、4 或 8 的附加预分频因子。T_PRESC 只能在 TTEN=0 时修改，但可以同时修改 T_PRESC 和设置 TTEN。
0	TTEN	时间触发使能 1 - TTCAN 启用，定时器正在运行 0 - 禁用

TTCFG 位域

58.3.24 REF_MSG (0xC0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
REF_IDE	RSVD		REF_MSG																												
RW	N/A		RW																												
0	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

REF_MSG [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31	REF_IDE	参考的消息 IDE 位。
28-0	REF_MSG	参考的消息标识符。 如果 REF_IDE 是 1 - REF_ID(28:0) 有效（扩展 ID） 0 - REF_ID(10:0) 有效（标准 ID） REF_ID 在 TTCAN 模式下用于检测参考消息，适用于时间从站（接收）以及时间主站（传输）。当检测到参考消息并且没有错误，则该帧的 Sync_Mark 将 成为 Ref_Mark。REF_ID(2:0) 未经测试，因此相应的寄存器位被强制为 0。这些位用于最多 8 个潜在的时间主站。 CAN 控制器仅通过 ID 识别参考消息。未测试有效载荷。 附加说明：时间主站将以与时间主站相同的方式发送参考消息正常帧。REF_ID 用于检测参考消息是否成功。

REF_MSG 位域

58.3.25 TRIG_CFG (0xC4)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TEW				RSVD	TTYPE			RSVD		TTPTR					
RW				N/A	RW			N/A		RW					
0	0	0	0	x	0	0	0	x	x	0	0	0	0	0	0

TRIG_CFG [15:0]

位域	名称	描述
15-12	TEW	传输启用窗口 对于单次发送触发，一个周期时间最多为可分为 16 个节拍，作为允许帧开始的位置。TWE+1 定义节拍刻度数。TEW=0 是一个有效的设置，并将传输启用窗口缩短为 1 个节拍。
10-8	TTYPE	触发类型 000b - 立即触发并马上传输 001b - 接收触发器的时间触发 010b - 独占时间窗口的，单次发送触发 011b - 合并仲裁时间窗口的发送开始触发 100b - 合并仲裁时间窗口的发送停止触发 其他 - 无动作 触发时间由 TT_TRIG 定义。TTPTR 选择传输触发的 TB 消息槽。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
5-0	TTPTR	发送触发 TB 消息槽指针 如果 TTPTR 太大，并指向一个不可用的消息槽，对 TT_TRIG_1 进行写访问后，不会有任何触发活动，此时会设置 TEIF。 如果 TTPTR 指向一个空槽，当触发时间已到，那么此时会设置 TEIF。

TRIG_CFG 位域

58.3.26 TT_TRIG (0xC6)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TT_TRIG															
RW															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TT_TRIG [15:0]

位域	名称	描述
15-0	TT_TRIG	触发时间 TT_TRIG(15:0) 定义触发器的周期时间。 对于传输触发，相应帧的 SOF 的最早传输点将是 TT_TRIG+1。

TT_TRIG 位域

58.3.27 TT_WTRIG (0xC8)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TT_WTRIG															
RW															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TT_WTRIG [15:0]

位域	名称	描述
15-0	TT_WTRIG	监视触发时间 TT_WTRIG(15:0) 定义监视触发器的周期时间。初始监视触发是最大循环时间 0xffff。

TT_WTRIG 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

59 精确时间协议模块 PTPC

本章节介绍精确时间协议模块 PTPC 的主要功能和特性。

59.1 特性总结

本章节介绍精确时间协议模块 PTPC 的主要特性：

- 支持 2 套时间戳
- 时间戳支持 63 位计数器
- 计数器分为 32 位秒计数器和 31 位纳秒计数器
- 支持输入捕获时间戳
- 支持时间戳匹配时，产生中断
- 支持从时间戳读取接口发送数据到 CAN 模块

59.2 功能描述

本章节描述精确时间协议模块 PTPC 的功能。

59.2.1 时间戳模块

精确时间协议模块 PTPC 包含 2 个时间戳模块，每个时间戳模块包含一个 63 位的计数器。

计数器分为 32 位的秒计数器 TIMEH 和 31 位的纳秒计数器 TIMEL

TIMEL 在每次更新时，不像传统计数器那样单纯加 1，而是加上 CTRL1[SS_INCR] 的值：

$$TIMEL = TIMEL + SS_INCR$$

假设 PTPC 的时钟为 100 MHz，每个时钟周期为 10 ns。此时，需要将 CTRL1 [SS_INCR] 配置为 8’d10。即 TIMEL 每次以 10 纳秒为单位累加。

计数器分为 31 位的 TIMEL 和 32 位的 TIMEH，每当 TIMEL 溢出时，TIMEH 累加。TIMEL 的溢出点支持以下 2 种：

- 计数器溢出，计数器低 31 位 TIMEL，当计数至 32’h7FFFFFFF 时溢出。TIMEL 溢出时，TIMEH 加 1
- 秒计数溢出，计数器低 31 位 TIMEL，当计数至 1000000000，即 32’h3B9ACA00 时溢出。TIMEL 溢出时，TIMEH 加 1。TIMEL 以纳秒为单位，TIMEH 以秒为单位计数。

用户把 CTRL0 [SUBSEC_DIGITAL_ROLLOVER] 置 0 时，配置计数器为计数器模式。置 1 时，配置计数器为秒计数溢出。

推荐用户将此位置 1，这样读取时间戳计数器，可以直观地得到 TIMEH 秒又 TIMEL 纳秒的真实时间计时。

在使用 PTPC 前，需要先完成 PTPC 初始化，初始化时间戳计数器 TIMEL，TIMEH 的步骤如下，：

- 把 CTRL0[TIMER_ENABLE] 位置 1
- 在 TS_UPDTH 和 TS_UPDTL 寄存器写入目标值。注意，如果 TIMEL 设置位秒计数溢出，TS_UPDTL 的值不要超过 1000000000，即 32’h3B9ACA00
- 把 CTRL0[INIT_TIMER] 位置 1

PTPC 开始计时之后，用户可以根据需要更新计时器，PTPC 更新时间戳 TIMEL，TIMEH 的步骤如下：

- 在 TS_UPDTH 和 TS_UPDTL 寄存器写入目标值。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

- 配置 TS_UPDTL[ADD_SUB] 位，置 1 时，TIMEL/TIMEH 会在原值上加上 TS_UPDTL 和 TS_UPDTH，置 1 时，TIMEL/TIMEH 会在原值上减去 TS_UPDTL 和 TS_UPDTH
- 把 CTRL0[UPDATE_TIMER] 位置 1

PTPC 支持通过配置 ADDEND 寄存器微调其时间戳计数器的计时快慢。

TIMEL 作为纳秒计数器，在每个 PTPC 时钟周期累加 CTRL1 [SS_INCR]，当 PTPC 时钟为 100 MHz（即周期为 10 ns）时，应当配置 SS_INCR 为 10，即 TIMEL 每个 PTPC 时钟周期累加 10。当时钟同步软件基于 PTPC 计时器进行时钟同步时，有可能发现本地时间和网络的时钟 Master 之间的误差是由 PTPC 时钟的误差引起的。这时可以通过配置 ADDEND 寄存器实现等效的微调。

假设 PTPC 时钟为 100 MHz，TIMEL 累加的步长为 10 ns（SS_INCR = 10）。

假设时钟同步算法发现时钟偏慢，希望将 TIMEL 累加的步长调整为 10.1 ns，这时，可以保持 $SS_INCR = 10$，设置 $ADDEND = 0xFFFFFFFF \times (0.1) = 0x19999999$。此时，可以视为 TIMEL 累加的等效步长为 10.1 ns。

假设时钟同步算法发现时钟偏快，希望将 TIMEL 累加的步长调整为 9.9 ns，这时，需要设置 $SS_INCR = 9$，设置 $ADDEND = 0xFFFFFFFF \times (0.9) = 0xE6666666$。此时，可以视为 TIMEL 累加的等效步长为 9.9 ns。

59.2.2 时间戳捕获和比较

PTPC 支持输入捕获功能。每个时间戳支持一个捕获输入信号，可以配置 CAP0 或者 CAP1 信号的有效边沿，在 CAP0 或者 CAP1 上升沿或者下降沿时，将时间戳 TIMEL 和 TIMEH 的值，捕获存入寄存器 CAPT_SNAPL 和 CAPT_SNAPH。捕获发生时，捕获标志位会置 1。如果在中断使能寄存器内把相应的中断使能位置 1，就会生成时间戳捕获中断请求。

PTPC 支持时间戳匹配功能，用户将目标时间戳值写入 TARH 和 TARL 寄存器，并置位 CTRL0[COMP_EN]，当时间戳计数器 TIMEH 和 TIMEL 大于或等于 TARH 和 TARL 时，发生匹配事件, 匹配事件发生后，COMP_EN 会自动清零。

此时，匹配标志位会置 1，如果在中断使能寄存器内把相应的中断使能位置 1，就会生成时间戳匹配中断请求。

PTPC 支持生成时间戳匹配输出比较，在时间戳匹配时：输出 CMP0 或 CMP1 到系统的其他模块。

59.2.3 时间戳输出端口

PTPC 支持 4 个时间戳输出端口，系统上的其他模块可以从此端口直接载入 TIMEL 和 TIMEH 的值。用户可以通过 TIME_SEL 寄存器直接配置端口 x 上时间戳信息的来源。相应的选择位置 0 时，输出模块 0 的时间戳。选择位置 1 时，输出模块 1 的时间戳。

59.3 PTPC 寄存器列表

PTPC 的寄存器列表如下：

PTPC base address: 0xF00B0000

地址偏移	名称	描述	复位值
0x0000	PTPC[0][CTRL0]	Control Register 0	0x00000000
0x0004	PTPC[0][CTRL1]	Control Register 1	0x00000000
0x0008	PTPC[0][TIMEH]	timestamp high	0x00000000
0x000C	PTPC[0][TIMEL]	timestamp low	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0010	PTPC[0][TS_UPDTH]	timestamp update high	0x00000000
0x0014	PTPC[0][TS_UPDTL]	timestamp update low	0x00000000
0x0018	PTPC[0][ADDEND]		0x00000000
0x001C	PTPC[0][TARH]		0x00000000
0x0020	PTPC[0][TARL]		0x00000000
0x002C	PTPC[0][PPS_CTRL]		0x00000000
0x0030	PTPC[0][CAPT_SNAPH]		0x00000000
0x0034	PTPC[0][CAPT_SNAPL]		0x00000000
0x1000	PTPC[1][CTRL0]	Control Register 0	0x00000000
0x1004	PTPC[1][CTRL1]	Control Register 1	0x00000000
0x1008	PTPC[1][TIMEH]	timestamp high	0x00000000
0x100C	PTPC[1][TIMEL]	timestamp low	0x00000000
0x1010	PTPC[1][TS_UPDTH]	timestamp update high	0x00000000
0x1014	PTPC[1][TS_UPDTL]	timestamp update low	0x00000000
0x1018	PTPC[1][ADDEND]		0x00000000
0x101C	PTPC[1][TARH]		0x00000000
0x1020	PTPC[1][TARL]		0x00000000
0x102C	PTPC[1][PPS_CTRL]		0x00000000
0x1030	PTPC[1][CAPT_SNAPH]		0x00000000
0x1034	PTPC[1][CAPT_SNAPL]		0x00000000
0x2000	TIME_SEL		0x00000000
0x2004	INT_STS		0x00000000
0x2008	INT_EN		0x00000000

表 252: PTPC 寄存器列表

59.4 PTPC 寄存器描述

PTPC 的寄存器详细说明如下：

59.4.1 PTPC[CTRL0] (0x0 + 0x1000 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																						SUBSEC_DIGITAL_ROLLOVER	CAPT_SNAP_KEEP	CAPT_SNAP_POS_EN	CAPT_SNAP_NEG_EN	RSVD	COMP_EN	UPDATE_TIMER	INIT_TIMER	FINE_COARSE_SEL	TIMER_ENABLE
N/A																						RW	RW	RW	RW	N/A	RW	WO	WO	RW	RW

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0

PTPC[CTRL0] [31:0]

位域	名称	描述
9	SUBSEC_DIGITAL_ROLLOVER	纳秒计数器模式 1-数字模式，溢出时间 1000000000/0x3B9ACA00，分辨率为 1 纳秒； 0-二进制，溢出时间 0x7FFFFFFF，分辨率为大约 0.466 纳秒
8	CAPT_SNAP_KEEP	保持捕获值 1：PTPC 会在捕获事件后保持捕获值，直到软件读取 capt_snapl 寄存器。此模式下，软件需要先读 capt_snaph 寄存器，避免错误结果。 0：PTPC 会在每次捕获事件后更新捕获值，软件需要在合适的时间点读取捕获值。
7	CAPT_SNAP_POS_EN	上升沿捕获使能 1 ：使能上升沿捕获 0：禁止上升沿捕获
6	CAPT_SNAP_NEG_EN	下降沿捕获使能 1 ：使能下降沿捕获 0：禁止下降沿捕获
4	COMP_EN	比较器使能。 置 1 使能比较器，PTPC 会在比较条件满足后清零此位
3	UPDATE_TIMER	计时器更新 置 1 会在当前计时器上加或减 ts_updateh/ts_updatel 的时间。硬件在完成更新后自动清零该位
2	INIT_TIMER	计时器初始化 置 1 会在将计时器初始化为 ts_updateh/ts_updatel 的时间。硬件在完成更新后自动清零该位
1	FINE_COARSE_SEL	精细初略更新选择 0：精细更新，每次加数计数器溢出时，纳秒计数器增加 ss_incr 1：粗略更新，纳秒计数器每个时钟增加 ss_incr
0	TIMER_ENABLE	计数器使能 置 1 计数器工作

PTPC[CTRL0] 位域

59.4.2 PTPC[CTRL1] (0x4 + 0x1000 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																								SS_INCR							

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
N/A																								RW							
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0

PTPC[CTRL1] [31:0]

位域	名称	描述
7-0	SS_INCR	纳秒计数器更新值。 例如 50MHz 时钟，每周期为 20 纳秒， 数字模式下，设为 0x14（每个时钟周期增加 20 纳秒）； 二进制模式下，设为 0x2B（20/0.466）；

PTPC[CTRL1] 位域

59.4.3 PTPC[TIMEH] (0x8 + 0x1000 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TIMESTAMP_HIGH																															
RO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PTPC[TIMEH] [31:0]

位域	名称	描述
31-0	TIMESTAMP_HIGH	当前秒计时器值

PTPC[TIMEH] 位域

59.4.4 PTPC[TIMEL] (0xC + 0x1000 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TIMESTAMP_LOW																															
RO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PTPC[TIMEL] [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-0	TIMESTAMP_LOW	当前纳秒计时器值。 数值模式下精度为 1 纳秒； 二进制模式下精度为 0.466 纳秒

PTPC[TIMEL] 位域

59.4.5 PTPC[TS_UPDTH] (0x10 + 0x1000 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SEC_UPDATE																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PTPC[TS_UPDTH] [31:0]

位域	名称	描述
31-0	SEC_UPDATE	秒计时器更新值。 初始化时，用于将该值更新到秒计时器中； 更新时，从当前秒计时器加或减该值（纳秒计时器可能产生进位或借位）

PTPC[TS_UPDTH] 位域

59.4.6 PTPC[TS_UPDTL] (0x14 + 0x1000 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADD_SUB	NS_UPDATE																														
RW	RW																														
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PTPC[TS_UPDTL] [31:0]

位域	名称	描述
31	ADD_SUB	计时器更新模式。 1 表示减；0 表示加； 仅用于计时器更新。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
30-0	NS_UPDATE	纳秒计时器更新值。 初始化时，用于将该值更新到纳秒计时器中； 更新时，从当前纳秒计时器加或减该值，可能会产生对秒计时器的进位或借位。

PTPC[TS_UPDTL] 位域

59.4.7 PTPC[ADDEND] (0x18 + 0x1000 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDEND																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PTPC[ADDEND] [31:0]

位域	名称	描述
31-0	ADDEND	加数计数器更新值。 仅用于精细更新模式。 每个时钟周期 32 位的加数计数器会累加该值，当加数计数器溢出后，纳秒计时器会增加 ss_incr

PTPC[ADDEND] 位域

59.4.8 PTPC[TARH] (0x1C + 0x1000 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TARGET_TIME_HIGH																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PTPC[TARH] [31:0]

位域	名称	描述
31-0	TARGET_TIME_HIGH	秒比较器目标值

PTPC[TARH] 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

59.4.9 PTPC[TARL] (0x20 + 0x1000 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TARGET_TIME_LOW																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PTPC[TARL] [31:0]

位域	名称	描述
31-0	TARGET_TIME_LOW	纳秒比较器目标值

PTPC[TARL] 位域

59.4.10 PTPC[PPS_CTRL] (0x2C + 0x1000 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																												PPS_CTRL			
N/A																												RW			
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0

PTPC[PPS_CTRL] [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
3-0	PPS_CTRL	秒脉冲周期控制 为 0 时，PPS 输出为每秒一个脉冲（宽度为一个时钟周期）。 对于其他值，PPS 输出成为以下频率的生成时钟： 0001：二进制模式为 2 Hz，数字模式为 1 Hz。 0010：二进制模式为 4 Hz，数字模式为 2 Hz。 0011：二进制模式为 8 Hz，数字模式为 4 Hz。 0100: 二进制模式为 16 Hz，数字模式为 8 Hz。 .. 1111：二进制模式为 32.768 KHz，数字模式为 16.384KHz。 在二进制翻转模式下，PPS 输出是一个占空比 50% 的时钟。 在数字翻转模式下，PPS 输出频率为平均值 数字实际时钟的频率不同每秒同步一次。例如： 当 PPSCTRL=0001 时，PPS（1 Hz）的低周期为 537 ms 高周期 463ms； 当 PPSCTRL=0010 时，PPS（2 Hz）为以下序列： -一个 50% 占空比的 537 毫秒周期的时钟 -第二个时钟周期为 463 毫秒（低 268 毫秒，高 195 毫秒） 当 PPSCTRL=0011 时，PPS（4 Hz）为以下序列： -三个 50% 占空比的 268 毫秒周期的时钟 -第四个时钟周期为 195 毫秒（低 134 毫秒，高 61 毫秒） 这种行为是由于数字模式中，溢出位的非线性导致的（不是计时器全 1 时溢出）

PTPC[PPS_CTRL] 位域

59.4.11 PTPC[CAPT_SNAPH] (0x30 + 0x1000 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CAPT_SNAP_HIGH																															
RO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PTPC[CAPT_SNAPH] [31:0]

位域	名称	描述
31-0	CAPT_SNAP_HIGH	在输入的捕获信号上升沿或者下降沿，将当前秒计数器值存放与该寄存器中。 捕获信号来自于电机系统的互联管理器

PTPC[CAPT_SNAPH] 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

59.4.12 PTPC[CAPT_SNAPL] (0x34 + 0x1000 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CAPT_SNAP_LOW																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PTPC[CAPT_SNAPL] [31:0]

位域	名称	描述
31-0	CAPT_SNAP_LOW	在输入的捕获信号上升沿或者下降沿，将当前纳秒计数器值存放与该寄存器中。

PTPC[CAPT_SNAPL] 位域

59.4.13 TIME_SEL (0x2000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																												CAN3_TIME_SEL	CAN2_TIME_SEL	CAN1_TIME_SEL	CAN0_TIME_SEL
N/A																												RW	RW	RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0

TIME_SEL [31:0]

位域	名称	描述
3	CAN3_TIME_SEL	
2	CAN2_TIME_SEL	
1	CAN1_TIME_SEL	
0	CAN0_TIME_SEL	设 1 选择 PTPC1 作为 CAN 下的系统时钟； 设 0 选择 PTPTC0 作为 CANx 的系统时钟。

TIME_SEL 位域

59.4.14 INT_STS (0x2004)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD													COMP_INT_STS1	CAPTURE_INT_STS1	PPS_INT_STS1	RSVD													COMP_INT_STS0	CAPTURE_INT_STS0	PPS_INT_STS0
N/A													W1C	W1C	W1C	N/A													W1C	W1C	W1C
x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0

INT_STS [31:0]

位域	名称	描述
18	COMP_INT_STS1	PTPC1 比较器中断状态位
17	CAPTURE_INT_STS1	PTPC1 捕获中断状态位
16	PPS_INT_STS1	PTPC1 秒脉冲（pps）信号中断状态位，会在 pps 信号的上升沿和下降沿都产生中断
2	COMP_INT_STS0	PTPC0 比较器中断状态位
1	CAPTURE_INT_STS0	PTPC0 捕获中断状态位
0	PPS_INT_STS0	PTPC0 秒脉冲（pps）信号中断状态位，会在 pps 信号的上升沿和下降沿都产生中断

INT_STS 位域

59.4.15 INT_EN (0x2008)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD													COMP_INT_STS1	CAPTURE_INT_STS1	PPS_INT_STS1	RSVD													COMP_INT_STS0	CAPTURE_INT_STS0	PPS_INT_STS0
N/A													RW	RW	RW	N/A													RW	RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0

INT_EN [31:0]

位域	名称	描述
18	COMP_INT_STS1	PTPC1 比较器中断使能位
17	CAPTURE_INT_STS1	PTPC1 捕获中断使能位
16	PPS_INT_STS1	PTPC1 秒脉冲（pps）信号中断使能位

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
2	COMP_INT_STS0	PTPC0 比较器中断使能位
1	CAPTURE_INT_STS0	PTPC0 捕获中断使能位
0	PPS_INT_STS0	PTPC0 秒脉冲（pps）信号中断使能位

INT_EN 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

60 以太网控制器 ENET

以太网是一种计算机局域网技术。IEEE 组织的 IEEE802.3 标准制定了以太网的技术标准，它规定了包括物理层的连线，电气信号和介质访问层协议的相关内容。

以太网控制器用于连接物理层，在以太网网络中发送和接收数据，CPU 可以通过 APB 总线控制 ENET，ENET 本身自带 DMA，可以通过 AXI 总线访问系统存储器，接收和发送数据。

支持的物理层 (PHY) 接口为 RMII 和 RGMII.

60.1 功能简介

本章节介绍了 ENET 的主要功能:

- 支持 RMII(10M/100M) 和 RGMII(10M/100M/1000M).
- 支持精确时钟控制 (IEEE 1588-2008 协议)
- 支持 Energy Efficient Ethernet(EEE)，IEEE 802.3az-2010
- 支持 PPS 输出，可用于系统同步
- 内置 DMA，可通过 AXI 完成 ENET 和系统存储间的数据交换
- 支持 MDIO，可用于配置外部 PHY
- RGMII 模式下，可配置发送在 PHY 端或 ENET 端延迟发送时钟

60.2 初始化流程

- 根据开发板 PHY 类型，配置通信系统控制器 CONCTL 寄存器 CTRL2(offset 0x08,bit15-13)，设置 PHY 模式 (RGMII 或者 RMII)；
- 设置时钟，对于 RGMII，时钟由 soc 提供，需通过系统控制模块 SYSCTL 的寄存器，设置 CLK_TOP_ETH 为 125MHz;

  对于 RMII，可以由 soc 提供时钟，需通过 SYSCTL 设置 CLK_TOP_REF 为 50MHz，打开对应 pinmux 的 loopback 模式 (为了平衡接收时序)，设置 CONCTL 寄存器 CTRL2.PAD_OE_ETH0_REFCLK 为 1(为了给外部 PHY 提供时钟);

  也可设置从外部输入, 仅需配置对应 pinmux 为 ENET 模式即可，由外部时钟同时提供 ENET 和 PHY，需为 50MHz。
- 根据开发板配置 pinmux，RGMII 使用 TXCK/RXCK, RMII 使用 REFCLK(详见也叫配置及功能章节，IO 功能分配)。
- 初始化 DMA：设置软件 reset，DMA_BUS_MODE.SWR(offset 0x1000,bit0)=1, 等待硬件 reset 完成后自动清零；

  设置 DMA_BUS_MODE.PBL(bit13-8)=16;

  设置 DMA_AXI_MODE(offset 0x1028)=0xF, 使能支持的 burst；

  等待寄存器 DMA_BUS_STATUS(offset 0x102C) 为 0，等待 AXI 空闲;
- 根据 PHY 文档，通过 MDIO 配置 PHY，以下为通过 MDIO 读写 PHY 寄存器流程：根据系统 AHB 总线时钟频率，配置 GMII_ADDR.CR 寄存器 (offset 0x10,bit5-2);

  根据开发板设计图，将 PHY 地址写入 GMII_ADDR.PA(bit15-11);

  将所需配置的 PHY 寄存器地址写入 GMII_ADDR.GR(bit10-6);

  写操作将所需写的数据写入 GMII_DATA 寄存器 (offset 0x14)，并置位 GMII_ADDR.GW(bit1);

  读操作略过此步；

  置位 GMII_ADDR.GB(bit0) 并等待其被硬件清零，读操作可以从 GMII_DATA 得到所读数

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

据；

- 初始化发送接收描述符，并将描述符地址写入 DMA_TX_DESC_LIST_ADDR (offset0x1004) 和 DMA_RX_DESC_LIST_ADDR (offset 0x1008)
- 配置 DMA_OP_MODE 寄存器启动 DMA;
- 置位 MACCFG 寄存器 (offset 0x00) 的 TE(bit1)/RE(bit0), 启动传输；

60.3 描述符详解

ENET 支持 16 字节和 32 字节两种描述符，由 DMA_BUS_MODE.ATDS(offset 0x1000,bit7) 决定。

60.3.1 发送描述符

图 97: 发送描述符

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位	描述
31	OWN:OWN bit When set, this bit indicates that the descriptor is owned by the DMA. When this bit is reset, it indicates that the descriptor is owned by the Host. The DMA clears this bit either when it completes the frame transmission or when the buffers allocated in the descriptor are read completely. The ownership bit of the frame’s first descriptor must be set after all subsequent descriptors belonging to the same frame have been set. This avoids a possible race condition between fetching a descriptor and the driver setting an ownership bit.
30	IC: Interrupt on Completion When set, this bit sets the Transmit Interrupt (DMA_STATUS.TI) after the present frame has been transmitted. This bit is valid only when the last segment bit (TDES0[29]) is set.
29	LS: Last Segment When set, this bit indicates that the buffer contains the last segment of the frame. When this bit is set, the TBS1 or TBS2 field in TDES1 should have a non-zero value.
28	FS: First Segment; When set, this bit indicates that the buffer contains the first segment of a frame.
27	DC: Disable CRC; When this bit is set, the MAC does not append a cyclic redundancy check (CRC) to the end of the transmitted
26	DP: Disable Pad When set, the MAC does not automatically add padding to a frame shorter than 64 bytes. When this bit is reset, the DMA automatically adds padding and CRC to a frame shorter than 64 bytes, and the CRC field is added despite the state of the DC (TDES0[27]) bit. This is valid only when the first segment (TDES0[28]) is set.
25	TTSE: Transmit Timestamp Enable When set, this bit enables IEEE1588 hardware timestamping for the transmit frame referenced by the descriptor. This field is valid only when the First Segment control bit (TDES0[28]) is set.
24	CRCR: CRC Replacement Control When set, the MAC replaces the last four bytes of the transmitted packet with recalculated CRC bytes. The host should ensure that the CRC bytes are present in the frame being transferred from the Transmit Buffer. This bit is valid when the First Segment control bit (TDES0[28]) is set. In addition, CRC replacement is done only when Bit 27 (DC) is set to 1.

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位	描述
23:22	CIC: Checksum Insertion Control These bits control the checksum calculation and insertion. The following list describes the bit encoding: • 2'b00: Checksum Insertion Disabled. • 2'b01: Only IP header checksum calculation and insertion are enabled. • 2'b10: IP header checksum and payload checksum calculation and insertion are enabled, but pseudoheader checksum is not calculated in hardware. • 2'b11: IP Header checksum and payload checksum calculation and insertion are enabled, and pseudoheader checksum is calculated in hardware. This field is valid when the First Segment control bit (TDES0[28]) is set
21	TER: Transmit End of Ring When set, this bit indicates that the descriptor list reached its final descriptor. The DMA returns to the base address of the list, creating a descriptor ring.
20	TCH: Second Address Chained When set, this bit indicates that the second address in the descriptor is the Next Descriptor address rather than the second buffer address. When TDES0[20] is set, TBS2 (TDES1[28:16]) is a "don't care" value. TDES0[21] takes precedence over TDES0[20].
19:18	VLIC: VLAN Insertion Control When set, these bits request the MAC to perform VLAN tagging or untagging before transmitting the frames. If the frame is modified for VLAN tags, the MAC automatically recalculates and replaces the CRC bytes. The following list describes the values of these bits: • 2'b00: Do not add a VLAN tag. • 2'b01: Remove the VLAN tag from the frames before transmission. This option should be used only with the VLAN frames. • 2'b10: Insert a VLAN tag with the tag value programmed in Register 353 (VLAN Tag Inclusion or Replacement Register). • 2'b11: Replace the VLAN tag in frames with the Tag value programmed in Register VLAN_TAG_INC_RPL (offset 0x584) (VLAN Tag Inclusion or Replacement Register). This option should be used only with the VLAN frames. These bits are valid when the First Segment control bit (TDES0[28]) is set.
17	TTSS: Transmit Timestamp Status This field is used as a status bit to indicate that a timestamp was captured for the described transmit frame. When this bit is set, TDES2 and TDES3 have a timestamp value captured for the transmit frame. This field is only valid when the descriptor's Last Segment control bit (TDES0[29]) is set.

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位	描述
16	IHE: IP Header Error When set, this bit indicates that the MAC transmitter detected an error in the IP datagram header. The transmitter checks the header length in the IPv4 packet against the number of header bytes received from the application and indicates an error status if there is a mismatch. For IPv6 frames, a header error is reported if the main header length is not 40 bytes. Furthermore, the Ethernet Length/Type field value for an IPv4 or IPv6 frame must match the IP header version received with the packet. For IPv4 frames, an error status is also indicated if the Header Length field has a value less than 0x5. This bit is valid only when the Tx Checksum Offload is enabled. Otherwise, it is reserved. If COE detects an IP header error, it still inserts an IPv4 header checksum if the Ethernet Type field indicates an IPv4 payload.
15	ES: Error Summary Indicates the logical OR of the following bits: • TDES0[16]: IP Header Error • TDES0[14]: Jabber Timeout • TDES0[13]: Frame Flush • TDES0[12]: IP Payload Error • TDES0[11]: Loss of Carrier • TDES0[10]: No Carrier • TDES0[9]: Late Collision • TDES0[8]: Excessive Collision • TDES0[2]: Excessive Deferral • TDES0[1]: Underflow Error
14	JT: Jabber Timeout When set, this bit indicates the MAC transmitter has experienced a jabber timeout. This bit is only set when Bit22 (Jabber Disable) of Register MACCFG is not set.
13	FF: Frame Flushed When set, this bit indicates that the DMA or MTL flushed the frame because of a software Flush command given by the CPU.
12	IPE: IP Payload Error When set, this bit indicates that MAC transmitter detected an error in the TCP, UDP, or ICMP IP datagram payload. The transmitter checks the payload length received in the IPv4 or IPv6 header against the actual number of TCP, UDP, or ICMP packet bytes received from the application and issues an error status in case of a mismatch.
11	LOC: Loss of Carrier When set, this bit indicates that a loss of carrier occurred during frame transmission (that is, the phy_crs_i signal was inactive for one or more transmit clock periods during frame transmission). This is valid only for the frames transmitted without collision when the MAC operates in the half-duplex mode.

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位	描述
10	NC: No Carrier When set, this bit indicates that the Carrier Sense signal from the PHY was not asserted during transmission. Note: When any optional PHY interface is enabled, the carrier errors (NC or LOC) cannot be generated. This is because the CRS signal is internally-generated based on the internal MII TX_EN and RX_DV derived from the optional PHY interface signals.
9	LC: Late Collision When set, this bit indicates that frame transmission is aborted because of a collision occurring after the collision window (64 byte-times, including preamble, in MII mode and 512 byte-times, including preamble and carrier extension, in GMII mode). This bit is not valid if the Underflow Error bit is set.
8	EC: Excessive Collision When set, this bit indicates that the transmission was aborted after 16 successive collisions while attempting to transmit the current frame. If Bit 9 (Disable Retry) bit in the MACCFG register is set, this bit is set after the first collision, and the transmission of the frame is aborted.
7	VF: VLAN Frame When set, this bit indicates that the transmitted frame is a VLAN-type frame.
6:3	CC: Collision Count (Status field) These status bits indicate the number of collisions that occurred before the frame was transmitted. This count is not valid when the Excessive Collisions bit (TDES0[8]) is set. The core updates this status field only in the half-duplex mode.
2	ED: Excessive Deferral When set, this bit indicates that the transmission has ended because of excessive deferral of over 24,288 bit times (155,680 bits times in 1,000-Mbps mode or if Jumbo Frame is enabled) if Bit 4 (Deferral Check) bit in MACCFG Register is set high.
1	UF: Underflow Error When set, this bit indicates that the MAC aborted the frame because the data arrived late from the Host memory. Underflow Error indicates that the DMA encountered an empty transmit buffer while transmitting the frame. The transmission process enters the Suspended state and sets both Transmit Underflow (DMA_STATUS bit5) and Transmit Interrupt (DMA_STATUS bit0).
0	DB: Deferred Bit When set, this bit indicates that the MAC defers before transmission because of the presence of carrier. This bit is valid only in the half-duplex mode.

表 253: TDES0

位	描述

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位	描述
31:29	SAIC: SA Insertion Control These bits request the MAC to add or replace the Source Address field in the Ethernet frame with the value given in the MAC Address 0 register. If the Source Address field is modified in a frame, the MAC automatically recalculates and replaces the CRC bytes. The Bit 31 specifies the MAC Address Register (1 or 0) value that is used for Source Address insertion or replacement. The following list describes the values of Bits[30:29]: • 2'b00: Do not include the source address. • 2'b01: Include or insert the source address. For reliable transmission, the application must provide frames without source addresses. • 2'b10: Replace the source address. For reliable transmission, the application must provide frames with source addresses. • 2'b11: Reserved These bits are valid when the First Segment control bit (TDES0[28]) is set.
28:16	TBS2: Transmit Buffer 2 Size This field indicates the second data buffer size in bytes. This field is not valid if TDES0[20] is set.
15:13	reserved
12:0	TBS1: Transmit Buffer 1 Size These bits indicate the first data buffer byte size, in bytes. If this field is 0, the DMA ignores this buffer and uses Buffer 2 or the next descriptor, depending on the value of TCH (TDES0[20]).

表 254: TDES1

TDES	描述
TDES2	Buffer 1 Address Pointer These bits indicate the physical address of Buffer 1. There is no limitation on the buffer address alignment.
TDES3	Buffer 2 Address Pointer (Next Descriptor Address) Indicates the physical address of Buffer 2 when a descriptor ring structure is used. If the Second Address Chained (TDES1[24]) bit is set, this address contains the pointer to the physical memory where the Next Descriptor is present. The buffer address pointer must be aligned to the bus width only when TDES1[24] is set. (LSBs are ignored internally.)
TDES6	TTSL: Transmit Frame Timestamp Low This field is updated by DMA with the least significant 32 bits of the timestamp captured for the corresponding transmit frame. This field has the timestamp only if the Last Segment bit (LS) in the descriptor is set and Timestamp status (TTSS) bit is set.
TDES7	TTSH: Transmit Frame Timestamp High This field is updated by DMA with the most significant 32 bits of the timestamp captured for the corresponding receive frame. This field has the timestamp only if the Last Segment bit (LS) in the descriptor is set and Timestamp status (TTSS) bit is set.

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

TDES	描述

表 255: TDES2 7

60.3.2 接收描述符

图 98: 接收描述符

位	描述
31	OWN: Own Bit When set, this bit indicates that the descriptor is owned by the DMA of the DWC_gmac. When this bit is reset, this bit indicates that the descriptor is owned by the Host. The DMA clears this bit either when it completes the frame reception or when the buffers that are associated with this descriptor are full.

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位	描述
30	AFM: Destination Address Filter Fail When set, this bit indicates a frame that failed in the DA Filter in the MAC.
29:16	FL: Frame Length These bits indicate the byte length of the received frame that was transferred to host memory. This field is valid when Last Descriptor (RDES0[8]) is set and either the Descriptor Error (RDES0[14]) or Overflow Error bits are reset. The frame length also includes the two bytes appended to the Ethernet frame when IP checksum calculation (Type 1) is enabled and the received frame is not a MAC control frame. This field is valid when Last Descriptor (RDES0[8]) is set. When the Last Descriptor and Error Summary bits are not set, this field indicates the accumulated number of bytes that have been transferred for the current frame. The inclusion of CRC length in the frame length depends on the settings of Bit 7 and Bit 25 in MACCFG Register.
15	ES: Error Summary Indicates the logical OR of the following bits: • RDES0[1]: CRC Error • RDES0[3]: Receive Error • RDES0[4]: Watchdog Timeout • RDES0[6]: Late Collision • RDES0[7]: Giant Frame • RDES4[4:3]: IP Header or Payload Error • RDES0[11]: Overflow Error • RDES0[14]: Descriptor Error This field is valid only when the Last Descriptor (RDES0[8]) is set.
14	DE: Descriptor Error When set, this bit indicates a frame truncation caused by a frame that does not fit within the current descriptor buffers, and that the DMA does not own the Next Descriptor. The frame is truncated. This field is valid only when the Last Descriptor (RDES0[8]) is set.
13	SAF: Source Address Filter Fail When set, this bit indicates that the SA field of frame failed the SA Filter in the MAC.
12	LE: Length Error When set, this bit indicates that the actual length of the frame received and that the Length/ Type field does not match. This bit is valid only when the Frame Type (RDES0[5]) bit is reset.
11	OE: Overflow Error When set, this bit indicates that the received frame was damaged because of buffer overflow in MTL. Note: This bit is set only when the DMA transfers a partial frame to the application. This happens only when the Rx FIFO is operating in the threshold mode. In the store-and-forward mode, all partial frames are dropped completely in Rx FIFO.
10	VLAN: VLAN Tag When set, this bit indicates that the frame to which this descriptor is pointing is a VLAN frame tagged by the MAC. The VLAN tagging depends on checking the VLAN fields of received frame based on the VLAN$_{T}AGRegistersetting$.

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位	描述
9	FS: First Descriptor When set, this bit indicates that this descriptor contains the first buffer of the frame. If the size of the first buffer is 0, the second buffer contains the beginning of the frame. If the size of the second buffer is also 0, the next Descriptor contains the beginning of the frame.
8	LS: Last Descriptor When set, this bit indicates that the buffers pointed to by this descriptor are the last buffers of the frame
7	Timestamp Available, IP Checksum Error (Type1), or Giant Frame When Advanced Timestamp feature is present, when set, this bit indicates that a snapshot of the Timestamp is written in descriptor words 6 (RDES6) and 7 (RDES7). This is valid only when the Last Descriptor bit (RDES0[8]) is set. When IP Checksum Engine (Type 1) is selected, this bit, when set, indicates one of the following: • The 16-bit IPv4 header checksum calculated by the core did not match the received checksum bytes. • The header checksum checking is bypassed for non-IPv4 frames. Otherwise, this bit, when set, indicates the Giant Frame Status. Giant frames are larger than 1,518-byte (or 1,522-byte for VLAN or 2,000-byte when Bit 27 of MAC Configuration register is set) normal frames and larger than 9,018-byte (9,022-byte for VLAN) frame when Jumbo Frame processing is enabled.
6	LC: Late Collision When set, this bit indicates that a late collision has occurred while receiving the frame in the half-duplex mode.
5	FT: Frame Type When set, this bit indicates that the Receive Frame is an Ethernet-type frame (the LT field is greater than or equal to 1,536). When this bit is reset, it indicates that the received frame is an IEEE 802.3 frame. This bit is not valid for Runt frames less than 14 bytes.
4	RWT: Receive Watchdog Timeout When set, this bit indicates that the Receive Watchdog Timer has expired while receiving the current frame and the current frame is truncated after the Watchdog Timeout.
3	RE: Receive Error When set, this bit indicates that the gmii_rxer_i signal is asserted while gmii_rxdv_i is asserted during frame reception. This error also includes carrier extension error in the GMII and half-duplex mode. Error can be of less or no extension, or error (rxd ≠ 0f) during extension.
2	DE: Dribble Bit Error When set, this bit indicates that the received frame has a non-integer multiple of bytes (odd nibbles). This bit is valid only in the MII Mode.

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位	描述
1	CE: CRC Error When set, this bit indicates that a Cyclic Redundancy Check (CRC) Error occurred on the received frame. This field is valid only when the Last Descriptor (RDES0[8]) is set.
0	Extended Status Available/Rx MAC Address When either Advanced Timestamp or IP Checksum Offload (Type 2) is present, this bit, when set, indicates that the extended status is available in descriptor word 4 (RDES4). This is valid only when the Last Descriptor bit (RDES0[8]) is set. This bit is invalid when Bit 30 is set. When IP Checksum Offload (Type 2) is present, this bit is set even when IP Checksum Offload engine bypasses the processing of received frame. The bypassing may be because of non-IP frame or IP frame with no+B80n-TCP/UDP/ICMP payload. When Advance Timestamp Feature or IPC Full Offload is not selected, this bit indicates Rx MAC Address status. When set, this bit indicates that the Rx MAC Address registers value (1 to 15) matched the frame’s DA field. When reset, this bit indicates that the Rx MAC Address Register 0 value matched the DA field.

表 256: RDES0

位	描述
31	DIC: Disable Interrupt on Completion When set, this bit prevents setting the Status Register’s RI bit (CSR5[6]) for the received frame ending in the buffer indicated by this descriptor. This, in turn, disables the assertion of the interrupt to Host because of RI for that frame. Note: This bit is valid only when the last descriptor bit (RDES0[8]) is set.
30:29	Reserved
28:16	RBS2: Receive Buffer 2 Size These bits indicate the second data buffer size, in bytes. The buffer size must be a multiple of 4, 8, or 16, depending on the bus widths (32, 64, or 128, respectively), even if the value of RDES3 (buffer2 address pointer) is not aligned to bus width. If the buffer size is not an appropriate multiple of 4, 8, or 16, the resulting behavior is undefined. This field is not valid if RDES1[14] is set.
15	RER: Receive End of Ring When set, this bit indicates that the descriptor list reached its final descriptor. The DMA returns to the base address of the list, creating a descriptor ring.
14	RCH: Second Address Chained When set, this bit indicates that the second address in the descriptor is the Next Descriptor address rather than the second buffer address. When this bit is set, RBS2 (RDES1[28:16]) is a “don’t care” value. RDES1[15] takes precedence over RDES1[14].
13	Reserved

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位	描述
12:0	RBS1: Receive Buffer 1 Size Indicates the first data buffer size in bytes. The buffer size must be a multiple of 4, 8, or 16, depending upon the bus widths (32, 64, or 128), even if the value of RDES2 (buffer1 address pointer) is not aligned. When the buffer size is not a multiple of 4, 8, or 16, the resulting behavior is undefined. If this field is 0, the DMA ignores this buffer and uses Buffer 2 or next descriptor depending on the value of RCH (Bit 14).

表 257: RDES1

位	描述
31:0	Buffer 1 Address Pointer These bits indicate the physical address of Buffer 1. There are no limitations on the buffer address alignment except for the following condition: The DMA uses the configured value for its address generation when the RDES2 value is used to store the start of frame. The DMA performs a write operation with the RDES2[3:0, 2:0, or 1:0] bits as 0 during the transfer of the start of frame but the frame data is shifted as per the actual Buffer address pointer. The DMA ignores RDES2[3:0, 2:0, or 1:0] (corresponding to bus width of 128, 64, or 32) if the address pointer is to a buffer where the middle or last part of the frame is stored.

表 258: RDES2

位	描述
31:0	Buffer 2 Address Pointer (Next Descriptor Address) These bits indicate the physical address of Buffer 2 when a descriptor ring structure is used. If the Second Address Chained (RDES1[24]) bit is set, this address contains the pointer to the physical memory where the Next Descriptor is present. If RDES1[24] is set, the buffer (Next Descriptor) address pointer must be bus width-aligned (RDES3[3, 2, or 1:0] = 0, corresponding to a bus width of 128, 64, or 32. LSBs are ignored internally.) However, when RDES1[24] is reset, there are no limitations on the RDES3 value, except for the following condition: The DMA uses the configured value for its buffer address generation when the RDES3 value is used to store the start of frame. The DMA ignores RDES3 [3, 2, or 1:0] (corresponding to a bus width of 128, 64, or 32) if the address pointer is to a buffer where the middle or last part of the frame is stored.

表 259: RDES3

位	描述
31:28	Reserved

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位	描述
27:26	Layer 3 and Layer 4 Filter Number Matched These bits indicate the number of the Layer 3 and Layer 4 Filter that matched the received frame. • 00: Filter 0 • 01: Filter 1 • 10: Filter 2 • 11: Filter 3 This field is valid only when Bit 24 or Bit 25 is set high. When more than one filter matches, these bits give only the lowest filter number.
25	Layer 4 Filter Match When set, this bit indicates that the received frame matches one of the enabled Layer 4 Port Number fields. This status is given only when one of the following conditions is true: • Layer 3 fields are not enabled and all enabled Layer 4 fields match. • All enabled Layer 3 and Layer 4 filter fields match. When more than one filter matches, this bit gives the layer 4 filter status of filter indicated by Bits [27:26].
24	Layer 3 Filter Match When set, this bit indicates that the received frame matches one of the enabled Layer 3 IP Address fields. This status is given only when one of the following conditions is true: • All enabled Layer 3 fields match and all enabled Layer 4 fields are bypassed. • All enabled filter fields match. When more than one filter matches, this bit gives the layer 3 filter status of filter indicated by Bits [27:26].
23:15	Reserved
14	Timestamp Dropped When set, this bit indicates that the timestamp was captured for this frame but got dropped in the MTL Rx FIFO because of overflow.
13	PTP Version When set, this bit indicates that the received PTP message is having the IEEE 1588 version 2 format. When reset, it has the version 1 format.
12	PTP Frame Type When set, this bit indicates that the PTP message is sent directly over Ethernet. When this bit is not set and the message type is non-zero, it indicates that the PTP message is sent over UDP-IPv4 or UDP-IPv6. The information about IPv4 or IPv6 can be obtained from Bits 6 and 7.

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位	描述
11:8	Message Type These bits are encoded to give the type of the message received. • 0000: No PTP message received • 0001: SYNC (all clock types) • 0010: Follow_Up (all clock types) • 0011: Delay_Req (all clock types) • 0100: Delay_Resp (all clock types) • 0101: Pdelay_Req (in peer-to-peer transparent clock) • 0110: Pdelay_Resp (in peer-to-peer transparent clock) • 0111: Pdelay_Resp_Follow_Up (in peer-to-peer transparent clock) • 1000: Announce • 1001: Management • 1010: Signaling • 1011-1110: Reserved • 1111: PTP packet with Reserved message type
7	IPv6 Packet Received When set, this bit indicates that the received packet is an IPv6 packet. This bit is updated only when Bit 10 (IPC) of MACCFG Register is set.
6	IPv4 Packet Received When set, this bit indicates that the received packet is an IPv4 packet. This bit is updated only when Bit 10 (IPC) of MACCFG Register is set.
5	IP Checksum Bypassed When set, this bit indicates that the checksum offload engine is bypassed.
4	IP Payload Error When set, this bit indicates that the 16-bit IP payload checksum (that is, the TCP, UDP, or ICMP checksum) that the core calculated does not match the corresponding checksum field in the received segment. It is also set when the TCP, UDP, or ICMP segment length does not match the payload length value in the IP Header field. This bit is valid when either Bit 7 or Bit 6 is set.
3	IP Header Error When set, this bit indicates that either the 16-bit IPv4 header checksum calculated by the core does not match the received checksum bytes, or the IP datagram version is not consistent with the Ethernet Type value. This bit is valid when either Bit 7 or Bit 6 is set.

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位	描述
2:0	IP Payload Type These bits indicate the type of payload encapsulated in the IP datagram processed by the Receive Checksum Offload Engine (COE). The COE also sets these bits to 2'b00 if it does not process the IP datagram's payload due to an IP header error or fragmented IP. • 3'b000: Unknown or did not process IP payload • 3'b001: UDP • 3'b010: TCP • 3'b011: ICMP • 3'b1xx: Reserved This bit is valid when either Bit 7 or Bit 6 is set.

表 260: RDES4

位	描述
31:0	RTSL: Receive Frame Timestamp Low This field is updated by DMA with the least significant 32 bits of the timestamp captured for the corresponding receive frame. This field is updated by DMA only for the last descriptor of the receive frame which is indicated by Last Descriptor status bit (RDES0[8]).

表 261: RDES6

位	描述
31:0	RTSH: Receive Frame Timestamp High This field is updated by DMA with the most significant 32 bits of the timestamp captured for the corresponding receive frame. This field is updated by DMA only for the last descriptor of the receive frame which is indicated by Last Descriptor status bit (RDES0[8]).

表 262: RDES7

60.3.3 Buffer Size Calculations

The DMA does not update the size fields in the Transmit and Receive descriptors. The DMA updates only the status fields (RDES and TDES) of the descriptors. The driver has to perform the size calculations. The Transmit DMA transfers the exact number of bytes (indicated by buffer size field of TDES1) towards the MAC. If a descriptor is marked as first (FS bit of TDES1 is set), then the DMA marks the first transfer from the buffer as the start of frame. If a descriptor is marked as last (LS bit of TDES1), then the DMA marks the last transfer from that data buffer as the end-of frame to the MTL.

The Receive DMA transfers data to a buffer until the buffer is full or the end-of frame is received from the MTL. If a descriptor is not marked as last (LS bit of RDES0), then the descriptor's corresponding buffer(s) are

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

full and the amount of valid data in a buffer is accurately indicated by its buffer size field minus the data buffer pointer offset when the FS bit of that descriptor is set. The offset is zero when the data buffer pointer is aligned to the data bus width. If a descriptor is marked as last, then the buffer may not be full (as indicated by the buffer size in RDES1). To compute the amount of valid data in this final buffer, the driver must read the frame length (FL bits of RDES0[29:16]) and subtract the sum of the buffer sizes of the preceding buffers in this frame. The Receive DMA always transfers the start of next frame with a new descriptor.

NOTE: Even when the start address of a receive buffer is not aligned to the data width of system bus, the system should allocate a receive buffer of a size aligned to the system bus width. For example, if the system allocates a 1,024-byte (1 KB) receive buffer starting from address 0x1000, the software can program the buffer start address in the Receive descriptor to have a 0x1002 offset. The Receive DMA writes the frame to this buffer with dummy data in the first two locations (0x1000 and 0x1001). The actual frame is written from location 0x1002. Thus, the actual useful space in this buffer is 1,022 bytes, even though the buffer size is programmed as 1,024 bytes, because of the start address offset.

60.4 ENET 寄存器列表

ENET0 base address: 0xF2000000 ENET1 base address: 0xF2004000

地址偏移	名称	描述	复位值
0x0000	MACCFG	MAC 配置寄存器	0x00000000
0x0004	MACFF	MAC 帧过滤器	0x00000000
0x0008	HASH_H	哈希表高位寄存器	0x00000000
0x000C	HASH_L	哈希表低位寄存器	0x00000000
0x0010	GMII_ADDR	GMII 地址寄存器	0x00000000
0x0014	GMII_DATA	GMII 数据寄存器	0x00000000
0x0018	FLOWCTRL	流量控制寄存器	0x00000000
0x001C	VLAN_TAG	VLAN 标签寄存器	0x00000000
0x0028	RWKFRMFILT	远程唤醒帧过滤器寄存器	0x00000000
0x002C	PMT_CSR	PMT 控制和状态寄存器	0x00000000
0x0030	LPI_CSR	LPI 控制和状态寄存器	0x00000000
0x0034	LPI_TCR	LPI 定时器控制寄存器	0x00000000
0x0038	INTR_STATUS	中断状态寄存器	0x00000000
0x003C	INTR_MASK	中断屏蔽寄存器	0x00000000
0x0040	MAC_ADDR_0_HIGH	MAC 地址 0 高位寄存器	0x00000000
0x0044	MAC_ADDR_0_LOW	MAC 地址 0 低位寄存器	0x00000000
0x0048	MAC_ADDR[1][HIGH]	MAC 地址高位寄存器	0x00000000
0x004C	MAC_ADDR[1][LOW]	MAC 地址低位寄存器	0x00000000
0x0050	MAC_ADDR[2][HIGH]	MAC 地址 2 高位寄存器	0x00000000
0x0054	MAC_ADDR[2][LOW]	MAC 地址 2 低位寄存器	0x00000000
0x0058	MAC_ADDR[3][HIGH]	MAC 地址 3 高位寄存器	0x00000000
0x005C	MAC_ADDR[3][LOW]	MAC 地址 3 低位寄存器	0x00000000
0x0060	MAC_ADDR[4][HIGH]	MAC 地址 4 高位寄存器	0x00000000
0x0064	MAC_ADDR[4][LOW]	MAC 地址 4 低位寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x00D8	XMII_CSR	SGMII/RGMII/SMII 控制和状态寄存器	0x00000000
0x00DC	WDOG_WTO	看门狗超时寄存器	0x00000000
0x0100	MMC_CNTRL	MMC 控制建立 MMC 的操作模式。	0x00000000
0x0104	MMC_INTR_RX	MMC 接收中断	0x00000000
0x0108	MMC_INTR_TX	MMC 发送中断	0x00000000
0x010C	MMC_INTR_MASK_RX	MMC 接收中断掩码	0x00000000
0x0110	MMC_INTR_MASK_TX	MMC 发送中断屏蔽	0x00000000
0x0114	TXOCTETCOUNT_GB	传输的字节数，不包括前导码和重试 字节。	0x00000000
0x0118	TXFRAMECOUNT_GB	传输的好坏帧数，不包括重试帧。	0x00000000
0x011C	TXBROADCASTFRAMES_G	传输的好的广播帧数。	0x00000000
0x0120	TXMLTICASTFRAMES_G	传输的好的组播帧数	0x00000000
0x0124	TX64OCTETS_GB	传输长度为 64 字节的好帧和坏帧的帧数， 不包括前导和重试帧	0x00000000
0x0128	TX65TO127OCTETS_GB	传输的长度为之间的好帧和坏帧的个数 65 和 127（含）字节，不包括前导码和重试 帧。	0x00000000
0x012C	TX128TO255OCTETS_GB	传输的长度为之间的好帧和坏帧的个数 128 和 255（含）字节，不包括前导码和重试帧。	0x00000000
0x0130	TX256TO511OCTETS_GB	传输的长度为之间的好帧和坏帧的个数 256 和 511（含）字节，不包括前导码和重试帧。	0x00000000
0x0134	TX512TO1023OCTETS_GB	传输的长度为之间的好帧和坏帧的个数 512 和 1023（含）字节，不包括前导码和重试帧	0x00000000
0x0138	TX1024TOMAXOCTETS_GB	传输的长度为之间的好坏帧数 1,024 和 maxsize（含）字节，不包括前导码和 重试帧。	0x00000000
0x0180	RXFRAMECOUNT_GB	收到的好帧和坏帧数	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0200	MMC_IPC_INTR_MASK_RX	MMC IPC 接收校验和卸载中断掩码，作用于从接收 IPC 统计计数器生成的中断	0x00000000
0x0208	MMC_IPC_INTR_RX	MMC 接收校验和卸载中断维护接收 IPC 统计计数器生成的中断	0x00000000
0x0210	RXIPV4_GD_FMS	使用 TCP、UDP 或 ICMP 负载接收的良好 IPv4 数据报的数量	0x00000000
0x0400	L3_L4_CFG[0][L3_L4_CTRL]	第 3 层和第 4 层控制寄存器	0x00000000
0x0404	L3_L4_CFG[0][L4_ADDR]	第 4 层地址寄存器	0x00000000
0x0410	L3_L4_CFG[0][L3_ADDR_0]	第 3 层地址 0 寄存器	0x00000000
0x0414	L3_L4_CFG[0][L3_ADDR_1]	第 3 层地址 1 寄存器	0x00000000
0x0418	L3_L4_CFG[0][L3_ADDR_2]	第 3 层地址 2 寄存器	0x00000000
0x041C	L3_L4_CFG[0][L3_ADDR_3]	第 3 层地址 3 寄存器	0x00000000
0x0434	L3_L4_CFG[1][L4_ADDR]	第 4 层地址寄存器	0x00000000
0x0440	L3_L4_CFG[1][L3_ADDR_0]	第 3 层地址 0 寄存器	0x00000000
0x0444	L3_L4_CFG[1][L3_ADDR_1]	第 3 层地址 1 寄存器	0x00000000
0x0448	L3_L4_CFG[1][L3_ADDR_2]	第 3 层地址 2 寄存器	0x00000000
0x044C	L3_L4_CFG[1][L3_ADDR_3]	第 3 层地址 3 寄存器	0x00000000
0x0464	L3_L4_CFG[2][L4_ADDR]	第 4 层地址寄存器	0x00000000
0x0470	L3_L4_CFG[2][L3_ADDR_0]	第 3 层地址 0 寄存器	0x00000000
0x0474	L3_L4_CFG[2][L3_ADDR_1]	第 3 层地址 1 寄存器	0x00000000
0x0478	L3_L4_CFG[2][L3_ADDR_2]	第 3 层地址 2 寄存器	0x00000000
0x047C	L3_L4_CFG[2][L3_ADDR_3]	第 3 层地址 3 寄存器	0x00000000
0x0494	L3_L4_CFG[3][L4_ADDR]	第 4 层地址寄存器	0x00000000
0x04A0	L3_L4_CFG[3][L3_ADDR_0]	第 3 层地址 0 寄存器	0x00000000
0x04A4	L3_L4_CFG[3][L3_ADDR_1]	第 3 层地址 1 寄存器	0x00000000
0x04A8	L3_L4_CFG[3][L3_ADDR_2]	第 3 层地址 2 寄存器	0x00000000
0x04AC	L3_L4_CFG[3][L3_ADDR_3]	第 3 层地址 3 寄存器	0x00000000
0x0584	VLAN_TAG_INC_RPL	VLAN 标记包含或替换寄存器	0x00000000
0x0588	VLAN_HASH	VLAN 哈希表寄存器	0x00000000
0x0700	TS_CTRL	时间戳控制寄存器	0x00000000
0x0704	SUB_SEC_INCR	次-秒增量寄存器	0x00000000
0x0708	SYST_SEC	系统时间 - 秒寄存器	0x00000000
0x070C	SYST_NSEC	系统时间 - 纳秒寄存器	0x00000000
0x0710	SYST_SEC_UPD	系统时间 - 秒更新寄存器	0x00000000
0x0714	SYST_NSEC_UPD	系统时间 - 纳秒更新寄存器	0x00000000
0x0718	TS_ADDEND	时间戳加法寄存器	0x00000000
0x071C	TGTTM_SEC	目标时间秒寄存器	0x00000000
0x0720	TGTTM_NSEC	目标时间纳秒寄存器	0x00000000
0x0724	SYSTM_H_SEC	系统时间 - 秒寄存器的高位字	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0728	TS_STATUS	时间戳状态寄存器	0x00000000
0x072C	PPS_CTRL	PPS 控制寄存器	0x00000000
0x0730	AUX_TS_NSEC	辅助时间戳 - 纳秒寄存器	0x00000000
0x0734	AUX_TS_SEC	辅助时间戳 - 秒寄存器	0x00000000
0x0760	PPS0_INTERVAL	PPS0 间隔寄存器	0x00000000
0x0764	PPS0_WIDTH	PPS0 宽度寄存器	0x00000000
0x0780	PPS[1][TGTTM_SEC]	PPS 目标时间秒寄存器	0x00000000
0x0784	PPS[1][TGTTM_NSEC]	PPS 目标时间纳秒寄存器	0x00000000
0x0788	PPS[1][INTERVAL]	PPS 间隔寄存器	0x00000000
0x078C	PPS[1][WIDTH]	PPS 宽度寄存器	0x00000000
0x07A0	PPS[2][TGTTM_SEC]	PPS2 目标时间秒寄存器	0x00000000
0x07A4	PPS[2][TGTTM_NSEC]	PPS 目标时间纳秒寄存器	0x00000000
0x07A8	PPS[2][INTERVAL]	PPS 间隔寄存器	0x00000000
0x07AC	PPS[2][WIDTH]	PPS 宽度寄存器	0x00000000
0x07C0	PPS[3][TGTTM_SEC]	PPS3 目标时间秒寄存器	0x00000000
0x07C4	PPS[3][TGTTM_NSEC]	PPS 目标时间纳秒寄存器	0x00000000
0x07C8	PPS[3][INTERVAL]	PPS 间隔寄存器	0x00000000
0x07CC	PPS[3][WIDTH]	PPS 宽度寄存器	0x00000000
0x1000	DMA_BUS_MODE	DMA 总线模式寄存器	0x00000000
0x1004	DMA_TX_POLL_DEMAND	DMA 发送轮询请求寄存器	0x00000000
0x1008	DMA_RX_POLL_DEMAND	DMA 接收轮询请求寄存器	0x00000000
0x100C	DMA_RX_DESC_LIST_ADDR	DMA 接收描述符列表地址寄存器	0x00000000
0x1010	DMA_TX_DESC_LIST_ADDR	DMA 发送描述符列表地址寄存器	0x00000000
0x1014	DMA_STATUS		0x00000000
0x1018	DMA_OP_MODE	DMA 操作模式寄存器	0x00000000
0x101C	DMA_INTR_EN	DMA 中断使能寄存器	0x00000000
0x1020	DMA_MISS_OVF_CNT	丢失帧和缓冲区溢出计数器寄存器	0x00000000
0x1024	DMA_RX_INTR_WDOG	接收中断看门狗定时器寄存器	0x00000000
0x1028	DMA_AXI_MODE	AXI 总线模式寄存器	0x00000000
0x102C	DMA_BUS_STATUS	AHB 或 AXI 状态寄存器	0x00000000
0x1048	DMA_CURR_HOST_TX_DESC	当前主机发送描述符寄存器	0x00000000
0x104C	DMA_CURR_HOST_RX_DESC	当前主机接收描述符寄存器	0x00000000
0x1050	DMA_CURR_HOST_TX_BUF	当前主机发送缓冲区地址寄存器	0x00000000
0x1054	DMA_CURR_HOST_RX_BUF	当前主机接收缓冲区地址寄存器	0x00000000

表 263: ENET 寄存器列表

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

60.5 ENET 寄存器描述

60.5.1 MACCFG (0x0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD	SARC			TWOKPE	SFTERR	CST	TC	WD	JD	BE	JE	IFG			DCRS	PS	FES	DO	LM	DM	IPC	DR	LUD	ACS	BL		DC	TE	RE	PRELEN	
N/A	RW			RW	RW	RW	RW	RW	RW	RW	RW	RW			RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW		RW	RW	RW	RW	
x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MACCFG [31:0]

位域	名称	描述
30-28	SARC	源地址插入或替换控制 该字段控制所有传输帧的源地址插入或替换。位 30 根据位 [29:28] 的值指定哪个 MAC 地址寄存器（0 或 1）用于源地址插入或替换： - 2’b0x：输入信号 mti_sa_ctrl_i 和 ati_sa_ctrl_i 控制 SA 字段的生成。 - 2’b10：- 如果位 30 设置为 0，MAC 将 MAC 地址 0 寄存器（寄存器 16 和 17）的内容插入到所有传输帧的 SA 字段中。- 如果位 30 设置为 1 并且在内核配置期间选择了启用 MAC 地址寄存器 1 选项，则 MAC 将 MAC 地址 1 寄存器（寄存器 18 和 19）的内容插入到所有传输帧的 SA 字段中。 - 2’b11：- 如果位 30 设置为 0，MAC 将替换所有传输帧的 SA 字段中 MAC 地址 0 寄存器（寄存器 16 和 17）的内容。- 如果位 30 设置为 1 并且在内核配置期间选择了启用 MAC 地址寄存器 1 选项，则 MAC 将替换所有传输帧的 SA 字段中 MAC 地址 1 寄存器（寄存器 18 和 19）的内容。注意：- 对该字段的更改仅在帧开始时生效。如果在传输帧时写入该寄存器字段，则只有后续帧可以使用更新后的值，即当前帧不使用更新后的值。- 当内核配置期间未选择在 TX 上启用 SA、VLAN 和 CRC 插入功能时，这些位被保留和 RO。
27	TWOKPE	IEEE 802.3as 支持 2K 数据包 设置后，MAC 将所有长度最多为 2,000 字节的帧视为正常数据包。当第 20 位 (JE) 未设置时，MAC 将所有接收到的大小超过 2K 字节的帧视为巨型帧。当该位复位且位 20 (JE) 未设置时，MAC 将所有接收到的大小超过 1,518 字节（标记为 1,522 字节）的帧视为巨型帧。设置位 20 时，设置此位对巨帧状态没有影响。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
26	SFTERR	IEEE 802.3as 支持 2K 数据包 设置后，MAC 将所有长度最多为 2,000 字节的帧视为正常数据包。当第 20 位 (JE) 未设置时，MAC 将所有接收到的大小超过 2K 字节的帧视为巨型帧。当该位复位且位 20 (JE) 未设置时，MAC 将所有接收到的大小超过 1,518 字节（标记为 1,522 字节）的帧视为巨型帧。设置位 20 时，设置此位对巨帧状态没有影响。
25	CST	类型帧的 CRC 剥离 设置此位后，所有 Ether 类型帧（长度/类型字段大于或等于 1,536）的最后 4 个字节 (FCS) 在将帧转发到应用程序之前被剥离和丢弃。当 MAC 接收器中启用 IP 校验和引擎（类型 1）时，此功能无效。此功能在启用类型 2 校验和卸载引擎时有效。
24	TC	RGMII、SGMII 或 SMII 中的传输配置 设置时，该位启用双工模式、链路速度和链路启动或关闭信息到 PHY（RGMII、SMII 或 SGMII 端口中）。当该位复位时，不会将此类信息发送到 PHY。如果在内核配置期间未选择 RGMII、SMII 或 SGMII PHY 端口，则该位保留（和 RO）
23	WD	看门狗禁用 当该位被设置时，MAC 禁用接收器上的看门狗定时器。MAC 最多可以接收 16,383 字节的帧。
22	JD	Jabber 禁用 当该位被设置时，MAC 禁用发送器上的 jabber 定时器。MAC 最多可以传输 16,383 字节的帧。当该位复位时，如果应用程序在传输过程中发送了超过 2,048 个字节的数据（如果 JE 设置为高，则为 10,240 个字节），MAC 将切断发送器。
21	BE	帧突发使能 当该位被设置时，MAC 允许在 GMII 半双工模式下传输期间的帧突发。该位在 10/100 Mbps 或全双工配置时保留（和 RO）。
20	JE	巨型帧启用 设置此位后，MAC 允许 9,018 字节（VLAN 标记帧为 9,022 字节）的巨型帧，而不会在接收帧状态中报告巨大帧错误。
19-17	IFG	帧间间隙 这些位控制传输期间帧之间的最小 IFG。 - 000：96 位时间 - 001：88 位时间 - 010：80 位时间 - ... - 111：40 位时间 在半双工模式下，最小 IFG 只能配置为 64 位时间（IFG = 100），不考虑较低的值。在 1000-Mbps 模式下，支持的最小 IFG 配置中为 64 位时间（及以上），在其他配置中为 80 位时间（及以上）。当由于传输 JAM 模式时，MAC 不考虑最小 IFG。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
16	DCRS	在传输过程中禁用载波侦听 当设置为高时，该位使 MAC 发送器在半双工模式下帧传输期间忽略 (G)MII CRS 信号。此请求不会导致在此类传输期间因丢失载波或无载波而产生错误。当该位为低时，MAC 发送器会因载波侦听而产生此类错误，甚至可以中止传输。
15	PS	端口选择 该位选择以太网线路速度。 - 0：对于 1000 Mbps 操作 - 1：对于 10 或 100 Mbps 操作在 10 或 100 Mbps 操作中，该位与 FES 位一起选择准确的线路速度。在仅 10/100 Mbps（始终为 1）或仅 1000 Mbps（始终为 0）的配置中，该位是只读的，具有适当的值。在默认 10/100/1000 Mbps 配置中，该位是 R_W。mac_portselect_o 或 mac_speed_o[1] 信号反映了该位的值。
14	FES	速度 该位选择 MII、RMII、SMII、RGMII、SGMII 或 RevMII 接口中的速度： - 0：10 Mbps - 1: 100 Mbps 该位默认保留 (RO)，仅在参数 SPEED_SELECT = Enabled 时启用。当位 24 (TC) 在 RGMII、SMII 或 SGMII 模式下设置时，该位生成链接速度编码。对于 RGMII、SGMII、SMII 或 RevMII 接口，该位始终使能。在具有 RGMII、SGMII、SMII 或 RevMII 接口的配置中，该位作为输出信号 (mac_speed_o[0]) 驱动以反映 mac_speed_o 信号中该位的值。在具有 RMII、MII 或 GMII 接口的配置中，您可以选择将此位作为输出信号 (mac_speed_o[0]) 来驱动，以在 mac_speed_o 信号中反映其值。
13	DO	禁用接收自己的 当该位被设置时，当 phy_txen_o 在半双工模式下被置位时，MAC 将禁止接收帧。当该位复位时，MAC 接收传输时由 PHY 提供的所有数据包。如果 MAC 在全双工模式下运行，则该位不适用。如果 MAC 配置为仅全双工操作，则该位是保留的（RO 具有默认值）。
12	LM	环回模式 当该位置位时，MAC 在 GMII 或 MII 下以环回模式运行。(G)MII 接收时钟输入 (clk_rx_i) 是环回正常工作所必需的，因为发送时钟不在内部环回。
11	DM	双工模式 当该位被设置时，MAC 在全双工模式下运行，它可以同时发送和接收。该位是 RO，在仅全双工配置中默认值为 1’b1

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
10	IPC	校验和卸载 当该位被设置时，MAC 计算所有接收到的以太网帧有效载荷的补码和的 16 位补码。它还检查 IPv4 报头校验和（假设为接收的以太网帧的字节 25-26 或 29-30（VLAN 标记））对于接收的帧是否正确，并在接收状态字中给出状态。MAC 还附加为 IP 报头数据报负载（IPv4 报头之后的字节）计算的 16 位校验和，并将其附加到传输到应用程序的以太网帧（当取消选择类型 2 COE 时）。当该位复位时，该功能被禁用。选择 2 型 COE 时，该位在设置时，启用 IPv4 头部校验和检查和 IPv4 或 IPv6 TCP，UDP 或 ICMP 有效载荷校验和检查。
9	DR	禁用重试 当该位被设置时，MAC 只尝试一次传输。当 GMII 或 MII 接口发生冲突时，MAC 会忽略当前帧的传输，并在传输帧状态中报告 Frame Abort 和过多的冲突错误。当该位复位时，MAC 会根据 BL 字段（位 [6:5]）的设置尝试重试。
8	LUD	链接向上或向下 该位指示在 RGMII、SGMII 或 SMII 接口中传输配置期间链路是 up 还是 down： - 0：链接断开 - 1：链接
7	ACS	自动垫或 CRC 剥离 设置该位后，仅当长度字段的值小于 1,536 字节时，MAC 才会剥离传入帧上的 Pad 或 FCS 字段。所有接收到的长度字段大于或等于 1,536 字节的帧都将传递给应用程序，而不会剥离 Pad 或 FCS 字段。当该位复位时，MAC 将所有传入帧传递给主机，而无需修改它们。
6-5	BL	回退限制 回退限制决定了时隙延迟的随机整数 (r)（1000 Mbps 为 4,096 位时间，10/100 Mbps 为 512 位时间），MAC 在冲突后重试期间重新安排传输尝试之前等待该延迟。该位仅适用于半双工模式，并在仅全双工配置中保留 (RO)。 - 00: k= min (n, 10) - 01: k = min (n, 8) - 10: k = min (n, 4) - 11: k = min (n, 1) 其中 n = 重传尝试。随机整数 r 取值范围为 0 ≤ r < 2k。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
4	DC	延期检查 当该位被设置时，在 MAC 中启用延迟检查功能。当传输状态机在 10 或 100 Mbps 模式下延迟超过 24,288 位时间时，MAC 会发出帧中止状态以及在传输帧状态中设置的过多延迟错误位。如果 MAC 配置为 1000 Mbps 操作，或者如果在 10 或 100 Mbps 模式下启用 Jumbo 帧模式，则延迟阈值为 155,680 位时间。当发射机准备好发送时，延迟开始，但由于 GMII 或 MII 上的活动载波侦听信号 (CRS) 而被阻止。延迟时间不是累积的。例如，如果发射机由于 CRS 信号处于活动状态而推迟 10,000 比特时间，然后 CRS 信号变为非活动状态，则发射机会发射并发生冲突。由于碰撞，发射器需要退避，然后在退避完成后再次推迟。在这种情况下，延迟计时器将重置为 0 并重新启动。
3	TE	发射器使能 当该位被设置时，MAC 的传输状态机被启用以在 GMII 或 MII 上传输。当该位复位时，MAC 发送状态机在当前帧传输完成后禁用，不再发送任何帧。
2	RE	接收器启用 当该位被设置时，MAC 的接收器状态机被启用以接收来自 GMII 或 MII 的帧。当该位复位时，MAC 接收状态机在当前帧接收完成后被禁用，并且不再接收来自 GMII 或 MII 的任何帧。
1-0	PRELEN	发送帧的前导码长度 这些位控制添加到每个传输帧开头的前导字节数。仅当 MAC 在全双工模式下运行时才会发生前导码减少。 - 2’b00：7 字节的前导码 - 2’b01：5 字节的前导 - 2’b10：3 字节的前导 - 2’b11：保留

MACCFG 位域

60.5.2 MACFF (0x4)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RA	RSVD									DNTU	IPFE	RSVD				VTFE	RSVD				HPF	SAF	SAIF	PCF		DBF	PM	DAIF	HMC	HUC	PR
RW	N/A									RW	RW	N/A				RW	N/A				RW	RW	RW	RW		RW	RW	RW	RW	RW	RW
0	x	x	x	x	x	x	x	x	x	0	0	x	x	x	x	0	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0

MACFF [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31	RA	接受所有帧 当设置该位时，MAC 接收器模块将所有接收到的帧传递给应用程序，而不管它们是否通过地址过滤器。SA 或 DA 过滤的结果在接收状态字的相应位中更新（通过或失败）。重置此位时，接收器模块仅将通过 SA 或 DA 地址过滤器的帧传递给应用程序。
21	DNTU	丢弃非 TCP/UDP over IP 帧 设置此位后，MAC 可以丢弃非 TCP 或 UDP over IP 帧。MAC 仅转发由第 4 层过滤器处理的帧。重置时，此位使 MAC 能够转发所有非 TCP 或 UDP over IP 帧。
20	IPFE	第 3 层和第 4 层过滤器启用 设置时，该位使 MAC 能够丢弃与启用的第 3 层和第 4 层过滤器不匹配的帧。如果未启用第 3 层或第 4 层过滤器进行匹配，则此位不会产生任何影响。重置时，MAC 转发所有帧，而不考虑第 3 层和第 4 层字段的匹配状态。
15	VTFE	启用 VLAN 标记的筛选器 设置此位后，MAC 可以丢弃与 VLAN 标记比较不匹配的 VLAN 标记帧。重置时，MAC 转发所有帧，而不考虑 VLAN 标记的匹配状态。
10	HPF	哈希过滤器，还是完美过滤器 设置此位时，地址过滤器会通过与 HMC 或 HUC 位设置的完美过滤或哈希过滤匹配的帧。当该位为低时，且设置了 HUC 或 HMC 位时，仅当该帧与哈希过滤器匹配时才传递该帧。
9	SAF	启用源地址筛选器 设置该位时，MAC 将接收帧的 SA 字段与已启用 SA 寄存器中编程的值进行比较。如果比较失败，MAC 将丢弃该帧。 当重置该位时，MAC 将接收到的帧转发给应用程序，并根据 SA 地址比较更新 Rx 状态的 SAF 位。
8	SAIF	SA 逆过滤 设置此位时，地址检查模块在 SA 地址比较的反向过滤模式下运行。SA 与 SA 寄存器匹配的帧被标记为 SA 地址筛选失败的帧。重置此位时，SA 与 SA 寄存器不匹配的帧将标记为 SA 地址筛选失败的帧。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
7-6	PCF	转发控制帧 这些位控制所有控制帧（包括单播和多播暂停帧）的转发。 -00:MAC 过滤所有到达应用程序的控制帧。 -01:MAC 将所有控制帧（暂停帧除外）转发给应用程序，即使它们未通过地址过滤器。 -10:MAC 将所有控制帧转发给应用程序，即使它们未通过地址过滤器。 -11:MAC 转发通过地址过滤器的控制帧。暂停帧处理应满足以下条件：-条件 1：MAC 处于全双工模式，通过将寄存器 6（流量控制寄存器）的位 2（RFE）设置为 1 启用流量控制。-条件 2：设置寄存器 6（流控制寄存器）的位 3（向上）时，接收帧的目标地址（DA）与特殊多播地址或 MAC 地址 0 匹配。-条件 3：接收帧的类型字段为 0x8808，操作码字段为 0x0001。注：仅当条件 1 为真时，该字段才应设置为 01，即 MAC 编程为在全双工模式下工作，且 RFE 位启用。否则，暂停帧过滤可能不一致。当条件 1 为 false 时，暂停帧被视为通用控制帧。因此，要在未启用全双工模式和流量控制时传递所有控制帧（包括暂停帧），应将 PCF 字段设置为 10 或 11（根据应用程序的要求）。
5	DBF	禁用广播帧 设置此位时，AFM 模块阻止所有传入的广播帧。此外，它将覆盖所有其他过滤器设置。当该位复位时，AFM 模块通过所有接收到的广播帧。
4	PM	通过所有多播 设置时，该位表示所有接收到的具有多播目标地址的帧（目标地址字段中的第一位为“1”）都被传递。重置时，多播帧的过滤取决于 HMC 位。
3	DAIF	反过滤 当设置该位时，地址检查块以反向过滤模式操作，用于单播和多播帧的 DA 地址比较。重置时，执行帧的正常过滤。
2	HMC	哈希多播 当设置时，MAC 根据哈希表对接收到的多播帧执行目的地地址过滤。复位时，MAC 对多播帧执行完美的目的地地址过滤，即将 DA 字段与 DA 寄存器中编程的值进行比较。
1	HUC	哈希单播 设置后，MAC 根据哈希表对单播帧进行目的地址过滤。复位时，MAC 对单播帧执行完美的目标地址过滤，即将 DA 字段与 DA 寄存器中编程的值进行比较。
0	PR	混杂模式 设置该位后，地址过滤器模块会通过所有传入帧，而不管目标地址或源地址如何。当 PR 置位时，接收状态字的 SA 或 DA 过滤器失败状态位总是被清除

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述

MACFF 位域

60.5.3 HASH_H (0x8)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HTH																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

HASH_H [31:0]

位域	名称	描述
31-0	HTH	哈希表高 该字段包含哈希表的高 32 位。

HASH_H 位域

60.5.4 HASH_L (0xC)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HTL																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

HASH_L [31:0]

位域	名称	描述
31-0	HTL	哈希表低 该字段包含哈希表的低 32 位。

HASH_L 位域

60.5.5 GMII_ADDR (0x10)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																PA					GR					CR				GW	GB
N/A																RW					RW					RW				RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

GMII_ADDR [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
15-11	PA	物理层地址 该字段指示正在访问 32 个可能的 PHY 设备中的哪一个。对于 RevMII，该字段给出了 RevMII 模块的 PHY 地址。
10-6	GR	GMII 注册 这些位选择所选 PHY 器件中所需的 GMII 寄存器。对于 RevMII，这些位在 RevMII 寄存器集中选择所需的 CSR 寄存器。
5-2	CR	CSR 时钟范围 CSR 时钟范围选择根据您的设计中使用的 CSR 时钟频率确定 MDC 时钟的频率。不同 GMAC 配置对应的 CSR 时钟在第 564 页的表 9-2 中给出。适用于每个值的 CSR 时钟频率的建议范围（当 Bit[5] = 0 时）确保 MDC 时钟大约在频率范围之间 1.0 MHz-2.5 MHz。 - 0000：CSR 时钟频率为 60-100 MHz，MDC 时钟频率为 CSR clock/42。 - 0001：CSR 时钟频率为 100-150 MHz，MDC 时钟频率为 CSR clock/62。 - 0010：CSR 时钟频率为 20-35 MHz，MDC 时钟频率为 CSR clock/16。 - 0011：CSR 时钟频率为 35-60 MHz，MDC 时钟频率为 CSR clock/26。 - 0100：CSR 时钟频率为 150-250 MHz，MDC 时钟频率为 CSR clock/102。 - 0101：CSR 时钟频率为 250-300 MHz，MDC 时钟为 CSR 时钟/124。 - 0110, 0111：保留当位 5 被设置时，您可以获得比 2.5 MHz 频率限制（在 IEEE Std 802.3 中指定）更高的 MDC 时钟频率，并编程一个较低值的时钟分频器。例如，当 CSR 时钟的频率为 100 MHz 并且您将这些位编程为 1010 时，生成的 MDC 时钟为 12.5 MHz，超出了 IEEE 802.3 指定范围的限制。仅当接口芯片支持更快的 MDC 时钟时才对以下值进行编程。 - 1000：CSR 时钟/4 - 1001：CSR 时钟/6 - 1010：CSR 时钟/8 - 1011：CSR 时钟/10 - 1100：CSR 时钟/12 - 1101：CSR 时钟/14 - 1110：CSR 时钟/16 - 1111：CSR 时钟/18 这些位不用于访问 RevMII。如果 RevMII 接口被选为单个 PHY 接口，这些位是只读的。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
1	GW	GMII 写 设置时，该位向 PHY 或 RevMII 指示这是使用 GMII 数据寄存器的写操作。如果该位未设置，则表示这是一次读操作，即将数据放入 GMII 数据寄存器中。
0	GB	GMII 忙 在写入寄存器 4 和寄存器 5 之前，该位应读取逻辑 0。在 PHY 或 RevMII 寄存器访问期间，软件将此位设置为 1’b1 以指示正在进行读或写访问。寄存器 5 无效，直到该位被 MAC 清除。因此，寄存器 5（GMII 数据）应保持有效，直到 MAC 在 PHY 写操作期间清除该位。类似地，对于读操作，寄存器 5 的内容在该位被清除之前无效。后续的读或写操作应该只在前一个操作完成后发生。因为在读或写操作完成后没有从 PHY 到 MAC 的确认，所以即使 PHY 不存在，该位的功能也没有变化。

GMII_ADDR 位域

60.5.6 GMII_DATA (0x14)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																GD															
N/A																RW															
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

GMII_DATA [31:0]

位域	名称	描述
15-0	GD	GMII 数据 该字段包含在管理读取操作之后从 PHY 或 RevMII 读取的 16 位数据值或在管理写入操作之前要写入 PHY 或 RevMII 的 16 位数据值。

GMII_DATA 位域

60.5.7 FLOWCTRL (0x18)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PT																RSVD								DZPQ	RSVD	PLT		UP	RFE	TFE	FCB_BPA
RW																N/A								RW	N/A	RW		RW	RW	RW	RW
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x	0	x	0	0	0	0	0	0

FLOWCTRL [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-16	PT	暂停时间 该字段保存要在传输控制帧的暂停时间字段中使用的值。如果暂停时间位配置为与 (G)MII 时钟域双同步，则应仅在目标时钟域中至少四个时钟周期后执行对该寄存器的连续写入。
7	DZPQ	禁用零量子暂停 当该位被设置时，它会在来自 FIFO 层的流量控制信号（MTL 或外部边带流量控制信号 sbd_flowctrl_i/mti_flowctrl_i）变成无效时禁用零量子暂停帧的自动生成。当该位复位时，启用自动零量子暂停帧生成的正常操作。
5-4	PLT	暂停低阈值 该字段配置 Pause 定时器的阈值，在该阈值处检查输入流控制信号 mti_flowctrl_i（或 sbd_flowctrl_i）是否自动重传 Pause 帧。阈值应始终小于在 Bits[31:16] 中配置的暂停时间。例如，如果 PT = 100H（256 个时隙），并且 PLT = 01，那么如果 mti_flowctrl_i 信号在第一个暂停帧传输后的 228 (256 –28) 个时隙时断言，则第二个暂停帧将自动传输。以下列表提供了不同值的阈值： - 00：阈值是暂停时间减去 4 个插槽时间（PT –4 个插槽时间）。 - 01：阈值是暂停时间减去 28 个插槽时间（PT –28 个插槽时间）。 - 10：阈值是暂停时间减去 144 个插槽时间（PT –144 个插槽时间）。 - 11：阈值是暂停时间减去 256 个插槽时间（PT –256 个插槽时间）。时隙定义为在 GMII 或 MII 接口上传输 512 位（64 字节）所花费的时间。
3	UP	单播暂停帧检测 如果暂停帧具有 IEEE Std 802.3 中指定的唯一多播地址，则会对其进行处理。当该位被设置时，MAC 也可以检测到带有站点单播地址的 Pause 帧。此单播地址应与 MAC 地址 0 高位寄存器和 MAC 地址 0 低位寄存器中指定的一样。当该位复位时，MAC 仅检测具有唯一多播地址的暂停帧。
2	RFE	接收流控制使能 当该位被设置时，MAC 解码接收到的暂停帧并在指定的（暂停）时间内禁用其发送器。当该位复位时，暂停帧的解码功能被禁用。
1	TFE	传输流控制使能 在全双工模式下，当该位被设置时，MAC 启用流量控制操作以传输暂停帧。当该位复位时，MAC 中的流量控制操作被禁用，MAC 不发送任何暂停帧。在半双工模式下，当该位被设置时，MAC 启用背压操作。当该位复位时，背压功能被禁用。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
0	FCB_BPA	流量控制忙或背压激活 该位在全双工模式下启动一个暂停帧，如果 TFE 位被设置，则在半双工模式下激活背压功能。在全双工模式下，在写入流量控制寄存器之前，该位应读为 1’b0。要启动暂停帧，应用程序必须将此位设置为 1’b1。在控制帧传输期间，该位继续设置以表示正在进行帧传输。暂停帧传输完成后，MAC 将该位复位为 1’b0。在该位清零之前，不应写入流量控制寄存器。在半双工模式下，当该位被设置（并且 TFE 被设置）时，MAC 会声明背压。在背压期间，当 MAC 接收到新帧时，发送器开始发送导致冲突的 JAM 模式。该控制寄存器位与用于背压功能的 mti_flowctrl_i 输入信号进行逻辑或运算。当 MAC 配置为全双工模式时，BPA 将自动禁用。

FLOWCTRL 位域

60.5.8 VLAN_TAG (0x1C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD												VTHM	ESVL	VTIM	ETV	VL															
N/A												RW	RW	RW	RW	RW															
x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

VLAN_TAG [31:0]

位域	名称	描述
19	VTHM	VLAN 标记的哈希表匹配启用 设置时，VLAN 标记的 CRC 的最高有效四位用于索引寄存器 354（VLAN 哈希表寄存器）的内容。VLAN 哈希表寄存器中与索引对应的值为 1 表示帧与 VLAN 哈希表匹配。当设置位 16（ETV）时，12 位 VLAN 标识符（VID）的 CRC 用于比较，而当重置 ETV 时，16 位 VLAN 标记的 CRC 用于比较。 重置时，不会执行 VLAN 哈希匹配操作。
18	ESVL	启用 S-VLAN 当该位被设置时，MAC 发送器和接收器还将 S VLAN（类型＝0x88 A8）帧视为有效的 VLAN 标记帧
17	VTIM	VLAN 标记的反向匹配启用 设置时，此位启用 VLAN 标记反向匹配。没有匹配 VLAN 标记的帧被标记为匹配。 重置时，此位启用 VLAN 标记的完美匹配。具有匹配 VLAN 标记的帧标记为匹配。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
16	ETV	启用 12 位 VLAN 标记比较 设置此位时，12 位 VLAN 标识符用于比较和筛选，而不是完整的 16 位 VLAN 标记。VLAN 标记的位 [11:0] 与接收到的 VLAN 标记帧中的相应字段进行比较。类似地，启用时，接收帧中只有 12 位 VLAN 标记用于基于哈希的 VLAN 过滤。重置此位时，接收到的 VLAN 帧的第 15 和第 16 字节的所有 16 位用于比较和 VLAN 哈希过滤。
15-0	VL	接收帧的 VLAN 标记标识符 此字段包含用于标识 VLAN 帧的 802.1Q VLAN 标记，并与 VLAN 帧接收的帧的第 15 和第 16 字节进行比较。以下列表描述了此字段的位：-位 [15:13]：用户优先级-位 12：规范格式指示符（CFI）或删除合格指示符（DEI）-位 [11:0]：VLAN 标记的 VLAN 标识符（VID）字段设置 ETV 位时，仅使用 VID（位 [11:0]）进行比较。如果 VL（如果设置了 ETV，则为 VL[11:0]）均为零，则 MAC 不会检查第十五和第十六字节以进行 VLAN 标记比较，并将类型字段值为 0x8100 或 0x88a8 的所有帧声明为 VLAN 帧。

VLAN_TAG 位域

60.5.9 RWKFRMFILT (0x28)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WKUPFRMFILT																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RWKFRMFILT [31:0]

位域	名称	描述
31-0	WKUPFRMFILT	这是应用程序写入或读取远程唤醒帧筛选器寄存器（wkupfmfilter_reg）的地址。wkupfmfilter_reg 寄存器是指向八个 wkupfmfilter_reg 寄存器的指针。wkupfmfilter_reg 寄存器通过顺序加载八个寄存器值来加载。八次顺序写入此地址（0x0028）写入所有 wkupfmfilter_reg 寄存器。类似地，从该地址（0x0028）进行的八次顺序读取将读取所有 wkupfmfilter_reg 寄存器

RWKFRMFILT 位域

60.5.10 PMT_CSR (0x2C)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RWKFILTRST	RSVD		RWKPTR					RSVD														GLBLUCAST	RSVD		RWKPRCVD	MGKPRCVD	RSVD		RWKPKTEN	MGKPKTEN	PWRDWN
RW	N/A		RW					N/A														RW	N/A		RW	RW	N/A		RW	RW	RW
0	x	x	0	0	0	0	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	x	x	0	0	x	x	0	0	0

PMT_CSR [31:0]

位域	名称	描述
31	RWKFILTRST	远程唤醒帧筛选器寄存器指针重置 设置此位时，它将远程唤醒帧筛选器寄存器指针重置为 3’b000。它在 1 个时钟周期后自动清除
28-24	RWKPTR	远程唤醒 FIFO 指针 此字段给出远程唤醒帧筛选器寄存器指针的当前值（0 到 31）。当该指针的值等于 7、15、23 或 31 时，远程唤醒帧滤波器寄存器的内容将在该寄存器发生写入时传输到 clk_rx_i 域。指针的最大值分别为 7、15、23 和 31，具体取决于配置期间选择的远程唤醒过滤器的数量。
9	GLBLUCAST	全局单播 设置后，使 MAC（DAF）地址识别过滤的任何单播数据包成为远程唤醒帧。
6	RWKPRCVD	接收到远程唤醒帧 设置时，此位表示由于接收远程唤醒帧而生成电源管理事件。通过读入该寄存器，该位被清除
5	MGKPRCVD	收到了唤醒包 设置时，该位表示由于接收魔术包而生成电源管理事件。通过读入该寄存器，该位被清除
2	RWKPKTEN	远程唤醒帧启用 设置后，由于接收远程唤醒帧，启用电源管理事件的生成。
1	MGKPKTEN	唤醒包启用 设置后，由于接收魔术数据包，启用电源管理事件的生成。
0	PWRDWN	断电 设置后，MAC 接收器丢弃所有接收到的帧，直到接收到预期的唤醒包或远程唤醒帧。然后该位自清除，断电模式被禁用。软件还可以在收到预期的唤醒包或远程唤醒帧之前清除该位。MAC 在清除该位后接收到的帧被转发到应用程序。仅当 Magic Packet Enable（魔术包启用）、Global Unicast（全局单播）或 Remote Wake Up Frame Enable（远程唤醒帧启用）位设置为高位时，才能设置此位。注意：您可以在断电模式下关闭 CSR 时钟。但是，当 CSR 时钟选通关闭时，您无法在此寄存器上执行任何读取或写入操作。因此，软件无法清除该位。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述

PMT_CSR 位域

60.5.11 LPI_CSR (0x30)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD												LPITXA	PLSEN	PLS	LPIEN	RSVD						RLPIST	TLPIST	RSVD				RLPIEX	RLPIEN	TLPIEX	TLPIEN
N/A												RW	RW	RW	RW	N/A						RW	RW	N/A				RW	RW	RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	x	x	x	x	x	x	0	0	x	x	x	x	0	0	0	0

LPI_CSR [31:0]

位域	名称	描述
19	LPITXA	LPI TX 自动 该位控制 MAC 在传输侧进入或退出 LPI 模式时的行为。该位在 GMAC-CORE 配置中不起作用，在 GMAC-CORE 配置中，发送时钟选通在 LPI 模式下完成。如果 LPITXA 和 LPIEN 位设置为 1，则 MAC 仅在所有未完成帧（在核心中）和待处理帧（在应用程序接口中）传输完毕后才进入 LPI 模式。当应用程序发送任何帧进行传输或应用程序发出 TX FIFO Flush 命令时，MAC 退出 LPI 模式。此外，MAC 在退出 LPI 状态时自动清除 LPIEN 位。如果在寄存器 6（操作模式寄存器）的第 20 位设置了 TX FIFO Flush，则当 MAC 处于 LPI 模式时，MAC 退出 LPI 模式。当该位为 0 时，LPIEN 位直接控制 MAC 在进入或退出 LPI 模式时的行为
18	PLSEN	物理层链路状态启用 此位启用在 RGMII、SGMII 或 SMII 接收路径上接收的链路状态，以用于激活 LPI LS 定时器。设置时，MAC 使用寄存器 54（SGMII/RGMII/SMII 控制和状态寄存器）的链路状态位和 LPI LS 定时器触发器的位 17（PLS）。清除时，MAC 忽略寄存器 54 的链路状态位，只取 PLS 位。如果未选择 RGMII、SGMII 或 SMII PHY 接口，则此位为 RO 并保留。
17	PLS	物理层链路状态 此位表示物理层的链路状态。MAC 发送器仅当链路状态至少在 LPI LS 定时器指示的时间内处于开启（正常）状态时才断言 LPI 模式。设置时，链路被视为正常（向上），重置时，链路被视为向下。
16	LPIEN	LPI 启用 设置时，该位指示 MAC 发送器进入 LPI 状态。复位时，该位指示 MAC 退出 LPI 状态并恢复正常传输。当设置 LPITXA 位时，该位被清除，并且 MAC 由于要传输的新数据包的到达而退出 LPI 状态。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
9	RLPIST	接收 LPI 状态 设置时，该位表示 MAC 正在 GMII 或 MII 接口上接收 LPI 数据格式。
8	TLPIST	发送 LPI 状态 设置时，该位表示 MAC 正在 GMII 或 MII 接口上传输 LPI 数据格式。
3	RLPIEX	接收 LPI 出口 设置时，该位表示 MAC 接收器已停止接收 GMII 或 MII 接口上的 LPI 模式，退出 LPI 状态，并恢复正常接收。读该寄存器，该位被清除。注意：如果 MAC 在很短的时间内停止接收 LPI 模式，例如，CSR 时钟少于 3 个时钟周期，则可能不会设置此位。
2	RLPIEN	接收 LPI 条目 设置时，该位表示 MAC 接收器已接收到 LPI 模式并进入 LPI 状态。通过读入该寄存器，该位被清除。注意：如果 MAC 在很短的时间内停止接收 LPI 模式，例如，CSR 时钟少于 3 个时钟周期，则可能不会设置此位。
1	TLPIEX	发送 LPI 出口 设置时，该位表示在用户清除 LPIEN 位且 LPI TW 定时器过期后，MAC 发送器退出 LPI 状态。通过读该寄存器，清除该位
0	TLPIEN	发送 LPI 条目 设置时，该位表示由于 LPIEN 位的设置，MAC 发送器已进入 LPI 状态。读该寄存器，该位被清除

LPI_CSR 位域

60.5.12 LPI_TCR (0x34)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD						LST										TWT															
N/A						RW										RW															
x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

LPI_TCR [31:0]

位域	名称	描述
25-16	LST	LPI LS 定时器 此字段指定在将 LPI 模式传输到 PHY 之前，PHY 的链路状态应处于开启（正常）状态的最短时间（以毫秒为单位）。即使设置了 LPIEN 位，MAC 也不会发送 LPI 模式，除非 LPI LS 定时器达到编程的终端计数。根据 IEEE 标准的定义，LPI LS 定时器的默认值为 1000（1 秒）。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
15-0	TWT	LPI TW 定时器 此字段指定 MAC 在停止向 PHY 传输 LPI 模式后和恢复正常传输前等待的最短时间（以微秒为单位）。TLPIEX 状态位在该计时器到期后设置。

LPI_TCR 位域

60.5.13 INTR_STATUS (0x38)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																				GPIIS	LPIIS	TSIS	RSVD	MMCRXIPIS	MMCTXIS	MMCRXIS	MMCIS	PMTIS	PCSANCIS	PCSLCHGIS	RGSMIIS
N/A																				RO	RO	RO	N/A	RO	RO	RO	RO	RO	RO	RO	RO
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	x	0	0	0	0	0	0	0	0

INTR_STATUS [31:0]

位域	名称	描述
11	GPIIS	GPI 中断状态 启用 GPIO 功能时，当寄存器 56（通用 IO 寄存器）的 GPIS 字段（位 [3:0]）上发生任何活动事件（LL 或 LH）且相应的 GPIE 位启用时，设置该位。该位在寄存器 56（通用 IO 寄存器）的读取通道 0（GPIS）上被清除。未启用 GPIO 功能时，此位保留。
10	LPIIS	LPI 中断状态 启用节能以太网功能时，此位用于 MAC 发射机或接收机中的任何 LPI 状态进入或退出。该位在读取寄存器 12（LPI 控制和状态寄存器）的位 0 时被清除。在所有其他模式下，此位保留。
9	TSIS	时间戳中断状态 启用高级时间戳功能时，当以下任一条件为真时，将设置此位：-系统时间值等于或超过目标时间高电平和低电平寄存器中指定的值。-秒寄存器中存在溢出。-辅助快照触发器被断言。该位在读取寄存器 458（时间戳状态寄存器）的位 0 时被清除。
7	MMCRXIPIS	MMC 接收校验和卸载中断状态 当 MMC 接收校验和卸载中断寄存器中产生中断时，该位设置为高电平。当该中断寄存器中的所有位都被清除时，该位被清除。
6	MMCTXIS	MMC 传输中断状态 当 MMC 发送中断寄存器中产生中断时，该位设置为高电平。当该中断寄存器中的所有位都被清除时，该位被清除。
5	MMCRXIS	MMC 接收中断状态 当 MMC 接收中断寄存器中产生中断时，该位设置为高电平。当该中断寄存器中的所有位都被清除时，该位被清除。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
4	MMCIS	MMC 中断状态 当任何位 [7:5] 设置为高时，该位设置为高，并且仅当所有这些位都为低时才清除。
3	PMTIS	PMT 中断状态 当在掉电模式下接收到唤醒数据包或远程唤醒帧时，该位被设置（参见 PMT 控制和状态寄存器中的位 5 和位 6）。由于对 PMT 控制和状态寄存器的读操作，当两个位 [6:5] 都被清除时，该位被清除。
2	PCSANCIS	PCS 自动协商完成 当 TBI、RTBI 或 SGMII PHY 接口（寄存器 49（AN 状态寄存器）中的位 5）中的自动协商完成时，该位被设置。当您对 AN 状态寄存器执行读操作时，该位会被清除。
1	PCSLCHGIS	PCS 链接状态已更改 由于 TBI、RTBI 或 SGMII PHY 接口（寄存器 49（AN 状态寄存器）中的第 2 位）中的链路状态发生任何变化而设置该位。当对 AN 状态寄存器执行读操作时，该位会被清除。
0	RGSMIIIS	RGMII 或 SMII 中断状态 由于 RGMII 或 SMII 接口（寄存器 54（SGMII/RGMII/SMII 控制和状态寄存器）中的第 3 位）的链路状态值的任何变化，该位被设置。当对 SGMII/RGMII/SMII 控制和状态寄存器执行读操作时，该位被清除。

INTR_STATUS 位域

60.5.14 INTR_MASK (0x3C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																					LPIIM	TSIM	RSVD					PMTIM	PCSANCIM	PCSLCHGIM	RGSMIIIM
N/A																					RW	RW	N/A					RW	RW	RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	x	x	x	x	x	0	0	0	0

INTR_MASK [31:0]

位域	名称	描述
10	LPIIM	LPI 中断掩码 设置后，由于设置了寄存器 14（中断状态寄存器）中的 LPI 中断状态位，该位将禁用中断信号的断言。
9	TSIM	时间戳中断掩码 设置时，由于设置了寄存器 14（中断状态寄存器）中的时间戳中断状态位，该位禁用中断信号的断言。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
3	PMTIM	PMT 中断掩码 设置后，由于设置了寄存器 14（中断状态寄存器）中的 PMT 中断状态位，该位禁用中断信号的断言。
2	PCSANCIM	PCS AN 完成中断掩码 设置后，由于设置了寄存器 14（中断状态寄存器）中的 PCS 自动协商完成位，该位将禁用中断信号的断言
1	PCSLCHGIM	PCS 链接状态中断掩码 设置后，由于设置了寄存器 14（中断状态寄存器）中的 PCS 链接状态更改位，该位会禁用中断信号的断言。
0	RGSMIIIM	RGMII 或 SMII 中断掩码 由于设置了寄存器 14（中断状态寄存器）中的 RGMII 或 SMII 中断状态位，该位被设置时会禁用中断信号的断言。

INTR_MASK 位域

60.5.15 MAC_ADDR_0_HIGH (0x40)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AE	RSVD															ADDRHI															
RO	N/A															RW															
0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MAC_ADDR_0_HIGH [31:0]

位域	名称	描述
31	AE	地址使能 该位为只读位，读取值固定为 1
15-0	ADDRHI	MAC 地址 0 [47:32] 该字段包含第一个 6 字节 MAC 地址的高 16 位 (47:32)。MAC 使用该字段过滤接收到的帧并将 MAC 地址插入到传输流控制（暂停）帧中。

MAC_ADDR_0_HIGH 位域

60.5.16 MAC_ADDR_0_LOW (0x44)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDRLO																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

MAC_ADDR_0_LOW [31:0]

位域	名称	描述
31-0	ADDRLO	MAC 地址 0 [31:0] 该字段包含第一个 6 字节 MAC 地址的低 32 位。MAC 使用它来过滤接收到的帧并将 MAC 地址插入到传输流控制（暂停）帧中。

MAC_ADDR_0_LOW 位域

60.5.17 MAC_ADDR[HIGH] (0x48 + 0x8 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AE	SA	MBC						RSVD								ADDRHI															
RW	RW	RW						N/A								RW															
0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MAC_ADDR[HIGH] [31:0]

位域	名称	描述
31	AE	地址使能 当该位置位时，地址过滤模块使用第二个 MAC 地址进行完美过滤。当该位复位时，地址过滤模块将忽略该地址进行过滤。
30	SA	源地址 当该位被设置时，MAC Address1[47:0] 用于与接收帧的 SA 字段进行比较。当该位复位时，MAC 地址 1[47:0] 用于与接收帧的 DA 字段进行比较。
29-24	MBC	掩码字节控制 这些位是用于比较每个 MAC 地址字节的掩码控制位。当设置为高电平时，MAC 不会将接收到的 DA 或 SA 的相应字节与 MAC 地址 1 寄存器的内容进行比较。每个位控制字节的掩码如下：- 位 29：寄存器 18[15:8] - 位 28：寄存器 18[7:0] - 位 27：寄存器 19[31:24] - ... - 位 24：寄存器 19[7:0] 您可以通过屏蔽地址的一个或多个字节来过滤一组地址（称为组地址过滤）。
15-0	ADDRHI	MAC 地址 1 [47:32] 该字段包含第二个 6 字节 MAC 地址的高 16 位 (47:32)。

MAC_ADDR[HIGH] 位域

60.5.18 MAC_ADDR[LOW] (0x4C + 0x8 * n)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDRLO																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MAC_ADDR[LOW] [31:0]

位域	名称	描述
31-0	ADDRLO	MAC 地址 1 [31:0] 该字段包含第二个 6 字节 MAC 地址的低 32 位。在初始化过程之后由应用程序加载之前，此字段的内容是未定义的。

MAC_ADDR[LOW] 位域

60.5.19 XMII_CSR (0xD8)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																										FALSCARDET	JABTO	LNKSTS	LNKSPEED		LNKMOD
N/A																										RW	RW	RW	RW		RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0

XMII_CSR [31:0]

位域	名称	描述
5	FALSCARDET	检测到错误载波 该位指示 SMII PHY 是否检测到错误载波 (1’b1)。当为 SGMII 或 RGMII PHY 接口配置 MAC 时，该位被保留。
4	JABTO	Jabber 超时 该位指示接收帧中是否存在 jabber 超时错误 (1’b1)。当为 SGMII 或 RGMII PHY 接口配置 MAC 时，该位被保留。
3	LNKSTS	链接状态 该位指示本地 PHY 和远程 PHY 之间的链路是开启还是关闭。它给出了 MAC 的 SGMII 和本地 PHY 的 SGMII 之间的链路状态。状态位是在 SGMII 链路上 MAC 和 PHY 之间的 ANEG 期间从本地 PHY 接收的。
2-1	LNKSPEED	链接速度 该位指示链路的当前速度： - 00：2.5 兆赫 - 01：25 兆赫 - 10：为 SMII PHY 接口配置 MAC 时，保留 125 MHz 位 2

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
0	LNKMOD	链接模式 该位指示链路的当前操作模式： - 1’b0：半双工模式 - 1’b1：全双工模式

XMII_CSR 位域

60.5.20 WDOG_WTO (0xDC)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD															PWE	RSVD		WTO													
N/A															RW	N/A		RW													
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0

WDOG_WTO [31:0]

位域	名称	描述
16	PWE	可编程看门狗使能 当该位被设置并且“MAC 配置寄存器”的位 23（WD）被复位时，WTO 字段（位 [13:0]）被用作接收帧的看门狗超时。当该位清零时，接收帧的看门狗超时由“MAC 配置寄存器”中的位 23（WD）和位 20（JE）的设置控制
13-0	WTO	看门狗超时 当第 16 位（PWE）置位且“MAC 配置寄存器”的第 23 位（WD）复位时，该字段用作接收帧的看门狗超时限制字段。如果接收帧的长度超过该字段的值，则该帧将被终止并声明为错误帧。注意：当位 16 (PWE) 被设置时，该字段中的值应大于 1,522 (0x05F2)。否则，IEEE Std 802.3 指定的有效标记帧将被声明为错误帧并被丢弃。

WDOG_WTO 位域

60.5.21 MMC_CNTRL (0x100)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																							UCDBC	RSVD		CNTPRSTLVL	CNTPRST	CNTFREEZ	RSTONRD	CNTSTOPRO	CNTRST
N/A																							RW	N/A		RW	RW	RW	RW	RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	x	x	0	0	0	0	0	0

MMC_CNTRL [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
8	UCDBC	更新丢弃的广播帧的 MMC 计数器 设置后，MAC 更新所有相关的 MMC 计数器，用于由于寄存器 1（MAC 帧过滤器）的位 5 (DBF) 的设置而丢弃的广播帧。重置时，MMC 计数器不会因丢失的广播帧而更新
5	CNTPRSTLVL	MMC 计数器半满预设 当该位为低且位 4 置位时，所有 MMC 计数器都被预设为几乎一半的值。所有八位字节计数器都预设为 0x7FFF_F800（半满-2KBytes) 并且所有帧计数器都被预设为 0x7FFF_FFF0（半满-16）。当该位为高且位 4 被设置时，所有 MMC 计数器都被预设为几乎满值。所有八位字节计数器都预设为 0xFFFF_F800（满-2KBytes) 并且所有的帧计数器都被预设为 0xFFFF_FFF0 (满-16）。对于 16 位计数器，几乎一半的预设值是 0x7800 和 0x7FF0，用于相应的八位字节和帧计数器。类似地，16 位计数器的几乎全部预设值为 0xF800 和 0xFFF0。
4	CNTPRST	计数器预设 当该位被设置时，所有的计数器都根据位 5 被初始化或预置为几乎满或几乎一半。该位在 1 个时钟周期后自动清零。由于 MMC 计数器变为半满或满，该位与位 5 一起用于调试和测试中断有效置位。
3	CNTFREEZ	MMC 计数器冻结 设置此位后，它将所有 MMC 计数器冻结为其当前值。在该位复位为 0 之前，没有 MMC 计数器因任何传输或接收的帧而更新。如果在读取复位位设置的情况下读取任何 MMC 计数器，则该计数器也会在此模式下清零。
2	RSTONRD	读取时重置 当该位被设置时，MMC 计数器在读取后复位为零（复位后自清零）。当读取最低有效字节通道 (Bits[7:0]) 时，计数器会被清除
1	CNTSTOPRO	计数器停止自动重新计数。 当该位被设置时，计数器在达到最大值后不会返回到零。
0	CNTRST	计数器重置 当该位被设置时，所有的计数器都被复位。该位在 1 个时钟周期后自动清零

MMC_CNTRL 位域

60.5.22 MMC_INTR_RX (0x104)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD						RXCTRLFIS	RXRCVERRFIS	RXWDOGFIS	RXVLANGBFIS	RXFOVFIS	RXPAUSFIS	RXORANGEFIS	RXLENERFIS	RXUCGFIS	RX1024TMAXOCTGBFIS	RX512T1023OCTGBFIS	RX256T511OCTGBFIS	RX128T255OCTGBFIS	RX65T127OCTGBFIS	RX64OCTGBFIS	RXOSIZEGFIS	RXUSIZEGFIS	RXJABERFIS	RXRUNTFIS	RXALGNERFIS	RXCRCERFIS	RXMCGFIS	RXBCGFIS	RXGOCTIS	RXGBOCTIS	RXGBFRMIS
N/A						RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MMC_INTR_RX [31:0]

位域	名称	描述
25	RXCTRLFIS	MMC 接收控制帧计数器中断状态 当 rxctrlframes_g 计数器达到最大值或最大值的一半时，该位被设置。
24	RXRCVERRFIS	MMC 接收错误帧计数器中断状态 当 rxrcverror 计数器达到最大值或最大值的一半时，该位被设置。
23	RXWDOGFIS	MMC 接收看门狗错误帧计数器中断状态 当 rxwatchdog 错误计数器达到最大值或最大值的一半时，该位被设置。
22	RXVLANGBFIS	MMC 接收 VLAN 好帧和坏帧计数器中断状态 当 rxvlanframes_gb 计数器达到最大值或最大值的一半时，该位被设置。
21	RXFOVFIS	MMC 接收 FIFO 溢出帧计数器中断状态 当 rxfifooverflow 计数器达到最大值或最大值的一半时，该位被设置。
20	RXPAUSFIS	MMC 接收暂停帧计数器中断状态 当 rxpauseframes 计数器达到最大值或最大值的一半时，会设置该位。
19	RXORANGEFIS	MMC 接收超出范围错误帧计数器中断状态。 当 rxoutofrangetype 计数器达到最大值或最大值的一半时，该位被设置。
18	RXLENERFIS	MMC 接收长度错误帧计数器中断状态 当 rxlengtherror 计数器达到最大值或最大值的一半时，该位被设置。
17	RXUCGFIS	MMC 接收单播良好帧计数器中断状态 当 rxunicastframes_g 计数器达到最大值或最大值的一半时，该位被设置。
16	RX1024TMAXOCTGBFIS	MMC 接收 1024 到最大八位字节好坏帧计数器中断状态。 当 rx1024tomaxoctets_gb 计数器达到最大值或最大值的一半时，会设置该位。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
15	RX512T1023OCTGBFIS	MMC 接收 512 到 1023 个八位字节好坏帧计数器中断状态 当 rx512to1023octets_gb 计数器达到最大值或最大值的一半时，会设置该位。
14	RX256T511OCTGBFIS	MMC 接收 256 到 511 个八位字节好坏帧计数器中断状态 当 rx256to511octets_gb 计数器达到最大值或最大值的一半时，会设置该位。
13	RX128T255OCTGBFIS	MMC 接收 128 到 255 个八位字节好坏帧计数器中断状态 当 rx128to255octets_gb 计数器达到最大值或最大值的一半时，会设置该位。
12	RX65T127OCTGBFIS	MMC 接收 65 到 127 个八位字节好坏帧计数器中断状态 当 rx65to127octets_gb 计数器达到最大值或最大值的一半时，会设置该位。
11	RX64OCTGBFIS	MMC 接收 64 个八位字节好坏帧计数器中断状态 当 rx64octets_gb 计数器达到最大值或最大值的一半时，会设置该位。
10	RXOSIZEGFIS	MMC 接收超大好帧计数器中断状态 当 rxoversize_g 计数器达到最大值或最大值的一半时，该位被设置
9	RXUSIZEGFIS	MMC 接收尺寸过小良好帧计数器中断状态 当 rxundersize_g 计数器达到最大值或最大值的一半时，该位被设置。
8	RXJABERFIS	MMC 接收 Jabber 错误帧计数器中断状态 当 rxjabbererror 计数器达到最大值或最大值的一半时，该位被设置。
7	RXRUNTFIS	MMC 接收矮帧计数器中断状态 当 rxrunterror 计数器达到最大值或最大值的一半时，该位被设置
6	RXALGNERFIS	MMC 接收对齐错误帧计数器中断状态 当 rxalignmenterror 计数器达到最大值或最大值的一半时，该位被设置。
5	RXCRCERFIS	MMC 接收 CRC 错误帧计数器中断状态 当 rxcrcerror 计数器达到最大值或最大值的一半时，该位被设置
4	RXMCGFIS	MMC 接收多播良好帧计数器中断状态 当 rxmulticastframes_g 计数器达到最大值或最大值的一半时，设置该位。
3	RXBCGFIS	MMC 接收广播良好帧计数器中断状态 当 rxbroadcastframes_g 计数器达到最大值或最大值的一半时，该位被设置。
2	RXGOCTIS	MMC 接收良好八位字节计数器中断状态 当 rxoctetcount_g 计数器达到最大值或最大值的一半时，该位被设置

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
1	RXGBOCTIS	MMC 收到良好的坏八位字节计数器中断状态 当 rxoctetcount_gb 计数器达到最大值或最大值的一半时，该位被设置。
0	RXGBFRMIS	MMC 接收好坏帧计数器中断状态 当 rxframecount_gb 计数器达到最大值或最大值的一半时，该位被设置。

MMC_INTR_RX 位域

60.5.23 MMC_INTR_TX (0x108)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD						TXOSIZEGFIS	TXVLANGFIS	TXPAUSFIS	TXEXDEFFIS	TXGFRMIS	TXGOCTIS	TXCARERFIS	TXEXCOLFIS	TXLATCOLFIS	TXDEFFIS	TXMCOLGFIS	TXSCOLGFIS	TXUFLOWERFIS	TXBCGBFIS	TXMCGBFIS	TXUCGBFIS	TX1024TMAXOCTGBFIS	TX512T1023OCTGBFIS	TX256T511OCTGBFIS	TX128T255OCTGBFIS	TX65T127OCTGBFIS	TX64OCTGBFIS	TXMCGFIS	TXBCGFIS	TXGBFRMIS	TXGBOCTIS
N/A						RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MMC_INTR_TX [31:0]

位域	名称	描述
25	TXOSIZEGFIS	MMC 传输超大好帧计数器中断状态 当 txoversize_g 计数器达到最大值或最大值的一半时，该位被设置。
24	TXVLANGFIS	MMC 传输 VLAN 良好帧计数器中断状态 当 txvlanframes_g 计数器达到最大值或最大值的一半时，该位被设置。
23	TXPAUSFIS	MMC 传输暂停帧计数器中断状态 当 txpauseframeserror 计数器达到最大值或最大值的一半时，该位被设置。
22	TXEXDEFFIS	MMC 传输过多延迟帧计数器中断状态 当 txexcessdef 计数器达到最大值或最大值的一半时，该位被设置。
21	TXGFRMIS	MMC 传输良好帧计数器中断状态 当 txframecount_g 计数器达到最大值或最大值的一半时，该位被设置。
20	TXGOCTIS	MMC 传输良好八位字节计数器中断状态 当 txoctetcount_g 计数器达到最大值或最大值的一半时，该位被设置。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
19	TXCARERFIS	MMC 传输载波错误帧计数器中断状态 当 txcarriererror 计数器达到最大值或最大值的一半时，该位被设置。
18	TXEXCOLFIS	MMC 发送过度冲突帧计数器中断状态 当 txexessecol 计数器达到最大值或最大值的一半时，该位被设置
17	TXLATCOLFIS	MMC 传输延迟冲突帧计数器中断状态 当 txlatecol 计数器达到最大值的一半或最大值时，设置此位。
16	TXDEFFIS	MMC 传输延迟帧计数器中断状态 当 txdeferred 计数器达到最大值的一半或最大值时设置此位
15	TXMCOLGFIS	MMC 传输多重冲突良好帧计数器中断状态 当 txmulticol_g 计数器达到最大值的一半或最大值时，设置此位。
14	TXSCOLGFIS	MMC 传输单冲突良好帧计数器中断状态 当 txsinglecol_g 计数器达到最大值的一半或最大值时，设置此位。
13	TXUFLOWERFIS	MMC 传输下溢错误帧计数器中断状态 当 txunderflowerror 计数器达到最大值的一半或最大值时，设置此位。
12	TXBCGBFIS	MMC 传输广播好坏帧计数器中断状态 当 TXBU gb 计数器达到最大值或最大值的一半时，设置此位。
11	TXMCGBFIS	MMC 传输多播好坏帧计数器中断状态 当 txmulticastframes_gb 计数器达到最大值的一半或最大值时，设置该位。
10	TXUCGBFIS	MMC 传输单播好坏帧计数器中断状态 当 TXUNICASTU gb 计数器达到最大值或最大值的一半时，设置此位
9	TX1024TMAXOCTGBFIS	MMC 传输 1024 到最大八位字节好坏帧计数器中断状态 当 TX1024TOMAXOCETS_gb 计数器达到最大值或最大值的一半时，设置此位。
8	TX512T1023OCTGBFIS	MMC 传输 512 到 1023 八位字节好坏帧计数器中断状态 当 TX512 至 1023 八位字节 _gb 计数器达到最大值或最大值的一半时，设置此位
7	TX256T511OCTGBFIS	MMC 传输 256 到 511 八位字节好坏帧计数器中断状态 当 TX256 至 511Octets_gb 计数器达到最大值或最大值的一半时，设置此位。
6	TX128T255OCTGBFIS	MMC 传输 128 到 255 八位字节好坏帧计数器中断状态 当 tx128to255octets_gb 计数器达到最大值或最大值的一半时，设置此位。
5	TX65T127OCTGBFIS	MMC 传输 65 到 127 八位字节好坏帧计数器中断状态 当 TX65to127 八位字节 _gb 计数器达到最大值的一半时，以及达到最大值时，设置此位。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
4	TX64OCTGBFIS	MMC 传输 64 个八位字节好坏帧计数器中断状态 当 tx64octets_gb 计数器达到最大值的一半或最大值时，设置此位。
3	TXMCGFIS	MMC 传输多播良好帧计数器中断状态 当 txmulticastframes\u g 计数器达到最大值的一半或最大值时，设置此位
2	TXBCGFIS	MMC 传输广播良好帧计数器中断状态 当 txbroadcastframes__g 计数器达到最大值的一半或最大值时，设置此位
1	TXGBFRMIS	MMC 传输好坏帧计数器中断状态 当 txframecount_gb 计数器达到最大值的一半或最大值时，设置此位。
0	TXGBOCTIS	MMC 传输良好不良八位字节计数器中断状态 当 TXOTETCOUNT_gb 计数器达到最大值的一半或最大值时，设置此位

MMC_INTR_TX 位域

60.5.24 MMC_INTR_MASK_RX (0x10C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD						RXCTRLFIM	RXRCVERRFIM	RXWDOGFIM	RXVLANGBFIM	RXFOVFIM	RXPAUSFIM	RXORANGEFIM	RXLENERFIM	RXUCGFIM	RX1024TMAXOCTGBFIM	RX512T1023OCTGBFIM	RX256T511OCTGBFIM	RX128T255OCTGBFIM	RX65T127OCTGBFIM	RX64OCTGBFIM	RXOSIZEGFIM	RXUSIZEGFIM	RXJABERFIM	RXRUNTFIM	RXALGNERFIM	RXCRCERFIM	RXMCGFIM	RXBCGFIM	RXGOCTIM	RXGBOCTIM	RSVD
N/A						RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	N/A
x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x

MMC_INTR_MASK_RX [31:0]

位域	名称	描述
25	RXCTRLFIM	MMC 接收控制帧计数器中断掩码 当 rxctrlframes_g 计数器达到最大值或最大值的一半时，设置该位会屏蔽中断
24	RXRCVERRFIM	MMC 接收错误帧计数器中断掩码 当 rxrcverror 计数器达到最大值或最大值的一半时，设置该位会屏蔽中断
23	RXWDOGFIM	MMC 接收看门狗错误帧计数器中断掩码 当 rxwatchdog 计数器达到最大值的一半或最大值时，设置该位会屏蔽中断

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
22	RXVLANGBFIM	MMC 接收 VLAN 好坏帧计数器中断掩码 设置此位会在 RxVLANU gb 计数器达到最大值或最大值的一半时屏蔽中断
21	RXFOVFIM	MMC 接收 FIFO 溢出帧计数器中断掩码 当 rxfifooverflow 计数器达到最大值或最大值的一半时，设置此位会屏蔽中断
20	RXPAUSFIM	MMC 接收暂停帧计数器中断掩码 当 rxpauseframes 计数器达到最大值或最大值的一半时，设置此位会屏蔽中断
19	RXORANGEFIM	MMC 接收超出范围错误帧计数器中断掩码 当 RxOutofranGetType 计数器达到最大值或最大值的一半时，设置此位会屏蔽中断
18	RXLENERFIM	MMC 接收长度错误帧计数器中断掩码 当 rxlengtherror 计数器达到最大值的一半或最大值时，设置该位会屏蔽中断
17	RXUCGFIM	MMC 接收单播良好帧计数器中断掩码 当 rxunicastframes__g 计数器达到最大值或最大值的一半时，设置该位会屏蔽中断
16	RX1024TMAXOCTGBFIM	MMC 接收 1024 到最大八位字节好坏帧计数器中断掩码。 当 RX1024TOMAXOCETS_gb 计数器达到最大值或最大值的一半时，设置该位会屏蔽中断
15	RX512T1023OCTGBFIM	MMC 接收 512 到 1023 八位字节好坏帧计数器中断掩码 当 RX512 至 1023 八位字节 _gb 计数器达到最大值的一半或最大值时，设置此位会屏蔽中断
14	RX256T511OCTGBFIM	MMC 接收 256 到 511 八位字节好坏帧计数器中断掩码 当 rx256to511octets_gb 计数器达到最大值或最大值的一半时，设置此位会屏蔽中断
13	RX128T255OCTGBFIM	MMC 接收 128 到 255 个八位字节好坏帧计数器中断掩码 当 rx128to255octets_gb 计数器达到最大值或最大值的一半时，设置此位会屏蔽中断
12	RX65T127OCTGBFIM	MMC 接收 65 至 127 八位字节好坏帧计数器中断掩码 当 RX65to127 八位字节 _gb 计数器达到最大值或最大值的一半时，设置此位会屏蔽中断
11	RX64OCTGBFIM	“MMC 接收 64 个八位字节好坏帧计数器中断掩码 当 rx64octets_gb 计数器达到最大值或最大值的一半时，设置此位会屏蔽中断
10	RXOSIZEGFIM	MMC 接收超大良好帧计数器中断掩码 当 RxVersionize_g 计数器达到最大值或最大值的一半时，设置此位会屏蔽中断

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
9	RXUSIZEGFIM	MMC 接收尺寸过小的良好帧计数器中断掩码 当 rxundersize_g 计数器达到最大值或最大值的一半时，设置此位会屏蔽中断
8	RXJABERFIM	MMC 接收 Jabber 错误帧计数器中断掩码 当 RXJABBERROR 计数器达到最大值或最大值的一半时，设置该位会屏蔽中断
7	RXRUNTFIM	MMC 接收短帧计数器中断掩码 当 rxrunterror 计数器达到最大值的一半或最大值时，设置此位会屏蔽中断
6	RXALGNERFIM	MMC 接收对齐错误帧计数器中断掩码 设置此位会在 RXAalignmentError 计数器达到最大值的一半或最大值时屏蔽中断
5	RXCRCERFIM	MMC 接收 CRC 错误帧计数器中断掩码 当 RxRCERROR 计数器达到最大值的一半或最大值时，设置此位会屏蔽中断
4	RXMCGFIM	MMC 接收多播良好帧计数器中断掩码 当 rxmulticastframes_g 计数器达到最大值或最大值的一半时，设置此位会屏蔽中断
3	RXBCGFIM	MMC 接收广播良好帧计数器中断掩码 当 rxbroadcastframes__g 计数器达到最大值或最大值的一半时，设置此位会屏蔽中断
2	RXGOCTIM	MMC 接收良好的八位计数器中断掩码 当 rxoctetcount_g 计数器达到最大值或最大值的一半时，设置该位会屏蔽中断
1	RXGBOCTIM	MMC 接收好坏八位计数器中断掩码。 当 rxoctetcount_gb 计数器达到最大值或最大值的一半时，设置此位会屏蔽中断

MMC_INTR_MASK_RX 位域

60.5.25 MMC_INTR_MASK_TX (0x110)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD						TXOSIZEGFIM	TXVLANGFIM	TXPAUSFIM	TXEXDEFFIM	TXGFRMIM	TXGOCTIM	TXCARERFIM	TXEXCOLFIM	TXLATCOLFIM	TXDEFFIM	TXMCOLGFIM	TXSCOLGFIM	TXUFLOWERFIM	TXBCGBFIM	TXMCGBFIM	TXUCGBFIM	TX1024TMAXOCTGBFIM	TX512T1023OCTGBFIM	TX256T511OCTGBFIM	TX128T255OCTGBFIM	TX65T127OCTGBFIM	TX64OCTGBFIM	TXMCGFIM	TXBCGFIM	TXGBFRMIM	TXGBOCTIM
N/A						RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

MMC_INTR_MASK_TX [31:0]

位域	名称	描述
25	TXOSIZEGFIM	MMC 传输超大良好帧计数器中断掩码 当 txoversize_g 计数器达到最大值或最大值的一半时，设置该位会屏蔽中断
24	TXVLANGFIM	MMC 传输 VLAN 良好帧计数器中断掩码 当 TXVLAN 计数器达到最大值或最大值的一半时，设置此位会屏蔽中断
23	TXPAUSFIM	MMC 传输暂停帧计数器中断掩码 当 txpauseframes 计数器达到最大值的一半或最大值时，设置此位会屏蔽中断
22	TXEXDEFFIM	MMC 传输过度延迟帧计数器中断掩码 当 txexcessdef 计数器达到最大值的一半或最大值时，设置此位会屏蔽中断
21	TXGFRMIM	MMC 传输良好的帧计数器中断掩码 当 txframecount_g 计数器达到最大值或最大值的一半时，设置此位会屏蔽中断
20	TXGOCTIM	MMC 传输良好八位计数器中断掩码 当 TXOTETCOUNT_g 计数器达到最大值或最大值的一半时，设置该位会屏蔽中断。
19	TXCARERFIM	MMC 传输载波错误帧计数器中断掩码 当 txcarriererror 计数器达到最大值的一半或最大值时，设置此位会屏蔽中断
18	TXEXCOLFIM	MMC 传输过度冲突帧计数器中断掩码 当 txexcesscol 计数器达到最大值的一半或最大值时，设置此位会屏蔽中断
17	TXLATCOLFIM	MMC 传输延迟冲突帧计数器中断掩码 当 txlatecol 计数器达到最大值的一半或最大值时，设置此位会屏蔽中断
16	TXDEFFIM	MMC 传输延迟帧计数器中断掩码 设置此位会在 txdeferred 计数器达到最大值的一半或最大值时屏蔽中断
15	TXMCOLGFIM	MMC 传输多重冲突良好帧计数器中断掩码 当 txmulticol_g 计数器达到最大值或最大值的一半时，设置该位会屏蔽中断
14	TXSCOLGFIM	MMC 传输单冲突良好帧计数器中断掩码 当 txsinglecol_g 计数器达到最大值或最大值的一半时，设置该位会屏蔽中断

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
13	TXUFLOWERFIM	MMC 传输下溢错误帧计数器中断掩码 当 txunderflowerror 计数器达到最大值或最大值的一半时，设置此位会屏蔽中断
12	TXBCGBFIM	MMC 传输广播好坏帧计数器中断掩码 当 TXBROADCASTU gb 计数器达到最大值或最大值的一半时，设置此位会屏蔽中断
11	TXMCGBFIM	MMC 传输多播好坏帧计数器中断掩码 当 txmulticastframes_gb 计数器达到最大值或最大值的一半时，设置此位会屏蔽中断
10	TXUCGBFIM	MMC 传输单播好坏帧计数器中断掩码 当 txunicastframes_gb 计数器达到最大值或最大值的一半时，设置此位会屏蔽中断
9	TX1024TMAXOCTGBFIM	输 1024 到最大八位字节好坏帧计数器中断掩码 当 TX1024TOMAXOCETS_gb 计数器达到最大值或最大值的一半时，设置该位会屏蔽中断
8	TX512T1023OCTGBFIM	MMC 传输 512 到 1023 八位字节好坏帧计数器中断掩码 当 tx512to1023octets_gb 计数器达到最大值的一半或最大值时，设置此位会屏蔽中断
7	TX256T511OCTGBFIM	MMC 传输 256 到 511 八位字节好坏帧计数器中断掩码 当 tx256to511octets_gb 计数器达到最大值或最大值的一半时，设置此位会屏蔽中断
6	TX128T255OCTGBFIM	MMC 传输 128 到 255 八位字节好坏帧计数器中断掩码 当 tx128to255octets_gb 计数器达到最大值的一半或最大值时，设置此位会屏蔽中断
5	TX65T127OCTGBFIM	MMC 传输 65 到 127 八位字节好坏帧计数器中断掩码 当 tx65to127octets_gb 计数器达到最大值或最大值的一半时，设置此位会屏蔽中断
4	TX64OCTGBFIM	MMC 传输 64 个八位字节好坏帧计数器中断掩码 当 tx64octets_gb 计数器达到最大值或最大值的一半时，设置此位会屏蔽中断
3	TXMCGFIM	MMC 传输多播良好帧计数器中断掩码 当 txmulticastframes_g 计数器达到最大值或最大值的一半时，设置此位会屏蔽中断
2	TXBCGFIM	MMC 传输广播良好帧计数器中断掩码 当 txbroadcastframes__g 计数器达到最大值或最大值的一半时，设置此位会屏蔽中断
1	TXGBFRMIM	MMC 传输好坏帧计数器中断掩码 当 txframecount_gb 计数器达到最大值或最大值的一半时，设置此位会屏蔽中断

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
0	TXGBOCTIM	MMC 传输好坏八位计数器中断掩码 当 TXOTETCOUNT_gb 计数器达到最大值或最大值的一半时，设置此位会屏蔽中断

MMC_INTR_MASK_TX 位域

60.5.26 TXOCTETCOUNT_GB (0x114)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BYTECNT																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TXOCTETCOUNT_GB [31:0]

位域	名称	描述
31-0	BYTECNT	在好帧和坏帧中传输的字节数，不包括前导和重试字节。

TXOCTETCOUNT_GB 位域

60.5.27 TXFRAMECOUNT_GB (0x118)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FRMCNT																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TXFRAMECOUNT_GB [31:0]

位域	名称	描述
31-0	FRMCNT	传输的好帧和坏帧的数量，不包括重试帧。

TXFRAMECOUNT_GB 位域

60.5.28 TXBROADCASTFRAMES_G (0x11C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FRMCNT																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

TXBROADCASTFRAMES_G [31:0]

位域	名称	描述
31-0	FRMCNT	传输的良好广播帧数。

TXBROADCASTFRAMES_G 位域

60.5.29 TXMLTICASTFRAMES_G (0x120)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FRMCNT																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TXMLTICASTFRAMES_G [31:0]

位域	名称	描述
31-0	FRMCNT	传输的良好多播帧数。

TXMLTICASTFRAMES_G 位域

60.5.30 TX64OCTETS_GB (0x124)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FRMCNT																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TX64OCTETS_GB [31:0]

位域	名称	描述
31-0	FRMCNT	传输的长度为 64 字节的好帧和坏帧的数量，不包括前导和重试帧。

TX64OCTETS_GB 位域

60.5.31 TX65TO127OCTETS_GB (0x128)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FRMCNT																															

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TX65TO127OCTETS_GB [31:0]

位域	名称	描述
31-0	FRMCNT	传输的长度在 65 到 127（含）字节之间的好帧和坏帧的数量，不包括前导和重试帧。

TX65TO127OCTETS_GB 位域

60.5.32 TX128TO255OCTETS_GB (0x12C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FRMCNT																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TX128TO255OCTETS_GB [31:0]

位域	名称	描述
31-0	FRMCNT	传输的长度在 128 到 255（含）字节之间的好帧和坏帧的数量，不包括前导和重试帧

TX128TO255OCTETS_GB 位域

60.5.33 TX256TO511OCTETS_GB (0x130)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FRMCNT																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TX256TO511OCTETS_GB [31:0]

位域	名称	描述
31-0	FRMCNT	传输的长度在 256 到 511（含）字节之间的好帧和坏帧的数量，不包括前导和重试帧

TX256TO511OCTETS_GB 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

60.5.34 TX512TO1023OCTETS_GB (0x134)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FRMCNT																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TX512TO1023OCTETS_GB [31:0]

位域	名称	描述
31-0	FRMCNT	传输的长度在 512 到 1,023（含）字节之间的好帧和坏帧的数量，不包括前导和重试帧

TX512TO1023OCTETS_GB 位域

60.5.35 TX1024TOMAXOCTETS_GB (0x138)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FRMCNT																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TX1024TOMAXOCTETS_GB [31:0]

位域	名称	描述
31-0	FRMCNT	传输的长度在 1,024 和 maxsize（含）字节之间的好帧和坏帧的数量，不包括前导和重试帧

TX1024TOMAXOCTETS_GB 位域

60.5.36 RXFRAMECOUNT_GB (0x180)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FRMCNT																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RXFRAMECOUNT_GB [31:0]

位域	名称	描述
31-0	FRMCNT	收到的好帧和坏帧的数量

RXFRAMECOUNT_GB 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

60.5.37 MMC_IPC_INTR_MASK_RX (0x200)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD		RXICMPEROIM	RXICMPGOIM	RXTCPEROIM	RXTCPGOIM	RXUDPEROIM	RXUDPGOIM	RXIPV6NOPAYOIM	RXIPV6HEROIM	RXIPV6GOIM	RXIPV4UDSBLOIM	RXIPV4FRAGOIM	RXIPV4NOPAYOIM	RXIPV4HEROIM	RXIPV4GOIM	RSVD		RXICMPERFIM	RXICMPGFIM	RXTCPERFIM	RXTCPGFIM	RXUDPERFIM	RXUDPGFIM	RXIPV6NOPAYFIM	RXIPV6HERFIM	RXIPV6GFIM	RXIPV4UDSBLFIM	RXIPV4FRAGFIM	RXIPV4NOPAYFIM	RXIPV4HERFIM	RXIPV4GFIM
N/A		RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	N/A		RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MMC_IPC_INTR_MASK_RX [31:0]

位域	名称	描述
29	RXICMPEROIM	MMC 接收 ICMP 错误八位字节计数器中断掩码 当 rxicmp_err_octets 计数器达到最大值或最大值的一半时，设置该位会屏蔽中断
28	RXICMPGOIM	MMC 接收 ICMP 好八位字节计数器中断掩码 当 rxicmp_gd_octets 计数器达到最大值或最大值的一半时，设置该位会屏蔽中断
27	RXTCPEROIM	MMC 接收 TCP 错误八位字节计数器中断掩码 当 rxtcp_err_octets 计数器达到最大值或最大值的一半时，设置该位会屏蔽中断
26	RXTCPGOIM	MMC 接收 TCP 好八位字节计数器中断掩码 当 rxtcp_gd_octets 计数器达到最大值或最大值的一半时，设置该位会屏蔽中断
25	RXUDPEROIM	MMC 接收 UDP 好八位字节计数器中断掩码 当 rxudp_err_octets 计数器达到最大值或最大值的一半时，设置该位会屏蔽中断
24	RXUDPGOIM	MMC 接收 IPV6 无有效载荷八位字节计数器中断掩码 当 rxudp_gd_octets 计数器达到最大值或最大值的一半时，设置该位会屏蔽中断
23	RXIPV6NOPAYOIM	MMC 接收 IPV6 报头错误八位字节计数器中断掩码 当 rxipv6_nopay_octets 计数器达到最大值或最大值的一半时，设置此位会屏蔽中断
22	RXIPV6HEROIM	MMC 接收 IPV6 良好八位字节计数器中断掩码 当 rxipv6_hdrerr_octets 计数器达到最大值或最大值的一半时，设置此位会屏蔽中断
21	RXIPV6GOIM	MMC 接收 IPV6 良好八位字节计数器中断掩码 当 rxipv6_gd_octets 计数器达到最大值或最大值的一半时，设置此位会屏蔽中断

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
20	RXIPV4UDSBLOIM	MMC 接收 IPV4 UDP 校验和禁用八位字节计数器中断掩码 当 rxipv4_udsbl_octets 计数器达到最大值或最大值的一半时，设置该位会屏蔽中断
19	RXIPV4FRAGOIM	MMC 接收 IPV4 分段八位字节计数器中断掩码 当 rxipv4_frag_octets 计数器达到最大值或最大值的一半时，设置此位会屏蔽中断
18	RXIPV4NOPAYOIM	MMC 接收 IPV4 无有效载荷八位字节计数器中断掩码 当 rxipv4_nopay_octets 计数器达到最大值或最大值的一半时，设置此位会屏蔽中断
17	RXIPV4HEROIM	MMC 接收 IPV4 报头错误八位字节计数器中断掩码 当 rxipv4_hdrerr_octets 计数器达到最大值或最大值的一半时，设置此位会屏蔽中断
16	RXIPV4GOIM	MMC 接收 IPV4 良好八位字节计数器中断掩码 当 rxipv4_gd_octets 计数器达到最大值或最大值的一半时，设置此位会屏蔽中断
13	RXICMPERFIM	MMC 接收 ICMP 错误帧计数器中断掩码 当 rxicmp_err_frms 计数器达到最大值或最大值的一半时，设置该位会屏蔽中断
12	RXICMPGFIM	MMC 接收 ICMP 良好帧计数器中断掩码 当 rxicmp_gd_frms 计数器达到最大值或最大值的一半时，设置该位会屏蔽中断
11	RXTCPERFIM	MMC 接收 TCP 错误帧计数器中断掩码 当 rxtcp_err_frms 计数器达到最大值或最大值的一半时，设置该位会屏蔽中断
10	RXTCPGFIM	MMC 接收 TCP 良好帧计数器中断掩码 当 rxtcp_gd_frms 计数器达到最大值或最大值的一半时，设置该位会屏蔽中断
9	RXUDPERFIM	MMC 接收 UDP 错误帧计数器中断掩码 当 rxudp_err_frms 计数器达到最大值或最大值的一半时，设置该位会屏蔽中断
8	RXUDPGFIM	MMC 接收 UDP 良好帧计数器中断掩码 当 rxudp_gd_frms 计数器达到最大值或最大值的一半时，设置该位会屏蔽中断
7	RXIPV6NOPAYFIM	MMC 接收 IPV6 无有效载荷帧计数器中断掩码 当 rxipv6_nopay_frms 计数器达到最大值或最大值的一半时，设置此位会屏蔽中断
6	RXIPV6HERFIM	MMC 接收 IPV6 报头错误帧计数器中断掩码 当 rxipv6_hdrerr_frms 计数器达到最大值或最大值的一半时，设置该位会屏蔽中断

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
5	RXIPV6GFIM	MMC 接收 IPV6 良好帧计数器中断掩码 当 rxipv6_gd_frms 计数器达到最大值或最大值的一半时，设置该位会屏蔽中断
4	RXIPV4UDSBLFIM	MMC 接收 IPV4 UDP 校验和禁用帧计数器中断掩码 当 rxipv4_udsbl_frms 计数器达到最大值或最大值的一半时，设置该位会屏蔽中断
3	RXIPV4FRAGFIM	MMC 接收 IPV4 分段帧计数器中断掩码 当 rxipv4_frag_frms 计数器达到最大值或最大值的一半时，设置此位会屏蔽中断
2	RXIPV4NOPAYFIM	MMC 接收 IPV4 无有效载荷帧计数器中断掩码 当 rxipv4_nopay_frms 计数器达到最大值或最大值的一半时，设置此位会屏蔽中断
1	RXIPV4HERFIM	MMC 接收 IPV4 报头错误帧计数器中断掩码 当 rxipv4_hdrerr_frms 计数器达到最大值或最大值的一半时，设置该位会屏蔽中断
0	RXIPV4GFIM	MMC 接收 IPV4 良好帧计数器中断掩码 当 rxipv4_gd_frms 计数器达到最大值或最大值的一半时，设置此位会屏蔽中断

MMC_IPC_INTR_MASK_RX 位域

60.5.38 MMC_IPC_INTR_RX (0x208)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD		RXICMPEROIS	RXICMPGOIS	RXTCPEROIS	RXTCPGOIS	RXUDPEROIS	RXUDPGOIS	RXIPV6NOPAYOIS	RXIPV6HEROIS	RXIPV6GOIS	RXIPV4UDSBLOIS	RXIPV4FRAGOIS	RXIPV4NOPAYOIS	RXIPV4HEROIS	RXIPV4GOIS	RSVD		RXICMPERFIS	RXICMPGFIS	RXTCPERFIS	RXTCPGFIS	RXUDPERFIS	RXUDPGFIS	RXIPV6NOPAYFIS	RXIPV6HERFIS	RXIPV6GFIS	RXIPV4UDSBLFIS	RXIPV4FRAGFIS	RXIPV4NOPAYFIS	RXIPV4HERFIS	RXIPV4GFIS
N/A		RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	N/A		RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MMC_IPC_INTR_RX [31:0]

位域	名称	描述
29	RXICMPEROIS	MMC 接收 ICMP 错误八位字节计数器中断状态 当 rxicmp_err_octets 计数器达到最大值或最大值的一半时，该位被设置。
28	RXICMPGOIS	MMC 接收 ICMP 良好八位字节计数器中断状态 当 rxicmp_gd_octets 计数器达到最大值或最大值的一半时，该位被设置

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
27	RXTCPEROIS	MMC 接收 TCP 错误八位字节计数器中断状态 当 rxtcp_err_octets 计数器达到最大值或最大值的一半时，该位被设置
26	RXTCPGOIS	MMC 接收 TCP 好八位字节计数器中断状态 当 rxtcp_gd_octets 计数器达到最大值的一半或最大值时设置该位
25	RXUDPEROIS	MMC 接收 UDP 错误八位字节计数器中断状态 当 rxudp_err_octets 计数器达到最大值或最大值的一半时，设置该位
24	RXUDPGOIS	MMC 接收 UDP 好八位字节计数器中断状态 当 rxudp_gd_octets 计数器达到最大值或最大值的一半时，该位被设置
23	RXIPV6NOPAYOIS	MMC 接收 IPV6 无有效载荷八位字节计数器中断状态 当 rxipv6_nopay_octets 计数器达到最大值或最大值的一半时，会设置该位
22	RXIPV6HEROIS	MMC 接收 IPV6 报头错误八位字节计数器中断状态 当 rxipv6_hdrerr_octets 计数器达到最大值或最大值的一半时，会设置该位
21	RXIPV6GOIS	MMC 接收 IPV6 良好八位字节计数器中断状态 当 rxipv6_gd_octets 计数器达到最大值或最大值的一半时，会设置该位
20	RXIPV4UDSBLOIS	MMC 接收 IPV4 UDP 校验和禁用八位字节计数器中断状态 当 rxipv4_udsbl_octets 计数器达到最大值或最大值的一半时，会设置该位
19	RXIPV4FRAGOIS	MMC 接收 IPV4 分段八位字节计数器中断状态 当 rxipv4_frag_octets 计数器达到最大值或最大值的一半时，会设置该位
18	RXIPV4NOPAYOIS	MMC 接收 IPV4 无有效负载八位字节计数器中断状态 当 rxipv4_nopay_octets 计数器达到最大值或最大值的一半时，会设置该位
17	RXIPV4HEROIS	MMC 接收 IPV4 报头错误八位字节计数器中断状态 当 rxipv4_hdrerr_octets 计数器达到最大值或最大值的一半时，会设置该位
16	RXIPV4GOIS	MMC 接收 IPV4 良好八位字节计数器中断状态 当 rxipv4_gd_octets 计数器达到最大值或最大值的一半时，会设置该位
13	RXICMPERFIS	MMC 接收 ICMP 错误帧计数器中断状态 当 rxicmp_err_frms 计数器达到最大值或最大值的一半时，该位被设置
12	RXICMPGFIS	MMC 接收 ICMP 良好帧计数器中断状态 当 rxicmp_gd_frms 计数器达到最大值或最大值的一半时，该位被设置

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
11	RXTCPERFIS	MMC 接收 TCP 错误帧计数器中断状态 当 rxtcp_err_frms 计数器达到最大值或最大值的一半时，该位被设置
10	RXTCPGFIS	MMC 接收 TCP 良好帧计数器中断状态 当 rxtcp_gd_frms 计数器达到最大值或最大值的一半时，该位被设置
9	RXUDPERFIS	MMC 接收 UDP 错误帧计数器中断状态 当 rxudp_err_frms 计数器达到最大值或最大值的一半时，该位被设置
8	RXUDPGFIS	MMC 接收 UDP 良好帧计数器中断状态 当 rxudp_gd_frms 计数器达到最大值或最大值的一半时，该位被设置
7	RXIPV6NOPAYFIS	MMC 接收 IPV6 无有效载荷帧计数器中断状态 当 rxipv6_nopay_frms 计数器达到最大值或最大值的一半时，会设置该位
6	RXIPV6HERFIS	MMC 接收 IPV6 报头错误帧计数器中断状态 当 rxipv6_hdrerr_frms 计数器达到最大值或最大值的一半时，会设置该位
5	RXIPV6GFIS	MMC 接收 IPV6 良好帧计数器中断状态 当 rxipv6_gd_frms 计数器达到最大值或最大值的一半时，会设置该位
4	RXIPV4UDSBLFIS	MMC 接收 IPV4 UDP 校验和禁用帧计数器中断状态 当 rxipv4_udsbl_frms 计数器达到最大值或最大值的一半时，会设置该位
3	RXIPV4FRAGFIS	MMC 接收 IPV4 分片帧计数器中断状态 当 rxipv4_frag_frms 计数器达到最大值或最大值的一半时，会设置该位
2	RXIPV4NOPAYFIS	MMC 接收 IPV4 无有效载荷帧计数器中断状态 当 rxipv4_nopay_frms 计数器达到最大值或最大值的一半时，会设置该位
1	RXIPV4HERFIS	MMC 接收 IPV4 报头错误帧计数器中断状态 当 rxipv4_hdrerr_frms 计数器达到最大值或最大值的一半时，会设置该位
0	RXIPV4GFIS	MMC 接收 IPV4 良好帧计数器中断状态 当 rxipv4_gd_frms 计数器达到最大值或最大值的一半时，会设置该位

MMC_IPC_INTR_RX 位域

60.5.39 RXIPV4_GD_FMS (0x210)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FRMCNT																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

RXIPV4_GD_FMS [31:0]

位域	名称	描述
31-0	FRMCNT	使用 TCP、UDP 或 ICMP 负载接收的良好 IPv4 数据报的数量

RXIPV4_GD_FMS 位域

60.5.40 L3_L4_CFG[L3_L4_CTRL] (0x400 + 0x30 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD										L4DPIM0	L4DPM0	L4SPIM0	L4SPM0	RSVD	L4PEN0	L3HDBM0					L3HSBM0					L3DAIM0	L3DAM0	L3SAIM0	L3SAM0	RSVD	L3PEN0
N/A										RW	RW	RW	RW	N/A	RW	RW					RW					RW	RW	RW	RW	N/A	RW
x	x	x	x	x	x	x	x	x	x	0	0	0	0	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	0

L3_L4_CFG[L3_L4_CTRL] [31:0]

位域	名称	描述
21	L4DPIM0	第 4 层目标端口反向匹配使能 设置时，该位表示第 4 层目标端口号字段启用反向匹配。复位时，该位表示启用了第 4 层目标端口号字段以实现完美匹配。该位仅在位 20 (L4DPM0) 设置为高时有效且适用。
20	L4DPM0	第 4 层目标端口匹配使能 设置时，该位表示第 4 层目标端口号字段已启用以进行匹配。重置时，MAC 会忽略第 4 层目标端口号字段以进行匹配。
19	L4SPIM0	第 4 层源端口反向匹配使能 设置时，该位表示第 4 层源端口号字段启用反向匹配。复位时，该位表示启用了第 4 层源端口号字段以进行完美匹配。该位仅在位 18 (L4SPM0) 设置为高时有效且适用
18	L4SPM0	第 4 层源端口匹配使能 设置时，该位表示第 4 层源端口号字段已启用以进行匹配。重置时，MAC 会忽略第 4 层源端口号字段进行匹配
16	L4PEN0	第 4 层协议启用 设置时，该位表示使用 UDP 帧的源和目标端口号字段进行匹配。复位时，该位表示 TCP 帧的源和目标端口号字段用于匹配。第 4 层匹配仅在 L4SPM0 或 L4DPM0 位设置为高时完成

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
15-11	L3HDBM0	第 3 层 IP DA 更高位匹配 IPv4 帧：该字段包含在 IPv4 帧中匹配的 IP 目标地址的较高位数。以下列表描述了该字段的值： - 0：没有位被屏蔽。 - 1：LSb[0] 被屏蔽。 - 2：两个 LSb [1:0] 被屏蔽。 - ... - 31：屏蔽除 MSb 之外的所有位。IPv6 Frames：该字段的 Bits [12:11] 对应 L3HSBM0 的 Bits [6:5]，表示在 IPv6 帧中被屏蔽的 IP Source 或 Destination Address 的低位位数。以下列表描述了 L3HDBM0[1:0] 和 L3HSBM0 位的串联值： - 0：没有位被屏蔽。 - 1：LSb[0] 被屏蔽。 - 2：两个 LSb [1:0] 被屏蔽。 …… - 127：除 MSb 外的所有位都被屏蔽。仅当 L3DAM0 或 L3SAM0 设置为高时，此字段才有效且适用
10-6	L3HSBM0	第 3 层 IP SA 更高位匹配 IPv4 帧：该字段包含被屏蔽以在 IPv4 帧中匹配的 IP 源地址的低位位数。以下列表描述了该字段的值： - 0：没有位被屏蔽。 - 1：LSb[0] 被屏蔽。 - 2：两个 LSb [1:0] 被屏蔽。- ... - 31：屏蔽除 MSb 之外的所有位。IPv6 帧：该字段包含该字段的 Bits [4:0]，该字段指示 IPv6 帧中匹配的 IP Source 或 Destination Address 的较高比特数。仅当 L3DAM0 或 L3SAM0 设置为高时，此字段才有效且适用
5	L3DAIM0	第 3 层 IP DA 反向匹配使能 设置时，该位表示启用了第 3 层 IP 目标地址字段以进行反向匹配。复位时，该位表示启用了第 3 层 IP 目标地址字段以实现完美匹配。该位仅在位 4 (L3DAM0) 设置为高时有效且适用
4	L3DAM0	第 3 层 IP DA 匹配启用 设置时，该位表示启用第 3 层 IP 目标地址字段以进行匹配。重置时，MAC 忽略第 3 层 IP 目标地址字段进行匹配。注意：当设置了位 0 (L3PEN0) 时，您应该设置此位或位 2 (L3SAM0)，因为可以检查 IPv6 DA 或 SA 以进行过滤
3	L3SAIM0	第 3 层 IP SA 反向匹配启用 设置时，该位表示启用了第 3 层 IP 源地址字段以进行反向匹配。复位时，该位表示启用了第 3 层 IP 源地址字段以进行完美匹配。该位仅在位 2 (L3SAM0) 设置为高时有效且适用

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
2	L3SAM0	第 3 层 IP SA 匹配启用 设置时，该位表示启用第 3 层 IP 源地址字段以进行匹配。重置时，MAC 会忽略第 3 层 IP 源地址字段进行匹配
0	L3PEN0	第 3 层协议启用 设置时，该位表示为 IPv6 帧启用第 3 层 IP 源或目标地址匹配。复位时，该位表示为 IPv4 帧启用了第 3 层 IP 源或目标地址匹配。第 3 层匹配仅在 L3SAM0 或 L3DAM0 位设置为高时完成

L3_L4_CFG[L3_L4_CTRL] 位域

60.5.41 L3_L4_CFG[L4_ADDR] (0x404 + 0x30 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
L4DP0																L4SP0															
RW																RW															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

L3_L4_CFG[L4_ADDR] [31:0]

位域	名称	描述
31-16	L4DP0	第 4 层目的端口号字段 当第 16 位 (L4PEN0) 复位且第 20 位 (L4DPM0) 在寄存器 256（第 3 层和第 4 层控制寄存器 0）中设置时，该字段包含要与 IPv4 或 IPv6 中的 TCP 目标端口号字段匹配的值帧。当第 16 位（L4PEN0）和第 20 位（L4DPM0）在寄存器 256（第 3 层和第 4 层控制寄存器 0）中设置时，该字段包含要与 IPv4 或 IPv6 帧中的 UDP 目标端口号字段匹配的值
15-0	L4SP0	第 4 层源端口号字段 当第 16 位 (L4PEN0) 复位且第 20 位 (L4DPM0) 在寄存器 256（第 3 层和第 4 层控制寄存器 0）中设置时，该字段包含要与 IPv4 或 IPv6 中的 TCP 源端口号字段匹配的值帧。当第 16 位（L4PEN0）和第 20 位（L4DPM0）在寄存器 256（第 3 层和第 4 层控制寄存器 0）中设置时，该字段包含要与 IPv4 或 IPv6 帧中的 UDP 源端口号字段匹配的值。

L3_L4_CFG[L4_ADDR] 位域

60.5.42 L3_L4_CFG[L3_ADDR_0] (0x410 + 0x30 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
L3A00																															

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

L3_L4_CFG[L3_ADDR_0] [31:0]

位域	名称	描述
31-0	L3A00	第 3 层地址 0 字段 当寄存器 256（第 3 层和第 4 层控制寄存器 0）中的位 0 (L3PEN0) 和位 2 (L3SAM0) 设置时，该字段包含要与 IP 源地址字段的位 [31:0] 匹配的值 IPv6 帧。当在寄存器 256（第 3 层和第 4 层控制寄存器 0）中设置位 0 (L3PEN0) 和位 4 (L3DAM0) 时，该字段包含与 IP 目标地址字段的位 [31:0] 匹配的值 IPv6 帧。当第 0 位 (L3PEN0) 复位且第 2 位 (L3SAM0) 在寄存器 256（第 3 层和第 4 层控制寄存器 0）中设置时，该字段包含要与 IPv4 帧中的 IP 源地址字段匹配的值

L3_L4_CFG[L3_ADDR_0] 位域

60.5.43 L3_L4_CFG[L3_ADDR_1] (0x414 + 0x30 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
L3A10																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

L3_L4_CFG[L3_ADDR_1] [31:0]

位域	名称	描述
31-0	L3A10	第 3 层地址 1 字段 当寄存器 256（第 3 层和第 4 层控制寄存器 0）中的位 0 (L3PEN0) 和位 2 (L3SAM0) 设置时，该字段包含与 IP 源地址字段的位 [63:32] 匹配的值 IPv6 帧。当在寄存器 256（第 3 层和第 4 层控制寄存器 0）中设置位 0 (L3PEN0) 和位 4 (L3DAM0) 时，该字段包含与 IP 目标地址字段的位 [63:32] 匹配的值 IPv6 帧。当第 0 位 (L3PEN0) 复位且第 4 位 (L3DAM0) 在寄存器 256（第 3 层和第 4 层控制寄存器 0）中设置时，该字段包含要与 IPv4 帧中的 IP 目标地址字段匹配的值

L3_L4_CFG[L3_ADDR_1] 位域

60.5.44 L3_L4_CFG[L3_ADDR_2] (0x418 + 0x30 * n)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
L3A20																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

L3_L4_CFG[L3_ADDR_2] [31:0]

位域	名称	描述
31-0	L3A20	第 3 层地址 2 字段 当寄存器 256（第 3 层和第 4 层控制寄存器 0）中的位 0 (L3PEN0) 和位 2 (L3SAM0) 设置时，该字段包含与 IP 源地址字段的位 [95:64] 匹配的值 IPv6 帧。当在寄存器 256（第 3 层和第 4 层控制寄存器 0）中设置位 0 (L3PEN0) 和位 4 (L3DAM0) 时，该字段包含与 IP 目标地址字段中的位 [95:64] 匹配的值 IPv6 帧。当寄存器 256（第 3 层和第 4 层控制寄存器 0）中的位 0 (L3PEN0) 复位时，不使用该寄存器

L3_L4_CFG[L3_ADDR_2] 位域

60.5.45 L3_L4_CFG[L3_ADDR_3] (0x41C + 0x30 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
L3A30																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

L3_L4_CFG[L3_ADDR_3] [31:0]

位域	名称	描述
31-0	L3A30	第 3 层地址 3 字段当第 0 位（L3PEN0）和第 2 位（L3SAM0）在寄存器 256（第 3 层和第 4 层控制寄存器 0）中设置时，该字段包含要与寄存器的位 [127:96] 匹配的值 IPv6 帧中的 IP 源地址字段。当第 0 位（L3PEN0）和第 4 位（L3DAM0）在寄存器 256（第 3 层和第 4 层控制寄存器 0）中设置时，该字段包含与 IP 目标地址字段的位 [127:96] 匹配的值 IPv6 帧。当寄存器 256（第 3 层和第 4 层控制寄存器 0）中的位 0（L3PEN0）复位时，不使用该寄存器

L3_L4_CFG[L3_ADDR_3] 位域

60.5.46 VLAN_TAG_INC_RPL (0x584)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD												CSVL	VLP	VLC		VLT															
N/A												RW	RW	RW		RW															
x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

VLAN_TAG_INC_RPL [31:0]

位域	名称	描述
19	CSVL	C-VLAN 或 S-VLAN 当该位被设置时，S-VLAN 类型 (0x88A8) 被插入或替换在传输帧的第 13 和 14 字节中。当该位复位时，C-VLAN 类型 (0x8100) 被插入或替换到传输的帧中
18	VLP	VLAN 优先级控制 当该位被设置时，控制位 [17:16] 用于 VLAN 的删除、插入或替换。当该位复位时，将使用 mti_vlan_ctrl_i 控制输入，并忽略位 [17:16]
17-16	VLC	传输帧中的 VLAN 标记控制 - 2’b00：无 VLAN 标记删除、插入或替换 - 2’b01: VLAN tag delete MAC 删除所有传输的带有 VLAN tag 的帧的 VLAN 类型（字节 13 和 14）和 VLAN 标记（字节 15 和 16）。 - 2’b10: VLAN 标签插入 MAC 在第 13 和 14 字节插入类型值 (0x8100/0x88a8) 后，在帧的第 15 和 16 字节插入 VLT。此操作对所有传输的帧执行，无论它们是否已经有一个 VLAN 标签。 - 2’b11：VLAN 标记替换 MAC 替换所有 VLAN 类型传输帧的第 15 和 16 字节中的 VLT（第 13 和 14 字节为 0x8100/0x88a8）。 注意：对此字段的更改仅在帧开始时生效。如果在传输帧时写入此寄存器字段，则只有后续帧可以使用更新后的值，即当前帧不使用更新后的值
15-0	VLT	用于传输帧的 VLAN 标记 该字段包含要插入或替换的 VLAN 标记的值。仅当传输线路处于非活动状态或在初始化阶段时才必须更改该值。Bits[15:13] 是用户优先级，Bit 12 是 CFI/DEI，Bits[11:0] 是 VLAN 标签的 VID 字段。

VLAN_TAG_INC_RPL 位域

60.5.47 VLAN_HASH (0x588)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																VLHT															

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
N/A																RW															
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

VLAN_HASH [31:0]

位域	名称	描述
15-0	VLHT	VLAN 哈希表 该字段包含 16 位 VLAN 哈希表

VLAN_HASH 位域

60.5.48 TS_CTRL (0x700)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD			ATSEN3	ATSEN2	ATSEN1	ATSEN0	ATSFC	RSVD					TSENMACADDR	SNAPTYPSEL		TSMSTRENA	TSEVNTENA	TSIPV4ENA	TSIPV6ENA	TSIPENA	TSVER2ENA	TSCTRLSSR	TSENALL	RSVD		TSADDREG	TSTRIG	TSUPDT	TSINIT	TSCFUPDT	TSENA
N/A			RW	RW	RW	RW	RW	N/A					RW	RW		RW	RW	RW	RW	RW	RW	RW	RW	N/A		RW	RW	RW	RW	RW	RW
x	x	x	0	0	0	0	0	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	x	x	0	0	0	0	0	0

TS_CTRL [31:0]

位域	名称	描述
28	ATSEN3	辅助快照 3 启用 该字段控制捕获辅助快照触发器 3。当该位被设置时，ptp_aux_trig_i[3] 输入上的事件的辅助快照被启用。当该位复位时，该输入上的事件将被忽略。如果在内核配置期间未选择 Add IEEE 1588 Auxiliary Snapshot 选项或在 Number of IEEE 1588 Auxiliary Snapshot Inputs 选项中选择的数量小于四，则保留该位。
27	ATSEN2	辅助快照 2 启用 该字段控制捕获辅助快照触发器 2。当该位被设置时，ptp_aux_trig_i[2] 输入上的事件的辅助快照被启用。当该位复位时，该输入上的事件将被忽略。如果在内核配置期间未选择 Add IEEE 1588 Auxiliary Snapshot 选项或在 Number of IEEE 1588 Auxiliary Snapshot Inputs 选项中选择的数量小于 3，则保留该位。
26	ATSEN1	辅助快照 1 启用 该字段控制捕获辅助快照触发器 1。当该位被设置时，ptp_aux_trig_i[1] 输入上的事件的辅助快照被启用。当该位复位时，该输入上的事件将被忽略。如果在内核配置期间未选择 Add IEEE 1588 Auxiliary Snapshot 选项或在 Number of IEEE 1588 Auxiliary Snapshot Inputs 选项中选择的数量小于 2，则保留该位。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
25	ATSEN0	辅助快照 0 启用 该字段控制捕获辅助快照触发器 0。当该位被设置时，ptp_aux_trig_i[0] 输入上的事件的辅助快照被启用。当此位复位时，此输入上的事件将被忽略
24	ATSFC	辅助快照 FIFO 清除 设置后，它会重置辅助快照 FIFO 的指针。当指针复位且 FIFO 为空时，该位被清除。当该位为高时，辅助快照存储在 FIFO 中。如果在内核配置期间未选择 Add IEEE 1588 Auxiliary Snapshot 选项，则保留该位
18	TSENMACADDR	为 PTP 帧过滤启用 MAC 地址 设置后，当 PTP 通过以太网直接发送时，DA MAC 地址（匹配任何 MAC 地址寄存器）用于过滤 PTP 帧
17-16	SNAPTYPSEL	选择用于拍摄快照的 PTP 数据包 这些位以及位 15 和 14 决定需要为其拍摄快照的 PTP 数据包类型集
15	TSMSTRENA	为与 Master 相关的消息启用快照 设置后，仅为与主节点相关的消息拍摄快照。否则，为与从节点相关的消息拍摄快照
14	TSEVNTENA	为事件消息启用时间戳快照 设置后，仅为事件消息（SYNC、Delay_Req、Pdelay_Req 或 Pdelay_Resp）拍摄时间戳快照。重置时，将为除 Announce、Management 和 Signaling 之外的所有消息拍摄快照
13	TSIPV4ENA	启用对通过 IPv4-UDP 发送的 PTP 帧的处理 设置后，MAC 接收器处理封装在 UDP over IPv4 数据包中的 PTP 数据包。当该位清零时，MAC 将忽略通过 UDP-IPv4 数据包传输的 PTP。默认情况下设置此位。
12	TSIPV6ENA	启用对通过 IPv6-UDP 发送的 PTP 帧的处理 设置后，MAC 接收器处理封装在 UDP over IPv6 数据包中的 PTP 数据包。当该位清零时，MAC 将忽略通过 UDP-IPv6 数据包传输的 PTP
11	TSIPENA	通过以太网帧启用 PTP 处理 设置后，MAC 接收器处理直接封装在以太网帧中的 PTP 数据包。当该位清零时，MAC 将忽略 PTP over Ethernet 数据包
10	TSVER2ENA	为版本 2 格式启用 PTP 数据包处理 设置后，将使用 1588 版本 2 格式处理 PTP 数据包。否则，将使用版本 1 格式处理 PTP 数据包
9	TSCTRLSSR	时间戳数字或二进制翻转控制 设置后，时间戳低寄存器在 0x3B9A_C9FF 值（即 1 纳秒精度）后翻转并增加时间戳（高）秒。复位时，亚秒寄存器的翻转值为 0x7FFF_FFFF。必须根据 PTP 参考时钟频率和该位的值正确编程亚秒增量。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
8	TSENALL	为所有帧启用时间戳 设置后，将为 MAC 接收的所有帧启用时间戳快照
5	TSADDREG	添加注册更新 设置后，时间戳加数寄存器的内容在 PTP 块中更新以进行精细校正。更新完成后，这将被清除。该寄存器位在设置之前应为零
4	TSTRIG	时间戳中断触发使能 设置后，当系统时间变得大于目标时间寄存器中写入的值时生成时间戳中断。该位在时间戳触发中断产生后复位
3	TSUPDT	时间戳更新 设置后，系统时间将更新（添加或减去）寄存器 452（系统时间 - 秒更新寄存器）和寄存器 453（系统时间 - 纳秒更新寄存器）中指定的值。该位在更新前应读为零。当硬件更新完成时，该位复位。“时间戳高位字”寄存器（如果在内核配置期间启用）不会更新
2	TSINIT	时间戳初始化 设置后，系统时间将使用寄存器 452（系统时间 - 秒更新寄存器）和寄存器 453（系统时间 - 纳秒更新寄存器）中指定的值进行初始化（覆盖）。该位在更新前应读为零。该位在初始化完成时复位。“时间戳高位字”寄存器（如果在内核配置期间启用）只能被初始化
1	TSCFUPDT	时间戳精细或粗略更新 设置时，该位表示系统时间更新应使用精细更新方法完成。重置时，它表示应使用 Coarse 方法完成系统时间戳更新
0	TSENA	时间戳启用 设置后，会为发送和接收帧添加时间戳。禁用时，不会为发送和接收帧添加时间戳，并且时间戳生成器也会暂停。启用此模式后，您需要初始化 Timestamp（系统时间）。在接收端，只有设置了该位，MAC 才会处理 1588 帧

TS_CTRL 位域

60.5.49 SUB_SEC_INCR (0x704)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																								SSINC							
N/A																								RW							
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0

SUB_SEC_INCR [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
7-0	SSINC	亚秒增量值 该字段中编程的值在每个时钟周期（clk_ptp_i）与亚秒寄存器的内容累加。例如，当 PTP 时钟为 50 MHz（周期为 20 ns）时，当系统时间纳秒寄存器的精度为 1 ns [Bit 9 (TSCTRLSSR) 在寄存器 448 (Timestamp Control) 中设置时，您应该编程 20 (0x14) 登记）]。当 TSCTRLSSR 清零时，纳秒寄存器的分辨率为 ~0.465ns。在这种情况下，您应该编写一个由 20ns/0.465 导出的值 43 (0x2B)。

SUB_SEC_INCR 位域

60.5.50 SYST_SEC (0x708)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSS																															
RO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SYST_SEC [31:0]

位域	名称	描述
31-0	TSS	时间戳（秒） 该字段的值表示 MAC 维护的系统时间的当前值，以秒为单位

SYST_SEC 位域

60.5.51 SYST_NSEC (0x70C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD	TSSS																														
N/A	RO																														
x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SYST_NSEC [31:0]

位域	名称	描述
30-0	TSSS	时间戳子秒 该字段中的值具有亚秒级的时间表示，精度为 0.46 ns。当第 9 位 (TSCTRLSSR) 在寄存器 448（时间戳控制寄存器）中设置时，每一位代表 1 ns，最大值为 0x3B9A_C9FF，之后它会翻转为零。

SYST_NSEC 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

60.5.52 SYST_SEC_UPD (0x710)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSS																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SYST_SEC_UPD [31:0]

位域	名称	描述
31-0	TSS	时间戳秒 此字段中的值表示要初始化或添加到系统时间的时间（以秒为单位）

SYST_SEC_UPD 位域

60.5.53 SYST_NSEC_UPD (0x714)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ADDSUB	TSSS																														
RW	RW																														
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SYST_NSEC_UPD [31:0]

位域	名称	描述
31	ADDSUB	加减时间 当该位置位时，更新寄存器的内容减去时间值。当该位复位时，时间值与更新寄存器的内容相加。
30-0	TSSS	时间戳子秒 该字段中的值具有亚秒级的时间表示，精度为 0.46 ns。当第 9 位 (TSCTRLSSR) 在寄存器 448（时间戳控制寄存器）中设置时，每一位代表 1 ns，编程值不应超过 0x3B9A_C9FF。

SYST_NSEC_UPD 位域

60.5.54 TS_ADDEND (0x718)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSAR																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TS_ADDEND [31:0]

位域	名称	描述
31-0	TSAR	时间戳加法寄存器 该字段表示要添加到累加器寄存器以实现时间同步的 32 位时间值。

TS_ADDEND 位域

60.5.55 TGTTM_SEC (0x71C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSTR																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TGTTM_SEC [31:0]

位域	名称	描述
31-0	TSTR	目标时间秒寄存器 该寄存器以秒为单位存储时间。当时间戳值匹配或超过两个目标时间戳寄存器时，然后根据寄存器 459（PPS 控制寄存器）的位 [6:5]，MAC 启动或停止 PPS 信号输出并生成中断（如果启用）。

TGTTM_SEC 位域

60.5.56 TGTTM_NSEC (0x720)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRGTBUSY	TTSLO																														
RW	RW																														
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TGTTM_NSEC [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31	TRGTBUSY	目标时间寄存器忙 当寄存器 459（PPS 控制寄存器）中的 PPSCMD 字段（位 [3:0]）被编程为 010 或 011 时，MAC 设置该位。将 PPSCMD 字段编程为 010 或 011，指示 MAC 同步目标时间寄存器到 PTP 时钟域。MAC 在将目标时间寄存器同步到 PTP 时钟域后清除该位。当该位读为 1 时，应用程序不得更新目标时间寄存器。否则，先前编程时间的同步将被破坏。当未选择启用灵活的每秒脉冲输出功能时，该位保留。
30-0	TTSLO	目标时间戳低寄存器 该寄存器以（有符号）纳秒为单位存储时间。当时间戳的值与两个目标时间戳寄存器匹配时，然后根据寄存器 459（PPS 控制寄存器）中的 TRGTMODSEL0 字段（位 [6:5]），MAC 开始或停止 PPS 信号输出并产生中断（如果启用）。当第 9 位（TSCTRLSSR）在寄存器 448（时间戳控制寄存器）中设置时，该值不应超过 0x3B9A_C9FF。PPS 信号输出的实际开始或停止时间可能有高达一个单位的亚秒增量值的误差幅度。

TGTTM_NSEC 位域

60.5.57 SYSTM_H_SEC (0x724)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																TSHWR															
N/A																RW															
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SYSTM_H_SEC [31:0]

位域	名称	描述
15-0	TSHWR	时间戳高位字寄存器 该字段包含时间戳秒值的最高 16 位。该寄存器是可选的，可以在内核配置期间使用 Enable IEEE 1588 Higher Word Register 选项进行选择。直接写入寄存器初始化值。当系统时间 - 秒寄存器的 32 位溢出时，该寄存器会递增

SYSTM_H_SEC 位域

60.5.58 TS_STATUS (0x728)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD		ATSNS					ATSSTM	RSVD				ATSSTN				RSVD						TSTRGTERR3	TSTARGT3	TSTRGTERR2	TSTARGT2	TSTRGTERR1	TSTARGT1	TSTRGTERR	AUXTSTRIG	TSTARGT	TSSOVF
N/A		RO					RO	N/A				RO				N/A						RO	RO	RO	RO	RO	RO	RO	RO	RO	RO
x	x	0	0	0	0	0	0	x	x	x	x	0	0	0	0	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0

TS_STATUS [31:0]

位域	名称	描述
29-25	ATSNS	辅助时间戳快照的数量 该字段表示 FIFO 中可用的快照数量。等于所选 FIFO 深度（4、8 或 16）的值表示辅助快照 FIFO 已满。当辅助快照 FIFO 清除位被设置时，这些位被清除（到 00000）。只有在内核配置期间选择了添加 IEEE 1588 辅助快照选项时，该位才有效。
24	ATSSTM	辅助时间戳快照触发器丢失 当辅助时间戳快照 FIFO 已满且外部触发已设置时，该位设置。这表示最新的快照未存储在 FIFO 中。只有在内核配置期间选择了添加 IEEE 1588 辅助快照选项时，该位才有效。
19-16	ATSSTN	辅助时间戳快照触发器标识符 这些位标识辅助快照寄存器中可用的时间戳适用的辅助触发输入。当同时置位不止一位时，表示相应的辅助触发在同一时钟采样。这些位仅在辅助快照的数量大于 1 时适用。为每个触发分配一位，如下表所示：- Bit 16：辅助触发 0 - Bit 17：辅助触发 1 - Bit 18：辅助触发 2 - Bit 19：辅助触发 3 软件可以读取该寄存器以找到获取时间戳时设置的触发器。
9	TSTRGTERR3	时间戳目标时间错误 当在寄存器 496 和寄存器 497 中编程的目标时间已经过去时，会设置该位。该位在被应用程序读取时被清除。
8	TSTARGT3	达到目标时间 PPS3 的时间戳目标时间 设置时，该位表示系统时间的值大于或等于寄存器 496（PPS3 目标时间高位寄存器）和寄存器 497（PPS3 目标时间低位寄存器）中指定的值。
7	TSTRGTERR2	
6	TSTARGT2	
5	TSTRGTERR1	
4	TSTARGT1	
3	TSTRGTERR	
2	AUXTSTRIG	
1	TSTARGT	
0	TSSOVF	

TS_STATUS 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

60.5.59 PPS_CTRL (0x72C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD	TRGTMODSEL3		RSVD		PPSCMD3			RSVD	TRGTMODSEL2		RSVD		PPSCMD2			RSVD	TRGTMODSEL1		PPSEN1	RSVD	PPSCMD1			RSVD	TRGTMODSEL0		PPSEN0	PPSCTRLCMD0			
N/A	RW		N/A		RW			N/A	RW		N/A		RW			N/A	RW		RW	N/A	RW			N/A	RW		RW	RW			
x	0	0	x	x	0	0	0	x	0	0	x	x	0	0	0	x	0	0	0	x	0	0	0	x	0	0	0	0	0	0	0

PPS_CTRL [31:0]

位域	名称	描述
30-29	TRGTMODSEL3	PPS3 输出的目标时间寄存器模式 该字段指示 PPS3 输出信号的目标时间寄存器（寄存器 496 和 497）模式。该字段类似于 TRGTMODSEL0 字段。
26-24	PPSCMD3	灵活的 PPS3 输出控制 该字段控制灵活的 PPS3 输出 (ptp_pps_o[3]) 信号。该字段在功能上类似于 PPSCMD0[2:0]
22-21	TRGTMODSEL2	PPS2 输出的目标时间寄存器模式 该字段指示 PPS2 输出信号的目标时间寄存器（寄存器 488 和 489）模式。该字段类似于 TRGTMODSEL0 字段。
18-16	PPSCMD2	灵活的 PPS2 输出控制 该字段控制灵活的 PPS2 输出 (ptp_pps_o[2]) 信号。该字段在功能上类似于 PPSCMD0[2:0]。
14-13	TRGTMODSEL1	PPS1 输出的目标时间寄存器模式 该字段指示 PPS1 输出信号的目标时间寄存器（寄存器 480 和 481）模式。该字段类似于 TRGTMODSEL0 字段。
12	PPSEN1	
10-8	PPSCMD1	灵活的 PPS1 输出控制 该字段控制灵活的 PPS1 输出 (ptp_pps_o[1]) 信号。该字段在功能上类似于 PPSCMD0[2:0]。
6-5	TRGTMODSEL0	PPS0 输出的目标时间寄存器模式 此字段指示 PPS0 输出信号的目标时间寄存器（寄存器 455 和 456）模式： - 00：表示目标时间寄存器仅用于生成中断事件。 - 01：保留 - 10：表示目标时间寄存器被编程用于产生中断事件和开始或停止 PPS0 输出信号的产生。 - 11：表示目标时间寄存器仅用于启动或停止 PPS0 输出信号的生成。没有中断被断言。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
4	PPSEN0	灵活的 PPS 输出模式启用 当设置为低时，位 [3:0] 用作 PPSCTRL（向后兼容）。当设置为高时，位 [3:0] 用作 PPSCMD。
3-0	PPSCTRLCMD0	PPSCTRL0: PPS0 输出频率控制 该字段控制 PPS0 输出 (ptp_pps_o[0]) 信号的频率。PPSCTRL 的默认值为 0000，PPS 输出为每秒 1 个脉冲（宽度为 clk_ptp_i）。对于 PPSCTRL 的其他值，PPS 输出成为以下频率的生成时钟： - 0001：二进制翻转为 2 Hz，数字翻转为 1 Hz。 - 0010：二进制翻转为 4 Hz，数字翻转为 2 Hz。 - 0011：二进制翻转为 8 Hz，数字翻转为 4 Hz。 - 0100：二进制翻转为 16 Hz，数字翻转为 8 Hz。- ... - 1111：二进制翻转为 32.768 KHz，数字翻转为 16.384 KHz。注意：在二进制翻转模式下，PPS 输出 (ptp_pps_o) 在这些频率下的占空比为 50%。在数字翻转模式下，PPS 输出频率是一个平均值。实际时钟具有不同的频率，每秒同步一次。例如：- 当 PPSCTRL = 0001 时，PPS (1 Hz) 的低周期为 537 ms，高周期为 463 ms - 当 PPSCTRL = 0010 时，PPS (2 Hz) 是一个序列：- 一个时钟 50% 占空比和 537 ms 周期 - 463 ms 周期的第二个时钟（268 ms 低电平和 195 ms 高电平）- 当 PPSCTRL = 0011 时，PPS (4 Hz) 是一个序列：- 三个 50% 占空比的时钟和 268 ms 周期 - 195 ms 周期的第四个时钟（低 134 ms，高 61 ms）

PPS_CTRL 位域

60.5.60 AUX_TS_NSEC (0x730)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																AUXTSLO															
N/A																RO															
x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

AUX_TS_NSEC [31:0]

位域	名称	描述
30-0	AUXTSLO	包含辅助时间戳的低 31 位（纳秒字段）

AUX_TS_NSEC 位域

60.5.61 AUX_TS_SEC (0x734)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AUXTSHI																															
RO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

AUX_TS_SEC [31:0]

位域	名称	描述
31-0	AUXTSHI	包含辅助时间戳的 Seconds 字段的低 32 位。

AUX_TS_SEC 位域

60.5.62 PPS0_INTERVAL (0x760)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PPSINT																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PPS0_INTERVAL [31:0]

位域	名称	描述
31-0	PPSINT	PPS0 输出信号间隔 这些位以亚秒增量值为单位存储 PPS0 信号输出上升沿之间的间隔。您需要编程一个小于所需间隔的值。例如，如果 PTP 参考时钟为 50 MHz（周期为 20ns），并且 PPS0 信号输出上升沿之间所需的间隔为 100ns（即 5 个单位的亚秒增量值），那么您应该编程值 4（5 -1) 在这个寄存器中。

PPS0_INTERVAL 位域

60.5.63 PPS0_WIDTH (0x764)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PPSWIDTH																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PPS0_WIDTH [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-0	PPSWIDTH	PPS0 输出信号宽度 这些位以亚秒增量值为单位存储 PPS0 信号输出的上升沿和相应下降沿之间的宽度。您需要编程一个小于所需间隔的值。例如，如果 PTP 参考时钟为 50 MHz（周期为 20ns），并且 PPS0 信号输出的上升沿和相应下降沿之间所需的宽度为 80ns（即四个单位的亚秒增量值），那么您应该编程此寄存器中的值 3 (4 -1)。

PPS0_WIDTH 位域

60.5.64 PPS[TGTTM_SEC] (0x780 + 0x20 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TSTRH1																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PPS[TGTTM_SEC] [31:0]

位域	名称	描述
31-0	TSTRH1	PPS1 目标时间秒寄存器 该寄存器以秒为单位存储时间。当时间戳值匹配或超过两个目标时间戳寄存器时，然后根据寄存器 459（PPS 控制寄存器）的位 [14:13] TRGTMODSEL1，MAC 启动或停止 PPS 信号输出并产生中断（如果启用）

PPS[TGTTM_SEC] 位域

60.5.65 PPS[TGTTM_NSEC] (0x784 + 0x20 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRGTBUSY1	TTSL1																														
RW	RW																														
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PPS[TGTTM_NSEC] [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31	TRGTBUSY1	PPS1 目标时间寄存器忙 当寄存器 459（PPS 控制寄存器）中的 PPSCMD1 字段（位 [10:8]）被编程为 010 或 011 时，MAC 设置该位。将 PPSCMD1 字段编程为 010 或 011 指示 MAC 将目标时间寄存器同步到 PTP 时钟域。MAC 在将目标时间寄存器同步到 PTP 时钟域后清除该位。当该位读为 1 时，应用程序不得更新目标时间寄存器。否则，先前编程时间的同步将被破坏。
30-0	TTSL1	PPS1 寄存器的目标时间低 该寄存器以（有符号）纳秒为单位存储时间。当时间戳的值与两个目标时间戳寄存器匹配时，然后根据寄存器 459（PPS 控制寄存器）中的 TRGTMODSEL1 字段（位 [14:13]），MAC 开始或停止 PPS 信号输出并产生中断（如果启用）。当第 9 位（TSCTRLSSR）在寄存器 448（时间戳控制寄存器）中设置时，该值不应超过 0x3B9A_C9FF。PPS 信号输出的实际开始或停止时间可能有高达一个单位的亚秒增量值的误差幅度。

PPS[TGTTM_NSEC] 位域

60.5.66 PPS[INTERVAL] (0x788 + 0x20 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PPSINT																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PPS[INTERVAL] [31:0]

位域	名称	描述
31-0	PPSINT	PPS1 输出信号间隔 这些位以亚秒增量值为单位存储 PPS1 信号输出上升沿之间的间隔。您需要编程一个小于所需间隔的值。例如，如果 PTP 参考时钟为 50 MHz（周期为 20ns），并且 PPS1 信号输出上升沿之间所需的间隔为 100ns（即 5 个单位的亚秒增量值），那么您应该编程值 4（5 -1) 在这个寄存器中。

PPS[INTERVAL] 位域

60.5.67 PPS[WIDTH] (0x78C + 0x20 * n)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PPSWIDTH																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PPS[WIDTH] [31:0]

位域	名称	描述
31-0	PPSWIDTH	PPS1 输出信号宽度 这些位以亚秒增量值为单位存储 PPS1 信号输出的上升沿和相应下降沿之间的宽度。您需要编程一个小于所需间隔的值。例如，如果 PTP 参考时钟为 50 MHz（周期为 20ns），并且 PPS1 信号输出的上升沿和相应下降沿之间所需的宽度为 80ns（即四个单位的亚秒增量值），那么您应该编程此寄存器中的值 3 (4 -1)。

PPS[WIDTH] 位域

60.5.68 DMA_BUS_MODE (0x1000)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RIB	RSVD	PRWG		TXPR	MB	AAL	PBLX8	USP	RPBL						FB	PR		PBL						ATDS	DSL					DA	SWR
RW	N/A	RW		RW	RW	RW	RW	RW	RW						RW	RW		RW						RW	RW					RW	RW
0	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DMA_BUS_MODE [31:0]

位域	名称	描述
31	RIB	重建 INCRx Burst 当该位设置为高且 AHB 主机获得 EBT（重试、拆分或丢失总线授权）时，AHB 主机接口会重建任何由 INCRx 启动的突发传输的待处理拍子。AHB 主接口通过指定突发与 INCRx 和 SINGLE 的组合重建节拍。默认情况下，AHB 主接口使用未指定 (INCR) 突发重建 EBT 的未决拍。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
29-28	PRWG	频道优先 权重此字段在系统总线的 DMA 通道之间的循环仲裁期间设置通道 0 的优先权权重。 - 00：优先权重为 1。 - 01：优先权重为 2。 - 10：优先权重为 3。 - 11：优先级权重为 4。当您选择 AV 功能时，该字段存在于除 GMAC-AXI 之外的所有 DWC_gmac 配置中。否则，该字段是保留的和只读的 (RO)。
27	TXPR	传输优先 设置时，该位表示在系统侧总线的仲裁期间发送 DMA 的优先级高于接收 DMA。在 GMAC-AXI 配置中，该位保留且只读 (RO)。
26	MB	混合突发传输 当该位设置为高且 FB 位为低时，AHB 主接口以 INCR（未定义突发）启动所有长度超过 16 的突发，而对于突发长度为 16 和较少的。”
25	AAL	地址对齐的节拍 当该位设置为高且 FB 位等于 1 时，AHB 或 AXI 接口生成与起始地址 LS 位对齐的所有突发。如果 FB 位等于 0，则第一个突发（访问数据缓冲区的起始地址）未对齐，但后续突发与地址对齐。
24	PBLX8	PBLx8 模式 当设置为高电平时，该位将编程的 PBL 值（位 [22:17] 和位 [13:8]）乘以八倍。因此，DMA 根据 PBL 值以 8、16、32、64、128 和 256 节拍传输数据。
23	USP	使用单独的 PBL 当设置为高时，该位将 Rx DMA 配置为使用位 [22:17] 中配置的值作为 PBL。Bits [13:8] 中的 PBL 值仅适用于 Tx DMA 操作。当复位为低时，位 [13:8] 中的 PBL 值适用于两个 DMA 引擎。
22-17	RPBL	接收 DMA PBL 该字段指示在一个 Rx DMA 事务中传输的最大节拍数。这是在单个块读取或写入中使用的最大值。每次在主机总线上启动突发传输时，Rx DMA 总是尝试按照 RPBL 位中指定的方式进行突发。您可以使用 1、2、4、8、16 和 32 的值对 RPBL 进行编程。任何其他值都会导致未定义的行为。该字段仅在 USP 设置为高时才有效和适用。
16	FB	固定突发 该位控制 AHB 或 AXI 主接口是否执行固定突发传输。设置后，AHB 接口在正常突发传输开始期间仅使用 SINGLE、INCR4、INCR8 或 INCR16。复位时，AHB 或 AXI 接口使用 SINGLE 和 INCR 突发传输操作。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
15-14	PR	优先比例 这些位控制 Rx DMA 和 Tx DMA 之间加权循环仲裁中的优先级比率。这些位仅在位 1 (DA) 复位时有效。优先级比率为 Rx:Tx 或 Tx:Rx，具体取决于位 27 (TXPR) 是复位还是置位。 - 00：优先级比为 1:1。 - 01：优先级比为 2:1。 - 10：优先级比为 3:1。 - 11：优先级比例为 4:1。
13-8	PBL	可编程突发长度 这些位指示在一个 DMA 事务中传输的最大节拍数。这是在单个块读取或写入中使用的最大值。每次在主机总线上启动突发传输时，DMA 总是尝试按照 PBL 中的规定进行突发。PBL 可以用允许的值 1、2、4、8、16 和 32 进行编程。任何其他值都会导致未定义的行为。当 USP 设置为高电平时，此 PBL 值仅适用于 Tx DMA 事务。如果要传输的节拍数大于 32，则执行以下步骤：1. 设置 PBLx8 模式。2. 设置 PBL。
7	ATDS	备用描述符大小 设置后，备用描述符的大小（在第 545 页的“备用或增强描述符”中描述）增加到 32 字节（8 个双字）。当在接收器中启用高级时间戳功能或 IPC 完整校验和卸载引擎（类型 2）时，这是必需的。如果未启用高级时间戳和 IPC 完整校验和卸载引擎（类型 2）功能，则不需要增强描述符。在这种情况下，您可以使用 16 字节描述符来节省 4 字节的内存。仅当您在内核配置期间选择备用描述符功能和以下任一功能时，才会出现此位：- 高级时间戳功能 - IPC 完整校验和卸载引擎（类型 2）功能否则，此位保留且只读。重置后，描述符大小恢复为 4 个 DWORD（16 字节）。
6-2	DSL	描述符跳过长度 该位指定要在两个未链接的描述符之间跳过的字、双字或 Lword（取决于 32 位、64 位或 128 位总线）的数量。地址跳过从当前描述符的末尾开始到下一个描述符的开头。当 DSL 值等于 0 时，描述符表在环形模式下被 DMA 视为连续的
1	DA	DMA 仲裁方案 该位指定通道 0 的发送和接收路径之间的仲裁方案。 - 0：带 Rx:Tx 或 Tx:Rx 的加权循环路径之间的优先级根据位 [15:14] (PR) 中指定的优先级和位 27 (TXPR) 中指定的优先级权重。 - 1：固定优先级当位 27 (TXPR) 被设置时，发送路径优先于接收路径。否则，接收路径优先于传输路径。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
0	SWR	软件重置 当该位置位时，MAC DMA 控制器复位 MAC 的逻辑和所有内部寄存器。在所有 DWC_gmac 时钟域中完成复位操作后，它会自动清零。在重新编程 DWC_gmac 的任何寄存器之前，您应该在该位读取零 (0) 值。注：- 软件复位功能仅由该位驱动。寄存器 64（通道 1 总线模式寄存器）或寄存器 128（通道 2 总线模式寄存器）的位 0 对软件复位功能没有影响。- 仅当所有活动时钟域中的所有复位都无效时，才完成复位操作。因此，必须提供所有 PHY 输入时钟（适用于所选 PHY 接口）以完成软件复位。完成软件复位操作的时间取决于最慢的活动时钟的频率。

DMA_BUS_MODE 位域

60.5.69 DMA_TX_POLL_DEMAND (0x1004)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TPD																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DMA_TX_POLL_DEMAND [31:0]

位域	名称	描述
31-0	TPD	发送的查询的请求 当这些位写入任何值时，DMA 读取寄存器 18（当前主机发送描述符寄存器）指向的当前描述符。如果该描述符不可用（由主机拥有），则传输返回到挂起状态并且寄存器 5（状态寄存器）的位 2 (TU) 被置位。如果描述符可用，传输将恢复。

DMA_TX_POLL_DEMAND 位域

60.5.70 DMA_RX_POLL_DEMAND (0x1008)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RPD																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DMA_RX_POLL_DEMAND [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-0	RPD	接受的查询的请求 当这些位写入任何值时，DMA 读取寄存器 19（当前主机接收描述符寄存器）指向的当前描述符。如果该描述符不可用（由主机拥有），则接收返回到挂起状态并且寄存器 5（状态寄存器）的位 7 (RU) 被置位。如果描述符可用，则 Rx DMA 返回活动状态。

DMA_RX_POLL_DEMAND 位域

60.5.71 DMA_RX_DESC_LIST_ADDR (0x100C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RDESLA																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DMA_RX_DESC_LIST_ADDR [31:0]

位域	名称	描述
31-0	RDESLA	接收列表的开始 该字段包含接收描述符列表中第一个描述符的基地址。DMA 会忽略 32 位、64 位或 128 位总线宽度的 LSB 位（1:0、2:0 或 3:0）并在内部将其视为全零。因此，这些 LSB 位是只读的 (RO)。

DMA_RX_DESC_LIST_ADDR 位域

60.5.72 DMA_TX_DESC_LIST_ADDR (0x1010)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TDESLA																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DMA_TX_DESC_LIST_ADDR [31:0]

位域	名称	描述
31-0	TDESLA	发送列表的开始 该字段包含传输描述符列表中第一个描述符的基地址。32 位、64 位或 128 位总线宽度的 LSB 位（1:0、2:0、3:0）被忽略，DMA 在内部将其视为全零。因此，这些 LSB 位是只读的 (RO)。

DMA_TX_DESC_LIST_ADDR 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

60.5.73 DMA_STATUS (0x1014)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD	GLPII	TTI	GPI	GMI	GLI	EB			TS			RS			NIS	AIS	ERI	FBI	RSVD		ETI	RWT	RPS	RU	RI	UNF	OVF	TJT	TU	TPS	TI
N/A	RW	RW	RW	RW	RW	RW			RW			RW			RW	RW	RW	RW	N/A		RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	0	0	0	0	0	0	0	0	0	0	0

DMA_STATUS [31:0]

位域	名称	描述
30	GLPII	GLPII：GMAC LPI 中断（用于通道 0） 该位表示 MAC 的 LPI 逻辑中的中断事件。要将此位重置为 1'b0，软件必须读取 DWC_gmac 中的相应寄存器以获取中断的确切原因并清除其源。注：GLPII 状态仅在通道 0 DMA 寄存器中给出，并且仅在启用节能以太网功能时适用。否则，该位被保留。当该位为高电平时，来自 MAC (sbd_intr_o) 的中断信号为高电平。 -或- GTMSI：GMAC TMS 中断（用于通道 1 和通道 2）该位指示 DWC_gmac 的流量管理器和调度程序逻辑中的中断事件。要复位该位，软件必须读取相应的寄存器（通道状态寄存器）以获取中断的确切原因并清除其源。注意：当启用 AV 功能并且存在相应的附加传输通道时，GTMSI 状态仅在通道 1 和通道 2 DMA 寄存器中给出。否则，该位被保留。当该位为高电平时，来自 MAC (sbd_intr_o) 的中断信号为高电平。
29	TTI	时间戳触发中断 该位指示 DWC_gmac 的时间戳生成器块中的中断事件。软件必须读取 DWC_gmac 中相应的寄存器才能获得中断的确切原因并清除其源以将该位重置为 1'b0。当该位为高电平时，来自 DWC_gmac 子系统（sbd_intr_o）的中断信号为高电平。该位仅在启用 IEEE 1588 时间戳功能时适用。否则，该位被保留。
28	GPI	GMAC PMT 中断 该位表示 DWC_gmac 的 PMT 模块中的中断事件。软件必须读取 MAC 中的 PMT 控制和状态寄存器以获取中断的确切原因并清除其源以将该位重置为 1' b0。当该位为高时，来自 DWC_gmac 子系统（sbd_intr_o）的中断信号为高。该位仅在启用电源管理功能时适用。否则，该位被保留。注意：GPI 和 pmt_intr_o 中断是在不同的时钟域中产生的。
27	GMI	GMAC MMC 中断 该位反映了 DWC_gmac 的 MMC 模块中的中断事件。软件必须读取 DWC_gmac 中相应的寄存器才能得到中断的确切原因并清除中断源使该位为 1' b0。当该位为高时，来自 DWC_gmac 子系统（sbd_intr_o）的中断信号为高。该位仅在启用 MAC 管理计数器 (MMC) 时适用。否则，该位被保留。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
26	GLI	GMAC 线路接口中断 设置后，该位反映 DWC_gmac 接口中的以下任何中断事件（如果存在并在您的配置中启用）：- PCS（TBI、RTBI 或 SGMII）：链路更改或自动协商完成事件 - SMII 或 RGMII：链路更改事件 - 通用输入状态 (GPIS)：gpi_i 输入端口上的任何 LL 或 LH 事件要确定中断的确切原因，软件必须首先读取寄存器 14（中断状态寄存器），然后清除中断源（也清除 GLI 中断），读取以下任何相应的寄存器：- PCS（TBI、RTBI 或 SGMII）：寄存器 49（AN 状态寄存器）- SMII 或 RGMII ：寄存器 54（SGMII/RGMII/SMII 控制和状态寄存器）-通用输入（GPI）：寄存器 56（通用 IO 寄存器）当该位为高时，来自 DWC_gmac 子系统（sbd_intr_o）的中断信号为高。
25-23	EB	错误位 该字段指示导致总线错误的错误类型，例如 AHB 或 AXI 接口上的错误响应。该字段仅在位 13 (FBI) 被设置时有效。该字段不会产生中断。 - 0 0 0：Rx DMA 写数据传输期间出错 - 0 1 1：Tx DMA 读取数据传输期间出错 - 1 0 0：Rx DMA 描述符写访问期间出错 - 1 0 1：Tx DMA 描述符写访问期间出错 - 1 1 0：Rx DMA 描述符读取访问期间出错 - 1 1 1：Tx DMA 描述符读取访问期间出错注意：001 和 010 被保留。
22-20	TS	传输进程状态 该字段指示传输 DMA FSM 状态。该字段不会产生中断。 - 3’b000：停止；发出复位或停止传输命令 - 3’b001：运行；获取传输传输描述符 - 3’b010：运行；等待状态 - 3’b011：运行；从主机内存缓冲区读取数据并将其排队到发送缓冲区（Tx FIFO） - 3’b100: TIME_STAMP 写状态 - 3’b101：保留以备将来使用 - 3’b110：暂停；发送描述符不可用或发送缓冲区下溢 - 3’b111：运行；关闭传输描述符

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
19-17	RS	接收进程状态 该字段指示接收 DMA FSM 状态。该字段不会产生中断。 - 3’b000：停止：发出复位或停止接收命令 - 3’b001：运行：获取接收传输描述符 - 3’b010：保留以备将来使用 - 3’b011：运行：等待接收数据包 - 3’b100：暂停：接收描述符不可用 - 3’b101：运行：关闭接收描述符 - 3’b110: TIME_STAMP 写状态 - 3’b111：运行：将接收包数据从接收缓冲区传输到主机内存
16	NIS	正常中断总状态为 当相应的中断位在寄存器 7（中断启用寄存器）中启用时，正常中断摘要位值是以下位的逻辑或：- 寄存器 5[0]：发送中断 - 寄存器 5[2]：发送缓冲区不可用 - 寄存器 5[6]：接收中断 - 寄存器 5[14]：早期接收中断只有未屏蔽位（在寄存器 7 中设置了中断允许的中断）影响正常中断摘要位。这是一个粘性位，每次清除导致 NIS 置位的相应位时都必须清除（通过向该位写入 1）。
15	AIS	异常中断总结 在寄存器 7（中断启用寄存器）中启用相应的中断位时，异常中断摘要位值是以下各项的逻辑或：- 寄存器 5[1]：发送过程停止 - 寄存器 5[3]：发送 Jabber 超时 - 寄存器 5[4]：接收 FIFO 溢出 - 寄存器 5[5]：发送下溢 - 寄存器 5[7]：接收缓冲区不可用 - 寄存器 5[8]：接收过程停止 - 寄存器 5[9]：接收看门狗超时 - 寄存器 5 [10]：提前发送中断 - 寄存器 5[13]：致命总线错误只有未屏蔽的位会影响异常中断摘要位。这是一个粘性位，每次清除导致 AIS 设置的相应位时都必须清除（通过向该位写入 1）。
14	ERI	提前接收中断 该位表示 DMA 填充了数据包的第一个数据缓冲区。当软件向该位写入 1 或该寄存器的位 6 (RI) 置位（以较早发生者为准）时，该位将被清除。
13	FBI	致命总线错误中断 该位表示发生了总线错误，如位 [25:23] 中所述。设置该位后，相应的 DMA 引擎将禁用其所有总线访问。
10	ETI	提前传输中断 该位表示要传输的帧已完全传输到 MTL 传输 FIFO。
9	RWT	接收看门狗超时 置位时，该位表示接收看门狗定时器在接收当前帧时超时，当前帧在看门狗超时后被截断。
8	RPS	接收进程停止 当接收进程进入停止状态时，该位被置位。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
7	RU	接收缓冲区不可用 该位表示主机拥有接收列表中的下一个描述符并且 DMA 无法获取它。接收进程暂停。要恢复处理接收描述符，主机应更改描述符的所有权并发出接收轮询请求命令。如果没有发出 Receive Poll Demand，接收过程会在接收到下一个识别的传入帧时恢复。仅当 DMA 拥有前一个接收描述符时，才会设置该位。
6	RI	接收中断 该位表示帧接收完成。当接收完成时，RDES1（Disable Interrupt on Completion）的 Bit 31 在最后一个 Descriptor 中被复位，并在 descriptor 中更新特定的帧状态信息。接收保持在运行状态。
5	UNF	传输下溢 该位表示传输缓冲区在帧传输期间发生了下溢。传输暂停并设置下溢错误 TDES0[1]。
4	OVF	接收溢出 该位表示接收缓冲区在帧接收期间发生溢出。如果将部分帧传输到应用程序，则在 RDES0[11] 中设置溢出状态。
3	TJT	传输 Jabber 超时 该位表示传输 Jabber 计时器到期，当帧大小超过 2,048（启用巨型帧时为 10,240 字节）时会发生这种情况。当 Jabber Timeout 发生时，传输过程中止并置于 Stopped 状态。这会导致发送 Jabber 超时 TDES0[14] 标志置为有效。
2	TU	发送缓冲区不可用 该位表示主机拥有发送列表中的下一个描述符并且 DMA 无法获取它。传输暂停。位 [22:20] 解释了传输过程状态转换。要恢复处理传输描述符，主机应通过设置 TDES0[31] 更改描述符的所有权，然后发出传输轮询请求命令。
1	TPS	传输过程停止 该位在传输停止时置位。
0	TI	传输中断 该位表示帧传输完成。当传输完成时，TDES0 的第 31 位（OWN）被复位，并在描述符中更新特定的帧状态信息。

DMA_STATUS 位域

60.5.74 DMA_OP_MODE (0x1018)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD			DT	RSVD		RSF	DFF	RFA_2	RFD_2	TSF	FTF	RSVD			TTC			ST	RFD		RFA		EFC	FEF	FUF	DGF	RTC		OSF	SR	RSVD
N/A			RW	N/A		RW	RW	RW	RW	RW	RW	N/A			RW			RW	RW		RW		RW	RW	RW	RW	RW		RW	RW	N/A
x	x	x	0	x	x	0	0	0	0	0	0	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

DMA_OP_MODE [31:0]

位域	名称	描述
28	DT	禁止丢弃 TCP/IP 校验和错误帧 设置此位时，MAC 不会丢弃仅具有接收校验和卸载引擎检测到的错误的帧。此类帧在 MAC 接收到的以太网帧中没有任何错误（包括 FCS 错误），而仅在封装的有效载荷中存在错误。当该位复位时，如果 FEF 位复位，则所有错误帧都将被丢弃。如果 IPC 完整校验和卸载引擎（类型 2）被禁用，则该位被保留（RO 值为 1'b0）。
25	RSF	接收存储转发 当该位置位时，MTL 仅在完整的帧写入后才从 Rx FIFO 读取帧，忽略 RTC 位。当该位复位时，Rx FIFO 在直通模式下运行，受 RTC 位指定的阈值限制。
24	DFF	禁用接收帧的刷新 当该位被设置时，由于接收描述符或缓冲区不可用，Rx DMA 不会像在该位被复位时通常那样刷新任何帧。（请参阅第 83 页上的“接收过程暂停”。）
23	RFA_2	激活流量控制的阈值的 MSB 如果 DWC_gmac 配置为 8 KB 或更大的 Rx FIFO 大小，则该位（设置时）提供额外的阈值级别，用于在半双工和全双工模式下激活流量控制。该位（作为最高有效位）与 RFA（位 [10:9]）一起给出了以下用于激活流量控制的阈值： - 100：满减 5 KB，即 FULL —5 KB - 101：满减 6 KB，即 FULL —6 KB - 110：满减 7 KB，即 FULL —7 KB - 111：保留如果 Rx FIFO 的深度为 4 KB 或更小，则此位是保留的（和 RO）。
22	RFD_2	停用流量控制的阈值的 MSB 如果 DWC_gmac 配置为 8 KB 或更大的 Rx FIFO 大小，则该位（设置时）提供额外的阈值级别，用于在半双工和全双工模式下停用流量控制。该位（作为最高有效位）与 RFD（位 [12:11]）一起给出了以下用于停用流量控制的阈值： - 100：满减 5 KB，即 FULL —5 KB - 101：满减 6 KB，即 FULL —6 KB - 110：满减 7 KB，即 FULL —7 KB - 111：保留如果 Rx FIFO 的深度为 4 KB 或更小，则此位是保留的（和 RO）

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
21	TSF	传输存储和转发 当该位被设置时，当一个完整的帧驻留在 MTL 发送 FIFO 中时，发送开始。设置该位时，位 [16:14] 中指定的 TTC 值将被忽略。只有在传输停止时才应更改此位。
20	FTF	刷新发送 FIFO 当该位被设置时，发送 FIFO 控制器逻辑被重置为其默认值，因此 Tx FIFO 中的所有数据都将丢失或刷新。当刷新操作完成时，该位在内部清零。在该位清零之前，不应写入操作模式寄存器。MAC 发送器已经接受的数据不会被刷新。它被安排传输并导致下溢和残帧传输。
16-14	TTC	传输阈值控制 这些位控制 MTL 发送 FIFO 的阈值电平。当 MTL Transmit FIFO 内的帧大小大于阈值时，传输开始。此外，还传输长度小于阈值的全帧。这些位仅在位 21 (TSF) 复位时使用。 - 000：64 - 001：128 - 010：192 - 011：256 - 100：40 - 101：32 - 110：24 - 111: 16
13	ST	开始或停止传输命令 当该位被设置时，传输被置于运行状态，DMA 检查当前位置的传输列表是否有要传输的帧。可以从列表中的当前位置（即寄存器 4（发送描述符列表地址寄存器）设置的发送列表基地址）或从先前停止传输时保留的位置尝试获取描述符。如果 DMA 不拥有当前描述符，则传输进入暂停状态并且寄存器 5（状态寄存器）的位 2（传输缓冲区不可用）被设置。开始传输命令仅在传输停止时有效。如果在设置寄存器 4（发送描述符列表地址寄存器）之前发出命令，则 DMA 行为是不可预测的。当该位复位时，在完成当前帧的传输后，传输过程被置于停止状态。传输列表中的下一个描述符位置被保存，并在传输重新开始时成为当前位置。要更改列表地址，您需要在该位复位时使用新值对寄存器 4（发送描述符列表地址寄存器）进行编程。再次设置该位时会考虑新值。停止传输命令只有在当前帧传输完成或传输处于暂停状态时才有效。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
12-11	RFD	停用流控制的阈值（在半双工和全双工模式下）这些位控制阈值（Rx FIFO 的填充级别），在该阈值处，流控制在激活后被取消断言。 - 00：满减 1 KB，即 FULL —1 KB - 01：满减 2 KB，即 FULL —2 KB - 10：满减 3 KB，即 FULL —3 KB - 11：Full - 4 KB，即 FULL —4 KB 只有流量控制被声明后，de-assertion 才有效。如果 Rx FIFO 为 8 KB 或更大，则额外的位 (RFD_2) 用于更多阈值级别，如位 22 中所述。当 Rx FIFO 深度小于 4 KB 时，这些位被保留且只读。
10-9	RFA	激活流量控制的阈值（在半双工和全双工模式下）这些位控制激活流量控制的阈值（Rx FIFO 的填充水平）。 - 00：满减 1KB，即 FULL—1KB。 - 01：满减 2KB，即 FULL—2KB。 - 10：满减 3KB，即 FULL—3KB。 - 11：满减 4KB，即 FULL—4KB。这些值仅适用于 4 KB 或更大的 Rx FIFO，并且当位 8 (EFC) 设置为高电平时。如果 Rx FIFO 为 8 KB 或更大，则额外的位 (RFA_2) 用于更多阈值级别，如位 23 中所述。当 Rx FIFO 的深度小于 4 KB 时，这些位被保留且只读。注意：当 FIFO 大小正好为 4 KB 时，尽管 DWC_gmac 允许您将这些位的值编程为 11，但软件不应将这些位编程为 2’b11。值 2’b11 表示在 FIFO 空情况下的流量控制
8	EFC	启用硬件流控制 当该位被设置时，基于 Rx FIFO 的填充水平的流量控制信号操作被启用。复位时，流量控制操作被禁用。当 Rx FIFO 小于 4 KB 时，不使用该位（保留并始终复位）

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
7	FEF	转发错误帧 当该位复位时，Rx FIFO 丢弃具有错误状态（CRC 错误、冲突错误、GMII_ER、巨型帧、看门狗超时或溢出）的帧。但是，如果帧的起始字节（写）指针已经传输到读控制器端（在阈值模式下），则该帧不会被丢弃。在 GMAC-MTL 配置中，在内核配置期间也启用了帧长度 FIFO，如果该帧的起始字节未在 ARI 总线上传输（输出），则 Rx FIFO 会丢弃错误帧。当 FEF 位被设置时，除矮帧错误帧之外的所有帧都被转发到 DMA。如果位 25 (RSF) 被设置并且在写入部分帧时 Rx FIFO 溢出，则无论 FEF 位设置如何，该帧都会被丢弃。但是，如果在写入部分帧时 Bit 25 (RSF) 被重置并且 Rx FIFO 溢出，则部分帧可能会被转发到 DMA。注意：当 FEF 位复位时，如果巨帧状态在以下配置中在 Rx 状态（表 8-6 或表 8-23）中给出：- IP 校验和引擎（类型 1）和未选择完整校验和卸载引擎（类型 2）。- 未选择高级时间戳功能，但选择了扩展状态。扩展状态具有以下功能：- GMAC-CORE 或 GMAC-MTL 配置中的 L3-L4 过滤器 - GMAC-DMA、GMAC-AHB 或 GMAC 中具有增强描述符格式的完整校验和卸载引擎（类型 2）- AXI 配置。
6	FUF	转发过小的好帧 设置后，Rx FIFO 转发尺寸过小的帧（即没有错误且长度小于 64 字节的帧），包括填充字节和 CRC。复位时，Rx FIFO 丢弃所有小于 64 字节的帧，除非由于接收阈值较低，例如 RTC = 01，帧已经传输
5	DGF	丢弃巨型帧 当设置时，MAC 丢弃接收到的巨帧在 Rx FIFO 中，即大于计算巨帧限制的帧。复位时，MAC 不会丢弃 Rx FIFO 中的巨帧。注意：该位在以下配置中可用，其中在 Rx 状态中不提供巨帧状态并且默认情况下不丢弃巨帧：- 在 Rx 中选择 IP 校验和卸载（类型 1）的配置 - 其中的配置 IPC 完整校验和卸载引擎（类型 2）在具有正常描述符格式的 Rx 中选择 - 选择高级时间戳功能的配置在所有其他配置中，不使用该位（保留并始终重置）
4-3	RTC	接收阈值控制 这两位控制 MTL 接收 FIFO 的阈值电平。当 MTL 接收 FIFO 内的帧大小大于阈值时，开始向 DMA 传输（请求）。此外，长度小于阈值的全帧会自动传输。如果配置的接收 FIFO 大小为 128 字节，则 11 的值不适用。这些位仅在 RSF 位为零时有效，当 RSF 位设置为 1 时被忽略。 - 00: 64 - 01:32 - 10: 96 - 11: 128

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
2	OSF	在第二帧上操作 当该位被设置时，它指示 DMA 甚至在获得第一帧的状态之前处理传输数据的第二帧。
1	SR	开始或停止接收 当该位被设置时，接收进程被置于运行状态。DMA 尝试从接收列表中获取描述符并处理传入的帧。从列表中的当前位置尝试获取描述符，该位置是由寄存器 3（接收描述符列表地址寄存器）设置的地址或接收进程先前停止时保留的位置。如果 DMA 不拥有该描述符，则接收被挂起并设置寄存器 5（状态寄存器）的位 7（接收缓冲区不可用）。开始接收命令仅在接收停止时有效。如果在设置寄存器 3（接收描述符列表地址寄存器）之前发出命令，则 DMA 行为是不可预测的。当该位清零时，Rx DMA 操作在当前帧传输后停止。Receive 列表中的下一个描述符位置被保存，并在 Receive 进程重新启动后成为当前位置。Stop Receive 命令仅在 Receive 进程处于 Running（等待接收数据包）或 Suspended 状态时有效。

DMA_OP_MODE 位域

60.5.75 DMA_INTR_EN (0x101C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD															NIE	AIE	ERE	FBE	RSVD		ETE	RWE	RSE	RUE	RIE	UNE	OVE	TJE	TUE	TSE	TIE
N/A															RW	RW	RW	RW	N/A		RW	RW	RW	RW	RW	RW	RW	RW	RW	RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	x	x	0	0	0	0	0	0	0	0	0	0	0

DMA_INTR_EN [31:0]

位域	名称	描述
16	NIE	正常中断摘要使能 当该位被设置时，正常的中断汇总使能。当该位复位时，正常中断汇总被禁用。该位允许寄存器 5（状态寄存器）中的以下中断：- 寄存器 5[0]：发送中断 - 寄存器 5[2]：发送缓冲区不可用 - 寄存器 5[6]：接收中断 - 寄存器 5[14]：提前接收中断
15	AIE	异常中断摘要使能 当该位置位时，异常中断汇总使能。当该位复位时，异常中断汇总被禁用。该位允许寄存器 5（状态寄存器）中的以下中断：- 寄存器 5[1]：发送过程停止 - 寄存器 5[3]：发送 Jabber 超时 - 寄存器 5[4]：接收溢出 - 寄存器 5[5]：发送下溢 - 寄存器 5[7]：接收缓冲区不可用 - 寄存器 5[8]：接收过程停止 - 寄存器 5[9]：接收看门狗超时 - 寄存器 5[10]：提前发送中断 - 寄存器 5[13]：致命总线错误

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
14	ERE	早期接收中断使能 当该位被设置为正常中断汇总使能（位 16）时，早期接收中断被使能。当该位复位时，早期接收中断被禁用。
13	FBE	致命总线错误启用 当该位被设置为异常中断摘要启用（位 15）时，致命总线错误中断被启用。当该位复位时，致命总线错误启用中断被禁用。
10	ETE	提前发送中断使能 当该位被设置为异常中断摘要使能（位 15）时，提前发送中断被使能。当该位复位时，提前发送中断被禁用
9	RWE	接收看门狗超时使能 当该位被设置为异常中断摘要使能（位 15）时，接收看门狗超时中断被使能。当该位复位时，接收看门狗超时中断被禁用。
8	RSE	接收停止启用 当该位被设置为异常中断摘要使能（位 15）时，接收停止中断被使能。当该位复位时，接收停止中断被禁用。
7	RUE	接收缓冲区不可用使能 当该位被设置为异常中断摘要使能（位 15）时，接收缓冲区不可用中断被使能。当该位复位时，接收缓冲区不可用中断被禁用。
6	RIE	接收中断使能 当该位被设置为正常中断汇总使能（位 16）时，接收中断被使能。当该位复位时，接收中断被禁用。
5	UNE	下溢中断使能 当该位被设置为异常中断摘要使能（位 15）时，发送下溢中断被使能。当该位复位时，下溢中断被禁用。
4	OVE	溢出中断使能 当该位被设置为异常中断摘要使能（位 15）时，接收溢出中断被使能。当该位复位时，溢出中断被禁用。
3	TJE	传输 Jabber 超时启用 当该位被设置为异常中断摘要启用（位 15）时，发送 Jabber 超时中断被启用。当该位复位时，发送 Jabber 超时中断被禁用。
2	TUE	发送缓冲区不可用使能 当该位被设置为正常中断摘要启用（位 16）时，发送缓冲区不可用中断被启用。当该位复位时，发送缓冲区不可用中断被禁用
1	TSE	传输停止使能 当该位被设置为异常中断摘要使能（位 15）时，传输停止中断被使能。当该位复位时，传输停止中断被禁用。
0	TIE	传输中断使能 当该位被设置为正常中断摘要启用（位 16）时，发送中断被启用。当该位复位时，发送中断被禁用。

DMA_INTR_EN 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

60.5.76 DMA_MISS_OVF_CNT (0x1020)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD			ONFCNTOVF	OVFFRMCNT											MISCNTOVF	MISFRMCNT															
N/A			RW	RW											RW	RW															
x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DMA_MISS_OVF_CNT [31:0]

位域	名称	描述
28	ONFCNTOVF	FIFO 溢出计数器的溢出位 每次溢出帧计数器 (Bits[27:17]) 溢出时都会设置该位，即 Rx FIFO 溢出时溢出帧计数器为最大值。在这种情况下，溢出帧计数器被重置为全零，该位表示发生了翻转。
27-17	OVFFRMCNT	溢出帧计数器 该字段指示应用程序丢失的帧数。每次 MTL FIFO 溢出时，该计数器都会增加。当使用 1’b1 处的 mci_be_i[2] 读取该寄存器时，计数器被清零。
16	MISCNTOVF	丢失帧计数器的溢出位 每次丢失帧计数器 (Bits[15:0]) 溢出时都会设置该位，也就是说，由于主机接收缓冲区不可用且丢失帧计数器处于最大值，因此 DMA 丢弃传入帧。在这种情况下，丢失帧计数器将重置为全零，该位表示发生了翻转。
15-0	MISFRMCNT	丢帧计数器 该字段表示由于主机接收缓冲区不可用而被控制器丢失的帧数。每次 DMA 丢弃传入帧时，该计数器都会递增。当使用 1’b1 处的 mci_be_i[0] 读取该寄存器时，计数器被清零。

DMA_MISS_OVF_CNT 位域

60.5.77 DMA_RX_INTR_WDOG (0x1024)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																								RIWT							
N/A																								RW							
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0

DMA_RX_INTR_WDOG [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
7-0	RIWT	RI 看门狗定时器计数 该位表示设置看门狗定时器的系统时钟周期数乘以 256。在 Rx DMA 完成传输一个帧后，看门狗定时器被编程的值触发，该帧的 RI 状态位未设置，因为相应描述符 RDES1[31] 中的设置。当看门狗定时器用完时，RI 位被置位，定时器停止。由于根据任何接收帧的 RDES1[31] 自动设置 RI，当 RI 位设置为高电平时，看门狗定时器会重置。

DMA_RX_INTR_WDOG 位域

60.5.78 DMA_AXI_MODE (0x1028)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EN_LPI	LPI_XIT_FRM	RSVD						WR_OSR_LMT				RD_OSR_LMT				RSVD		ONEKBBE	AXI_AAL	RSVD				BLEN256	BLEN128	BLEN64	BLEN32	BLEN16	BLEN8	BLEN4	UNDEF
RW	RW	N/A						RW				RW				N/A		RW	RW	N/A				RW	RW	RW	RW	RW	RW	RW	RW
0	0	x	x	x	x	x	x	0	0	0	0	0	0	0	0	x	x	0	0	x	x	x	x	0	0	0	0	0	0	0	0

DMA_AXI_MODE [31:0]

位域	名称	描述
31	EN_LPI	启用低功耗接口 (LPI) 当设置为 1 时，该位启用 GMAC-AXI 配置支持的 LPI 模式并接受来自 AXI 系统时钟控制器的 LPI 请求。当设置为 0 时，该位禁用 LPI 模式并始终拒绝来自 AXI 系统时钟控制器的 LPI 请求。” ” 解锁魔术包或远程唤醒帧 当设置为 1 时，该位使 GMAC-AXI 仅在收到幻包或远程唤醒帧时才退出 LPI 模式。当设置为 0 时，该位使 GMAC-AXI 在接收到任何帧时退出 LPI 模式。
30	LPI_XIT_FRM	解锁唤醒包或远程唤醒帧 当设置为 1 时，该位使 GMAC-AXI 仅在收到幻包或远程唤醒帧时才退出 LPI 模式。当设置为 0 时，该位使 GMAC-AXI 在接收到任何帧时退出 LPI 模式。
23-20	WR_OSR_LMT	AXI 最大写入未完成请求限制 该值限制了 AXI 写入接口上的最大未完成请求。最大未完成请求数 = WR_OSR_LMT+1 注意：- 如果 AXI_GM_MAX_WR_REQUESTS = 4，则保留位 22。- 如果 AXI_GM_MAX_WR_REQUESTS != 16，则保留位 23。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
19-16	RD_OSR_LMT	AXI 最大读取未完成请求限制 该值限制了 AXI 读取接口上的最大未完成请求。最大未完成请求数 = RD_OSR_LMT+1 注意：- 如果 AXI_GM_MAX_RD_REQUESTS = 4，则保留位 18。- 如果 AXI_GM_MAX_RD_REQUESTS != 16，则保留位 19。
13	ONEKBBE	GMAC-AXI Master 的 1 KB 边界交叉使能 设置后，GMAC-AXI 主设备执行不跨越 1 KB 边界的突发传输。复位时，GMAC-AXI 主设备执行不跨越 4 KB 边界的突发传输。
12	AXI_AAL	地址对齐的节拍 该位是只读位，反映寄存器 0（总线模式寄存器）的位 25 (AAL)。当该位设置为 1 时，GMAC-AXI 在读取和写入通道上执行地址对齐的突发传输
7	BLEN256	AXI 突发长度 256 当该位设置为 1 时，允许 GMAC-AXI 在 AXI 主接口上选择 256 的突发长度。该位仅在配置参数 AXI_BL 设置为 256 时出现。否则，该位保留且为只读 (RO)
6	BLEN128	AXI 突发长度 128 当该位设置为 1 时，允许 GMAC-AXI 在 AXI 主接口上选择 128 的突发长度。该位仅在配置参数 AXI_BL 设置为 128 或更多时出现。否则，该位是保留的并且是只读的 (RO)。
5	BLEN64	AXI 突发长度 64 当该位设置为 1 时，允许 GMAC-AXI 在 AXI 主接口上选择 64 的突发长度。该位仅在配置参数 AXI_BL 设置为 64 或更多时出现。否则，该位是保留的并且是只读的 (RO)。
4	BLEN32	AXI 突发长度 32 当该位设置为 1 时，允许 GMAC-AXI 在 AXI 主接口上选择 32 的突发长度。该位仅在配置参数 AXI_BL 设置为 32 或更多时出现。否则，该位是保留的并且是只读的 (RO)。
3	BLEN16	AXI 突发长度 16 当该位设置为 1 或 UNDEF 设置为 1 时，GMAC-AXI 可以在 AXI 主接口上选择突发长度为 16。
2	BLEN8	AXI 突发长度 8 当该位设置为 1 时，允许 GMAC-AXI 在 AXI 主接口上选择突发长度为 8。当 UNDEF 设置为 1 时，设置此位无效。
1	BLEN4	AXI 突发长度 4 当该位设置为 1 时，允许 GMAC-AXI 在 AXI 主接口上选择突发长度为 4。当 UNDEF 设置为 1 时，设置此位无效。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
0	UNDEF	AXI 未定义突发传输长度 该位是只读位，指示寄存器 0（总线模式寄存器）中位 16 (FB) 的补码（反相）值。- 当该位设置为 1 时，允许 GMAC-AXI 执行等于或低于位 [7:3] 中编程的最大允许突发长度的任何突发长度。- 当该位设置为 0 时，GMAC-AXI 只允许执行由 BLEN256、BLEN128、BLEN64、BLEN32、BLEN16、BLEN8 或 BLEN4 指示的固定突发长度，或突发长度为 1。如果设置了 UNDEF 并且未设置任何 BLEN 位，则允许 GMAC-AXI 执行长度为 16 的突发。

DMA_AXI_MODE 位域

60.5.79 DMA_BUS_STATUS (0x102C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																														AXIRDSTS	AXWHSTS
N/A																														RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0

DMA_BUS_STATUS [31:0]

位域	名称	描述
1	AXIRDSTS	AXI 主读通道状态 为高电平时，表示 AXI 主设备的读通道处于活动状态并正在传输数据。
0	AXWHSTS	AXI 主写通道或 AHB 主状态 当为高电平时，表示 AXI 主设备的写入通道处于活动状态，并在 GMAC-AXI 配置中传输数据。在 GMAC-AHB 配置中，表示 AHB 主接口 FSM 处于非空闲状态。

DMA_BUS_STATUS 位域

60.5.80 DMA_CURR_HOST_TX_DESC (0x1048)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CURTDESAPTR																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DMA_CURR_HOST_TX_DESC [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-0	CURTDESAPTR	主机传输描述符地址指针 复位时清除。操作期间由 DMA 更新的指针

DMA_CURR_HOST_TX_DESC 位域

60.5.81 DMA_CURR_HOST_RX_DESC (0x104C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CURRDESAPTR																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DMA_CURR_HOST_RX_DESC [31:0]

位域	名称	描述
31-0	CURRDESAPTR	主机接收描述符地址指针 复位时清除。操作期间由 DMA 更新的指针

DMA_CURR_HOST_RX_DESC 位域

60.5.82 DMA_CURR_HOST_TX_BUF (0x1050)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CURTBUFAPTR																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DMA_CURR_HOST_TX_BUF [31:0]

位域	名称	描述
31-0	CURTBUFAPTR	主机发送缓冲区地址指针 复位时清除。操作期间由 DMA 更新的指针

DMA_CURR_HOST_TX_BUF 位域

60.5.83 DMA_CURR_HOST_RX_BUF (0x1054)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CURRBUFAPTR																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DMA_CURR_HOST_RX_BUF [31:0]

位域	名称	描述
31-0	CURRBUFAPTR	主机接收缓冲区地址指针 复位时清除。操作期间由 DMA 更新的指针

DMA_CURR_HOST_RX_BUF 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

61 通用串行总线 USB

61.1 功能简介

提供 USB 通信解决方案, 完全兼容 USB2.0 协议

- 支持 OTG(可配置成主机 host 模式, 也可配置成设备 device 模式)
- 主机模式支持高速 (480Mbps), 全速 (12Mbps) 和低速 (1.5bps)
- 设备模式支持高速 (480Mbps), 全速 (12Mbps)
- 设备模式支持 8 个双向端点 (8IN + 8OUT endpoint)
- 内置片上高速 usbphy(支持全速和低速)
- 内置 DMA, 通过描述符，无需 cpu 参与即可完成 usb 与系统存储器之间的数据交互
- 主机模式软件结构完全兼容 EHCI1.0(Enhanced Host Controller Interface Specification for Universal Serial Bus) 协议
- 低功耗模式，可以关掉片上所有 PLL 的情况下, 通过片上 osc 时钟完成唤醒

61.2 管脚说明

表 264: USB 管脚说明

管脚	方向	功能描述
USB_VBUS	输入	VBUS 检测信号。
USB_ID	输入	ID 检测信号。
USB_OC	输入	过流信号。
USB_DP	双向	差分信号正端。
USB_DN	双向	差分信号负端。

61.3 工作流程

61.3.1 usbphy 初始化

退出 reset 状态：OTG_CTRL0.OTG_UTMI_RESRET_SW=0

退出 suspend 状态：OTG_CTRL0.OTG_UTMI_SUSPENDM_SW=1

检测 usbphy 时钟：PHY_STATUS.UTMI_CLK_VALID=1

等待 usbphy 时钟稳定：while(PHY_STATUS.UTMI_CLK_VALID==1)

61.3.2 配置工作模式

系统上电后 USB 模块处于 OTG 模式, 如需改变模式，先进行 usb reset(USBCMD.RST=1).

用户可以根据需求配置成主机或者设备模式.

也可以保持 OTG 模式, 根据外部连接情况进行配置.

如果是 micro-AB 接口, 保持 ID 为高 (通过 gpio 配置上拉), 保持 VBUS 为低

- 检测到 ID 变低, 说明有设备接入 (也可能有 otg 线插入)，设置成主机模式 (USBMODE.CM=3)
- 检测到 VBUS 变高，说明有主机接入，设置成设备模式 (USBMODE.CM=2)

如果是 typeC 接口, 请参考 typeC 协议设置主机或设备模式

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

61.3.3 主机初始化流程

打开 VBUS(一般通过 gpio 控制板子上的供电芯片).

打开端口：PORTSC1.PP=1

等待设备连接，在收到端口变化中断 (USBSTS.PCI) 后, 检查端口连接状态 (PORTSC1.CCS),1 表示有设备连接

检查 linestate：PHY_STATUS.LINE_STATE

为 2，表示接入的是低速设备，需要使用串行模式 (设置 PORTSC1.STS=1)

为 1，表示接入的是全速或者高速设备，使用并行模式 (设置 PORTSC1.STS=0)

启动 USB：USBCMD.RS=1

reset 设备：PORTSC1.PR=1

等待 bus reset 结束：while(PORTSC1.PR==1), 这个时间大概在 55ms 左右，期间会收到端口变化的中断 (USBSTS.PCI)

确定设备连接速度：PORTSC1.PSPD

枚举设备 (具体流程参考 EHCI 协议)

61.3.4 设备初始化流程

设置并行模式 (设备模式不支持低速, 可以全部工作在并行模式) ：PORTSC1.STS=0

准备好端点 0 的接收描述符, 并将其地址写入 ENDPTLISTADDR.

等待 VBUS(OTGSC.AVV) 为 1.

启动 USB：USBCMD.RS=1

等待主机发送 bus reset(USBSTS.URI)

等待端口变化中断 USBSTS.PCI.

确定主机连接速度：PORTSC1.PSPD

等待主机发起枚举并响应.

61.4 数据结构

61.4.1 主机数据结构

为方便软件开发，主机数据结构完全兼容 EHCI1.0 协议，具体请参考协议.

这里简单介绍一下 BULK/CTRL 传输使用的异步队列, 所有图片来源于 EHCI 协议

异步队列是一个循环链表，如图 99所示，链表中每一项 (也叫 qhead) 对应一个端点 (EP, endpoint), 一个主机可以连接多个设备，一个设备可以有多个端点.

硬件会轮询这个链表，看是否有需要传输的数据. 其中一个 qhead 会标记 H 为 1，表示链表头，当硬件两次轮询到链表头之间，没有数据传输时，会停止轮询。软件在初始化时需将链表头的地址写入 ASYNCLISTADDR 寄存器，硬件会在轮询过程中实时更新 ASYNCLISTADDR 为当前正在执行的 qhead 地址每个 qhead 可以链接 0 到多个 qTD，qTD 用于传输数据，包含数据包地址，传输状态，以及下一个 qTD 地址。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

图 99: 异步队列示意图

qhead 结构如图 100所示,

图 100: qhead 示意图

简单介绍下 BULK/CTRL 传输需要用到的部分，未介绍的详见 EHCI 协议。

qhead 的字节 0x10 及之后部分，也叫 Transfer Overlay，硬件会把当前传输的 qTD 写到 qhead 的这部分空间，在当前 qTD 传输完成前，在 qhead 里更新状态，传输完成后回写到 qTD

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

字节	位	描述
0x00	31:5	Queue Head Horizontal Link Pointer 表示下一个 qhead 地址，qhead 数据结构必须 32byte 对齐，如果当前应用中只有一个设备的一个端点，这个地址可以指向 qhead 本身。
0x00	2:1	Typ 是 qhead 类型，BULK 和 CTRL 传输需要设成 01。
0x00	0	T 是 Terminate 的简称，设 1 表示当前地址无效，对于 BULK/CTRL 的 qhead，Queue Head Horizontal Link Pointer 的 T 需要为 0。
0x04	31:28	RL 设 0
0x04	27	C 表示 CTRL 端点，当 qhead.EPS 为高速设备且当前端点是 CTRL 端点时，需要设 1，其他情况设 0
0x04	26:16	Maximum Packet Length, 当前端点最大数据包长度，主机枚举过程中可以在设备获得，未获得之前可以设成 8
0x04	15	H 表示当前 qehad 是链表中第一个，整个 qhead 链表中有且仅有一个 qehad 需要设 H=1
0x04	14	dtc，data toggle control，设 1 表示用 qtd 的 DT 位作为当前传输的 data toggle 位；0 表示由硬件维护 data toggle；在 CTRL 传输时，data toggle 有些特殊需要用到 (详见 usb2 协议 8.5.3)
0x04	13:12	EPS, 表示端点速度，全速 00，低速 01，高速 10，11 为 reserved
0x04	11:8	EndPt, 表示当前 qhead 对应的端点号
0x04	7	I 是同步队列需要用的，对于 BULK/CTRL 传输设 0
0x04	6:0	DeviceAddress 表示当前 qhead 对应的设备地址
0x08	31:0	用于同步传输以及 hub 相关，简单应用时设 0
0x0C	31:5	Current qTD Pointer, 硬件用于维护当前传输的 qTD 地址，软件初始化时设 0
0x10	31:5	Next qTD Pointer，表示下一个 qTD 地址
0x10	0	T 是 Terminate 的简称，设 0 表示当前地址有效, 软件初始化 qhead 时，如果没有需要传输的数据，需要设 T 为 1
0x14	31:0	简单应用设 1 即可 (或者 T=1，其他部分随意, 比如 0xbadbadff)
0x18	31	dt，data toggle，当 qhead.dtc 为 1 时，硬件用这一位作为当前传输的起始 data toggle，简单应用时仅用于 CTRL 传输
0x18	30:16	Total Bytes Transfer，当前 dTD 需要传输的数据长度，最大支持 20Kbyte，建议最大 16Kbyte。 对于 OUT，软件初始化为需要发送的数据，硬件在每传输一个数据包 (长度为 Maximum Packet Length, 最后一个数据包除外) 后递减，当传输完成后应当为 0； 对于 IN，软件初始化为接收空间的大小，硬件在每传输一个数据包后更新这个值，当为 0 或者收到 short packet(数据包长度小于 Maximum Packet Length) 后当前 qTD 传输完成，结果可能不为 0
0x18	15	ioc，Interrup On Complete，设 1 表示当前 qTD 传输完成后置位 USBSTS.UI，用于产生中断，对于多 qTD 的传输，软件可以仅置位最后一个 qTD 的 ioc 位，这样可以减少中断次数提高传输效率

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

字节	位	描述
0x18	14:12	CPage，数据 buffer 的指针，软件需要初始化为 0，硬件会实时更新，表示当前数据在哪个 buffer(有效值为 0 到 4，对应 qTD 中 Buffer Pointer Page 0 到 4)
0x18	11:10	Cerr，传输错误计数器，软件需初始化为 3，每次传输错误会减一，到 0 后当前 qTD 会结束并置位 USBSTS.UEI, 用于产生出错中断
0x18	9:8	PID Code，当前 qtd 传输的 PID，有效值为：OUT-00，IN-01，SETUP-10
0x18	7:0	Status，用于表示当前 qTD 状态，软件需要初始化成 0x80. bit7：Active，用于表示当前 qTD 是否有效，硬件仅在 Active=1 时会认为有效而进行传输，当传输完成后会将 Active 清零； bit6：Halt，当硬件碰到严重错误 (babble，Cerr 计数到 0，收到 STALL) 时，硬件将 Halt 置 1，同时将 Active 清零； bit5：Data Buffer Error，当发生 overrun 或者 underrun 时会置 1； bit4：Babble，硬件检测到 babble(USB2 协议,8.7.4) 情况时置 1； bit3：XactErr，表示发生传输错误，具体错误类型详见 EHCI 协议 4.15.1.1； bit2:0 在简单应用时可忽略。
0x1C	31:12	Buffer Pointer (Page 0)，数据包起始地址，由 buffer0 和 current offset 指定，硬件在传输完 buffer0 的数据后，会切换地址到 buffer1 开始传输，5 个 buffer 可以是连续地址也可以不连续，只需要 4Kbyte 对齐即可
0x1C	11:0	Current Offset，软件初始化为数据包在 buffer0 的起始偏移量，硬件传输过程中会实时更新为当前 buffer(由 cpage 指定) 的偏移量，表示已经传输了多少数据
0x20 至 0x2F	31:12	qhead 余下部分，简单应用时只需配置数据 buffer pointer 地址即可 (page1,2,3,4)

表 265: qhead 结构

qtd 结构如图 101所示, 内容和 qhead overlay 部分相同，软件在需要传输数据时，需要初始化好一个或多个 qtd，将第一个 qtd 地址写到 qhead.Next qTD Pointer 即可。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

图 101: qtd 示意图

61.4.2 设备数据结构

设备数据结构指软件在存储空间中分配的一段空间，由以下几个部分组成：

- dqhlist，存储所有 dqh，每个端点对应两个 dqh(IN 和 OUT)，每个 dqh 占用 64-byte，dqhlist 的起始地址必须 2Kbyte 对齐。
- dqh，用于配置该端点参数，包含最大数据包长度，当前以及下一个传输描述符地址，同时会保存当前传输描述符内容，如图 103所示。详细信息如表 266所示。
- dtd，传输描述符，用于传输数据，保护数据长度，起始地址，状态等信息, 如图 104所示

如图 102所示，寄存器的 ENDPTLISTADDR，指向 dqhlist 的起始地址。软件需要在启动 USB(USBCMD.RS=1) 前准备好至少端点 0 的接收 dqh(EP0 的 OUT dqh，位于 dqhlist 起始地址)，用于接收主机发送的枚举信息中第一个 SETUP 数据包，之后根据接收到的数据，准备相应端点的 dqh 以及 dtd。

这里以接收枚举的第一个 SETUP 数据包为例，简单介绍软件流程：

- 给 dqhlist 准备一块 2Kbyte 对齐的空间，起始地址写入 ENDPTLISTADDR，大小为设备所需最大端点号乘 128byte。比如一个 mass storage 设备，除端点 0 外还需要端点 1 作为 IN，端点 2 和端点 3 作为 OUT，那么 dqhlist 需要 4*128=512byte; 极端情况某设备仅需要端点 7 作为 IN，那么 dqhlist 需要 8*128=1Kbyte；
- 准备端点 0 的接收 dqh(地址位于 dqhlist+0x00)，Maximum Packet Length 设置成本设备支持的最大数据包长度，一般低速为 8，全速或高速为 64；ios 设 1 用于收到 SETUP 后产生中断；T=1；Status=0；其他部分随意；
- 准备端点 0 的发送 dqh(地址位于 dqhlist+0x40)，Maximum Packet Length 设置成本设备支持的最大数据包长度，Status=0, 其他部分随意；
- 设置 USBINTR.UI=1, 等待中断；
- 收到 UI 中断后，SETUP 数据包的 8byte 内容会存放在端点 0 接收 dqh 的 Setup Buffer 中，根据 SETUP 内容准备响应；

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

- 假设收到的是 GET DESC，需要准备设备信息返回给主机，软件需要准备一个 IN dtd 返回数据，以及一个 0byte 的 OUT dtd 作为 Status 阶段的结束。
- 对于 IN dtd，T=1；TotalBytes 为设备信息字节数；Status=0x80；数据起始地址写入 buffer0 以及 Current Offset，如需要 (设备信息的内容跨 4K 地址) 可以准备 buffer1，其他部分为 0；
- 对于 OUT dtd，T=1，TotalBytes=0，Status=0x80，ioc=1，其他为 0；
- 将 IN dtd 地址写入端点 0 IN dqh 的 Next dTD Pointer 并清零 T，设置 ENDPTPRIME 的 bit16，等待 bit16 被硬件自动清零 (此时硬件会从 IN0 dqh 中读取相应内容，将需要发送的数据读入内部存储空间，结束后会清零 ENDPTPRIME 的对应 bit); 以上内容称为 PRIME EP0 IN。
- 同样做法，PRIME EP0 OUT
- 等待中断；如果正常完成，应该是收到 EP0 的 OUT 中断，因为以上流程中设置了 OUT dtd 的 ioc，没有设置 IN 的 ioc。

图 102: dqhlist 示意图

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	09	08	07	06	05	04	03	02	01	00	word
mult		zlt	0		max_packet_size											ios	0															03-00h
cur_dtd_addr																								0								07-04h
nxt_dtd_addr																								0							T	0B-08h
0	total_bytes															ioc	c_page			multo		0	status									0F-0Ch
buffer(page 0)																				current_offset												13-10h
buffer(page 1)																				reserved												17-14h
buffer(page 2)																				reserved												1B-18h
buffer(page 3)																				reserved												1F-1Ch
buffer(page 4)																				reserved												23-20h
reserved																																27-24h
setup buffer bytes 3..0																																2B-28h
setup buffer bytes 7..4																																2F-2Ch

图 103: dqh 示意图

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

图 104: dtd 示意图

类似于主机 qhea 的 overlay 部分，设备 dtd 也会被硬件全部复制到 dqh 中再进行传输，所以 dqh 中一部分 (0x08 至 0x23) 和 dtd 完全一致。

设备数据结构 dqh 详解如下：

字节	位	描述
0x00	31:30	mult, ISO 端点，必须设置成 1/2/3，表示每个 dTD 可以传输多少数据包 非 ISO 端点，必须设置为 0。
0x00	29	zlt, 设 1 表示，当传输长度是最大数据包长度的整数倍时，最后加一个 0 长度数据包作为传输结束标志。仅用于非 ISO 端点
0x00	26：16	max_packet_size，端点的最大数据包长度。
0x00	15	ios, interrupt on setup, 设 1 表示，当 CTRL 端点收到 SETUP 数据包后会将 USBSTS.UI 置位.CTRL 端点的 dqh 需要设置此位
0x04	31:5	cur_dtd_addr, 当前 dqh 中正在传输的 dtd 物理地址，32 字节对齐。端点 prime 时，或者当一个 dtd 传输完成后，硬件会把 nxt_dtd_addr 复制到当前位置
0x08	31:5	nxt_dtd_addr, 下一个将要处理的 dtd 物理地址，32 字节对齐
0x08	0	T(Terminate), 表示 nxt_dtd_addr 地址是否有效,0 表示有效,1 表示当前 dtd 是最后一个，队列中没有下一个有效 dtd
0x0C	30:16	total_bytes, 表示当前 dtd 需要传输的长度。 对于 IN，表示需要传给主机的数据包长度； 对于 OUT，表示可以从主机接收的长度，实际接收的长度可能小于这个值.
0x0C	15	ioc，Interrup On Complete，设 1 表示，当前 dtd 传输完成后，会将 USBSTS.UI 置位
0x0C	14:12	CPage，当前 buffer，软件需要初始化成 0，硬件会在传输过程中实时更新
0x0C	11:10	multo，用于 dtd 覆盖 dqh 的 mult 部分. 例如，dqh.mult=3, max_packet_size=,512. 当需要传输 1023byte 数据时，软件需要将 dtd.multo 设成 2，这样会传输 2 个数据包：512+511； 如果软件不设置 multo(为 0 的话)，会传输 3 个数据包：512+511+0.

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

字节	位	描述
0x0C	7:0	Status，用于表示当前 dtd 状态，软件需要初始化成 0x80. bit7: Active, 表示当前 dtd 有效, 软件需要在准备 dtd 的时候将这个位设 1, 硬件在完成传输后会将这个位清零. Bit6: Halted. 表示当前端点发生处于 Halt 状态 bit5: data buffer error. 表示 buffer underrun(IN) 或者 overrun(OUT) bit3: transaction error. 表示数据传输有错误 bit2:0 在简单应用时可忽略。
0x10	31:12	Buffer Pointer (Page 0)，每个 dtd 有 5 个 buffer, 每个 4Kbyte, 可以是连续的物理地址 (buffer[n]=buffer[n-1]+0x1000, 也可以是离散的地址. Buffer page0 的起始地址由 current_offset 指定，其他 buffer 必须 4Kbyte 对齐. 最大可以传输 20Kbyte 数据, 如果起始地址不是 4Kbyte 对齐，建议不要超过 16Kbyte
0x10	11:0	Current Offset，软件初始化为数据包在 buffer0 的起始偏移量，硬件传输过程中会实时更新为当前 buffer(由 cpage 指定) 的偏移量，表示已经传输了多少数据
0x14 至 0x23	31:12	数据 buffer pointer 地址 (page1,2,3,4)
0x28 至 0x2F	31：0	setup buffer，dqh 的最后 8 字节，用于存放 SETUP 数据包，当收到 SETUP 包后，会将 8 字节 SETUP 数据存放在端点 0 的 OUT dqh 中

表 266: dqh 结构

61.5 USB 寄存器列表

USB0 base address: 0xF2020000 USB1 base address: 0xF2024000

地址偏移	名称	描述	复位值
0x0080	GPTIMER0LD	General Purpose Timer #0 Load Register	0x00000000
0x0084	GPTIMER0CTRL	General Purpose Timer #0 Controller Register	0x00000000
0x0088	GPTIMER1LD	General Purpose Timer #1 Load Register	0x00000000
0x008C	GPTIMER1CTRL	General Purpose Timer #1 Controller Register	0x00000000
0x0090	SBUSCFG	System Bus Config Register	0x00000000
0x0140	USBCMD	USB Command Register	0x00080000
0x0144	USBSTS	USB Status Register	0x00000000
0x0148	USBINTR	Interrupt Enable Register	0x00000000
0x014C	FRINDEX	USB Frame Index Register	0x00000000
0x0154	DEVICEADDR	Device Address Register	0x00000000
0x0154	PERIODICLISTBASE	Frame List Base Address Register	0x00000000
0x0158	ASYNCLISTADDR	Next Asynch. Address Register	0x00000000
0x0158	ENDPTLISTADDR	Endpoint List Address Register	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0160	BURSTSIZE	Programmable Burst Size Register	0x00000000
0x0164	TXFILLTUNING	TX FIFO Fill Tuning Register	0x00000000
0x0178	ENDPTNAK	Endpoint NAK Register	0x00000000
0x017C	ENDPTNAKEN	Endpoint NAK Enable Register	0x00000000
0x0184	PORTSC1	Port Status & Control	0x00000000
0x01A4	OTGSC	On-The-Go Status & control Register	0x00000000
0x01A8	USBMODE	USB Device Mode Register	0x00000000
0x01AC	ENDPTSETUPSTAT	Endpoint Setup Status Register	0x00000000
0x01B0	ENDPTPRIME	Endpoint Prime Register	0x00000000
0x01B4	ENDPTFLUSH	Endpoint Flush Register	0x00000000
0x01B8	ENDPTSTAT	Endpoint Status Register	0x00000000
0x01BC	ENDPTCOMPLETE	Endpoint Complete Register	0x00000000
0x01C0	ENDPTCTRL[ENDPTCTRL0]	Endpoint Control0 Register... Endpoint Control7 Register	0x00000000
0x01C4	ENDPTCTRL[ENDPTCTRL1]	Endpoint Control0 Register... Endpoint Control7 Register	0x00000000
0x01C8	ENDPTCTRL[ENDPTCTRL2]	Endpoint Control0 Register... Endpoint Control7 Register	0x00000000
0x01CC	ENDPTCTRL[ENDPTCTRL3]	Endpoint Control0 Register... Endpoint Control7 Register	0x00000000
0x01D0	ENDPTCTRL[ENDPTCTRL4]	Endpoint Control0 Register... Endpoint Control7 Register	0x00000000
0x01D4	ENDPTCTRL[ENDPTCTRL5]	Endpoint Control0 Register... Endpoint Control7 Register	0x00000000
0x01D8	ENDPTCTRL[ENDPTCTRL6]	Endpoint Control0 Register... Endpoint Control7 Register	0x00000000
0x01DC	ENDPTCTRL[ENDPTCTRL7]	Endpoint Control0 Register... Endpoint Control7 Register	0x00000000
0x0200	OTG_CTRL0		0x00000000
0x0210	PHY_CTRL0		0x00000000
0x0214	PHY_CTRL1		0x00000000
0x0220	TOP_STATUS		0x00000000
0x0224	PHY_STATUS		0x00000000

表 267: USB 寄存器列表

61.6 USB 寄存器描述

61.6.1 GPTIMER0LD (0x80)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								GPTLD																							
N/A								RW																							
x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

GPTIMER0LD [31:0]

位域	名称	描述
23-0	GPTLD	通用定时器 0 重置值 当 GPTRST 位设置为“1b”时，这些位字段加载到 GPTCNT 位。该值表示计时器持续时间的时间（微秒减 1）。 示例：对于一毫秒计时器，加载 1000-1=999 或 0x0003E7。 注：最大值为 0xFFFFFF 或 16.777215 秒。

GPTIMER0LD 位域

61.6.2 GPTIMER0CTRL (0x84)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GPTRUN	GPTRST	RSVD					GPTMODE	GPTCNT																							
RW	WO	N/A					RW	RO																							
0	0	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

GPTIMER0CTRL [31:0]

位域	名称	描述
31	GPTRUN	通用定时器 0 启动 0：计时器停止（保持原值） 1：计时器工作（倒计时） 注：GPTCNT 不会因为此位的设置或清除而变化
30	GPTRST	通用定时器 0 重置 0：无操作 1：将 GPTLD 的值加载到计时器 GPTCNT 中
24	GPTMODE	通用定时器 0 模式 0：单次模式，计时器将倒计时至零，生成中断，并停止； 1：重复模式，计时器将倒计时至零，生成中断并自动重新加载 GPTLD 位的值，继续倒计时。
23-0	GPTCNT	通用定时器 0 时间 此位表示当前通用定时器的值。

GPTIMER0CTRL 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

61.6.3 GPTIMER1LD (0x88)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								GPTLD																							
N/A								RW																							
x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

GPTIMER1LD [31:0]

位域	名称	描述
23-0	GPTLD	通用定时器 1 重置值

GPTIMER1LD 位域

61.6.4 GPTIMER1CTRL (0x8C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
GPTRUN	GPTRST	RSVD					GPTMODE	GPTCNT																							
RW	WO	N/A					RW	RO																							
0	0	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

GPTIMER1CTRL [31:0]

位域	名称	描述
31	GPTRUN	通用定时器 1 启动
30	GPTRST	通用定时器 1 重置
24	GPTMODE	通用定时器 1 模式
23-0	GPTCNT	通用定时器 1 时间

GPTIMER1CTRL 位域

61.6.5 SBUSCFG (0x90)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																														AHBBRST	
N/A																														RW	
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0

SBUSCFG [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
2-0	AHBBRST	AHB 主接口突发配置 这些位控制 AHB 主传输类型序列（或优先级）。 000-仅限未指定长度的增量突发，长度由 BURSTSIZE 寄存器决定 001-INCR4 突发，然后单次传输 010-INCR8 突发，INCR4 突发，然后单次传输 011-INCR16 突发、INCR8 突发、INCR4 突发，然后是单次传输 100-保留，不使用 101-增量突发，然后是未指定长度的增量突发 110-INCR8 突发、INCR4 突发，然后是未指定长度的增量突发 111-INCR16 突发、INCR8 突发、INCR4 突发，然后是未指定长度的增量突发

SBUSCFG 位域

61.6.6 USBCMD (0x140)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								ITC								FS_2	ATDTW	SUTW	RSVD	ASPE	RSVD	ASP		RSVD	IAA	ASE	PSE	FS_1		RST	RS
N/A								RW								RW	RW	RW	N/A	RW	N/A	RW		N/A	RW	RW	RW	RW		RW	RW
x	x	x	x	x	x	x	x	0	0	0	0	1	0	0	0	0	0	0	x	0	x	0	0	x	0	0	0	0	0	0	0

USBCMD [31:0]

位域	名称	描述
23-16	ITC	中断阈值控制 系统软件使用此字段设置主机/设备控制器发出中断的最大速率。ITC 包含以微帧为单位测量的最大中断间隔。有效值如下所示 00000000-立即（无阈值） 00000001-1 微帧 00000010-2 微帧 00000100-4 微帧 00001000-8 微帧 00010000-16 微帧 00100000-32 微帧 01000000-64 微帧

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
15	FS_2	帧列表大小。[仅主机模式] 此字段指定帧列表的大小，用于控制帧索引寄存器中的哪些位应用于帧列表当前索引。 注：该字段由 USBCMD 位 15、3 和 2 组成。 0b000-1024 个元素（4096 字节）默认值 0b001-512 个元素（2048 字节） 0b010-256 个元素（1024 字节） 0b011-128 个元素（512 字节） 0b100-64 个元素（256 字节） 0b101-32 个元素（128 字节） 0b110-16 个元素（64 字节） 0b111-8 个元素（32 字节）
14	ATDTW	添加 dTD TripWire。[仅限设备模式] 此位用作标志位，以确保将新 dTD 正确添加到活动（已启动）端点的链接列表中。该位由软件设置和清除。 当状态机是危险区域时，硬件也会清除该位，在该危险区域中，向预处理端点添加 dTD 可能无法识别。
13	SUTW	设置 TripWire。[仅限设备模式] 此位用作标志位，以确保 DCD 从 QH 中提取 8 字节的设置数据有效负载而不会损坏。 如果设置锁定模式关闭（USB 核心寄存器 USBMODE 中的 SLOM 位，请参阅 USBMODE）， 则当 DCD 从 QH 复制上一个设置数据包的设置数据有效负载时，新的设置数据到达时存在危险。该位由软件设置和清除。 当检测到危险时，硬件也会清除该位。
11	ASPE	异步计划驻车模式启用。 软件使用此位启用或禁用驻车模式。当该位为 1 时，启用驻车模式。当该位为零时，驻车模式被禁用。
9-8	ASP	异步计划驻车模式计数。 包含在继续遍历异步调度之前，允许主机控制器从异步调度上的高速队列头执行的连续事务数的计数。有效值为 1 至 3。 当驻车模式启用为 1 时，软件不得将零写入该位，因为这将导致未定义的行为。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
6	IAA	异步前进门铃中断。 此位被软件用作门铃，以告知主机控制器在下次推进异步计划时发出中断。软件必须对此位写入 1 才能按门铃。 当主机控制器退出所有适当的缓存调度状态时，它会在 USBSTS 寄存器中设置异步前进状态位上的中断。 如果 USBINTR 寄存器中的同步提前启用中断位为 1，则主机控制器将在下一个中断阈值断言中断。 主机控制器将 USBSTS 寄存器中的中断同步高级状态位设置为 1 后，将该位设置为 0。 当异步计划处于非活动状态时，软件不应向该位写入 1。这样做将产生未定义的结果。 此位仅在主机模式下使用。选择设备模式时，将 1 写入该位将产生未定义的结果。
5	ASE	异步计划启用。 此位控制主机控制器是否跳过异步计划的处理。 只有主机控制器使用此位。 0-不要处理异步计划。 1-使用 ASYNCLISTADDR 寄存器访问异步计划。
4	PSE	定期计划启用-读/写。默认值为 0b。 此位控制主机控制器是否跳过处理定期计划。 只有主机控制器使用此位。 0-不处理定期计划 1-使用 PERIODICLISTBASE 寄存器访问定期计划。
3-2	FS_1	
1	RST	控制器复位。 软件使用此位重置控制器。复位过程完成后，主机/设备控制器将该位设置为零。软件无法通过向该寄存器写入零来提前终止重置过程。 主机操作模式： 当软件将一写入该位时，控制器将其内部管道、计时器、计数器、状态机等重置为初始值。USB 上当前正在进行的任何事务都将立即终止。USB 重置不会在下游端口上驱动。 当 USBSTS 寄存器中的 HCHARTED 位为零时，软件不应将该位设置为 1。尝试重置活动运行的主机控制器将导致未定义的行为。 设备操作模式： 当软件将一写入该位时，控制器将其内部管道、计时器、计数器、状态机等重置为初始值。当设备处于连接状态时，不建议将 1 写入该位，因为对连接主机的影响尚未定义。 为了确保在启动设备控制器重置之前设备未处于连接状态，应刷新所有已启动的端点，并将 USBCMD 运行/停止位设置为 0。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
0	RS	运行/停止。 1= 运行。0= 停止。 主机操作模式： 当设置为“1b”时，控制器继续执行计划。只要该位设置为 1，控制器就会继续执行。当该位设置为 0 时，主机控制器在 USB 上完成当前事务，然后停止。 状态寄存器中的 HC 暂停位指示控制器何时完成事务并进入停止状态。 除非控制器处于暂停状态（即 USBSTS 寄存器中的 HCHARTED 为 1），否则软件不应向该字段写入 1。 设备操作模式： 将 1 写入该位将导致控制器启用 D+ 上拉并启动连接事件。 此控制位不直接连接到上拉启用，因为在转换到高速模式时上拉将被禁用。在控制器正确初始化之前，软件应使用此位防止附加事件。将 0 写入此将导致分离事件。

USBCMD 位域

61.6.7 USBSTS (0x144)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD						TI1	TI0	RSVD				UPI	UAI	RSVD	NAKI	AS	PS	RCL	HCH	RSVD			SLI	SRI	URI	AAI	SEI	FRI	PCI	UEI	UI
N/A						RWC	RWC	N/A				RWC	RWC	N/A	RO	RO	RO	RO	RO	N/A			RWC	RWC	RWC	RWC	RWC	RWC	RWC	RWC	RWC
x	x	x	x	x	x	0	0	x	x	x	x	0	0	x	0	0	0	0	0	x	x	x	0	0	0	0	0	0	0	0	0

USBSTS [31:0]

位域	名称	描述
25	TI1	通用定时器 1 中断标志位 当定时器 1 倒计时到 0 后置位；
24	TI0	通用定时器 0 中断标志位 当定时器倒计时 0 到 0 后置位；
19	UPI	USB 主机周期队列传输完成中断标志位 当周期队列中的描述符传输完成时，且该标识符（TD）设置了完成中断（IOC）位，主机控制器将置位此位。 当检测到短数据包且该数据包处于周期队列时，主机也会设置该位。短数据包是指接收到的实际字节数小于预期的字节数。 设备控制器不使用该位，该位始终为零

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
18	UAI	USB 主机异步队列传输完成中断标志位 当异步队列中的描述符传输完成时，且该标识符（TD）设置了完成中断（IOC）位，主机控制器将置位此位。 当检测到短数据包且该数据包处于异步计划时，主机也会设置该位。短数据包是指接收到的实际字节数小于预期的字节数。 设备控制器不使用该位，该位始终为零
16	NAKI	NAK 中断标志位 当设备某个端点回复 NAK，且 ENDPTNAKEN 中对应位为 1，则会置位此位。 当 ENDPTNAK 中所有位清零，此位自动清零。 仅用于设备模式。
15	AS	异步计划状态 此位报告异步计划的当前实际状态。为零时，表示异步计划状态为禁用，如果为一，则状态为启用。 当软件转换 USBCMD 寄存器中的异步计划启用位时，主机控制器无需立即禁用或启用异步计划。 当此位和异步计划启用位的值相同时，异步计划将启用（1）或禁用（0）。 仅在主机操作模式下使用。
14	PS	周期计划状态 此位报告周期计划的当前实际状态。为零时，表示周期计划被禁用，为一，则状态为启用。 当软件转换 USBCMD 寄存器中的周期计划启用位时，主机控制器无需立即禁用或启用周期计划。 当该位和周期计划启用位的值相同时，周期计划被启用（1）或禁用（0）。 仅在主机操作模式下使用。
13	RCL	回收 这是一个只读状态位，用于检测空的异步计划。 仅在主机操作模式下使用。
12	HCH	主机停止。 当运行/停止位为 1 时，该位为 0。由于运行/停止位被软件或控制器硬件设置为 0（例如，内部错误），控制器在停止执行后将该位设置为 1。 仅在主机操作模式下使用。
8	SLI	设备控制器挂起中断标志位 当控制器从活动状态进入暂停状态时，该位将设置为 1。设备控制器在从挂起状态退出时清除位。 仅在设备操作模式下使用。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
7	SRI	收到 SOF 中断标志位 当设备控制器检测到（微）帧开始时，该位将设置为 1。当 SOF 非常晚时，设备控制器将自动设置此位，以指示预期 SOF。 因此，该位在设备 FS 模式下大约每 1ms 设置一次，在 HS 模式下每 125ms 设置一次，并与接收到的实际 SOF 同步。 由于设备控制器在连接前已初始化为 FS，因此在连接和调啾的前奏中，该位将以 1ms 的间隔设置。 在主机模式下，该位将每 125us 设置一次，并可由主机控制器驱动程序用作时基。
6	URI	已接收 USB 重置中断标志位 当设备控制器检测到 USB 重置并进入默认状态时，该位将设置为 1。 仅在设备操作模式下使用。
5	AAI	异步前进中断标志位 系统软件可通过在 USBCMD 寄存器中异步前进门铃位的中断中写入一个中断，强制主机控制器在下次主机控制器推进异步计划时发出中断。此状态位表示该中断源的断言。 仅在主机操作模式下使用。
4	SEI	系统错误中断标志位 当 DMA 访问系统总线，收到错误回复时置位。 一般发生于访问了不该访问的地址，由于描述符或寄存器配置错误导致
3	FRI	帧列表滚动中断标志位 当帧列表索引从其最大值滚动到零时，主机控制器将该位设置为 1。发生滚动的确切值取决于帧列表的大小。 例如如果帧列表大小（在 USBCMD 寄存器的帧列表大小字段中编程）为 1024，则每次 FRINDEX[13] 切换时，帧索引寄存器都会滚动。 类似地，如果大小为 512，则主机控制器每次切换 FHINDEX[12] 时将该位设置为 1。 仅在主机操作模式下使用。
2	PCI	端口更改中断标志位 当在任何端口上发生连接状态、端口启用/禁用更改或强制端口恢复位作为挂起端口上 J-K 转换的结果而设置时，主机控制器将该位设置为 1。 当端口控制器进入全速或高速操作状态时，设备控制器将该位设置为 1。 当端口控制器由于复位或挂起事件退出完全或高速操作状态时，通知机制分别为 USB 复位接收位和 DCSuspend 位。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
1	UEI	USB 错误中断标志位 当 USB 事务的完成导致错误情况时，该位由主机/设备控制器设置。如果发生错误中断的 TD 也设置了完整中断（IOC）位，则该位与 USBINT 位一起设置。
0	UI	USB 传输中断标志位 当 USB 传输完成，且其传输描述符（TD）设置了完成中断（IOC）位。 当检测到短数据包时，主机控制器也会设置该位。短数据包是指接收到的实际字节数小于预期的字节数。

USBSTS 位域

61.6.8 USBINTR (0x148)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD						TIE1	TIE0	RSVD				UPIE	UAIE	RSVD	NAKE	RSVD							SLE	SRE	URE	AAE	SEE	FRE	PCE	UEE	UE
N/A						RW	RW	N/A				RW	RW	N/A	RO	N/A							RW	RW	RW	RW	RW	RW	RW	RWC	RW
x	x	x	x	x	x	0	0	x	x	x	x	0	0	x	0	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0

USBINTR [31:0]

位域	名称	描述
25	TIE1	通用定时器 1 中断使能
24	TIE0	通用定时器 0 中断使能
19	UPIE	USB 主机周期队列传输完成中断使能
18	UAIE	USB 主机异步队列传输完成中断使能
16	NAKE	NAK 中断使能 当此位置位且 USBSTS 中的 NAKI 置位，则产生中断
8	SLE	设备控制器挂起中断使能 仅用于主机模式
7	SRE	收到 SOF 中断使能
6	URE	收到 USB 重置中断使能
5	AAE	异步前进中断使能
4	SEE	系统错误中断使能
3	FRE	帧列表滚动中断使能
2	PCE	端口更改中断使能
1	UEE	USB 错误中断使能
0	UE	USB 传输中断使能

USBINTR 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

61.6.9 FRINDEX (0x14C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																		FRINDEX													
N/A																		RW													
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0

FRINDEX [31:0]

位域	名称	描述
13-0	FRINDEX	帧索引。 该寄存器中的值在每个时间帧（微帧）结束时递增。位 [N:3] 用于帧列表当前索引。这意味着在移动到下一个索引之前，帧列表的每个位置都会被访问 8 次（帧或微帧）。 以下说明了在主机模式下使用时，基于 USBCMD 寄存器中帧列表大小字段的值 N 的值。 USBCMD[帧列表大小] 数字元素 N 在设备模式下，该值是最后发送的帧的当前帧编号。它不用作索引。 在任一模式下，位 2:0 表示当前微帧。 下面的位字段值描述表示为（帧列表大小）数字元素 N。 00000000000000 - (1024) 12 00000000000001 - (512) 11 00000000000010 - (256) 10 00000000000011 - (128) 9 00000000000100 - (64) 8 00000000000101 - (32) 7 00000000000110 - (16) 6 00000000000111 - (8) 5

FRINDEX 位域

61.6.10 DEVICEADDR (0x154)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
USBADR							USBADRA	RSVD																							
RW							RW	N/A																							
0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

DEVICEADDR [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-25	USBADR	设备地址 此字段表示 USB 设备地址，仅用于设备模式
24	USBADRA	设备地址提前。 当该位为“0”时，对 USBADR 的任何写入都是瞬时的。当该位同时或在写入 USBADR 之前写入“1”时，对 USBADR 字段的写入被暂存并保存在隐藏寄存器中。 在端点 0 上发生 IN 并确认后，将从保留寄存器加载 USBADR。 在以下情况下，硬件将自动清除该位： 1）中的已确认为终结点 0。（USBADR 从暂存寄存器更新）。 2）对终结点 0 执行出/设置。（USBADR 未更新）。 3）发生设备重置（USBADR 重置为 0）。 注：在 SET_ADDRESS 描述符的状态阶段之后，DCD 有 2 毫秒的时间对 USBADR 字段进行编程。当 DCD 无法在设置地址状态阶段 2 毫秒内写入设备地址时，该机制将确保满足该规范。 如果 DCD 在 SET_ADDRESS 数据阶段之后（在状态阶段开始之前）以 USBADRA=1 写入 USBADR，则 USBADR 将在正确的时间被更新，以满足 2ms USB 要求。

DEVICEADDR 位域

61.6.11 PERIODICLISTBASE (0x154)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
BASEADR																				RSVD											
RW																				N/A											
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x	x	x	x	x

PERIODICLISTBASE [31:0]

位域	名称	描述
31-12	BASEADR	该 20 位寄存器包含系统内存中周期序列表的起始地址的高 20 位，低 12 位必须为 0。软件需在主机控制器开始执行调度之前初始化此寄存器。 此物理内存指针引用的内存结构为 4 KB 对齐。该寄存器的内容与帧索引寄存器（FRINDEX）相结合，以使主机控制器能够按顺序单步执行周期帧列表。 仅用于主机模式

PERIODICLISTBASE 位域

61.6.12 ASYNCLISTADDR (0x158)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ASYBASE																											RSVD				
RW																											N/A				
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	x	x

ASYNCLISTADDR [31:0]

位域	名称	描述
31-5	ASYBASE	此寄存器包含主机要执行的下一个异步队列头的地址高 27 位，低 5 位必须为 0（32 字节对齐）。 仅用于主机模式

ASYNCLISTADDR 位域

61.6.13 ENDPTLISTADDR (0x158)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EPBASE																					RSVD										
RW																					N/A										
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x	x	x	x

ENDPTLISTADDR [31:0]

位域	名称	描述
31-11	EPBASE	端点列表基地址 此地址必须 2KB 对齐，对应于最多 16 个 dQH

ENDPTLISTADDR 位域

61.6.14 BURSTSIZE (0x160)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																TXPBURST								RXPBURST							
N/A																RW								RW							
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

BURSTSIZE [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
15-8	TXPBURST	发送可配置的突发长度 当 AHBBRST 配置为仅限未指定长度的增量突发时，发送时 DMA 访问内存的突发长度由此寄存器配置
7-0	RXPBURST	接收可配置的突发长度 当 AHBBRST 配置为仅限未指定长度的增量突发时，接收时 DMA 访问内存的突发长度由此寄存器配置

BURSTSIZE 位域

61.6.15 TXFILLTUNING (0x164)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD										TXFIFOTHRES						RSVD			TXSCHHEALTH					RSVD	TXSCHOH						
N/A										RW						N/A			RWC					N/A	RW						
x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	x	x	x	0	0	0	0	0	x	0	0	0	0	0	0	0

TXFILLTUNING [31:0]

位域	名称	描述
21-16	TXFIFOTHRES	FIFO 突发阈值。 该寄存器控制在数据包开始传输到总线之前，在主机模式下发送到 TX 延迟 FIFO 的数据突发数。最小值为 2，该值应尽可能低，以最大限度地提高 USB 性能。 在延迟不可预测和/或带宽不足的系统中，可以使用更高的值，因为从延迟 FIFO 传输到 USB 的数据发生在从系统内存补充之前，FIFO 可能运行不足。 如果设置了 USBMODE 寄存器中的 SDIS 位，则忽略此值。
12-8	TXSCHHEALTH	调度程序运行状况计数器。 当主机控制器在下一帧开始前发送数据包的时间不足之前，未能将 TX 延迟 FIFO 填充到 TXFITOTHRES 编程的水平时，该寄存器会增加。 此健康计数器测量发生这种情况的次数，以便为选择合适的 TXSCHOH 提供反馈。写入此寄存器将清除计数器，此计数器最大值为 31。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
6-0	TXSCHOH	调度程序开销 该寄存器向上述计划时间估计器添加一个额外的固定偏移量，称为 Tff。作为近似值， 为该寄存器选择的值应将 TXSCHHEALTH 中捕获的退避事件数量限制在高利用率总线中小于每秒 10 个。不需要为此寄存器选择过高的值，因为它会不必要地降低 USB 利用率。 当设备以高速模式连接时，该寄存器中表示的时间单位为 1.267us。当设备以低速/全速模式连接时，该寄存器中表示的时间单位为 6.333us。

TXFILLTUNING 位域

61.6.16 ENDPTNAK (0x178)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								EPTN								RSVD								EPRN							
N/A								RWC								N/A								RWC							
x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0

ENDPTNAK [31:0]

位域	名称	描述
23-16	EPTN	发送端点 NAK 状态位 当设备某端点收到主机的 IN 后回复 NAK，则此位置位。 每个端点对应一位。 软件写 1 清零该位
7-0	EPRN	接收端点 NAK 状态位 当设备某端点收到主机的 OUT 或 PING 后回复 NAK，则此位置位。 每个端点对应一位。 软件写 1 清零该位

ENDPTNAK 位域

61.6.17 ENDPTNAKEN (0x17C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								EPTNE								RSVD								EPRNE							
N/A								RW								N/A								RW							
x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

ENDPTNAKEN [31:0]

位域	名称	描述
23-16	EPTNE	发送端点 NAK 中断使能 当某发送端点回复 NAK，且对应的该位置位，则置位 USBSTS 中 NAK 中断状态位。 每个端点对应一位
7-0	EPRNE	接收端点 NAK 中断使能 当某接收端点回复 NAK，且对应的该位置位，则置位 USBSTS 中 NAK 中断状态位。 每个端点对应一位

ENDPTNAKEN 位域

61.6.18 PORTSC1 (0x184)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD		STS	PTW	PSPD		RSVD	PFSC	PHCD	WKOC	WKDC	WKCN	PTC				RSVD			PP	LS		HSP	PR	SUSP	FPR	OCC	OCA	PEC	PE	CSC	CCS
N/A		RW	RW	RO		N/A	RW	RW	RW	RW	RW	RW				N/A			RW	RO		RO	RW	RW	RW	RW	RO	RWC	RWC	RWC	RWC
x	x	0	0	0	0	x	0	0	0	0	0	0	0	0	0	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0

PORTSC1 [31:0]

位域	名称	描述
29	STS	串行收发器选择 1：选择串行接口引擎 0：选择并行接口信号 当该位设置为“1b”时，将使用串行接口引擎而不是并行接口信号。
28	PTW	并行收发器接口宽度 0：选择 8 位 UTMI 端口（60MHz） 1：选择 16 位 UTMI 端口（30MHz） 选择串行收发器时此位无效
27-26	PSPD	端口速度 此寄存器反应当前正在工作的端口速度 00b ：全速 01b ：低速 10b ：高速 11b ：无效

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
24	PFSC	强制全速连接 当此位被设置时，端口强制工作在全速状态。 作为主机，会在 USB 复位的速度协商过程中，不输出 ChirpKJ 序列； 作为设备，会在 USB 复位的速度协商过程中，不输出 ChirpK。 0 ：常规工作 1 ：强制全速连接
23	PHCD	PHY 低功耗模式 设置此位，会拉低输出到 PHY 的 suspendm 信号，让 PHY 进入低功耗模式。 主机模式时，由软件决定何时进入低功耗模式； 设备模式时，当收到 SLI 中断后，可以由软件设置此位进入低功耗模式。 当检测到唤醒信号时，硬件自动清掉此位。
22	WKOC	过流唤醒使能 当 USB 处于低功耗模式，当检测发生过载时，设置此位会产生唤醒事件 仅用于主机模式
21	WKDC	断开连接唤醒使能 当 USB 处于低功耗模式，当检测设备断开连接时，设置此位会产生唤醒事件 仅用于主机模式
20	WKCN	断开连接唤醒使能 当 USB 处于低功耗模式，当检测到设备连接时，设置此位会产生唤醒事件 仅用于主机模式

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
19-16	PTC	端口测试控制-读/写。默认值 =0000b。 有关使用这些测试模式的操作模型，请参阅端口测试模式；有关每个测试模式的详细信息，请参阅 USB 规范版本 2.0 第 7 章。 强制启用 FS 和强制启用 LS 是 EHCI 规范中指定的测试模式支持的扩展。将 PTC 字段写入任意 FORCE_ENABLE_{HS/FS/LS} 值将强制端口以所选速度进入已连接和已启用状态。将 PTC 字段写回 TEST_MODE_DISABLE 将允许端口状态机从此点正常运行。 注意：设备不支持低速操作。 除零以外的任何其他值表示端口正在测试模式下运行。 0000-测试模式禁用 0001-J 状态 0010-K 状态 0011-SE0（主机）/NAK（设备） 0100-数据包 0101-强制启用高速 0110-强制启用全速 0111-强制启用低速 1000-1111-保留
12	PP	端口电源 主机控制器需要端口电源控制开关。该位表示开关的当前设置（0= 关闭，1= 打开）。当端口电源不可用时（即 PP 等于 0），该端口不起作用，不会报告连接、分离等。 当在通电端口上检测到过流情况时，主机控制器会将 PP 位从 1 转换为零（从端口断电）。 仅用于主机模式，设备模式时此位无意义。
11-10	LS	总线状态 表示当前 USB 总线上的状态，bit11 表示 D+ 状态，bit10 表示 D-状态。 00 ： SE0 01 ： K 状态 10 ： J 状态 11 ： 未定义 注意，以上状态在低速和全速时可用；当 USB 工作于高速状态时，以上定义需需参考 UTMI 协议
9	HSP	高速端口 当此位置 1 时，表示当前主机或设备连接成高速模式。 此位是 PSPD(bit27,bit26) 的冗余，用户也可从 PSPD 中获取当前信息。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
8	PR	端口复位 在主机模式下：该位可读写。 1：端口处于复位状态。 0：端口未处于重置状态 当软件将该位置 1 时，主机将根据 USB 规范版本 2.0 中定义，开始总线复位序列。复位顺序完成后，该位将自动变为零。 此行为与 EHCI 不同，EHCI 要求主机控制器驱动程序在驱动程序中定时重置持续时间后将此位设置为零。 在设备模式下：该位为只读状态位。USB 总线的设备复位也在 USBSTS 寄存器中指示。
7	SUSP	挂起-读/写或只读。默认值 =0b。 1= 端口处于挂起状态。0= 端口未处于挂起状态。 在主机模式下：读/写。 此寄存器的端口启用位（PE，bit2）和挂起位（SUSP，bit7）定义端口状态，如下所示： 端口状态 0x：禁用 10：启用 11：挂起 处于挂起状态时，此端口的下行数据传播被阻止，端口复位除外。如果在将该位写入 1 时正在进行数据传输，则会在当前传输结束后进入挂起状态。在挂起状态下，端口对恢复检测敏感会检测恢复（resume）信号。请注意，在端口挂起之前，位状态不会改变，如果 USB 上当前正在进行事务，则挂起端口可能会有延迟。 当软件将 Force Port Resume 位设置为零时，主机控制器将无条件地将该位设置为零。主机控制器忽略对此位的零写入。 如果主机软件在端口未启用时将该位设置为 1（即，端口启用位 PE 为零），则结果未定义。 如果在主机模式下端口电源（PP）为零，则此字段为零。 在设备模式下：只读。 在设备模式下，该位为只读状态位。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
6	FPR	强制端口恢复。1= 在端口上检测到/驱动恢复。0= 在端口上未检测到恢复（K 状态）。 在主机模式下： 软件将该位设置为 1，以驱动恢复信号。如果在端口处于挂起状态时检测到 J-to-K 转换，主机控制器将此位设置为 1。 当此位由于检测到 J-to-K 转换而转换为 1 时，USBSTS 寄存器中的端口更改检测位也设置为 1。 恢复序列完成后，该位将自动变为零。 此行为与 EHCI 不同，EHCI 要求主机控制器驱动程序在驱动程序中计时恢复持续时间后将此位设置为零。 请注意，当主机控制器拥有该端口时，恢复序列遵循 USB 规范修订版 2.0 中定义的序列。 只要该位保持为 1，就在端口上驱动恢复信令（全速“K”）。该位将保持为 1，直到端口切换到高速空闲。 写入零无效，因为端口控制器将计时恢复操作，并在恢复时序结束，端口状态切换到 HS 或 FS idle 时清零该位。 如果在主机模式下端口电源（PP）为零，则此字段为零。 此位与 EHCI 不兼容。 在设备模式下： 设备处于暂停状态 5 毫秒或更长时间后，软件必须将该位设置为 1，以在清除之前的恢复信号。 如果在端口处于挂起状态时检测到 J-to-K 转换，则设备控制器将此位设置为 1。 当设备恢复正常运行时，该位将被清除。 此外，当由于检测到 K-to-J 转换而清除该位时，USBSTS 寄存器中的端口更改检测位也设置为 1。
5	OCC	过流状态改变 当硬件检测到过流时会置位此位 软件需要写 1 清除该位。
4	OCA	过流状态 此位表示当前过流状态 0：端口当前没有过流发生 1：端口处于过流状态 当过流结束时，此位会自动清零
3	PEC	端口启用变化 1：端口启用状态发生过变化（从禁止到启用，或者从启用到禁止） 0：端口启用状态无变化 软件写 1 清零该位 如果在主机模式下端口电源（PP）为零，则此字段为零。 设备模式端口永远启用，所以该位一直为 0.

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
2	PE	端口启用/禁用。1= 启用。0= 禁用。 在主机模式下： 端口只能由主机控制器作为重置和启用的一部分启用。软件无法通过写 1 来启用端口。 端口可以由故障条件（断开事件或其他故障条件）或主机软件禁用（软件可以通过写 0 禁用端口）。 请注意，在端口状态实际更改之前，位状态不会更改。由于总线传输，禁用或启用端口时可能会有延迟。 当端口被禁用时，（0b）数据的下游传播被阻止，重置除外。 如果在主机模式下端口功率（PORTSC1）为零，则此字段为零。 在设备模式下： 设备端口始终处于启用状态，因此此位始终为“1b”。
1	CSC	连接状态更改。1= 当前连接状态更改。0= 没有变化。 在主机模式下： 表示端口的当前连接状态发生了更改。主机控制器会在端口设备连接状态有更改时设置此位，即使系统软件尚未清除现有连接状态更改。 例如，在系统软件清除更改的条件之前，插入状态更改两次，集线器硬件将“设置”一个已设置的位（即，该位将保持设置）。软件通过向其写入 1 来清除该位。 如果在主机模式下端口电源（PP）为零，则此字段为零。 在设备模式下： 此位在设备控制器模式下未定义。
0	CCS	当前连接状态。 在主机模式下： 1= 端口上存在设备。0= 不存在任何设备。默认值 =0。此值反映端口的当前状态，可能与导致设置连接状态更改位（位 1）的事件不直接对应。 如果在主机模式下端口电源（PP）为零，则此字段为零。 在设备模式下： 1 表示设备已成功连接，并且正在高速或全速运行，如该寄存器中的高速端口位所示。 0 表示设备未成功连接或被软件向 USBCMD 寄存器中的运行位写入零而强制断开连接。

PORTSC1 位域

61.6.19 OTGSC (0x1A4)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD					ASVIE	AVVIE	IDIE	RSVD					ASVIS	AVVIS	IDIS	RSVD					ASV	AVV	ID	RSVD		IDPU	RSVD			VC	VD

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
N/A					RW	RW	RW	N/A					RWC	RWC	RWC	N/A					RO	RO	RO	N/A		RW	N/A			RW	RW
x	x	x	x	x	0	0	0	x	x	x	x	x	0	0	0	x	x	x	x	x	0	0	0	x	x	0	x	x	x	0	0

OTGSC [31:0]

位域	名称	描述
26	ASVIE	session valid 变化中断使能
25	AVVIE	vbus valid 变化中断使能
24	IDIE	ID 变化中断使能
18	ASVIS	session valid 中断状态 软件写 1 清零该位
17	AVVIS	vbus valid 中断状态。 注意，当 ID 为 1 时，不会产生 vbus 变化中断，用户可以使用 session valid 中断替代 软件写 1 清零该位
16	IDIS	ID 变化中断状态 软件写 1 清零该位
10	ASV	session valid 状态位 表示 VBUS 高于 session valid 阈值 注意：此位通过去抖电路，与实际 vbus 状态会有 1 到 2 毫秒的延迟，用户可以在 PHY_STATUS 寄存器中读到实时状态
9	AVV	vbus valid 状态位 表示 VBUS 高于 vbus valid 阈值 注意：此位通过去抖电路，与实际 vbus 状态会有 1 到 2 毫秒的延迟，用户可以在 PHY_STATUS 寄存器中读到实时状态
8	ID	ID 状态位 注意：此位通过去抖电路，与实际 ID 状态会有 1 到 2 毫秒的延迟，用户可以在 PHY_STATUS 寄存器中读到实时状态
5	IDPU	ID 上拉使能 设 1 上拉 ID
1	VC	VBUS 充电
0	VD	VBUS 放电

OTGSC 位域

61.6.20 USBMODE (0x1A8)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																											SDIS	SLOM	ES	CM	
N/A																											RW	RW	RW	RW	
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

USBMODE [31:0]

位域	名称	描述
4	SDIS	流禁用模式。 设备模式：设置为“1”将禁用低带宽系统的 RX 和 TX 上的双重启动。 此模式确保当 RX 和 TX 缓冲区足以包含整个数据包时，禁用标准双缓冲方案以防止带宽受限系统中的超限/欠载。 注意：在高速模式下，当流禁用激活时，所有接收到的数据包都会通过 NYET 握手进行响应。 主机模式：设置为“1”可确保在 RX 和 TX 缓冲区足以容纳整个数据包的低带宽系统中，消除延迟 FIFO 的超限/不足。启用 stream disable 还可以确保在将数据包发送到 USB 之前将发送数据预取到内部缓存。 注意：使用此功能会限制整体 USB 性能，建议仅在系统带宽不足时使用。
3	SLOM	SETUP 锁定模式 仅用于设备模式，控制 SETUP 传输的锁定机制 0：SETUP 锁定打开 0：SETUP 锁定关闭，软件需要使用 USBCMD 寄存器中的 SUTW
2	ES	Endian 选择。 此位可以更改传输缓冲区的字节对齐方式，以匹配主机微处理器。微处理器接口中的位字段和数据结构不受该位值的影响，因为它们基于 32 位字。 0-小端 [默认值] 1-大端
1-0	CM	控制器模式 默认为空闲状态。 在控制器复位后，仅能写一次。 软件必须在配置此寄存器前，先在 USBCMD.RST 位写 1 复位整个控制器。 00：空闲 01：保留 10：设备模式 11：主机模式

USBMODE 位域

61.6.21 ENDPTSETUPSTAT (0x1AC)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																								ENDPTSETUPSTAT							
N/A																								RWC							
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0

ENDPTSETUPSTAT [31:0]

位域	名称	描述
7-0	ENDPTSETUPSTAT	SETUP 端点状态 对于接收到的每个 SETUP 传输，该寄存器中的对应位设置为 1。软件从队列头读取 8 字节 SETUP 数据后，必须通过向相应位写入 1 来清除或确认 SETUP 传输 此寄存器仅在设备模式下使用。

ENDPTSETUPSTAT 位域

61.6.22 ENDPTPRIME (0x1B0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								PETB								RSVD								PERB							
N/A								RWS								N/A								RWS							
x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0

ENDPTPRIME [31:0]

位域	名称	描述
23-16	PETB	端点发送缓冲区预取 对于每个端点使用相应的位请求为发送传输准备缓冲区，以便响应 USB 主机的传输请求。 当向端点队列头发布新的传输描述符时，软件应向相应位写入 1，硬件自动使用该位开始解析队列头中的新传输描述符，并准备传输缓冲区。 当相关端点成功启动时，硬件清除此位。 USB 协议中，传输数据是由主机发起，设备并不知道何时主机会发起传输数据要求（IN），因此当软件准备好发送数据后，需要通过此位，通知设备控制器，将数据从系统内存中搬到 USB 发送缓冲区，在搬完之前（或者发送缓冲区满之前），设备会对主机的请求（IN）回复 NAK。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
7-0	PERB	端点接收缓冲区准备 每当向端点队列头发布新的传输描述符时，软件应向相应位写入 1，硬件自动使用该位开始解析队列头中的新传输描述符，并准备接收缓冲区。 当相关端点成功启动时，硬件清除此位。 跟发送不同，对于接收数据，只要接收缓冲区有空间，就可以接收数据，所以设置此位，硬件仅需解析传输符即可。 在软件设置此位，硬件解析完传输符之前，设备会对主机的请求（OUT 或 PING）回复 NAK。

ENDPTPRIME 位域

61.6.23 ENDPTFLUSH (0x1B4)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								FETB								RSVD								FERB							
N/A								RWS								N/A								RWS							
x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0

ENDPTFLUSH [31:0]

位域	名称	描述
23-16	FETB	刷新端点发送缓冲区 将一写入该寄存器中的一位会导致相关端点清除对应的发送缓冲区。 如果一个关联端点的数据包正在进行中，则该传输将继续，直到完成。 在端点刷新操作成功后，硬件清除此寄存器。
7-0	FERB	刷新端点接收缓冲区 将一写入该寄存器中的一位会导致相关端点清除对应的接收缓冲区。 如果一个关联端点的数据包正在进行中，则该传输将继续，直到完成。 在端点刷新操作成功后，硬件清除此寄存器。

ENDPTFLUSH 位域

61.6.24 ENDPTSTAT (0x1B8)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								ETBR								RSVD								ERBR							

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
N/A								RO								N/A								RO							
x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0

ENDPTSTAT [31:0]

位域	名称	描述
23-16	ETBR	端点发送缓冲区就绪。 每个端点的一位表示各自端点发送缓冲区的状态。 硬件将该位设置为 1，作为从 ENDPTPRIME 寄存器中相应位接收命令的响应。 在 ENDPTPRIME 寄存器中设置一个位和端点指示就绪之间始终存在延迟。 此延迟时间根据当前 USB 通信量和 ENDPRIME 寄存器中设置的位数而变化。 USB 复位、USB DMA 系统或 ENDPTFLUSH 寄存器可清除缓冲区就绪状态。 注意：当 dTD 失效且 dQH 更新时，在硬件端点重新启动操作期间，硬件会立即清除这些位。
7-0	ERBR	端点接收缓冲区就绪。 每个端点的一位表示各自端点接收缓冲区的状态。 硬件将该位设置为 1，作为从 ENDPTPRIME 寄存器中相应位接收命令的响应。 在 ENDPTPRIME 寄存器中设置一个位和端点指示就绪之间始终存在延迟。 此延迟时间根据当前 USB 通信量和 ENDPRIME 寄存器中设置的位数而变化。 USB 复位、USB DMA 系统或 ENDPTFLUSH 寄存器可清除缓冲区就绪状态。 注意：当 dTD 失效且 dQH 更新时，在硬件端点重新启动操作期间，硬件会立即清除这些位。

ENDPTSTAT 位域

61.6.25 ENDPTCOMPLETE (0x1BC)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								ETCE								RSVD								ERCE							
N/A								RWC								N/A								RWC							
x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0

ENDPTCOMPLETE [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
23-16	ETCE	端点发送完成状态位 每个位表示发生了发送事件（IN），软件应读取相应的端点队列以确定端点状态。 如果在传输描述符中设置了相应的 IOC 位，则该位与 USBINT 同时设置。 写入一将清除该寄存器中的相应位。
7-0	ERCE	端点接收完成状态位 每个位表示发生了接收事件（OUT/SETUP），软件应读取相应的端点队列以确定端点状态。 如果在传输描述符中设置了相应的 IOC 位，则该位与 USBINT 同时设置。 写入一将清除该寄存器中的相应位。

ENDPTCOMPLETE 位域

61.6.26 ENDPTCTRL (0x1C0 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								TXE	TXR	RSVD		TXT		RSVD	TXS	RSVD								RXE	RXR	RSVD		RXT		RSVD	RXS
N/A								RW	WS	N/A		RW		N/A	RW	N/A								RW	WS	N/A		RW		N/A	RW
x	x	x	x	x	x	x	x	0	0	x	x	0	0	x	0	x	x	x	x	x	x	x	x	0	0	x	x	0	0	x	0

ENDPTCTRL [31:0]

位域	名称	描述
23	TXE	发送端点使能 0：禁止 1：使能 端点仅在被配置（指 USB 枚举协议中的配置端点）后才能使能
22	TXR	发送数据 toggle 重置 写 1 重置发送数据 toggle 位，从 DATA0 开始发送。 当收到对该端点的配置事件时（通过枚举，从主机收到相应配置请求），软件必须对相应位写 1 以同步主机和设备之间的数据 PID（DATA0 或者 DATA1）

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
19-18	TXT	发送端点类型 00：CTRL 01：ISO 10：BULK 11：INT 注意：当该发送端点被设置为非 CTRL（默认值）时，必须将对应的接收端点也设置成非 CTRL 类型，因为 CTRL 端点必须成对存在
16	TXS	发送端点暂停 0：端点正常 1：端点暂停 如果此端点配置为控制端点，则在收到设置请求时（SETUP 包），此位将自动清除，并且此位将继续由硬件清除，直到清除关联的 ENDPTSETUPSTAT 位。 软件可以将 1 写入该位，以强制端点向主机返回暂停握手，直到此位被软件清除或自动清除，如上所述，用于控制端点。 注意：[仅限控制端点类型]：在 ENDPTSETUPSTAT 开始清除和硬件继续清除该位之间有轻微延迟（最多 50 个时钟）。 在大多数系统中，设备软件不太可能观察到这种延迟。但是，如果在向其写入 1 后观察到该位未设置，则遵循以下步骤： 通过检查相关的 endptsetupstat 位，持续写入此暂停位，直到设置完毕或接收到新设置为止。
7	RXE	接收端点使能 0：禁止 1：使能
6	RXR	接收数据 toggle 重置 写 1 重置发送数据 toggle 位，从 DATA0 开始接收。 当收到对该端点的配置事件时（通过枚举，从主机收到相应配置请求），软件必须对相应位写 1 以同步主机和设备之间的数据 PID（DATA0 或者 DATA1）
3-2	RXT	接收端点类型 00：CTRL 01：ISO 10：BULK 11：INT 注意：当该接收端点被设置为非 CTRL（默认值）时，必须将对应的发送端点也设置成非 CTRL 类型，因为 CTRL 端点必须成对存在

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
0	RXS	接收端点暂停 0：端点正常 1：端点暂停 如果此端点配置为控制端点，则在收到设置请求时（SETUP 包），此位将自动清除，并且此位将继续由硬件清除，直到清除关联的 ENDPTSETUPSTAT 位。 软件可以将 1 写入该位，以强制端点向主机返回暂停握手，直到此位被软件清除或自动清除，如上所述，用于控制端点。 注意：[仅限控制端点类型]：在 ENDPTSETUPSTAT 开始清除和硬件继续清除该位之间有轻微延迟（最多 50 个时钟）。 在大多数系统中，设备软件不太可能观察到这种延迟。但是，如果在向其写入 1 后观察到该位未设置，则遵循以下步骤： 通过检查相关的 endptsetupstat 位，持续写入此暂停位，直到设置完毕或接收到新设置为止。

ENDPTCTRL 位域

61.6.27 OTG_CTRL0 (0x200)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD						OTG_WKDPDMCHG_EN	RSVD					AUTORESUME_EN	RSVD	OTG_VBUS_WAKEUP_EN	OTG_ID_WAKEUP_EN	RSVD		OTG_VBUS_SOURCE_SEL	OTG_UTMI_SUSPENDM_SW	OTG_UTMI_RESET_SW	OTG_WAKEUP_INT_ENABLE	OTG_POWER_MASK	OTG_OVER_CUR_POL	OTG_OVER_CUR_DIS	RSVD		SER_MODE_SUSPEND_EN	RSVD			
N/A						RW	N/A					RW	N/A	RW	RW	N/A		RW	RW	RW	RW	RW	RW	RW	N/A		RW	N/A			
x	x	x	x	x	x	0	x	x	x	x	x	0	x	0	0	x	x	0	0	0	0	0	0	0	x	x	0	x	x	x	x

OTG_CTRL0 [31:0]

位域	名称	描述
25	OTG_WKDPDMCHG_EN	DP/DM 变化唤醒使能 当 USB 进入低功耗模式（suspend），设置此位，或 VBUS 当前为高，会自动唤醒 USB，并在使能的情况下（otg_wakeup_int_enable 为 1）产生唤醒中断。 此位仅用于设备模式。 主机模式时，由 PROTSC1 中的 WKDNS/WKCN 使能 DP，DM 唤醒

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
19	AUTORESUME_EN	自动 resume 信号使能 1：使能 0：禁止 仅用于主机模式
17	OTG_VBUS_WAKEUP_EN	VBUS 变化唤醒使能 1：使能 0：禁止
16	OTG_ID_WAKEUP_EN	ID 变化唤醒使能 1：使能 0：禁止
13	OTG_VBUS_SOURCE_SEL	VBUS 唤醒来源 0：使用 vbus valid 作为唤醒源 1：使用 session valid 作为唤醒源 这两个信号区别在于阈值不同，vbus valid 会比较高，在某些应用中，用户可能 vbus 不足 5V，这种情况可以使用此位选择 session valid
12	OTG_UTMI_SUSPENDM_SW	PHY suspendm 软件控制 默认为 0，PHY 处于低功耗模式 软件需要在初始化时置位此位。 注意：在 suspendm 置 1 和 reset 清零之间，需要保证至少 1 微秒时间间隔
11	OTG_UTMI_RESET_SW	PHY 复位软件控制 默认为 1，PHY 处于复位状态。 软件需要在初始化时清零此位。 注意：在置位 suspendm 后至少等待 1 微秒才能清零此位
10	OTG_WAKEUP_INT_ENABLE	唤醒中断使能 当 usb 处于低功耗模式（PORTSC1.PHCD 为 1）时，系统可以关闭所有 PLL 和外部晶振，保留内部 osc 作为唤醒时钟。 当 usb 收到唤醒事件且相应事件使能时，如果此位置位，会产生唤醒中断。 唤醒中断状态位在 TOP_STATUS.wakeup_int_status，软件需要清零此位清除唤醒中断。 建议流程是，在进入低功耗模式后置位此位，收到唤醒中断后清零此位。
9	OTG_POWER_MASK	VBUS 控制极性 主机模式时，可从引脚输出 USBx_PWR（来源时 PORTSC1.PP)，用于控制外部 VBUS 开关， 此位可用于控制外部 VBUS 电路的极性，默认为 0，低有效。 如果外部 VBUS 控制开关时高有效，可以置位此位。 用户也可不适应 USBx_PWR，而使用其他 gpio 作为 VBUS 控制开关。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
8	OTG_OVER_CUR_POL	过流保护极性 主机模式时，可以从引脚 USBx_OC 引入过流状态（一般与来自于 VBUS 控制电路），此位定义过流状态极性。 0：高表示有过流发生 1：低表示有过流发生
7	OTG_OVER_CUR_DIS	过流禁止 主机模式时，用户可能在电路上没有过流状态指示，可以设置此位避免因为过流保护极性设置错误导致的错误过流状态。 0：过流状态正常工作 1：过流状态禁止，永远不会产生过流
4	SER_MODE_SUSPEND_EN	此位需置 1

OTG_CTRL0 位域

61.6.28 PHY_CTRL0 (0x210)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD						GPIO_ID_SEL_N	RSVD										ID_DIG_OVERRIDE	SESS_VALID_OVERRIDE	VBUS_VALID_OVERRIDE	RSVD									ID_DIG_OVERRIDE_EN	SESS_VALID_OVERRIDE_EN	VBUS_VALID_OVERRIDE_EN
N/A						RW	N/A										RW	RW	RW	N/A									RW	RW	RW
x	x	x	x	x	x	0	x	x	x	x	x	x	x	x	x	x	0	0	0	x	x	x	x	x	x	x	x	x	0	0	0

PHY_CTRL0 [31:0]

位域	名称	描述
25	GPIO_ID_SEL_N	ID 选择 PHY 有 USB ID 引脚，在某些封装，为了节约引脚，可能会不把 PHY 引脚接到芯片外部，此时可以使用某个 GPIO 作为 USBID（具体参见 PINMUX） 0：使用 PHY ID 1：使用 gpio ID
14	ID_DIG_OVERRIDE	ID 信号强制改写 当 id_dig_override_en 为 1 时，可以通过此位强制输入 ID 值。适用于因为外部电路原因，无法通过引脚得知当前 ID 状态，软件可以通过把通过其他渠道得到的 ID 状态写入此位

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
13	SESS_VALID_OVERRIDE	sess valid 信号强制改写 适用于因为外部电路原因，无法通过 PHY 得知当前 vbus 状态，软件可以通过把通过其他渠道得到的 phy 状态写入此位，设备模式时，必须 vbus 有效（vbus valid 或者 sess valid 为高），设备控制器才能正常工作
12	VBUS_VALID_OVERRIDE	vbus valid 信号强制改写
2	ID_DIG_OVERRIDE_EN	ID 信号强制改写使能
1	SESS_VALID_OVERRIDE_EN	sess valid 信号强制改写使能
0	VBUS_VALID_OVERRIDE_EN	vbus valid 信号强制改写使能

PHY_CTRL0 位域

61.6.29 PHY_CTRL1 (0x214)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD											UTMI_CFG_RST_N	RSVD																		UTMI_OTG_SUSPENDM	RSVD
N/A											RW	N/A																		RW	N/A
x	x	x	x	x	x	x	x	x	x	x	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	x

PHY_CTRL1 [31:0]

位域	名称	描述
20	UTMI_CFG_RST_N	PHY 配置电路复位 低有效，默认为 0，PHY 配置电路处于复位状态，软件在初始化 PHY 时需要设置此位
1	UTMI_OTG_SUSPENDM	

PHY_CTRL1 位域

61.6.30 TOP_STATUS (0x220)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WAKEUP_INT_STATUS	RSVD																														
RW	N/A																														
0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

TOP_STATUS [31:0]

位域	名称	描述
31	WAKEUP_INT_STATUS	唤醒中断状态位 0：无唤醒中断 1：有唤醒中断 注意：此位不是写 1 清零，软件需要清零唤醒中断使能清零此位。

TOP_STATUS 位域

61.6.31 PHY_STATUS (0x224)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
UTMI_CLK_VALID	RSVD																							LINE_STATE		HOST_DISCONNECT	ID_DIG	RSVD	UTMI_SESS_VALID	RSVD	VBUS_VALID
RW	N/A																							RW		RW	RW	N/A	RW	N/A	RW
0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	x	0	x	0

PHY_STATUS [31:0]

位域	名称	描述
31	UTMI_CLK_VALID	PHY 时钟有效状态位 此位用于软件判断当前 PHY 是否输出时钟。 使用流程如下： 写 1 清零此位； 读此位，为 0 表示 PHY 无时钟输出，1 表示有时钟输出。
7-6	LINE_STATE	USB 总线状态 低速全速时，bit7 为 DM 状态；bit6 为 DP 状态 高速时 PHY 仅输出是否有数据变化，00 表示无数据；01 表示有数据

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
5	HOST_DISCONNECT	断开连接指示 仅用于主机模式，有高速设备连接时。 当高速设备被断开连接，主机无法像低速全速那样，通过 USB 中线状态变化检测到，只能通过在 SOF 帧末尾检测电平来判断，此位为 1 表示检测到高速设备被断开连接
4	ID_DIG	PHY ID 状态
2	UTMI_SESS_VALID	session valid 状态
0	VBUS_VALID	vbus valiud 状态

PHY_STATUS 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

62 通信系统控制器 CONCTL

包括 ENET 和 SDXC 的时钟控制，工作模式控制以及中断控制

62.1 CONCTL 寄存器列表

CONCTL base address: 0xF2040000

地址偏移	名称	描述	复位值
0x0000	CTRL0		0x00000000
0x0008	CTRL2		0x00000000
0x000C	CTRL3		0x00000000
0x0010	CTRL4		0x00000000
0x0014	CTRL5		0x00000000

表 268: CONCTL 寄存器列表

62.2 CONCTL 寄存器描述

62.2.1 CTRL0 (0x0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								RSVD				ENET1_RXCLK_DLY_SEL					ENET1_TXCLK_DLY_SEL					ENET0_RXCLK_DLY_SEL					ENET0_TXCLK_DLY_SEL				
N/A								N/A				RW					RW					RW					RW				
0	0	0	0	0	0	0	0	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CTRL0 [31:0]

位域	名称	描述
19-15	ENET1_RXCLK_DLY_SEL	ENET1 接收时钟延迟线级数选择
14-10	ENET1_TXCLK_DLY_SEL	ENET1 发送时钟延迟线级数选择
9-5	ENET0_RXCLK_DLY_SEL	ENET0 接收时钟延迟线级数选择
4-0	ENET0_TXCLK_DLY_SEL	ENET0 发送时钟延迟线级数选择

CTRL0 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

62.2.2 CTRL2 (0x8)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD		ENET0_LPI_IRQ_EN	RSVD									ENET0_REFCLK_OE	RSVD			ENET0_PHY_INTF_SEL			ENET0_FLOWCTRL	RSVD	ENET0_RMII_TXCLK_SEL	RSVD									
N/A		RW	N/A									RW	N/A			RW			RW	N/A	RW	N/A									
x	x	0	x	x	x	x	x	x	x	x	x	0	x	x	x	0	0	0	0	x	0	x	x	x	x	x	x	x	x	x	x

CTRL2 [31:0]

位域	名称	描述
29	ENET0_LPI_IRQ_EN	ENET0 LPI 中断使能
19	ENET0_REFCLK_OE	ENET0 RMII 时钟输出使能 当选择内部时钟时，需要设置此位
15-13	ENET0_PHY_INTF_SEL	ENET0 PHY 模式选择 001：RGMII 100：RMII 默认为 RMII 模式，如果用户使用 RGMII，需要在设置任何 enet 寄存器前配置此寄存器
12	ENET0_FLOWCTRL	ENET0 边带流量控制 功能：设置为高时，MAC 在全双工方式会传输暂停帧； 模在半双工模式下，MAC 启用背压功能，直到信号再次变低。
10	ENET0_RMII_TXCLK_SEL	ENET0 RMII 时钟选择 1：从芯片 pad 来（这里分两种情况，一种是使用芯片外部时钟，从引脚输入，另一种是使用芯片内部时钟，为平衡时序，时钟会输出到引脚后再返回） 0：选择直接内部时钟，不经过引脚。该选项可能有时序问题，不建议使用。 默认选择直接内部时钟，用户需在初始化时置位此位。 如选择从引脚返回的内部时钟，配置 IO 时，需在相关引脚的 IOC 寄存器中使能 loopback，并置位 pad_oe_eth0_refclk（位 19）

CTRL2 位域

62.2.3 CTRL3 (0xC)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD		ENET1_LPI_IRQ_EN	RSVD									ENET1_REFCLK_OE	RSVD			ENET1_PHY_INTF_SEL			ENET1_FLOWCTRL	RSVD	ENET1_RMII_TXCLK_SEL	RSVD									
N/A		RW	N/A									RW	N/A			RW			RW	N/A	RW	N/A									
x	x	0	x	x	x	x	x	x	x	x	x	0	x	x	x	0	0	0	0	x	0	x	x	x	x	x	x	x	x	x	x

CTRL3 [31:0]

位域	名称	描述
29	ENET1_LPI_IRQ_EN	ENET1 LPI 中断使能
19	ENET1_REFCLK_OE	ENET1 RMII 时钟输出使能 当选择内部时钟时，需要设置此位
15-13	ENET1_PHY_INTF_SEL	ENET1 PHY 模式选择 001：RGMII 100：RMII 默认为 RMII 模式，如果用户使用 RGMII，需要在设置任何 enet 寄存器前配置此寄存器
12	ENET1_FLOWCTRL	ENET1 边带流量控制 功能：设置为高时，MAC 在全双工方式会传输暂停帧； 模在半双工模式下，MAC 启用背压功能，直到信号再次变低。
10	ENET1_RMII_TXCLK_SEL	ENET1 RMII 时钟选择 1：从芯片 pad 来（这里分两种情况，一种是使用芯片外部时钟，从引脚输入，另一种是使用芯片内部时钟，为平衡时序，时钟会输出到引脚后再返回） 0：选择直接内部时钟，不经过引脚。该选项可能有时序问题，不建议使用。 默认选择直接内部时钟，用户需在初始化时置位此位。 如选择从引脚返回的内部时钟，配置 IO 时，需在相关引脚的 IOC 寄存器中使能 loopback，并置位 pad_oe_eth1_refclk（位 19）

CTRL3 位域

62.2.4 CTRL4 (0x10)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDXC0_SYS_IRQ_EN	SDXC0_WKP_IRQ_EN	RSVD	SDXC0_CARDCLK_INV_EN	SDXC0_GPR_TUNING_CARD_CLK_SEL					SDXC0_GPR_TUNING_STROBE_SEL					SDXC0_GPR_STROBE_IN_ENABLE	SDXC0_GPR_CCLK_RX_DLY_SW_SEL					SDXC0_GPR_CCLK_RX_DLY_SW_FORCE	RSVD										
RW	RW	N/A	RW	RW					RW					RW	RW					RW	N/A										
0	0	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x	x	x	x

CTRL4 [31:0]

位域	名称	描述
31	SDXC0_SYS_IRQ_EN	SDXC0 系统中断使能 用于系统正常工作时 SDXC 各种中断 设 1 使能中断 设 0 禁止中断
30	SDXC0_WKP_IRQ_EN	SDXC0 唤醒中断使能 用于系统挂起模式下的卡插入，卡移除或 SDIO 卡中断 设 1 使能中断 设 0 禁止中断
28	SDXC0_CARDCLK_INV_EN	SDXC0 卡时钟反向使能 此反相器在卡时钟延迟线后面，设 1 将选择反向输出卡时钟
27-23	SDXC0_GPR_TUNING_CARD_CLK_SEL	SDXC0 卡时钟延迟线级数选择 设 0 选择 1 级延迟线； 设 1 选择 2 级延迟线； 最大设 31 选择 32 级延迟线。
22-18	SDXC0_GPR_TUNING_STROBE_SEL	SDXC0 strobe 延迟线级数选择 设 0 选择 1 级延迟线，延迟大约在 100~300ps 之间，取决于环境温度以及电压； 设 1 选择 2 级延迟线； 最大设 31 选择 32 级延迟线。
17	SDXC0_GPR_STROBE_IN_ENABLE	SDXC0 strobe 输入使能 设 1 打开 strobe 输入
16-12	SDXC0_GPR_CCLK_RX_DLY_SW_SEL	

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
11	SDXC0_GPR_CCLK_RX_DLY_SW_FORCE	

CTRL4 位域

62.2.5 CTRL5 (0x14)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SDXC1_SYS_IRQ_EN	SDXC1_WKP_IRQ_EN	RSVD	SDXC1_CARDCLK_INV_EN	SDXC1_GPR_TUNING_CARD_CLK_SEL					SDXC1_GPR_TUNING_STROBE_SEL					SDXC1_GPR_STROBE_IN_ENABLE	SDXC1_GPR_CCLK_RX_DLY_SW_SEL					SDXC1_GPR_CCLK_RX_DLY_SW_FORCE	RSVD											
RW	RW	N/A	RW	RW					RW					RW	RW					RW	N/A										
0	0	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x	x	x	x

CTRL5 [31:0]

位域	名称	描述
31	SDXC1_SYS_IRQ_EN	SDXC1 系统中断使能 用于系统正常工作时 SDXC 各种中断设 1 使能中断设 0 禁止中断
30	SDXC1_WKP_IRQ_EN	SDXC1 唤醒中断使能 用于系统挂起模式下的卡插入，卡移除或 SDIO 卡中断设 1 使能中断设 0 禁止中断
28	SDXC1_CARDCLK_INV_EN	SDXC1 卡时钟反向使能 此反相器在卡时钟延迟线后面，设 1 将选择反向输出卡时钟
27-23	SDXC1_GPR_TUNING_CARD_CLK_SEL	SDXC1 卡时钟延迟线级数选择 设 0 选择 1 级延迟线；设 1 选择 2 级延迟线；最大设 31 选择 32 级延迟线。
22-18	SDXC1_GPR_TUNING_STROBE_SEL	SDXC1 strobe 延迟线级数选择 设 0 选择 1 级延迟线，延迟大约在 100~300ps 之间，取决于环境温度以及电压；设 1 选择 2 级延迟线；最大设 31 选择 32 级延迟线。
17	SDXC1_GPR_STROBE_IN_ENABLE	SDXC1 strobe 输入使能 设 1 打开 strobe 输入

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
16-12	SDXC1_GPR_CCLK_RX_DLY_SW_SEL	
11	SDXC1_GPR_CCLK_RX_DLY_SW_FORCE	

CTRL5 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

63 模拟外设概述

本章节介绍了本产品的模拟外设。

63.1 12 位模拟数字转换器 ADC12

本产品支持 3 个 12 位模拟数字转换器 ADC12。ADC12 是一种采用逐次逼近方式的模拟数字转换器，可以转换来自外部引脚、以及芯片内部的模拟信号，最大采样率 5MSPS。

本产品上，三个 12 位 ADC 称为 ADC0~2。

本产品上，三个 12 位 ADC 的参考电压输入是 VREFH 和 VREFL。

63.1.1 ADC0 输入通道分配

12 位模拟数字转换器 ADC0 支持输入通道 vinn0~18，vinp0~18。

vinn*x* 中，vinn16 和 vinn17 由 IO 输入，其余 vinn*x* 都连接到 VREFL。

vinp*x* 中，vinp18 内部连接到 VDD_SOC，其余 vinp*x* 都由 IO 输入。

ADC0 输入通道与 IO 的具体连接，请参考章 20。

63.1.2 ADC1 输入通道分配

12 位模拟数字转换器 ADC1 支持输入通道 vinn0~18，vinp0~18。

vinn*x* 中，vinn16 和 vinn17 由 IO 输入，其余 vinn*x* 都连接到 VREFL。

ADC1 输入通道与 IO 的具体连接，请参考章 20。

63.1.3 ADC2 输入通道分配

12 位模拟数字转换器 ADC2 支持输入通道 vinn0~18，vinp0~18。

vinn*x* 中，vinn16 和 vinn17 由 IO 输入，其余 vinn*x* 都连接到 VREFL。

ADC2 输入通道与 IO 的具体连接，请参考章 20。

63.1.4 ADC12 的差分通道输入

12 位模拟数字转换器 ADC 支持对差分输入通道进行转换，ADCa_VINPx 和 ADCa_VINNx 组成模拟输入差分对。ADC12 的差分输入通道用作单端输入时，ADCa_VINPx 可以作为单端输入，ADCa_VINNx 必须接 VREFL。

注意，差分输入信号的共模电平范围为 (VREFH + VREFL)/2 - 0.18V ~ (VREFH + VREFL)/2 + 0.18V。如果差分输入信号的共模电平水平不满足要求，用户可以利用 2 个 ADC12 同时对差分输入信号对的 2 个通道各自进行单端转换，并将转换结果相减。

63.2 16 位模拟数字转换器 ADC16

本产品支持 1 个 16 位模拟数字转换器 ADC16。ADC16 是一种采用逐次逼近方式的模拟数字转换器，可以转换来自外部引脚、以及芯片内部的模拟信号，最大采样率 2MSPS。

本产品上，16 位 ADC 称为 ADC3。

注意：本产品上，ADC16 部分寄存器 (ADC16_ 开头的寄存器，偏移量大于等于 0x1400)，需要配置如下寄存器才能正常写入：

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

- 设置 CONV_CFG1 寄存器 CLOCK_DIVIDER=1；
- 设置 ANA_CTRL0 寄存器 ADC_CLK_ON=1;

63.2.1 ADC3 输入通道分配

16 位模拟数字转换器 ADC3 支持输入通道 ina0~7，全部来自 IO，输入通道 ina14，来自片上的温度传感器。

ADC3 输入通道与 IO 的具体连接，请参考章 20。

63.2.2 ADC 转换触发信号连接

本产品上 12 位模拟数字转换器 ADC12 和 16 位模拟数字转换器 ADC16 都支持 2 种队列转换，序列转换和抢占转换：

- 序列转换长度最长可达 16，支持软件或者硬件触发，硬件触发信号 STRIGI，来自各个互联管理器。片上的其他模块可以以此触发 ADC 序列转换
- 抢占转换长度最长可达 4，每个 ADC 支持 4 组，每组 3 个，共 12 个抢占转换队列。每个抢占队列支持软件或者硬件触发，12 个硬件触发信号来自互联管理器，片上的其他模块可以以此触发 ADC 抢占转换
  - PTRGI0A，PTRGI0B，PTRGI0C 来自互联管理器 TRGM0
  - PTRGI1A，PTRGI1B，PTRGI1C 来自互联管理器 TRGM1
  - PTRGI2A，PTRGI2B，PTRGI2C 来自互联管理器 TRGM2
  - PTRGI3A，PTRGI3B，PTRGI3C 来自互联管理器 TRGM3
  - 片上各个 ADC 的相同序号抢占转换触发序号短接，因此，同一个触发信号可以同时触发片上所有 ADC 的相同序号的抢占转换序列。

ADC12 / ADC16 的触发信号的具体连接请查阅节 44.4。

注意：在接收触发信号之前，ADC12 和 ADC16 必须先初始化，不然可能导致工作异常。

63.3 比较器 ACMP

本产品支持 4 个模拟比较器 ACMP。ACMP 可以对两个模拟电压输入 (正端电压 INP) 和负端电压 (INN) 进行比较，并输出比较结果。ACMP 支持内部 8 位数字模拟转换器 DAC，支持比较 2 个外部模拟信号，或者比较外部模拟信号与内部 DAC 生成的参考信号。

本产品上，ACMP 内部 DAC 的参考电压来自 VREFH。

本产品上，ACMP 内部参考电流来自于 ADC16，用户在使用 ACMP 前，需要通过配置 ADC16 寄存器，打开参考电流 (ADC16_CONFIG0 寄存器的 BANDGAP_EN 位置 1)。注意步骤如下：

- 设置 ADC16_CONV_CFG1 寄存器 CLOCK_DIVIDER=1；
- 设置 ADC16_ANA_CTRL0 寄存器 ADC_CLK_ON=1;
- 设置 ADC16_CONFIG0 寄存器 BANDGAP_EN=1;

本产品上，4 个 ACMP 支持 8 路正端电压 INP 输入通道和 8 路负端电压 INN 输入通道。INP0 和 INN0 来自 ACMP 内置 DAC 的输出。其余输入通道来自 IO。本产品上，各个 ACMP 输入通道与 IO 的具体连接，请参考章 20。

本产品上,4 个 ACMP 的输出连接到 IO,也连接到电机系统的互联管理器。具体连接请参考章 20和小节 44.4.1。

63.4 温度传感器

本产品上，集成了一个温度传感器，可以用于测量芯片内部的温度。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

温度传感器输出随温度变化而变化，其输出连接到片上的 ADC3。

用户可以使用 ADC 读取温度传感器的输出结果 CODE_OUT。注意，推荐 ADC 的采样时间不小于 10 μs, 且不大于 100 μs。

用户根据温度传感器当前输出电压 $VTEMP_{OUT}$，和 25°C 时的校正电压 $VTEMP_{OUT25C}$，代入以下公式推算出当前的片上温度。

$$当前温度(^{\circ}C) = (VTEMP_{OUT} - VTEMP_{OUT25C}) \div 6mV + 25^{\circ}C$$

其中，$VTEMP_{OUT25C}$ 为温度传感器在 25°C 时的矫正电压，芯片在出厂时会将此校正值对应的 ADC 输出结果 (CODE_25C) 烧写入 OTP 的 TSNS_BASE 位域，OTP 映射表详情请见章 17。

$VTEMP_{OUT25C} = CODE_25C \times 3300 \div 65536$

$VTEMP_{OUT}$ 为使用时测得温度传感器电压，根据 ADC 输出结果 (16 位结果，使用 ADC12 时需将 12 位结果乘 16 获得) 计算：

$VTEMP_{OUT} = CODE_OUT \div 65536$

芯片出厂时使用 3.3V 的 VREFH（3300mv）作为 ADC 参考电压测量温度传感器校正值，用户在计算 $VTEMP_{OUT}$ 时需根据用户使用的 ADC 的 VREFH(以毫伏为单位) 来计算

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

64 12 位模数转换器 ADC12

本章节介绍 12 位模数转换器 ADC12 的主要功能和特性:

64.1 特性总结

本章节介绍 12 位模数转换器 ADC12 的主要特性：

- 12 位逐次逼近型 ADC
- 最大 5MHz 采样率
- 支持单端和差分输入
- 独立的 ADC 转换时钟
- 支持可配置的 AD 转换分辨率，6 位，8 位，10 位，12 位
- 可配置采样周期数
- 内置 DMA 可直接把 ADC 转换结果写入内存
- 支持读取转换模式
  - 读取结果寄存器直接触发转换
- 支持周期转换模式
  - 内置定时器按周期进行转换
  - 支持硬件阈值比较，对超出范围的转换结果报警
- 支持序列转换模式
  - 可由软件或硬件触发
  - 序列最长可达 16
  - 支持单次转换或者连续转换
  - 支持序列循环
- 支持抢占转换模式
  - 可由软件或硬件触发
  - 连续转换序列最长可达 4
- 支持生成各类中断

64.2 功能描述

本章节描述 12 位模数转换器 ADC12 的功能.

64.2.1 ADC 时钟

ADC 时钟包括 ADC 控制器时钟和 ADC 转换时钟。

其中 ADC 转换时钟是 ADC 逐次逼近模拟转换节拍控制的时钟.

由 ADC 控制器时钟经过预分频得到，ADC 控制器时钟由系统控制模块配置，默认为系统总线时钟 200MHz(与电机系统时钟同步)。

用户可以通过设置 CONV_CFG1[CLOCK_DIVIDER] 寄存器位，配置 ADC 转换时钟相对于 ADC 控制器时钟的预分频的值。

ADC12 转换时钟最大频率为 83.3MHz。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

64.2.2 ADC 输入通道配置

ADC 的每一个输入通道都可以通过 SAMPLE_CFGx 寄存器来单独配置。

用户可以通过 SAMPLE_CFGx [SAMPLE_CLOCK_NUMBER] 和 [SAMPLE_CLOCK_NUMBER_SHIFT] 位来设置通道的采样时间。

采样时间为 $SAMPLE_CLOCK_NUMBER \times 2^{SAMPLE_CLOCK_NUMBER_SHIFT}$ 个时钟周期。采样时间最短为 1 个时钟周期。

ADC 采样之后，转换得到:

- 12 位转换结果需要 14 个 ADC 转换时钟周期
- 10 位转换结果需要 12 个 ADC 转换时钟周期
- 8 位转换结果需要 10 个 ADC 转换时钟周期
- 6 位转换结果需要 8 个 ADC 转换时钟周期

每个通道的转换时间是采样时间和转换时间的和。

用户需要通过 ANA_CTRL1 [SELRES] 位来选择 ADC 的转换分辨率：

- 2’b00，6bit 分辨率
- 2’b01，8bit 分辨率
- 2’b10，10bit 分辨率
- 2’b11，12bit 分辨率

此外，用户需要把 CONV_CFG1[CONVERT_CLOCK_NUMBER] 配置成转换结果分辨率对应的值：

- 6bit 分辨率应配置为 8
- 8bit 分辨率应配置为 10
- 10bit 分辨率应配置为 12
- 12bit 分辨率应配置为 14

用户可以通过 SAMPLE_CFGx [DIFF_SEL] 位来设置 ADC 输入是差分模式还是单端模式。

64.2.3 读取转换模式

用户可以通过读取转换模式直观的读取 ADC 某个输入通道的转换结果。

适用于用户需要尽快知道某个通道的结果，在此之前无其他任务可做的情况。

当用户读取 BUS_RESULTx 寄存器时，就会触发一次对 ADC 输入 x 的转换。待转换完成以后，直接返回结果。

根据不同的 ADC 通道配置，返回转换结果的用时也会不同。

在 ADC 完成转换之前，ADC 会阻塞相关外设总线的访问，而由转换引起的阻塞时间可能会比较长 (取决于设置的采样及转换时间)。

用户可以把 BUF_CFG0 [WAITDIS] 位置 1 来关闭总线阻塞，这时读 BUS_RESULTx 寄存器会直接返回上一次转换的结果。当 BUS_RESULTx [VALID] 位置 1 时，提示 ADC 转换完成，此时 BUS_RESULTx 寄存器中保存了最近一次的转换结果。

64.2.4 周期转换模式

用户可以通过周期转换模式要求 ADC 的一个或者多个输入通道进行周期性的转换。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

适用于有定时转换的需求，或监控某个通道是否超过阈值。

用户可以通过 PRD_CFGx [PRD_CNT] 和 [PRESCALE] 寄存器位设置周期的长度,周期的长度具体为 $PRD_CNT \times 2^{PRESCALE}$，每个 ADC 时钟周期，计数器都会-1，计数器计数到 0 时，即开始转换，同时计数器重载。

注意，把 PRD_CFGx [PRD_CNT] 位清 0 的话，表示关闭该输入的周期转换。

周期转换的结果保存在 PRD_RESULTx 寄存器里，软件能从 PRD_RESULTx 里读取到输入通道 x 的最近一次转换结果。

注意，PRD_RESULTx 总是保存 ADC 输入通道 x 最近一次的转换结果。PRD_RESULTx 不仅保存周期转换的结果，也保存其他转换模式的转换结果。

用户可以通过设置 PRD_THSHD_CFGx[THSHDH] 和 PRD_THSHD_CFGx[THSHDL] 对输入通道 x 的转换结果进行监测。一旦转换结果超出范围 (Result 大于 THSHDHx 或者 Result 小于 THSHDLx)，即会报警，相应的标志位 INT_STS[ADWDGx] 位会置 1，如果相应中断使能，还会产生中断。

注意，ADC 转换结果检测不限于周期转换模式，而是对所有读取模式都有效。如果设置的门限不正确，比如，把 THSHDHx 设为 0，那么每当通道转换结束，都会触发报警。

如果有多个通道同时计时到期需要开始转换，那么序号较小的输入通道会先转换。

64.2.5 序列转换模式

ADC 支持序列转换模式，在此模式下，ADC 可以按照预先编程好的顺序，对指定的输入通道逐一转换。

适用于对某一或者某几个通道，进行连续转换，数据量比较大的情况，比如测试信噪比或 ENOB。

用户可以通过依次配置 SEQ_QUEx 寄存器来指定序列的转换目标是哪个输入通道。SEQ_QUE0 [CHAN_NUM] 位域可以配置序列转换触发之后，第一次 AD 转换的通道序号；SEQ_QUE1 [CHNUM] 位域配置第二次 AD 转换的通道序号，以此类推，SEQ_QUE15[CHNUM] 位配置第 16 次 AD 转换的通道序号。

此外，用户需要配置 SEQ_CFG0 [SEQ_LEN] 位，来指定转换序列的长度，ADC 的转换序列最长可达 16。

序列开始转换可以通过软件或者硬件触发:

- 用户通过软件，先把 SEQ_CFG0 [SW_TRIG_EN] 位置 1，再把 SEQ_CFG0 [SW_TRIG] 位置 1，即触发序列转换。
- SEQ_CFG0 [HW_TRIG_EN] 位置 1 以后，在 STRGI 上捕获到上升沿，即触发序列转换

一经触发，ADC 将按照顺序，根据 SEQ_QUE0 的配置开始转换输入通道，转换完成后，标志位 INT_STS [SEQ_CVC]（转换完成，conversion complete）就会置 1。此时:

- 如果 SEQ_CFG0 [CONT_EN] 位置 1，ADC 会自动根据 SEQ_QUE1 的配置开始下一次 AD 转换，直到达到指定的序列长度 SEQ_QUEn。
- 如果 SEQ_CFG0 [CONT_EN] 位清 0，ADC 等到下一次软件或者硬件触发，才会开始下一个通道的转换。

当 ADC 完成序列的全部转换（长度由 SEQ_CFG0 [SEQ_LEN] 位设置）后，标志位 INT_STS[SEQ_CMPT]（序列转换完成，Sequence Complete）位会置 1。此时:

- 如果 SEQ_CFG0 [RESTART_EN] 位置 1,SEQ_CFG0 [CONT_EN] 位置 1,ADC 会自动根据 SEQ_QUEx 的配置，从 SEQ_QUE0 开始连续依次转换
- 如果 SEQ_CFG0 [RESTART_EN] 位置 0，SEQ_CFG0 [CONT_EN] 位置 1，ADC 在下一次软件或者硬件触发后，会连续转换直到整个序列完成
- 如果 SEQ_CFG0 [CONT_EN] 位置 0，无论 SEQ_CFG0 [RESTART_EN] 位置 1 还是置 0，ADC 在下

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

一次软件或者硬件触发后，才会重新根据 SEQ_QUEx 的配置开始转换。

如果在 ADC 序列转换过程中，接收到新的序列转换触发信号，ADC 会忽略这个触发。如果是软件触发序列转换，此时，INT_STS [SEQ_SW_CFLCT] 位会置 1。如果是由 STRGI 引发的硬件触发序列转换，INT_STS [SEQ_HW_CFLCT] 位会置 1。

64.2.6 序列转换模式的 DMA

ADC 序列转换模式支持内置 DMA，可以直接把转换结果写入内存中用户指定的缓冲区。用户可以通过寄存器 SEQ_DMA_ADDR 配置目标地址，通过 SEQ_DMA_CFG [BUF_LEN] 设置数据区域长度。这样为 ADC 的序列转换结果配置了一个循环缓冲区。即：

第一次 AD 转换完成，DMA 会把转换结果写入 SEQ_DMA_ADDR，下一次 AD 转换的结果会写入 SEQ_DMA_ADDR + 4。之后每一次转换完成都会使指针地址持续累加，如果地址超出 SEQ_DMA_ADDR + BUF_LEN，那么 ADC 会重新向 SEQ_DMA_ADDR 指向的内存地址单元写入下一次 AD 转换的结果。

注意，DMA 每次会向内存写入 32 位（4 字节）数据，其中 12 位的 AD 转换结果位于 [15:4]。位 [31:16] 还包括了周期，序列编号，AD 输入通道序号等标志数据，方便软件解读 AD 转换的信息。

图 107为序列转换模式，DMA 写入内存的数据格式。

31	30	29 28	24 23	20 19	16 15	4 3	0
周期	2'b00	AD输入通道序号 IN0 = 5'b00000 IN1 = 5'b00001 …	4'b111x	序列转换号码 第1次转换 = 4'b0000 第2次转换 = 4'b0001 … 第16次转换 = 4'b1111	AD转换结果	4'b0000	

图 105: 序列转换模式数据格式

用户可以利用其中的周期（Cycle）位 [31] 来辅助判断 AD 转换结果的实时性。当 DMA 在内存的缓冲区中第一次写入转换结果时，该位会置 1。当写满整个缓冲区后，DMA 指针循环指向起始位置，这一轮该位会置 0。当 DMA 又一次写满缓冲区，指针第三次回到起始位置，这一轮周期（Cycle）位又会置 1。

为防止 DMA 覆盖掉缓冲区中没有被及时读取的数据，用户可以把 SEQ_DMA_CFG [STOP_EN] 位置 1，并设置 SEQ_DMA_CFG [STOP_POS] 位，以此标记最近一次软件读取转换结果的位置。DMA 在指针到达 SEQ_DMA_ADDR + STOP_POS 后，就不再将数据写入缓冲区。这次及之后的 AD 转换的结果会丢失，标志位 INT_STS [SEQ_DMAABT] 会置 1，如果打开对应中断，那么 ADC 会生成中断报警。

用户可以通过对 SEQ_DMA_CFG [DMA_RST] 位置 1 再清 0，复位整个转换序列。复位之后，ADC 在下一次软件或者硬件触发后，重新根据 SEQ_QUE0 的配置，开始序列转换。该位也会重置 DMA 的指针到 SEQ_DMA_ADDR 寄存器包含的地址。周期（Cycle）位也会重置到 1。

建议用户把 SEQ_DMA_CFG [DMA_RST] 位置 1 后，软件把内存中的缓冲区初始化清 0，之后再把 SEQ_DMA_CFG [DMA_RST] 位清 0。

64.2.7 抢占转换模式

ADC 支持抢占转换模式，抢占转换是优先级最高的转换模式。

适用于电机控制系统，需要在指定时间对指定通道进行转换的实时性要求比较高的情况。

ADC 支持 12 组抢占转换序列，触发信号分别来自于 4 个电机系统，序号记为 0~3。每个电机系统产生 A，B，C 三个触发信号，共 12 个抢占触发源。

用户可以通过寄存器 CONFIGx，分别配置这些抢占转换序列。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

抢占转换可以通过软件或者硬件触发：

- 软件触发
  - 用户通过软件首先配置 TRG_SW_STA [TRIG_SW_INDEX] 来指定序列序号，0 代表序列 0A，1 代表序列 0B，以此类推，11 代表序列 3C
  - 用户再把 TRG_SW_STA [TRG_SW_STA] 位置 1，完成触发
- 在 PTRGIxA，PTRGIxB 或者 PTRGIxC 上捕获到上升沿，即触发抢占序列 xA，xB 或 xC

用户首先需要通过 CONFIGx 寄存器的 [TRIG_LEN] 位配置抢占转换的序列长度，序列长度最多为 4，即每个触发最多可以触发一次长度为 4 的转换。

用户可以通过 CONFIGx 寄存器配置抢占转换的转换顺序，配置寄存器的 [CHAN0]，[CHAN1]，[CHAN2]，[CHAN3] 位域依次可以配置触发后的第 1，2，3，4 次转换的 AD 输入通道号码。

抢占转换一旦开始，就会根据 [TRIG_LEN] 的配置连续转换完成整个抢占序列。抢占序列的第 x 次转换完成后，如果 CONFIGx 寄存器的 [INTENx] 位置 1，INT_STS [TRIG_CMPT] 标志位会置 1，如果相应的中断控制位也置 1，ADC 就会生成中断。

如果在 ADC 抢占转换过程中，接收到新的抢占转换触发信号，ADC 不会响应新的触发。但是会根据触发来源是软件还是硬件，将 INT_STS [TRIG_SW_CFLICT] 标志位或者 INT_STS[TRIG_HW_CFLICT] 标志位置 1，表示发生了抢占转换触发冲突，如果对应的中断控制位置 1，ADC 会产生中断报警。

如果几个不同的抢占转换同时触发，ADC 会按以下次序优先响应：

组号较小的抢占转换，如 PTRGI0A 优先于 PTRGI1A，同组之间，xA 优先于 xB，xB 优先于 xC。如 PTRGI0A 优先于 PTRGI0B。同时 INT_STS[PTCHWCFLICT] 标志位置 1。

64.2.8 抢占转换模式的 DMA

ADC 抢占转换模式支持内置 DMA，可以直接把转换结果写入内存中用户指定的缓冲区。

用户可以通过寄存器 TRG_DMA_ADDR 配置目标地址，以此地址为基地址，ADC 会占用一块 192 字节的区域作为抢占转换结果的缓冲区。缓冲区分配如表 271：

序号	地址	描述
0	TRG_DMA_ADDR + 0x0	PTRGI0A 触发的第一次 AD 转换结果与附加信息
1	TRG_DMA_ADDR + 0x4	PTRGI0A 触发的第二次 AD 转换结果与附加信息
2	TRG_DMA_ADDR + 0x8	PTRGI0A 触发的第三次 AD 转换结果与附加信息
3	TRG_DMA_ADDR + 0xC	PTRGI0A 触发的第四次 AD 转换结果与附加信息
4	TRG_DMA_ADDR + 0x10	PTRGI0B 触发的第一次 AD 转换结果与附加信息
5	TRG_DMA_ADDR + 0x14	PTRGI0B 触发的第二次 AD 转换结果与附加信息
6	TRG_DMA_ADDR + 0x18	PTRGI0B 触发的第三次 AD 转换结果与附加信息
7	TRG_DMA_ADDR + 0x1C	PTRGI0B 触发的第四次 AD 转换结果与附加信息
8	TRG_DMA_ADDR + 0x20	PTRGI0C 触发的第一次 AD 转换结果与附加信息
9	TRG_DMA_ADDR + 0x24	PTRGI0C 触发的第二次 AD 转换结果与附加信息
10	TRG_DMA_ADDR + 0x28	PTRGI0C 触发的第三次 AD 转换结果与附加信息
11	TRG_DMA_ADDR + 0x2C	PTRGI0C 触发的第四次 AD 转换结果与附加信息
12	TRG_DMA_ADDR + 0x30	PTRGI1A 触发的第一次 AD 转换结果与附加信息
13	TRG_DMA_ADDR + 0x34	PTRGI1A 触发的第二次 AD 转换结果与附加信息

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

序号	地址	描述
14	TRG_DMA_ADDR + 0x38	PTRGI1A 触发的第三次 AD 转换结果与附加信息
15	TRG_DMA_ADDR + 0x3C	PTRGI1A 触发的第四次 AD 转换结果与附加信息
16	TRG_DMA_ADDR + 0x40	PTRGI1B 触发的第一次 AD 转换结果与附加信息
17	TRG_DMA_ADDR + 0x44	PTRGI1B 触发的第二次 AD 转换结果与附加信息
18	TRG_DMA_ADDR + 0x48	PTRGI1B 触发的第三次 AD 转换结果与附加信息
19	TRG_DMA_ADDR + 0x4C	PTRGI1B 触发的第四次 AD 转换结果与附加信息
20	TRG_DMA_ADDR + 0x50	PTRGI1C 触发的第一次 AD 转换结果与附加信息
21	TRG_DMA_ADDR + 0x54	PTRGI1C 触发的第二次 AD 转换结果与附加信息
22	TRG_DMA_ADDR + 0x58	PTRGI1C 触发的第三次 AD 转换结果与附加信息
23	TRG_DMA_ADDR + 0x5C	PTRGI1C 触发的第四次 AD 转换结果与附加信息
24	TRG_DMA_ADDR + 0x60	PTRGI2A 触发的第一次 AD 转换结果与附加信息
25	TRG_DMA_ADDR + 0x64	PTRGI2A 触发的第二次 AD 转换结果与附加信息
26	TRG_DMA_ADDR + 0x68	PTRGI2A 触发的第三次 AD 转换结果与附加信息
27	TRG_DMA_ADDR + 0x6C	PTRGI2A 触发的第四次 AD 转换结果与附加信息
28	TRG_DMA_ADDR + 0x70	PTRGI2B 触发的第一次 AD 转换结果与附加信息
29	TRG_DMA_ADDR + 0x74	PTRGI2B 触发的第二次 AD 转换结果与附加信息
30	TRG_DMA_ADDR + 0x78	PTRGI2B 触发的第三次 AD 转换结果与附加信息
31	TRG_DMA_ADDR + 0x7C	PTRGI2B 触发的第四次 AD 转换结果与附加信息
32	TRG_DMA_ADDR + 0x80	PTRGI2C 触发的第一次 AD 转换结果与附加信息
33	TRG_DMA_ADDR + 0x84	PTRGI2C 触发的第二次 AD 转换结果与附加信息
34	TRG_DMA_ADDR + 0x88	PTRGI2C 触发的第三次 AD 转换结果与附加信息
35	TRG_DMA_ADDR + 0x8C	PTRGI2C 触发的第四次 AD 转换结果与附加信息
36	TRG_DMA_ADDR + 0x90	PTRGI3A 触发的第一次 AD 转换结果与附加信息
37	TRG_DMA_ADDR + 0x94	PTRGI3A 触发的第二次 AD 转换结果与附加信息
38	TRG_DMA_ADDR + 0x98	PTRGI3A 触发的第三次 AD 转换结果与附加信息
39	TRG_DMA_ADDR + 0x9C	PTRGI3A 触发的第四次 AD 转换结果与附加信息
40	TRG_DMA_ADDR + 0xA0	PTRGI3B 触发的第一次 AD 转换结果与附加信息
41	TRG_DMA_ADDR + 0xA4	PTRGI3B 触发的第二次 AD 转换结果与附加信息
42	TRG_DMA_ADDR + 0xA8	PTRGI3B 触发的第三次 AD 转换结果与附加信息
43	TRG_DMA_ADDR + 0xAC	PTRGI3B 触发的第四次 AD 转换结果与附加信息
44	TRG_DMA_ADDR + 0xB0	PTRGI3C 触发的第一次 AD 转换结果与附加信息
45	TRG_DMA_ADDR + 0xB4	PTRGI3C 触发的第二次 AD 转换结果与附加信息
46	TRG_DMA_ADDR + 0xB8	PTRGI3C 触发的第三次 AD 转换结果与附加信息
47	TRG_DMA_ADDR + 0xBC	PTRGI3C 触发的第四次 AD 转换结果与附加信息

表 269: ADC 抢占转换 DMA 数据缓冲区分配

抢占转换触发后，按照触发来源以及在抢占转换序列中的序号，DMA 会把转换结果写入缓冲区对应的位置。

注意，DMA 每次会向内存写入 32 位（4 字节）数据，其中 12 位的 AD 转换结果位于 [15:4]。位 [31:16] 还包括了周期，序列编号，AD 输入通道序号等标志数据，方便软件解读 AD 转换的信息。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29 28	24 23	20 19	18 17	16 15	4 3	0
周期	2'b00	AD输入通道序号 IN0 = 5'b00000 IN1 = 5'b00001 …	抢占触发来源 PTRIG0A = 4'b0000 PTRIG0B = 4'b0001 … PTRIG3C = 4'b1011	2'b00	序列号码 第1次转换 = 2'b00 第2次转换 = 2'b01 第3次转换 = 2'b10 第4次转换 = 2'b11	AD转换结果	4'b0000	

图 106: 抢占转换模式数据格式

位 31 用于和软件的交互，软件可以在初始化缓冲区时将此位清零，在收到转换完成中断后读取结果时，需检查此位为高，确保 ADC 已经将新的结果写入缓冲区。

64.2.9 ADC 中断

ADC 支持以下中断：

- 在序列转换模式下，序列中某一次 AD 转换完成，INT_STS [SEQ_CVC] 位置 1
- 在序列转换模式下，整个序列转换完成，INT_STS[SEQ_CMPT] 位置 1
- ADC 序列转换进行中，软件触发序列转换，INT_STS[SEQ_SW_CFLCT] 位置 1
- ADC 序列转换进行中，硬件触发序列转换，INT_STS[SEQ_HW_CFLCT] 位置 1
- 在序列转换模式下，SEQ_DMA_CFG[STOP_EN] 位置 1，并设置 SEQ_DMA_CFG [STOP_POS] 位，DMA 在指针到达 SEQ_DMA_ADDR + STOP_POS 后，停止将数据写入缓冲区，标志位 INT_STS[SEQ_DMAABT] 置 1
- 抢占转换模式下，抢占序列的第 x 次转换完成后，并且 CONFIGx 寄存器的 [INTENx] 位置 1，INT_STS[TRIG_CMPT] 位置 1
- ADC 序列抢占转换进行中，软件触发抢占转换，INT_STS[TRIG_SW_CFLICT] 位置 1
- ADC 序列抢占转换进行中，又收到抢占触发信号，或者多个抢占触发信号同时到达，INT_STS[TRIG_HW_CFLICT] 位置 1
- ADC 读取转换进行中，并且已将 BUF_CFG0 [WAITDIS] 位置 1，软件读取另一个 BUS_RESULT 寄存器，INT_STS [READ_CFLCT] 位置 1
- 当输入通道 x 的 AD 转换结果超出 THSHDx 寄存器设置的范围，即会报警，INT_STS [WDOG] 位置 1
- 序列转换和抢占转换的 DMA FIFO 溢出时，INT_STS[DMA_FIFO_FULL] 位置 1
- 序列转换和抢占转换的 DMA 对存储器写入 ADC 转换结果出错时，INT_STS [AHB_ERR] 位置 1

用户可以对 INT_STS 寄存器内的各个标志位写入 1 来把该标志位清 0。

ADC 可以通过 INT_EN 寄存器管理这些中断，如果对应的中断使能位置 1，那么标志位置 1 时，即表示产生了中断。

64.2.10 ADC 启动和校正

当 ANA_CTRL0[ENADC] 和 ANA_CTRL0[ENLDO] 位置 0 时，ADC 处于节电模式。

ADC 从节电模式启动的步骤如下：

- 启动 ADC 的内部 LDO，需要把 ANA_CTRL0[ENLDO] 位置 1，并等待不少于 20 us
- 启动 ADC，需要把 ANA_CTRL0[ENADC] 位置 1
- 把 ANA_CTRL0[RESETCAL] 和 ANA_CTRL0[RESETADC] 位置 1 后，保持至少一个 ADC 转换时钟周期后，再将之清 0
- 如果是初次启动 ADC，需要进行 ADC 校正。如果已进行过校正，则等待 2 个 ADC 转换时钟周期
- 执行一次 ADC 转换，并丢弃这次转换结果

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

为了获得更加准确的 AD 转换结果，在 ADC 退出节电模式，初次使用之前需要对 ADC 进行校正，具体步骤如下：

- 配置 ANA_CTRL1[SELDIFF]，选择进行单端转换校正还是差分转换校正。注意，如果同时使用 ADC 的单端转换和差分转换的话，它们的校正需要分别进行。
- 复位校正电路，需要把 ANA_CTRL0[RESETCAL] 位置 1 后，保持至少一个 ADC 转换时钟周期后，再将之清 0
- 再等待至少 3 个 ADC 转换时钟周期后，通过将 ANA_CTRL0[STARTCAL] 位置 1，开始校正，保持至少一个 ADC 转换时钟周期后，应当将 ANA_CTRL0[STARTCAL] 位清 0
- 校正开始后，ANAINT_STS[CALON] 标志位会置 1，在校正结束后，该位会清 0，校正时间不超过 82 个 ADC 转换时钟周期
- 校正结束后，可以从 ANAINT_STS[CALOUT] 读取到最新的校正值
- 如果进行的是单端转换校正，那么将读取到的校正值写入 ANA_CTRL0[CALSE]
- 如果进行的是差分转换校正，那么将读取到的校正值写入 ANA_CTRL0[CALDIFF]

64.3 ADC12 寄存器列表

ADC12 的寄存器列表如下：

ADC0 base address: 0xF0010000 ADC1 base address: 0xF0014000 ADC2 base address: 0xF0018000

地址偏移	名称	描述	复位值
0x0000	CONFIG[TRG0A]	抢占模式配置寄存器	0x00000000
0x0004	CONFIG[TRG0B]	抢占模式配置寄存器	0x00000000
0x0008	CONFIG[TRG0C]	抢占模式配置寄存器	0x00000000
0x000C	CONFIG[TRG1A]	抢占模式配置寄存器	0x00000000
0x0010	CONFIG[TRG1B]	抢占模式配置寄存器	0x00000000
0x0014	CONFIG[TRG1C]	抢占模式配置寄存器	0x00000000
0x0018	CONFIG[TRG2A]	抢占模式配置寄存器	0x00000000
0x001C	CONFIG[TRG2B]	抢占模式配置寄存器	0x00000000
0x0020	CONFIG[TRG2C]	抢占模式配置寄存器	0x00000000
0x0024	CONFIG[TRG3A]	抢占模式配置寄存器	0x00000000
0x0028	CONFIG[TRG3B]	抢占模式配置寄存器	0x00000000
0x002C	CONFIG[TRG3C]	抢占模式配置寄存器	0x00000000
0x0030	TRG_DMA_ADDR	抢占模式 DMA 地址寄存器	0x00000000
0x0034	TRG_SW_STA		0x00000000
0x0400	BUS_RESULT[CHN0]	读取模式结果寄存器	0x00000000
0x0404	BUS_RESULT[CHN1]	读取模式结果寄存器	0x00000000
0x0408	BUS_RESULT[CHN2]	读取模式结果寄存器	0x00000000
0x040C	BUS_RESULT[CHN3]	读取模式结果寄存器	0x00000000
0x0410	BUS_RESULT[CHN4]	读取模式结果寄存器	0x00000000
0x0414	BUS_RESULT[CHN5]	读取模式结果寄存器	0x00000000
0x0418	BUS_RESULT[CHN6]	读取模式结果寄存器	0x00000000
0x041C	BUS_RESULT[CHN7]	读取模式结果寄存器	0x00000000
0x0420	BUS_RESULT[CHN8]	读取模式结果寄存器	0x00000000
0x0424	BUS_RESULT[CHN9]	读取模式结果寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0428	BUS_RESULT[CHN10]	读取模式结果寄存器	0x00000000
0x042C	BUS_RESULT[CHN11]	读取模式结果寄存器	0x00000000
0x0430	BUS_RESULT[CHN12]	读取模式结果寄存器	0x00000000
0x0434	BUS_RESULT[CHN13]	读取模式结果寄存器	0x00000000
0x0438	BUS_RESULT[CHN14]	读取模式结果寄存器	0x00000000
0x043C	BUS_RESULT[CHN15]	读取模式结果寄存器	0x00000000
0x0440	BUS_RESULT[CHN16]	读取模式结果寄存器	0x00000000
0x0444	BUS_RESULT[CHN17]	读取模式结果寄存器	0x00000000
0x0448	BUS_RESULT[CHN18]	读取模式结果寄存器	0x00000000
0x0500	BUF_CFG0	读取模式配置寄存器 0	0x00000000
0x0800	SEQ_CFG0	序列模式配置寄存器 0	0x00000000
0x0804	SEQ_DMA_ADDR	序列模式 DMA 地址寄存器	0x00000000
0x0808	SEQ_WR_ADDR	序列模式 DMA 指针寄存器	0x00000000
0x080C	SEQ_DMA_CFG	序列模式 DMA 配置寄存器	0x00000000
0x0810	SEQ_QUE[CFG0]	序列模式队列配置寄存器	0x00000000
0x0814	SEQ_QUE[CFG1]	序列模式队列配置寄存器	0x00000000
0x0818	SEQ_QUE[CFG2]	序列模式队列配置寄存器	0x00000000
0x081C	SEQ_QUE[CFG3]	序列模式队列配置寄存器	0x00000000
0x0820	SEQ_QUE[CFG4]	序列模式队列配置寄存器	0x00000000
0x0824	SEQ_QUE[CFG5]	序列模式队列配置寄存器	0x00000000
0x0828	SEQ_QUE[CFG6]	序列模式队列配置寄存器	0x00000000
0x082C	SEQ_QUE[CFG7]	序列模式队列配置寄存器	0x00000000
0x0830	SEQ_QUE[CFG8]	序列模式队列配置寄存器	0x00000000
0x0834	SEQ_QUE[CFG9]	序列模式队列配置寄存器	0x00000000
0x0838	SEQ_QUE[CFG10]	序列模式队列配置寄存器	0x00000000
0x083C	SEQ_QUE[CFG11]	序列模式队列配置寄存器	0x00000000
0x0840	SEQ_QUE[CFG12]	序列模式队列配置寄存器	0x00000000
0x0844	SEQ_QUE[CFG13]	序列模式队列配置寄存器	0x00000000
0x0848	SEQ_QUE[CFG14]	序列模式队列配置寄存器	0x00000000
0x084C	SEQ_QUE[CFG15]	序列模式队列配置寄存器	0x00000000
0x0C00	PRD_CFG[CHN0][PRD_CFG]	周期模式配置寄存器	0x00000000
0x0C04	PRD_CFG[CHN0][PRD_THSHD_CFG]	转换结果监测配置寄存器	0x00000000
0x0C08	PRD_CFG[CHN0][PRD_RESULT]	周期模式结果寄存器	0x00000000
0x0C10	PRD_CFG[CHN1][PRD_CFG]	周期模式配置寄存器	0x00000000
0x0C14	PRD_CFG[CHN1][PRD_THSHD_CFG]	转换结果监测配置寄存器	0x00000000
0x0C18	PRD_CFG[CHN1][PRD_RESULT]	周期模式结果寄存器	0x00000000
0x0C20	PRD_CFG[CHN2][PRD_CFG]	周期模式配置寄存器	0x00000000
0x0C24	PRD_CFG[CHN2][PRD_THSHD_CFG]	转换结果监测配置寄存器	0x00000000
0x0C28	PRD_CFG[CHN2][PRD_RESULT]	周期模式结果寄存器	0x00000000
0x0C30	PRD_CFG[CHN3][PRD_CFG]	周期模式配置寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0C34	PRD_CFG[CHN3][PRD_THSHD_CFG]	转换结果监测配置寄存器	0x00000000
0x0C38	PRD_CFG[CHN3][PRD_RESULT]	周期模式结果寄存器	0x00000000
0x0C40	PRD_CFG[CHN4][PRD_CFG]	周期模式配置寄存器	0x00000000
0x0C44	PRD_CFG[CHN4][PRD_THSHD_CFG]	转换结果监测配置寄存器	0x00000000
0x0C48	PRD_CFG[CHN4][PRD_RESULT]	周期模式结果寄存器	0x00000000
0x0C50	PRD_CFG[CHN5][PRD_CFG]	周期模式配置寄存器	0x00000000
0x0C54	PRD_CFG[CHN5][PRD_THSHD_CFG]	转换结果监测配置寄存器	0x00000000
0x0C58	PRD_CFG[CHN5][PRD_RESULT]	周期模式结果寄存器	0x00000000
0x0C60	PRD_CFG[CHN6][PRD_CFG]	周期模式配置寄存器	0x00000000
0x0C64	PRD_CFG[CHN6][PRD_THSHD_CFG]	转换结果监测配置寄存器	0x00000000
0x0C68	PRD_CFG[CHN6][PRD_RESULT]	周期模式结果寄存器	0x00000000
0x0C70	PRD_CFG[CHN7][PRD_CFG]	周期模式配置寄存器	0x00000000
0x0C74	PRD_CFG[CHN7][PRD_THSHD_CFG]	转换结果监测配置寄存器	0x00000000
0x0C78	PRD_CFG[CHN7][PRD_RESULT]	周期模式结果寄存器	0x00000000
0x0C80	PRD_CFG[CHN8][PRD_CFG]	周期模式配置寄存器	0x00000000
0x0C84	PRD_CFG[CHN8][PRD_THSHD_CFG]	转换结果监测配置寄存器	0x00000000
0x0C88	PRD_CFG[CHN8][PRD_RESULT]	周期模式结果寄存器	0x00000000
0x0C90	PRD_CFG[CHN9][PRD_CFG]	周期模式配置寄存器	0x00000000
0x0C94	PRD_CFG[CHN9][PRD_THSHD_CFG]	转换结果监测配置寄存器	0x00000000
0x0C98	PRD_CFG[CHN9][PRD_RESULT]	周期模式结果寄存器	0x00000000
0x0CA0	PRD_CFG[CHN10][PRD_CFG]	周期模式配置寄存器	0x00000000
0x0CA4	PRD_CFG[CHN10][PRD_THSHD_CFG]	转换结果监测配置寄存器	0x00000000
0x0CA8	PRD_CFG[CHN10][PRD_RESULT]	周期模式结果寄存器	0x00000000
0x0CB0	PRD_CFG[CHN11][PRD_CFG]	周期模式配置寄存器	0x00000000
0x0CB4	PRD_CFG[CHN11][PRD_THSHD_CFG]	转换结果监测配置寄存器	0x00000000
0x0CB8	PRD_CFG[CHN11][PRD_RESULT]	周期模式结果寄存器	0x00000000
0x0CC0	PRD_CFG[CHN12][PRD_CFG]	周期模式配置寄存器	0x00000000
0x0CC4	PRD_CFG[CHN12][PRD_THSHD_CFG]	转换结果监测配置寄存器	0x00000000
0x0CC8	PRD_CFG[CHN12][PRD_RESULT]	周期模式结果寄存器	0x00000000
0x0CD0	PRD_CFG[CHN13][PRD_CFG]	周期模式配置寄存器	0x00000000
0x0CD4	PRD_CFG[CHN13][PRD_THSHD_CFG]	转换结果监测配置寄存器	0x00000000
0x0CD8	PRD_CFG[CHN13][PRD_RESULT]	周期模式结果寄存器	0x00000000
0x0CE0	PRD_CFG[CHN14][PRD_CFG]	周期模式配置寄存器	0x00000000
0x0CE4	PRD_CFG[CHN14][PRD_THSHD_CFG]	转换结果监测配置寄存器	0x00000000
0x0CE8	PRD_CFG[CHN14][PRD_RESULT]	周期模式结果寄存器	0x00000000
0x0CF0	PRD_CFG[CHN15][PRD_CFG]	周期模式配置寄存器	0x00000000
0x0CF4	PRD_CFG[CHN15][PRD_THSHD_CFG]	转换结果监测配置寄存器	0x00000000
0x0CF8	PRD_CFG[CHN15][PRD_RESULT]	周期模式结果寄存器	0x00000000
0x0D00	PRD_CFG[CHN16][PRD_CFG]	周期模式配置寄存器	0x00000000
0x0D04	PRD_CFG[CHN16][PRD_THSHD_CFG]	转换结果监测配置寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0D08	PRD_CFG[CHN16][PRD_RESULT]	周期模式结果寄存器	0x00000000
0x0D10	PRD_CFG[CHN17][PRD_CFG]	周期模式配置寄存器	0x00000000
0x0D14	PRD_CFG[CHN17][PRD_THSHD_CFG]	转换结果监测配置寄存器	0x00000000
0x0D18	PRD_CFG[CHN17][PRD_RESULT]	周期模式结果寄存器	0x00000000
0x0D20	PRD_CFG[CHN18][PRD_CFG]	周期模式配置寄存器	0x00000000
0x0D24	PRD_CFG[CHN18][PRD_THSHD_CFG]	转换结果监测配置寄存器	0x00000000
0x0D28	PRD_CFG[CHN18][PRD_RESULT]	周期模式结果寄存器	0x00000000
0x1000	SAMPLE_CFG[CHN0]	通道采样配置寄存器	0x00000000
0x1004	SAMPLE_CFG[CHN1]	通道采样配置寄存器	0x00000000
0x1008	SAMPLE_CFG[CHN2]	通道采样配置寄存器	0x00000000
0x100C	SAMPLE_CFG[CHN3]	通道采样配置寄存器	0x00000000
0x1010	SAMPLE_CFG[CHN4]	通道采样配置寄存器	0x00000000
0x1014	SAMPLE_CFG[CHN5]	通道采样配置寄存器	0x00000000
0x1018	SAMPLE_CFG[CHN6]	通道采样配置寄存器	0x00000000
0x101C	SAMPLE_CFG[CHN7]	通道采样配置寄存器	0x00000000
0x1020	SAMPLE_CFG[CHN8]	通道采样配置寄存器	0x00000000
0x1024	SAMPLE_CFG[CHN9]	通道采样配置寄存器	0x00000000
0x1028	SAMPLE_CFG[CHN10]	通道采样配置寄存器	0x00000000
0x102C	SAMPLE_CFG[CHN11]	通道采样配置寄存器	0x00000000
0x1030	SAMPLE_CFG[CHN12]	通道采样配置寄存器	0x00000000
0x1034	SAMPLE_CFG[CHN13]	通道采样配置寄存器	0x00000000
0x1038	SAMPLE_CFG[CHN14]	通道采样配置寄存器	0x00000000
0x103C	SAMPLE_CFG[CHN15]	通道采样配置寄存器	0x00000000
0x1040	SAMPLE_CFG[CHN16]	通道采样配置寄存器	0x00000000
0x1044	SAMPLE_CFG[CHN17]	通道采样配置寄存器	0x00000000
0x1048	SAMPLE_CFG[CHN18]	通道采样配置寄存器	0x00000000
0x1104	CONV_CFG1	转换配置寄存器 1	0x00000000
0x1108	ADC_CFG0	ADC 配置寄存器 0	0x00000000
0x1110	INT_STS	状态寄存器	0x00000000
0x1114	INT_EN	中断使能寄存器	0x00000000
0x1200	ANA_CTRL0	模拟控制寄存器 0	0x00000000
0x1204	ANA_CTRL1	模拟控制寄存器 1	0x00000000
0x1210	ANA_STATUS	模拟状态寄存器	0x00000000

表 270: ADC12 寄存器列表

64.4 ADC12 寄存器描述

ADC12 的寄存器详细说明如下：

64.4.1 CONFIG (0x0 + 0x4 * n)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRIG_LEN		INTEN3	CHAN3					RSVD		INTEN2	CHAN2					RSVD		INTEN1	CHAN1					RSVD		INTEN0	CHAN0				
WO		RW	RW					N/A		RW	RW					N/A		RW	RW					N/A		RW	RW				
0	0	0	0	0	0	0	0	x	x	0	0	0	0	0	0	x	x	0	0	0	0	0	0	x	x	0	0	0	0	0	0

CONFIG [31:0]

位域	名称	描述
31-30	TRIG_LEN	抢占转换队列长度，0 表示队列包含 1 个转换，3 表示队列包含 4 个转换
29	INTEN3	第 4 次转换结束后中断使能，置 1 时，此次转换结束后 TRIG_COMPT 标志位置 1
28-24	CHAN3	第 4 次转换的通道号码
21	INTEN2	第 3 次转换结束后中断使能，置 1 时，此次转换结束后 TRIG_COMPT 标志位置 1
20-16	CHAN2	第 3 次转换的通道号码
13	INTEN1	第 2 次转换结束后中断使能，置 1 时，此次转换结束后 TRIG_COMPT 标志位置 1
12-8	CHAN1	第 2 次转换的通道号码
5	INTEN0	第 1 次转换结束后中断使能，置 1 时，此次转换结束后 TRIG_COMPT 标志位置 1
4-0	CHAN0	第 1 次转换的通道号码

CONFIG 位域

64.4.2 TRG_DMA_ADDR (0x30)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRG_DMA_ADDR																														RSVD	
RW																														N/A	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x

TRG_DMA_ADDR [31:0]

位域	名称	描述
31-2	TRG_DMA_ADDR	抢占转换的 DMA 目标地址，抢占转换结束后，ADC 内置的 DMA 会将转换结果存放入该位域指向的一块长度为 192 字节的缓冲区。

TRG_DMA_ADDR 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

64.4.3 TRG_SW_STA (0x34)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																											TRG_SW_STA	TRIG_SW_INDEX			
N/A																											RW	RW			
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0

TRG_SW_STA [31:0]

位域	名称	描述
4	TRG_SW_STA	
3-0	TRIG_SW_INDEX	

TRG_SW_STA 位域

64.4.4 BUS_RESULT (0x400 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD															VALID	CHAN_RESULT												RSVD			
N/A															RO	RO												N/A			
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	x

BUS_RESULT [31:0]

位域	名称	描述
16	VALID	转换结果有效提示位。如果 WAIT_DIS 位置 1，该位在读取转换结束后置 1，并在软件从结果寄存器读取转换结果后清 0 该位为 0 时，对读取转换结果寄存器的读操作会触发一次 AD 转换 如果 AD 转换过程中读取其他通道的读取转换结果寄存器，不会触发 AD 转换，只会返回旧的转换结果，并且 read_cflict 标志位会置 1
15-4	CHAN_RESULT	读此位域会触发一次对应通道的 AD 转换 如果 WAIT_DIS 位置 1，读此位域会返回前一次 AD 转换结果，直到 VALID 位置 1 后，才能读到最近一次的转换结果 如果 WAIT_DIS 位置 0，读此位域会阻塞总线，直到 AD 完成转换之后返回转换结果

BUS_RESULT 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

64.4.5 BUF_CFG0 (0x500)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																															WAIT_DIS
N/A																															RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0

BUF_CFG0 [31:0]

位域	名称	描述
0	WAIT_DIS	该位置 1 可以防止读取模式阻塞总线

BUF_CFG0 位域

64.4.6 SEQ_CFG0 (0x800)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CYCLE	RSVD																			SEQ_LEN				RSVD			RESTART_EN	CONT_EN	SW_TRIG	SW_TRIG_EN	HW_TRIG_EN
RO	N/A																			RW				N/A			RW	RW	WO	RW	RW
0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	x	x	x	0	0	0	0	0

SEQ_CFG0 [31:0]

位域	名称	描述
31	CYCLE	序列模式 DMA 写内存的周期提示位，该位在每次 DMA 写内存后会翻转
11-8	SEQ_LEN	序列转换的队列长度，0 表示包含 1 次转换，0xF 表示包含 16 次转换
4	RESTART_EN	自动重新转换位，当此位与 CONT_EN 位都置 1 时，仅需 1 次触发，ADC 硬件会持续地循环转换整个序列
3	CONT_EN	连续转换位 1：ADC 在收到 1 次序列转换触发后，就会连续转换完整个序列 0：ADC 在收到 1 次序列转换触发后，转换序列中的一个通道
2	SW_TRIG	序列转换软件触发位
1	SW_TRIG_EN	序列转换软件触发使能位
0	HW_TRIG_EN	序列转换硬件触发使能位

SEQ_CFG0 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

64.4.7 SEQ_DMA_ADDR (0x804)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAR_ADDR																														RSVD	
RW																														N/A	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x

SEQ_DMA_ADDR [31:0]

位域	名称	描述
31-2	TAR_ADDR	序列转换 DMA 的目标地址

SEQ_DMA_ADDR 位域

64.4.8 SEQ_WR_ADDR (0x808)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																				SEQ_WR_POINTER											
N/A																				RO											
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0

SEQ_WR_ADDR [31:0]

位域	名称	描述
11-0	SEQ_WR_POINTER	序列抓换 DMA 的写指针，每次 DMA 把转换结果写入内存后，硬件会自动更新该位 下一次写入的地址为 DDR + 4 * SEQ_WR_POINTER

SEQ_WR_ADDR 位域

64.4.9 SEQ_DMA_CFG (0x80C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				STOP_POS												RSVD		DMA_RST	STOP_EN	BUF_LEN											
N/A				RW												N/A		RW	RW	RW											
x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SEQ_DMA_CFG [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
27-16	STOP_POS	DMA 停止位置位，如果 STOP_EN 位置 1，序列模式的 DMA 在写入到该位指定的位置后，就不再继续将结果写入内存。直到软件更新此位，指定新的停止写入位置。
13	DMA_RST	重置序列转换 DMA，置 1 后，序列转换 DMA 不再将转换结果写入内存，会把写内存指针重置到 TAR_ADDR，并把 cycle 位重置为 1
12	STOP_EN	该位置 1 后，序列模式 DMA 会在指针指向特定位置后，不再往内存写入转换结果
11-0	BUF_LEN	内存中分配给序列转换 DMA 的缓冲区长度。DMA 会在写满缓冲区后，重新从缓冲区头部写入新的转换结果 0 表示缓冲区大小为 4 Byte，0xFFF 表示缓冲区大小为 16 KB

SEQ_DMA_CFG 位域

64.4.10 SEQ_QUE (0x810 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																										SEQ_INT_EN	CHAN_NUM_4_0				
N/A																										RW	RW				
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0

SEQ_QUE [31:0]

位域	名称	描述
5	SEQ_INT_EN	本次转换完成后中断使能，置 1 后，此次转换完成后 SEQ_CVC 标志位置 1
4-0	CHAN_NUM_4_0	本次转换的通道序号

SEQ_QUE 位域

64.4.11 PRD_CFG[PRD_CFG] (0xC00 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																			PRESCALE					PRD							
N/A																			RW					RW							
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0

PRD_CFG[PRD_CFG] [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
12-8	PRESCALE	周期模式周期长度的预分频 0: 1* PRD 1：2* PRD 2：4* PRD ..... 15：32K* PRD ..... 31: 2G* PRD PRD 为分频前的 adc 时钟，默认为 AHB 时钟
7-0	PRD	周期模式的周期长度，0 表示关闭周期模式 单位由 prescale 决定

PRD_CFG[PRD_CFG] 位域

64.4.12 PRD_CFG[PRD_THSHD_CFG] (0xC04 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
THSHDH																THSHDL															
RW																RW															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PRD_CFG[PRD_THSHD_CFG] [31:0]

位域	名称	描述
31-16	THSHDH	监测上限，当转换结果超过上限时，WDOG 标志位置 1
15-0	THSHDL	监测下限，当转换结果低于下限时，WDOG 标志位置 1

PRD_CFG[PRD_THSHD_CFG] 位域

64.4.13 PRD_CFG[PRD_RESULT] (0xC08 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																CHAN_RESULT												RSVD			
N/A																RO												N/A			
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	x

PRD_CFG[PRD_RESULT] [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
15-4	CHAN_RESULT	周期模式转换结果，周期模式下，该位会周期性得更新 AD 转换结果，如果对应 AD 通道由其他转换模式触发，转换结果也会存放到该位域

PRD_CFG[PRD_RESULT] 位域

64.4.14 SAMPLE_CFG (0x1000 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																			DIFF_SEL	SAMPLE_CLOCK_NUMBER_SHIFT			SAMPLE_CLOCK_NUMBER								
N/A																			RW	RW			RW								
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0

SAMPLE_CFG [31:0]

位域	名称	描述
12	DIFF_SEL	该位置 1 表示 AD 通道为差分输入，否则为单端输入
11-9	SAMPLE_CLOCK _NUMBER_SHIFT	采样长度左移位数 1：sample_clock_number«1 .....
8-0	SAMPLE_CLOCK _NUMBER	采样长度，以 ADC 时钟为单位

SAMPLE_CFG 位域

64.4.15 CONV_CFG1 (0x1104)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																							CONVERT_CLOCK_NUMBER					CLOCK_DIVIDER			
N/A																							RW					RW			

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0

CONV_CFG1 [31:0]

位域	名称	描述
8-4	CONVERT_CLOCK_NUMBER	AD 转换时间长度，单位为 ADC 时钟周期 当 ADC 转换精度为 12 位时，应设为 13（对应 14 个时钟周期） 10 位时，应设为 11（对应 12 个时钟周期） 8 位时，应设为 9（对应 10 个时钟周期） 6 位时，应设为 7（对应 8 个时钟周期）
3-0	CLOCK_DIVIDER	ADC 时钟分频位，ADC 时钟与总线时钟比率 0：1:1 1：1:2 2：1:3 ... 15: 1:16

CONV_CFG1 位域

64.4.16 ADC_CFG0 (0x1108)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SEL_SYNC_AHB	RSVD	ADC_AHB_EN	RSVD																												
RW	N/A	RW	N/A																												
0	x	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x

ADC_CFG0 [31:0]

位域	名称	描述
31	SEL_SYNC_AHB	1: ADC 时钟与总线时钟同步，此位置 1 时，ADC 时钟必须与总线时钟相同
29	ADC_AHB_EN	1：允许序列转换和抢占转换的 DMA 把转换结果写入内存

ADC_CFG0 位域

64.4.17 INT_STS (0x1110)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRIG_CMPT	TRIG_SW_CFLCT	TRIG_HW_CFLCT	READ_CFLCT	SEQ_SW_CFLCT	SEQ_HW_CFLCT	SEQ_DMAABT	SEQ_CMPT	SEQ_CVC	DMA_FIFO_FULL	AHB_ERR	RSVD		WDOG																		
W1C	W1C	RW	W1C	W1C	RW	W1C	W1C	W1C	RW	RW	N/A		W1C																		
0	0	0	0	0	0	0	0	0	0	0	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

INT_STS [31:0]

位域	名称	描述
31	TRIG_CMPT	抢占转换完成标志位
30	TRIG_SW_CFLCT	软件触发抢占转换冲突标志位
29	TRIG_HW_CFLCT	硬件触发抢占转换冲突标志位
28	READ_CFLCT	读取转换冲突位，如果 WAIT_DIS 位置 1，在 AD 转换进行中，软件读取其他通道的读取结果寄存器后，该位置 1
27	SEQ_SW_CFLCT	软件触发序列转换冲突标志位
26	SEQ_HW_CFLCT	硬件触发序列转换冲突标志位
25	SEQ_DMAABT	序列模式 DMA 放弃标志位，当 STOP_EN 位置 1，并且 DMA 写入到 STOP_POS 指定的停止位置后，该位置 1
24	SEQ_CMPT	序列模式队列完成标志位
23	SEQ_CVC	序列模式单次转换完成标志位，对应的 SEQ_INT_EN 位置 1 后，才会置 1
22	DMA_FIFO_FULL	
21	AHB_ERR	
18-0	WDOG	AD 转换结果看门狗标志位

INT_STS 位域

64.4.18 INT_EN (0x1114)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRIG_CMPT	TRIG_SW_CFLCT	TRIG_HW_CFLCT	READ_CFLCT	SEQ_SW_CFLCT	SEQ_HW_CFLCT	SEQ_DMAABT	SEQ_CMPT	SEQ_CVC	DMA_FIFO_FULL	AHB_ERR	RSVD		WDOG																		
W1C	W1C	RW	W1C	W1C	RW	W1C	W1C	W1C	W1C	W1C	N/A		W1C																		
0	0	0	0	0	0	0	0	0	0	0	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

INT_EN [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31	TRIG_CMPT	抢占转换完成标志位中断使能位
30	TRIG_SW_CFLCT	软件触发抢占转换冲突标志位中断使能位
29	TRIG_HW_CFLCT	硬件触发抢占转换冲突标志位中断使能位
28	READ_CFLCT	读取转换冲突位中断使能位
27	SEQ_SW_CFLCT	软件触发序列转换冲突标志位中断使能位
26	SEQ_HW_CFLCT	硬件触发序列转换冲突标志位中断使能位
25	SEQ_DMAABT	序列模式 DMA 放弃标志位中断使能位
24	SEQ_CMPT	序列模式队列完成标志位中断使能位
23	SEQ_CVC	序列模式单次转换完成标志位中断使能位
22	DMA_FIFO_FULL	序列模式或抢占模式 DMA 内部 FIFO 满标志位，DMA 的目标存储器写入速率不足时可能置 1
21	AHB_ERR	序列模式或抢占模式 DMA 错误标志位，如目标地址为非法地址时可能置 1
18-0	WDOG	AD 转换结果看门狗标志位中断使能位

INT_EN 位域

64.4.19 ANA_CTRL0 (0x1200)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD	CAL_VAL_DIFF							RSVD	CAL_VAL_SE							RSVD	REARM_EN	RSVD		SELRANGE_LDO	RSVD				ENLDO	ENADC	RESETADC	RESETCAL	STARTCAL	LOADCAL	RSVD
N/A	RW							N/A	RW							N/A	RW	N/A		RW	N/A				RW	RW	RW	RW	RW	RW	N/A
x	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0	x	0	x	x	0	x	x	x	x	0	0	0	0	0	0	x

ANA_CTRL0 [31:0]

位域	名称	描述
30-24	CAL_VAL_DIFF	差分通道校正值
22-16	CAL_VAL_SE	单端通道校正值
14	REARM_EN	该位需置 1
11	SELRANGE_LDO	该位需置 1
6	ENLDO	1：打开内部 LDO，置 1 后需等待 20us
5	ENADC	1：打开 ADC 模拟模块
4	RESETADC	1：复位 ADC，在初始化校正时使用
3	RESETCAL	1：复位 ADC 校正，在初始化校正时使用
2	STARTCAL	1：校正开始，在初始化校正时使用
1	LOADCAL	1：载入校正值，当转换通道的单端和差分模式转换时使用

ANA_CTRL0 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

64.4.20 ANA_CTRL1 (0x1204)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																								SELRES		RSVD					
N/A																								RW		N/A					
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	x	x	x	x	x	x

ANA_CTRL1 [31:0]

位域	名称	描述
7-6	SELRES	ADC 转换精度选择 11：12 位 10：10 位 01：8 位 00：6 位

ANA_CTRL1 位域

64.4.21 ANA_STATUS (0x1210)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																								CALON	CAL_OUT						
N/A																								RW	RW						
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0

ANA_STATUS [31:0]

位域	名称	描述
7	CALON	提示 ADC 正在校正中
6-0	CAL_OUT	校正值读取端口，校正后需要将此值写入 CAL_VAL_DIFF 或 CAL_VAL_SE

ANA_STATUS 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

65 16 位模数转换器 ADC16

本章节介绍 16 位模数转换器 ADC16 的主要功能和特性:

65.1 特性总结

本章节介绍 16 位模数转换器 ADC16 的主要特性：

- 16 位逐次逼近型 ADC
- 最大 2MHz 采样率
- 支持单端输入
- 独立的 ADC 转换时钟
- 支持任意配置的 AD 转换分辨率
- 可配置采样周期数
- 内置 DMA 可直接把 ADC 转换结果写入内存
- 支持读取转换模式
  - 读取结果寄存器直接触发转换
- 支持周期转换模式
  - 内置定时器按周期进行转换
  - 支持硬件阈值比较，对超出范围的转换结果报警
- 支持序列转换模式
  - 可由软件或硬件触发
  - 序列最长可达 16
  - 支持单次转换或者连续转换
  - 支持序列循环
- 支持抢占转换模式
  - 可由软件或硬件触发
  - 连续转换序列最长可达 4
- 支持生成各类中断

65.2 功能描述

本章节描述 16 位模数转换器 ADC16 的功能。

65.2.1 ADC 时钟

ADC 时钟包括 ADC 控制器时钟和 ADC 转换时钟。

其中 ADC 转换时钟是 ADC 逐次逼近模拟转换节拍控制的时钟。

由 ADC 控制器时钟经过预分频得到，ADC 控制器时钟由系统控制模块配置，默认为系统总线时钟 200MHz(与电机系统时钟同步)。

用户可以通过设置 CONVCFG1[CONVCLKDIV] 寄存器位，配置 ADC 转换时钟相对于 ADC 控制器时钟的预分频的值。CONVCFG1[CONVCLKDIV] 值为 0 时，代表预分频值为/1；值为 1 时，预分频值为/2，最大为/16。

ADC16 转换时钟最大频率为 50MHz。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

65.2.2 ADC 输入通道配置

ADC 的每一个输入通道都可以通过 SAMPLE_CFGx 寄存器来单独配置。

用户可以通过 SAMPLE_CFGx [SAMPLE_CLOCK_NUMBER] 和 [SAMPLE_CLOCK_NUMBER_SHIFT] 位来设置通道的采样时间。

采样时间为 $SAMPLE_CLOCK_NUMBER \times 2^{SAMPLE_CLOCK_NUMBER_SHIFT}$ 个时钟周期。采样时间最短为 1 个时钟周期。

此外，用户需要把 CONV_CFG1[CONVERT_CLOCK_NUMBER] 配置成 21，即转换时间为 21 个时钟周期，来达到 16 位转换精度。

如用户不需要 16 位精度，但希望更快得到结果，可以通过缩短转换时间来完成。

用户需同时改变 CONV_CFG1[CONVERT_CLOCK_NUMBER] 和 ADC16_CONFIG1[COV_END_CNT]。

COV_END_CNT = 21-CONVERT_CLOCK_NUMBER; CONVERT_CLOCK_NUMBER=21 时 ADC16 工作在完全的 16 位模式；

CONVERT_CLOCK_NUMBER=14 时 ADC16 大约工作在 12 位模式；

CONVERT_CLOCK_NUMBER=11 时 ADC16 大约工作在 10 位模式；

CONVERT_CLOCK_NUMBER= 9 时 ADC16 大约工作在 8 位模式；

其他数值也可工作，用户可根据精度和速度需求自由选择。

每个通道的转换时间是采样时间和转换时间的和。

65.2.3 读取转换模式

用户可以通过读取转换模式直观的读取 ADC 某个输入通道的转换结果。

适用于用户需要尽快知道某个通道的结果，在此之前无其他任务可做的情况。

当用户读取 BUS_RESULTx 寄存器时，就会触发一次对 ADC 输入 x 的转换。待转换完成以后，直接返回结果。

根据不同的 ADC 通道配置，返回转换结果的用时也会不同。

在 ADC 完成转换之前，ADC 会阻塞相关外设总线的访问，而由转换引起的阻塞时间可能会比较长。用户可以把 BUF_CFG0 [WAITDIS] 位置 1 来关闭总线阻塞，这时读 BUS_RESULTx 寄存器会直接返回上一次转换的结果。当 BUS_RESULTx [VALID] 位置 1 时，提示 ADC 转换完成，此时 BUS_RESULTx 寄存器中保存了最近一次的转换结果。

65.2.4 周期转换模式

用户可以通过周期转换模式要求 ADC 的一个或者多个输入通道进行周期性的转换。

适用于有定时转换的需求，或监控某个通道是否超过阈值。

用户可以通过 PRD_CFGx [PRD_CNT] 和 [PRESCALE] 寄存器位设置周期的长度,周期的长度具体为 $PRD_CNT \times 2^{PRESCALE}$，每个 ADC 时钟周期，计数器都会-1，计数器计数到 0 时，即开始转换，同时计数器重载。

注意，把 PRD_CFGx [PRD_CNT] 位清 0 的话，表示关闭该输入的周期转换。

周期转换的结果保存在 PRD_RESULTx 寄存器里，软件能从 PRD_RESULTx 里读取到输入通道 x 的最近一次转换结果。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

注意，PRD_RESULTx 总是保存 ADC 输入通道 x 最近一次的转换结果。PRD_RESULTx 不仅保存周期转换的结果，也保存其他转换模式的转换结果。

用户可以通过设置 PRD_THSHD_CFGx[THSHDH] 和 PRD_THSHD_CFGx[THSHDL] 对输入通道 x 的转换结果进行监测。一旦转换结果超出范围 (Result 大于 THSHDHx 或者 Result 小于 THSHDLx)，即会报警，相应的标志位 INT_STS[ADWDGx] 位会置 1，如果相应中断使能，还会产生中断。

注意，ADC 转换结果检测不限于周期转换模式，而是对所有读取模式都有效。如果设置的门限不正确，比如，把 THSHDHx 设为 0，那么每当通道转换结束，都会触发报警。

如果有多个通道同时计时到期需要开始转换，那么序号较小的输入通道会先转换。

65.2.5 序列转换模式

ADC 支持序列转换模式，在此模式下，ADC 可以按照预先编程好的顺序，对指定的输入通道逐一转换。

适用于对某一或者某几个通道，进行连续转换，数据量比较大的情况，比如测试信噪比或 ENOB。

用户可以通过依次配置 SEQ_QUEx 寄存器来指定序列的转换目标是哪个输入通道。SEQ_QUE0 [CHAN_NUM] 位域可以配置序列转换触发之后，第一次 AD 转换的通道序号；SEQ_QUE1 [CHNUM] 位域配置第二次 AD 转换的通道序号，以此类推，SEQ_QUE15[CHNUM] 位配置第 16 次 AD 转换的通道序号。

此外，用户需要配置 SEQ_CFG0 [SEQ_LEN] 位，来指定转换序列的长度，ADC 的转换序列最长可达 16。

序列开始转换可以通过软件或者硬件触发:

- 用户通过软件，先把 SEQ_CFG0 [SW_TRIG_EN] 位置 1，再把 SEQ_CFG0 [SW_TRIG] 位置 1，即触发序列转换。
- SEQ_CFG0 [HW_TRIG_EN] 位置 1 以后，在 STRGI 上捕获到上升沿，即触发序列转换

一经触发，ADC 将按照顺序，根据 SEQ_QUE0 的配置开始转换输入通道，转换完成后，标志位 INT_STS [SEQ_CVC]（转换完成，conversion complete）就会置 1。此时:

- 如果 SEQ_CFG0 [CONT_EN] 位置 1，ADC 会自动根据 SEQ_QUE1 的配置开始下一次 AD 转换，直到达到指定的序列长度 SEQ_QUEn。
- 如果 SEQ_CFG0 [CONT_EN] 位清 0，ADC 等到下一次软件或者硬件触发，才会开始下一个通道的转换。

当 ADC 完成序列的全部转换（长度由 SEQ_CFG0 [SEQ_LEN] 位设置）后，标志位 INT_STS[SEQ_CMPT]（序列转换完成，Sequence Complete）位会置 1。此时:

- 如果 SEQ_CFG0 [RESTART_EN] 位置 1,SEQ_CFG0 [CONT_EN] 位置 1,ADC 会自动根据 SEQ_QUEx 的配置，从 SEQ_QUE0 开始连续依次转换
- 如果 SEQ_CFG0 [RESTART_EN] 位置 0，SEQ_CFG0 [CONT_EN] 位置 1，ADC 在下一次软件或者硬件触发后，会连续转换直到整个序列完成
- 如果 SEQ_CFG0 [CONT_EN] 位置 0，无论 SEQ_CFG0 [RESTART_EN] 位置 1 还是置 0，ADC 在下一次软件或者硬件触发后，才会重新根据 SEQ_QUEx 的配置开始转换。

如果在 ADC 序列转换过程中，接收到新的序列转换触发信号，ADC 会忽略这个触发。如果是软件触发序列转换，此时，INT_STS [SEQ_SW_CFLCT] 位会置 1。如果是由 STRGI 引发的硬件触发序列转换，INT_STS [SEQ_HW_CFLCT] 位会置 1。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

65.2.6 序列转换模式的 DMA

ADC 序列转换模式支持内置 DMA，可以直接把转换结果写入内存中用户指定的缓冲区。用户可以通过寄存器 SEQ_DMA_ADDR 配置目标地址，通过 SEQ_DMA_CFG [BUF_LEN] 设置数据区域长度。这样为 ADC 的序列转换结果配置了一个循环缓冲区。即：

第一次 AD 转换完成，DMA 会把转换结果写入 SEQ_DMA_ADDR，下一次 AD 转换的结果会写入 SEQ_DMA_ADDR + 4。之后每一次转换完成都会使指针地址持续累加，如果地址超出 SEQ_DMA_ADDR + BUF_LEN，那么 ADC 会重新向 SEQ_DMA_ADDR 指向的内存地址单元写入下一次 AD 转换的结果。

注意，DMA 每次会向内存写入 32 位（4 字节）数据，其中 16 位的 AD 转换结果位于 [15:0]。位 [31:16] 还包括了周期，序列编号，AD 输入通道序号等标志数据，方便软件解读 AD 转换的信息。

图 107为序列转换模式，DMA 写入内存的数据格式。

31	30 29 28	24 23	20 19	16 15	0
周期	2'b00	AD输入通道序号 IN0 = 5'b00000 IN1 = 5'b00001 …	4'b111x	序列转换号码 第1次转换 = 4'b0000 第2次转换 = 4'b0001 … 第16次转换 = 4'b1111	AD转换结果

图 107: 序列转换模式数据格式

用户可以利用其中的周期（Cycle）位 [31] 来辅助判断 AD 转换结果的实时性。当 DMA 在内存的缓冲区中第一次写入转换结果时，该位会置 1。当写满整个缓冲区后，DMA 指针循环指向起始位置，这一轮该位会置 0。当 DMA 又一次写满缓冲区，指针第三次回到起始位置，这一轮周期（Cycle）位又会置 1。

为防止 DMA 覆盖掉缓冲区中没有被及时读取的数据，用户可以把 SEQ_DMA_CFG [STOP_EN] 位置 1，并设置 SEQ_DMA_CFG [STOP_POS] 位，以此标记最近一次软件读取转换结果的位置。DMA 在指针到达 SEQ_DMA_ADDR + STOP_POS 后，就不再将数据写入缓冲区。这次及之后的 AD 转换的结果会丢失，标志位 INT_STS [SEQ_DMAABT] 会置 1，如果打开对应中断，那么 ADC 会生成中断报警。

用户可以通过对 SEQ_DMA_CFG [DMA_RST] 位置 1 再清 0，复位整个转换序列。复位之后，ADC 在下一次软件或者硬件触发后，重新根据 SEQ_QUE0 的配置，开始序列转换。该位也会重置 DMA 的指针到 SEQ_DMA_ADDR 寄存器包含的地址。周期（Cycle）位也会重置到 1。

建议用户把 SEQ_DMA_CFG [DMA_RST] 位置 1 后，软件把内存中的缓冲区初始化清 0，之后再把 SEQ_DMA_CFG [DMA_RST] 位清 0。

65.2.7 抢占转换模式

ADC 支持抢占转换模式，抢占转换是优先级最高的转换模式。

适用于电机控制系统，需要在指定时间对指定通道进行转换的实时性要求比较高的情况。

ADC 支持 12 组抢占转换序列，触发信号分别来自于 4 个电机系统，序号记为 0~3。每个电机系统产生 A，B，C 三个触发信号，共 12 个抢占触发源。

用户可以通过寄存器 CONFIGx，分别配置这些抢占转换序列。

抢占转换可以通过软件或者硬件触发：

- 软件触发
  - 用户通过软件首先配置 TRG_SW_STA [TRIG_SW_INDEX] 来指定序列序号，0 代表序列 0A，1 代表序列 0B，以此类推，11 代表序列 3C

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

  - 用户再把 TRG_SW_STA [TRG_SW_STA] 位置 1，完成触发
- 在 PTRGIxA，PTRGIxB 或者 PTRGIxC 上捕获到上升沿，即触发抢占序列 xA，xB 或 xC

用户首先需要通过 CONFIGx 寄存器的 [TRIG_LEN] 位配置抢占转换的序列长度，序列长度最多为 4，即每个触发最多可以触发一次长度为 4 的转换。

用户可以通过 CONFIGx 寄存器配置抢占转换的转换顺序，配置寄存器的 [CHAN0]，[CHAN1]，[CHAN2]，[CHAN3] 位域依次可以配置触发后的第 1，2，3，4 次转换的 AD 输入通道号码。

抢占转换一旦开始，就会根据 [TRIG_LEN] 的配置连续转换完成整个抢占序列。抢占序列的第 x 次转换完成后，如果 CONFIGx 寄存器的 [INTENx] 位置 1，INT_STS [TRIG_CMPT] 标志位会置 1，如果相应的中断控制位也置 1，ADC 就会生成中断。

如果在 ADC 抢占转换过程中，接收到新的抢占转换触发信号，ADC 不会响应新的触发。但是会根据触发来源是软件还是硬件，将 INT_STS [TRIG_SW_CFLICT] 标志位或者 INT_STS[TRIG_HW_CFLICT] 标志位置 1，表示发生了抢占转换触发冲突，如果对应的中断控制位置 1，ADC 会产生中断报警。

如果几个不同的抢占转换同时触发，ADC 会按以下次序优先响应：

组号较小的抢占转换，如 PTRGI0A 优先于 PTRGI1A，同组之间，xA 优先于 xB，xB 优先于 xC。如 PTRGI0A 优先于 PTRGI0B。同时 INT_STS[PTCHWCFLICT] 标志位置 1。

65.2.8 抢占转换模式的 DMA

ADC 抢占转换模式支持内置 DMA，可以直接把转换结果写入内存中用户指定的缓冲区。

用户可以通过寄存器 TRG_DMA_ADDR 配置目标地址，以此地址为基地址，ADC 会占用一块 192 字节的区域作为抢占转换结果的缓冲区。缓冲区分配如表 271：

序号	地址	描述
0	TRG_DMA_ADDR + 0x0	PTRGI0A 触发的第一次 AD 转换结果与附加信息
1	TRG_DMA_ADDR + 0x4	PTRGI0A 触发的第二次 AD 转换结果与附加信息
2	TRG_DMA_ADDR + 0x8	PTRGI0A 触发的第三次 AD 转换结果与附加信息
3	TRG_DMA_ADDR + 0xC	PTRGI0A 触发的第四次 AD 转换结果与附加信息
4	TRG_DMA_ADDR + 0x10	PTRGI0B 触发的第一次 AD 转换结果与附加信息
5	TRG_DMA_ADDR + 0x14	PTRGI0B 触发的第二次 AD 转换结果与附加信息
6	TRG_DMA_ADDR + 0x18	PTRGI0B 触发的第三次 AD 转换结果与附加信息
7	TRG_DMA_ADDR + 0x1C	PTRGI0B 触发的第四次 AD 转换结果与附加信息
8	TRG_DMA_ADDR + 0x20	PTRGI0C 触发的第一次 AD 转换结果与附加信息
9	TRG_DMA_ADDR + 0x24	PTRGI0C 触发的第二次 AD 转换结果与附加信息
10	TRG_DMA_ADDR + 0x28	PTRGI0C 触发的第三次 AD 转换结果与附加信息
11	TRG_DMA_ADDR + 0x2C	PTRGI0C 触发的第四次 AD 转换结果与附加信息
12	TRG_DMA_ADDR + 0x30	PTRGI1A 触发的第一次 AD 转换结果与附加信息
13	TRG_DMA_ADDR + 0x34	PTRGI1A 触发的第二次 AD 转换结果与附加信息
14	TRG_DMA_ADDR + 0x38	PTRGI1A 触发的第三次 AD 转换结果与附加信息
15	TRG_DMA_ADDR + 0x3C	PTRGI1A 触发的第四次 AD 转换结果与附加信息
16	TRG_DMA_ADDR + 0x40	PTRGI1B 触发的第一次 AD 转换结果与附加信息
17	TRG_DMA_ADDR + 0x44	PTRGI1B 触发的第二次 AD 转换结果与附加信息

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

序号	地址	描述
18	TRG_DMA_ADDR + 0x48	PTRGI1B 触发的第三次 AD 转换结果与附加信息
19	TRG_DMA_ADDR + 0x4C	PTRGI1B 触发的第四次 AD 转换结果与附加信息
20	TRG_DMA_ADDR + 0x50	PTRGI1C 触发的第一次 AD 转换结果与附加信息
21	TRG_DMA_ADDR + 0x54	PTRGI1C 触发的第二次 AD 转换结果与附加信息
22	TRG_DMA_ADDR + 0x58	PTRGI1C 触发的第三次 AD 转换结果与附加信息
23	TRG_DMA_ADDR + 0x5C	PTRGI1C 触发的第四次 AD 转换结果与附加信息
24	TRG_DMA_ADDR + 0x60	PTRGI2A 触发的第一次 AD 转换结果与附加信息
25	TRG_DMA_ADDR + 0x64	PTRGI2A 触发的第二次 AD 转换结果与附加信息
26	TRG_DMA_ADDR + 0x68	PTRGI2A 触发的第三次 AD 转换结果与附加信息
27	TRG_DMA_ADDR + 0x6C	PTRGI2A 触发的第四次 AD 转换结果与附加信息
28	TRG_DMA_ADDR + 0x70	PTRGI2B 触发的第一次 AD 转换结果与附加信息
29	TRG_DMA_ADDR + 0x74	PTRGI2B 触发的第二次 AD 转换结果与附加信息
30	TRG_DMA_ADDR + 0x78	PTRGI2B 触发的第三次 AD 转换结果与附加信息
31	TRG_DMA_ADDR + 0x7C	PTRGI2B 触发的第四次 AD 转换结果与附加信息
32	TRG_DMA_ADDR + 0x80	PTRGI2C 触发的第一次 AD 转换结果与附加信息
33	TRG_DMA_ADDR + 0x84	PTRGI2C 触发的第二次 AD 转换结果与附加信息
34	TRG_DMA_ADDR + 0x88	PTRGI2C 触发的第三次 AD 转换结果与附加信息
35	TRG_DMA_ADDR + 0x8C	PTRGI2C 触发的第四次 AD 转换结果与附加信息
36	TRG_DMA_ADDR + 0x90	PTRGI3A 触发的第一次 AD 转换结果与附加信息
37	TRG_DMA_ADDR + 0x94	PTRGI3A 触发的第二次 AD 转换结果与附加信息
38	TRG_DMA_ADDR + 0x98	PTRGI3A 触发的第三次 AD 转换结果与附加信息
39	TRG_DMA_ADDR + 0x9C	PTRGI3A 触发的第四次 AD 转换结果与附加信息
40	TRG_DMA_ADDR + 0xA0	PTRGI3B 触发的第一次 AD 转换结果与附加信息
41	TRG_DMA_ADDR + 0xA4	PTRGI3B 触发的第二次 AD 转换结果与附加信息
42	TRG_DMA_ADDR + 0xA8	PTRGI3B 触发的第三次 AD 转换结果与附加信息
43	TRG_DMA_ADDR + 0xAC	PTRGI3B 触发的第四次 AD 转换结果与附加信息
44	TRG_DMA_ADDR + 0xB0	PTRGI3C 触发的第一次 AD 转换结果与附加信息
45	TRG_DMA_ADDR + 0xB4	PTRGI3C 触发的第二次 AD 转换结果与附加信息
46	TRG_DMA_ADDR + 0xB8	PTRGI3C 触发的第三次 AD 转换结果与附加信息
47	TRG_DMA_ADDR + 0xBC	PTRGI3C 触发的第四次 AD 转换结果与附加信息

表 271: ADC 抢占转换 DMA 数据缓冲区分配

抢占转换触发后，按照触发来源以及在抢占转换序列中的序号，DMA 会把转换结果写入缓冲区对应的位置。

注意，DMA 每次会向内存写入 32 位（4 字节）数据，其中 16 位的 AD 转换结果位于 [15:0]。位 [31:16] 还包括了周期，序列编号，AD 输入通道序号等标志数据，方便软件解读 AD 转换的信息。

位 31 用于和软件的交互，软件可以在初始化缓冲区时将此位清零，在收到转换完成中断后读取结果时，需检查此位为高，确保 ADC 已经将新的结果写入缓冲区。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29 28	24 23	20 19	18 17	16 15	0
周期	2'b00	AD输入通道序号 IN0 = 5'b00000 IN1 = 5'b00001 …	抢占触发来源 PTRIG0A = 4'b0000 PTRIG0B = 4'b0001 … PTRIG3C = 4'b1011	2'b00	序列号码 第1次转换 = 2'b00 第2次转换 = 2'b01 第3次转换 = 2'b10 第4次转换 = 2'b11	AD转换结果	

图 108: 抢占转换模式数据格式

65.2.9 ADC 中断

ADC 支持以下中断：

- 在序列转换模式下，序列中某一次 AD 转换完成，INT_STS [SEQ_CVC] 位置 1
- 在序列转换模式下，整个序列转换完成，INT_STS[SEQ_CMPT] 位置 1
- ADC 序列转换进行中，软件触发序列转换，INT_STS[SEQ_SW_CFLCT] 位置 1
- ADC 序列转换进行中，硬件触发序列转换，INT_STS[SEQ_HW_CFLCT] 位置 1
- 在序列转换模式下，SEQ_DMA_CFG[STOP_EN] 位置 1，并设置 SEQ_DMA_CFG [STOP_POS] 位，DMA 在指针到达 SEQ_DMA_ADDR + STOP_POS 后,停止将数据写入缓冲区,标志位 INT_STS[SEQ_DMAABT] 置 1
- 抢占转换模式下,抢占序列的第 x 次转换完成后,并且 CONFIGx 寄存器的 [INTENx] 位置 1,INT_STS[TRIG_CMPT] 位置 1
- ADC 序列抢占转换进行中，软件触发抢占转换，INT_STS[TRIG_SW_CFLICT] 位置 1
- ADC 序列抢占转换进行中,又收到抢占触发信号,或者多个抢占触发信号同时到达,INT_STS[TRIG_HW_CFLICT] 位置 1
- ADC 读取转换进行中，并且已将 BUF_CFG0 [WAITDIS] 位置 1，软件读取另一个 BUS_RESULT 寄存器，INT_STS [READ_CFLCT] 位置 1
- 当输入通道 x 的 AD 转换结果超出 THSHDx 寄存器设置的范围，即会报警，INT_STS [WDOG] 位置 1
- 序列转换和抢占转换的 DMA FIFO 溢出时，INT_STS[DMA_FIFO_FULL] 位置 1
- 序列转换和抢占转换的 DMA 对存储器写入 ADC 转换结果出错时，INT_STS [AHB_ERR] 位置 1

用户可以对 INT_STS 寄存器内的各个标志位写入 1 来把该标志位清 0。

ADC 可以通过 INT_EN 寄存器管理这些中断，如果对应的中断使能位置 1，那么标志位置 1 时，即表示产生了中断。

65.3 ADC16 寄存器列表

ADC16 的寄存器列表如下：

ADC3 base address: 0xF001C000

地址偏移	名称	描述	复位值
0x0000	CONFIG[TRG0A]	抢占模式配置寄存器	0x00000000
0x0004	CONFIG[TRG0B]	抢占模式配置寄存器	0x00000000
0x0008	CONFIG[TRG0C]	抢占模式配置寄存器	0x00000000
0x000C	CONFIG[TRG1A]	抢占模式配置寄存器	0x00000000
0x0010	CONFIG[TRG1B]	抢占模式配置寄存器	0x00000000
0x0014	CONFIG[TRG1C]	抢占模式配置寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0018	CONFIG[TRG2A]	抢占模式配置寄存器	0x00000000
0x001C	CONFIG[TRG2B]	抢占模式配置寄存器	0x00000000
0x0020	CONFIG[TRG2C]	抢占模式配置寄存器	0x00000000
0x0024	CONFIG[TRG3A]	抢占模式配置寄存器	0x00000000
0x0028	CONFIG[TRG3B]	抢占模式配置寄存器	0x00000000
0x002C	CONFIG[TRG3C]	抢占模式配置寄存器	0x00000000
0x0030	TRG_DMA_ADDR	抢占模式 DMA 地址寄存器	0x00000000
0x0034	TRG_SW_STA		0x00000000
0x0400	BUS_RESULT[CHN0]	读取模式结果寄存器	0x00000000
0x0404	BUS_RESULT[CHN1]	读取模式结果寄存器	0x00000000
0x0408	BUS_RESULT[CHN2]	读取模式结果寄存器	0x00000000
0x040C	BUS_RESULT[CHN3]	读取模式结果寄存器	0x00000000
0x0410	BUS_RESULT[CHN4]	读取模式结果寄存器	0x00000000
0x0414	BUS_RESULT[CHN5]	读取模式结果寄存器	0x00000000
0x0418	BUS_RESULT[CHN6]	读取模式结果寄存器	0x00000000
0x041C	BUS_RESULT[CHN7]	读取模式结果寄存器	0x00000000
0x0500	BUF_CFG0	读取模式配置寄存器 0	0x00000000
0x0800	SEQ_CFG0	序列模式配置寄存器 0	0x00000000
0x0804	SEQ_DMA_ADDR	序列模式 DMA 地址寄存器	0x00000000
0x0808	SEQ_WR_ADDR	序列模式 DMA 指针寄存器	0x00000000
0x080C	SEQ_DMA_CFG	序列模式 DMA 配置寄存器	0x00000000
0x0810	SEQ_QUE[CFG0]	序列模式队列配置寄存器	0x00000000
0x0814	SEQ_QUE[CFG1]	序列模式队列配置寄存器	0x00000000
0x0818	SEQ_QUE[CFG2]	序列模式队列配置寄存器	0x00000000
0x081C	SEQ_QUE[CFG3]	序列模式队列配置寄存器	0x00000000
0x0820	SEQ_QUE[CFG4]	序列模式队列配置寄存器	0x00000000
0x0824	SEQ_QUE[CFG5]	序列模式队列配置寄存器	0x00000000
0x0828	SEQ_QUE[CFG6]	序列模式队列配置寄存器	0x00000000
0x082C	SEQ_QUE[CFG7]	序列模式队列配置寄存器	0x00000000
0x0830	SEQ_QUE[CFG8]	序列模式队列配置寄存器	0x00000000
0x0834	SEQ_QUE[CFG9]	序列模式队列配置寄存器	0x00000000
0x0838	SEQ_QUE[CFG10]	序列模式队列配置寄存器	0x00000000
0x083C	SEQ_QUE[CFG11]	序列模式队列配置寄存器	0x00000000
0x0840	SEQ_QUE[CFG12]	序列模式队列配置寄存器	0x00000000
0x0844	SEQ_QUE[CFG13]	序列模式队列配置寄存器	0x00000000
0x0848	SEQ_QUE[CFG14]	序列模式队列配置寄存器	0x00000000
0x084C	SEQ_QUE[CFG15]	序列模式队列配置寄存器	0x00000000
0x0C00	PRD_CFG[CHN0][PRD_CFG]	周期模式配置寄存器	0x00000000
0x0C04	PRD_CFG[CHN0][PRD_THSHD_CFG]	转换结果监测配置寄存器	0x00000000
0x0C08	PRD_CFG[CHN0][PRD_RESULT]	周期模式结果寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0C10	PRD_CFG[CHN1][PRD_CFG]	周期模式配置寄存器	0x00000000
0x0C14	PRD_CFG[CHN1][PRD_THSHD_CFG]	转换结果监测配置寄存器	0x00000000
0x0C18	PRD_CFG[CHN1][PRD_RESULT]	周期模式结果寄存器	0x00000000
0x0C20	PRD_CFG[CHN2][PRD_CFG]	周期模式配置寄存器	0x00000000
0x0C24	PRD_CFG[CHN2][PRD_THSHD_CFG]	转换结果监测配置寄存器	0x00000000
0x0C28	PRD_CFG[CHN2][PRD_RESULT]	周期模式结果寄存器	0x00000000
0x0C30	PRD_CFG[CHN3][PRD_CFG]	周期模式配置寄存器	0x00000000
0x0C34	PRD_CFG[CHN3][PRD_THSHD_CFG]	转换结果监测配置寄存器	0x00000000
0x0C38	PRD_CFG[CHN3][PRD_RESULT]	周期模式结果寄存器	0x00000000
0x0C40	PRD_CFG[CHN4][PRD_CFG]	周期模式配置寄存器	0x00000000
0x0C44	PRD_CFG[CHN4][PRD_THSHD_CFG]	转换结果监测配置寄存器	0x00000000
0x0C48	PRD_CFG[CHN4][PRD_RESULT]	周期模式结果寄存器	0x00000000
0x0C50	PRD_CFG[CHN5][PRD_CFG]	周期模式配置寄存器	0x00000000
0x0C54	PRD_CFG[CHN5][PRD_THSHD_CFG]	转换结果监测配置寄存器	0x00000000
0x0C58	PRD_CFG[CHN5][PRD_RESULT]	周期模式结果寄存器	0x00000000
0x0C60	PRD_CFG[CHN6][PRD_CFG]	周期模式配置寄存器	0x00000000
0x0C64	PRD_CFG[CHN6][PRD_THSHD_CFG]	转换结果监测配置寄存器	0x00000000
0x0C68	PRD_CFG[CHN6][PRD_RESULT]	周期模式结果寄存器	0x00000000
0x0C70	PRD_CFG[CHN7][PRD_CFG]	周期模式配置寄存器	0x00000000
0x0C74	PRD_CFG[CHN7][PRD_THSHD_CFG]	转换结果监测配置寄存器	0x00000000
0x0C78	PRD_CFG[CHN7][PRD_RESULT]	周期模式结果寄存器	0x00000000
0x1000	SAMPLE_CFG[CHN0]	通道采样配置寄存器	0x00000000
0x1004	SAMPLE_CFG[CHN1]	通道采样配置寄存器	0x00000000
0x1008	SAMPLE_CFG[CHN2]	通道采样配置寄存器	0x00000000
0x100C	SAMPLE_CFG[CHN3]	通道采样配置寄存器	0x00000000
0x1010	SAMPLE_CFG[CHN4]	通道采样配置寄存器	0x00000000
0x1014	SAMPLE_CFG[CHN5]	通道采样配置寄存器	0x00000000
0x1018	SAMPLE_CFG[CHN6]	通道采样配置寄存器	0x00000000
0x101C	SAMPLE_CFG[CHN7]	通道采样配置寄存器	0x00000000
0x1104	CONV_CFG1	转换配置寄存器 1	0x00000000
0x1108	ADC_CFG0	ADC 配置寄存器 0	0x00000000
0x1110	INT_STS	状态寄存器	0x00000000
0x1114	INT_EN	中断使能寄存器	0x00000000
0x1200	ANA_CTRL0	模拟控制寄存器 0	0x00000000
0x1210	ANA_STATUS	模拟状态寄存器	0x00000000
0x1400	ADC16_PARAMS[ADC16_PARA00]	ADC16 参数寄存器	0x0000
0x1402	ADC16_PARAMS[ADC16_PARA01]	ADC16 参数寄存器	0x0000
0x1404	ADC16_PARAMS[ADC16_PARA02]	ADC16 参数寄存器	0x0000
0x1406	ADC16_PARAMS[ADC16_PARA03]	ADC16 参数寄存器	0x0000
0x1408	ADC16_PARAMS[ADC16_PARA04]	ADC16 参数寄存器	0x0000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x140A	ADC16_PARAMS[ADC16_PARA05]	ADC16 参数寄存器	0x0000
0x140C	ADC16_PARAMS[ADC16_PARA06]	ADC16 参数寄存器	0x0000
0x140E	ADC16_PARAMS[ADC16_PARA07]	ADC16 参数寄存器	0x0000
0x1410	ADC16_PARAMS[ADC16_PARA08]	ADC16 参数寄存器	0x0000
0x1412	ADC16_PARAMS[ADC16_PARA09]	ADC16 参数寄存器	0x0000
0x1414	ADC16_PARAMS[ADC16_PARA10]	ADC16 参数寄存器	0x0000
0x1416	ADC16_PARAMS[ADC16_PARA11]	ADC16 参数寄存器	0x0000
0x1418	ADC16_PARAMS[ADC16_PARA12]	ADC16 参数寄存器	0x0000
0x141A	ADC16_PARAMS[ADC16_PARA13]	ADC16 参数寄存器	0x0000
0x141C	ADC16_PARAMS[ADC16_PARA14]	ADC16 参数寄存器	0x0000
0x141E	ADC16_PARAMS[ADC16_PARA15]	ADC16 参数寄存器	0x0000
0x1420	ADC16_PARAMS[ADC16_PARA16]	ADC16 参数寄存器	0x0000
0x1422	ADC16_PARAMS[ADC16_PARA17]	ADC16 参数寄存器	0x0000
0x1424	ADC16_PARAMS[ADC16_PARA18]	ADC16 参数寄存器	0x0000
0x1426	ADC16_PARAMS[ADC16_PARA19]	ADC16 参数寄存器	0x0000
0x1428	ADC16_PARAMS[ADC16_PARA20]	ADC16 参数寄存器	0x0000
0x142A	ADC16_PARAMS[ADC16_PARA21]	ADC16 参数寄存器	0x0000
0x142C	ADC16_PARAMS[ADC16_PARA22]	ADC16 参数寄存器	0x0000
0x142E	ADC16_PARAMS[ADC16_PARA23]	ADC16 参数寄存器	0x0000
0x1430	ADC16_PARAMS[ADC16_PARA24]	ADC16 参数寄存器	0x0000
0x1432	ADC16_PARAMS[ADC16_PARA25]	ADC16 参数寄存器	0x0000
0x1434	ADC16_PARAMS[ADC16_PARA26]	ADC16 参数寄存器	0x0000
0x1436	ADC16_PARAMS[ADC16_PARA27]	ADC16 参数寄存器	0x0000
0x1438	ADC16_PARAMS[ADC16_PARA28]	ADC16 参数寄存器	0x0000
0x143A	ADC16_PARAMS[ADC16_PARA29]	ADC16 参数寄存器	0x0000
0x143C	ADC16_PARAMS[ADC16_PARA30]	ADC16 参数寄存器	0x0000
0x143E	ADC16_PARAMS[ADC16_PARA31]	ADC16 参数寄存器	0x0000
0x1440	ADC16_PARAMS[ADC16_PARA32]	ADC16 参数寄存器	0x0000
0x1442	ADC16_PARAMS[ADC16_PARA33]	ADC16 参数寄存器	0x0000
0x1444	ADC16_CONFIG0	ADC16 配置寄存器 0	0x00000000
0x1460	ADC16_CONFIG1		0x00000000

表 272: ADC16 寄存器列表

65.4 ADC16 寄存器描述

ADC16 的寄存器详细说明如下：

65.4.1 CONFIG (0x0 + 0x4 * n)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRIG_LEN		INTEN3	CHAN3					RSVD		INTEN2	CHAN2					RSVD		INTEN1	CHAN1					RSVD		INTEN0	CHAN0				
WO		RW	RW					N/A		RW	RW					N/A		RW	RW					N/A		RW	RW				
0	0	0	0	0	0	0	0	x	x	0	0	0	0	0	0	x	x	0	0	0	0	0	0	x	x	0	0	0	0	0	0

CONFIG [31:0]

位域	名称	描述
31-30	TRIG_LEN	抢占转换队列长度，0 表示队列包含 1 个转换，3 表示队列包含 4 个转换
29	INTEN3	第 4 次转换结束后中断使能，置 1 时，此次转换结束后 TRIG_COMPT 标志位置 1
28-24	CHAN3	第 4 次转换的通道号码
21	INTEN2	第 3 次转换结束后中断使能，置 1 时，此次转换结束后 TRIG_COMPT 标志位置 1
20-16	CHAN2	第 3 次转换的通道号码
13	INTEN1	第 2 次转换结束后中断使能，置 1 时，此次转换结束后 TRIG_COMPT 标志位置 1
12-8	CHAN1	第 2 次转换的通道号码
5	INTEN0	第 1 次转换结束后中断使能，置 1 时，此次转换结束后 TRIG_COMPT 标志位置 1
4-0	CHAN0	第 1 次转换的通道号码

CONFIG 位域

65.4.2 TRG_DMA_ADDR (0x30)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRG_DMA_ADDR																														RSVD	
RW																														N/A	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x

TRG_DMA_ADDR [31:0]

位域	名称	描述
31-2	TRG_DMA_ADDR	抢占转换的 DMA 目标地址，抢占转换结束后，ADC 内置的 DMA 会将转换结果存放入该位域指向的一块长度为 192 字节的缓冲区。

TRG_DMA_ADDR 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

65.4.3 TRG_SW_STA (0x34)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																											TRG_SW_STA	TRIG_SW_INDEX			
N/A																											RW	RW			
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0

TRG_SW_STA [31:0]

位域	名称	描述
4	TRG_SW_STA	
3-0	TRIG_SW_INDEX	

TRG_SW_STA 位域

65.4.4 BUS_RESULT (0x400 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD															VALID	CHAN_RESULT															
N/A															RO	RO															
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

BUS_RESULT [31:0]

位域	名称	描述
16	VALID	转换结果有效提示位。如果 WAIT_DIS 位置 1，该位在读取转换结束后置 1，并在软件从结果寄存器读取转换结果后清 0 该位为 0 时，对读取转换结果寄存器的读操作会触发一次 AD 转换如果 AD 转换过程中读取其他通道的读取转换结果寄存器，不会触发 AD 转换，只会返回旧的转换结果，并且 read_cflict 标志位会置 1
15-0	CHAN_RESULT	读此位域会触发一次对应通道的 AD 转换 如果 WAIT_DIS 位置 1，读此位域会返回前一次 AD 转换结果，直到 VALID 位置 1 后，才能读到最近一次的转换结果如果 WAIT_DIS 位置 0，读此位域会阻塞总线，直到 AD 完成转换之后返回转换结果

BUS_RESULT 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

65.4.5 BUF_CFG0 (0x500)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																															WAIT_DIS
N/A																															RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0

BUF_CFG0 [31:0]

位域	名称	描述
0	WAIT_DIS	该位置 1 可以防止读取模式阻塞总线

BUF_CFG0 位域

65.4.6 SEQ_CFG0 (0x800)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CYCLE	RSVD																			SEQ_LEN				RSVD			RESTART_EN	CONT_EN	SW_TRIG	SW_TRIG_EN	HW_TRIG_EN
RO	N/A																			RW				N/A			RW	RW	WO	RW	RW
0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	x	x	x	0	0	0	0	0

SEQ_CFG0 [31:0]

位域	名称	描述
31	CYCLE	序列模式 DMA 写内存的周期提示位，该位在每次 DMA 写内存后会翻转
11-8	SEQ_LEN	序列转换的队列长度，0 表示包含 1 次转换，0xF 表示包含 16 次转换
4	RESTART_EN	自动重新转换位，当此位与 CONT_EN 位都置 1 时，仅需 1 次触发，ADC 硬件会持续地循环转换整个序列
3	CONT_EN	连续转换位 1：ADC 在收到 1 次序列转换触发后，就会连续转换完整个序列 0：ADC 在收到 1 次序列转换触发后，转换序列中的一个通道
2	SW_TRIG	序列转换软件触发位
1	SW_TRIG_EN	序列转换软件触发使能位
0	HW_TRIG_EN	序列转换硬件触发使能位

SEQ_CFG0 位域

65.4.7 SEQ_DMA_ADDR (0x804)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAR_ADDR																														RSVD	
RW																														N/A	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x

SEQ_DMA_ADDR [31:0]

位域	名称	描述
31-2	TAR_ADDR	序列转换 DMA 的目标地址

SEQ_DMA_ADDR 位域

65.4.8 SEQ_WR_ADDR (0x808)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								SEQ_WR_POINTER																							
N/A								RO																							
x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SEQ_WR_ADDR [31:0]

位域	名称	描述
23-0	SEQ_WR_POINTER	序列抓换 DMA 的写指针，每次 DMA 把转换结果写入内存后，硬件会自动更新该位 下一次写入的地址为 DDR + 4 * SEQ_WR_POINTER

SEQ_WR_ADDR 位域

65.4.9 SEQ_DMA_CFG (0x80C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD				STOP_POS												RSVD		DMA_RST	STOP_EN	BUF_LEN											
N/A				RW												N/A		RW	RW	RW											
x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SEQ_DMA_CFG [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
27-16	STOP_POS	DMA 停止位置位，如果 STOP_EN 位置 1，序列模式的 DMA 在写入到该位指定的位置后，就不再继续将结果写入内存。直到软件更新此位，指定新的停止写入位置。
13	DMA_RST	重置序列转换 DMA，置 1 后，序列转换 DMA 不再将转换结果写入内存，会把写内存指针重置到 TAR_ADDR，并把 cycle 位重置为 1
12	STOP_EN	该位置 1 后，序列模式 DMA 会在指针指向特定位置后，不再往内存写入转换结果
11-0	BUF_LEN	内存中分配给序列转换 DMA 的缓冲区长度。DMA 会在写满缓冲区后，重新从缓冲区头部写入新的转换结果 0 表示缓冲区大小为 4 Byte，0xFFF 表示缓冲区大小为 16 KB

SEQ_DMA_CFG 位域

65.4.10 SEQ_QUE (0x810 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																										SEQ_INT_EN	CHAN_NUM_4_0				
N/A																										RW	RW				
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0

SEQ_QUE [31:0]

位域	名称	描述
5	SEQ_INT_EN	本次转换完成后中断使能，置 1 后，此次转换完成后 SEQ_CVC 标志位置 1
4-0	CHAN_NUM_4_0	本次转换的通道序号

SEQ_QUE 位域

65.4.11 PRD_CFG[PRD_CFG] (0xC00 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																			PRESCALE					PRD							
N/A																			RW					RW							
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0

PRD_CFG[PRD_CFG] [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
12-8	PRESCALE	周期模式周期长度的预分频 0: 1* PRD 1：2* PRD 2：4* PRD ..... 15：32K* PRD ..... 31: 2G* PRD PRD 为分频前的 adc 时钟，默认为 AHB 时钟
7-0	PRD	周期模式的周期长度，0 表示关闭周期模式 单位由 prescale 决定

PRD_CFG[PRD_CFG] 位域

65.4.12 PRD_CFG[PRD_THSHD_CFG] (0xC04 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
THSHDH																THSHDL															
RW																RW															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PRD_CFG[PRD_THSHD_CFG] [31:0]

位域	名称	描述
31-16	THSHDH	监测上限，当转换结果超过上限时，WDOG 标志位置 1
15-0	THSHDL	监测下限，当转换结果低于下限时，WDOG 标志位置 1

PRD_CFG[PRD_THSHD_CFG] 位域

65.4.13 PRD_CFG[PRD_RESULT] (0xC08 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																CHAN_RESULT															
N/A																RO															
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PRD_CFG[PRD_RESULT] [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
15-0	CHAN_RESULT	周期模式转换结果，周期模式下，该位会周期性得更新 AD 转换结果，如果对应 AD 通道由其他转换模式触发，转换结果也会存放到该位域

PRD_CFG[PRD_RESULT] 位域

65.4.14 SAMPLE_CFG (0x1000 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																				SAMPLE_CLOCK_NUMBER_SHIFT			SAMPLE_CLOCK_NUMBER								
N/A																				RW			RW								
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0

SAMPLE_CFG [31:0]

位域	名称	描述
11-9	SAMPLE_CLOCK _NUMBER_SHIFT	采样长度左移位数 1：sample_clock_number«1 .....
8-0	SAMPLE_CLOCK _NUMBER	采样长度，以 ADC 时钟为单位

SAMPLE_CFG 位域

65.4.15 CONV_CFG1 (0x1104)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																							CONVERT_CLOCK_NUMBER					CLOCK_DIVIDER			
N/A																							RW					RW			
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

CONV_CFG1 [31:0]

位域	名称	描述
8-4	CONVERT_CLOCK_NUMBER	AD 转换时间长度，单位为 ADC 时钟周期 当 ADC 转换精度为 16 位时，应设为 21，对应于 22 个时钟周期 用户可以设置更小的值，以达到更快的转换速度，但是精度会下降，设置其他值时需同时配置 adc16_config1.con_end_cnt
3-0	CLOCK_DIVIDER	ADC 时钟分频位，ADC 时钟与总线时钟比率 0：1:1 1：1:2 2：1:3 ... 15: 1:16

CONV_CFG1 位域

65.4.16 ADC_CFG0 (0x1108)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SEL_SYNC_AHB	RSVD	ADC_AHB_EN	RSVD	CONVERT_DURATION																RSVD											PORT3_REALTIME
RW	N/A	RW	N/A	RW																N/A											RW
0	x	0	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x	x	x	x	0

ADC_CFG0 [31:0]

位域	名称	描述
31	SEL_SYNC_AHB	1: ADC 时钟与总线时钟同步，此位置 1 时，ADC 时钟必须与总线时钟相同
29	ADC_AHB_EN	1：允许序列转换和抢占转换的 DMA 把转换结果写入内存
27-12	CONVERT_DURATION	
0	PORT3_REALTIME	

ADC_CFG0 位域

65.4.17 INT_STS (0x1110)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRIG_CMPT	TRIG_SW_CFLCT	TRIG_HW_CFLCT	READ_CFLCT	SEQ_SW_CFLCT	SEQ_HW_CFLCT	SEQ_DMAABT	SEQ_CMPT	SEQ_CVC	DMA_FIFO_FULL	AHB_ERR	RSVD							WDOG													
W1C	W1C	RW	W1C	W1C	RW	W1C	W1C	W1C	RW	RW	N/A							W1C													
0	0	0	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0

INT_STS [31:0]

位域	名称	描述
31	TRIG_CMPT	抢占转换完成标志位
30	TRIG_SW_CFLCT	软件触发抢占转换冲突标志位
29	TRIG_HW_CFLCT	硬件触发抢占转换冲突标志位
28	READ_CFLCT	读取转换冲突位，如果 WAIT_DIS 位置 1，在 AD 转换进行中，软件读取其他通道的读取结果寄存器后，该位置 1
27	SEQ_SW_CFLCT	软件触发序列转换冲突标志位
26	SEQ_HW_CFLCT	硬件触发序列转换冲突标志位
25	SEQ_DMAABT	序列模式 DMA 放弃标志位，当 STOP_EN 位置 1，并且 DMA 写入到 STOP_POS 指定的停止位置后，该位置 1
24	SEQ_CMPT	序列模式队列完成标志位
23	SEQ_CVC	序列模式单次转换完成标志位，对应的 SEQ_INT_EN 位置 1 后，才会置 1
22	DMA_FIFO_FULL	序列模式或抢占模式 DMA 内部 FIFO 满标志位，DMA 的目标存储器写入速率不足时可能置 1
21	AHB_ERR	序列模式或抢占模式 DMA 错误标志位，如目标地址为非法地址时可能置 1
13-0	WDOG	AD 转换结果监测看门狗标志位

INT_STS 位域

65.4.18 INT_EN (0x1114)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TRIG_CMPT	TRIG_SW_CFLCT	TRIG_HW_CFLCT	READ_CFLCT	SEQ_SW_CFLCT	SEQ_HW_CFLCT	SEQ_DMAABT	SEQ_CMPT	SEQ_CVC	DMA_FIFO_FULL	AHB_ERR	RSVD							WDOG													
W1C	W1C	RW	W1C	W1C	RW	W1C	W1C	W1C	RW	RW	N/A							W1C													
0	0	0	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0

INT_EN [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31	TRIG_CMPT	抢占转换完成标志位中断使能位
30	TRIG_SW_CFLCT	软件触发抢占转换冲突标志位中断使能位
29	TRIG_HW_CFLCT	硬件触发抢占转换冲突标志位中断使能位
28	READ_CFLCT	读取转换冲突位中断使能位
27	SEQ_SW_CFLCT	软件触发序列转换冲突标志位中断使能位
26	SEQ_HW_CFLCT	硬件触发序列转换冲突标志位中断使能位
25	SEQ_DMAABT	序列模式 DMA 放弃标志位中断使能位
24	SEQ_CMPT	序列模式队列完成标志位中断使能位
23	SEQ_CVC	序列模式单次转换完成标志位中断使能位
22	DMA_FIFO_FULL	序列模式或抢占模式 DMA 内部 FIFO 满标志位中断使能位
21	AHB_ERR	序列模式或抢占模式 DMA 错误标志位中断使能位
13-0	WDOG	AD 转换结果监测看门狗标志位中断使能位

INT_EN 位域

65.4.19 ANA_CTRL0 (0x1200)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																			ADC_CLK_ON	RSVD									STARTCAL	RSVD	
N/A																			RW	N/A									RW	N/A	
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	x	x	x	x	x	x	x	x	x	0	x	x

ANA_CTRL0 [31:0]

位域	名称	描述
12	ADC_CLK_ON	在写入任意 ADC16_* 寄存器前，该位必须置 1
2	STARTCAL	1：开始校正

ANA_CTRL0 位域

65.4.20 ANA_STATUS (0x1210)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																								CALON	RSVD						
N/A																								RW	N/A						
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	x	x	x	x	x	x	x

ANA_STATUS [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
7	CALON	校正提示位 1：ADC16 校正进行中

ANA_STATUS 位域

65.4.21 ADC16_PARAMS (0x1400 + 0x2 * n)

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PARAM_VAL															
RW															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ADC16_PARAMS [15:0]

位域	名称	描述
15-0	PARAM_VAL	ADC16 校正参数

ADC16_PARAMS 位域

65.4.22 ADC16_CONFIG0 (0x1444)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD						TEMPSNS_EN	REG_EN	BANDGAP_EN	CAL_AVG_CFG			RSVD					PREEMPT_EN	CONV_PARAM													
N/A						RW	RW	RW	RW			N/A					RW	RW													
x	x	x	x	x	x	0	0	0	0	0	0	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ADC16_CONFIG0 [31:0]

位域	名称	描述
25	TEMPSNS_EN	1：打开温度传感器
24	REG_EN	1：打开稳压器
23	BANDGAP_EN	1：打开 Bandgap
22-20	CAL_AVG_CFG	用于校正结果平均 0：1 轮 1：2 轮 2：4 轮 ..... 5：32 轮 其他：保留

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
14	PREEMPT_EN	1：使能抢占转换抢占功能，抢占转换可以打断进行中的其他模式转换过程
13-0	CONV_PARAM	AD 转换参数

ADC16_CONFIG0 位域

65.4.23 ADC16_CONFIG1 (0x1460)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																			COV_END_CNT					RSVD							
N/A																			RW					N/A							
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	x	x	x	x	x	x	x	x

ADC16_CONFIG1 [31:0]

位域	名称	描述
12-8	COV_END_CNT	AD 转换结束计数器，当使用完全 16 位精度时，此位为默认 1；如果减小转换时间，除需将 conv_cfg1.convert_clock_number 配置为小于 21 的值外，还需配置此位：conv_end_cnt=21-convert_clock_number+1

ADC16_CONFIG1 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

66 模拟比较器 ACMP

本章节介绍模拟比较器 ACMP 的功能和特性。

66.1 特性总结

模拟比较器 ACMP 的主要特性如下：

- 3.0 至 3.6V 工作
- 支持轨到轨输入
- 可编程滞回
- 支持窗口模式输出
- 支持对输出进行数字滤波
- 支持生成中断
- 支持 DMA
- 内置 8bit DAC

66.2 功能描述

本章节描述模拟比较器 ACMP 的功能。

比较器可以用来比较 PIN 和 MIN 这两个模拟输入信号，当 PIN 的电压高于 MIN 电压时，模拟器输出逻辑 1。反之，当 PIN 的电压低于于 MIN 电压时，模拟器输出逻辑 0。

66.2.1 ACMP 输入配置

用户可以通过配置比较器的 CFG[PINSEL] 位，选择 PIN 的输入来源：

- INP0，固定连接到 DAC_OUT
- INP1
- INP2
- INP3
- INP4
- INP5
- INP6
- INP7

用户可以通过配置比较器的 CFG[MINSEL] 位，选择 MIN 的输入来源：

- INN0，固定连接到 DAC_OUT
- INN1
- INN2
- INN3
- INN4
- INN5
- INN6
- INN7

用户可以通过配置 CFG[HYST] 位来设置比较器的滞回 (hysteresis)。比较器支持 4 个不同水平的滞回。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

66.2.2 ACMP 输出控制

ACMP 的输出 OUT 反映了 2 个输入之间电压大小关系。用户也可以通过比较器控制逻辑对输出进行一定的干预。

用户可以通过 CFG[OPOL] 位，对输出取反。

用户可以对比较器输出进行数字滤波，当 CFG[FLTBYPS] 置 0 时，数字滤波器有效，置 1 时，数字滤波器无效。

当数字滤波器有效时，用户配置 CFG[FLTMODE] 可以指定滤波器的工作模式：

- 3'b000，旁路模式，数字滤波器关闭
- 3'b100，滤刺模式，滤波器输入翻转后，输出也会立即翻转，之后会在一定时间内无视滤波器的输入。这个模式下，滤波器输出会紧随输入，同时会避免输出信号出现毛刺。
- 3'b101，延时滤波器，滤波器输入翻转后需要保持一定时间，滤波器输出才会翻转
- 3'b110，滤峰模式，滤波器输入置逻辑 1 后，需要保持一定时间，滤波器输出才会置逻辑 1，而滤波器输入置 0，滤波器输出会立即置 0，这个模式的目的是滤除不够长的输入波峰。
- 3'b111，滤谷模式，滤波器输入置逻辑 0 后，需要保持一定时间，滤波器输出才会置逻辑 0，而滤波器输入置 1，滤波器输出会立即置 1，这个模式的目的是滤除不够长的输入波谷。

用户可以通过 CFG[FLTLEN] 位，配置滤波器的长度。

用户可以通过 CFG[WINEN] 位，打开输出的窗口模式。窗口模式下，即 CFG [WINEN] 位置 1 时，在 ACMP 的 WIN 输入为逻辑 0 时，比较器始终输出逻辑 0，在 WIN 输入为逻辑 1 时，比较器输出正常。

66.2.3 ACMP 工作模式

ACMP 支持高性能模式和常规模式这两种工作模式。用户将 CFG[HPMODE] 位置 1，即可将 ACMP 设置为高性能模式。在高性能模式下，ACMP 的输出延时比常规模式更小，但是功耗更高。

66.2.4 中断和 DMA

ACMP 可以在输出的上升沿,下降沿,或者双边沿时产生中断,用户可以配置 IRQEN[REDGEN] 和 IRQEN[FEDGEN] 位来打开或者关闭相应的中断请求。

同样的,CMP 可以在输出的上升沿,下降沿,或者双边沿时产生 DMA 请求,用户可以配置 DMAEN[REDGEN] 和 IRQEN[FEDGEN] 位来打开或者关闭相应的 DMA 请求。

66.3 ACMP 寄存器列表

ACMP 的寄存器列表如下：

ACMP base address: 0xF0020000

地址偏移	名称	描述	复位值
0x0000	CHANNEL[CHN0][CFG]	配置寄存器	0x00000000
0x0004	CHANNEL[CHN0][DACCFG]	DAC 配置寄存器	0x00000000
0x0010	CHANNEL[CHN0][SR]	状态寄存器	0x00000000
0x0014	CHANNEL[CHN0][IRQEN]	中断请求使能寄存器	0x00000000
0x0018	CHANNEL[CHN0][DMAEN]	DMA 请求使能寄存器	0x00000000
0x0020	CHANNEL[CHN1][CFG]	配置寄存器	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0024	CHANNEL[CHN1][DACCFG]	DAC 配置寄存器	0x00000000
0x0030	CHANNEL[CHN1][SR]	状态寄存器	0x00000000
0x0034	CHANNEL[CHN1][IRQEN]	中断请求使能寄存器	0x00000000
0x0038	CHANNEL[CHN1][DMAEN]	DMA 请求使能寄存器	0x00000000
0x0040	CHANNEL[CHN2][CFG]	配置寄存器	0x00000000
0x0044	CHANNEL[CHN2][DACCFG]	DAC 配置寄存器	0x00000000
0x0050	CHANNEL[CHN2][SR]	状态寄存器	0x00000000
0x0054	CHANNEL[CHN2][IRQEN]	中断请求使能寄存器	0x00000000
0x0058	CHANNEL[CHN2][DMAEN]	DMA 请求使能寄存器	0x00000000
0x0060	CHANNEL[CHN3][CFG]	配置寄存器	0x00000000
0x0064	CHANNEL[CHN3][DACCFG]	DAC 配置寄存器	0x00000000
0x0070	CHANNEL[CHN3][SR]	状态寄存器	0x00000000
0x0074	CHANNEL[CHN3][IRQEN]	中断请求使能寄存器	0x00000000
0x0078	CHANNEL[CHN3][DMAEN]	DMA 请求使能寄存器	0x00000000

表 273: ACMP 寄存器列表

66.4 ACMP 寄存器描述

ACMP 的寄存器详细说明如下：

66.4.1 CHANNEL[CFG] (0x0 + 0x20 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HYST		DACEN	HPMODE	CMPEN	MINSEL			RSVD	PINSEL			CMPOEN	FLTBYPS	WINEN	OPOL	FLTMODE			SYNCEN	FLTLEN											
RW		RW	RW	RW	RW			N/A	RW			RW	RW	RW	RW	RW			RW	RW											
0	0	0	0	0	0	0	0	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CHANNEL[CFG] [31:0]

位域	名称	描述
31-30	HYST	比较器滞回设置位 00: 滞回值 0 01: 滞回值 1 10: 滞回值 2 11: 滞回值 3
29	DACEN	DAC 使能位 0: DAC 关闭 1: DAC 使能

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
28	HPMODE	高性能使能位 0: 高性能模式关闭 1: 高性能模式打开
27	CMPEN	比较器使能位 0: 比较器关闭 1: 比较器打开
26-24	MINSEL	MIN 选择 从比较器输入信号和 DAC 输出中选择一个作为 MIN
22-20	PINSEL	PIN 选择 从比较器输入信号和 DAC 输出中选择一个作为 PIN
19	CMPOEN	比较器输出使能位 0: 比较器输出关闭 1: 比较器输出打开
18	FLTBYPS	比较器输出滤波器旁路 0: 比较器输出会经过数字滤波 1: 比较器输出不经过数字滤波
17	WINEN	比较器窗口模式使能位 0: 比较器窗口模式关闭 1: 比较器窗口模式使能
16	OPOL	比较器输出取反位 0: 比较器输出不变 1: 比较器输出取反
15-13	FLTMODE	此位域定义了比较器输出滤波器的模式 000：旁路模式 100：滤刺模式 101：延时滤波器 110：滤峰模式 111：滤谷模式
12	SYNCEN	比较器输出时钟同步使能位 0: 比较器输出不与比较器时钟同步 1: 比较器输出与比较器时钟同步
11-0	FLTLEN	比较器输出滤波器的长度，单位是时钟周期

CHANNEL[CFG] 位域

66.4.2 CHANNEL[DACCFG] (0x4 + 0x20 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																								DACCFG							
N/A																								RW							

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0

CHANNEL[DACCFG] [31:0]

位域	名称	描述
7-0	DACCFG	8 位 DAC 输出值

CHANNEL[DACCFG] 位域

66.4.3 CHANNEL[SR] (0x10 + 0x20 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																														FEDGF	REDGF
N/A																														RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0

CHANNEL[SR] [31:0]

位域	名称	描述
1	FEDGF	比较器输出下降沿标志位，该位写 1 清 0
0	REDGF	比较器输出上升沿标志位，该位写 1 清 0

CHANNEL[SR] 位域

66.4.4 CHANNEL[IRQEN] (0x14 + 0x20 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																														FEDGEN	REDGEN
N/A																														RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0

CHANNEL[IRQEN] [31:0]

位域	名称	描述
1	FEDGEN	比较器输出下降沿中断请求使能位
0	REDGEN	比较器输出上升沿中断请求使能位

CHANNEL[IRQEN] 位域

66.4.5 CHANNEL[DMAEN] (0x18 + 0x20 * n)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																														FEDGEN	REDGEN
N/A																														RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0

CHANNEL[DMAEN] [31:0]

位域	名称	描述
1	FEDGEN	比较器输出下降沿 DMA 请求使能位
0	REDGEN	比较器输出上升沿 DMA 请求使能位

CHANNEL[DMAEN] 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

67 信息安全模块概述

本章节介绍了本产品的信息安全模块。

本产品的信息安全模块主要划分为以下几类：

- 加解密引擎
  - 安全数据处理器 SDP
  - 在线解密模块 EXIP
- 加解密引擎的密钥管理
  - 密钥管理器 KEYM
  - 电池备份域的密钥单元 BKEY
  - OTP 中的密钥区
- 真随机数发生器
- 系统安全状态监视器
  - 基于产品生命周期管理
  - 监视 JTAG 调试接口
  - 监视处理器进入 Debug 模式
  - 支持单调计数器
  - 支持侵入检测模块
- BOOT ROM 安全启动机制，保证安全，可信的加载用户程序镜像

67.1 安全数据处理器 SDP

本产品包含一个安全数据处理器 SDP，支持加解密运算 AES-128/256，并支持 AES 的 ECB，CBC 加密模式。SDP 支持哈希运算 SHA-1/256，支持 CRC32。

SDP 支持从密钥管理器 KEY 载入密钥。本产品上，SDP 的以下密钥来自密钥管理器 KEYM。

- MK[0:255]，来自密钥管理器的 MK 密钥输出
- SK0[0:255]，来自密钥管理器的 SK0 密钥输出
- SK1[0:255]，来自密钥管理器的 SK1 密钥输出
- SK2[0:255]，来自密钥管理器的 SK2 密钥输出
- SK3[0:255]，来自密钥管理器的 SK3 密钥输出

67.2 在线解密引擎 EXIP

本产品包括 2 个在线解密引擎 EXIP，EXIP0 与 XPI0 紧密耦合，EXIP1 与 XPI1 紧密耦合。用户可以使用 AES-128 CTR 模式按照规范对外部 NOR Flash 存储数据加密。当本产品通过 XPI 连接到加密的外部 NOR Flash 时，EXIP 零等待周期实时在线解密，把加密后的代码还原成明文，供处理器直接在线执行。

EXIP 支持利用 OTP 中存储的 EXIP KEK(Key Encryption Key 加密密钥的密钥) 从 Key Blob 中还原 DEK(Data Encryption Key 加密数据的密钥)。实现对 DEK 的保护。

有关本产品密钥管理情况，请查阅节 67.5。

67.3 密钥管理器

本产品支持密钥管理器 KEYM，密钥管理器支持通过独立的数据通路从电池备份域密钥寄存器 BKEY 和 OTP 的密钥区载入密钥，并进行混淆处理后，通过独立的数据通路将密钥传送到安全数据处理器 SDP。实现不依赖处

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

理器参与的密钥加载，保证不向任何软件暴露密钥。

本产品上，密钥管理器支持从以下模块载入密钥信息：

- SMKRNG[0:255]，来自随机数发生器 RNG
- ZMK[0:255]，来自电池备份域密钥模块 BKEY
- FMK[0:255]，来自 OTP 的密钥区

本产品上，KEYM 通过独立数据通路向 SDP 发送密钥信息：

- MK[0:255]
- SK0[0:255]
- SK1[0:255]
- SK2[0:255]
- SK3[0:255]

有关本产品密钥管理情况，请查阅节 67.5。

67.4 电池备份域密钥模块 BKEY

本产品包含电池备份域密钥模块 BKEY。此模块位于电池备份域，因此可以在仅有 VBAT 供电，其他电源引脚都掉电的情况下保存密钥。

BKEY 可以存储 KEY0 和 KEY1 两个密钥，支持对密钥设置写保护和读保护。用户可以配置 KEY0 或者 KEY1 作为 ZMK 发送到密钥管理器。

BKEY 存储的密钥受到系统安全监视器保护，当检测到安全违例的事件时，可以立即将密钥擦除。

67.5 密钥管理总结

本产品上，密钥管理总结如图 109所示：

图 109: 密钥管理总结

67.6 一次性可编程存储 OTP

本产品的 OTP 上支持保存各类安全功能有关的数据：

- 128 位调试密钥 Debug Key，本产品支持 JTAG 口锁定，在锁定后，调试器需要提供调试密码，解锁 JTAG

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

接口，进行调试。

- 128 位 UUID，芯片的唯一标识
- 安全启动的公钥 HASH，为公钥的 256 位 SHA-256 哈希值
- 用于 EXIP 解密包含 DEK 的 Key Blob 的 256 位 KEK，EXIP0 KEK 和 EXIP1 KEK
- 密钥管理器的 256 位 FMK

有关这些安全相关数据的具体信息，请查阅 OTP 及其他安全模块的相关章节。

67.7 真随机数发生器 RNG

本产品包含一个真随机数发生器。熵源为内部模拟噪声源，对片上环境如温度，电压，时钟非常敏感，产生 512 位熵 entropy。RNG 支持错误检测。

67.8 电源管理域安全管理器 PSEC

本产品包含一个电源管理域安全管理器 PSEC。PSEC 位于电源管理域，因此在系统电源域掉电时，也能保持工作。

电源管理域安全管理器 PSEC 的主要功能是根据芯片当前的生命周期，配置电源管理域与系统电源域系统的安全状态。

电源管理域安全管理器 PSEC 可以制定安全规则，并检测电源管理域和系统电源域的各类安全事件。当有安全违例事件发生时，采取不同的措施，来保护用户的敏感信息，如密钥等。

电源管理域安全管理器支持监视如下事件：

- OSC24M 时钟故障
- CPU0 进入调试模式
- CPU1 进入调试模式
- VPMC 电源毛刺或者 OSC24M 时钟毛刺，来自电源域监视器 PMON
- VPMC 欠压（Brownout）
- PWDG 超时
- JTAG 端口连接
- JTAG TCK 引脚活动

当安全事件发生，电源管理域与系统电源域系统的安全状态会转换为 FAIL，会锁定密钥管理器 KEYM 的各个密钥数据通路，并锁定 OTP 的密钥和敏感数据区域及其影子寄存器为不可读。

67.9 电源管理域监视器 PMON

本产品包含一个电源管理域监视器 PMON。电源管理域监视器的作用是监测电源域的电源和时钟。电源监视器在检测到 VPMC 上异常的电源毛刺，或者 OSC24M 上的时钟毛刺，或者 OSC24M 停止工作时会向电源管理域安全管理器 PSEC 报警。

67.10 电池备份域安全管理器 BSEC

本产品包含电池备份域安全管理器 BSEC。BSEC 位于电池备份域，因此在系统电源域和电源管理域掉电时，也能保持工作。BSEC 可以配置电池备份域的安全状态，并制定安全规则。BSEC 可以检测电池备份域的各类安全事件。当有安全违例事件发生时，采取不同的措施，来保护用户的敏感信息，如密钥等。

电池备份域安全管理器 BSEC 监视如下事件：

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

- VBAT 电源毛刺或者 OSC32K 时钟毛刺，来自电池备份域监视器 BMON
- OSC32K 时钟故障
- 侵入检测模块 TAMP 的侵入事件
- 单调计数器 MONO 溢出

当安全事件发生，电池备份域的安全状态会转换为 FAIL，并擦除电池备份域密钥模块 BKEY 的数据。

67.11 电池备份域监视器 BMON

本产品包含一个电池备份域监视器 BMON。电池备份域监视器的作用是监测电池备份域的电源和时钟，以及配置芯片的工厂测试模式。电源监视器在检测到 VBAT 上异常的电源毛刺，或者检测到 OSC32K 的时钟毛刺，或者 OSC32K 停止工作时会向电池备份域安全管理器 BSEC 报警。

电池备份域监视器支持关闭芯片的工厂测试模式。

本产品上，BMON，TAMP，MONO 共享一个中断请求，称为 BVIO，即电池备份域安全违例中断。

67.12 侵入检测模块 TAMP

本产品包含一个侵入检测模块 TAMP。侵入检测模块位于电池备份域，可以在仅有 VBAT 供电，其他电源引脚都掉电的情况下保持工作。侵入检测模块支持多达 12 个侵入检测引脚，侵入检测引脚支持配置为主动模式或者被动模式。在检测到侵入事件时，侵入检测模块向电池备份域安全管理器 BSEC 报警。

本产品上，BMON，TAMP，MONO 共享一个中断请求，称为 BVIO，即电池备份域安全违例中断。

67.13 单调计数器 MONO

本产品包含一个单调计数器 MONO。单调计数器宽度为 48 位，位于电池备份域，可以在仅有 VBAT 供电，其他电源引脚都掉电的情况下保持工作。单调计数器在每次被写操作时 +1，因此计数器的值单调递增，除非 VBAT 掉电永不重复。在单调计数器溢出时，会向电池备份域安全管理器 BSEC 报警。

本产品上，BMON，TAMP，MONO 共享一个中断请求，称为 BVIO，即电池备份域安全违例中断。

67.14 BOOT ROM

本产品集成了 BOOT ROM，系统复位后总是最先执行 BOOT ROM 的代码。由只读存储器的物理特性，保证了 BOOT ROM 代码几乎不可能篡改。由此构建了最初的可信安全执行环境。

BOOT ROM 支持如下安全功能：

- 通过 EXIP 和 XPI 直接从加密的串行 NOR Flash 执行代码。
- 安全启动，在跳转到用户软件镜像前可以先验证镜像的来源合法可信。支持 ECDSA 或者 SM2 的签名验证
- 支持加载加密的软件镜像，支持 AES 或者 SM4 加密算法
- Flash loader 支持烧录加密的固件

有关 BOOT ROM 支持的安全功能细节，请查阅 ROM 相关章节。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

68 安全数据处理器 SDP

本章节描述了安全数据处理器 SDP 的主要特性和功能。

68.1 特性总结

安全数据处理器 SDP 的主要特性如下：

- 支持 AES-128/256，支持 ECB，CBC 模式
- 支持 SHA-1/256
- 支持 CRC-32
- 内置 DMA，支持数据拷贝，块拷贝和数据充填
- 支持从密钥管理器加载受保护的密钥，或者使用用户写入 SDP 密钥存储器的密钥
- 密钥寄存器可读保护

68.2 功能描述

数据安全处理器 SDP 是一个可以实现数据加解密，计算数据哈希值的安全运算引擎。SDP 作为总线主设备，可以自主访问芯片上的存储外设；SDP 实现自主读取命令描述符，读取待处理数据，写回处理后数据。

68.2.1 命令描述符

数据安全处理器 SDP 工作由命令描述符控制，用户可以在内存中编写命令描述符。SDP 从内存中自主读取命令描述符，按照描述符的配置执行任务，并反馈结果。

SDP 可以通过命令描述符执行的任务总结如下：

- AES-128/256 ECB 模式，对指定长度的明文加密，或者密文解密
- AES-128/256 CBC 模式，对指定长度的明文加密，或者密文解密
- SHA-1/256，对指定长度的数据计算其 Hash 值
- CRC-32，对指定长度的数据计算 CRC32 值
- 将指定长度的数据从源地址拷贝至目标地址
- 对目标地址充填指定长度、指定样式的数据

用户可以通过 CMDPTR 寄存器，指定命令描述符在内存中的地址。

命令描述符的格式如表 274：

地址	名称	描述
CMDPTR + 0x00	NXTCMD	下一条命令描述符指针
CMDPTR + 0x04	PKTCTL	命令控制字，32 位
CMDPTR + 0x08	PKTSRC	源数据地址，32 位
CMDPTR + 0x0C	PKTDST	目标数据地址，32 位
CMDPTR + 0x10	BUFSIZE	数据长度（字节数），32 位
CMDPTR + 0x14	RESERVED	保留
CMDPTR + 0x18	RESERVED	保留
CMDPTR + 0x1C	RESERVED	保留

表 274: SDP 命令描述符格式

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

NXTCMD 是指向下一条命令描述符，如果 PKTCTL[3]，CHAIN 位置 1，SDP 在执行完当前命令后，继续执行 NXTCMD 指向的命令描述符。

PKTCTL 是命令描述符的控制字，配置 SDP 的任务，描述如下：

- PKTCTL[31:24]，PKTTAG，数据包标签，用户可以为每个数据包打上不同的标签；
- PKTCTL[6]，CIPHIV，使用 AES-CBC 模式时置 1，提示 AES 载入初始向量（Initial Vector）；
- PKTCTL[5]，HASFNL，置 1 提示 HASH 引擎，这是待处理数据的结尾；
- PKTCTL[4]，HASINI，置 1 提示 HASH 引擎，这是待处理数据的起始；
- PKTCTL[3]，CHAIN，置 1 提示 SDP 在执行完当前命令后，从 NXTCMD 取下一条命令描述符；
- PKTCTL[2]，DCRSEMA，置 1 提示 SDP 在执行完当前命令后，将 PKTCNT [CNTVAL] 减 1, 当 PKTCNT [CNTVAL] = 0 时，SDP 会停止工作；
- PKTCTL[1]，PKTINT，置 1 时，SDP 在执行完当前命令后，会生成中断请求；

PKTSRC，源数据地址，即 SDP 待处理数据的读取地址，PKTSRC 应当指向待加密的明文，待解密的密文，或者需要通过 HASH 函数压缩的数据。当 SDP 执行数据拷贝时，PKTSRC 指向待拷贝的数据。

PKTDST，目标数据地址，即 SDP 处理后数据的存放地址。PKTDST 应当指向加密后的密文，解密后的明文。当 SDP 执行数据拷贝时，PKTDST 指向拷贝的目标地址。

BUFSIZE，数据的长度（字节数），即 SDP 加密明文的长度，解密密文的长度，需要计算 Hash 值或者 CRC 值的数据块长度，或者需要数据拷贝的数据块长度。

用户在使用 SDP 运算前，需要

- 按需求配置 SDPCR 和 MODCTRL 寄存器
- 编写命令描述符，注意
  - PKTCTL[2]，DCRSEMA 置 1，提示命令执行完成后，PKTCNT [CNTVAL] -1
  - 如果希望执行多条命令,最后一条命令外的命令描述符 PKTCTL[3],CHAIN 位置 1,并把 NXTCMD 填入下一条命令的地址
  - 如果希望命令执行完成后生成中断请求，把命令描述符 PKTCTL[1]，PKTINT 置 1
- 在 CMDPTR 寄存器写入命令描述符地址
- 对 PKTCNT [CNTINCR] 写入需要执行的命令描述符数量，写入 PKTCNT [CNTINCR] 会更新 PKTCNT [CNTVAL] = PKTCNT [CNTVAL] ＋ PKTCNT [CNTINCR]，PKTCNT [CNTVAL] 代表了需要执行的命令数据
  - 如果只需要执行一条命令，写 1
  - 如果希望连续执行 n 条命令，写入 n

68.2.2 AES 加解密引擎

SDP 支持 AES 加解密引擎，AES 为 Advanced Encyrption Standard 的简称，由美国国家标准与技术研究院（NIST）于 2001 年 11 月 26 日发布于 FIPS PUB 197。用户可以自行查阅 AES 的细节。

用户把 SDPCR[CIPHEN] 位置 1，即打开 AES 加解密引擎。

AES 引擎支持 AES-128 和 AES-256，即 128 位和 256 位的 AES 密钥长度。

用户可以通过 MODCTRL[AESALG] 位配置 AES 的密钥长度：

- 4’b0000，AES-128，即密钥长度为 128 位
- 4’b0001，AES-256，即密钥长度为 256 位

AES 引擎支持加密，即通过密钥将明文加密成为密文。AES 引擎支持解密，即通过密钥将密文恢复为明文。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

用户可以通过 MODCTRL [AESDIR] 位配置 AES 引擎进行的是加密运算还是解密运算：

- MODCTRL [AESDIR] = 1’b0，AES 引擎执行加密运算
- MODCTRL [AESDIR] = 1’b1，AES 引擎执行解密运算

AES 引擎支持 ECB 工作模式和 CBC 工作模式。

ECB 模式称为电子密码本模式（Electronic codebook），是最基本的 AES 加密模式，加密前把全部数据根据数据块大小（AES 数据块长度为 16 字节，即 128 位）分成若干块，之后将每块使用相同的密钥单独加密，解密同理。通常不建议用户使用 ECB 模式加密长度超过一个 AES 数据块的数据。

CBC 模式称为密码分组链接模式（Cipher-block chaining），CBC 模式对于每个待加密的数据块在加密前会先与前一个数据块的密文异或然后再用加密器加密。第一个明文块与一个叫初始化向量（Initial Vector）的数据块异或。解密的过程相似，第一个密文块使用密钥解密后，与初始化向量数据块异或恢复出第一个明文块，之后的密文块解密后与前一个数据块的密文异或恢复出明文。

用户通过 MODCTRL[AESMOD] 位配置 AES 的工作模式：

- MODCTRL[AESMOD] = 4’b0000，AES 工作模式为 ECB 模式
- MODCTRL[AESMOD] = 4’b0001，AES 工作模式为 CBC 模式

用户使用 AES-CBC 模式，需要把第一个命令描述符的 PKTCTL[6]，CIPHIV 位置 1，提示 AES 引擎载入初始化向量（Initial Vector），同时，用户需要把初始化向量（Initial Vector）写入 CIPHIV0 ~ CIPHIV3 寄存器。

68.2.3 AES 密钥配置

AES 作为公开发布的标准算法，其加解密的数据处理步骤是公开可知的。AES 算法的安全性不依赖于算法本身，而是取决于密钥的安全性。

SDP 的 AES 引擎采取了一系列设计，保护 AES 加解密的密钥不泄露。

AES 引擎的密钥有以下选项：

- 从 SDP 内部存储器 KEYRAM 载入密钥，KEYRAM 容量 256 字节，可以存储 16 个 128 位的 AES-128 密钥或者 8 个 256 位的 AES-256 密钥
- 从密钥管理器 KEYM 的专用密钥通路载入密钥，可用密钥有 MK，SK0 ~ SK3

SDP 的内部存储器 KEYRAM 为只可写，不可读存储器。用户可以通过 KEYADDR 和 KEYDAT 寄存器来初始化 SDP 的内部存储器 KEYRAM，方法如下：

- 通过写 KEYADDR [INDEX] 位域来指定 KEYRAM 内部地址索引。
  - KEYADDR [INDEX] = 0，表示指向 KEYRAM 第 1 个 128 位密钥
  - KEYADDR [INDEX] = 1，表示指向 KEYRAM 第 2 个 128 位密钥
  - ……
  - KEYADDR [INDEX] = 15，表示指向 KEYRAM 第 16 个 128 位密钥
- 通过 KEYDAT，写入密钥，KEYDAT 为 32 位寄存器
  - 第 1 次写 KEYDAT，写入密钥 [0:31]
  - 第 2 次写 KEYDAT，写入密钥 [32:63]
  - 第 3 次写 KEYDAT，写入密钥 [64:95]
  - 第 4 次写 KEYDAT，写入密钥 [96:127]

显然，如果用户希望使用 256 位的 AES-256 密钥，需要先将 KEYADDR [INDEX] 取 0 ~ 15 之间的偶数，按以上步骤写入密钥的前 128 位。之后将现有 KEYADDR [INDEX] + 1，再写入 4 次 KEYDAT 寄存器，来写入密钥

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

的后 128 位，密钥 [128:255]

密钥初始化完成后，用户可以通过 MODCTRL[AESKS] 位域来选择密钥：

当 AES 引擎设置为 AES-128 时：

- MODCTRL[AESKS] = 6’h00，选择 KEYRAM 第 1 个 128 位密钥，即 KEYRAM [0:127]
- MODCTRL[AESKS] = 6’h01，选择 KEYRAM 第 2 个 128 位密钥，即 KEYRAM [128:255]
- ……
- MODCTRL[AESKS] = 6’h0E，选择 KEYRAM 第 15 个 128 位密钥，即 KEYRAM [1792:1919]
- MODCTRL[AESKS] = 6’h0F，选择 KEYRAM 第 16 个 128 位密钥，即 KEYRAM [1920:2047]
- MODCTRL[AESKS] = 6’h20，选择来自 KEYM 的 SK0[0:127]
- MODCTRL[AESKS] = 6’h21，选择来自 KEYM 的 SK0[128:255]
- MODCTRL[AESKS] = 6’h22，选择来自 KEYM 的 SK1[0:127]
- MODCTRL[AESKS] = 6’h23，选择来自 KEYM 的 SK1[128:255]
- MODCTRL[AESKS] = 6’h24，选择来自 KEYM 的 SK2[0:127]
- MODCTRL[AESKS] = 6’h25，选择来自 KEYM 的 SK2[128:255]
- MODCTRL[AESKS] = 6’h26，选择来自 KEYM 的 SK3[0:127]
- MODCTRL[AESKS] = 6’h27，选择来自 KEYM 的 SK3[128:255]
- MODCTRL[AESKS] = 6’h2E，选择来自 KEYM 的 MK[0:127]
- MODCTRL[AESKS] = 6’h2F，选择来自 KEYM 的 MK[128:255]

当 AES 引擎设置为 AES-256 时：

- MODCTRL[AESKS] = 6’h00，选择 KEYRAM 第 1 个 256 位密钥，即 KEYRAM [0:255]
- MODCTRL[AESKS] = 6’h01，无效
- ……
- MODCTRL[AESKS] = 6’h0E，选择 KEYRAM 第 8 个 256 位密钥，即 KEYRAM [1792:2048]
- MODCTRL[AESKS] = 6’h0F，无效
- MODCTRL[AESKS] = 6’h20，选择来自 KEYM 的 SK0[0:255]
- MODCTRL[AESKS] = 6’h21，无效
- MODCTRL[AESKS] = 6’h22，选择来自 KEYM 的 SK1[0:255]
- MODCTRL[AESKS] = 6’h23，无效
- MODCTRL[AESKS] = 6’h24，选择来自 KEYM 的 SK2[0:255]
- MODCTRL[AESKS] = 6’h25，无效
- MODCTRL[AESKS] = 6’h26，选择来自 KEYM 的 SK3[0:255]
- MODCTRL[AESKS] = 6’h27，无效
- MODCTRL[AESKS] = 6’h2E，选择来自 KEYM 的 MK[0:255]
- MODCTRL[AESKS] = 6’h2F，无效

68.2.4 HASH 模块

SDP 支持一个 HASH 模块。

HASH，一般翻译做散列、杂凑，或音译为哈希，是把任意长度的输入数据，通过 HASH 算法变换成固定长度的输出，该输出就是 HASH 值，也译作散列值或者杂凑值。这种转换是一种压缩映射，也就是，HASH 值的空间通常远小于输入的空间，不同的输入可能会散列成相同的输出，所以理论上不可能从散列值来确定唯一的输入值。简单的说就是一种将任意长度的消息压缩到某一固定长度的消息摘要 (Digest) 的函数，因此，通常也把一段

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

信息的 HASH 值，称为这段信息的摘要 (Digest)。

尽管理论上，一段数据和它的 HASH 值不存在一一对应关系，即总是存在不同的数据，它们的 HASH 值是相同的。对于不同的数据得到相同的 HASH 值，称为碰撞。但是，密码学理论认为，现代的 HASH 算法具备以下特征：

- 从 HASH 值不能反向推导出原始数据，即单向性
- 对输入数据非常敏感，原始数据最微小的修改，会导致 HASH 值大不相同
- 碰撞发生的概率虽然理论上不为 0，但数学上，认为碰撞的概率近似于 0。

因此，HASH 算法得出的数据摘要，或者说 HASH 值，可以用来校验数据的完整性，并在信息安全领域上派生出许多应用。

SDP 的 HASH 模块支持 SHA-1 和 SHA-256。

SHA-1（Secure Hash Algorithm 1）由美国国家安全局设计，并由美国国家标准技术研究所（NIST）发布为联邦数据处理标准（FIPS）。SHA-1 支持长度不超过 $(2^{64} - 1)$ 位的输入数据，可以生成 160 位（20 字节）HASH 值。

SHA-2（Secure Hash Algorithm 2），由美国国家安全局研发，由美国国家标准与技术研究院（NIST）在 2001 年发布。是 SHA-1 的后继算法。SHA-256 是 SHA-2 的算法之一，支持长度不超过 $(2^{64} - 1)$ 位的输入数据，可以生成 256 位（32 字节）HASH 值。

用户把 SDPCR[HASHEN] 位置 1，即打开 HASH 模块。

用户可以通过 MODCTRL[HASALG] 位，选择 HASH 算法：

- MODCTRL[HASALG] = 4’b0000，选择 SHA-1
- MODCTRL[HASALG] = 4’b0010，选择 SHA-256

用户在使用 HASH 模块时，必须按需要配置命令描述符的 PKTCTL 字

- 如果此命令描述符处理的数据，包括 HASH 算法输入数据的结尾，要把 PKTCTL[5]，HASFNL 置 1
- 如果此命令描述符处理的数据，包括 HASH 算法输入数据的起始，PKTCTL[4]，HASINI 置 1
- 如果对一段内存内连续的数据执行 HASH 算法，用户可以把 PKTCTL[5] 和 PKTCTL[4] 都置 1，用户利用一条命令描述符就可以计算一段连续的数据的 HASH 值。

68.2.5 数据拷贝和数据充填

SDP 支持内存区段的数据拷贝和数据充填功能。

用户把 SDPCR[MCPEN] 位置 1，即打开数据拷贝功能。这样，SDP 功能与 DMA 类似，通过配置命令描述符，可以把任意长度的数据从源地址指定的内存区段，拷贝到目标地址指定的内存区段。

用户把 SDPCR[CONFEN] 位置 1，即打开数据充填功能。这时，用户配置命令描述符，把需要充填的数据写入源地址字 PKTSRC，SDP 会把目标地址字 PKTDST 起，长度为 BUFSIZE 的区域全部填写 PKTSRC 的值。

68.2.6 数据重排序

SDP 支持对从源地址读取到输入数据，写入目标地址的输出数据，以及密钥进行数据重排序，以适应不同系统的数据排序要求。

MODCTRL[DINSWP] 位域，配置了输入数据的重排序方式：

- 2’b00，输入 32 位数据字节从高位到低位为 [Byte3, Byte2, Byte1, Byte0]，保持不变
- 2’b01，输入 32 位数据字节从高位到低位为 [Byte3, Byte2, Byte1, Byte0]，重新排列为 [Byte2, Byte3,

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

Byte0, Byte1]

- 2'b10，输入 32 位数据字节从高位到低位为 [Byte3, Byte2, Byte1, Byte0]，重新排列为 [Byte1, Byte0, Byte3, Byte2]
- 2'b11，输入 32 位数据字节从高位到低位为 [Byte3, Byte2, Byte1, Byte0]，重新排列为 [Byte0, Byte1, Byte2, Byte3]

MODCTRL[DOUTSWP] 位域，配置了输出数据的重排序方式：

- 2'b00，输出 32 位数据字节从高位到低位为 [Byte3, Byte2, Byte1, Byte0]，保持不变
- 2'b01，输出 32 位数据字节从高位到低位为 [Byte3, Byte2, Byte1, Byte0]，重新排列为 [Byte2, Byte3, Byte0, Byte1]
- 2'b10，输出 32 位数据字节从高位到低位为 [Byte3, Byte2, Byte1, Byte0]，重新排列为 [Byte1, Byte0, Byte3, Byte2]
- 2'b11，输出 32 位数据字节从高位到低位为 [Byte3, Byte2, Byte1, Byte0]，重新排列为 [Byte0, Byte1, Byte2, Byte3]

MODCTRL[KEYSWP] 位域，配置了密钥数据的重排序方式：

- 2'b00，密钥 32 位数据字节从高位到低位为 [Byte3, Byte2, Byte1, Byte0]，保持不变
- 2'b01，密钥 32 位数据字节从高位到低位为 [Byte3, Byte2, Byte1, Byte0]，重新排列为 [Byte2, Byte3, Byte0, Byte1]
- 2'b10，密钥 32 位数据字节从高位到低位为 [Byte3, Byte2, Byte1, Byte0]，重新排列为 [Byte1, Byte0, Byte3, Byte2]
- 2'b11，密钥 32 位数据字节从高位到低位为 [Byte3, Byte2, Byte1, Byte0]，重新排列为 [Byte0, Byte1, Byte2, Byte3]

68.3 SDP 寄存器

68.3.1 寄存器说明

SDP 的寄存器列表如下：

SDP base address: 0xF304C000

地址偏移	名称	描述	复位值
0x0000	SDPCR	SDP 控制寄存器	0x30000000
0x0004	MODCTRL	模式控制寄存器	0x00000000
0x0008	PKTCNT	数据包计数寄存器	0x00000000
0x000C	STA	状态寄存器	0x00000000
0x0010	KEYADDR	密钥地址寄存器	0x00000040
0x0014	KEYDAT	密钥数据	0x00000030
0x0018	CIPHIV[CIPHIV0]	密码初始化向量 0	0x00000000
0x001C	CIPHIV[CIPHIV1]	密码初始化向量 1	0x00000000
0x0020	CIPHIV[CIPHIV2]	密码初始化向量 2	0x00000000
0x0024	CIPHIV[CIPHIV3]	密码初始化向量 3	0x00000000
0x0028	HASWRD[HASWRD0]	哈希数据字 0	0x00000030
0x002C	HASWRD[HASWRD1]	哈希数据字 1	0x00000030
0x0030	HASWRD[HASWRD2]	哈希数据字 2	0x00000030

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0034	HASWRD[HASWRD3]	哈希数据字 3	0x00000030
0x0038	HASWRD[HASWRD4]	哈希数据字 4	0x00000030
0x003C	HASWRD[HASWRD5]	哈希数据字 5	0x00000030
0x0040	HASWRD[HASWRD6]	哈希数据字 6	0x00000030
0x0044	HASWRD[HASWRD7]	哈希数据字 7	0x00000030
0x0048	CMDPTR	命令字指针	0x00000000
0x004C	NPKTPTR	下一个数据包地址指针	0x00000000
0x0050	PKTCTL	数据包控制寄存器	0x00000000
0x0054	PKTSRC	数据包在内存中源地址	0x00000000
0x0058	PKTDST	数据包处理完后内存中的目标地址	0x00000000
0x005C	PKTBUF	数据包在内存中的大小。	0x00000000

表 275: SDP 寄存器列表

SDP 的寄存器详细说明如下：

68.3.2 SDPCR (0x0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SFTRST	CLKGAT	CIPDIS	HASDIS	RSVD				CIPHEN	HASHEN	MCPEN	CONFEN	DCRPDI	RSVD	TSTPKT0IRQ	RSVD																INTEN
RW	RW	RO	RO	N/A				RW	RW	RW	RW	RW	N/A	RW	N/A																RW
0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0

SDPCR [31:0]

位域	名称	描述
31	SFTRST	软复位控制位。 此寄存器位写“1”，然后再写“0”，来软复位 SDP 模块。
30	CLKGAT	SDP 的主要电路的门控时钟控制位。 此为寄存器写“1”，会关闭 SDP 内部绝大部分逻辑电路的时钟。
29	CIPDIS	加解密硬件禁止位，此位为只读寄存器位；此位为“1”时，加解密的功能不可用；此位为“0”时，加解密的功能可用。
28	HASDIS	哈希硬件禁止位，此位为只读寄存器位；此位为“1”时，哈希的功能不可用；此位为“0”时，哈希的功能可用。
23	CIPHEN	加解密使能位。 此位置“1”时，加解密的功能可用； 此位置“0”时，加解密的功能不可用。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
22	HASHEN	哈希软件使能位。 此位置“1”时，哈希的功能可用； 此位置“0”时，哈希的功能不可用。
21	MCPEN	内存数据拷贝功能使能位； 此位置“1”时，内存拷贝的功能可用； 此位置“0”时，内存拷贝的功能不可用。
20	CONFEN	内存数据填充的使能位。 此位置“1”时，数据填充内存的功能可用； 此位置“0”时，常数填充内存功能不可用。
19	DCRPDI	AES 解密禁止位。 写“1”禁止解密功能。 此位仅能通过硬复位清零。
17	TSTPKT0IRQ	保留位。
0	INTEN	中断使能，由软件控制。 当置“1”时，SDP 中断使能。 当置“0”时，SDP 中断禁用。

SDPCR 位域

68.3.3 MODCTRL (0x4)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
AESALG				AESMOD				AESKS						RSVD	AESDIR	HASALG				CRCEN	HASCHK	HASOUT	RSVD	RSVD		DINSWP		DOUTSWP		KEYSWP	
RW				RW				RW						N/A	RW	RW				RW	RW	RW	N/A	N/A		RW		RW		RW	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MODCTRL [31:0]

位域	名称	描述
31-28	AESALG	AES 算法选择。 0x0 = AES 128； 0x1 = AES 256； 0x8 = SM4； 其它值，保留。
27-24	AESMOD	AES 模式选择。 0x0 = ECB； 0x1 = CBC； 其它，保留。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
23-18	AESKS	AES 密钥选择。用于选择存储在 SDP 的 16x128 密钥内存中的 AES 密钥，或从 KMAN 中选择密钥。详情如下： 0x00~0x0F：选择密钥内存中的 128 位密钥，0x00~0x0F 为密钥的地址；当地址为偶数时，AES256 模式下将使用来自该地址的 128 位和下一个地址的 128 位密钥作为 256 位 AES 密钥。当地址为奇数时，仅对 AES128 有效。 0x20～0x27：来自密钥管理器 KMAN 的密钥 SK(session key): -0x20，AES128 使用 kman_sk0[127:0] 作为密钥；AES256 使用 kman_sk0[255:0] 作为密钥。 -0x21，AES128 使用 kman_sk0[255:128] 作为密钥；对 AES256 无效。 -0x22，AES128 使用 kman_sk1[127:0] 作为密钥；AES256 使用 kman_sk1[255:0] 作为密钥。 -0x23，AES128 使用 kman_sk1[255:128] 作为密钥；对 AES256 无效。 -0x24，AES128 使用 kman_sk2[127:0] 作为密钥；AES256 使用 kman_sk2[255:0] 作为密钥。 -0x25，AES128 使用 kman_sk2[255:128] 作为密钥；对 AES256 无效。 -0x26，AES128 使用 kman_sk3[127:0] 作为密钥；AES256 使用 kman_sk3[255:0] 作为密钥。 -0x27，AES128 使用 kman_sk3[255:128] 作为密钥；对 AES256 无效。 -0x2E：AES128 使用 kman_mk[127:0] 作为密钥；AES256 使用 kman_mk[255:0] 作为密钥。 -0x2F：AES128 使用 kman_mk[255:128] 作为密钥；对 AES256 无效。 其它值，保留.
16	AESDIR	AES 方向 0x0，AES 加密。 0x1，AES 解密。
15-12	HASALG	HASH 算法选择。 0x0 SHA1 算法 0x1 CRC32 算法 0x2 SHA256 算法 0x3 SM3 算法
11	CRCEN	CRC 使能位。 0x0，禁用 CRC。 0x1，启用 CRC。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
10	HASCHK	哈希检查使能位。 0 x0，未启用哈希检查，HASHRSLT0-7 存储哈希计算的结果。 0 x1，启用哈希校验，SDP 计算所得哈希结果会与 HASHRSLT 0-7 寄存器里的预设值进行比较； 对于 SHA1，将使用 HASHRSLT0-3 字，而 HASH 256 将使用 HASH0-7 字。
9	HASOUT	当启用哈希时，该位选择 AES 引擎的输入或输出数据，进行哈希运算。 0x0, AES 输入数据来进行哈希计算 0x1, AES 输出数据来进行哈希计算
5-4	DINSWP	决定 SDP 是否对输入数据进行字节交换，变成大端数据； 当所有位都被设置时，数据被假定为大端格式。
3-2	DOUTSWP	决定 SDP 是否对输出数据进行字节交换，变成大端数据；； 当所有位都被设置时，数据被假定为大端格式
1-0	KEYSWP	决定 SDP 是否对密钥进行字节交换，变成大端数据；； 当所有位都被设置时，数据被假定为大端格式

MODCTRL 位域

68.3.4 PKTCNT (0x8)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD	RSVD	RSVD						CNTVAL								RSVD								CNTINCR							
N/A	N/A	N/A						RO								N/A								RW							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PKTCNT [31:0]

位域	名称	描述
23-16	CNTVAL	只读计数器；显示数据包计数器的当前值。
7-0	CNTINCR	写入此处的数值将加到数据包计数器。

PKTCNT 位域

68.3.5 STA (0xC)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TAG								IRQ	RSVD		CHN1PKT0	AESBSY	HASBSY	PKTCNT0	PKTDON	RSVD										ERRSET	ERRPKT	ERRSRC	ERRDST	ERRHAS	ERRCHAIN
RO								W1C	N/A		W1C	RO	RO	W1C	W1C	N/A										W1C	W1C	W1C	W1C	W1C	W1C

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

STA [31:0]

位域	名称	描述
31-24	TAG	正在处理的数据包的标签。
23	IRQ	中断请求；当错误发生时，数据包处理完成时，数据包计数器达到零时，都会有中断请求发生。
20	CHN1PKT0	当前数据报的描述字中，“CHAIN”位为“1”，指示有后续的数据包；但是此时数据包计数器已经到达“0”，正等待等待新的缓冲区数据包。
19	AESBSY	AES 加解密引擎正忙。
18	HASBSY	哈希处理忙状态。
17	PKTCNT0	包计数器现在已经计数到“0”。
16	PKTDON	数据包处理完成后，当数据包控制字中的“PKTINT”位设置位“1”时，将触发此中断。
5	ERRSET	工作模式设置错误。
4	ERRPKT	数据包头访问错误，或状态更新错误。
3	ERRSRC	源缓冲区访问错误
2	ERRDST	目标缓冲区访问错误
1	ERRHAS	哈希结果检查错误
0	ERRCHAIN	当前数据包的 CHAIN 位 = 0，但数据包计数器不为“0”，触发发生缓冲区链错误。

STA 位域

68.3.6 KEYADDR (0x10)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								INDEX								RSVD														SUBWRD	
N/A								RW								N/A														RW	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0

KEYADDR [31:0]

位域	名称	描述
23-16	INDEX	键索引指针（0－15）。在 SDP 中，有一个 16x128 的密钥缓存区，可以存储 16 个 AES128 密钥或 8 个 AES 256 密钥；该索引用于寻址 16 个 128 位密钥地址。
1-0	SUBWRD	密钥的子字指针。有效值为 0-3。每次写入密钥数据寄存器后，该字段会加 1。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述

KEYADDR 位域

68.3.7 KEYDAT (0x14)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEYDAT																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0

KEYDAT [31:0]

位域	名称	描述
31-0	KEYDAT	密钥寄存器。该寄存器提供对密钥索引寄存器指定的密钥/密钥子字的写访问。 写入此位置的数值，会更新位于子字地址处的密钥的选定子字；写操作还会触发 SUBWRD 寄存器递增到密钥中的下一个更高的字。

KEYDAT 位域

68.3.8 CIPHIV (0x18 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CIPHIV																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CIPHIV [31:0]

位域	名称	描述
31-0	CIPHIV	AES 加解密的初始化向量。

CIPHIV 位域

68.3.9 HASWRD (0x28 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HASWRD																															
RW																															

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	1	0	0	0	0

HASWRD [31:0]

位域	名称	描述
31-0	HASWRD	哈希数据字 - HASH 结果位；如果启用了哈希结果检查，此寄存器存储预期的哈希结果；当未启用哈希检查时，哈希引擎将在这里存储最终的哈希结果 [31:0]。 如果启用了 CRC 模式，如果启用了 CRC 校验，则此工作存储 CRC 预期结果；如果未启用 CRC 校验，此寄存器存储最终计算出的 CRC 结果。

HASWRD 位域

68.3.10 CMDPTR (0x48)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CMDPTR																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CMDPTR [31:0]

位域	名称	描述
31-0	CMDPTR	当前命令地址寄存器指向内存中的要执行（或当前正在执行）的描述符地址。

CMDPTR 位域

68.3.11 NPKTPTR (0x4C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NPKTPTR																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

NPKTPTR [31:0]

位域	名称	描述
31-0	NPKTPTR	下一个数据包地址指针。

NPKTPTR 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

68.3.12 PKTCTL (0x50)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PKTTAG								RSVD																	CIPHIV	HASFNL	HASINI	CHAIN	DCRSEMA	PKTINT	RSVD
RW								N/A																	RW	RW	RW	RW	RW	RW	N/A
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PKTCTL [31:0]

位域	名称	描述
31-24	PKTTAG	包标签。
6	CIPHIV	使用 AES-CBC 模式时置 1，提示 AES 装载初始向量。
5	HASFNL	是否是哈希终止包
4	HASINI	是否是哈希初始包
3	CHAIN	指示是否有下一个数据包；也就是下一个命令指针寄存器是否必须被加载。
2	DCRSEMA	在当前操作结束时，信号量是否必须递减操作。当信号量达到零值时，将不再进行进一步的数据包处理。
1	PKTINT	此位的设置，决定是否必须在数据包完成后发出中断。

PKTCTL 位域

68.3.13 PKTSRC (0x54)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PKTSRC																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PKTSRC [31:0]

位域	名称	描述
31-0	PKTSRC	数据包内存源地址。

PKTSRC 位域

68.3.14 PKTDST (0x58)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PKTDST																															

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PKTDST [31:0]

位域	名称	描述
31-0	PKTDST	数据包内存目标地址。

PKTDST 位域

68.3.15 PKTBUF (0x5C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PKTBUF																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PKTBUF [31:0]

位域	名称	描述
31-0	PKTBUF	

PKTBUF 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

69 在线解密引擎 EXIP

本章节描述了在线解密引擎 EXIP 的主要特性和功能。

69.1 特性总结

在线解密引擎 EXIP 可以实现对加密的外部 NOR Flash 实时解密，EXIP 的主要特性有：

- 支持 AES-128 CTR 模式解密
- 支持 4 个区段，每个区段可以使用不同的密钥加密
- 支持通过 Key Blob 封装数据加密密钥等敏感信息（符合 RFC3394）
- 支持硬件解封 Key Blob（符合 RFC3394）
- 支持从 OTP 读取用于解封 Key Blob 的 KEK(加密密钥的密钥)

69.2 功能描述

在本产品上，用户可以通过 XPI 控制器连接多种不同品牌，不同容量的串行 NOR Flash。XPI 控制器支持将外部存储器直接映射到系统的地址空间上。因此处理器、DMA 等主设备可以像访问片上内存一样，直接访问外部存储器，载入数据或者执行代码。这种不需要把外部存储器数据先复制到内存，再执行的访问方式，称为在线执行 (Execution In Place)。在线解密引擎 EXIP 与 XPI 控制器紧密耦合，支持外部串行 NOR Flash 在线执行的同时，对数据实时解密。因此，只要用户通过 AES-128 CTR 算法，对外部 NOR Flash 上的数据和代码加密，就可以实现对数据和代码的保护。

69.2.1 EXIP 区段，密钥，计数器

EXIP 支持 4 个区段，每个区段都可以支持独立的密钥和计数器。

每个区段可以定义区段的起始地址和结尾地址，起始地址和结尾地址之间的区域，就是加密区域。EXIP 与 XPI 控制器紧密耦合，总线主设备（处理器或 DMA 等）通过 XPI 发起对外部存储器访问时，EXIP 会监控访问的系统地址。如果该地址位于加密区域内，就会执行解密操作。

RGNx_DSCR_W0 [START] 存放区段 x 的起始地址，RGNx_DSCR_W1 [END] 存放区段 x 的结尾地址。EXIP 要求加密区域长度的单位为 1KB，起始地址必须 1KB 对齐，假设加密区域长度为 x KB，结尾地址应为 START + x*1024 -1。因此 START 只取高 22 位，低 10 位应当为 0。而 END 只取高 22 位，低 10 位应当为 1。

EXIP 支持 AES-128 CTR 模式解密，密钥长度为 128 位。密钥存放在寄存器 RGNx_KEY0，RGNx_KEY1，RGNx_KEY2，RGNx_KEY3。

计数器长度与 AES 数据块长度相同，也为 128 位。AES CTR 模式要求使用相同密钥加密的数据，每一个数据块对应的计数器值不能重复。EXIP 对每一个 128 位（16 字节）的数据块，其计数器，由数据块的 32 位系统地址和 64 位的 NONCE 组成，其中 NONCE 存放在 RGNx_CTR0 和 RGNx_CTR1 中。计数器组成方式如下：

- Counter[127:96] = CTR0[31:0]
- Counter[95:64] = CTR1[31:0]
- Counter[63:32] = CTR0[31:0] XOR CTR1[31:0]
- Counter[31:0] = Sysaddr[31:0] AND 0xFFFFFFF0

其中：

- CTR0 为 64 位长 NONCE 的低 32 位
- CTR1 为 64 为长 NONCE 的高 32 位

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

- SysAddr 为密文块的系统映射地址。密文块长度为 128 位 / 16 字节，一个密文块对应一个计数器值，因此计数器值只取地址的高 28 位，地址低 4 位置 0。

69.2.2 EXIP 的密钥封装和密钥解封

EXIP 使用 RFC3394 定义的密钥封装和密钥解封算法，保护 EXIP 解密用的密钥和相关敏感数据。为了便于区分，把 EXIP 用于密钥封装/解封的密钥称为 KEK(Key-Encryption Key 密钥加密密钥)。把 EXIP 用户解密外部存储器上数据/代码的密钥，称为 DEK(Data Encryption Key)。

EXIP 的每一个区段，需要封装的 DEK 和相关数据有 5 个 64 位数据块，共 40 字节的数据。总结如下：

地址偏移	描述
0x00	DEKx[31:0]，即 RGNx_KEY0 存放的部分密钥
0x04	DEKx[63:32]，即 RGNx_KEY1 存放的部分密钥
0x08	DEKx[95:64]，即 RGNx_KEY2 存放的部分密钥
0x0C	DEKx[127:96]，即 RGNx_KEY3 存放的部分密钥
0x10	NONCE[31:0]，即 RGNx_CTR0 存放的部分 NONCE
0x14	NONCE[63:32]，即 RGNx_CTR1 存放的部分 NONCE
0x18	START，即 RGNx_RGN_SA[31:10]，加密区域起始地址, 其他位置 0
0x1C	END，即 RGNx_RGN_EA[31:10]，加密区域结尾地址 RO，即 RGNx_RGN_EA[2]，置 1 时，RGNx 的配置寄存器读保护 DECEN，即 RGNx_RGN_EA[1]，置 1 时，EXIP 对此区段执行解密 VALID，即 RGNx_RGN_EA[0]，置 1 时，区段 x 有效 其他位置 1
0x20	充填数据，全部置 0
0x24	充填数据，全部置 0

表 276: EXIP Key Wrap 数据汇总

这些数据经过密钥封装 (Key Wrap) 过程后，得到 6 个 64 位密文块，共 48 字节。

当 CFG 寄存器的 BE 位和 KBPE 位置 1 后，EXIP 会启动硬件的密钥解封过程。EXIP 会通过 XPI 控制器，直接从外部存储器的起始地址取密文块，密文块在外部存储器的位置如下：

地址偏移	描述
0x00	区段 0，RGN0 的 DEK，NONCE，区域地址信息的密文包
0x40	区段 1，RGN1 的 DEK，NONCE，区域地址信息的密文包
0x80	区段 2，RGN2 的 DEK，NONCE，区域地址信息的密文包
0xC0	区段 3，RGN3 的 DEK，NONCE，区域地址信息的密文包

表 277: EXIP Key Wrap 数据汇总

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

EXIP 一旦开始解封密文包，会自动执行 4 个区段密文包的解封过程 (Key Unwrap)。解封完成后，会将恢复的 DEK,NONCE,SART,END 等信息载入 RGNx 的对应寄存器。如果解封后得到的初始值与定义的 IV (0xA6A6A6A6A6A6A6A6) 不一致，就会提示错误，RGNx_DESC_W1[0] VALID 位会置 1，同时 STA[KBERR] 标志位置 1。

用户如果实际使用的区段小于 4 个，也需要按照密钥封装的步骤生成全部 4 个区段的密文包，并烧录在 Flash 的对应地址，把不用的区段起始地址和结尾地址都填 0 即可。

EXIP 用于密码解封的 KEK 从片上 OTP 的专用数据通路直接加载，KEK 一旦烧录到 OTP 指定位置，并配置恰当的读写保护后，就对软件不再可见。有关 OTP 的烧录和读写保护配置，用户可以查阅 OTP 的相关章节。

本产品上，EXIP 的打开和密钥解封由 BOOT ROM 管理，OTP 中的 ENCRYPT_XIP 字段被置 1 后。ROM 在 XPI NOR Flash 启动中会强制打开 EXIP。

总结，用户使用 EXIP 实现在线解密执行：

- 生成 KEK，并利用 KEK 对 DEK，NONCE，START，END 等数据进行密钥封装 (KeyWrap)，生成密文包，注意要生成全部 4 个 EXIP 区段的密文包
- 把密文包烧录到外部串行 NOR Flash 的指定地址
- 按照 DEK，NONCE 对镜像加密，加密后烧录到外部串行 NOR Flash
- 将 KEK 烧录到 OTP 的指定位置，并配置读写保护
- 烧录 OTP 中的 ENCRYPT_XIP 字段为 1
- 复位后，芯片即支持从加密后的外部串行 NOR Flash 启动

69.3 附录

69.3.1 RFC3394 简介

EXIP 支持 AES-128 CTR 模式解密外部 NOR Flash 上加密的数据和代码。显然，这些数据及代码的安全，取决于 EXIP 解密用的密钥的安全。EXIP 支持一种称为 Key Wrap 的密钥封装算法，来保护 EXIP 解密用的密钥和其他相关敏感数据。

EXIP 使用的 Key Wrap 算法符合 RFC3394 “Advanced Encryption Standard (AES) Key Wrap Algorithm”。RFC3394 定义了一种称为密钥封装 (Key wrap) 的算法，算法基于 AES 标准，可以对任意长度的数据进行加密保护，并提供数据的完整性检验。RFC3394 把用来封装受保护数据的密钥称为 KEK(Key-encryption Key)，即密钥加密密钥。KEK 可以是 AES 标准支持的密钥，AES-128，AES-192，AES-256。EXIP 使用的 KEK 为 128 位长。

RFC3394 定义，受保护的数据，可以以 64 位为单位分成若干个数据块。数据块个数最少为 2 个，最大个数没有限制。n 个明文数据块经过密钥封装的过程后，得到 n+1 个密文数据块。而 n+1 个密文数据块，经过密钥解封过程，可能还原成 n 个明文数据块。

引用 RFC3394 的密钥封装 Key Wrap 步骤如下：

输入: 明文, n个64位数据块 {P1, P2, ..., Pn}以及密钥K (即KEK).
输出: 密文, (n+1)个64位密文块{C0, C1, ..., Cn}.

步骤1，初始化
设置A为初始值IV
For i = 1 to n
  R[i] = P[i]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

```
步骤2，计算中间值
For j = 0 to 5
    For i=1 to n
        B = AES(K, A | R[i])
        A = MSB(64, B) ^ t 其中t = (n*j)+i
        R[i] = LSB(64, B)

步骤3，输出结果
C[0] = A
For i = 1 to n
    C[i] = R[i]
```

引用 RFC3394 的密钥解封 Key Unwrap 步骤如下：

```
输入: 密文, (n+1)个64位密文块{C0, C1, ..., Cn}, 以及密钥 K (即KEK).
输出: 明文, n个64位数据块{P0, P1, K, Pn}.

步骤1，初始化
A = C[0]
For i = 1 to n
    R[i] = C[i]

步骤2，计算中间值
For j = 5 to 0
    For i = n to 1
        B = AES-1(K, (A ^ t) | R[i]) 其中t = n*j+i
        A = MSB(64, B)
        R[i] = LSB(64, B)

步骤3，输出结果
如果 A与初始值IV相符，则
For i = 1 to n
    P[i] = R[i]
否则表示出错
```

以上密钥封装和解封步骤中使用的表达式说明如下：

```
AES(K, W) 使用AES算法以密钥K对数据W加密
AES-1(K, W) 使用AES算法以密钥K对数据W解密
MSB(j, W) 返回数据W的j个MSB，即最高的j位
LSB(j, W) 返回数据W的j个LSB，即最低的j位
B1 \^ B2 把数据B1和B2按位异或
B1 | B2 把数据B1和B2拼接
K 即KEK，密钥加密密钥
```

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

n 64位数据块的数目

s 密钥封装的步骤数目 $s = 6n$

P[i] 第i个64位明文数据块

C[i] 第i个64位密文数据块

A 64位寄存器，存放完整性检验数据

R[i] 一组64位的寄存器阵列，其中$i = 0, 1, \cdots\cdots, n$

IV 封装时的64位的初始值,解封时用于与A比较,EXIP使用RFC3394定义的默认初始值:0xA6A6A6A6A6A6A6A6

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

70 随机数发生器 RNG

本章节介绍随机数发生器 RNG 的主要特性和功能。

70.1 特性总结

RNG 的特性如下：

- 多个熵源的 256 位硬件真随机发生器（TRNG）来生成种子（(SEED)
- 符合 NIST 标准的 160 位硬件伪随机数发生器（PRNG），伪随机数的种子是 256 位；
- 支持数字签名标准（DSS）中定义的密钥生成算法；
- 支持软件不可见的随机数传递接口；

70.2 功能描述

本章节描述随机数发生器 RNG 的功能。

70.2.1 RNG 初始化

RNG 模块在使用前需要初始化，初始化流程如下：

1. CMD 寄存器的 CLRERR 位置 1，清除所有的错误和中断
2. CMD 寄存器的 GENSD 位置 1，开始生成种子（SEED）
3. 等待 STA 寄存器的 FSTSDDN 标志位置 1，代表 SEED 就绪

70.2.2 RNG 生成 SEED

RNG 在初始化完成后，即可以开始生成 SEED。

RNG 支持自动生成 SEED，也支持在软件触发的 SEED 生成。当 CTRL 寄存器的 AUTRSD 位置 1 时，RNG 可以自动重新生成 SEED。如果 AUTRSD 位置 0，用户需要把 CMD 寄存器的 GENSD 位置 1，来指示 RNG 生成一个新 SEED。当 SEED 生成完毕时，STA 寄存器的 NEWSDDN 标致位会被置 1。

每当存储随机数的 FIFO（五个字共 160 位）为空时，RNG 会基于种子快速生成 160 位随机数填充到 FIFO；当前的种子被用来生成一定数量的的随机数后，RNG 会通过状态寄存器来标识需要生成新的种子，这时，如果自动种子生成模式（AUTRSD 为 1）被使能，会自动生成种子；否则，需要软件设置 CMD.GENSD 位来触发新的种子的生成。

可以通过 FO2B 寄存器读取 FIFO 里存储器的随机数。可以通过 STA 寄存器的 FRNNU 标志位，判断当前 FIFO 存有的随机数字数。

RNG 支持随机数直接输出端口，通过硬件直接传给其它模块，这时随机数对软件不可见；随机数传递步骤如下：

1. 通过 STA 寄存器的 FLVL 标志位，判断 SEED FIFO 内存在有效数据
2. 软件依次读取寄存器 R2SK[0] ~R2SK[7]，当读取 R2SK[7] 完成后，SEED 端口上的 256 位的 SEED 数据有效。

注意，软件读寄存器 R2SK[0] ~R2SK[7]，返回值总是 0。真实有效的随机数会从输出端口输出给其他模块。

70.2.3 RNG 自测试

RNG 支持通过自测试，确保相关电路工作正常。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

用户把 CMD 寄存器的 SLFCHK 位置 1,RNG 模块即开始自测试流程。自测结束时,STA 寄存器的 SLFCHKDN 标志位会置 1，如果自测出现问题，SLFCHNPF 标志位会置 1。

70.2.4 中断

RNG 支持生成以下中断请求：

- RNG 生成 SEED 完毕或者自测完毕时
- RNG 发生错误时

CTRL 寄存器的 MIRQDN 位和 MIRQERR 位清 0 时，支持生成相应中断。

70.3 RNG 寄存器列表

RNG 的寄存器列表如下：

RNG base address: 0xF00C8000

地址偏移	名称	描述	复位值
0x0000	CMD	命令寄存器	0x00000000
0x0004	CTRL	控制寄存器	0x00000000
0x0008	STA	状态寄存器	0x00000000
0x000C	ERR	错去指示寄存器	0x00000000
0x0010	FO2B	随机数到总线寄存器	0x00000000
0x0020	R2SK[FO2S0]	随机数到 KMAN/SDP 寄存器	0x00000000
0x0024	R2SK[FO2S1]	随机数到 KMAN/SDP 寄存器	0x00000000
0x0028	R2SK[FO2S2]	随机数到 KMAN/SDP 寄存器	0x00000000
0x002C	R2SK[FO2S3]	随机数到 KMAN/SDP 寄存器	0x00000000
0x0030	R2SK[FO2S4]	随机数到 KMAN/SDP 寄存器	0x00000000
0x0034	R2SK[FO2S5]	随机数到 KMAN/SDP 寄存器	0x00000000
0x0038	R2SK[FO2S6]	随机数到 KMAN/SDP 寄存器	0x00000000
0x003C	R2SK[FO2S7]	随机数到 KMAN/SDP 寄存器	0x00000000

表 278: RNG 寄存器列表

70.3.1 RNG 寄存器描述

RNG 的寄存器详细说明如下：

70.3.2 CMD (0x0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																									SFTRST	CLRERR	CLRINT	RSVD		GENSD	SLFCHK
N/A																									RW	RW	RW	N/A		RW	RW
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CMD [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
6	SFTRST	软复位控制位, 该位是自清零的。 0 不执行软件复位 1 执行软件复位
5	CLRERR	错误清除位，清除 ESR 寄存器中的错误和 RNG 中断，该位是自清零的。 0 不清除错误和对应的中断 1 清除错误和对应的中断
4	CLRINT	中断清除位，如果不存在错误，则清除 RNG 中断，该位是自清零的。 0 不清除中断 1 清除中断
1	GENSD	生成种子命令位，写“1”触发种子的生成；种子生成结束后此位自动清零。
0	SLFCHK	自检命令为，写“1”触发电路自检；自检结束后，此位自动清零。

CMD 位域

70.3.3 CTRL (0x4)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																									MIRQERR	MIRQDN	AUTRSD	RSVD		FUFMOD	
N/A																									RW	RW	RW	N/A		RW	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

CTRL [31:0]

位域	名称	描述
6	MIRQERR	中断屏蔽位，屏蔽因为内部错误引起的的中断请求
5	MIRQDN	中断屏蔽位，屏蔽种子产生和自检完成时产生的中断。这些作业的状态可以通过以下方式查看： • 读取 STA 并查看种子生成完成和自检完成位（STA[SDN, STDN]） • 查看正 CMD 寄存器里的生成种子或自检位 (CMD[GS,ST])，如果这些位仍为“1”，表明操作仍在进行
4	AUTRSD	种子自动生成控制位；当此位为高时，需要种子生成时，会自动触发种子生成。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
1-0	FUFMOD	FIFO 下溢响应模式 0X 返回全零并设置 ESR[FUFE] 10 返回全零，并产生总线传输错误 11 返回全零，产生中断（覆盖 CTRL[MASKERR]）

CTRL 位域

70.3.4 STA (0x8)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								SCPF			RSVD				FUNCERR	FSIZE				FRNNU				RSVD	NSDDN	FSDDN	SCDN	RSDREQ	IDLE	BUSY	RSVD
N/A								RO			N/A				RO	RO				RO				N/A	RO	RO	RO	RO	RO	RO	N/A
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

STA [31:0]

位域	名称	描述
23-21	SCPF	自检结果位：0x1, 自检失败；0x0, 自检成功
16	FUNCERR	错误标识位，当为“1”时，标识有功能错误
15-12	FSIZE	存储随机数的 FIFO 的大小，以字为单位。
11-8	FRNNU	存储随机数的 FIFO 内当前随机数的个数。
6	NSDDN	新种子生成完成标识位
5	FSDDN	第一个种子生成完成标识位
4	SCDN	自检结束标志位，通过硬件复位或启动新的自检来清除。 通过设置 CMD[ST] 启动。 0 自检未完成 1 上次重启的自检完成
3	RSDREQ	需要重新产生种子。 当此位置高时，表示需要重新产生 RNG 的种子。种子的产生需要设置 CMD[GS] 来完成，或者 如果设置了 CTRL[ARS]，则自动执行。
2	IDLE	保留位
1	BUSY	忙标志位；当为 1 时，表示 RNG 引擎正忙于种子产生或随机数生成、自检等。

STA 位域

70.3.5 ERR (0xC)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								RSVD								RSVD								RSVD		FUFE	RSVD	SCKERR	RSVD	RSVD	RSVD
N/A								N/A								N/A								N/A		RO	N/A	RO	N/A	N/A	N/A
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	0	0	0	0	0	0

ERR [31:0]

位域	名称	描述
5	FUFE	FIFO 访问错误（下溢）
3	SCKERR	自检错误指示位；只能通过硬件，或软件复位向 CMD[CE] 写入 1 清零。 0 自检成功。 1 自检失败。

ERR 位域

70.3.6 FO2B (0x10)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FO2B																															
RO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

FO2B [31:0]

位域	名称	描述
31-0	FO2B	软件读取得随机数 FIFO 数据。

FO2B 位域

70.3.7 R2SK (0x20 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
FO2S0																															
RO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

R2SK [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-0	FO2S0	软件读此此寄存器，将会得到“0”，实际得随机数 FIFO 会输出到 KMAN，可作为 SDP AES 的密钥。请确保 STA 的 FLVL 位在读此地址时不为“0”，否则 SDP 将无法从随机数 FIFO 读到数据。

R2SK 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

71 密钥管理器 KEYM

本章节描述了密钥管理器 KEYM 的主要特性和功能。密钥管理器的主要功能是为加解密引擎输送密钥。实现安全密钥管理，保证密钥不暴露给任何软件。

71.1 特性总结

密钥管理器 KEYM 的主要特性：

- 从其他模块载入密钥
- 支持对输入密钥加扰
- 向加密引擎输送密钥
- 支持软件密钥 SMK
- 支持生成多个 SK（session key）
- 支持由多个密钥合成一个密钥

71.2 功能描述

本章节描述密钥管理器 KEYM 的的功能。

71.2.1 ZMK 密钥

ZMK 密钥是个 256 位的密钥。ZMK 由密钥管理器从电池备份域加扰传输而来。

用户使用 ZMK 可以选择是使用原始数据，或者加扰。

注意，为实现系统不同安全状态下的密钥隔离，密钥管理器支持在 SEC 和 NSC 这两个不同状态下，单独地配置密钥是否加扰，并且不同模式下使用不同的加扰算法。即相同的原始数据，加扰后的输出也不相同。请查阅系统安全管理器的相关章节获取安全状态的详细信息。

SEC_KEY_SEL[ZMK_SEL] 位置 0，表示当系统安全状态为 SEC 时，使用加扰后 ZMK；否则使用 ZMK 的原始数据。

NSC_KEY_SEL[ZMK_SEL] 位置 0，表示当系统安全状态为 NSC 时，使用加扰后 ZMK；否则使用 ZMK 的原始数据。

71.2.2 FMK 密钥

FMK 密钥是个 256 位的密钥。FMK 由密钥管理器从 OTP 传输而来。每一颗芯片具备唯一的 OTP 根密钥。

用户使用 FMK 可以选择是使用具有两个加扰版本，原始密钥不可直接使用。

注意，为实现系统不同安全状态下的密钥隔离，密钥管理器支持在 SEC 和 NSC 这两个不同状态下，单独地配置密钥是否加扰，并且不同模式下使用不同的加扰算法。即相同的原始数据，加扰后的输出也不相同。请查阅系统安全管理器的相关章节获取安全状态的详细信息。

SEC_KEY_SEL[FMK_SEL] 位置 0，表示当系统安全状态为 SEC 时，使用加扰后 FMK；否则使用 FMK 的另一加扰版本。

NSC_KEY_SEL[FMK_SEL] 位置 0，表示当系统安全状态为 NSC 时，使用加扰后 FMK；否则使用 FMK 的另一加扰版本。

71.2.3 SMK 密钥

SMK 密钥是个 256 位的密钥。SMK 可以由软件写入 SFK0 SFK7 寄存器。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

SMK 支持 SMKRNG 端口直接载入，通过配置 KEYM_RNG 寄存器可以配置载入选项：

- RNG[RNG_XOR] = 0’b0，SMK(KEYM_SFKx) 直接填入 RNG 生成的随机数
- RNG[RNG_XOR] = 0’b1，SMK(KEYM_SFKx) 更新为原值与 RNG 生成的随机数按位异或

用户将 KEYM_RNG[BLOCK_RNG_XOR] 位置 1，可以锁定 KEYM_RNG[RNG_XOR] 位的值，不能再更改。

密钥管理器支持对存放 SMK 密钥的寄存器 SFK0 SFK7 设置读保护,将 READ_CONTROL [BLOCK_SMK_READ] 位置 1，则软件不能再读取 SFK0 SFK7。

用户使用 SMK 可以选择是使用原始数据，或者加扰。

注意，为实现系统不同安全状态下的密钥隔离，密钥管理器支持在 SEC 和 NSC 这两个不同状态下，单独地配置密钥是否加扰，并且不同模式下使用不同的加扰算法。即相同的原始数据，加扰后的输出也不相同。请查阅系统安全管理器的相关章节获取安全状态的详细信息。

SEC_KEY_SEL[SMK_SEL] 位置 1，表示当系统安全状态为 SEC 时，使用加扰后 SMK；否则使用 SMK 的原始数据。

NSC_KEY_SEL[SMK_SEL] 位置 1，表示当系统安全状态为 NSC 时，使用加扰后 SMK；否则使用 SMK 的原始数据，若安全模式设置为使用加扰版本，则非安全模式固定为加扰版本。

71.2.4 MK 密钥

MK 可以从 ZMK，FMK，SMK 中选择其一，也可以由它们中的多个或者全部合成。通过密钥合成，可以把根密钥分散管理，降低风险。

注意，为实现系统不同安全状态下的密钥隔离，密钥管理器支持在 SEC 和 NSC 这两个不同状态下，单独地配置 MK 合成。

MK 合成的具体配置方法为：

- SEC_KEY_SEL 寄存器的 KEY_SEL[0] 置 1，表示当系统安全状态为 SEC 时，FMK 参与密钥合成，否则输出密钥与 FMK 无关
- SEC_KEY_SEL 寄存器的 KEY_SEL[1] 置 1，表示当系统安全状态为 SEC 时，ZMK 参与密钥合成，否则输出密钥与 ZMK 无关
- SEC_KEY_SEL 寄存器的 KEY_SEL[2] 置 1，表示当系统安全状态为 SEC 时，SMK 参与密钥合成，否则输出密钥与 SMK 无关
- NSC_KEY_SEL 寄存器的 KEY_SEL[0] 置 1，表示当系统安全状态为 NSC 时，FMK 参与密钥合成，否则输出密钥与 FMK 无关
- NSC_KEY_SEL 寄存器的 KEY_SEL[1] 置 1，表示当系统安全状态为 NSC 时，ZMK 参与密钥合成，否则输出密钥与 ZMK 无关
- NSC_KEY_SEL 寄存器的 KEY_SEL[2] 置 1，表示当系统安全状态为 NSC 时，SMK 参与密钥合成，否则输出密钥与 SMK 无关

假设用户将 SEC_KEY_SEL 寄存器的 KEY_SEL[0] 置 1，而 KEY_SEL[1] 和 KEY_SEL[2] 置 0，那么在安全状态为 SEC 时，密钥管理器会将 FMK 作为 MK 输出。

若三个合成因子都为 0，或选择的因子有任意一个输入无效值，则输出全零密钥。可以通过将加密数据与全零密钥的密文相比对的方式检测密钥是否设置成功。

71.2.5 SK 密钥

SK 密钥又称为 session key，密钥管理器支持输出 SK0，SK1，SK2，SK3 到系统上的加解密引擎。

注意，为实现系统不同安全状态下的密钥隔离，密钥管理器支持在 SEC 和 NSC 这两个不同状态下，生成不同的 SK。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

SEC_KEY_SEL[SK_VAL] 位置 1，表示当系统安全状态为 SEC 时，SK 生成有效；否则使用 SKx 的输出为全 0。

NSC_KEY_SEL[SK_VAL] 位置 1，表示当系统安全状态为 NSC 时，SK 生成有效；否则使用 SKx 的输出为全 0。

密钥管理器的 SK 密钥生成通过密钥生成模块实现。密钥生成模块的输入是 SMK，而每一颗芯片具有不同的密钥产生逻辑，不同的 SKx 之间，密钥生成模块逻辑也不相同。

因此，在同一芯片上，当 SMK = a 时，生成 SK0 = SK0a，SK1 = SK1a，SK2 = SK2a，SK3 = SK3a。只要记录下 a 的值，再次设置 SMK = a，可以还原 SK0a，SK1a，SK2a，SK3a。但是在另一芯片上，输入 SMK = a 则不能得到相同的 SK。

注意：如使用 session Key，则不应在 MK 中引入 SMK 作为合成因子。

71.3 KEYM 寄存器列表

KEYM 的寄存器列表如下：

KEYM base address: 0xF00CC000

地址偏移	名称	描述	复位值
0x0000	SOFTMKEY[SFK0]	软密钥	0x00000000
0x0004	SOFTMKEY[SFK1]	软密钥	0x00000000
0x0008	SOFTMKEY[SFK2]	软密钥	0x00000000
0x000C	SOFTMKEY[SFK3]	软密钥	0x00000000
0x0010	SOFTMKEY[SFK4]	软密钥	0x00000000
0x0014	SOFTMKEY[SFK5]	软密钥	0x00000000
0x0018	SOFTMKEY[SFK6]	软密钥	0x00000000
0x001C	SOFTMKEY[SFK7]	软密钥	0x00000000
0x0020	SOFTPKEY[SPK0]	私钥	0x00000000
0x0024	SOFTPKEY[SPK1]	私钥	0x00000000
0x0028	SOFTPKEY[SPK2]	私钥	0x00000000
0x002C	SOFTPKEY[SPK3]	私钥	0x00000000
0x0030	SOFTPKEY[SPK4]	私钥	0x00000000
0x0034	SOFTPKEY[SPK5]	私钥	0x00000000
0x0038	SOFTPKEY[SPK6]	私钥	0x00000000
0x003C	SOFTPKEY[SPK7]	私钥	0x00000000
0x0040	SEC_KEY_CTL	安全密钥产生	0x00000000
0x0044	NSC_KEY_CTL	非安全密钥产生	0x00000000
0x0048	RNG	随机数发生器接口	0x00000000
0x004C	READ_CONTROL	密钥读取控制	0x00000000

表 279: KEYM 寄存器列表

71.4 寄存器描述

KEYM 的寄存器详细说明如下：

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

71.4.1 SOFTMKEY (0x0 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SOFTMKEY [31:0]

位域	名称	描述
31-0	KEY	密钥有 4 种加扰版本，加扰方式在同一颗芯片上可重复，不同芯片上不可重现。该组寄存器必须按从 0-7 的顺序写入，否则输出全 0.

SOFTMKEY 位域

71.4.2 SOFTPKEY (0x20 + 0x4 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
KEY																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SOFTPKEY [31:0]

位域	名称	描述
31-0	KEY	密钥由熔丝私钥，软件密钥，SRK 及系统安全状态派生出来。此密钥只可读取一次，再次读取则得到全 0。

SOFTPKEY 位域

71.4.3 SEC_KEY_CTL (0x40)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LOCK_SEC_CTL	RSVD														SK_VAL	RSVD			SMK_SEL	RSVD			ZMK_SEL	RSVD			FMK_SEL	RSVD	KEY_SEL		
RW	N/A														RO	N/A			RW	N/A			RW	N/A			RW	N/A	RW		
0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	x	x	x	0	x	x	x	0	x	x	x	0	x	0	0	0

SEC_KEY_CTL [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31	LOCK_SEC_CTL	禁止更改密钥设置
16	SK_VAL	会话密钥有效 0: 会话密钥未设置或不可用 1: 会话密钥有效
12	SMK_SEL	软密钥选择 0: 使用原始密钥 1: 使用加扰版本
8	ZMK_SEL	电池域密钥选择（如有电池域） 0: 使用加扰版本 1: 使用原始密钥
4	FMK_SEL	熔丝对称密钥选择 0: 使用加扰版本 1: 使用另一加扰版本
2-0	KEY_SEL	安全状态对称密钥合成选择 bit0: 熔丝密钥, 0: 不参与, 1: 参与 bit1: 电池密钥, 0: 不参与, 1: 参与（如有电池域） bit2: 软密钥 key 0: 不参与, 1: 参与

SEC_KEY_CTL 位域

71.4.4 NSC_KEY_CTL (0x44)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LOCK_NSC_CTL	RSVD														SK_VAL	RSVD			SMK_SEL	RSVD			ZMK_SEL	RSVD			FMK_SEL	RSVD	KEY_SEL		
RW	N/A														RO	N/A			RW	N/A			RW	N/A			RW	N/A	RW		
0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	x	x	x	0	x	x	x	0	x	x	x	0	x	0	0	0

NSC_KEY_CTL [31:0]

位域	名称	描述
31	LOCK_NSC_CTL	禁止更改密钥设置
16	SK_VAL	会话密钥有效 0: 会话密钥未设置或不可用 1: 会话密钥有效
12	SMK_SEL	软密钥选择 0: 使用原始密钥 1: 使用加扰版本

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
8	ZMK_SEL	电池域密钥选择（如有电池域） 0: 使用加扰版本 1: 使用原始密钥
4	FMK_SEL	熔丝对称密钥选择 0: 使用加扰版本 1: 使用另一加扰版本
2-0	KEY_SEL	安全状态对称密钥合成选择 bit0: 熔丝密钥, 0: 不参与, 1: 参与 bit1: 电池密钥, 0: 不参与, 1: 参与（如有电池域） bit2: 软密钥 key 0: 不参与, 1: 参与

NSC_KEY_CTL 位域

71.4.5 RNG (0x48)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD															BLOCK_RNG_XOR	RSVD															RNG_XOR
N/A															RW	N/A															RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0

RNG [31:0]

位域	名称	描述
16	BLOCK_RNG_XOR	禁止修改 RNG_XOR 位，一旦置 1 不可清零，直到下次系统复位 0: RNG_XOR 可修改 1: RNG_XOR 锁定
0	RNG_XOR	选择如何接收随机数 0: 替换软密钥 1: 和原有密钥异或

RNG 位域

71.4.6 READ_CONTROL (0x4C)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD															BLOCK_PK_READ	RSVD															BLOCK_SMK_READ

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
N/A															RW	N/A															RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0

READ_CONTROL [31:0]

位域	名称	描述
16	BLOCK_PK_READ	禁止读取私钥，一旦置 1 不可清零，直到下次系统复位 0: 私钥可读取 1: 私钥不可读取
0	BLOCK_SMK_READ	禁止读取软密钥，一旦置 1 不可清零，直到下次系统复位 0: 密钥可读取 1: 密钥不可读取

READ_CONTROL 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

72 电池域密钥模块 BKEY

本章节描述了电池域密钥模块 BKEY 的主要特性和功能。

72.1 特性总结

电池域密钥模块 BKEY 的主要特性：

- 支持 2 个 256 位密钥
- 密钥支持 ECC 校验
- 支持通过独立数据通路向加解密引擎输送密钥
- 支持在根据不同的安全模式输出不同密钥
- 支持密钥读保护和写保护
- 当安全规则破坏事件发生时，支持擦除密钥

72.2 功能描述

本章节描述电池域密钥模块 BKEY 的的功能。

电池域密钥模块 BKEY 支持 2 个 256 位的密钥，分别存放在 KEY0_DATA0 ~ KEY0_DATA7，和 KEY1_DATA0 ~ KEY1_DATA7 中。

用户可以密钥初始化完成后对密钥进行读保护和写保护设置。ECC0 [WLOCK] 和 ECC1 [WLOCK] 位置 1 后，KEY0 和 KEY1 就不能再修改。ECC0 [RLOCK] 和 ECC1 [RLOCK] 位置 1 后，KEY0 和 KEY1 就不能再读取。密钥一旦设置为读保护，只有加解密引擎可以通过密钥模块的独立数据通路加载密钥，密钥对软件不再可见。

ECC0 和 ECC1 寄存器包含的密钥的 ECC 校验位，可以检测出三位错误。若 ECC 检验未通过，则密钥处于保护状态，输出被关闭，加解密引擎被禁止。

ECC 算法如下 uint16_t ecc(uint8_t * key) uint16_t res = 0; int i; uint8_t val = 0; for(i = 0; i < 32; i ++) val ^= key[i];

res ^= (val » 0) 0x1; res ^= (val » 2) 0x1; res ^= (val » 4) 0x1; res ^= (val » 6) 0x1;

res ^= (val » 0) 0x2; res ^= (val » 2) 0x2; res ^= (val » 4) 0x2; res ^= (val » 6) 0x2;

for (i = 0; i < 16; i ++) int rnd = i / 2; int rem = i

int val = 0;

for (int j = 0; j< 256; j ++) if((j / (2 « rnd)) val ^= (key[j / 8] » (j   res ^= val « i;

return res;

注意：为防止恶意程序通过 ECC 获取密钥信息，在注入密钥之后务必打开读保护和写保护

非安全状态下，固定使用 KEY1。安全状态下，软件可以通过配置 SELECT 寄存器选择使用 KEY0 或者 KEY1。

- SELECT = 1’b0，使用 KEY0。
- SELECT = 1’b1，使用 KEY1。

72.3 BKEY 寄存器列表

BKEY 的寄存器列表如下：

BKEY base address: 0xF5048000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0000	KEY[0][DATA][0]	密钥 0	0x00000000
0x0004	KEY[0][DATA][1]	密钥 0	0x00000000
0x0008	KEY[0][DATA][2]	密钥 0	0x00000000
0x000C	KEY[0][DATA][3]	密钥 0	0x00000000
0x0010	KEY[0][DATA][4]	密钥 0	0x00000000
0x0014	KEY[0][DATA][5]	密钥 0	0x00000000
0x0018	KEY[0][DATA][6]	密钥 0	0x00000000
0x001C	KEY[0][DATA][7]	密钥 0	0x00000000
0x0020	KEY[1][DATA][0]	密钥 1	0x00000000
0x0024	KEY[1][DATA][1]	密钥 1	0x00000000
0x0028	KEY[1][DATA][2]	密钥 1	0x00000000
0x002C	KEY[1][DATA][3]	密钥 1	0x00000000
0x0030	KEY[1][DATA][4]	密钥 1	0x00000000
0x0034	KEY[1][DATA][5]	密钥 1	0x00000000
0x0038	KEY[1][DATA][6]	密钥 1	0x00000000
0x003C	KEY[1][DATA][7]	密钥 1	0x00000000
0x0040	ECC[KEY0]	密钥 0 配置与校验和	0x00000000
0x0044	ECC[KEY1]	密钥 1 配置与校验和	0x00000000
0x0048	SELECT	密钥选择	0x00000000

表 280: BKEY 寄存器列表

72.4 寄存器详细信息描述

BKEY 的寄存器详细说明如下：

72.4.1 KEY[DATA] (0x0 + 0x20 * n + 0x4 * m)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

KEY[DATA] [31:0]

位域	名称	描述
31-0	DATA	密钥数据

KEY[DATA] 位域

72.4.2 ECC (0x40 + 0x4 * n)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
WLOCK	RLOCK	RSVD														ECC															
RW	RW	N/A														RW															
0	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ECC [31:0]

位域	名称	描述
31	WLOCK	密钥 0 写保护 0: 允许写入 1: 禁止写入
30	RLOCK	密钥 0 读保护 0: 允许读取 1: 读出值为 0
15-0	ECC	密钥 0 的校验和

ECC 位域

72.4.3 SELECT (0x48)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																															SELECT
N/A																															RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0

SELECT [31:0]

位域	名称	描述
0	SELECT	选择两个密钥之一使用，密钥 0 只有安全状态可见。非安全状态下总是使用密钥 1，设置无关。 0: 选择密钥 0（限安全状态），但是非安全下总是使用密钥 0 1: 选择密钥 1

SELECT 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

73 电源管理域安全管理器 PSEC

本章节描述电源管理域安全管理器 PSEC 的特性和功能。

73.1 特性总结

电源管理域安全管理器 PSEC 的主要特性：

- 管理芯片的安全生命周期
- 管理电源管理域和系统电源域安全状态
- 监测电源管理域和系统电源域的安全事件
- 发生异常时，采取措施保护敏感信息
- 向电池域通报安全事件

73.2 功能描述

本章节描述电源管理域安全管理器 PSEC 的功能。

73.2.1 芯片生命周期

根据芯片生命周期的不同阶段，对芯片内部信息的读写进行管理。安全生命周期 LIFECYCLE 有 4 位，在 OTP 中冗余设置，分为 A、B 两份设置。

芯片生命周期的 4 位，描述如下：

- LIFECYCLE = 4’b0000，CREATE，保留。
- LIFECYCLE = 4’b0001，NONSEC，芯片经过测试并向用户交付的状态，用户在此状态进行开发。
  - 芯片调试端口，JTAG 和 Debug 端口开放。
  - 测试功能开放。
  - BOOT ROM 的不执行安全启动，不验证用户代码镜像的签名。
  - 密钥管理器及其关联的几个模块使用 NONSEC 密钥。
- LIFECYCLE = 4’b0011，SECURE，用户将敏感信息和代码注入系统，并对系统进行保护，防止功能遭到破坏。
  - 芯片调试端口，JTAG 和 Debug 端口关闭，调试鉴权成功后开放调试。
  - 测试功能禁止。
  - BOOT ROM 执行行安全启动，验证镜像的签名。如果验证失败，则不会运行镜像。
  - 密钥管理器及其关联的几个模块使用 SEC 密钥。
- LIFECYCLE = 4’b0111，RETURN。该状态在保证用户信息不泄露的前提下重新允许测试功能。
  - 芯片调试端口，JTAG 和 Debug 端口重新打开。
  - 测试功能开放。
  - BOOT ROM 不执行安全启动，不验证用户代码镜像的签名。
  - 不再从 OTP 载入密钥。
- LIFECYCLE = 4’b1011，NONRET。禁止返厂测试，此状态的安全保护功能同安全状态，但是永久性禁止测试功能。
  - 在 SECURE 生命周期的基础上，芯片不再允许配置位返厂模式。
- LIFECYCLE = 4’b1111，SCRIBE。芯片废弃，销毁敏感信息，芯片在此状态下无法正常使用。
  - 密钥管理器及其关联的几个模块不能再从 OTP 载入密钥，电池域的密钥也会擦除。
  - ROM 不再引导系统。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

注意：如果用户通过烧录 OTP 的 DEBUG_DISABLE，JTAG_DISABLE 和 TCU_DISABLE 位来强制关闭调试端口，JTAG 端口和测试端口。那么无论芯片处于哪个生命周期，都无法再重新打开这些端口。

除了读取 OTP，用户可以从系统安全监视器的 LIFECYCLE 寄存器读取芯片的当前生命周期状态：

- LIFECYCLE[0]，标志位置 1 表示未知生命周期。
- LIFECYCLE[1]，标志位置 1 表示生命周期为 CREATE。保留。
- LIFECYCLE[2]，标志位置 1 表示生命周期为 NONSEC。芯片开放。
- LIFECYCLE[3]，标志位置 1 表示生命周期为 SECURE。芯片安全。
- LIFECYCLE[4]，标志位置 1 表示生命周期为 RETURN。芯片返厂。
- LIFECYCLE[5]，标志位置 1 表示生命周期为 NONRET。芯片禁止返厂。
- LIFECYCLE[6]，标志位置 1 表示生命周期为 SCRIBE。芯片废弃。
- LIFECYCLE[7]，标志位置 1 表示生命周期为 DEBATE。冗余状态发生矛盾。

73.2.2 电源管理域系统电源域安全状态管理

电源管理域安全管理器可以配置并监测电源管理域和系统电源域外设的安全状态。电源管理域和系统电源域支持以下安全状态：

- INSPECT,用以对系统安全相关组件自检,该状态下密钥固定为 1F1E1D1C1B1A191817161514131211100F0E0D0C
- NONSEC，此状态主要保护 HPM 已安装密钥和识别号等安全基础安全信息。
- SECURE，此状态主要保护客户安装的密钥等资产。
- FAIL，该状态会禁止硬件加解密引擎。

当芯片从电池域复位或者电源管理域复位中释放时，安全状态最先处于 INSPECT 状态，BOOT ROM 会根据 OTP 中芯片的 LIFECYCLE 位设置，配置电源管理域系统电源域为 NONSEC 或者 SECURE 状态。

- 如果当前芯片的生命周期为 NONSEC，那么设置电源管理域系统电源域的安全状态为 NONSEC；
- 如果当前芯片的生命周期为 SEUCRE，那么设置电源管理域系统电源域的安全状态为 SECURE；
- 如果当前芯片的生命周期为 RETURN，那么设置电源管理域系统电源域的安全状态为 NONSEC；
- 如果当前芯片的生命周期为 NONRET，那么设置电源管理域系统电源域的安全状态为 SECURE；
- 如果当前芯片的生命周期为其他状态，那么设置电源管理域系统电源域的安全状态为 FAIL；

片上的密钥模块，如密钥管理器，会根据电源管理域系统电源域安全状态，提供 NONSEC 或者 SECURE 两套密钥。而在其他的安全状态下，密钥管理器会封锁密钥。

芯片的系统电源域复位，不会复位电源管理域监视器的状态。

用户可以通过 SECURE_STATE 寄存器查询及配置电源管理域系统电源域的安全状态。

电源管理域安全管理器监视系统上若干安全相关的事件，有关具体事件列表，请查阅系统安全配置的相关章节。

注意，电源管理域安全管理器在 SECURE 状态和 NONSEC 状态下都可以监视并响应安全事件，并在安全事件发生时，将安全状态置为 FAIL。

用户可以通过 VIOLATION_CONFIG 寄存器配置监视器是否响应检测的安全事件：

- NSC_VIO_CFG 位域包含各个安全事件的响应使能位，置 0 表示对应的安全事件在 NONSEC 状态下，不视为破坏安全规则，置 1 表示对应的安全事件在 NONSEC 状态下，视为破坏安全规则。安全状态会因之转为 FAIL。
- LOCK_NSC 位为 NONSEC 配置锁定位，置 1 即锁定 NSC_VIO_CFG 位域
- SEC_VIO_CFG 位域包含各个安全事件的响应使能位，置 0 表示对应的安全事件在 SECURE 状态下，不视为破坏安全规则，置 1 表示对应的安全事件在 SECURE 状态下，视为破坏安全规则。安全状态会

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

因之转为 FAIL。

- LOCK_SEC 位为 SECURE 配置锁定位，置 1 即锁定 SEC_VIO_CFG 位域

用户可以通过 EVENT 寄存器的各个标志位，查询是否检测到安全事件。

当电源管理域安全状态为 FAIL 时，PSEC 会禁止敏感信息的访问，并且禁止加解密引擎。

73.2.3 安全事件通报

电源管理域和电池域各有一个安全管理器，独立运行，分别管理电源管理域系统电源域和电池域安全系统的状态。可以通过 ESCALATE_CONFIG 寄存器配置电源管理域安全监视器是否向电池域安全管理器通报安全事件，允许电池域的安全管理器作出相应保护。

- NSC_VIO_CFG 位域包含各个安全事件的通报使能，置 1 时，电池域处于 NONSEC 模式下，响应该安全事件。
- SEC_VIO_CFG 位域包含各个安全事件的通报使能，置 1 时，电池域处于 SECURE 模式下，响应该安全事件。

用户可以通过 EVENT 寄存器的各个标志位，查询是否发生安全事件通报。

73.3 PSEC 寄存器列表

PSEC 的寄存器列表如下：

PSEC base address: 0xF40CC000

地址偏移	名称	描述	复位值
0x0000	SECURE_STATE	安全状态	0x00000000
0x0004	SECURE_STATE_CONFIG	安全状态机配置	0x00000000
0x0008	VIOLATION_CONFIG	安全违例配置	0x00000000
0x000C	ESCALATE_CONFIG	安全事件通报配置	0x00000000
0x0010	EVENT	事件通报状态	0x00000000
0x0014	LIFECYCLE	生命周期	0x00000000

表 281: PSEC 寄存器列表

73.4 PSEC 寄存器描述

PSEC 的寄存器详细说明如下：

73.4.1 SECURE_STATE (0x0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD														ALLOW_NSC	ALLOW_SEC	RSVD								PMIC_FAIL	PMIC_NSC	PMIC_SEC	PMIC_INS	RSVD			
N/A														RO	RO	N/A								RW	RW	RW	RW	N/A			
x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	x	x	x	x	x	x	x	x	0	0	0	0	x	x	x	x

SECURE_STATE [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
17	ALLOW_NSC	允许非安全状态 0: 系统安全状态不可进入或停留在非安全状态，此时从 INSPECT 跳转到非安全状态的请求会使状态机进入失败状态 1: 系统安全状态允许进入或停留在非安全状态
16	ALLOW_SEC	允许非安全状态 0: 系统安全状态不可进入或停留在安全状态，此时从 INSPECT 跳转到安全状态的请求会使状态机进入失败状态 1: 系统安全状态允许进入或停留在安全状态
7	PMIC_FAIL	状态机状态，写 1 请求进入失效状态 0: 状态机不处于失败状态 1: 状态机处于失败状态
6	PMIC_NSC	状态机状态 0: 状态机不处于非安全状态 1: 状态机处于非安全状态
5	PMIC_SEC	状态机状态 0: 状态机不处于安全状态 1: 状态机处于安全状态
4	PMIC_INS	状态机状态 0: 状态机不处于检查状态 1: 状态机处于检查状态

SECURE_STATE 位域

73.4.2 SECURE_STATE_CONFIG (0x4)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																												LOCK	RSVD		ALLOW_RESTART
N/A																												RW	N/A		RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	x	x	0

SECURE_STATE_CONFIG [31:0]

位域	名称	描述
3	LOCK	状态机允许恢复锁定，锁定后锁定位会一同锁定，直至下一次复位 0: 未锁定，允许配置修改 1: 锁定，配置不可更改

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
0	ALLOW_RESTART	允许状态机从 FAIL 回到 INSPECT 0: 不允许，只可以通过复位恢复状态机 1: 允许，软件可以把状态机从 FAIL 切换至 INSPECT

SECURE_STATE_CONFIG 位域

73.4.3 VIOLATION_CONFIG (0x8)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LOCK_NSC	NSC_VIO_CFG															LOCK_SEC	SEC_VIO_CFG														
RW	RW															RW	RW														
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

VIOLATION_CONFIG [31:0]

位域	名称	描述
31	LOCK_NSC	事件非安全状态违例配置锁定，锁定后锁定位会一同锁定，直至下一次复位 0: 未锁定，允许配置修改 1: 锁定，配置不可更改
30-16	NSC_VIO_CFG	配置事件是否作为非安全状态事件向电池域（如有电池域）违例，每一位代表一个事件 0: 事件不向电池域违例 1: 事件向电池域违例
15	LOCK_SEC	事件安全状态违例配置锁定，锁定后锁定位会一同锁定，直至下一次复位 0: 未锁定，允许配置修改 1: 锁定，配置不可更改
14-0	SEC_VIO_CFG	配置事件是否作为安全状态事件向电池域（如有电池域）违例，每一位代表一个事件 0: 事件不向电池域违例 1: 事件向电池域违例

VIOLATION_CONFIG 位域

73.4.4 ESCALATE_CONFIG (0xC)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LOCK_NSC	NSC_VIO_CFG															LOCK_SEC	SEC_VIO_CFG														
RW	RW															RW	RW														
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ESCALATE_CONFIG [31:0]

位域	名称	描述
31	LOCK_NSC	事件非安全状态通报配置锁定，锁定后锁定位会一同锁定，直至下一次复位 0: 未锁定，允许配置修改 1: 锁定，配置不可更改
30-16	NSC_VIO_CFG	配置事件是否作为非安全状态事件向电池域（如有电池域）通报，每一位代表一个事件 0: 事件不向电池域通报 1: 事件向电池域通报
15	LOCK_SEC	事件安全状态通报配置锁定，锁定后锁定位会一同锁定，直至下一次复位 0: 未锁定，允许配置修改 1: 锁定，配置不可更改
14-0	SEC_VIO_CFG	配置事件是否作为安全状态事件向电池域（如有电池域）通报，每一位代表一个事件 0: 事件不向电池域通报 1: 事件向电池域通报

ESCALATE_CONFIG 位域

73.4.5 EVENT (0x10)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EVENT																RSVD												PMIC_ESC_NSC	PMIC_ESC_SEC	RSVD	
RO																N/A												RO	RO	N/A	
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x	x	x	x	x	0	0	x	x

EVENT [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-16	EVENT	事件状态，每一位代表一个事件，1 表示发生该事件 9 位：TCK 出现翻转 8 位：JTAG 出现操作 7 位：CPU1 正在进入或处于调试状态（如有 CPU1） 6 位：CPU0 正在进入或处于调试状态 5 位：电源域看门狗复位（如果该监视器位于电源域） 4 位：电源域电压过低 3 位：毛刺监测 1 检出毛刺 2 位：毛刺监测 0 检出毛刺 1 位：时钟监测 1 检出异常 0 位：时钟监测 0 检出异常
3	PMIC_ESC_NSC	非安全状态事件通报 0：无事件通报 1：事件通报给电池域
2	PMIC_ESC_SEC	安全状态事件通报 0：无事件通报 1：事件通报给电池域（如有电池域）

EVENT 位域

73.4.6 LIFECYCLE (0x14)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																								LIFECYCLE							
N/A																								RO							
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0

LIFECYCLE [31:0]

位域	名称	描述
7-0	LIFECYCLE	生命周期 7 位: 矛盾, 6 位: 销毁, 5 位: 禁止返厂, 4 位: 返厂, 3 位: 安全, 2 位: 非安全, 1 位: 生产, 0 位: 未知

LIFECYCLE 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

74 电源管理域监视器 PMON

本章节描述了电源管理域监视器 PMON 的主要特性和功能。

74.1 特性总结

电源管理域监视器 PMON 是电源管理域安全管理器的一部分，它可以用来配置电源管理域的供电和时钟监视电路，它的主要特性：

- 2 个毛刺检测电路
- 2 个时钟故障检测电路
- 支持产生中断

74.2 功能描述

本章节描述电源管理域监视器 PMON 的功能。

74.2.1 芯片生命周期

电源管理域监视器包含电源和时钟故障检测电路，检测电路的作用是监测电源和时钟上意外注入的毛刺，并通知安全管理器。

电源管理域监视器包含 2 个独立的电源毛刺检测模块和 2 个独立的时钟故障检测模块。

- 毛刺检测模块检测 VPMC 引脚上的电源输入以及 OSC24M 的时钟噪声
- 时钟故障检测模块检测外部时钟 OSC24M 或内部 RC24M 振荡器

MONITOR.GLITCH0 和 MONITOR.GLITCH1 分别对应 2 个电源毛刺检测模块，通过各自的 CONTROL 寄存器进行配置：

- CONTROL[ENABLE] 位置 0 时，检测模块关闭，置 1 时检测模块进行监测。
- CONTROL[ACTIVE] 位置 0 时，设置为被动检测，置 1 时，设置为主动检测

MONITOR.CLOKC0 和 MONITOR.CLOKC1 分别对应 2 个时钟故障检测模块，通过各自的 CONTROL 寄存器进行配置：

- CONTROL[ENABLE] 位置 0 时，检测模块关闭，置 1 时检测模块进行监测。

各个检测模块可以独立地检测电源毛刺或者时钟故障，并在发现异常时，作为安全事件通知电源管理域安全管理器 PSEC，PSEC 会根据配置予以响应。

74.2.2 中断

电源监视器也可以配置在检测到电源毛刺或者时钟故障时生成中断请求。

IRQ_ENABLE 寄存器包含了相应的中断使能位。

IRQ_FLAG 寄存器可以查询中断的标志位。

74.3 PMON 寄存器列表

PMON 的寄存器列表如下：

PMON base address: 0xF40D0000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0000	MONITOR[GLITCH0][CONTROL]	时钟和电源毛刺检测器 0 设置	0x00000000
0x0004	MONITOR[GLITCH0][STATUS]	时钟和电源毛刺检测器 0 状态	0x00000000
0x0008	MONITOR[GLITCH1][CONTROL]	时钟和电源毛刺检测器 1 设置	0x00000000
0x000C	MONITOR[GLITCH1][STATUS]	时钟和电源毛刺检测器 1 状态	0x00000000
0x0010	MONITOR[CLOCK0][CONTROL]	时钟停止检测器 0 设置	0x00000000
0x0014	MONITOR[CLOCK0][STATUS]	时钟停止检测器 0 状态	0x00000000
0x0018	MONITOR[CLOCK1][CONTROL]	时钟停止检测器 1 设置	0x00000000
0x001C	MONITOR[CLOCK1][STATUS]	时钟停止检测器 1 状态	0x00000000
0x0040	IRQ_FLAG		0x00000000
0x0044	IRQ_ENABLE		0x00000000

表 282: PMON 寄存器列表

74.4 PMON 寄存器描述

PMON 的寄存器详细说明如下：

74.4.1 MONITOR[CONTROL] (0x0 + 0x8 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																											ACTIVE	RSVD			ENABLE
N/A																											RW	N/A			RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	x	x	x	0

MONITOR[CONTROL] [31:0]

位域	名称	描述
4	ACTIVE	检测器工作模式选择. 0: 被动模式 1: 主动模式
0	ENABLE	使能检测器 0: 检测器关闭 1: 检测器运行

MONITOR[CONTROL] 位域

74.4.2 MONITOR[STATUS] (0x4 + 0x8 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																															FLAG
N/A																															RW

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0

MONITOR[STATUS] [31:0]

位域	名称	描述
0	FLAG	检测器状态 0: 正常 1: 异常

MONITOR[STATUS] 位域

74.4.3 IRQ_FLAG (0x40)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																												FLAG			
N/A																												RW			
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0

IRQ_FLAG [31:0]

位域	名称	描述
3-0	FLAG	中断标志，写 1 清 0: 为发生中断 1: 发生中断

IRQ_FLAG 位域

74.4.4 IRQ_ENABLE (0x44)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																												ENABLE			
N/A																												RW			
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0

IRQ_ENABLE [31:0]

位域	名称	描述
3-0	ENABLE	中断使能，每一位控制一个检测器 0: 禁止中断 1: 使能中断

IRQ_ENABLE 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

75 电池备份域安全管理器 BSEC

本章节描述了电池备份域安全管理器 BSEC 的主要特性和功能。

75.1 特性总结

电池备份域安全管理器 BSEC 的主要特性：

- 管理电池备份域的安全状态
- 对不同安全状态制定不同安全规则
- 监测电池备份域的安全事件
- 发生安全事件时，采取措施保护敏感信息
- 支持向电源管理域安全管理器 PSEC 通报安全事件

75.2 功能描述

本章节描述电池备份域安全管理器 BSEC 的功能。

75.2.1 电池备份域安全状态管理

电池备份域安全管理器可以配置并监测电池备份域外设的安全状态。电池备份域支持以下安全状态：

- INSPECT
- NONSEC
- SECURE
- FAIL

用户可以通过 SECURE_STATE 寄存器查询及配置电池备份域的安全状态。

电池备份域的安全状态，由用户软件配置。当芯片从电池备份域上电复位 (VBAT POR) 中释放时，最先处于 INSPECT 状态，用户可以按照需要，在初始化电池备份域密钥模块后，配置电池备份域安全状态为 NONSEC 或者 SECURE 状态。

一旦电池备份域的安全状态及其监视器配置完成，除非发生电池备份域上电复位（VBAT POR），即使发生电源域或核心域的复位，甚至电源域核心域掉电，其工作都不受影响。

注意，电池备份域安全管理器在 SECURE 状态和 NONSEC 状态下都可以监视并响应安全事件，并在安全事件发生时，将安全状态置为 FAIL。

用户可以通过 VIOLATION_CONFIG 寄存器配置监视器是否响应检测的安全事件：

- NSC_VIO_CFG 位域包含各个安全事件的响应使能位，置 0 表示对应的安全事件在 NONSEC 状态下，不视为破坏安全规则，置 1 表示对应的安全事件在 NONSEC 状态下，视为破坏安全规则。安全状态会因之转为 FAIL。
- LOCK_NSC 位为 NONSEC 配置锁定位，置 1 即锁定 NSC_VIO_CFG 位域
- SEC_VIO_CFG 位域包含各个安全事件的响应使能位，置 0 表示对应的安全事件在 SECURE 状态下，不视为破坏安全规则，置 1 表示对应的安全事件在 SECURE 状态下，视为破坏安全规则。安全状态会因之转为 FAIL。
- LOCK_SEC 位为 SECURE 配置锁定位，置 1 即锁定 SEC_VIO_CFG 位域

用户可以通过 EVENT 寄存器的各个标志位，查询是否检测到安全事件。

当电池备份域安全状态为 FAIL 时，BSEC 清除电池备份域内存储的密钥。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

75.2.2 安全事件通报

本产品支持 2 套安全管理器：电池备份域安全管理器和电源管理域安全管理器，分别反映了电池备份域核心域和电源管理域安全系统的状态。这些不同区域安全系统的状态是相互独立的，其中一个安全状态转为 FAIL 并不影响其他的安全状态。用户可以 ESCALATE_CONFIG 寄存器配置电池备份域安全监视器是否向电源域安全管理器通报安全事件，一旦设置通报，在检测到安全事件时，全部安全管理器的安全状态都会转为 FAIL

- NSC_VIO_CFG 位域包含各个安全事件的通报使能位，置 1 时，NONSEC 模式下，安全管理器会通报对应安全事件
- SEC_VIO_CFG 位域包含各个安全事件的通报使能位，置 1 时，SECURE 模式下，安全管理器会通报对应安全事件

用户可以通过 EVENT 寄存器的各个标志位，查询是否发生安全事件通报。

75.3 BSEC 寄存器列表

BSEC 的寄存器列表如下：

BSEC base address: 0xF5040000

地址偏移	名称	描述	复位值
0x0000	SECURE_STATE	安全状态	0x00000000
0x0004	SECURE_STATE_CONFIG	安全状态机配置	0x00000000
0x0008	VIOLATION_CONFIG	安全违例配置	0x00000000
0x000C	ESCALATE_CONFIG	安全事件通报配置	0x00000000
0x0010	EVENT	事件通报状态	0x00000000

表 283: BSEC 寄存器列表

75.4 BSEC 寄存器描述

BSEC 的寄存器详细说明如下：

75.4.1 SECURE_STATE (0x0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD														ALLOW_NSC	ALLOW_SEC	RSVD												BATT_FAIL	BATT_NSC	BATT_SEC	BATT_INS
N/A														RO	RO	N/A												RW	RW	RW	RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0

SECURE_STATE [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
17	ALLOW_NSC	允许非安全状态 0: 系统安全状态不可进入或停留在非安全状态，此时从 INSPECT 跳转到非安全状态的请求会使状态机进入失败状态 1: 系统安全状态允许进入或停留在非安全状态
16	ALLOW_SEC	允许非安全状态 0: 系统安全状态不可进入或停留在安全状态，此时从 INSPECT 跳转到安全状态的请求会使状态机进入失败状态 1: 系统安全状态允许进入或停留在安全状态
3	BATT_FAIL	状态机状态，写 1 请求进入失效状态 0: 状态机不处于失败状态 1: 状态机处于失败状态
2	BATT_NSC	状态机状态 0: 状态机不处于非安全状态 1: 状态机处于非安全状态
1	BATT_SEC	状态机状态 0: 状态机不处于安全状态 1: 状态机处于安全状态
0	BATT_INS	状态机状态 0: 状态机不处于检查状态 1: 状态机处于检查状态

SECURE_STATE 位域

75.4.2 SECURE_STATE_CONFIG (0x4)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																												LOCK	RSVD		ALLOW_RESTART
N/A																												RW	N/A		RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	x	x	0

SECURE_STATE_CONFIG [31:0]

位域	名称	描述
3	LOCK	状态机允许恢复锁定，锁定后锁定位会一同锁定，直至下一次复位 0: 未锁定，允许配置修改 1: 锁定，配置不可更改

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
0	ALLOW_RESTART	允许状态机从 FAIL 回到 INSPECT 0: 不允许，只可以通过复位恢复状态机 1: 允许，软件可以把状态机从 FAIL 切换至 INSPECT

SECURE_STATE_CONFIG 位域

75.4.3 VIOLATION_CONFIG (0x8)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LOCK_NSC	NSC_VIO_CFG															LOCK_SEC	SEC_VIO_CFG														
RW	RW															RW	RW														
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

VIOLATION_CONFIG [31:0]

位域	名称	描述
31	LOCK_NSC	事件非安全状态违例配置锁定，锁定后锁定位会一同锁定，直至下一次复位 0: 未锁定，允许配置修改 1: 锁定，配置不可更改
30-16	NSC_VIO_CFG	配置事件是否作为非安全状态事件向电池域违例，每一位代表一个事件 0: 事件不向电池域违例 1: 事件向电池域违例 位 0：检测到毛刺 位 1：时钟停止 位 2：侵入检测 位 4：单向计数器满
15	LOCK_SEC	事件安全状态违例配置锁定，锁定后锁定位会一同锁定，直至下一次复位 0: 未锁定，允许配置修改 1: 锁定，配置不可更改
14-0	SEC_VIO_CFG	配置事件是否作为安全状态事件向电池域违例，每一位代表一个事件 0: 事件不向电池域违例 1: 事件向电池域违例 位 0：检测到毛刺 位 1：时钟停止 位 2：侵入检测 位 4：单向计数器满

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述

VIOLATION_CONFIG 位域

75.4.4 ESCALATE_CONFIG (0xC)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LOCK_NSC	NSC_VIO_CFG															LOCK_SEC	SEC_VIO_CFG														
RW	RW															RW	RW														
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ESCALATE_CONFIG [31:0]

位域	名称	描述
31	LOCK_NSC	事件非安全状态通报配置锁定，锁定后锁定位会一同锁定，直至下一次复位 0: 未锁定，允许配置修改 1: 锁定，配置不可更改
30-16	NSC_VIO_CFG	配置事件是否作为非安全状态事件向电池域通报，每一位代表一个事件 0: 事件不向电池域通报 1: 事件向电池域通报 位 0：检测到毛刺 位 1：时钟停止 位 2：侵入检测 位 4：单向计数器满
15	LOCK_SEC	事件安全状态通报配置锁定，锁定后锁定位会一同锁定，直至下一次复位 0: 未锁定，允许配置修改 1: 锁定，配置不可更改
14-0	SEC_VIO_CFG	配置事件是否作为安全状态事件向电池域通报，每一位代表一个事件 0: 事件不向电池域通报 1: 事件向电池域通报 位 0：检测到毛刺 位 1：时钟停止 位 2：侵入检测 位 4：单向计数器满

ESCALATE_CONFIG 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

75.4.5 EVENT (0x10)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EVENT																RSVD														BATT_ESC_NSC	BATT_ESC_SEC
RO																N/A														RO	RO
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0

EVENT [31:0]

位域	名称	描述
31-16	EVENT	事件状态，每一位代表一个事件，1 表示发生该事件 位 0：检测到毛刺 位 1：时钟停止 位 2：侵入检测 位 4：单向计数器满
1	BATT_ESC_NSC	非安全状态事件通报 0：无事件通报 1：事件通报给电池域
0	BATT_ESC_SEC	安全状态事件通报 0：无事件通报 1：事件通报给电池域

EVENT 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

76 电池备份域监视器 BMON

本章节描述了电池备份域监视器 BMON 的主要特性和功能。

76.1 特性总结

电池备份域监视器 BMON 是电池备份域安全管理器的一部分，它可以用来配置电池备份域的供电和时钟监视电路，它的主要特性：

- 1 套毛刺检测电路
- 1 套时钟故障检测电路
- 禁止测试

76.2 功能描述

本章节描述电池备份域监视器 BMON 的功能。

76.2.1 芯片生命周期

电池备份域监视器包含电源和时钟故障检测电路，这些检测电路的作用是防止攻击者通过在电源和时钟上恶意注入毛刺来使安全模块失效。

电池备份域监视器包含 1 套电源毛刺检测模块和 1 套时钟故障检测模块。

- 毛刺检测模块检测 VPMC 引脚上的电源输入以及 OSC32K 的时钟噪声
- 时钟故障检测模块检测外部时钟 OSC32K

MONITOR.GLITCH0 对应电源毛刺检测模块，可以通过 CONTROL 寄存器进行配置：

- CONTROL[ENABLE] 位置 0 时，检测模块关闭，置 1 时检测模块打开。
- CONTROL[ACTIVE] 位置 0 时，设置为被动检测，置 1 时，设置为主动检测

MONITOR.CLOKC0 对应时钟故障检测模块，可以通过 CONTROL 寄存器进行配置：

- CONTROL[ENABLE] 位置 0 时，检测模块关闭，置 1 时检测模块打开。

检测模块在发现异常时，作为安全事件通知电池备份域安全管理器 BSEC，BSEC 会根据配置予以响应。

76.2.2 测试端口配置

软件可通过设置电池备份域监视器的 TESET_MODE 寄存器的 DISABLE 可以用来主动禁止测试，以防止通过测试模式获取电池域写入的密钥相关信息。该设置寄存器状态保留在电池备份域，具有自锁定功能，该设置的复位条件和电池内存储的密钥相同。

76.3 BMON 寄存器列表

BMON 的寄存器列表如下：

BMON base address: 0xF504C000

地址偏移	名称	描述	复位值
0x0000	MONITOR[GLITCH0][CONTROL]	时钟和电源毛刺检测器 0 设置	0x00000000
0x0004	MONITOR[GLITCH0][STATUS]	时钟和电源毛刺检测器 0 状态	0x00000000
0x0010	MONITOR[CLOCK0][CONTROL]	时钟停止检测器 0 设置	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x0014	MONITOR[CLOCK0][STATUS]	时钟停止检测器 0 状态	0x00000000

表 284: BMON 寄存器列表

76.3.1 BMON 寄存器描述

BMON 的寄存器详细说明如下：

76.3.2 MONITOR[CONTROL] (0x0 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																											ACTIVE	RSVD			ENABLE
N/A																											RW	N/A			RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	x	x	x	0

MONITOR[CONTROL] [31:0]

位域	名称	描述
4	ACTIVE	检测器工作模式选择. 0: 被动模式 1: 主动模式
0	ENABLE	使能检测器 0: 检测器关闭 1: 检测器运行

MONITOR[CONTROL] 位域

76.3.3 MONITOR[STATUS] (0x4 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																															FLAG
N/A																															RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0

MONITOR[STATUS] [31:0]

位域	名称	描述
0	FLAG	检测器状态 0: 正常 1: 异常

MONITOR[STATUS] 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

77 侵入检测模块 TAMP

本章节描述了侵入检测模块 TAMP 的主要特性和功能。

77.1 特性总结

侵入检测模块 TAMP 是电池备份域安全管理器的一部分，它的主要特性：

- 支持多达 12 个侵入检测引脚
- 支持主动或被动侵入检测
- 支持侵入检测引脚配置数字滤波器
- 支持主动侵入检测配置多项式

77.2 功能描述

本章节描述侵入检测模块 TAMP 的功能。

77.2.1 侵入检测引脚配置

侵入检测模块支持多达 12 个侵入检测引脚。这 12 个引脚，最多可以配置为 6 对主动侵入检测引脚，或者 12 个被动侵入检测引脚。

用户需要通过 TAMPx_CONTROL [ENABLE] 位打开侵入检测功能。

用户通过 TAMPx_CONTROL[ACTIVE] 位，配置侵入检测引脚的工作模式，

- 置 0 时，为被动模式，即 TAMP[2*x] 和 TAMP[2*x + 1] 这两个引脚都为被动侵入检测引脚
- 置 1 时，为主动模式。即 TAMP[2*x] 和 TAMP[2*x + 1] 这两个引脚组成一对主动侵入引脚

被动侵入检测模式是指,成对的 2 个 TAMP 引脚都作为输入引脚,监测侵入信号。可以通过 TAMPx_CONTROL [VALUE] 位配置侵入检测引脚的常态电平：

- 置 0 时，引脚检测到低电平代表正常，高电平代表侵入事件
- 置 1 时，引脚检测到高电平代表正常，低电平代表侵入事件

主动侵入检测模式是指，成对的 2 个 TAMPER 引脚一个作为输出，另一个作为输入。输出引脚持续输出特定模式的序列，输入引脚持续监测，当收到数据序列与输出序列不一致时，代表侵入事件发生。

用户可以通过 TAMPx_POLY 寄存器配置输出数据序列的多项式，TAMPx_POLY 寄存器只能写一次，写入后自动打开寄存器读保护。

侵入检测引脚可以配置数字滤波器,TAMPx_CONTROL [BYPASS] 位置 0,表示打开数字滤波器。TAMPx_CONTROL [FLITER] 位可以配置滤波器的长度。

TAMPx_CONTROL [LOCK] 位可以锁定寄存器的配置，一旦把该位置 1，寄存器配置只有到下一次电池备份域复位后，才能再更改。将电池备份域断电均可复位侵入检测模块以及锁定寄存器，缺省状态下 RESETN 引脚也可以复位侵入检测模块以及锁定寄存器，软件把 POR_CONFIG[RETENTION] 位置 1 后，侵入检测模块以及锁定寄存器则不受 RESETN 引脚影响。

77.2.2 中断

一旦检测到侵入事件，TAMP_FLAG 寄存器的对应标志位会置 1，在侵入信号消除后，对标志位写 1 可以清除标志位。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

用户通过配置 IRQ_EN 寄存器，来打开 TAMPER 的中断，在 TAMP_FLAG 寄存器内的标志位置 1 时，如果对应的 IRQ_EN 位也置 1，就能生成中断。IRQ_EN [LOCK] 位可以锁定寄存器的配置，一旦把该位置 1，寄存器配置只有到下一次电池备份域上电复位 VBAT_POR 后，才能再更改。

77.3 TAMP 寄存器列表

TAMP 的寄存器列表如下：

TAMP base address: 0xF5050000

地址偏移	名称	描述	复位值
0x0000	TAMP[TAMP0][CONTROL]	侵入检测 0 控制寄存器	0x00000000
0x0004	TAMP[TAMP0][POLY]	侵入检测 0LFSR 多项式	0x00000000
0x0008	TAMP[TAMP0][LFSR]	侵入检测 0LFSR 移位寄存器	0x00000000
0x0010	TAMP[TAMP1][CONTROL]	侵入检测 1 控制寄存器	0x00000000
0x0014	TAMP[TAMP1][POLY]	侵入检测 1LFSR 多项式	0x00000000
0x0018	TAMP[TAMP1][LFSR]	侵入检测 1LFSR 移位寄存器	0x00000000
0x0020	TAMP[TAMP2][CONTROL]	侵入检测 2 控制寄存器	0x00000000
0x0024	TAMP[TAMP2][POLY]	侵入检测 2LFSR 多项式	0x00000000
0x0028	TAMP[TAMP2][LFSR]	侵入检测 2LFSR 移位寄存器	0x00000000
0x0030	TAMP[TAMP3][CONTROL]	侵入检测 3 控制寄存器	0x00000000
0x0034	TAMP[TAMP3][POLY]	侵入检测 3LFSR 多项式	0x00000000
0x0038	TAMP[TAMP3][LFSR]	侵入检测 3LFSR 移位寄存器	0x00000000
0x0040	TAMP[TAMP4][CONTROL]	侵入检测 4 控制寄存器	0x00000000
0x0044	TAMP[TAMP4][POLY]	侵入检测 4LFSR 多项式	0x00000000
0x0048	TAMP[TAMP4][LFSR]	侵入检测 4LFSR 移位寄存器	0x00000000
0x0050	TAMP[TAMP5][CONTROL]	侵入检测 5 控制寄存器	0x00000000
0x0054	TAMP[TAMP5][POLY]	侵入检测 5LFSR 多项式	0x00000000
0x0058	TAMP[TAMP5][LFSR]	侵入检测 5LFSR 移位寄存器	0x00000000
0x0080	TAMP_FLAG	侵入检测标志	0x00000000
0x0084	IRQ_EN	侵入检测中断使能	0x00000000

表 285: TAMP 寄存器列表

77.4 TAMP 寄存器描述

TAMP 的寄存器详细说明如下：

77.4.1 TAMP[CONTROL] (0x0 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LOCK	RSVD										BYPASS	FILTER				RSVD						VALUE		SPEED				RSVD	RECOVER	ACTIVE	ENABLE
RW	N/A										RW	RW				N/A						RW		RW				N/A	RW	RW	RW
0	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	x	x	x	x	x	x	0	0	0	0	0	0	x	0	0	0

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

TAMP[CONTROL] [31:0]

位域	名称	描述
31	LOCK	锁定侵入检测设置 0: 设置可以更改 1: 设置不可更改
20	BYPASS	旁路告警滤波器 0: 使用滤波器 1: 不使用滤波器
19-16	FILTER	滤波器长度 0: 1 个周期 1: 2 个周期 2: 4 个周期 . . .
9-8	VALUE	被动模式下的期望值 位 0：低位期望值 位 1：高位期望值
7-4	SPEED	主动模式下变换速度 0: 1 次/秒 1: 2 次/秒 . . . 15: 32768 次/秒
2	RECOVER	LFSR 出现 0 值时自动恢复 0: 不自动恢复 1: 自动恢复
1	ACTIVE	模式选择 0: 被动模式 1: 主动模式
0	ENABLE	使能 0: 禁止 1: 工作

TAMP[CONTROL] 位域

77.4.2 TAMP[POLY] (0x4 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
POLY																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

TAMP[POLY] [31:0]

位域	名称	描述
31-0	POLY	主动模式下的反馈多项式，寄存器只能一次性写入，写入后读出值为 1. 多项式示例：0x80200003, 0x3ACB3D2D

TAMP[POLY] 位域

77.4.3 TAMP[LFSR] (0x8 + 0x10 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LFSR																															
WO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

TAMP[LFSR] [31:0]

位域	名称	描述
31-0	LFSR	主动模式下用于输出的移位寄存器，该寄存器只可写入，读出值为 0

TAMP[LFSR] 位域

77.4.4 TAMP_FLAG (0x80)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																				FLAG											
N/A																				RW											
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0

TAMP_FLAG [31:0]

位域	名称	描述
11-0	FLAG	侵入标志位，每位代表一个侵入检测引脚，写 1 清 注意，只有侵入检测不到错误时，标志才有可能被清掉。

TAMP_FLAG 位域

77.4.5 IRQ_EN (0x84)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LOCK	RSVD																			IRQ_EN											
RW	N/A																			RW											
0	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0

IRQ_EN [31:0]

位域	名称	描述
31	LOCK	锁定中断使能标志 0: 允许更新中断使能 1: 不允许修改中断使能
11-0	IRQ_EN	中断使能，每一位控制一个侵入检测引脚 0: 禁止中断 1: 使能中断

IRQ_EN 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

78 单调计数器 MONO

本章节描述了单调计数器 MONO 的主要特性和功能。

78.1 特性总结

单调计数器 MONO 的主要特性：

- 48 位单调计数器
- 16 位高位值，由 OTP 载入

78.2 功能描述

单调计数器模块支持一个 48 位的单调计数器，计数器的值保存在 MONOL 和 MONOH 两个寄存器中。任何对 MONOL 和 MONOH 寄存器的写操作，都会使单调计数器加 1。

单调计数器位于电池备份域，因此，只有 VBAT 上电复位 VBAT_POR 能重置这个计数器。如果用户使用独立的电池对 VBAT 供电，那么在电池的耗尽或被人为拔除前，单调计数器可以保证提供一个单调递增，且不重复的计数，并且此计数器和其他电池备份域外设一样，在芯片系统电源域，电源管理域掉电时，也能保持工作。

单调计数器溢出视作为电池备份域安全事件之一，支持生成对应中断。

单调计数器还支持 16 位高位值 EPOCH[15:0]，从 OTP 载入，可由 MONOH[31:16] 读取。用户可以在发生特殊事件时，通过烧录 OTP，防止计数器出现重复的数值。

78.3 MONO 寄存器列表

MONO 的寄存器列表如下：

MONO base address: 0xF5054000

地址偏移	名称	描述	复位值
0x0000	MONOL	单向计数器低位	0x00000000
0x0004	MONOH	单向计数器高位	0x00000000

表 286: MONO 寄存器列表

78.3.1 MONO 寄存器描述

MONO 的寄存器详细说明如下：

78.3.2 MONOL (0x0)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
COUNTER																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MONOL [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-0	COUNTER	单向计数器低位，写入该寄存器会导致计数器加 1

MONOL 位域

78.3.3 MONOH (0x4)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
EPOCH																COUNTER															
RW																RW															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

MONOH [31:0]

位域	名称	描述
31-16	EPOCH	熔丝高位值
15-0	COUNTER	单向计数器高位，写入该寄存器会导致计数器加 1

MONOH 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

79 系统调试概述

本章节介绍了本产品的调式模块。

Debug 调试系统符合 The RISC-V Debug Specification, Version 0.13 规范。Debug 调试系统包括 JTAG 接口转换模块（DTM）和调试模块（DM）2 部分。DTM 通过标准 JTAG 接口对接外部调试器，可以把 JTAG 上收到的调试指令转换成对 DM 模块的读写访问。调试模块 DM 集成了调试功能，可以暂停或者恢复 CPU 的运行，产生复位，以及访问片上资源。

图 110: 调试系统框图

Debug 系统特性如下：

- 支持 4 线 JTAG 接口，符合 IEEE Std 1149.1
- 支持片外调试器通过 JTAG 接口转换模块连接 Debug 调试模块
- 支持处理器通过系统地址映射访问 Debug 调试模块
- 支持 2 个硬件断点
- 支持单步调试
- 支持 System Bus Access，调试接口可以作为总线主设备，可以不打断内核运行直接访问片上资源
- 支持 Debug 安全机制，可以开放，关闭或者锁定 Debug 调试接口，当 Debug 被锁定时，用户需要通过安全码解锁。

本产品的 JTAG ID 为 0x1000563d。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

80 调试传输模块 DTM

调试传输模块 (DTM)

该模块符合 RISCV0.13 版的定义，支持 IEEE1149.1 所定义的 JTAG 接口。指令长度为 5 位。

80.1 DTM 指令

INSTRUCTION 列表如下：

值	名称	描述	数据宽度
0x00	USERCODE	芯片识别号	32
0x01	IDCODE	芯片识别号	32
0x08	CLAMP	CLAMP 指令	404
0x09	EXTEST	EXTEST 指令	404
0x0A	SAMPLE/PRELOAD	SAMPLE/PRELOAD 指令	404
0x0B	HIGHZ	HIGHZ 指令	1
0x0F	AUTHEN	调试认证指令	32
0x10	DTMCS	DTM 控制寄存器	32
0x11	DMI	DMI 调试接口	41
0x1F	BYPASS	BYPASS 指令	1

表 287: DTM 指令列表

80.2 DTM 指令描述

INSTRUCTION 的详细说明如下：

80.2.1 USERCODE (0x0)

位域	名称	访问	描述
31-0	USERCODE	RO	芯片型号识别号

USERCODE 位域

80.2.2 IDCODE (0x1)

位域	名称	访问	描述
31-0	IDCODE	RO	用于调试系统识别号

IDCODE 位域

80.2.3 CLAMP (0x8)

位域	名称	访问	描述
403-0	BOUNDRY	RO	参阅 IEEE1149.1

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	访问	描述

CLAMP 位域

80.2.4 EXTEST (0x9)

位域	名称	访问	描述
403-0	BOUNDRY	RO	参阅 IEEE1149.1

EXTEST 位域

80.2.5 SAMPLE/PRELOAD (0xA)

位域	名称	访问	描述
403-0	BOUNDRY	RO	参阅 IEEE1149.1

SAMPLE/PRELOAD 位域

80.2.6 HIGHZ (0xB)

位域	名称	访问	描述
0	BYPASS	RO	参阅 IEEE1149.1

HIGHZ 位域

80.2.7 AUTHEN (0xF)

位域	名称	访问	描述
31-0	AUTH	RW	调试认证指令，调试认证需要进行 8 次数据交换。前 4 次将 128 位管芯跟踪数据传输到芯片外面，后四次输入 128 位调试密钥。

AUTHEN 位域

80.2.8 DTMCS (0x10)

位域	名称	访问	描述
17	DMIHARDRESET	W1	写 1 会复位 DTM，清除之前的访问状态。通常，只有在当前访问不可能完成的情况下（例如：访问过程中发生了复位）才使用这一位。
16	DMIRESET	W1	写 1 清除错误标志，使 DTM 重试或结束一个访问。
14-12	IDLE	RO	为调试器提供信息，通知调试器 DMI 扫描后在 RunTest/Idle 中需停留的周期数，以减少繁忙的的情况。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	访问	描述
11-10	DMISTAT	RO	DMI 接口状态 0: 无错误 1: 保留 2: 操作数错误 3: DMI 忙时发出下一个访问
9-4	ABITS	RO	DMI 接口地址线宽度，读出值为 7
3-0	VERSION	RO	DTM 版本号。当前读出值为 0x1，表示符合 RISC-V External Debug Support (TD003) V0.13.

DTMCS 位域

80.2.9 DMI (0x11)

位域	名称	访问	描述
40-34	ADDRESS	RW	DMI 的访问地址。
33-2	DATA	RW	通过 DMI 写入或从 DMI 读取的数据。
1-0	OP	RW	写入： 0：忽略数据和地址。（无操作） 1：从地址读取。（读） 2：将数据写入地址。（写） 3：保留 读取： 0：上一操作成功完成。 1：保留 2：上一操作失败。 3：DMI 请求发生重叠。

DMI 位域

80.2.10 BYPASS (0x1F)

位域	名称	访问	描述
0	BYPASS	RO	参阅 IEEE1149.1

BYPASS 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

81 调试模块 DM

该模块符合 RISCV0.13 版的定义，具有 16x32bit 的程序缓冲器 (program buffer)。

调试模块内的寄存器有两种访问方式，CPU 通过系统总线访问或调试器通过 DTM 访问。两种访问方式具有不同的内存映射。

81.1 系统内存映射

地址偏移	名称	描述
0x0000 - 0x007F	DEBUGROM	Debug ROM
0x0080 - 0x00BF	PROGBUF	Program Buffer 0-15
0x00C0 - 0x00CF	DATA	Abstract Data 0-3
0x00D0 - 0x01FF	RESERVED	Reserved for internal use

表 288: DM 系统内存映射

81.2 DMI 内存映射

地址偏移	名称	描述	复位值
0x0004	DATA[DATA0]	抽象数据 0	0x00000000
0x0005	DATA[DATA1]	抽象数据 1	0x00000000
0x0006	DATA[DATA2]	抽象数据 2	0x00000000
0x0007	DATA[DATA3]	抽象数据 3	0x00000000
0x0010	DMCONTROL	调试模块控制	0x00000000
0x0011	DMSTATUS	调试模块状态	0x004000A2
0x0012	HARTINFO	内核信息	0x002140C0
0x0013	HALTSUM	Halt Summary	0x00000000
0x0014	HAWINDOWSEL	内核阵列窗口选择	0x00000000
0x0015	HAWINDOW	内核阵列窗口	0x00000000
0x0016	ABSTRACTCS	抽象控制和状态	0x08000004
0x0017	COMMAND	抽象命令	0x00000000
0x0018	ABSTRACTAUTO	抽象命令自动执行	0x00000000
0x0020	PROGBUF[PROGBUF0]	程序缓冲 0	0x00000000
0x0021	PROGBUF[PROGBUF1]	程序缓冲 1	0x00000000
0x0022	PROGBUF[PROGBUF2]	程序缓冲 2	0x00000000
0x0023	PROGBUF[PROGBUF3]	程序缓冲 3	0x00000000
0x0024	PROGBUF[PROGBUF4]	程序缓冲 4	0x00000000
0x0025	PROGBUF[PROGBUF5]	程序缓冲 5	0x00000000
0x0026	PROGBUF[PROGBUF6]	程序缓冲 6	0x00000000
0x0027	PROGBUF[PROGBUF7]	程序缓冲 7	0x00000000
0x0038	SBCS	系统总线访问控制和状态	0x20040407
0x0039	SBADDRESS[SBADDRESS0]	系统总线地址 0	0x00000000
0x003A	SBADDRESS[SBADDRESS1]	系统总线地址 1	0x00000000

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

地址偏移	名称	描述	复位值
0x003B	SBADDRESS[SBADDRESS2]	系统总线地址 2	0x00000000
0x003C	SBDATA[SBDATA0]	系统总线数据 0	0x00000000
0x003D	SBDATA[SBDATA1]	系统总线数据 1	0x00000000
0x003E	SBDATA[SBDATA2]	系统总线数据 2	0x00000000
0x003F	SBDATA[SBDATA3]	系统总线数据 3	0x00000000

表 289: DM 寄存器列表

81.3 DM 寄存器描述

81.3.1 DATA (0x4 + 0x1 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

DATA [31:0]

位域	名称	描述
31-0	DATA	从 DMI 接口和系统总线均可访问，用于外部调试器和处理器之间的数据交换。

DATA 位域

81.3.2 DMCONTROL (0x10)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HALTREQ	RESUMEREQ	RSVD	ACKHAVERESET	RSVD	HASEL	HARTSEL										RSVD												SETRESETHALTREQ	CLRRESETHALTREQ	NDMRESET	DMACTIVE
WO	WO	N/A	RW	N/A	RW	RW										N/A												W1S	W1C	RW	RW
0	0	x	0	x	0	0	0	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0

DMCONTROL [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31	HALTREQ	请求选中核心进入调试模式。写 1 时，若选中核心正在运行则进入调试模式，已处于调试模式的内核不受影响。若请求恢复位为 0，则写 0 对处于调试模式的内核没有影响。根据正在写入的 hartsel 和 hasel 的新值选择 Harts。
30	RESUMEREQ	选中核心恢复运行。写 1 时，被选中的核心若处于调试状态则恢复运行。若同时写入调试请求，则忽略恢复请求位。若同时写入 hartsel 和 hasel，则使用新的选择。
28	ACKHAVERESET	写 1 将选中核心的 havereset 位。若同时写入 hartsel 和 hasel，则使用新的选择。
26	HASEL	选择当前选定 HART 的定义。
25-16	HARTSEL	选择要调试的核心。
3	SETRESETHALTREQ	若 clrresethaltreq 为 0，则置位所有选中核心的复位调试请求。置位后，选中的内核在下一次复位释放时进入调试状态。该位不自动清零，需写入 clrresethaltreq 清零。若同时写入 hartsel 和 hasel，则使用新的选择。
2	CLRRESETHALTREQ	清除所有选中的核心的复位调试请求。若同时写入 hartsel 和 hasel，则使用新的选择。
1	NDMRESET	调试模块以外的系统复位控制。
0	DMACTIVE	调试模块的复位控制。

DMCONTROL 位域

81.3.3 DMSTATUS (0x11)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD									IMPEBREAK	RSVD		ALLHAVERESET	ANYHAVERESET	ALLRESUMEACK	ANYRESUMEACK	ALLNONEXISTENT	ANYNONEXISTENT	ALLUNAVAIL	ANYUNAVAIL	ALLRUNNING	ANYRUNNING	ALLHALTED	ANYHALTED	AUTHENTICATED	AUTHBUSY	HASRESETHALTREQ	DEVTREEVALID	VERSION			
N/A									RO	N/A		RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO	RO			
x	x	x	x	x	x	x	x	x	1	x	x	0	0	0	0	0	0	0	0	0	0	0	0	1	0	1	0	0	0	1	0

DMSTATUS [31:0]

位域	名称	描述
22	IMPEBREAK	指示在程序缓冲区后保留字中是否有 EBREAK 指令。
19	ALLHAVERESET	指示全部选中的核心已复位单位确认。
18	ANYHAVERESET	指示有选中的核心已复位单位确认。
17	ALLRESUMEACK	指示全部选中的核心恢复运行。
16	ANYRESUMEACK	指示有选中的核心恢复运行。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
15	ALLNONEXISTENT	指示全部选中的核心不存在。
14	ANYNONEXISTENT	指示有选中的核心不存在。
13	ALLUNAVAIL	指示全部选中的核心不可用。
12	ANYUNAVAIL	指示有选中的核心不可用。
11	ALLRUNNING	指示全部选中的核心正在运行。
10	ANYRUNNING	指示有选中的核心正在运行。
9	ALLHALTED	指示全部选中的核心处于调试模式。
8	ANYHALTED	指示有选中的核心处于调试模式。
7	AUTHENTICATED	指示验证模块检查已通过。
6	AUTHBUSY	指示验证模块处于繁忙状态。
5	HASRESETHALTREQ	是否支持复位调试功能。
4	DEVTREEVALID	设备树寄存器中的信息是否保存设备树的地址。
3-0	VERSION	RISC-V 外部调试支持的版本。0x2 表示当前实现的版本为 0.13。

DMSTATUS 位域

81.3.4 HARTINFO (0x12)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								NSCRATCH				RSVD			DATAACCESS	DATASIZE				DATAADDR											
N/A								RO				N/A			RO	RO				RO											
x	x	x	x	x	x	x	x	0	0	1	0	x	x	x	1	0	1	0	0	0	0	0	0	1	1	0	0	0	0	0	0

HARTINFO [31:0]

位域	名称	描述
23-20	NSCRATCH	核心中调试寄存器数量
16	DATAACCESS	访问数据寄存器的方法。该字段的值为 0x1，表示调试模式下数据寄存器通过在地址访问。 0：数据寄存器通过 CSR 寄存器访问。 1：数据寄存器通过地址访问。每个寄存器占 4 个字节。
15-12	DATASIZE	数据寄存器个数。
11-0	DATAADDR	总线访问时数据寄存器偏移量，有符号数。调试模式下用作 load/store 指令的偏移。

HARTINFO 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

81.3.5 HALTSUM (0x13)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																															HALT
N/A																															RW
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0

HALTSUM [31:0]

位域	名称	描述
0	HALT	位 0 包含 hart 0-hart 31 的 32 个暂停位的逻辑 OR。

HALTSUM 位域

81.3.6 HAWINDOWSEL (0x14)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD																	HAWINDOWSEL														
N/A																	RW														
x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

HAWINDOWSEL [31:0]

位域	名称	描述
14-0	HAWINDOWSEL	该寄存器选择在 hawindow 中可访问 hart 阵列掩码寄存器的 32 位部分。

HAWINDOWSEL 位域

81.3.7 HAWINDOW (0x15)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HAWINDOW																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

HAWINDOW [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-0	HAWINDOW	该寄存器提供对 hart 阵列掩码寄存器 32 位部分的 R/W 访问。窗户的位置由 hawindowsel 确定。也就是说，位 0 表示 hart（hawindowsel*32），而位 31 表示 hart（hawindowsel*32+31）。

HAWINDOW 位域

81.3.8 ABSTRACTCS (0x16)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD			PROGBUFSIZE					RSVD											BUSY	RSVD	CMDERR			RSVD			DATACOUNT				
N/A			RO					N/A											RO	N/A	RW1C			N/A			RO				
x	x	x	0	1	0	0	0	x	x	x	x	x	x	x	x	x	x	x	0	x	0	0	0	x	x	x	0	0	1	0	0

ABSTRACTCS [31:0]

位域	名称	描述
28-24	PROGBUFSIZE	程序缓冲区的大小，以 32 位字为单位。
12	BUSY	指示正在执行抽象命令。
10-8	CMDERR	抽象命令的错误代码。置 1 后即保持，直到写入 1 时清零。清零之前，不执行抽象命令。 0: 无：无错误 1：忙：抽象命令执行时写入了 command、abstractcs、AbstractAuto 或读写了指令缓冲或数据寄存器。 2: 不支持：不支持的抽象命令。 3: 异常：执行时发生异常。 4：停止/恢复：核心状态错误，无法执行抽象命令。
4-0	DATACOUNT	数据寄存器的数量。

ABSTRACTCS 位域

81.3.9 COMMAND (0x17)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CMDTYPE								CONTROL																							
WO								WO																							
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

COMMAND [31:0]

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

位域	名称	描述
31-24	CMDTYPE	抽象命令类型。
23-0	CONTROL	该字段在执行不同的抽象命令时有不同的功能。

COMMAND 位域

81.3.10 ABSTRACTAUTO (0x18)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSVD								AUTOEXECPROGBUF								RSVD												AUTOEXECDATA			
N/A								RW								N/A												RW			
x	x	x	x	x	x	x	x	0	0	0	0	0	0	0	0	x	x	x	x	x	x	x	x	x	x	x	x	0	0	0	0

ABSTRACTAUTO [31:0]

位域	名称	描述
23-16	AUTOEXECPROG BUF	当字段中的位为 1 时，对应指令缓冲读写访问将触发抽象命令的执行。
3-0	AUTOEXECDATA	当字段中的位为 1 时，对应数据字的读写访问将触发抽象命令的执行。

ABSTRACTAUTO 位域

81.3.11 PROGBUF (0x20 + 0x1 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DATA																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

PROGBUF [31:0]

位域	名称	描述
31-0	DATA	程序缓冲区。程序缓冲区 0-7 可读写，8-15 的值为 0x00100073（EBREAK 指令）。

PROGBUF 位域

81.3.12 SBCS (0x38)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SBVERSION			RSVD						SBBUSYERROR	SBBUSY	SBREADONADDR	SBACCESS			SBAUTOINCREMENT	SBREADONDATA	SBERROR			SBASIZE							SBACCESS128	SBACCESS64	SBACCESS32	SBACCESS16	SBACCESS8
RO			N/A						RW1C	RO	RW	RW			RW	RW	RW1C			RO							RO	RO	RO	RO	RO
0	0	1	x	x	x	x	x	x	0	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	1	1

SBCS [31:0]

位域	名称	描述
31-29	SBVERSION	支持的系统总线访问版本。目前为 1，对应 RISC-V 外部调试规范 v0.13。
22	SBBUSYERROR	指示总线空闲之前发出了另一个访问命令。
21	SBBUSY	系统总线忙。
20	SBREADONADDR	写入后自动读取。
19-17	SBACCESS	访问大小。 0:8 位 1:16 位 2:32 位 3:64 位 4:128 位
16	SBAUTOINCREMENT	每次系统总线访问后，内部地址的自动增加量。
15	SBREADONDATA	从 sbdata0 读取自动触发系统总线读取（地址可递增）。
14-12	SBERROR	指示系统总线访问错误代码。写入 1 清零。 0：无错误 1：超时 2：地址不正确 3：数据对齐 4：不支持的访问大小 7：其他
11-5	SBASIZE	系统总线地址的地址宽度。
4	SBACCESS128	表示是否支持 128 位系统总线数据访问。
3	SBACCESS64	表示是否支持 64 位系统总线数据访问。
2	SBACCESS32	表示是否支持 32 位系统总线数据访问。
1	SBACCESS16	表示是否支持 16 位系统总线数据访问。
0	SBACCESS8	表示是否支持 8 位系统总线数据访问。

SBCS 位域

81.3.13 SBADDRESS (0x39 + 0x1 * n)

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SBADDRESS																															
RO																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SBADDRESS [31:0]

位域	名称	描述
31-0	SBADDRESS	系统总线访问地址

SBADDRESS 位域

81.3.14 SBDATA (0x3C + 0x1 * n)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SBDATA																															
RW																															
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

SBDATA [31:0]

位域	名称	描述
31-0	SBDATA	系统总线访问数据

SBDATA 位域

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

82 版本信息

日期	版本	描述
Rev1.0	2022/01/28	Rev1.0 发布。
Rev1.1	2022/04/06	Rev1.1 发布： 更新产品系列名称和型号列表。 更新文档封面和页眉，添加版本信息。 更正温度传感器描述信息。 更正 EXIP 部分描述。 更正时钟系统的外设时钟表格部分描述。 更正 PLIC 章节部分描述。 更正 WDG 章节部分描述。 更正产品简介章节部分描述。 更正 CAN 章节部分描述。 更正 XPI 章节部分描述。
Rev1.2	2022/05/25	Rev1.2 发布： 更正 PINMUX 表格的 196BGA 部分错误。 更新 UART 章节的部分描述。 更新 SPI 章节的部分描述。 更新 XPI 章节的部分描述。 更新 CAN 章节的部分描述。 更新 SDP 章节的部分描述。 更新部分章节的寄存器描述信息。 更正处理器内核章节部分描述。 更新输入输出模块概述章节部分描述。
Rev1.3	2022/08/15	Rev1.3 发布： 增加指向中断向量表的链接。 增加指向 DMAMUX 分配表的链接。 增加指向 TRGM 分配信息的链接。 更新各章节寄存器列表章节，增加寄存器基地址信息。 更正 CAN 章节部分描述。 更正 XPI 章节部分描述。 更正 MONO 章节部分描述。 更正 I2S 章节部分描述。 更正 DRAM 章节部分描述。 更正 QEI 章节部分描述。 更正 HALL 章节部分描述。 更正输入输出模块概述章节部分描述。 更新启动章节部分描述。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

日期	版本	描述
Rev2.0	2022/10/08	Rev2.0 发布： 更新手册的适用产品型号信息，增添 HPM6xxIxx2 等版本 2 产品型号信息。 更新电源章节，VREFH 工作范围信息。
Rev2.1	2022/12/30	Rev2.1 发布： 更新手册的适用产品型号信息，增添 HPM64G0Cxx2 产品信息。 更新 DRAM 章节名称为 FEMC，DRAM 相关信号名称更新为 FEMC，FEMC 章节描述更新，增加外部 SRAM 控制器功能描述。 更正输入输出模块概述章节部分描述。 更正 PWM 章节部分描述。 更新 PINMUX 表格。
Rev2.2	2023/04/17	Rev2.2 发布： 更新 FEMC 章节寄存器描述。 更正存储器概述章节 FEMC 相关描述。 更正 PWM 章节部分功能描述。 更正 CAN 章节部分功能描述。 更正 QEI 章节部分功能描述。 更正 TRGM 章节部分功能描述。 更正模拟外设概述章节部分功能描述。 更新 BOOT ROM 章节部分功能描述。
Rev2.3	2023/06/17	Rev2.3 发布： 更新封面的型号列表。 更新 I2S 章节功能描述。 更新 DAO 章节功能描述。 更新 PDM 章节功能描述。 更正 SYSCTL 章节部分功能描述。

表 290: 版本信息

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

83 免责声明

上海先楫半导体科技有限公司（以下简称："先楫"）保留随时更改、更正、增强、修改先楫半导体产品和/或本文档的权利，恕不另行通知。用户可在先楫官方网站 https://www.hpmicro.com 获取最新相关信息。

本声明中的信息取代并替换先前版本中声明的信息。

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

表格目录

1 外设简称总结 . . . 3
2 寄存器描述缩写词列表 . . . 10
3 CSR 寄存器列表 . . . 20
4 Event Selectors . . . 44
5 PMPCFG [7:0] . . . 51
6 PMPCFG 位域 . . . 52
7 CCTL Command Definition . . . 71
8 CCTL Commands Which Access mcctldata . . . 72
9 CCTL Command Definition . . . 84
10 PMACFG [7:0] . . . 97
11 PMACFG 位域 . . . 98
12 IRQ 列表 . . . 108
13 MCHTMR 寄存器列表 . . . 111
14 PLIC 寄存器列表 . . . 118
15 PLIC_SW 寄存器列表 . . . 123
16 电源和接地引脚说明 . . . 127
17 电源管理相关 IO . . . 128
18 时钟源选择及默认频率 . . . 133
19 功能时钟汇总 . . . 136
20 两级功能时钟选择 . . . 136
21 模块时钟列表 . . . 138
22 BCFG 寄存器列表 . . . 142
23 BPOR 寄存器列表 . . . 145
24 BUTN 寄存器列表 . . . 147
25 DCDC 低功耗状态控制 . . . 151
26 PCFG 寄存器列表 . . . 153
27 PPOR 寄存器列表 . . . 167
28 功能模块连接位表 . . . 174
29 RETENTION 寄存器位表 . . . 177
30 测量时钟选择表 . . . 179
31 SYSCTL 寄存器列表 . . . 190
32 PLLCTL 寄存器列表 . . . 212
33 系统电源域外部电源控制引脚 . . . 220
34 地址空间分配 . . . 227
35 OTP 列表 . . . 228
36 命令数据结构 . . . 238
37 查询运行时环境 (query-rte) 命令数据结构 . . . 238
38 ROM 参数响应包 . . . 239
39 活动外设信息包 . . . 239
40 上次 ROM 启动状态 . . . 240

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

41 存储设备属性响应包 241
42 配置存储 (configure-memory) 241
43 configure-memory 响应帧数据结构 241
44 配置存储 (write-memory) - 命令 + 数据 242
45 配置存储 (write-memory) - 仅数据 242
46 write-memory 响应帧数据结构 242
47 read-memory 命令数据桢 243
48 read-memory 响应帧数据结构 243
49 read-memory 响应帧数据结构 244
50 load-image 数据帧结构 244
51 load-image 响应帧数据结构 244
52 erase 数据帧结构 245
53 erase 响应帧数据结构 245
54 reset 数据帧结构 245
55 reset 响应帧数据结构 245
56 生成固件 Blob(gen-fwblob) 数据帧结构 246
57 gen-fwblob 响应帧数据结构 246
58 gen-fwblob 回复的数据帧 247
59 载荷包数据结构 247
60 确认包 248
61 USB 描述符 249
62 USB-HID 载荷包数据结构 249
63 USB-HID 确认包数据结构 249
64 固件容器头 250
64 固件容器头 251
64 固件容器头 251
65 固件容器头 252
66 配置信息块头 (Configure Info Block Header) 253
67 配置信息头 (Configure Info Header) 253
68 XPI NOR 配置选项 (XPI NOR Configuration Option) 255
69 XPI NOR 配置块 256
70 XPI NOR 配置块 257
71 唤醒验证信息 (Wake-up Check Info) 258
72 OTP 解锁信息 (OTP Unlock Info) 258
73 签名块头 (Signature Block Header) 260
74 根密钥表头 (SRK Table Header) 260
75 根密钥表项 (SRK Table Item) 261
76 签名信息 (Signature Info) 261
77 证书头部 (Certificate Header) 261
78 固件 Blob(FW Blob) 262
79 命令容器 (Command Container) 263
80 命令容器头部 (Command Container Header) 263
81 配置存储设备数据块 264

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

82 写存储设备数据块 264
83 擦除存储设备数据块 265
84 复位数据块 265
85 BootROM 相关的 OTP 映射表 285
86 XPI0 引脚信息 286
87 XPI1 引脚信息 287
88 UART0 引脚 288
89 USB0 引脚 288
90 BOOT_MODE 引脚 288
91 BootROM 占用的寄存器 289
92 BootROM 内存映射 289
93 BootROM 生命周期编码 290
94 SOC IOMUX 326
95 PMIC IOMUX 327
96 BATT IOMUX 329
97 ACMP 信号引脚 331
98 ADC0 信号引脚 331
99 ADC1 信号引脚 332
100 ADC2 信号引脚 332
101 ADC3 信号引脚 333
102 CAM0 信号引脚 333
103 CAM1 信号引脚 334
104 CAN0 信号引脚 334
105 CAN1 信号引脚 335
106 CAN2 信号引脚 335
107 CAN3 信号引脚 336
108 DAOL 信号引脚 336
109 DAOR 信号引脚 336
110 DIS0 信号引脚 337
111 ETH0 信号引脚 338
112 ETH1 信号引脚 339
113 FEMC 信号引脚 341
114 GPIO 信号引脚 346
115 GPTMR0 信号引脚 346
116 GPTMR1 信号引脚 346
117 GPTMR2 信号引脚 347
118 GPTMR3 信号引脚 347
119 GPTMR4 信号引脚 347
120 GPTMR5 信号引脚 347
121 GPTMR6 信号引脚 347
122 GPTMR7 信号引脚 348
123 I2C0 信号引脚 348
124 I2C1 信号引脚 348

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

125 I2C2 信号引脚 349
126 I2C3 信号引脚 349
127 I2S0 信号引脚 350
128 I2S1 信号引脚 351
129 I2S2 信号引脚 351
130 I2S3 信号引脚 352
131 PDM0 信号引脚 352
132 PWM0 信号引脚 353
133 PWM1 信号引脚 353
134 PWM2 信号引脚 354
135 PWM3 信号引脚 354
136 SDC0 信号引脚 355
137 SDC1 信号引脚 356
138 SOC 信号引脚 356
139 SPI0 信号引脚 356
140 SPI1 信号引脚 357
141 SPI2 信号引脚 357
142 SPI3 信号引脚 358
143 SYSCTL 信号引脚 358
144 TRGM0 信号引脚 358
145 TRGM1 信号引脚 359
146 TRGM2 信号引脚 359
147 TRGM3 信号引脚 359
148 UART0 信号引脚 360
149 UART1 信号引脚 360
150 UART10 信号引脚 361
151 UART11 信号引脚 361
152 UART12 信号引脚 362
153 UART13 信号引脚 362
154 UART14 信号引脚 362
155 UART15 信号引脚 363
156 UART2 信号引脚 363
157 UART3 信号引脚 364
158 UART4 信号引脚 364
159 UART5 信号引脚 365
160 UART6 信号引脚 365
161 UART7 信号引脚 365
162 UART8 信号引脚 366
163 UART9 信号引脚 366
164 USB0 信号引脚 366
165 USB1 信号引脚 367
166 XPI0 信号引脚 367
167 XPI1 信号引脚 368

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

168 JTAG 信号引脚 . . . 369
169 PGPIO 信号引脚 . . . 369
170 PTMR 信号引脚 . . . 369
171 PUART 信号引脚 . . . 370
172 PWDG 信号引脚 . . . 370
173 SOC 信号引脚 . . . 370
174 VAD 信号引脚 . . . 370
175 BGPIO 信号引脚 . . . 371
176 PWR 信号引脚 . . . 371
177 SOC 信号引脚 . . . 371
178 TAMP 信号引脚 . . . 372
179 启动配置表 . . . 373
180 特殊功能引脚配置 . . . 373
181 IO 复位状态表 . . . 374
182 IO 复位状态表 . . . 378
183 IOC 寄存器列表 . . . 390
184 GPIO 寄存器列表 . . . 399
185 GPIOM 寄存器列表 . . . 417
186 识别类型 OTP 字读写保护总结 . . . 426
187 安全类型 OTP 字读写保护总结 . . . 426
188 密钥类型 OTP 字读写保护总结 . . . 426
189 通用类型 OTP 字读写保护总结 . . . 426
190 OTP 寄存器列表 . . . 434
191 FEMC 信号映射表 . . . 446
192 FEMC DRAM 控制器信号说明 . . . 446
193 FEMC SRAM 控制器信号映射表 . . . 447
194 FEMC 寄存器列表 . . . 450
195 SDXC 寄存器列表 . . . 472
196 DMA MUX 列表 . . . 539
197 DMA 链式任务描述符 . . . 541
198 DMA 寄存器列表 . . . 543
199 DMAMUX 寄存器列表 . . . 551
200 MBX 寄存器列表 . . . 554
201 Memory Map . . . 560
202 LCDC 寄存器列表 . . . 563
203 CAM 寄存器列表 . . . 584
204 PDMA 寄存器列表 . . . 598
206 JPEG 寄存器列表 . . . 617
207 I2S 主要特性 . . . 635
208 I2S 管脚说明 . . . 636
209 I2S 数据缓冲区 . . . 638
210 I2S 中断请求 . . . 638
211 I2S 的 DMA 请求 . . . 639

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

212 I2S 寄存器列表 643
213 PDM 主要特性 652
214 PDM 管脚说明 653
215 PDM 中断请求 656
216 PDM 寄存器列表 657
217 DAO 主要特性 664
218 DAO 管脚说明 665
219 DAO 寄存器列表 667
220 VAD 寄存器列表 671
221 TRGM0_INPUT MUX 列表 681
222 TRGM1_INPUT MUX 列表 683
223 TRGM2_INPUT MUX 列表 684
224 TRGM3_INPUT MUX 列表 686
225 TRGM0_OUTPUT MUX 列表 688
226 TRGM1_OUTPUT MUX 列表 690
227 TRGM2_OUTPUT MUX 列表 692
228 TRGM3_OUTPUT MUX 列表 693
229 TRGM0_DMA MUX 列表 695
230 TRGM1_DMA MUX 列表 697
231 TRGM2_DMA MUX 列表 698
232 TRGM3_DMA MUX 列表 700
233 TRGM0_FILTER MUX 列表 700
234 TRGM1_FILTER MUX 列表 701
235 TRGM2_FILTER MUX 列表 702
236 TRGM3_FILTER MUX 列表 702
237 PWM 寄存器列表 718
238 QEI 寄存器列表 738
239 HALL 寄存器列表 752
240 TRGM 寄存器列表 763
241 SYNT 寄存器列表 766
242 GPTMR 寄存器列表 774
243 WDG 寄存器列表 782
244 RTC 寄存器列表 786
245 UART 寄存器列表 794
246 SPI 寄存器列表 803
247 I2C 寄存器列表 816
248 CAN 管脚说明 824
249 CAN 位时间设定规则 825
250 软件复位 829
250 软件复位 830
250 软件复位 831
251 CAN 寄存器列表 836
252 PTPC 寄存器列表 858

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

253 TDES0 873
254 TDES1 874
255 TDES2 7 875
256 RDES0 878
257 RDES1 879
258 RDES2 879
259 RDES3 879
260 RDES4 882
261 RDES6 882
262 RDES7 882
263 ENET 寄存器列表 886
264 USB 管脚说明 968
265 qhead 结构 972
266 dqh 结构 976
267 USB 寄存器列表 977
268 CONCTL 寄存器列表 1011
269 ADC 抢占转换 DMA 数据缓冲区分配 1025
270 ADC12 寄存器列表 1030
271 ADC 抢占转换 DMA 数据缓冲区分配 1047
272 ADC16 寄存器列表 1051
273 ACMP 寄存器列表 1066
274 SDP 命令描述符格式 1074
275 SDP 寄存器列表 1080
276 EXIP Key Wrap 数据汇总 1090
277 EXIP Key Wrap 数据汇总 1090
278 RNG 寄存器列表 1095
279 KEYM 寄存器列表 1102
280 BKEY 寄存器列表 1108
281 PSEC 寄存器列表 1112
282 PMON 寄存器列表 1119
283 BSEC 寄存器列表 1122
284 BMON 寄存器列表 1128
285 TAMP 寄存器列表 1130
286 MONO 寄存器列表 1134
287 DTM 指令列表 1137
288 DM 系统内存映射 1140
289 DM 寄存器列表 1141
290 版本信息 1150

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

图片目录

1 系统架构框图 1
2 MCHTMR 框图 110
3 电源系统结构框图 125
4 电源供电系统框图 126
5 复位系统 130
6 时钟系统框图 132
7 ADC 功能时钟结构 136
8 I2S 功能时钟结构 137
9 资源节点的链式关系 172
10 资源节点与 group/CPU 的链式关系 175
11 低功耗模式流程图 222
12 BootROM 启动流程图 232
13 XPI QSPI NOR FLASH CA 端口连接 233
14 XPI QSPI NOR FLASH CB 端口连接 233
15 XPI Octal NOR FLASH 连接 233
16 XPI NOR 启动流程 234
17 XPI NOR 启动镜像布局 235
18 串行通信协议 237
19 启动镜像布局 250
20 签名块中各部分的布局 259
21 要被签名的固件头部分 266
22 通用 IO 外设复用功能选择 375
23 电源管理域 IO 外设复用功能选择 375
24 电池备份域 IO 外设复用功能选择 376
25 通用 IO GPIO 控制选择 376
26 电源管理域 IO GPIO 控制选择 377
27 电池备份域 IO GPIO 控制选择 377
28 数据地址非复用模式写操作 448
29 数据地址非复用模式读操作 448
30 数据地址复用模式写操作 449
31 数据地址复用模式读操作 449
32 SD 初始化 1 464
33 SD 初始化 2 465
34 ADMA2 简介 467
35 ADMA2 传输描述符 467
36 命令描述符 468
37 ADMA3 描述符 469
38 LCDC 结构框图 560
39 CAM 结构框图 577
40 PDMA 结构框图 597

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

41 Porter Duff Blend 模式 613
42 Source（源图）图像 613
43 Destination（目标图）图像 615
44 JPEG 结构框图 616
45 I2S 结构框图 636
46 音频采样率 Fs 定义 637
47 I2S 的时钟分频路径 637
48 I2S Philips 模式 640
49 I2S MSB 对齐模式 640
50 I2S LSB 对齐模式 641
51 I2S PCM 模式 641
52 I2S TDM Philips 模式 642
53 I2S TDM MSB 对齐模式 642
54 I2S TDM LSB 对齐模式 642
55 I2S TDM PCM 模式 642
56 PDM 结构框图 653
57 PDM 与麦克风的联接图示 654
58 PDM_CLK 的时钟分频路径 654
59 PDM 的信号流图 654
60 DAO 结构框图 664
61 DAO 输出去驱动喇叭 665
62 DAO 输出波形，当 CTRL[REMAP]=0 时 666
63 DAO 输出波形，当 CTRL[REMAP]=1 时 666
64 DAO 信号流图 666
65 VAD 结构框图 671
66 电机系统框图 678
67 PWM 定时器框图 703
68 PWM 的时间基准模块 704
69 PWM 计数器计数与重载、扩展重载标志位置位示意图 704
70 PWM 定时器的 PWM 生成模块 705
71 PWM 比较器对应计数器位域图 706
72 PWM 计数器计数与重载、扩展重载标志位置位示意图 707
73 边沿对齐 PWM 生成示例图 708
74 中心对齐相移 PWM 生成示例图 708
75 双翻转 PWM 生成示例图 709
76 PWM 输出控制示例图 709
77 PWM 死区控制示意图 710
78 正交编码器接口 QEI 框图 729
79 正向旋转相位计数示意图 730
80 反向旋转相位计数示意图 730
81 相位计数溢出示意图 731
82 Z 相输入同步示意图 732
83 测速计数器和测速日志计数器计数示意图 733

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.

84 方向（PD）解码模式示意图 734
85 上下（UD）解码模式示意图 734
86 快照功能示意图 736
87 霍尔传感器 HALL 框图 747
88 U, V, W 日志计数器示意图 748
89 定时器框图 770
90 UART 框图 792
91 I2C 框图 813
92 CAN 控制器数据流框图 823
93 CAN RXTX 位的时间定义图 824
94 CAN TBUF 寄存器写发送缓冲器和示意图 825
95 CAN 接受筛选寄存器 826
96 CAN-CTRL 的回环模式 828
97 发送描述符 869
98 接收描述符 875
99 异步队列示意图 970
100 qhead 示意图 970
101 qtd 示意图 973
102 dqhlist 示意图 974
103 dqh 示意图 974
104 dtd 示意图 975
105 序列转换模式数据格式 1023
106 抢占转换模式数据格式 1026
107 序列转换模式数据格式 1045
108 抢占转换模式数据格式 1048
109 密钥管理总结 1071
110 调试系统框图 1136

©2023 Shanghai HPMICRO Semiconductor Co., Ltd.