

# 浙江大学

## 本科实验报告

### 实验设计报告

课程名称： 计算机组成与设计

姓 名： 周灿松

学 院： 信息与电子工程学院

系：

专 业： 信息工程

学 号： 3190105055

指导老师： 屈民军、唐奕

2021 年 10 月 10 日

# 浙江大学实验报告

专业： 信息工程  
姓名： 周灿松  
学号： 3190105055  
日期： 2021 年 10 月 10 日  
地点： 教 11-400

课程名称： 计算机组成与设计 指导老师： 屈民军、唐奕 成绩： \_\_\_\_\_  
实验名称： 实验设计报告 实验类型： 设计实验 同组学生姓名： \_\_\_\_\_

## 1 实验步骤

- (1) 根据书中四位先行进位加法器的设计方案完成四位先行进位加法器的设计，并对其进行功能仿真
- (2) 编写有条件的加法器结构 (CSA\_4.v)，为后续搭建 32 位快速加法器做好准备工作
- (3) 对 32 位快速加法器进行功能仿真与时序仿真，分析仿真结果

## 2 实验数据记录与分析

### 1. 4 位先行进位加法器

#### 1.1 仿真图像

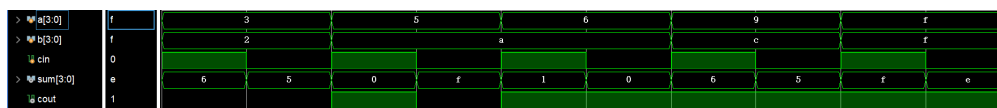


图 1: 四位先行进位加法器仿真

#### 1.2 结果分析

观察图像可以发现：当  $a+b+ci \geq f$  时， $cout=1, s = a+b+ci-f$ ；其余情况下  $cout=0, s=a+b+ci$ ；由此可以得出结论，4 位先行进位加法器运行正常。

### 2. 32 位进位选择加法器

#### 2.1 功能仿真结果

Name	Value	0.000 ns	100.000 ns	200.000 ns	300.000 ns	400.000 ns	500.000 ns	600.000 ns	700.000 ns	800.000 ns	900.000 ns
> a[31:0]	a0022475	a0022475	57b451c7	a0000575	4bbc3b1e	0145b475	f00041c7	451bcd75	00002b1e	00000000	ffffff0
> b[31:0]	85561c86	85561c86	9712093b	00004ab4	5aa64395	67845c86	9677693b	30981ab4	45950000	00000000	0000000f
> ci	0	0	0	0	0	0	0	0	0	0	0
> s[31:0]	255840fb	255840fb	eedf5b02	a0005029	a6627eb3	68ca10fc	8677ab03	75b5e82a	d3952b1f	00000000	00000000
> co	1	1	1	1	1	1	1	1	1	1	1

图 2: 功能仿真结果

## 2.2 时序仿真结果

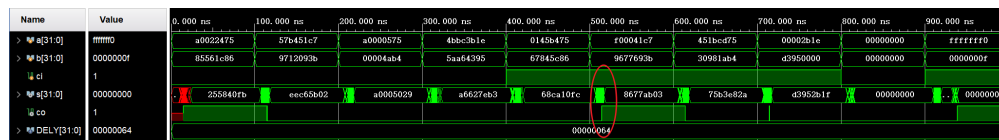


图 3: 时序仿真结果

## 2.3 结果分析

因为加法器为 32 位加法器，所以当结果超过了 0xffff\_ffff 后会产生一个进位信号，也就是  $co=1$ ，而  $s$  中存储的则是结果的低 32 位。利用计算器对波形进行验证，可以发现所有的测试样例均符合上诉结论，所以可以得出 32 位进位选择加法器结果运行结果正常。

而在时序仿真中，除去功能仿真中的结论，还反映出了信号的时延。观察红圈中的波形，我们可以发现进位信号  $co$  先于结果  $s$  出现，这一结果产生也是符合预期的：

因为在四位先行进位加法器中，会先行计算出  $G_i$  与  $P_i$ ，这是第一级时延，然后会利用产生的  $G_i$  与  $P_i$  生成进位信号  $C_i$ ，这是第二级时延，最后  $S$  则是在进位信号产生后再出现。所以在时序仿真结果中，进位信号会先于结果信号出现在波形之中。

由上述分析可以得出结果：此 32 位进位选择加法器功能正常。

## 3 思考题

### 1. 为什么要进行时序仿真？

时序仿真利用综合实现后的连线信息以及时延信息，在最坏的情况下对电路的时延进行评估。这种分析是非常有必要的，它能够验证我们设计的电路是否符合时延要求，相比功能仿真更加能够反映电路的性能。

## 4 心得体会

因为本次实验是后续 CPU 设计的热身实验，所以整体上难度不是特别大，代码实现以及仿真结果分析都比较简单。不过这次实验也让我第一次接触到了时序仿真，这应该算是最大的收获了。

除此以外，在本次实验中我试着全程使用 vivado 自带的仿真器，相较于 modelsim，vivado 自带的仿真器用着体验好了不少，主要体现在仿真操作比 modelsim 更加地简单便捷。