

龙芯杯个人赛设计报告

学校:浙江大学
姓名:李世钰

一、设计简介

本次在个人赛所提交的设计是一个含有 SRAM 控制器、UART 控制器、CPU 内核三部分的 SOC 系统。CPU 内核基于 MIPS 指令集实现,支持延迟槽,支持 MIPS 的 C3 指令集要求的指令。CPU 的架构采用传统的单发射五级流水线[1],能够完成三级功能测试,并且能够完成三级性能测试中的两个测试。

二、设计方案

(一) 总体设计思路

总体分为 UART 控制, SRAM 控制和 CPU 内核三个模块

1. SRAM 和 UART 控制

通过对 data 读/取数据的地址分类,对 SRAM 和 UART 进行仲裁和相应的数据、控制信号传输

2. CPU 内核

CPU 内核的架构在采用传统的单发射五级流水线的基础上,由于引入了对 SRAM 的同步控制,取指和访存延长至两个周期,但实际仍只进行取指、译码、执行、访存、写回五大阶段。

1. 取指:根据流水线是否暂停、当前是否需要转移等信号,对 pc 赋值并完成和 SRAM 和 UART 的交互。

2. 译码:根据 opcode 和 func6 确定指令类型,对源操作数选择信号、ALU 运算信号、内存读写信号、跳转信号、立即数生成信号等赋值,并从寄存器堆中取出操作数。

3. 执行:根据前递模块选择的操作数值和译码阶段信号,完成相应运算。跳转也在这一阶段执行。

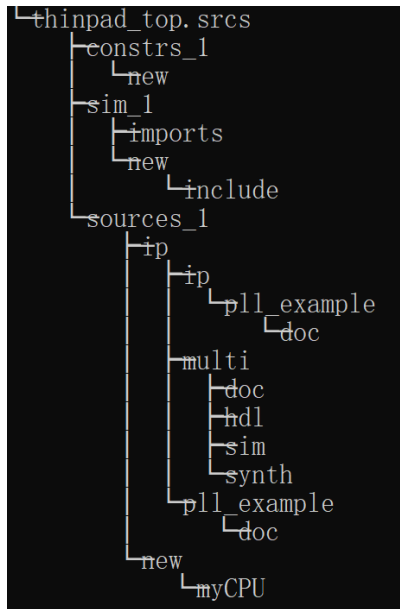
4. 访存:将访存地址、数据、写使能、字节使能等信号输出给 SRAM 控制器和 UART 控制器,读取/存储数据。

5. 写回:选择上一阶段传输的数据写入到寄存器堆。

6. 前递:实现了对 EX 结果、MEM 结果、WB 结果前递至 EX 阶段作为源操作数

三、设计结果

（一）设计交付物说明



本设计使用 **vivado 2019.2** 进行创建

设计进行仿真、综合、上板演示的必要操作提示步骤：

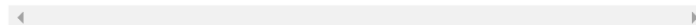
1. 在 **vivado 2019.2** 中创建工程项目，其中 **FPGA** 型号选择“xc7a200tfbg676-2”。
2. 将代码复制到 **src** 目录。
3. 仿真，需要修改 **tb.sv** 文件的指令(.bin)文件的绝对路径
4. 对项目进行综合、生成比特流后，即可进行上板验证。

（二）设计演示结果

lab1 在 FPGA 板 03 上的结果

100

Test pass

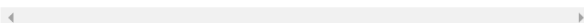


[下载 03 的追踪数据](#)

lab2 在 FPGA 板 03 上的结果

100

```
Arguments: 0x55555555 0x188 0x1205dc4
Fib info: 'Fib Finish.'
RandomTest info: 'All PASS!'
Fib Pass!
RandomTest Results: 0xffcd5c4c 0x188 0x1205dc4
RandomTest Pass!
```



[下载 03 的追踪数据](#)

100

lab3 在 FPGA 板 03 上的结果

```

Boot message: 'MONITOR for MIPS32 - initialized.'
User program written
Program Readback:
010008340100093426104200080003344080043c215009010000283500004935
Program memory content verified
Program elapsed time: 0.000s
R1 = 00000000
R2 = 00000008
R3 = 00000008
R4 = 80400020
R5 = 00000000
R6 = 00000000
R7 = 00000000
R8 = 00000022
R9 = 00000037
R10 = 00000037
R11 = 00000000
R12 = 00000000
R13 = 00000000
R14 = 00000000
R15 = 00000000
R16 = 00000000
R17 = 00000000
R18 = 00000000
R19 = 00000000
R20 = 00000000
R21 = 00000000
R22 = 00000000
R23 = 00000000
R24 = 00000000
R25 = 00000000
R26 = 00000000
R27 = 00000000
R28 = 00000000
R29 = 807f0000
R30 = 807f0000
Register value verified
Data Readback:
020000000300000005000000080000000d000000150000002200000037000000
Data memory content verified

```

50

perf 在 FPGA 板 01 02 03 上的结果

```

=== Test STREAM ===
Boot message: 'MONITOR for MIPS32 - initialized.'
User program written
Program Readback:
1080043c4080053c3000063c21308600050086100400a5240000828cfcffa2acfi
Program memory content verified
Data memory content verified
Test STREAM run for 0.377s

```

50

perf 在 FPGA 板 01 02 03 上的结果

```

=== Test MATRIX ===
Boot message: 'MONITOR for MIPS32 - initialized.'
User program written
Program Readback:
4080043c4180053c4280063c60000724251800001a00671080400300405203002
Program memory content verified
ERROR: Data memory content mismatch
Test MATRIX run for 0.009s

```

50

perf 在 FPGA 板 01 02 03 上的结果

```

=== Test CRYPTONIGHT ===
Boot message: 'MONITOR for MIPS32 - initialized.'
User program written
Program Readback:
4080043cadde053cefb534cefa063c0cb0c6341000073c25180400251000000
Program memory content verified
Data memory content verified
Test CRYPTONIGHT run for 1.405s

```

四、参考设计说明

SRAM 仲裁和同步思想参考了 github 上 2020 年优秀项目的开源代码

五、参考文献

[1] (美)帕特森(Patterson,D.A),(美)亨尼斯(Hennessy,J.L.).计算机组成与设计:硬件/软件接口 (原书第 5 版).