



F 题：位同步时钟提取电路

1. 任务

设计并制作一个从二进制基带信号中提取位同步时钟的电路，并能测定和显示提取出的位同步时钟频率，设计制作的电路组成框图如图 1 所示。

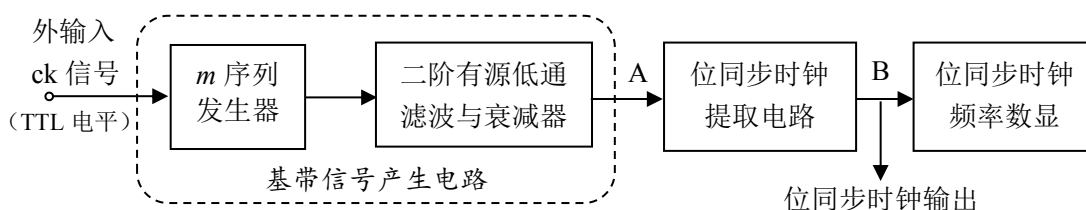


图 1 设计制作的电路组成框图

2. 要求

(1) 设计制作“基带信号产生电路”，用来模拟二进制数字通信系统接收端中被抽样判决的非逻辑电平基带信号。要求：(15 分)

① m 序列发生器的反馈特征多项式（本原多项式）为 $f(x) = x^8 + x^4 + x^3 + x^2 + 1$ ，其序列输出信号及外输入 ck 信号均为 TTL 电平。

② 设计制作 3dB 截止频率为 300kHz 的无限增益多路负反馈二阶有源低通滤波器，对 m 序列输出信号进行滤波，并衰减为峰-峰值 0.1V 的基带模拟信号（A 信号）。

(2) 当 m 序列发生器外输入 ck 信号频率为 200kHz 时，设计制作可从 A 信号中提取出位同步时钟（B 信号）的电路，并数字显示同步时钟的频率。(30 分)

(3) 改进位同步时钟提取电路，当 m 序列发生器外输入 ck 信号频率在 200kHz~240kHz 之间变化时，能从 A 信号中自适应提取位同步时钟，并数字显示同步时钟的频率。(30 分)

(4) 降低位同步时钟（B 信号）的脉冲相位抖动量 Δ ，要求 $\Delta_{\max} \leq 1$ 个位同步时钟周期的 10%。(15 分)

(5) 其他。(10 分)

(6) 设计报告。(20 分)

项 目	主要内容	满分
方案论证	比较与选择，方案描述	3
理论分析与计算	系统相关参数设计	5
电路与程序设计	系统组成，原理框图与各部分的电路图，系统软件与流程图	5
测试方案与测试结果	测试结果完整性，测试结果分析	5
设计报告结构及规范性	摘要，正文结构规范，图表的完整与准确性。	2
总分		20



3. 说明

(1) 位同步是数字同步传输的基础同步技术，是指接收端提取的位同步时钟与发送端位时钟在频率上严格相等、相位差固定的信号同步状态。接收端位时钟需从收到的基带数据序列中提取，并将作为接收端的抽样判决脉冲及进一步实现其他同步使用。数字通信系统中的“位”指的是最基本的码元，发送端位时钟（题目中 m 序列发生器外输入时钟 ck ）是数据序列的码元时钟。

(2) 要求“基带信号产生电路”必须制成单独的电路板，只能用两条输出信号线（A 信号线、地线）与位同步时钟提取电路部分连接。

(3) 无限增益多路负反馈二阶有源低通滤波器类型（如切比雪夫型或巴特沃斯型）不限。