

Field Effect Transistor (FET)**A. Tujuan Praktikum**

Memahami operasi fisis dari FET sebagai *switch* dalam rangkaian digital sederhana.

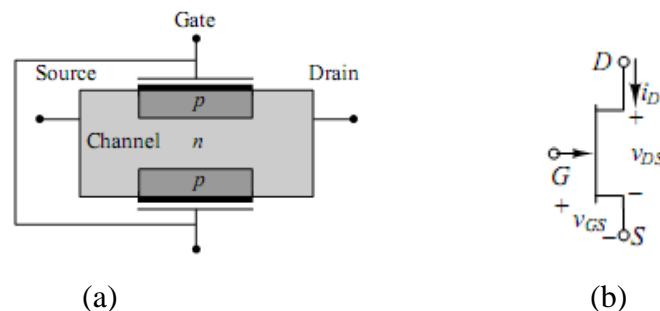
B. Dasar Teori

Field effect transistor (FET) merupakan transistor *unipolar*. Beda dengan *BJT*, pada operasinya, *FET* hanya tergantung pada satu tipe muatan, bisa elektron atau hole yang menjadi pembawa muatan mayoritasnya. Konsep dasar dari operasi *FET* adalah lebar dari kanal konduksi dalam sebuah semikonduktor yang bisa divariasikan oleh medan listrik dari luar. Sehingga perilaku *FET* seperti hambatan yang dikontrol oleh tegangan (*voltage controlled resistors*).

FET menawarkan impedansi masukan yang lebih tinggi dari *BJT*. Ini yang membuat *FET* sesuai untuk aplikasi-aplikasi yang membutuhkan impedansi masukan yang tinggi. Salah satunya, *FET* sangat banyak digunakan dalam aplikasi rangkaian *switching*.

Junction Field Effect Transistor (JFET)

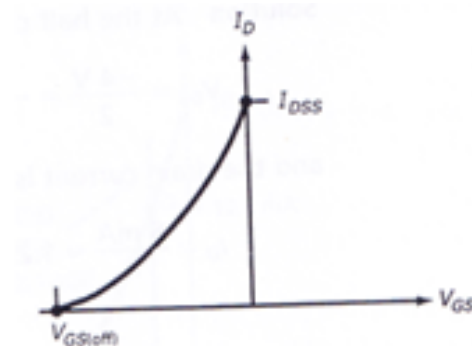
Konstruksi dasar dan simbol dari *JFET* tipe *n* ditunjukkan oleh Gambar 8.1. Karakteristik *JFET* ditunjukkan oleh kurva transkonduktansi dan kurva karakteristik I_D - V_{DS} .



Gambar 8.1 Konstruksi (a) dan simbol (b) n-JFET

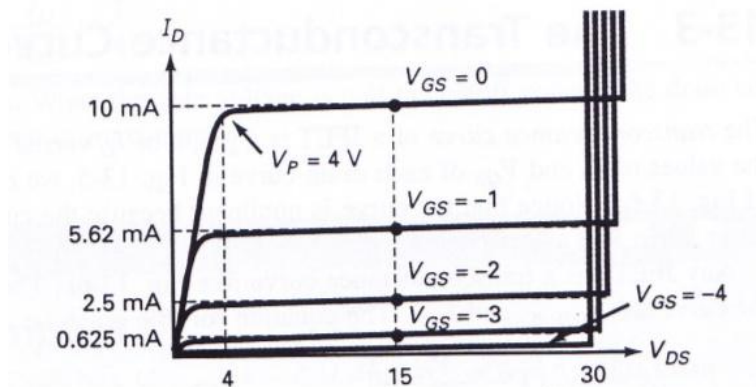
Kurva transkonduktansi menggambarkan bagaimana arus *drain* dikendalikan oleh masukan berupa tegangan *gate* dan ditunjukkan oleh Gambar 8.2. Saat, tegangan *gate-source*, V_{GS} , sama dengan nol, maka arus *drain* yang mengalir adalah arus *drain* maksimum, I_{DSS} . Jika tegangan *gate-source*, V_{GS} , dibuat negatif, maka hal itu akan membuat dioda pada *gate-drain* maupun *gate-source* terbias mundur sehingga akan menyebabkan timbulnya daerah deplesi antara *gate* tipe *p* dan badan semikonduktor tipe *n*. Daerah deplesi ini akan menghambat jalannya elektron dari *source* ke *drain* yang menyebabkan arus *drain* berkurang.

Jika tegangan *gate-source*, V_{GS} , dibuat semakin negatif maka daerah deplesi akan semakin melebar dan akhirnya akan menutup kanal electron. Kondisi ini dinamakan kondisi *pinchoff*. Pada kondisi elektron tidak dapat mengalir dari *source* ke *drain* sehingga arus *drain* sama dengan nol. Tegangan *gate-source*, V_{GS} , saat kondisi *pinchoff* terjadi dinamakan $V_{GS(off)}$.



Gambar 8.2. Kurva transkonduktansi dari *n-JFET*.

Kurva Karakteristik I_D - V_{DS} ditunjukkan oleh Gambar 8.3. *n-JFET* yang dibias normal dengan tegangan *gate-source*, V_{GS} , sama dengan nilai tertentu dan besar tegangan *drain-source* dinaikkan dari nol sampai ke nilai tertentu.



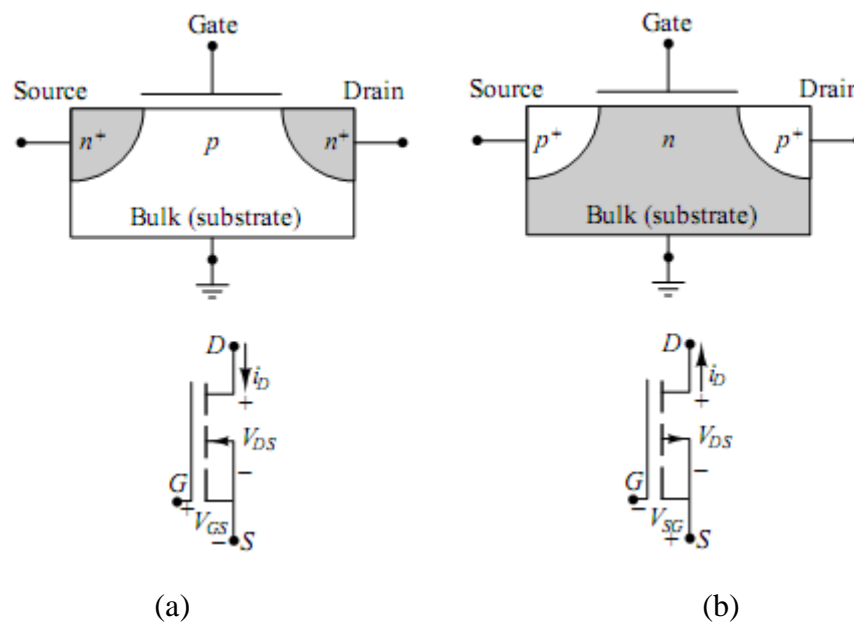
Gambar 8.3. Kurva karakteristik I_D - V_{DS} JFET.

Saat besar V_{DS} mulai dinaikkan dari nol semakin besar pula arus drain, I_D , mengikuti hukum ohm pada sebuah konduktor. Sementara itu, jika besar V_{DS} dinaikkan maka semakin membias mundur dioda *gate-drain*. Daerah deplesi pada dioda *gate-drain* semakin melebar sampai kondisi *pinchoff*, kanal konduksi tertutup, tercapai pada saat tegangan *pinchoff*, V_P . Pada saat ini arus drain, I_D , bernilai maksimum, I_{DSS} . Kondisi kanal konduksi benar-benar tertutup tidak mungkin terjadi. Yang terjadi adalah kanal konduksi hampir tertutup yang masih memungkinkan elektron untuk melewatinya. Kanal konduksi yang sempit ini akan

menjaga naiknya arus. Medan listrik yang semakin besar akibat naiknya tegangan V_{DS} akan menyebabkan mobilitas elektron akan berbanding terbalik dengan medan listrik sehingga kecepatan *drift* elektron akan konstan. Hal inilah yang menyebabkan arus drain, I_D , bernilai konstan jika tegangan V_{DS} dinaikkan dari tegangan *pinchoff*, V_p sampai kondisi *breakdown* tercapai saat V_{DSmax} .

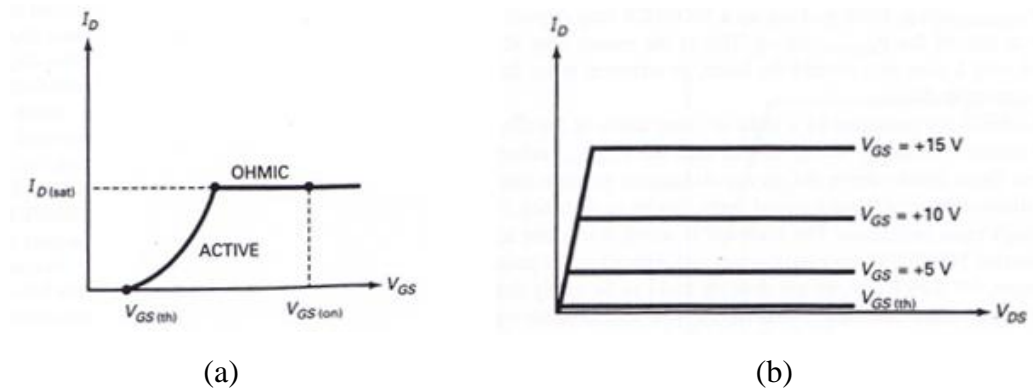
Metal Oxide Semiconductor FET (MOSFET)

Konstruksi dasar dan simbol dari *enhancement MOSFET* ditunjukkan oleh Gambar 8.4. Perbedaan utama *MOSFET* terhadap *JFET* adalah pada *gate* yang terisolasi dari kanal konduksi dengan material SiO_2 (*Silicon dioxide*). Hal ini akan lebih menjamin bahwa arus *gate* akan lebih kecil dibandingkan pada *JFET*. Oleh karena itu, *MOSFET* seringkali dinamakan *IGFET*, kepanjangan dari *insulated-gate FET*.



Gambar 8.4. Konstruksi dasar dan simbol dari *n-channel enhancement MOSFET* (a) dan *p-channel enhancement MOSFET* (b).

Kurva transkonduktansi dan karakteristik I_D - V_{DS} ditunjukkan oleh Gambar 8.5. Pada saat tegangan *gate* sama dengan nol, $V_{GS} = 0$, arus antara *source* dan *drain* sama dengan nol. Untuk alasan ini, suatu *E-MOSFET* dikatakan *normally off* saat tegangan *gate* sama dengan nol.



Gambar 8.5. Kurva transkonduktansi (a) dan kurva karakteristik I_D - V_{DS} (b) dari E -MOSFET.

Ketika tegangan *gate* positif, hal itu akan menarik elektron pada semikonduktor tipe p ke atas untuk berekombinasi dengan hole di dekat silicon dioxide. Jika tegangan positif *gate* cukup, maka semua hole yang berada di dekat silicon dioxide akan terisi, dan kemudian elektron bebas akan mulai mengalir dari *source* ke *drain*. Lapisan tipe *n* di dekat silicon dioxide yang terbentuk, yang dinamakan *n-type inversion layer*, yang menjadi kanal konduksi yang membuat elektron bebas bisa mengalir dari *source* ke *drain*. V_{GS} minimum yang bisa menciptakan kanal konduksi tipe n dibawah silocon dioxide disebut dengan tegangan ambang atau *threshold*, $V_{GS(th)}$. Jika tegangan *gate* kurang dari tegangan *threshold* maka arus *drain* akan sama dengan nol. Semakin besar tegangan *gate* positif, maka semakin lebar kanal konduksi yang terbentuk dan arus *drain* semakin besar pula sampai mencapai arus maksimumnya atau arus saturasi, $I_{D(sat)}$. Di atas titik ini, E -MOSFET dibias pada daerah *ohmic* atau saturasi. Untuk aplikasi *switching*, MOSFET harus dipastikan dibias pada daerah *ohmic* atau saturasi. Untuk menjamin kondisi E -MOSFET pada *hard saturation*, tegangan *gate* pada $V_{GS(on)}$ yang jauh di atas $V_{GS(th)}$.

Saat V_{GS} dijaga pada nilai tertentu dan V_{DS} terus dinaikkan, maka semakin banyak elektron bebas yang berpindah dari *drain* ke *source* melalui kanal konduksi, atau arus *drain* bertambah besar. Pertambahan arus *drain* akan sebanding dengan naiknya V_{DS} mengikuti hukum *ohm*. Pada kondisi ini dikatakan E -MOSFET dibias pada daerah **ohmic** atau **saturasi**. Jika tegangan V_{DS} yang terus naik juga akan membuat medan listrik pada dioda *drain-bulk semiconductor* juga akan naik. Ini akan menyebabkan pada harga V_{DS} tertentu, di mana medan listrik tinggi, mobilitas elektron justru berbanding terbalik dengan naiknya medan listrik. Kecepatan *drift* elektron akan konstan atau dengan kata lain, arus *drain* akan konstan. Pada kondisi ini dikatakan E -MOSFET dibias pada daerah **aktif**.

C. Alat dan Komponen

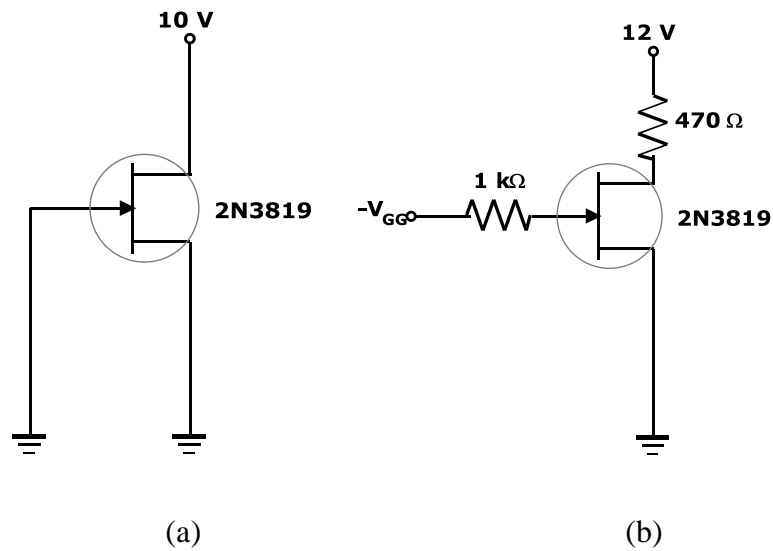
Tabel 8.1. Daftar Alat dan Komponen yang Dibutuhkan

No.	Komponen dan Alat	Spesifikasi	Jumlah
1.	Resistor	470 Ω	1
		1 k Ω	3
		10 k Ω	1
		100 k Ω	2
2.	Transistor	2N3819	3
		IRF520	3
3.	Generator Sinyal		1
4.	<i>Project board</i>		1
5.	Multimeter		1
6.	Catu Daya DC	12 V	1
		5V	1
7.	Kabel jumper		Secukupnya

D. Prosedur Praktikum

Percobaan 1 : Mengukur Harga I_{DSS} dan $V_{GS(off)}$

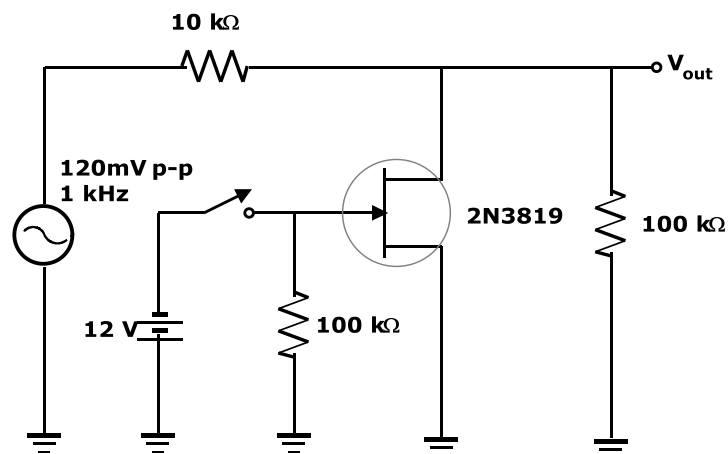
1. Tandai 3 transistor JFET 2N3819 yang tersedia dengan Q1, Q2, dan Q3. Sesuai dengan *datasheet*, transistor 2N3819 mempunyai harga $V_{GS(off)}$ maksimum -8V dan I_{DSS} dengan harga minimum 2 mA dan maksimum 20 mA.
2. Rangkai rangkaian Gambar 8.6a pada *project board* dengan menggunakan transistor Q1.
3. Ukur besar harga I_{DSS} . (Catatan : Karena pengaruh panas pada rangkaian, arus drain akan menurun secara perlahan. Baca hasil pengukuran secepat mungkin begitu rangkaian dihubungkan dengan sumber).
4. Ulangi untuk transistor Q2 dan Q3. Catat hasil di Tabel 1 Laporan Sementara.
5. Rangkai rangkaian Gambar 8.6b pada *project board* dengan menggunakan transistor Q1.
6. Naikkan bias negatif V_{GG} sampai arus drain yang terukur sebesar 1 μ A (atau sekecil mungkin tergantung dari kemampuan multimeter yang digunakan). Harga V_{GG} saat arus mendekati nol adalah harga $V_{GS(off)}$.
7. Ulangi untuk transistor Q2 dan Q3. Catat hasil di Tabel 1 Laporan Sementara.
8. Analisa hasil yang didapatkan dan berikan kesimpulan.



Gambar 8.6. Rangkaian percobaan 1.

Percobaan 2 : *JFET analog switch*

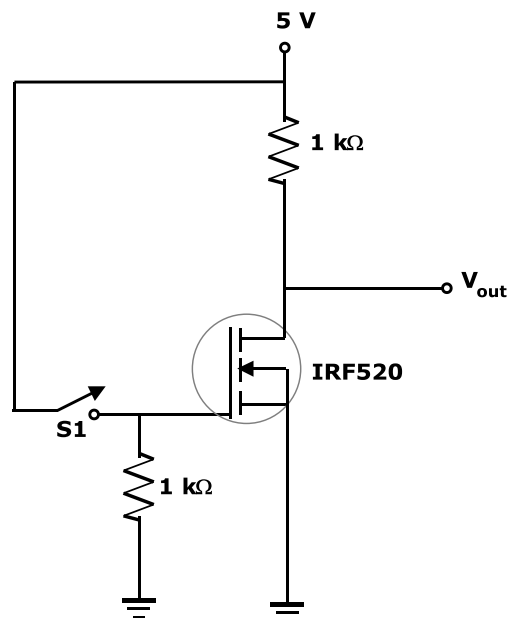
1. Dari data Tabel 1 Laporan Sementara, hitung besar R_{DS} untuk masing-masing transistor.
2. Hitung besar v_{out} rangkaian Gambar 8.7 saat saklar S1 terbuka dan tertutup.
3. Rangkai rangkaian Gambar 8.7 pada *project board* dengan menggunakan transistor Q1.
4. Ukur besar v_{out} saat saklar S1 terbuka dan tertutup.
5. Ulangi untuk transistor Q2 dan Q3. Catat hasil di Tabel 2 Laporan Sementara.
6. Analisa hasil yang didapatkan dan berikan kesimpulan



Gambar 8.7. Rangkaian percobaan 2.

Percobaan 3 : MOSFET *Passive Load Switching*

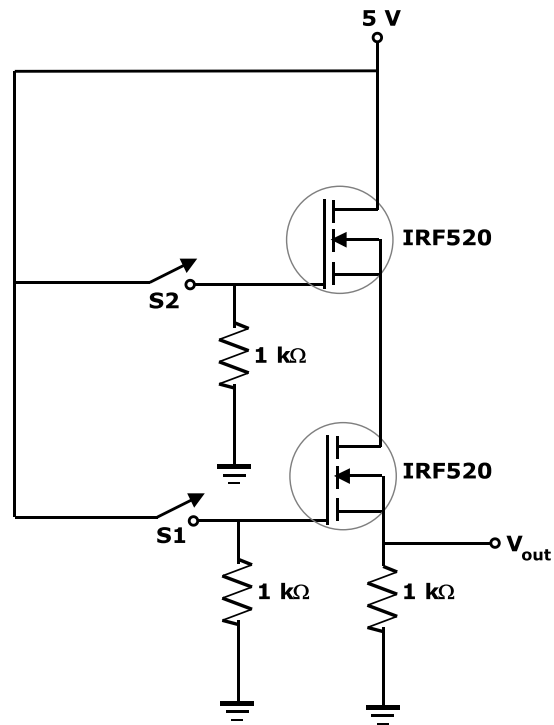
1. Hitung besar I_D dan v_{out} rangkaian Gambar 8.8 saat saklar S1 terbuka dan tertutup.
Gunakan $V_{GS(th)} = 3\text{ V}$, $I_{D(on)} = 9,2\text{ A}$, dan $R_{DS(on)} = 0,75\Omega$.
2. Rangkai rangkaian Gambar 8.8 pada *project board*.
3. Ukur besar I_D dan v_{out} saat saklar S1 terbuka dan tertutup.
4. Catat hasil di Tabel 3 Laporan Sementara.
5. Analisa hasil yang didapatkan dan berikan kesimpulan.



Gambar 8.8. Rangkain percobaan 3

Percobaan 4 : Gerbang AND

1. Rangkai rangkaian Gambar 8.9 pada *project board*.
2. Ukur besar v_{out} dengan kondisi saklar S1 dan S2 sesuai dengan Tabel 4 Laporan Sementara.
3. Catat hasil di Tabel 4 Laporan Sementara.
4. Analisa hasil yang didapatkan dan berikan kesimpulan.



Gambar 8.9. Rangkain percobaan 4

E. Daftar Pustaka

Malvino, Albert Paul. 1995. *Electronic Principles, Fifth Edition*, McGraw-Hill.USA

Malvino, Albert Paul. 1995. *Experiments for Electronic Principles, Fifth Edition*, McGraw-Hill.USA

LAPORAN SEMENTARA

Field Effect Transistor (FET)

Tabel 1. Hasil Percobaan 1 : Mengukur Harga I_{DSS} dan $V_{GS(off)}$

$JFET$	I_{DSS}	$V_{GS(off)}$
1		
2		
3		

Kesimpulan :

Tabel 2. Hasil Percobaan 2 : JFET *Analog Switch*

$JFET$	R_{DS}	Perhitungan v_{out}		Pengukuran v_{out}	
		S1 terbuka	S1 tertutup	S1 terbuka	S1 tertutup
1					
2					
3					

Kesimpulan :

Tabel 3. Hasil Percobaan 3 : MOSFET *Passive Load Switching*

Saklar S1	Perhitungan		Pengukuran	
	I_D	v_{out}	I_D	v_{out}
Terbuka				
Tertutup				

Kesimpulan :

Tabel 4. Hasil Percobaan 4 : Gerbang AND

Kondisi Saklar		v_{out}
S1	S2	
Terbuka	Terbuka	
Terbuka	Tertutup	
Tertutup	Terbuka	
Tertutup	Tertutup	

Kesimpulan :