

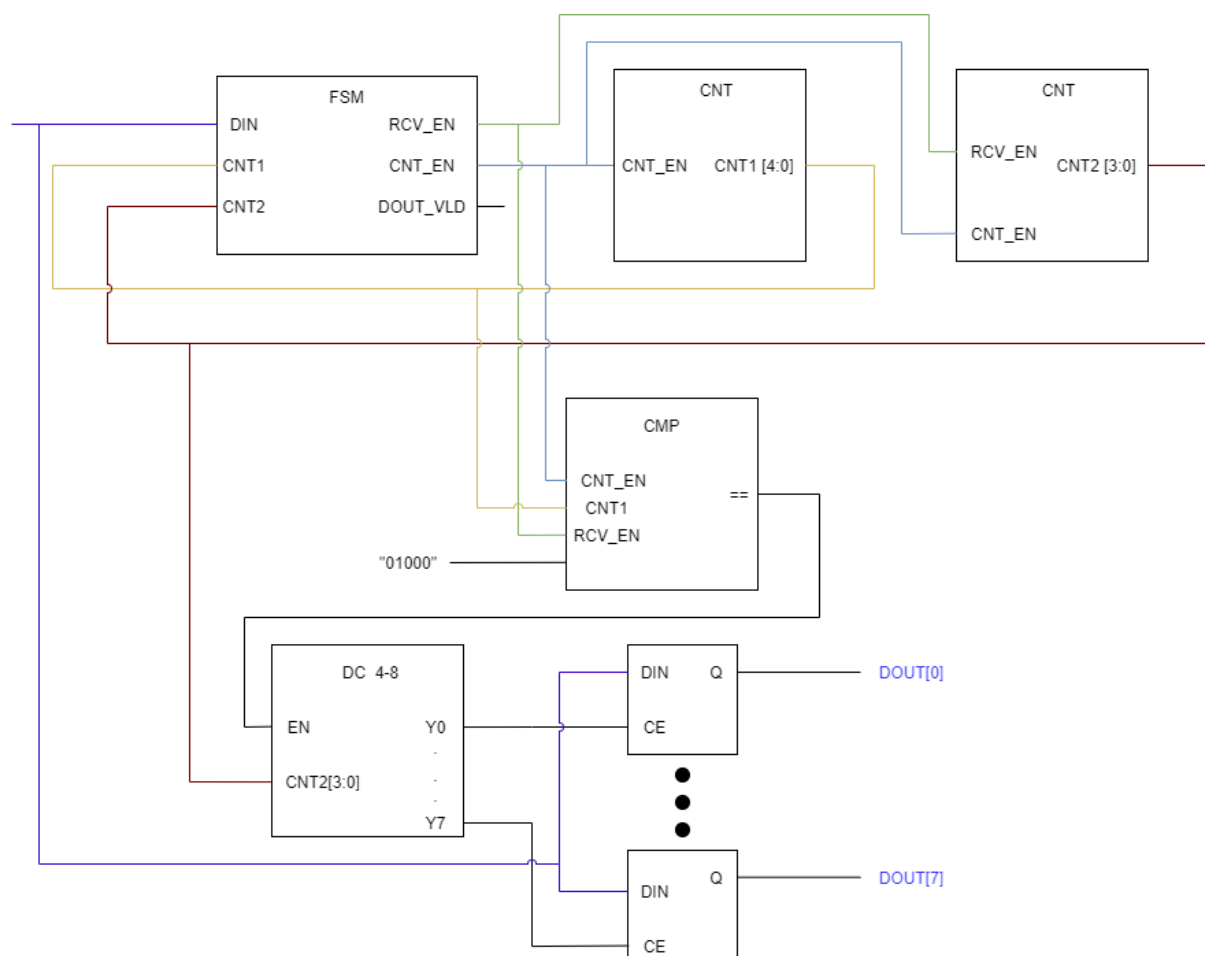
## Technická zpráva projektu z předmětu INC – 2021

**Jméno:** Ladislav

**Příjmení:** Vašina

**Login:** xvasin11

### Architektura navrženého obvodu UART\_RX na úrovni RTL



Přijímací část obvodu (UART\_RX) při každé náběžné hraně kontroluje, zda je signál COUNTER\_ENABLE nastaven na hodnotu '1'. Pokud tomu tak je, tak začne s každým tiknutím hodin inkrementovat CNT1 (čítač hodinových cyklů). Pokud je hodnota signálu COUNTER\_ENABLE rovna '0' CNT1 se vynuluje. Dále se kontroluje, zda jsou signály RECEIVE\_ENABLE a COUNTER\_ENABLE nastaveny na hodnotu '1'. V moment kladného vyhodnocení této podmínky je kontrolován poslední stav a to stav CNT1. U CNT1, vyžadujeme hodnotu 16<sub>10</sub>. Tuto hodnotu vyžadujeme, protože potřebujeme zajistit, aby byla hodnota DIN snímána ve středu jejího průběhu. Nakonec jen podle CNT2 (čítač přenesených bitů), zapisujeme na daný bit DOUT.

## Graf přechodu konečného automatu

### Stavy automatu:

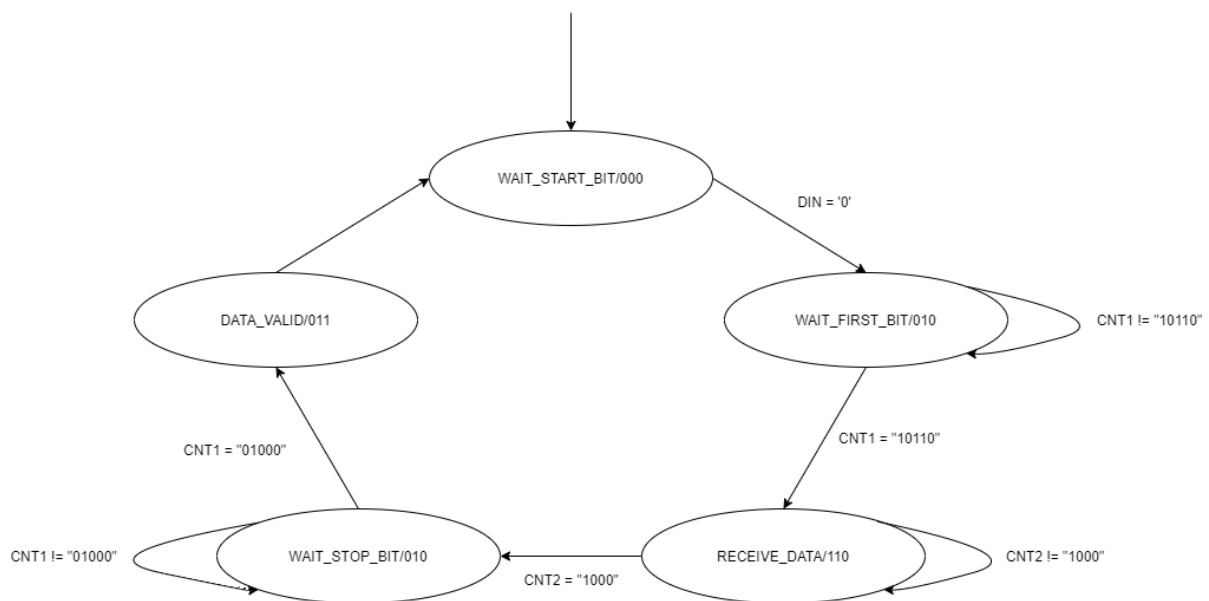
- WAIT\_START\_BIT
- WAIT\_FIRST\_BIT
- RECEIVE\_DATA
- WAIT\_STOP\_BIT
- DATA\_VALID

### Vstupní signály:

- DIN – Vstupní data
- CNT1 – Čítač hodinových signálů
- CNT2 – Čítač přenesených bitů

### Moorovy výstupy:

1. R – Receive enable
2. C – Counter enable
3. D – Data valid



Stavový automat má 5 stavů. V prvním stavu WAIT\_START\_BIT automat čeká na Start bit (DIN = '0'). Po příchodu '0' na DIN se automat přepne do stavu WAIT\_FIRST\_BIT. V tomto stavu se kontroluje CNT1. Pokud je CNT1 na hodnotě  $22_{10}$  stavový automat se přepne do stavu RECEIVE\_DATA. Tento stav trvá, dokud na CNT2 není roven hodnotě  $8_{10}$ . Následujícím stavem je WAIT\_STOP\_BIT. V tomto stavu setrváme, dokud není na CNT1 hodnota  $16_{10}$ . Po přepnutí do dalšího stavu se nacházíme ve stavu DATA\_VALID. Zde je po dobu jednoho tiknutí hodin nastaven signál DATA VALID jako platný.

## Ukázka časových průběhů simulací zachycujících přenos jednoho datového slova

