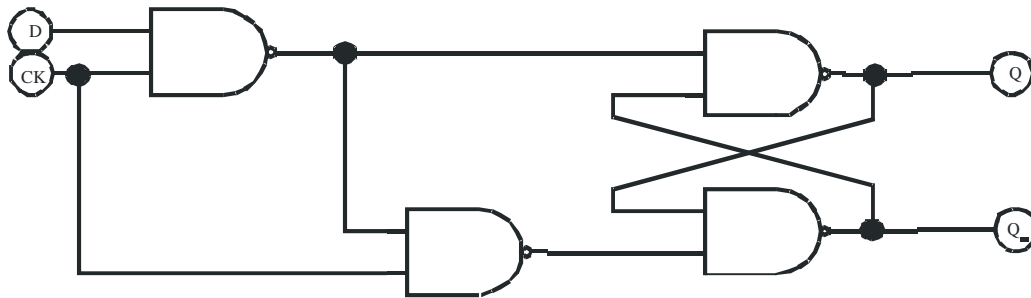


1.- El circuito de la figura se comporta como un latch D con reloj. Justificar esta afirmación.



2.- Un biestable JN tiene dos entradas, J y N. J se comporta de manera idéntica a la entrada J de un biestable JK, N se comporta como la entrada K complementada de un biestable JK.

a) Escribir su tabla característica.

b) Escribir su tabla de excitación.

3.- Convertir un flip-flop D en un flip-flop JK añadiendo la lógica externa adecuada.

4.- Convertir un flip-flop D en un flip-flop T añadiendo la lógica externa adecuada.

5.- Convertir un flip-flop T en un flip-flop JK añadiendo la lógica externa adecuada.

6.- Convertir un flip-flop T en un flip-flop D añadiendo la lógica externa adecuada.

7.- Dado un hipotético flip-flop PK definido por la ecuación de transición siguiente:  
Obtener:

$$Q = \bar{P}\bar{K} + q\bar{P} + PK\bar{q}$$

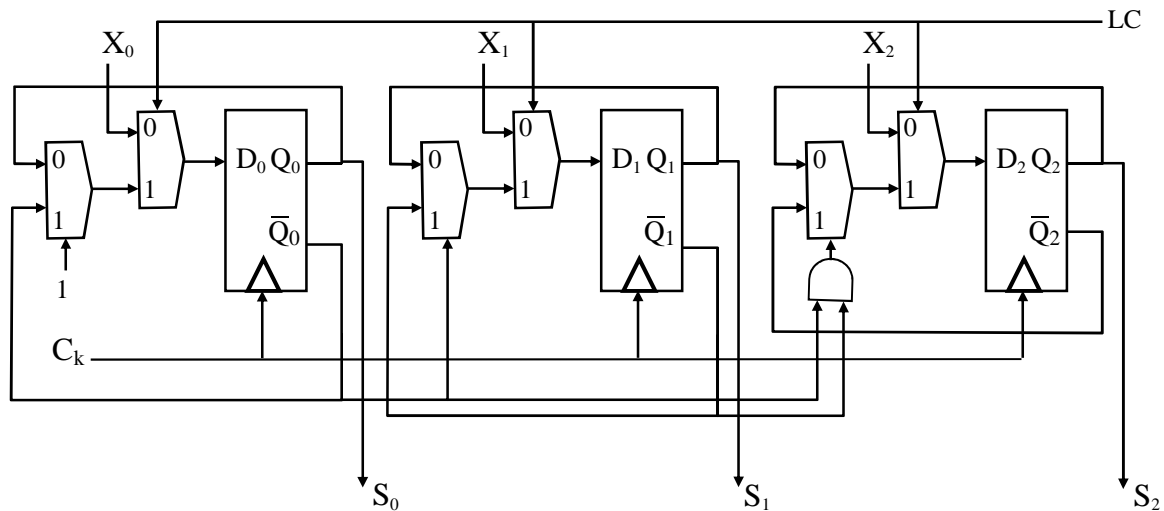
a) Su tabla de excitación.

b) Implementarlo utilizando un flip-flop JK y la lógica adecuada

8.- En el circuito secuencial de la figura, se pide:

- Determinar las ecuaciones de transición de estado y de salida. ¿Se trata de una implementación de Mealy ó de Moore (Justifique la respuesta)?
- Obtener la tabla de transición-salida, la tabla de estado-salida y el diagrama de estado. ¿De qué circuito se trata?
- Determinar la evolución temporal de la salida ( $S_2, S_1, S_0$ ), en forma de cronograma, suponiendo que inicialmente, los biestables almacenan la palabra  $(Q_2, Q_1, Q_0) = (1, 1, 1)$  y la señal de control entrada **LC** está siempre a **1**. Suponer la entrada  $(X_2, X_1, X_0) = (1, 0, 1)$ .

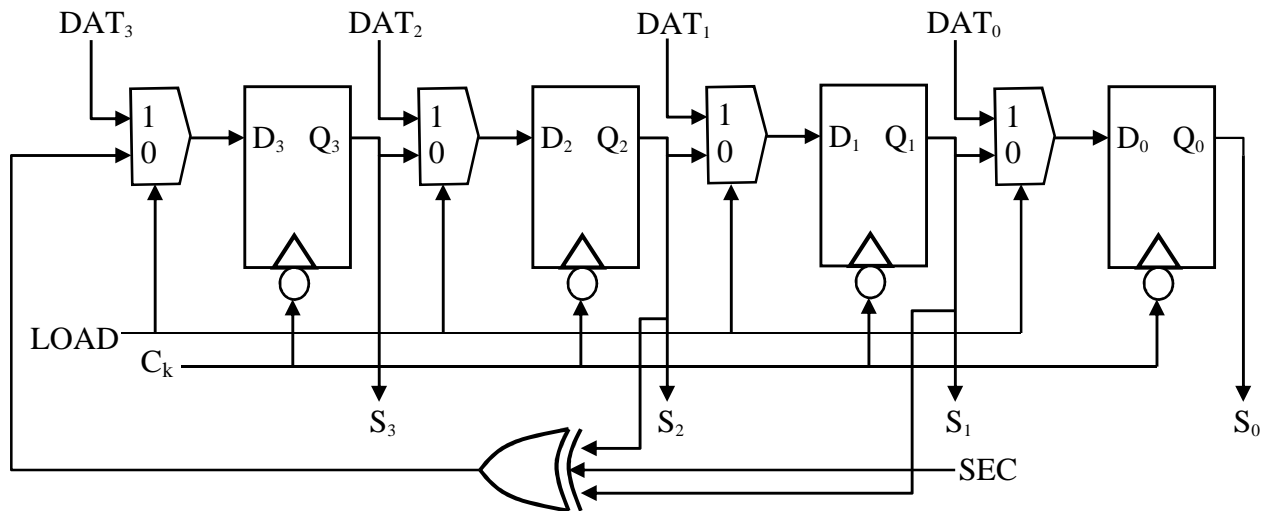
- d) ¿Cuál hubiera sido la secuencia de salida del apartado c), si inicialmente **LC** hubiera estado a **0** durante un ciclo de reloj antes de permanecer a **1**?



9.- Un circuito recibe por su entrada serie (**X**) la información codificada en **BCD natural**, llegando primero el bit de menor peso (un bit por cada ciclo de reloj). Diseñar un circuito mínimo con señal de **INICIALIZACION** que tras recibir el cuarto bit (bit más significativo), produzca a su salida (**Z**) un **0** durante un pulso de reloj si el dato recibido **NO** es un número BCD correcto y **1** cuando **SI** es correcto. Durante el resto del tiempo la salida permanece a valor **1**. Realizar el diseño mediante una máquina síncrona tipo **MEALY**, utilizando **biestables D** con entradas de **PRESET** y **CLEAR**.

10.- En el circuito secuencial de la figura, se pide:

- Determinar las ecuaciones de transición de estado y de salida. ¿Se trata de una implementación de **Mealy** ó de **Moore**?
- Determinar la evolución temporal de la salida ( $S_3, S_2, S_1, S_0$ ), suponiendo que inicialmente, los biestables almacenan la palabra  $(Q_3, Q_2, Q_1, Q_0) = (0, 1, 1, 0)$  y las señales de entrada **SEC** = **1** y **LOAD** = **0**.
- Repetir el apartado anterior pero con la entrada **SEC** = **0** y empleando un cronograma.
- ¿Cuál hubiera sido la secuencia de salida del apartado c), si inicialmente se hubiera partido de  $(Q_3, Q_2, Q_1, Q_0) = (0, 0, 0, 0)$ ?



11.- Dado el circuito de la figura (a):

- Obtener su diagrama de estados.
- Estudiar la evolución temporal de la salida del mismo  $y_n$ , para la entrada  $x_n$ , que aparece en el cronograma de la figura (b), sabiendo que inicialmente el biestable está a 0.

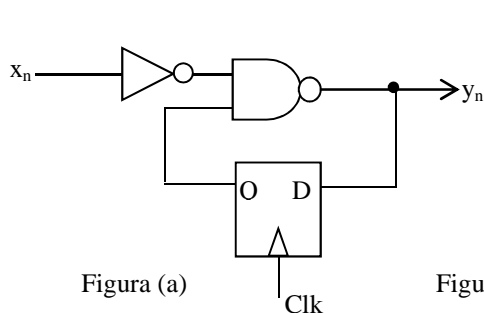


Figura (a)

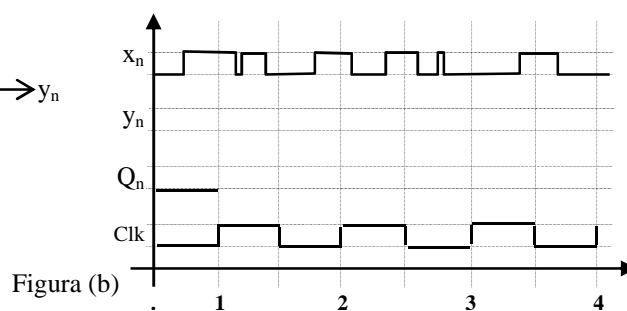


Figura (b)

12.- El circuito de la figura (a) representa un sistema digital secuencial síncrono, con una entrada  $x_n$  y una salida  $y_n$  (a parte de su señal de sincronismo  $Clk$  y de inicialización asíncrona  $INIC$ ). La función que realiza es la detección de números pares que llagan en serie por la entrada  $x_n$ , empezado por el más significativo (Un bit por cada ciclo de reloj). Sabiendo que la salida  $y_n$  ha de ser **1** durante un ciclo de reloj cuando el número analizado sea par y **0** en caso contrario, rellenar el cronograma de la figura (b), suponiendo que el autómata se ha implementado en su formato de Mealy  $y_n^{My}$  y de Moore  $y_n^{Mo}$ .

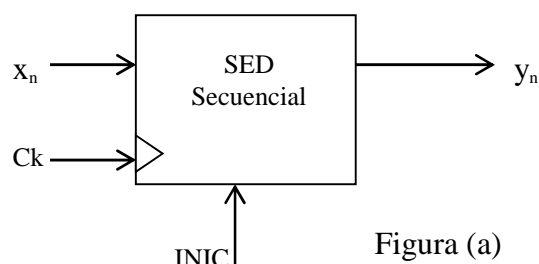


Figura (a)

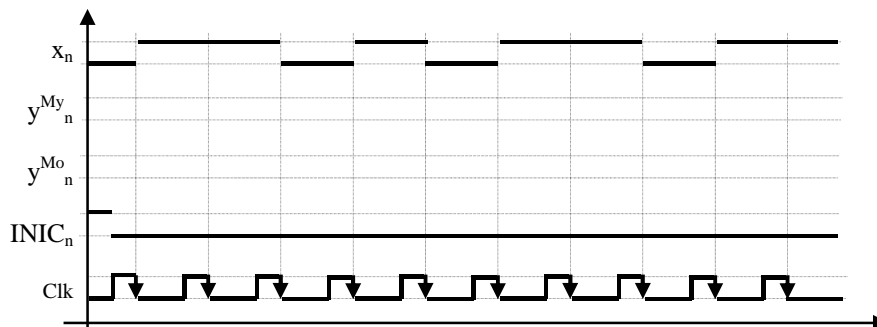


Figura (b)

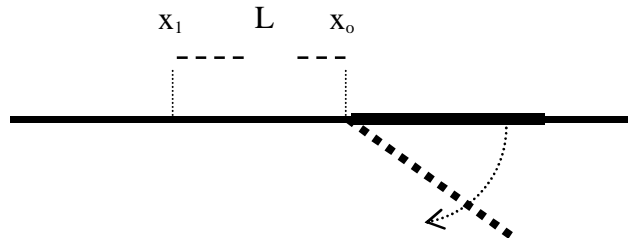
13.- La siguiente tabla de estados representa el comportamiento de un autómata secuencial síncrono de tipo mealy, se pide:

- La obtención del conjunto de pares de estados compatibles.
- La obtención del conjunto de máximos compatibles.
- Un asignamiento que evite las posibles carreras.
- La implementación con biestables tipo D.

EA \ E	E			
	I <sub>0</sub>	I <sub>1</sub>	I <sub>2</sub>	I <sub>3</sub>
0	1,0	0,0	0,0	2,0
1	1,0	3,0	4,0	2,0
2	1,0	6,0	7,0	2,0
3	1,0	0,0	5,1	2,0
4	1,0	0,0	5,1	2,0
5	1,0	0,0	0,0	2,0
6	1,0	0,0	5,1	2,0
7	1,0	0,0	5,1	2,0

14.- En una siderurgia se fabrican barras de hierro para la construcción. En una cadena de montaje (ver figura), las barras pasan un control de calidad para seleccionar las que posean una longitud adecuada, que ha de ser menor que cierta distancia prefijada **L**. Las barras, que se monitorizan en serie, son rechazadas si superan la longitud prefijada **L**, abriendo una trampilla para retirarlas de la cadena de montaje. El sistema de selección consta de una cinta transportadora que posee dos fotocélulas y que se activan ante la presencia de las barras. Si las fotocélulas están separadas una distancia **L** y las barras llegan de una en una (pero separadas), diseñar un sistema secuencial

síncrono de tipo Mealy con entrada de Inicialización que realice la selección, haciendo uso de biestables JK con entradas asíncronas de PRESET y CLEAR.



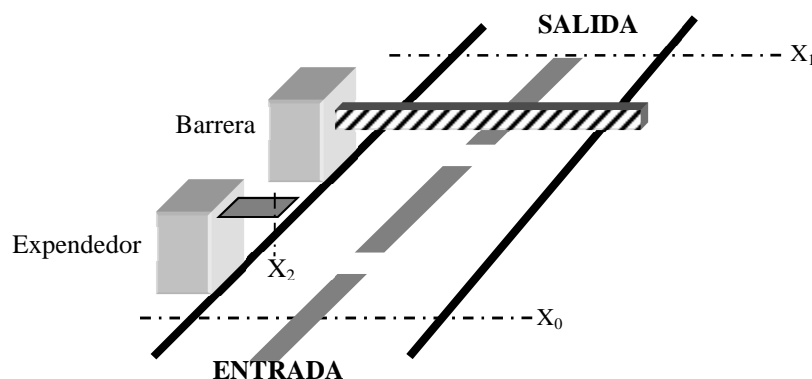
15.- En un aparcamiento público, el sistema de control de acceso al mismo consiste en (ver figura).

- Un expendedor automático de billetes.
- Una barrera automática.
- 3 sensores fotoeléctricos de detección de *presencia / ausencia* de objetos (coches ó billetes).

Se desea diseñar una autómatas que gestione, por un lado, de la *subida / bajada* de la barrera y, por otro, del *suministro / no suministro* de billetes de la máquina expendedora. Para ello, se va a utilizar un sistema electrónico digital síncrono de tipo Mealy con entrada asíncrona de inicialización, que habrá de seguir las directrices de control siguientes:

- Si hay coche en la zona de entrada de la barrera, **suministrar** un billete sí y sólo sí la barrera no está *subida*.
- **Subir** la barrera cuando el conductor haya retirado el billete.
- **Bajar** la barrera cuando el coche haya atravesado totalmente la zona de salida.

Restricción: Los elementos de memoria han de ser biestables SR con entradas asíncronas de PRESET y CLEAR que han de usarse para inicializar el autómatas.

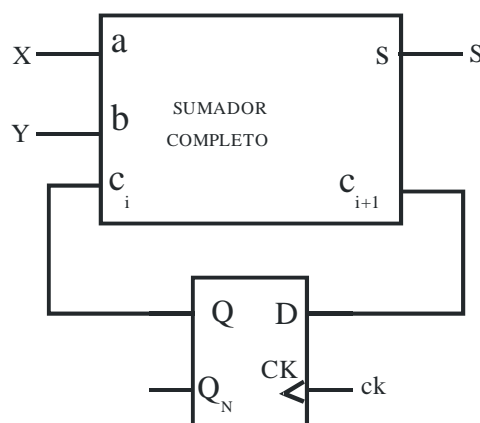


16.- Un circuito secuencial posee dos flip-flops tipo D, **A** y **B** disparados por flanco de bajada; dos entradas **x** e **y**, y una salida **Z**. Su funcionamiento está especificado por las siguientes ecuaciones:

$$\begin{aligned} A_{n+1} &= \bar{x}y + xA_n \\ B_{n+1} &= xB_n + xA_n \\ Z &= B_n \end{aligned}$$

- Dibujar el diagrama lógico del circuito.
- Construir su tabla de estados.
- Construir un diagrama de estados.

17.- Un circuito secuencial posee un biestable D disparado por flanco de subida, dos entradas **X** e **Y** y una salida **S**, conectados según el siguiente diagrama lógico:



- Escribir las ecuaciones algebraicas que describen el comportamiento del sistema.
- Encontrar su tabla de estados.
- Construir un diagrama de estados que represente el comportamiento del circuito.

18.- Diseñar un circuito secuencial síncrono utilizando dos flip-flops **D**, **A** y **B**, y una entrada **x**. Cuando **x**=0 el estado del circuito permanece. Cuando **x**=1 el circuito evoluciona según la siguiente secuencia **AB**=00 à **AB**=01 à **AB**=11 à **AB**=10 à **AB**=00.

19.- Diseñar un circuito secuencial con flip-flops **JK**, con dos entradas **E** y **X**. Si **E**=0 el circuito permanece en el mismo estado independientemente del valor de **X**. Cuando **E**=1 y **X**=1 el circuito transita según la secuencia **00** à **01** à **10** à **11** à **00** y repite. Cuando **E**=1 y **X**=0 el circuito realiza la secuencia **00** à **11** à **10** à **01** à **00** y repite.

20.- Reducir el número de estados de la siguiente tabla de estados-salida y construir la tabla de estados reducida.

	0	1
A	F,0	B,0
B	D,0	C,0
C	F,0	E,0
D	G,1	A,0
E	D,0	C,0
F	F,1	B,1
G	G,0	H,1
H	G,1	A,0

21.- La tabla de estados del problema anterior describe el comportamiento de un sistema secuencial síncrono con una entrada  $x$ , y una salida  $S$ . Si el estado inicial del sistema es el A, encontrar la secuencia de salida correspondiente a la secuencia de entrada: **01110010011**. Verificar que para la tabla de estados simplificada se genera idéntica secuencia de salida.

22.- Diseñar un sistema secuencial síncrono con una entrada  $X$ , que detecte la secuencia de entrada de tres bits **101**, activando un pulso coincidiendo con la llegada del tercer bit de la secuencia correcta. Si la secuencia no es correcta para alguno de los dígitos se ignoran los dígitos sucesivos hasta completar una secuencia de tres bits antes de comprobar una nueva.

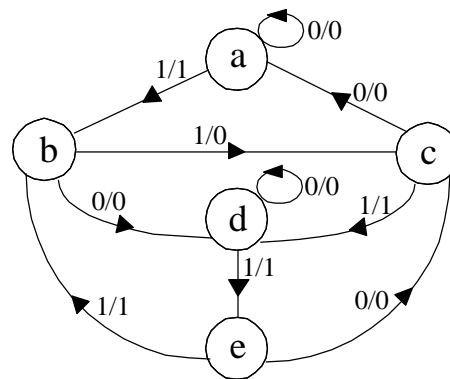
23.- Diseñar usando flip-flops **D** un contador síncrono que realice la siguiente secuencia binaria.  
**0 à 1 à 2 à 4 à 6 à 0**

24.- Un circuito secuencial tiene tres flip-flops **A,B** y **C**, una entrada  $X$  y una salida  $Y$ . Su comportamiento puede describirse mediante un diagrama el diagrama de estados de la figura. Construir un diseño usando:

- Flip-flops tipo T.
- Flip-flops tipo JK.

Tratar los estados no usados como indiferencias en la tabla de estados y una vez diseñados los circuitos comprobar que el comportamiento de los estados no usados para verificar que no llevan a situaciones anómalas en caso de que por causa aleatoria el sistema llegue a los mismos.

Usar la asignación de estados  $a=001$ ,  $b=100$ ,  $c=011$ ,  $d=010$ ,  $e=000$ .



25.- Un sistema secuencial síncrono tiene dos entradas ( $X_1, X_2$ ) y dos salidas ( $Z_1, Z_2$ ). Las entradas representan un número binario natural de dos bits  $N$ , ( $N = X_2X_1$ ). Si el valor presente de  $N$  es mayor que el valor inmediatamente anterior, entonces las salidas toman el valor  $Z_1 Z_2 = 1 0$ . Si es menor, entonces,  $Z_1 Z_2 = 0 1$ . En cualquier otro caso  $Z_1 Z_2 = 0 0$ .

- Obtener una Tabla de Transición de estados que represente el comportamiento de dicho sistema, como un autómata de tipo Mealy.
- Obtener, siguiendo esa tabla, un Diagrama Lógico mínimo para un circuito que realice físicamente ese sistema y que utilice al menos dos tipos distintos de flip-flops.
- Cuántos estados tendría un circuito que realizara el sistema propuesto y siguiera un modelo de Moore.

26.- Se desea diseñar un circuito secuencial síncrono que posea una entrada  $X$ , y una salida  $Y$ . La salida actual  $Y_n$  muestra el valor  $Y_n=0$  mientras la entrada actual  $X_n$  tenga el valor  $X_n=0$ . Si  $X_n=1$  la salida pasa al valor  $Y_n=1$  si las entradas anteriores  $X_{n-1}$  y  $X_{n-2}$  habían sido  $X_{n-1}=0$  y  $X_{n-2}=1$ ,  $Y_n=0$  en otro caso. Obtener:

- Un diagrama y una tabla de transición de estados que recojan el comportamiento del circuito.
- Obtener un diagrama lógico que utilice flip-flops tipo JK para representar los estados.

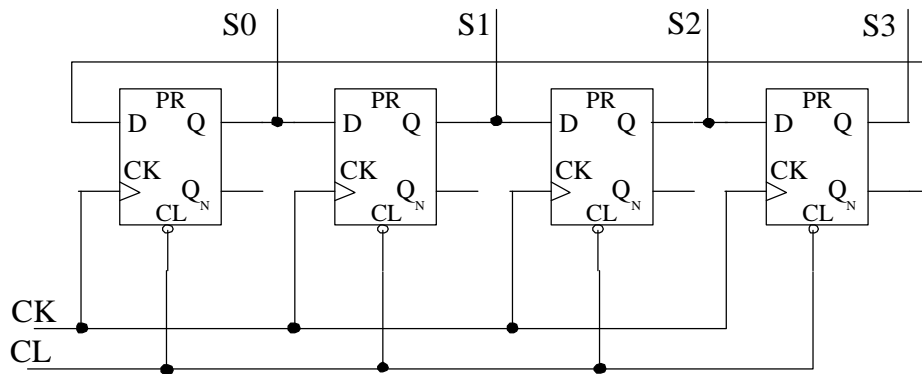
*Nota: El comportamiento del sistema debe ser independiente del estado inicial.*

27.- Dado el circuito secuencial de la figura:

- Obtener un diagrama de transición de estados que recoja el comportamiento del circuito.



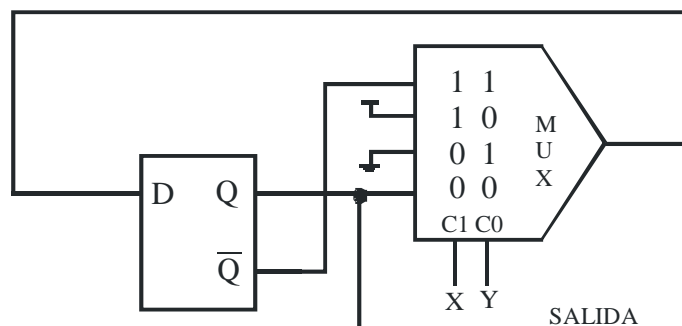
- b) Construir, a partir de él y la lógica adecuada, un sistema secuencial síncrono que genere a su salida la secuencia **A→B→C→D→E→F→G→H→A**, cuyos códigos se muestran en la tabla adjunta y siempre que la señal **CL=1**.



Paso de la secuencia	A	B	C	D	E	F	G	H
Código binario	10000	01001	01011	01111	01101	01110	01100	01010

28.- Dado el circuito de la figura:

- Analizar el sistema y obtener las expresiones booleanas de las funciones de salida y de excitación de los flip-flops.
- Obtener su tabla de transición de estados.
- Obtener un diagrama de transición de estados y explicar el comportamiento del circuito.
- Diseñar de nuevo el circuito usando flip-flop tipo JK.



29.- Diseñar un sistema digital síncrono, que siga el modelo de Moore, que controle el funcionamiento de un semáforo situado en una travesía para regular la velocidad de los vehículos que llegan a la misma. El funcionamiento del mismo se especifica de la siguiente manera:

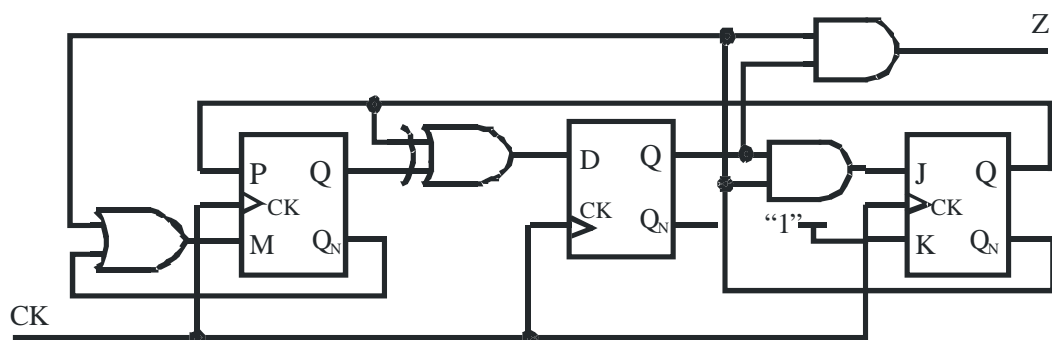
- Si la velocidad de los vehículos que se acercan es inferior a los 40Km/h., el semáforo está en ámbar intermitente.
- Si la velocidad de los vehículos es igual o excede los 40Km./h, el semáforo pasa a ámbar no intermitente.
- Si la velocidad de los vehículos excede los 50Km/h, el semáforo pasa a rojo.
- Una vez que el semáforo está en rojo permanece así hasta que la velocidad de los vehículos baja por debajo de los 20Km/h.

Para detectar la velocidad de los vehículos que llegan se dispone de un sistema radar que proporciona 6 señales digitales que se activan indicando lo siguiente:

**A0:** Velocidad mayor o igual a 20Km/h.  
**A1:** Velocidad mayor o igual a 30Km/h.  
**A2:** Velocidad mayor o igual a 40Km/h.  
**A3:** Velocidad mayor o igual a 50Km/h.  
**A4:** Velocidad mayor o igual a 60Km/h.  
**A5:** Velocidad mayor o igual a 70Km/h.

30.- Resolver el problema anterior empleando un sistema digital síncrono que siga el modelo de Mealy.

31.- Dado el circuito lógico de la figura y las tablas características de los flip-flops:



PM	$Q_{n+1}$
0 0	$Q_n$
0 1	1
1 0	0
1 1	$Q_n$

D	$Q_{n+1}$
0	0
1	1

JK	$Q_{n+1}$
0 0	$Q_n$
0 1	1
1 0	0
1 1	$\bar{Q}_n$

Obtener:

- Las expresiones booleanas de las Funciones de Excitación de los flip-flops y de Salida.
- Una Tabla de Transición de Estados que represente el comportamiento de dicho sistema.

- c) Un Diagrama de Transición de Estados y, en base a él, explicar, brevemente, cuál es el comportamiento del sistema. Indicar cuál será la secuencia de salida del sistema si se supone que inicialmente las salidas de todos los flip-flops están a nivel lógico cero.

32.- Por una cinta transportadora viajan piezas circulares de diferentes colores. Sobre la misma se encuentra un detector de color que, al paso de cada pieza, la identifica generando un código binario de palabras de tres bits. Cada palabra del código es transmitida de manera secuencial, enviando en primer lugar el bit menos significativo. Esta información es recibida por la entrada serie de un circuito digital secuencial síncrono, el cual activa un pulso cada vez que recibe la palabra del código correspondiente al color negro. El pulso es generado después de recibir el tercer bit de la palabra y debe durar dos ciclos de reloj.

- a) Realizar un cronograma que ilustre el comportamiento del circuito.
- b) Obtener un diagrama de estados que contenga un número mínimo de estados. Comentar el significado de cada estado y justificar su funcionamiento en relación al cronograma del apartado a).

*NOTA: Suponer que los códigos de color llegan al circuito secuencial de manera síncrona e ininterrumpidamente.*

La tabla de códigos de colores es la siguiente:

Colores	Blanco	Amarillo	Naranja	Rojo	Violeta	Negro	Azul	Verde
Códigos	000	001	010	011	100	101	110	111

33.- Diseñar un sistema secuencial síncrono para el control de un sistema de alarma de un coche que es manejado por medio de un mando a distancia de la siguiente manera:

El sistema posee tres entradas que señalan si cada una de las tres puertas del coche está abierta o cerrada.

El mando a distancia tiene dos posiciones **ON** y **OFF**. En la posición **OFF** la alarma está desconectada. En la posición **ON** la alarma está activada si cuando se pasó a esta posición todas las puertas estaban cerradas; o bien, si había alguna abierta, la alarma se activará una vez que todas las puertas estén cerradas.

Si la alarma está activada y se abre alguna puerta, la alarma sonará hasta que ésta no sea desactivada pasando el mando a distancia a la posición **OFF**.

34.- Diseñar un *sistema secuencial síncrono* que detecte si un número de 5 bits comprendido entre 0 y 20 es primo ó no y con entrada asíncrona de inicialización **INIC**. Los números irán entrado en el sistema mediante un bus serie  $X_n$  de manera indefinida, además, los bits de cada número irán variando a ritmo del reloj del sistema (un bit por cada período de reloj) y empezando siempre por el **MSb**. El sistema volcará el resultado por otra línea serie  $Y_n$  en la que se presentará el resultado una

vez introducida la secuencia completa de bits del número que se esté procesando (i.e., al sexto período de reloj). Si el número es primo, la salida será '1' durante un período de reloj, ó '0' en caso contrario; durante el resto del tiempo elíjase libremente si la línea  $Y_n$  estará a '1' ó a '0'.

*Requisito adicional:* La lógica combinacional se ha de implementar con puertas NAND de cualquier número de entradas. La lógica secuencial se realizará con biestables JK, con entradas asíncronas **PRESET** y **CLEAR** y disparados por flanco negativo de reloj.

35.- Construir un circuito secuencial que tenga una sola entrada  $C$  y dos salidas  $(x,y)$ , tal que si  $C=0$  se genera a la salida la secuencia de números binarios de 2 bits en código natural, y si  $C=1$  se genera a la salida la secuencia de números binarios de 2 bits en código Gray. Construir el circuito usando al menos un biestable JK y un biestable D.

36.- Se bombea agua a un depósito mediante dos bombas hidráulicas  $P1$  y  $P2$ . Ambas bombas deben activarse cuando el nivel de agua es inferior al *Nivel1*, y deben permanecer en marcha hasta que el agua alcance el *Nivel2*, momento en el que la bomba  $P1$  se apaga y permanece apagada hasta que el agua vuelva a bajar del *Nivel1* otra vez. La bomba  $P2$  permanece encendida hasta que se alcanza el *Nivel3*, y entonces se apaga también, y permanece apagada hasta que el agua cae de nuevo por debajo del *Nivel1*. Se usan sensores de nivel para la detección del nivel de agua de la siguiente manera:

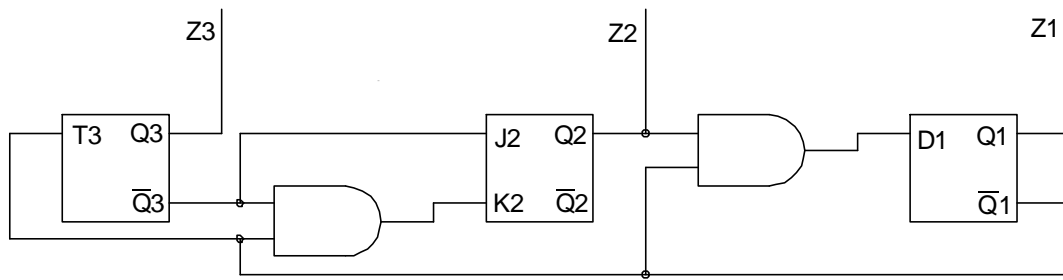
- Señal  $a=1$ ; cuando el agua está al *Nivel1* o por encima. Si no  $a=0$ .
- Señal  $b=1$ ; cuando el agua está al *Nivel2* o por encima. Si no  $b=0$ .
- Señal  $c=1$ ; cuando el agua está al *Nivel3* o por encima. Si no  $c=0$ .

Diseñar un circuito digital síncrono que permita controlar las bombas  $P1$  y  $P2$  de acuerdo con las especificaciones del problema.

37.- Uno de los algoritmos para obtener el complemento a dos de un número binario consiste en dejar todos los bits "0" de posiciones menos significativas inalterados, anteriores al primer bit "1", éste también se deja inalterado y a partir de él se complementan el resto de bits más significativos.

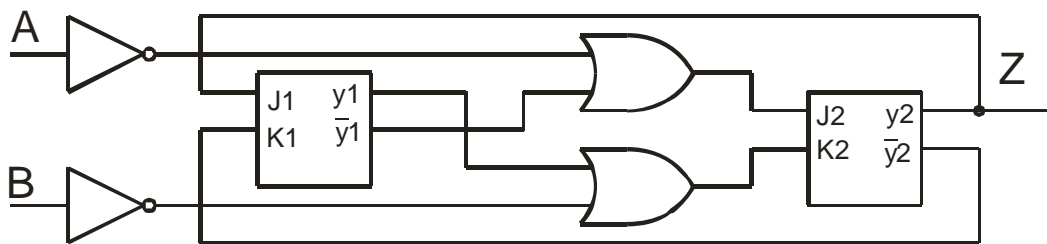
Diseñar un circuito serie que realice esta función. El circuito necesitará un registro de desplazamiento (shift register) para almacenar el dato binario y un flip-flop que almacene la condición de detectar la posición del 1 menos significativo. Una puerta XOR permitirá complementar el resto de los bits.

38.- Analizar el circuito de la figura. Encontrar sus ecuaciones de estado, tabla de transición, tabla de estados y diagrama de estados. Encontrar la secuencia del número decimal de 3 bits de la salida ( $Z_3Z_2Z_1$ ) partiendo del estado en el que la salida del circuito es 6 ( $Z_3Z_2Z_1 = 110$ ).



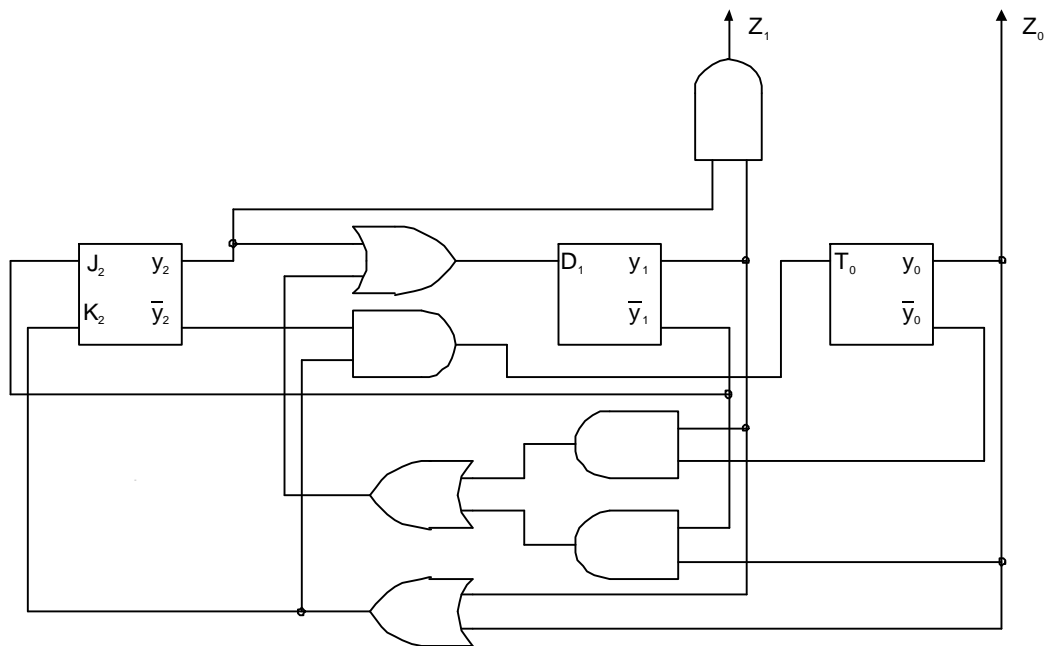
39.- Realizar un circuito secuencial mínimo, utilizando biestables tipo **D**, y el menor número de puertas lógicas posibles, que genere en su salida de un bit, de forma repetitiva la secuencia **1,0,0,0,0,1,0,0,0,1,...** . Realizar el proceso de diseño paso a paso, esto es, calculando el diagrama de estados, tabla de estados, tabla de transición, etc.

40.- Analizar el circuito de la figura. Encontrar sus ecuaciones de estado, tabla de transición, tabla de estados y diagrama de estados.



41.- Diseñar un circuito secuencial mínimo usando biestables tipo T y las puertas lógicas necesarias, que controle el funcionamiento de un montacargas. El circuito debe tener 3 entradas (B,P,S), correspondientes a los botones **B**ajar, **P**arar, **S**ubir que están colocados en el interior del montacargas y dos salidas (MS, MB) correspondientes a las señales **M**otor**S**ubir y **M**otor**B**ajar que accionan el motor para subir o bajar respectivamente. Suponer que nunca están pulsados dos o más botones a la vez. Para cambiar de sentido de marcha, previamente hay que parar el montacargas.

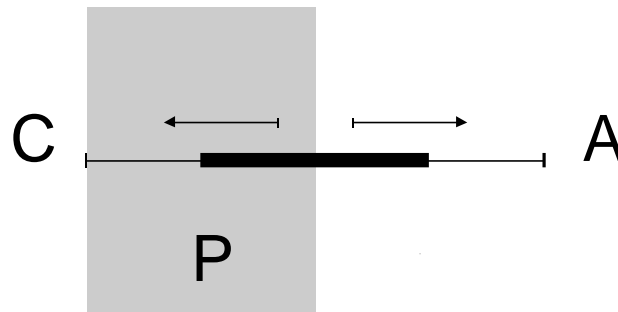
42.- Analizar el circuito de la figura. Encontrar sus ecuaciones de estado, tabla de transición, tabla de estados y diagrama de estados. Encontrar la secuencia de la salida ( $Z_1Z_0$ ) partiendo del estado en el que la salida del circuito es ( $Z_1Z_0 = 11$ ).



43.- Se desea controlar, la apertura y cierre de una puerta automática cuyo funcionamiento es el siguiente: cuando una persona pisa la plataforma  $P$ , la puerta comienza a abrirse; mientras haya personas en la plataforma  $P$  la puerta debe permanecer abierta; cuando no haya personas en la plataforma, la puerta debe cerrarse; si las personas abandonan la plataforma antes de que la puerta esté abierta, ésta debe continuar abriéndose hasta su apertura total y a continuación cerrarse; si la puerta está cerrándose y llega una persona a la plataforma, la puerta debe abrirse. El sistema dispone de tres sensores digitales:  $P$  que detecta la presencia de personas en la plataforma,  $C$  detecta el final de carrera cuando la puerta se cierra y  $A$  detecta el final de carrera cuando la puerta se abre. El sistema debe controlar el motor que abre y cierra la puerta, y que tiene un control digital con dos señales de entrada  $MA$  y  $MC$ . Los valores asignados a los sensores y a las líneas de los motores vienen dados por la siguiente tabla.

$P = 0 \Rightarrow$ Plataforma libre.	$MA = 0, MC = 0 \Rightarrow$ Motor parado.
$P = 1 \Rightarrow$ Personas sobre la plataforma.	$MA = 0, MC = 1 \Rightarrow$ Motor cerrando la puerta.
$C = 0 \Rightarrow$ Puerta NO cerrada del todo.	$MA = 1, MC = 0 \Rightarrow$ Motor abriendo la puerta.
$C = 1 \Rightarrow$ Puerta cerrada del todo.	$MA = 1, MC = 1 \Rightarrow$ Ignorada.
$A = 0 \Rightarrow$ Puerta NO abierta del todo.	
$A = 1 \Rightarrow$ Puerta abierta del todo.	

Diseñar el circuito anteriormente descrito, utilizando el menor número posible de biestables JK y el menor número posible de puertas lógicas. Se debe realizar una implementación tipo MOORE, que incluya el diagrama de estados, la tabla de transición, tabla de estado-salida y circuito lógico.



44.- Realizar un circuito secuencial mínimo, utilizando biestables tipo T, y el menor número de puertas lógicas posibles, que recibe por su entrada secuencias de bits. Cada cinco bits recibidos, si la secuencia recibida es **01011** ó **11011**, el circuito genera a su salida el valor **1** hasta recibir un nuevo dato, pasando entonces a valer **0**. En caso de recibir cualquier otra secuencia de cinco bits, la salida permanece a valor **0**. Realizar el proceso de diseño paso a paso, esto es, calculando el diagrama de estados, tabla de estados, tabla de transición, etc.