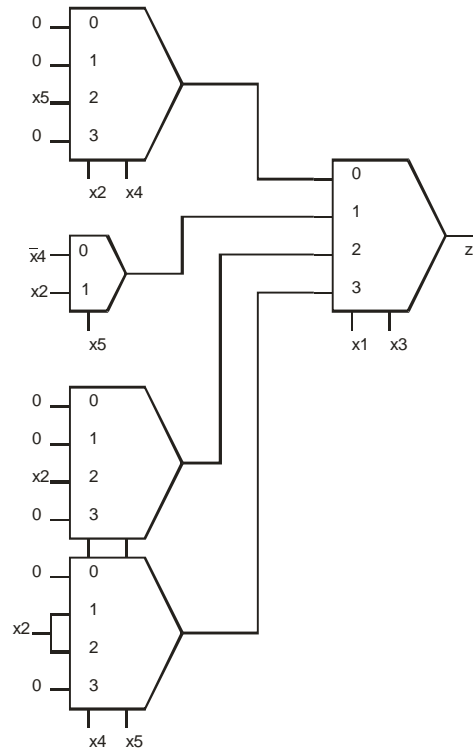
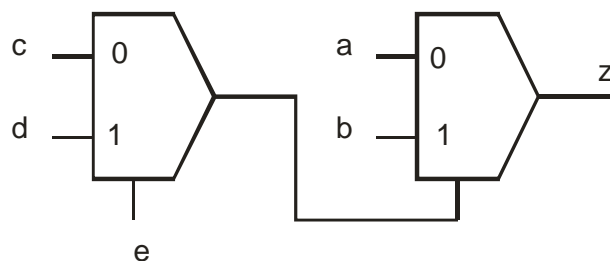


- 1.- Realizar la función $f = \Sigma (1,2,3,6,7)$ con MUX de 1, de 2 y de 3 variables de control. Discutir el coste y dar la solución óptima razonable.
- 2.- Realizar con MUX-2 la función $f = x_2x_3 + \bar{x}_1\bar{x}_4\bar{x}_5 + \bar{x}_1x_2\bar{x}_4 + x_1x_4\bar{x}_5 + \bar{x}_1x_3\bar{x}_5 + x_3x_4\bar{x}_5$. Repetir con MUX-3.
- 3.- Contestar razonadamente si es posible construir un MUX-n usando como elemento MUX-m, poniendo un ejemplo si es posible, para los casos:
 - a) $m < n$
 - b) $m > n$
- 4.- Un MUX-n puede realizar una función de $n + 1$ variables si existe alguna entre ellas en doble rail. Esta función también puede ser realizada utilizando MUX-m, con $m < n$. Discutir el coste (número de módulos, número de terminales, número de conexiones, etc.) de cada una de esas líneas de diseño.
- 5.- Analizar el circuito de la figura.



- 6.- Analizar el circuito de la figura.



- 7.- Sea $f(a,b,c,d,e) = \sum (0,1,2,3,5,7,8,9,10,11,13,15,17,19,21,23,24,25,26,27,29,31)$. Realizar esta función en los siguientes casos:
- Con MUX-2, y a b como variables de control en el primer nivel.
 - Con MUX-2, sabiendo que sólo la variable b está en doble rail.
 - Con MUX-2, sabiendo que sólo la variable e está en doble rail y que b es variable de control en el primer nivel, de forma que de la solución óptima.
- 8.- Realizar la función $f = \bar{x}_1x_2 + x_1\bar{x}_2\bar{x}_3 + x_1\bar{x}_3x_4$, con MUX-1 y MUX-2:
- MUX-2 en el nivel de salida y MUX-1 en el nivel de entrada.
 - MUX-1 en el nivel de salida y MUX-2 en el nivel de entrada.
- 9.- Realizar a nivel de puertas un DEMUX (1:2):
- con puertas AND
 - con puertas NAND
 - Utilizar este módulo para realizar un DEMUX (1:4).
- 10.- Se dispone de decodificadores completos 2:4 con señal EN activa en valor alto (H). Realizar:
- Un decodificador 1:2 de las mismas características.
 - Un decodificador 3:8 de las mismas características.
 - Un decodificador 4:16 de las mismas características.
- 11.- Realizar con un decodificador y las puertas lógicas necesarias las siguientes funciones:
- $f = \sum (0,2,4,6,8,10,11,12,18,20,22,26,27)$
 - $f = \prod (0,2,9,11,13,15,16,18,25,27,28,31)$
 - $f = bcd + abd + abde + abc + abde + abd + d$
siendo $d = d(a,b,c,d,e) = abcde + abde$
 - $f = \sum (0,1,3,8,9,11,15,16,17,19,24,25,29,30,31)$
 - $f = \sum (0,1,4,5,6,7,8,9,10,12,14)$
 $f_1 = \sum (0,1,2,3,6,7)$
 $f_2 = \sum (0,1,6,7,14,15)$
 $f_3 = \sum (0,1,2,3,8,9)$
 - $f_1 = \sum (0,1,2,3,6,7,20,21,26,27,28)$
 $f_2 = \sum (0,1,6,7,14,15,16,17,19,20,24,27)$
 $f_3 = \sum (0,1,2,3,8,9,16,20,26,28,30)$
- 12.- Realizar con decodificadores y el menor número de puertas lógicas, las funciones:
- $f = \prod (5,7,8,9,10,14,15) \times d(1,2,3)$
 - $f = \sum (0,1,3,4,7,11,12,13) + d(8,10,15)$

$$c) f = v\bar{x}yz + vux\bar{y} + vuy\bar{z} + \bar{v}ux\bar{y} + v\bar{x}y + \bar{v}\bar{u}\bar{x}y + \bar{v}xy\bar{z} + v\bar{u}\bar{x}\bar{y}$$

$$d) f = \sum(1,2,3,6,8,9,14,17,24,25,26,27,30,31) + d(4,5)$$

$$e) f = \prod(2,3,6,13,15,19,20,22,25,26,27,28,29) \times d(0,7,12,18,24)$$

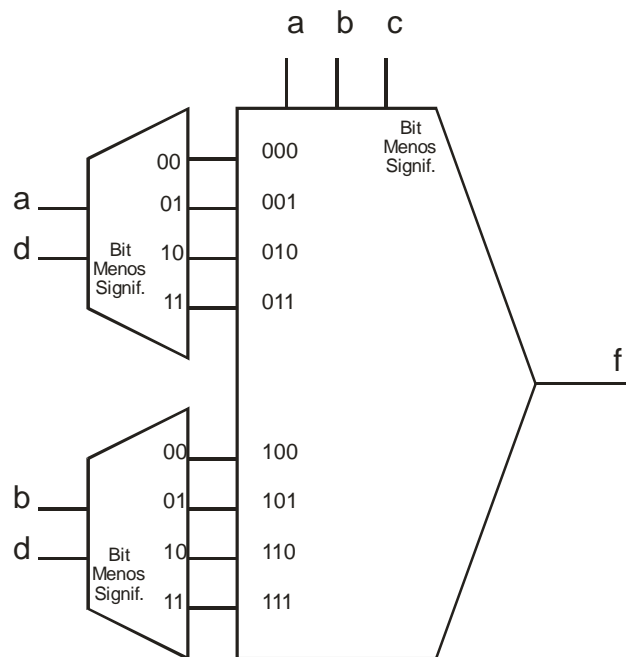
$$f) f = \sum(1,2,3,6,8,9,14,17,24,25,26,33,34,35,38,40,41,42,44,45,46,49,53,56,57,58,60,61,62)$$

13.- Implementar con un decodificador adecuado y la lógica externa necesaria las siguientes funciones booleanas: $F1 = \bar{x}\bar{y}\bar{z} + xz$, $F2 = x\bar{y}\bar{z} + \bar{x}y$, $F3 = \bar{x}\bar{y}z + xy$

14.- Implementar las funciones del apartado anterior con los multiplexores adecuados.

15.- Analizar el circuito de la figura y obtener:

- Una expresión algebraica de la función f y su mapa de Karnaugh.
- Su implementación mínima en 2 niveles utilizando puertas NOR, y utilizando puertas NAND. Indicar cual de las dos implementaciones es la de menor coste. (Suponer que se dispone de todas las señales de entrada en forma directa y en forma complementada)



16.- Diseñe un circuito lógico que convierta un número de cuatro bits de formato signo-magnitud al formato complemento a 2 usando módulos de decodificación y codificación.

17.- Utilizando módulos MSI de decodificación, realizar un convertidor de código para cada uno de los casos siguientes:

- BCD \rightarrow exceso-3
- binario \rightarrow BCD
- binario \rightarrow exceso-3

18.- Implementar la siguiente función booleana: $F(a,b,c,d) = \sum_4(0,3,5,6,8,9,14,15)$

- Con multiplexores 8×1 y la lógica adecuada.
- Con decodificadores $3:8$ y puertas OR.

- 19.- Diseñe un circuito codificador 4 a 2 con prioridad ascendente que sólo utilice puertas NOR. Las entradas $a_3a_2a_1a_0$, donde a_3 tiene la máxima prioridad y a_0 la mínima. Las salidas son y_1y_0 , que indican la entrada activa con mayor prioridad, y G , la cual indica que al menos una entrada está activa.
- 20.- Diseñar un codificador de prioridad de cuatro entradas $a_3a_2a_1a_0$, para el que la línea a_0 sea la más prioritaria y a_3 la menos. Obtener un circuito de dos niveles.
- 21.- Utilizando como elementos de diseño, comparadores de 2 bits con señal DISABLE y, si es necesario, puertas lógicas; diseñar un comparador:
- a) de 3 bits b) de 4 bits c) de 5 bits d) de 8 bit
- 22.- Diseñe un comparador de magnitud de 3 bits con entradas $A = (a_2a_1a_0)_2$ y $B = (b_2b_1b_0)_2$ y tres salidas: $EQ(A = B)$, $GT(A > B)$ y $LT(A < B)$.
- 23.- Realizar con la ROM adecuada la función multisalida siguiente:
- $$f_1(x_1x_2x_3x_4) = x_1$$
- $$f_2(x_1x_2x_3x_4) = \prod(0,1,2,5,6,10,11)$$
- $$f_3(x_1x_2x_3x_4) = (x_4 + \bar{x}_3)(x_3 + x_2 + \bar{x}_1)$$
- $$f_4(x_1x_2x_3x_4) = \sum(0,1,3,7,9,12,15)$$
- 24.- Se dispone de ROM (256 palabras x 4 bits) con entrada de selección activa en baja (*Disable*). Realizar una ROM de 1 K-palabra x 8 bits, utilizando si es necesario otros tipos de dispositivos.
- 25.- Utilizando como módulo básico la ROM (256x4 bits) con *Disable* del problema anterior, realizar un multiplicador de números binarios de 4 bits.
- 26.- Para sacar información numérica en un sistema se utiliza dispositivos LEDs de 7 segmentos, aunque la información del sistema está en BCD. Es conocido que el ojo humano percibe durante una décima de segundo la luz en un LED, después de que éste se apague. Asumimos que los LEDs se encienden instantáneamente.
- Diseñar un circuito que realice esta tarea utilizando como elementos de base una única ROM (2^5 filas x 4 bits), pudiendo usar otros elementos combinacionales si es necesario. (Idea: tratar que a la salida de la ROM salgan unas señales de encendido de LEDs y después las otras, de forma periódica).
- 27.- La junta directiva de un equipo de fútbol está formada por un presidente (b) y tres vocales (c , d , e). En las votaciones todos los miembros votan y las decisiones se toman por mayoría simple. En caso de empate decide el voto del presidente. La señora del presidente manda construir un sistema automático para obtener el resultado de las votaciones, pero exige que tenga un pulsador secreto (a), que le permita invertir el resultado de la votación en el momento que ella lo decida.

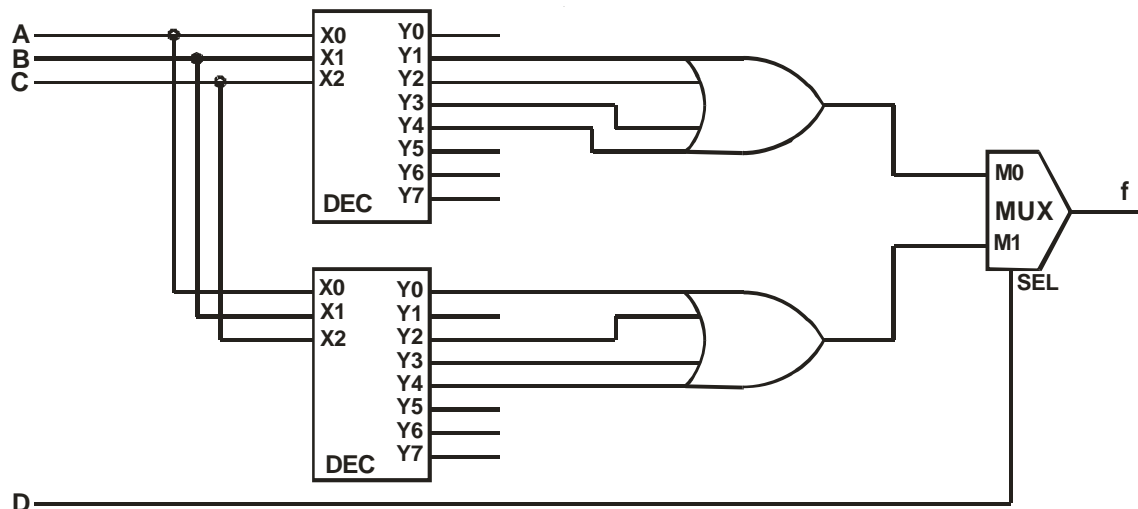
- a) Especificar el sistema y reducir la función lógica del sistema mediante mapas de Karnaugh.
- b) Obtener su implementación mínima en 2 niveles utilizando puertas NOR, y utilizando puertas NAND. Indicar cual de las dos implementaciones es la de menor coste. (Suponer que se dispone de todas las señales de entrada en forma directa y en forma complementada).
- c) Obtener su implementación utilizando sólo multiplexores.
- 28.- Diseñar un circuito que tenga por entradas dos números enteros codificados en binario, de valor comprendido entre 0 y 4 y que produzca como salida la paridad de la suma de ambos (0 si la suma es par y 1 si es impar). (NOTA: el 0 es un número par)
- a) Especificar el sistema y reducir la función lógica del sistema mediante mapas de Karnaugh.
- b) Obtener su implementación mínima en 2 niveles de dos formas: utilizando puertas NOR y utilizando puertas NAND. Indicar cual de las dos implementaciones es la de menor coste. (Suponer que se dispone de todas las señales de entrada en forma directa y en forma complementada).
- c) Obtener su implementación mínima utilizando multiplexores de 3 señales de entrada de selección (MUX-3).
- 29.- Implementar las funciones:
- $$f_1(x_1x_2x_3x_4) = \sum(0,1,7,9,10,11,15)$$
- $$f_2(x_1x_2x_3x_4) = \prod(0,3,7,8,11,12,15)$$
- $$f_3(x_1x_2x_3x_4) = x_1\bar{x}_3 + \bar{x}_2x_3\bar{x}_4 + x_2\bar{x}_4$$
- $$f_4(x_1x_2x_3x_4) = (\bar{x}_1 + x_2 + \bar{x}_3)(x_1 + x_4)(\bar{x}_2 + \bar{x}_3 + x_4)$$
- Para ello utilizar el menor número posible de módulos de memoria 4×2 (4 palabras de 2 bits), que disponen de señal de selección activa en alto (enable), y el menor número posible de los decodificadores adecuados y las puertas lógicas mínimas. (Suponer que cuando la memoria está deshabilitada todas sus salidas están a valor 0).
- 30.- Dada una ROM 32×8 con entrada de habilitación, construir una ROM 128×8 que use cuatro módulos 32×8. Suponer que la salida de esta ROM esta en estado de alta impedancia cuando no está habilitada.
- 31.- Especificar el tamaño de una ROM (nº de palabras y nº de bits por palabra) mínima necesaria para implementar cada una de las siguientes funciones:
- a) Un multiplicador binario de números de cuatro bits.
- b) Un sumador/restador de cuatro bits.
- c) Un multiplexor 2×1 para palabras de 4 bits.
- d) Un conversor BCD a 7 segmentos con entrada de habilitación.

- 32.- Construir la tabla de verdad para una ROM 8×4 que implemente las siguientes funciones booleanas:

$$A(x,y,z) = \sum_3 (1,2,4,6)$$

$$B(x,y,z) = \sum_3 (2,6)$$

- 33.- Analizar el circuito de la figura para encontrar la forma normal disyuntiva de la función de salida. Encontrar su implementación mínima en dos niveles utilizando puertas lógicas (suponer que se disponen de las entradas en forma directa y complementada). Los módulos **DEC** son dos decodificadores cada uno con 3 señales de selección (X0 es la entrada menos significativa y X2 es la más significativa); el módulo **MUX** es un multiplexor de 1 señal de selección.



- 34.- Diseñar un circuito que, a partir de un número de tres bits sin signo, presente a su salida el cuadrado de dicho número si la señal de control C=0, ó el número en complemento a 1 si C=1.

- Obtener la implementación mínima con el menor número de puertas **NOR**.
- Obtener la implementación mínima, utilizando una **PAL** de las dimensiones adecuadas.

- 35.- Utiliza una PLA de 4 entradas, 5 términos productos y 2 salidas junto a un multiplexor MUX-1 para implementar la siguiente función:

$$F(x_1, x_2, x_3, x_4, x_5) = \bar{x}_1 \bar{x}_2 x_4 + \bar{x}_2 \bar{x}_3 x_4 x_5 + \bar{x}_1 \bar{x}_3 \bar{x}_4 x_5 + x_2 x_3 \bar{x}_4 \bar{x}_5 + x_2 \bar{x}_3 x_4 x_5 + x_1 x_2 \bar{x}_4$$

- 36.- Utiliza una PLA de 4 entradas, 4 términos producto y 3 salidas para implementar las funciones:

$$F1 = \sum_4 (4,6,7,14) + d(13), F2 = \sum_4 (3,6,7,11) + d(2,15) \text{ y } F3 = \sum_4 (6,7,11,15) + d(3,14)$$

- c) Realizar un diseño correcto del sistema utilizando el menor número posible de decodificadores 3:8 (figura 1b.) y puertas OR de dos y tres entradas. Justificar su funcionamiento.
- d) Realizar la función **Y** utilizando el menor número posible de MUX2 (figura 1c.). Justificar su funcionamiento.

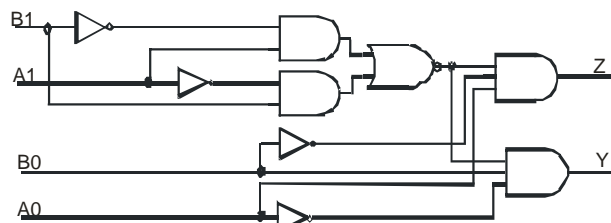


Fig 1a.

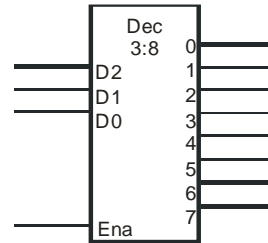


Fig 1b.

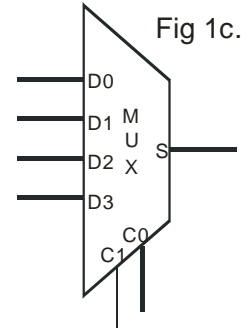
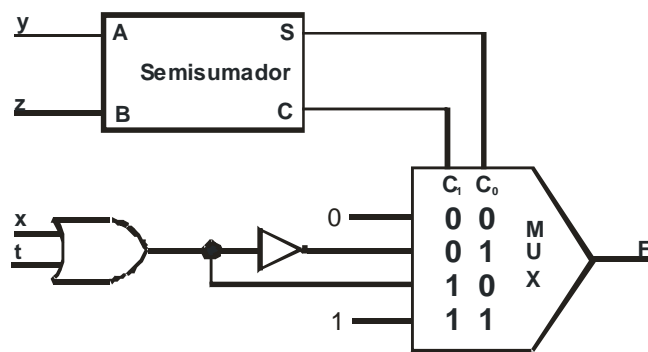


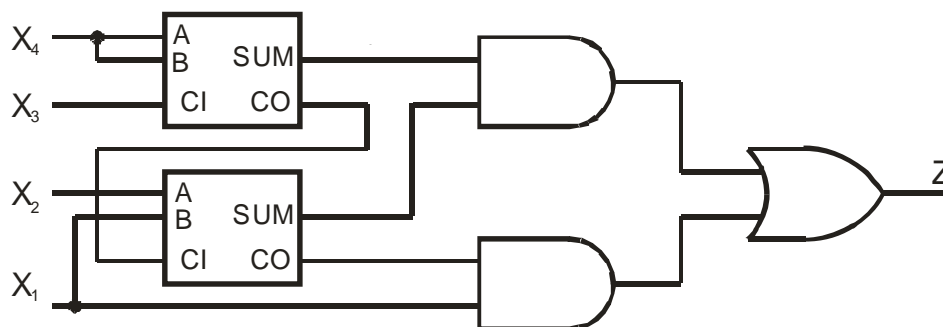
Fig 1c.

41.- Dado el esquema de la figura:

- a) Analizar el sistema y obtener una expresión booleana normalizada para la función **F**.
- b) Obtener un diagrama lógico equivalente a partir de una expresión mínima de **F** que utilice solamente puertas NOR de dos entradas.



42.- Analizar el circuito de la figura que tiene por entradas $X_4X_3X_2X_1$ y por salida **Z**. Los dos módulos que contiene son dos sumadores completos (**A**, **B** son las entradas a sumar, **CI** es la entrada de acarreo inicial, **SUM** es la salida con la suma y **CO** es la salida con el acarreo resultante). Encontrar la expresión algebraica de la salida **Z**. Sintetizar esta misma función de forma mínima, utilizando sólo puertas lógicas (suponer que se dispone de las entradas en forma directa y en forma complementada).



- 43.- Implementar un sumador completo con mux 4×1 .
- 44.- Construir un convertidor de código BCD natural \rightarrow BCD exceso a 3 con sumadores paralelo de 4 bits. Como podría convertirse el circuito diseñado en un conversor BCD exceso a 3 \rightarrow BCD natural.
- 45.- Sea un sumador restador paralelo de 4 bits. Sus entradas $A[3..0]$ y $B[3..0]$ son números binarios sin signo, $S[3..0]$ es su salida y C el bit de acarreo. Completar la siguiente tabla justificando el resultado:

S/R	A[3..0]	B[3..0]	C	S[3..0]
0	0 1 1 1	0 1 1 0		
1	1 1 0 0	1 0 0 1		
0	1 0 0 0	1 0 0 1		
1	0 1 0 1	1 0 1 0		
1	0 0 0 0	0 0 0 1		