

# Vorwort

Das erste Hauptziel des Kurses ist es, in Aufbau und Funktionsweise von modernen PC-Systemen einzuführen. Neben den gebräuchlichsten Prozessoren werden die eingesetzten Hauptplatinen (*Mainboards*), Hauptspeichermodule, Massenspeichermedien, Peripheriegeräte sowie Ein-/Ausgabekarten für Audio und Graphik vorgestellt. Netzwerkschnittstellen sind seit längerem unverzichtbare Bestandteile von PCs. Neben Kabel und Lichtwellenleitern kommen verstärkt Techniken zur drahtlosen Kommunikation zum Einsatz. Damit können auch mobile Geräte – wie Notebooks und PDAs – integriert werden. Trotz der wachsenden Bedeutung des *Mobile Computing* wird aus Platzgründen in diesem Kurs auf die Technik dieser Geräte nicht eingegangen.

Das zweite Hauptziel des Kurses ist eine kurze Einführung in wesentliche Teilbereiche der Theoretischen Informatik.

## Inhalt des Kurses

Die folgende Tabelle listet zunächst die Themen der vier Kurseinheiten auf.

Kurseinheit	Thema
1	Aufbau und Komponenten eines PCs
2	Aufbau und Funktion eines PC-Mikroprozessors
3	Speicher- und Peripheriebausteine
4	Automatentheorie, Berechenbarkeit und Komplexität

- In Kurseinheit 1 (KE1) werden zunächst die wichtigsten Komponenten eines PCs vorgestellt. Das sind die Hauptplatine mit Prozessor, Chipsatz, Speichermodulen, Schnittstellen und Peripheriebussen. Der zweite Teil behandelt die üblichen Speichermedien, wie Festplatte, CD-ROM (*Compact Disk*) und DVD (*Digital Versatile Disk*<sup>1</sup>). Im dritten Teil werden abschließend die Standard-Ein-/Ausgabegeräte besprochen, also Tastatur und Maus, Monitor und Drucker.
- Danach werden in KE2 grundlegende Mikroprozessorarchitekturen beschrieben. Zum Schluss der KE wird auf den Aufbau und die Funktion der typischen Hochleistungsprozessoren eingegangen, die in modernen PC-Systemen Verwendung finden.
- In der KE3 werden zunächst die physikalischen Prinzipien von Halbleiterspeichern erläutert. Heutige PCs verwenden eine Mischung verschiedener

---

<sup>1</sup>*versatile*: vielseitig

Technologien zum Aufbau von Hauptspeichern – auch Arbeitsspeicher genannt. Diese Speicher unterscheiden sich bezüglich Speicherkapazität, Zugriffszeit und Kosten. Dann wird gezeigt, wie die Daten im Hauptspeicher und den ergänzenden Massenspeichermedium verwaltet werden. Hier wird insbesondere gezeigt, wie durch eine spezielle Hardware-Komponente, die MMU (*Memory Management Unit*), das Betriebssystem bei diesen Verwaltungsaufgaben unterstützt wird. Außerdem werden in dieser Kurseinheit Aufbau und Funktion schneller Zwischenspeicher, der sog. *Caches*, ausführlich beschrieben. Zum Abschluss von KE3 folgt eine kurze Behandlung der wichtigsten im PC zu findenden Peripherie- und Schnittstellenbausteine.

- KE4 beschäftigt sich zunächst mit der Formalisierung des Schaltverhaltens digitaler Systeme in der Automatentheorie. Darauf aufbauend, werden im Weiteren die Teilbereiche der Berechenbarkeit von Algorithmen und deren Komplexität vorgestellt.

# Kapitel 1

## Aufbau und Funktion eines Personal Computers

### Zusammenfassung

In dieser Kurseinheit werden wir in die grundlegende Struktur von Desktop-Systemen oder PCs (Personal Computer) einführen. Der Kern eines PCs besteht aus der Hauptplatine, auch *Motherboard* genannt, auf dem der Prozessor, Speicher, Ein-/Ausgabebausteine und –schnittstellen untergebracht sind. Wir beschäftigen uns ausführlich mit der Hauptplatine und den wichtigsten Komponenten, die auf ihr zu finden sind: das sind der Mikroprozessor als „Gehirn“ eines Mikrorechners und der Chipsatz, der die Steuerung der übrigen Komponenten – insbesondere des Hauptspeichers und der Peripheriemodule – vornimmt und sie mit dem Prozessor verbindet. Der Aufbau eines Prozessors und seiner Komponenten wird erst in der Kurseinheit 2 ausführlich behandelt. Dabei beschränken wir uns auf Platinen und Bausteine, die für den Einsatz in *Desktop*-PCs vorgesehen sind. Auf Exemplare, die ihren Einsatz in Servern, Workstations oder Laptops finden, können wir hier aus Platzgründen nicht eingehen.

### Lernziele

In dieser Kurseinheit werden Sie sich mit den folgenden Themen befassen:

- dem Aufbau und den wichtigsten Komponenten eines modernen (Desktop-)PCs,
- dem Aufbau und die Funktion der Chipsätze, die in diesen PCs Verwendung finden,
- den gebräuchlichen Speichermodulen und ihren wichtigsten Parametern,
- die Massenspeicher-Medien, wie Festplatte, CD-ROM und DVD,
- der Funktion der wichtigsten Ein-/Ausgabegeräte, also Tastatur, Maus und Monitor.

## 1.1 Einführung

### 1.1.1 Aktuelle Computersysteme

In diesem Kapitel soll ein kurzer Überblick über aktuelle Computersysteme gegeben werden. Zunächst stellen wir die verschiedenen Arten von Computern vor. Dann betrachten wir am Beispiel von *Desktop*-Systemen deren internen Aufbau, der vor allem durch den Chipsatz geprägt wird. Danach werden die aktuellen Desktop-Prozessoren der beiden führenden Hersteller AMD und Intel vorgestellt und miteinander verglichen. Im Weiteren beschreiben wir die Funktionsprinzipien der aktuellen Speichermodule sowie Ein- und Ausgabeschnittstellen. Schließlich gehen wir auch auf die Bedeutung von Graphikadaptern ein und geben einen Ausblick auf die künftige Entwicklung.

Die Entwicklung neuer Prozessorarchitekturen und Computersysteme ist rasant. Die Chiphersteller vermelden fast täglich neue technologische und architektonische Verbesserungen ihrer Produkte. Daher fällt es natürlich auch schwer, einen aktuellen Schnappschuss der Entwicklung wiederzugeben – zumal dieser dann nach kurzer Zeit wieder veraltet ist. Trotzdem wollen wir im Folgenden versuchen, den Stand im Herbst 2009 zu erfassen.

### 1.1.2 Arten von Computern

Obwohl es uns meist nicht bewusst ist, sind wir heutzutage von einer Vielzahl verschiedenster Computersystemen umgeben. Die meisten Computer, die wir täglich nutzen, sind nämlich in Gebrauchsgegenständen eingebaut und führen dort Spezialaufgaben aus. So bietet uns beispielsweise ein modernes Mobiltelefon („Handy“) die Möglichkeit, Telefonnummern zu verwalten, elektronische Textnachrichten (SMS) zu versenden, Musik abzuspielen oder sogar Bilder aufzunehmen. Ähnliche Spezialcomputer findet man in Geräten der Unterhaltungselektronik (z.B. CD-, DVD-, Video-Recordern, Satelliten-TV-Empfängern), Haushaltstechnik (z.B. Wasch- und Spülmaschinen, Trockner, Mikrowelle), Kommunikationstechnik (z.B. Telefon- und Fax-Geräte) und auch immer mehr in der Kfz-Technik (z.B. intelligentes Motormanagement, Anti-blockier- und Stabilisierungssysteme). Diese Spezialcomputer oder so genannten eingebetteten Systeme (*Embedded Systems*) werden als Bestandteile größerer Systeme kaum als Computer wahrgenommen. Sie müssen jedoch ein weites Leistungsspektrum abdecken und insbesondere bei Audio- und Videoanwendungen bei minimalem Energiebedarf Supercomputer-Leistungen erbringen. Solche Systeme basieren meist auf Prozessoren, die für bestimmte Aufgaben optimiert wurden (z.B. Mikrocontroller, Signal- oder Netzwerkprozessoren). Aufgrund der immensen Fortschritte der Mikroelektronik ist es sogar möglich, Prozessorkerne zusammen mit zusätzlich benötigten digitalen Schaltelementen auf einem einzigen Chip zu realisieren (*System on a Chip* – SoC).

Neben diesen eingebetteten Systemen gibt es auch die so genannten *Universal-computer*. Gemeinsames Kennzeichen dieser Computersysteme ist, dass sie ein breites Spektrum von Funktionen bereitstellen, die durch dynamisches Laden entsprechender Programme implementiert werden. Neben Standardprogrammen für Büroanwendungen (z.B. Schreib- und Kalkulationsprogramme) gibt

es für jede nur erdenkliche Anwendung geeignete Software, die den Universalcomputer in ein anwendungsspezifisches Werkzeug verwandelt (z.B. Entwurfs- und Konstruktionsprogramme, Reiseplaner, Simulatoren usw.).

Derartige Universalcomputer unterscheiden sich hinsichtlich der Größe und Leistungsfähigkeit. Die kleinsten und leistungsschwächsten Universalcomputer sind kompakte und leichte Taschencomputer (*Handheld Computer*), die auch als PDAs (*Personal Digital Assistant*) bekannt sind. Sie verfügen über einen nichtflüchtigen Speicher, der auch im stromlosen Zustand die gespeicherten Informationen behält. PDAs können mit einem Stift über einen kleinen berührungsempfindlichen Bildschirm (*Touch Screen*) bedient werden und sind sogar in der Lage, handschriftliche Eingaben zu verarbeiten.

*Notebooks* sind ebenfalls portable Computer. Sie haben im Vergleich zu PDAs größere Bildschirme, eine richtige Tastatur und ein Sensorfeld, das als Zeigeelement (Maus-Ersatz) dient. Sie verfügen auch über deutlich größere Speicherkapazitäten (sowohl bzgl. Haupt- als auch Festplattenspeicher) und werden immer häufiger als Alternative zu ortsfesten *Desktop-Computern* verwendet, da sie diesen insbesondere bei Büro- und Kommunikationsanwendungen ebenbürtig sind. Um eine möglichst lange vom Stromnetz unabhängige Betriebsdauer zu erreichen, werden in Notebooks energiesparende Prozessoren eingesetzt.

*Desktop-Computer* oder PCs (*Personal Computer*) sind Notebooks vor allem bzgl. der Rechen- und Graphikleistung überlegen. Neben den typischen Büroanwendungen werden sie zum rechnergestützten Entwurf (*Computer Aided Design* – CAD), für Simulationen oder auch für Computerspiele eingesetzt. Die dazu verwendeten Prozessoren und Graphikadapter produzieren hohe Wärmeleistungen (jeweils in der Größenordnung von ca. 100 Watt), die durch große Kühlkörper und Lüfter abgeführt werden müssen.

Weitere ortsfeste Computersysteme sind die so genannten *Server*. Im Gegensatz zu den Desktops sind sie nicht einem einzelnen Benutzer zugeordnet. Da sie Dienstleistungen für viele über ein Netzwerk angekoppelte Desktops oder Notebooks liefern, verfügen sie über eine sehr hohe Rechenleistung (*Compute Server*), große fehlertolerierende und schnell zugreifbare Festplattensysteme<sup>1</sup> (*File Server*, *Video-Stream Server*), einen oder mehrere Hochleistungsdrucker (*Print Server*) oder mehrere schnelle Netzwerkverbindungen (*Firewall*, *Gateway*).

Server-Systeme werden in der Regel nicht als Arbeitsplatzrechner genutzt, d.h. sie verfügen weder über leistungsfähige Graphikadapter noch über Peripheriegeräte zur direkten Nutzung (Monitor, Tastatur oder Maus).

Um sehr rechenintensive Anwendungen zu beschleunigen, kann man mehrere Compute Server zu einem so genannten *Cluster-Computer* zusammenschalten. Im einfachsten Fall, werden die einzelnen Server-Systeme über einen *Switch* mit Fast- oder Gigabit-Ethernet zusammengeschaltet. Über diese Verbindungen können dann die einzelnen Compute Server Daten untereinander austauschen und durch gleichzeitige (parallele) Ausführung von Teilaufgaben die Gesamtaufgabe in kürzerer Zeit lösen. Die maximal erreichbare Beschleunigung hängt dabei von der *Körnigkeit* (*Granularity*) der parallelen Programme ab. Cluster-

---

<sup>1</sup>Meist so genannte RAID (*Redundant Array of Independent Disks*).

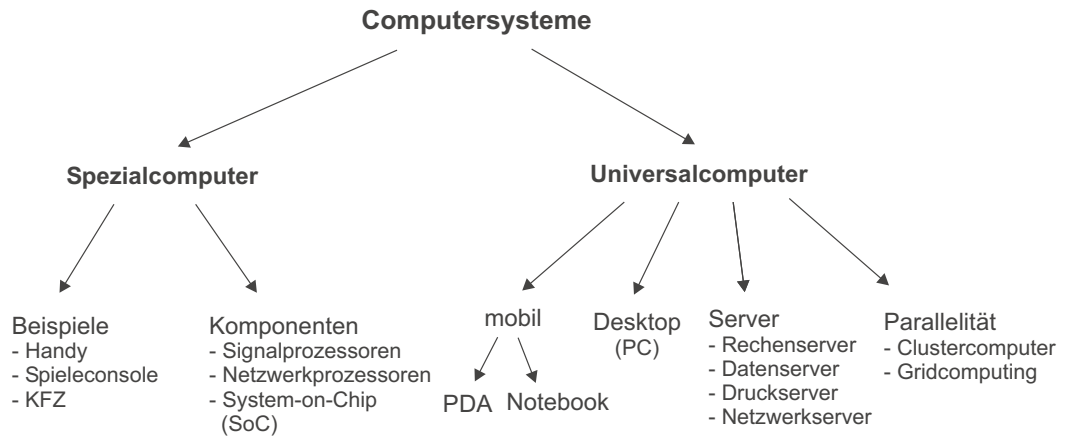


Abbildung 1.1: Übersicht über die verschiedenen Arten von Computersystemen.

Computer sind vor allem für grobkörnige (*coarse grained*) Parallelität geeignet. Hier sind die Teilaufgaben zwar sehr rechenintensiv, die einzelnen Programmenteile müssen jedoch nur geringe Datenmengen untereinander austauschen.

Je feinkörniger (*fine grained*) ein paralleles Programm ist, desto höher sind die Anforderungen an das dem Cluster zu Grunde liegende Netzwerk. Um eine hohe Beschleunigung der feinkörnigen Programme zu erreichen, muss die Netzwerkverbindung sowohl eine hohe Datenrate bereitstellen als auch möglichst geringe Latenzzeiten aufweisen.

Betrachtet man die über das Internet verbundenen Computersysteme, so erkennt man, dass diese ähnlich wie bei einem Cluster-Computer organisiert sind. Auch hier kann jeder Netzwerkknoten mit jedem beliebigen anderen Knoten Daten (oder Programme) austauschen. Aufgrund der komplexen Vermittlungsstrategien des Internetprotokolls (IP) muss man allerdings mit höheren Latenzzeiten und geringeren Datenraten rechnen, d.h. man ist auf grobkörnige Parallelität beschränkt. Trotzdem hält dieser „weltweite“ Cluster-Computer extrem hohe Rechenleistungen bereit, da die angeschlossenen Desktop-Systeme im Mittel nur zu ca. 10% ausgelastet sind. Um diese immense brachliegende Rechenleistung verfügbar zu machen, entstanden in den letzten Jahren zahlreiche Forschungsprojekte zum so genannten *Grid-Computing*.

Der Name *Grid* wird in Analogie zum *Power Grid* verwendet, bei dem es um eine möglichst effektive Nutzung der in Kraftwerken erzeugten elektrischen Energie geht. Die Kernidee des Grid-Computings besteht darin, auf jedem Grid-Knoten einen permanenten Zusatzprozess laufen zu lassen, über den dann die Leerlaufzeiten des betreffenden Desktop-Computers für das Grid nutzbar gemacht werden können. Diese Software wird als *Grid-Middleware* bezeichnet. Die am weitesten verbreitete Grid-Middleware ist das Globus-Toolkit. Neben der Grid-Middleware wird auch ein so genannter *Grid-Broker* benötigt, der für jeden eingehenden Benutzerauftrag (*Job*) geeignete Computerkapazitäten (*Ressourcen*) sucht und der nach der Bearbeitung die Ergebnisse an den Benutzer weiterleitet. In Analogie zum *World Wide Web* (WWW) spricht man beim Grid-Computing auch von einem *World Wide Grid* (WWG). Es bleibt abzuwarten, ob sich dieser Ansatz genauso revolutionär entwickelt wie das WWW.

---

Nach dem Kursüberblick im Abschnitt 1.1 über die verschiedenen Arten moderner Computersysteme werden wir im weiteren Verlauf der Kurseinheit den Aufbau von Desktop-Systemen genauer betrachten und anschließend die Architektur der aktuellen Desktop-Prozessoren von AMD und Intel vorstellen. Als verbindenden Komponenten kommt den Chipsätzen eine besondere Bedeutung zu.

## 1.2 Komponenten eines Personal Computers

Desktop-PC

Server

Ein PC (*Personal Computer*) ist ein Rechner, der – wie der Name es nahe legt – nur von einer Person (oder wenigen Personen) genutzt wird. Im Gegensatz zu zentralen (Groß-)Rechnern steht somit beim PC dem Benutzer die gesamte Rechenleistung exklusiv zur Verfügung. Da ein PC am Arbeitsplatz des Benutzers steht, wird er auch als *Desktop PC* bezeichnet<sup>2</sup>. Ein *Desktop PC* verfügt über alle Hard- und Software-Komponenten, die zur interaktiven Arbeit mit lokalen Anwendungen – wie z.B. Textverarbeitung, Tabellenkalkulation, Programmierung usw. – nötig sind. Darüber hinaus verfügen alle modernen PCs über Netzwerkschnittstellen, um mit anderen Rechnern Daten auszutauschen oder auf zentrale Dateiserver bzw. auf das Internet zuzugreifen. Leistungsfähige PCs, die über eine solche Netzwerkschnittstelle und besonders schnelle Graphiksysteme verfügen, werden auch als *Workstations* bezeichnet. Ein *Server* ist ein Rechner, der Betriebsmittel, wie Dateisysteme, Drucker, Internetverbindungen usw., für andere Rechner bereitstellt. Ein *Notebook PC* oder *Laptop PC* fasst alle Komponenten eines Personal Computers auf kleinstem Raum zusammen. Da diese mit Akkumulatoren (Akkus) betrieben werden können, sind sie portabel. Eine weitere Miniaturisierung findet man bei *Handheld PCs* oder *Palmtop PCs*.<sup>3</sup>

Während bei mobilen Systemen alle Komponenten in einem Gerät integriert sind, können bei stationären PCs die einzelnen Komponenten – wie die Systemeinheit mit ihren Schnittstellen sowie die Ein- und Ausgabegeräte – unterschieden werden. Die wichtigsten Eingabegeräte sind Tastatur und Maus, die wichtigsten Ausgabegeräte Monitor und Drucker.

Die Systemeinheit besteht aus einem Gehäuse mit Netzteil und den Schnittstellen zur Peripherie. Die Abbildung 1.2 gibt einen ersten, groben Überblick über die grundlegenden Komponenten innerhalb der Systemeinheit eines PCs:

- Hauptplatine (*Motherboard*, *Mainboard*) mit integrierten Schnittstellen,
- Schnittstellenkarten für PCI-Express (*Peripheral Component Interconnect*) oder andere Bussysteme,
- Festplattenlaufwerk(e) (*Hard-Disk Drive* – HDD),
- Diskettenlaufwerk(e), die jedoch kaum noch zu finden sind,
- CD-ROM- bzw. DVD-Laufwerke,
- Monitor, Tastatur und Maus.

Hauptplatine

Auf der Hauptplatine befinden sich der Prozessor, der Hauptspeicher und Steckplätze für Bussysteme mit unterschiedlicher Geschwindigkeit. Über speziell auf

<sup>2</sup>*Desktop*: Schreibtisch-Oberfläche

<sup>3</sup>*Notebook*: Notizbuch, *Lap*: Schoß, *Palm*: Handfläche



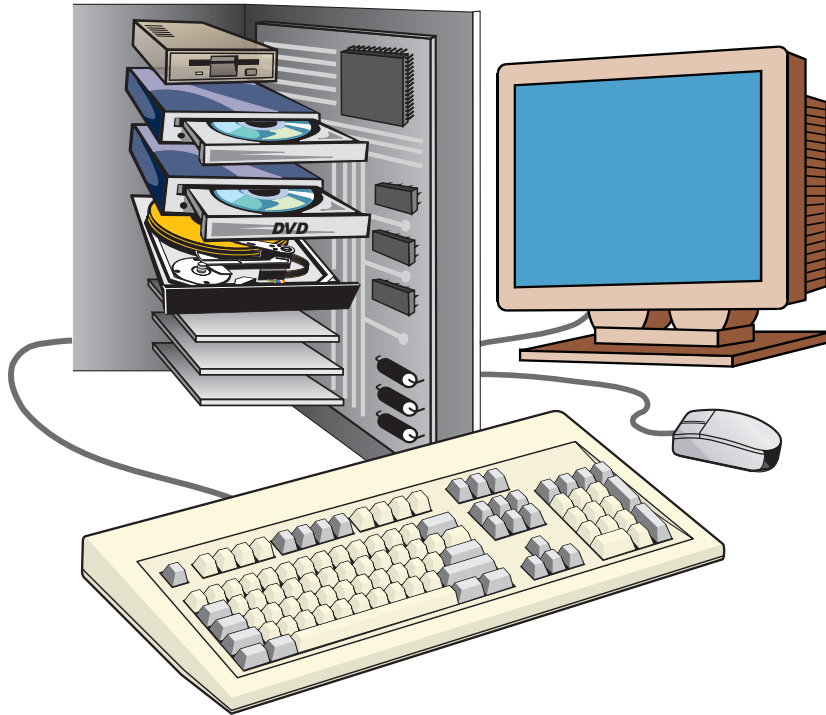


Abbildung 1.2: Der Aufbau eines PCs.

die Prozessoren abgestimmte Chipsätze werden die genormten Peripheriebus-Signale aus den Prozessorbus-Signalen abgeleitet. An diese Busse können über Steckkontakte Schnittstellenkarten angeschlossen werden, die dann standardisierte Schnittstellen für Massenspeicher oder Peripheriegeräte bereitstellen. Auf den meisten aktuellen Hauptplatinen sind auch bereits einfache parallele und serielle Standardschnittstellen sowie meist auch eine ganze Anzahl von USB-Schnittstellen (*Universal Serial Bus*) integriert. Ebenso findet man meist auch eine (S)ATA-Schnittstelle in paralleler oder serieller Form (*(Serial) Advanced Technology Attachment*) für magnetomotorische und optische Massenspeicher mit einem integriertem Laufwerkscontroller (*Integrated Device Electronic – IDE*). Neben Controllern für Laufwerke ist bei heutigen Hauptplatinen meist auch schon eine Ethernet-Netzwerkschnittstelle zur Integration des PCs in ein lokales Netzwerk vorhanden.

Zunächst lassen wir bei unserer Betrachtung die externen Geräte eines PCs außer Betracht und behandeln ausschließlich den im PC „eingebetteten“ Mikrorechner, der im Wesentlichen als Steckkartensystem realisiert ist. Abbildung 1.3 zeigt schematisch die wesentlichen Komponenten, die sich auf der Hauptplatine befinden (vgl. auch Abbildung 1.4):

- der Mikroprozessor, auch CPU (*Central Processing Unit*) genannt, der in einem speziellen Sockel eingesteckt wird,
- Module des Hauptspeichers, für die eine unterschiedliche Anzahl von Steckplätzen vorhanden sind,
- ein Steckplatz für eine Graphikkarte,

## Chipsatz

- den Peripherie- oder Erweiterungsbussen mit Steckplätzen zur Aufnahme verschiedener Steckkarten (Erweiterungskarten, *Add-On Cards*),
- der so genannte **Chipsatz**, eine Sammlung von mehreren hochintegrierten Bausteinen, die insbesondere die Verbindung der eben genannten Komponenten und die Unterstützung der Kommunikation zwischen ihnen zur Aufgabe haben; daneben enthalten sie aber noch eine ganze Reihe von Steuermodulen zum Anschluss interner und externer Geräte;
- verschiedene Steuer- und Schnittstellenbausteine unterschiedlicher Komplexität, die direkt an den Bausteinen des Chipsatzes oder am Peripheriebus angeschlossen sind und z.T. über Steckverbinder mit externen Komponenten gekoppelt werden.

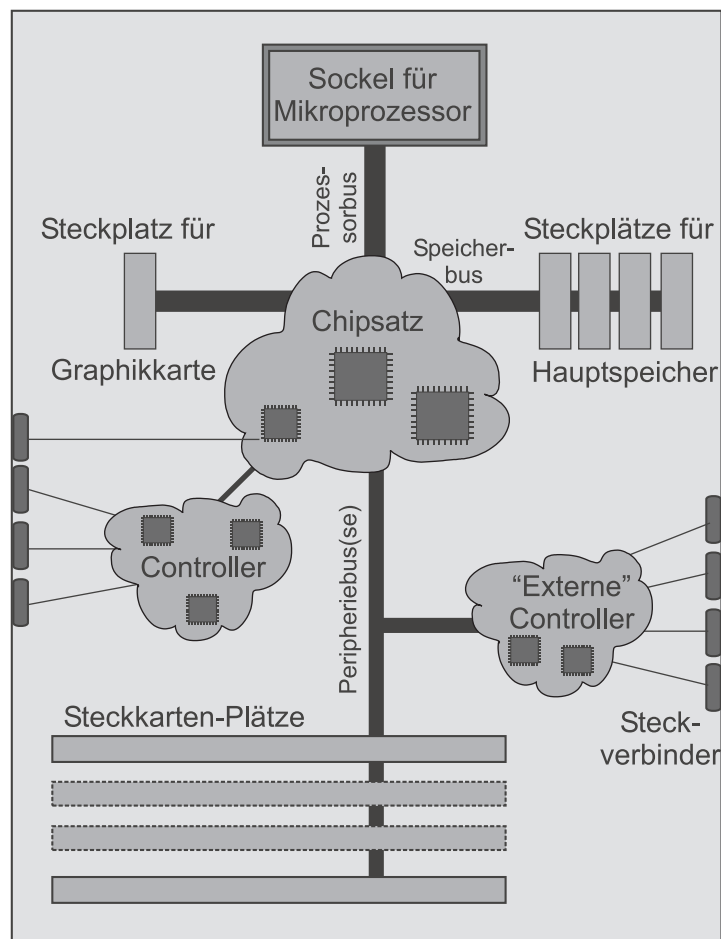


Abbildung 1.3: Der prinzipielle Aufbau einer Hauptplatine.

Die erwähnten Sockel und Steckplätze sind in der Regel exakt auf spezielle Bausteine, also Prozessoren, Speichermodule und Graphikkarten, abgestimmt. Hochleistungs-PCs enthalten darüber hinaus auch Sockel und Steckplätze für

mehr als einen Prozessor bzw. zwei Graphikkarten. Die in den Chipsätzen integrierten Steuer- und Schnittstellenmodule, aber auch die oben erwähnten „externen“ Steuer- und Schnittstellenbausteine werden typischerweise **Controller** genannt. Zu den Erweiterungskarten gehören insbesondere Graphikkarten, Audiokarten (*Soundcards*) und Netzwerkkarten (*LAN Cards*). Der Fortschritt der Integrationstechnik ermöglicht es aber, immer mehr von diesen Erweiterungen direkt auf der Hauptplatine unterbringen, z.B. den Controller für den Netzwerkanschluss und die Audioverarbeitung. Andererseits kann der PC durch Erweiterungskarten wieder mit „Altlast“-Schnittstellen (*Legacy*) ausgerüstet werden, die in den letzten Jahren nicht mehr zum Standardumfang eines PCs gehören und daher nicht mehr vom Chipsatz zur Verfügung gestellt werden, wie zum Beispiel die früher weit verbreiteten parallelen und seriellen Schnittstellen<sup>4</sup>. Ein Steckverbinder-Modul, das auf der Hauptplatine zur Gehäuserückwand zeigt, liefert die Anschlüsse für eine ganze Reihe von Standard-Ein-/Ausgabegeräten, wie z.B. Tastatur, Maus, Netzwerk, Lautsprecher usw. (Auf dieses Modul werden wir weiter unten eingehen.) Über eine Reihe von Steckern können die oben erwähnten Massenspeicher angeschlossen werden, wobei Flachbandkabel mit mehr oder weniger Kupferadern verwendet werden.

In dieser Kurseinheit werden wir uns ausschließlich mit der Hauptplatine eines PCs und ihren Komponenten beschäftigen. Nicht behandelt werden der mechanische Aufbau eines PCs, die verschiedenen Ausprägungen von gebräuchlichen Hauptplatinen, Sockel für Prozessor und Chipsätze, Fragen der Kühlung und Lüftung, Steckverbinder, Netzteile und Spannungsversorgung, Überwachung von wichtigen Parametern (Temperatur, Spannung usw.)

Die im PC-Bereich eingesetzten Mikroprozessoren werden als **x86-kompatible Prozessoren** bezeichnet, da sie sich auf den ersten 16-Bit-Prozessor von Intel, den 8086, aus dem Jahr 1979 zurückführen lassen.<sup>5</sup> Über die Leistungsfähigkeit der x86-Prozessoren entscheidet nicht zuletzt die komplexe virtuelle Speicherverwaltung und ihre Unterstützung durch die Speicherverwaltungseinheit (*Memory Management Unit* – MMU). Selbst eine oberflächliche Beschreibung der virtuellen Speicherverwaltung und ihrer vielfältigen Funktionen würde den Rahmen dieser Kurseinheit sprengen. Wir werden dieses Thema daher erst in Kurseinheit 3 behandeln.

---

<sup>4</sup>Diese waren früher unter den Bezeichnungen Centronics- und V.24-Schnittstellen bekannt.

<sup>5</sup>Über diese Prozessoren werden Sie in Kurseinheit 2 eine Reihe von Details erfahren und die Hauptkomponenten kennen lernen.

## 1.3 Hauptplatine und ihre Komponenten

### 1.3.1 Hauptplatine

In Abbildung 1.4 ist exemplarisch eine moderne Hauptplatine für den Intel-Prozessor Core 2 gezeigt. Die in der Abbildung dargestellten Komponenten sind Gegenstand dieser und z.T. auch der folgenden Kurseinheiten.

Um Ihnen eine grobe Vorstellung von der Größe einer Hauptplatine zu geben, seien hier nur die Maße einer typischen Platine für den *Desktop*-Bereich gegeben (vgl. Abbildung 1.4). Ihre „genormte“ Größe wird als **ATX-Formfaktor** bezeichnet und belegt die folgende Rechteckfläche:  $9,6 \times 12 \text{ Zoll}^2 = 24,4 \times 30,5 \text{ cm}^2$ . (Sie ist damit nur wenig größer als eine DIN-A4-Seite mit  $21,0 \times 29,7 \text{ cm}^2$ .)

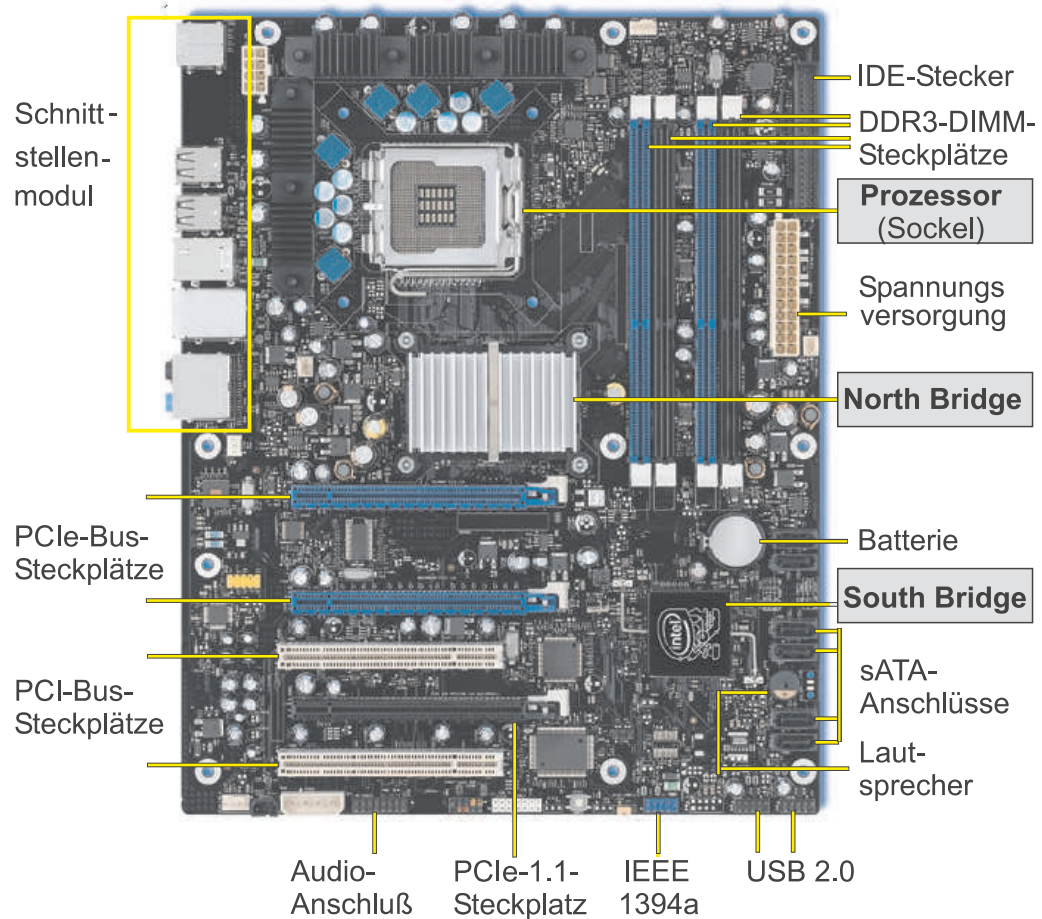


Abbildung 1.4: Photo einer Hauptplatine (*Intel Desktop Board DX48BT2*).

Die Hauptplatine eines PCs (ebenso wie seine Einsteckkarten) enthielten noch vor etwas mehr als zwei Jahrzehnten Dutzende von integrierten Bausteinen (*Integrated Circuits* – ICs). Die rasante Entwicklung der Höchstintegrations-technik (*Very Large Scale Integration* – VLSI) ermöglichte es seitdem, immer mehr Komponenten auf dem Prozessorchip selbst bzw. in sehr wenigen „Hilfs-

bausteinen” unterzubringen. Die wichtigsten dieser Bausteine, die zum Aufbau eines PCs benötigt werden und auf der Hauptplatine Platz finden, werden zusammenfassend als **Chipsatz** (*Chipset*) bezeichnet. Der erste dieser Chipsätze wurde im Jahre 1988 von der Firma *Chips and Technologies* auf den Markt gebracht. Seither bieten die Prozessorhersteller (vor allem AMD und Intel) sowie auf die Entwicklung von Chipsätzen spezialisierte Firmen kurz nach dem Erscheinen eines neuen Prozessors auch die dazu passenden Chipsätze an.

Chipsatz

Ein Chipsatz besteht meist aus ein bis drei Chips, die benötigt werden, um den Prozessor mit dem Speichersystem und Ein-/Ausgabebussen zu koppeln. Da diese drei Haupteinheiten mit unterschiedlichen Geschwindigkeiten arbeiten, benötigt man *Brückenbausteine* (*Bridges*), welche die vorhandenen Geschwindigkeitsunterschiede ausgleichen und für einen optimalen Datenaustausch zwischen den Komponenten sorgen. Die Brückenbausteine müssen auf die Zeitsignale (*Timing*) des Prozessors abgestimmt werden. Die im PC eingesetzten Bussysteme und Schnittstellen unterscheiden sich sehr stark in der Anzahl der Daten- und Adresssignale, der Taktfrequenzen und der verwendeten Spannungspegel sowie der zugrunde liegenden Busprotokolle. Aufgabe der Brückenbausteine ist insbesondere die elektrisch/physikalische Anpassung der verschiedenen Bussignale sowie die Berücksichtigung der unterschiedlichen Übertragungsleistungen.

Brückenbaustein

Der Chipsatz hat also großen Einfluss auf die Leistungsfähigkeit eines Computersystems und muss daher optimal auf den eingesetzten Prozessor und die verwendeten Speicher-/Bustypen zugeschnitten sein. Die Bausteine des Chipsatzes übernehmen im eigentlichen Sinne die Steuerung des Systems.<sup>6</sup> Obwohl ein Chipsatz für eine bestimmte Prozessorfamilie entwickelt wird, kann er meist auch eine Vielzahl kompatibler Prozessoren unterstützen.

Chipsätze verfügen über z.T. sehr unterschiedliche Komponenten, Anschlüsse, Register und Funktionen. Es ist Aufgabe des sog. **BIOS** (*Basic Input/Output System*), diese Unterschiede vor dem Betriebssystem zu „verstecken“, das meist für viele Prozessortypen und Familien einsetzbar sein muss. Das BIOS ermöglicht dem Betriebssystem und den darunter laufenden Anwendungsprogrammen den Zugriff auf die Hardware-Komponenten. Dazu muss es genaue Kenntnisse über den Aufbau der Hauptplatine, die Anzahl der Steckplätze sowie die verwendeten Bausteine und Komponenten besitzen. Als Beispiele seien hier nur der Zugriff auf die Plattenlaufwerke und die Abfrage der Tastatur genannt. Abbildung 1.5 zeigt die Lage des BIOS zwischen dem Betriebssystem und der Hardware, im Wesentlichen repräsentiert durch den Prozessor und den Chipsatz. Als wesentliche Aufgaben des BIOS seien hier aufgeführt:

BIOS

- Ausführung eines PC-Selbsttests, der automatisch nach dem Einschal-

---

<sup>6</sup>Auf die speziellen Komponenten zur Steuerung und Überwachung der Versorgungsspannung, der Verlustleistung, der eingesetzten Lüfter und bestimmter physikalischer Größen und Einheiten (System-/Power-/Takt-„Management“) können wir aus Platzgründen leider nicht eingehen.

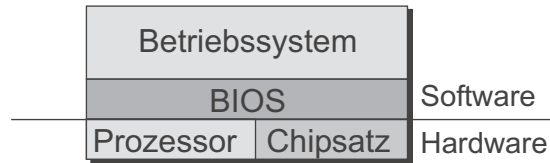


Abbildung 1.5: Das BIOS zwischen Betriebssystem und Hardware-Bausteinen.

ten des Systems aufgerufen wird (*Power-On Selftest* – POST). Dadurch werden z.B. die Größe des Hauptspeichers ermittelt und ein Test seiner Speicherzellen durchgeführt.

- Konfiguration der auf der Hauptplatine oder in den Steckplätzen eingesetzten Komponenten, insbesondere der am PCI- bzw. PCIe-Bus angeschlossenen Geräte.
- Ausführung eines *Setup*-Programms, durch das der Anwender BIOS-Daten ändern und Einfluss auf den Systembetrieb nehmen kann. Als Beispiel sei die manuelle Zuweisung von Interrupt-Kanälen zu bestimmten Komponenten genannt.

Abbildung 1.6 zeigt das Blockschaltbild einer Platine und die Lage und Verbindungen der Bausteine des Chipsatzes<sup>7</sup>. Häufig sind die wesentlichen Funktionen eines Chipsatzes (heute noch) auf zwei Brücken-Bausteine aufgeteilt, die wegen ihrer Lage auf der senkrecht stehenden Platine anschaulich als *North Bridge* und *South Bridge* bezeichnet werden.

- Die **North Bridge** verbindet den Prozessor mit allen Komponenten, die einen möglichst schnellen Datentransfer benötigen. Das sind insbesondere der Hauptspeicher und die Graphikeinheit. Da die North Bridge sich insbesondere um die Steuerung der Zugriffe auf den angeschlossenen Hauptspeicher kümmern muss, wird sie auch als Speicher-Controller-Hub (*Memory Controller Hub* – MCH) bezeichnet. Einige MCHs enthalten außerdem einen eigenen Graphikcontroller. Sie werden dementsprechend als *Graphics Memory Controller Hub* (GMCH) bezeichnet.
- Der zweite Baustein, die **South Bridge**, verbindet den Prozessor oder Hauptspeicher mit einer Reihe von integrierten oder extern hinzugefügten Controllern, die insbesondere zur Steuerung von Massenspeicher- oder Ein-/Ausgabegeräten dienen. Daher rührt ihre Bezeichnung als Ein-/Ausgabecontroller-Hub (*I/O Controller Hub* – ICH). Sie enthält dazu insbesondere eine Vielzahl von USB-2.0-Schnittstellen, über die heutzutage sehr viele externe Geräte an den PC angeschlossen werden können. Zusätzlich sichert sie die Kompatibilität zu älteren Systemkomponenten. Dazu enthält sie oft noch die vom „legendären“ IBM-AT-kompatiblen

<sup>7</sup>Die in der Abbildung verwendeten Bezeichnungen werden im weiteren Verlauf des Abschnitts erklärt.

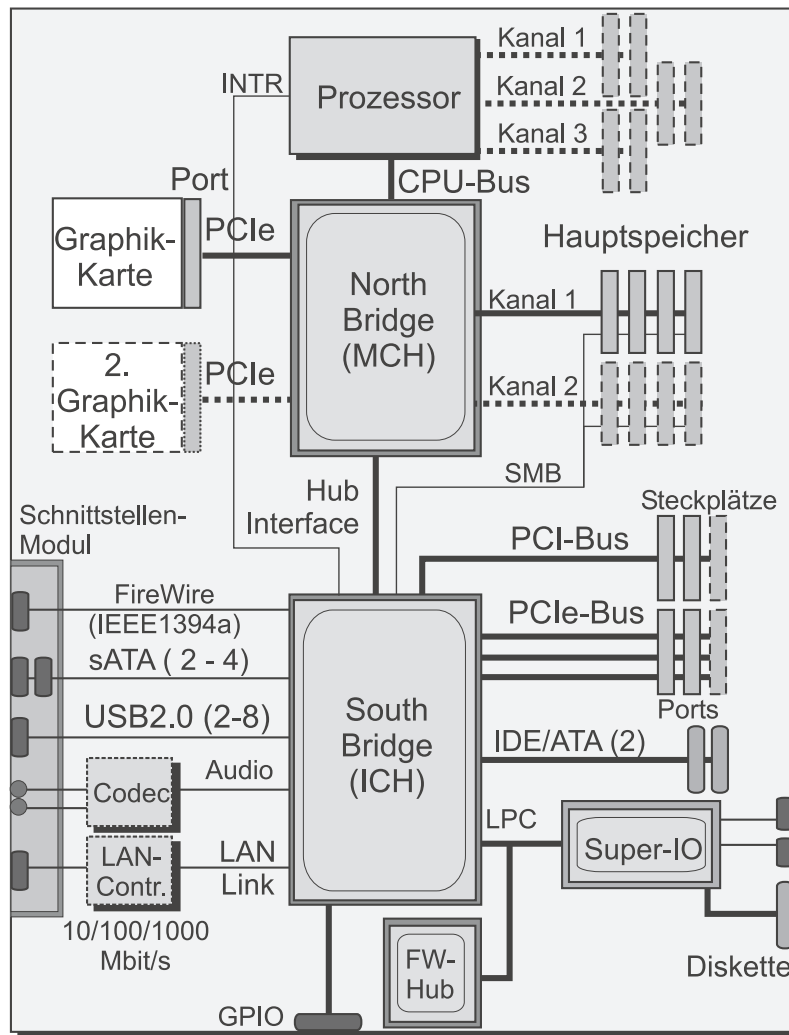


Abbildung 1.6: Blockschaltbild einer Hauptplatine mit Hub-Architektur.

PC eingeführten Komponenten, wie z.B. die batteriegepufferte Echtzeituhr (*Real Time Clock* – RTC).

- Häufig sind einige dieser einfachen Komponenten aber auch in einem besonderen Baustein integriert, dem **Super-I/O-Baustein**, der über die unten beschriebene LPC-Schnittstelle an die *South Bridge* angeschlossen wird. Die weitere Entwicklung der PC-Technik wird die Super-I/O-Bausteine voraussichtlich überflüssig machen, da einerseits immer mehr Komponenten zusätzlich in die *South Bridge* integriert werden können, andererseits aber auch immer mehr Geräte über den USB an den PC angeschlossen und so einige Schnittstellen überflüssig werden. Neben den bereits erwähnten Komponenten stellt der Super-I/O-Baustein oft noch alle oder einige der folgenden Schnittstellen und Komponenten zur Verfügung, auf die wir jedoch im Rahmen dieses Kurses nicht näher eingehen können:

– eine Infrarot-Schnittstelle als weit verbreitete „drahtlose“ serielle

- Schnittstelle (*Infrared Data Association* – IrDA),
- einen Tastatur- und Maus-Controller,
  - einen *Floppy-Disk Controller* (FDC),
  - einen so genannten MIDI-Port (*Musical Instrument Digital Interface*) zur digitalen Steuerung von Musikinstrumenten,
  - einen Hardwaremonitor zur Überwachung des Rechnerzustands über Temperaturfühler und Spannungsmessern sowie zur Steuerung und Regelung der eingesetzten Lüfter,
  - eine Komponente zur Steuerung und Regelung der Versorgungsspannung und der Leistungsaufnahme (*Power Management*).
- Das oben beschriebene BIOS befindet sich in einem Festwertspeicher, dem BIOS-ROM, auf der Hauptplatine, der eine Speicherkapazität von 4 bis 8 Mbit hat und im sog. **Firmware Hub** (FWH) untergebracht ist. Wegen der geringen Zugriffsgeschwindigkeiten dieser Speichertypen wird der Inhalt des BIOS-Speichers nach dem Einschalten des PCs aus dem Festwertspeicher ausgelesen und in einem besonderen Bereich des Hauptspeichers abgelegt, von dem aus er schneller bearbeitet werden kann (*Shadowing*). Üblicherweise enthält der FWH noch eine Hardwarekomponente zur Erzeugung von Pseudo-Zufallszahlen (*Random Number Generator* – RNG), die z.B. für Verschlüsselungsalgorithmen benutzt werden können. Der FWH wird gewöhnlich im Multiplexbetrieb gemeinsam mit dem Super-I/O-Baustein über die unten beschriebene LPC-Schnittstelle angesprochen.

#### Hub Interface

Die beiden Brückenbausteine – North und South Bridge – sind heute durch eine schnelle dedizierte Verbindung miteinander gekoppelt, die als **Hub Interface** bezeichnet wird. Sie ist sehr viel leistungsfähiger als bei älteren Chipsätzen, bei denen die North Bridge und die South Bridge sowie alle Ein-/Ausgabeschnittstellen über den relativ langsamen PCI-Bus, der eine maximale Übertragungsrate von 133,33 MB/s erreichte, angebunden wurden. Bei Intel wird diese Verbindung als DMI (*Direct Media Interface*) bezeichnet und überträgt maximal 2 GB/s<sup>8</sup>. AMD (*Advanced Micro Devices*) setzte dafür früher den eigenentwickelten *Hypertransport*-Bus ein, der maximal bis zu 52 GB/s übertragen soll. Bei neueren Chipsätzen verwendet AMD jedoch einen 4 × 4 Leitungen breiten *PCI-Express-Bus* (PCIe-x4), der maximal 4 GB/s übertragen kann (s. Unterabschnitt 1.3.2.). Wie wir aus der Abbildung 1.4 sehen können, muss der MCH mit einem eigenen Kühlkörper ausgestattet werden, da er mit sehr hohen Taktraten arbeitet. Dagegen kommt der ICH meist ohne Kühlkörper aus.

#### Hub-Architektur

Zusammenfassend spricht man bei neueren Chipsätzen meist auch von einer **Hub-Architektur** (*Hub Architecture*). Dabei ist abzusehen, dass durch die Fortschritte der Halbleiter-Integrationstechnologie konsequenterweise bereits

<sup>8</sup>GB/s: Gigabyte/Sekunde, also 10<sup>9</sup> Bytes/Sekunde.



in naher Zukunft die beiden Brückenbausteine, North Bridge und South Bridge, zu einem einzigen *Hub*-Baustein zusammengefasst werden. So wird erwartet, dass die Firma Intel bereits Ende 2009 einen Ein-Chip-Chipsatz auf den Markt bringen wird.

### 1.3.2 North Bridge

Wegen ihrer weit reichenden Funktionen wird die North Bridge auch als *System Controller Hub* bezeichnet. Sie muss den Datenfluss zwischen den verschiedenen Komponenten steuern und setzt dazu Schreib- und Leseanforderungen des Prozessors, des Graphikcontrollers oder einer Komponente an der South Bridge in Speicher-Buszyklen um. Dazu muss die North Bridge die Protokollanpassungen zwischen dem Prozessorbus, dem Speicherbus und der Graphikcontroller-Schnittstelle (s.u.) vornehmen. Zum Geschwindigkeitsausgleich speichert sie alle transportierten Daten zwischen. Dies geschieht in Registersätzen, die als Warteschlangen organisiert sind (*First in, First out* – FIFO) und für jede Übertragungsrichtung (*Read/Write* – RD/WR) und Quelle/Ziel-Kombination getrennt vorhanden sind. Die Puffer besitzen unterschiedliche Größen und erlauben mit ihren dediziert ausgelegten Verbindungen den simultanen Transport von Daten.

Die Verbindung des Prozessorbausteins mit der North Bridge wird über den bereits genannten Prozessorbus vorgenommen, der auch als CPU-Bus oder – anschaulich – als *Front Side Bus* (FSB) bezeichnet wird. In den Anfangszeiten der Chipsätze wurde dazu der Systembus des Prozessors, bestehend aus Adress-, Daten- und Steuerbus, verwendet. Zur Erhöhung der Leistungsfähigkeit ersetzte die Firma AMD den Systembus aber schon seit Jahren durch ihre Hypertransport-Verbindung, von der gleich drei Schnittstellen auf den Prozessoren zur Verfügung gestellt werden.

Front Side Bus

**HyperTransport** ist eine Technologie, die für den Einsatz an verschiedensten Stellen einer Hauptplatine vorgesehen ist. Dabei handelt es sich um eine Punkt-zu-Punkt-Verbindung, die über zwei getrennte unidirektionale Pfade eine Vielzahl von Halbleiterbausteinen – also Prozessoren, Brücken, Speichereinheiten und Peripheriekomponenten – im Vollduplex-Betrieb miteinander koppelt. Die Verbindungspfade sind als parallele Busse ausgelegt. Ihre Breite kann in Abhängigkeit von den angeschlossenen Komponenten 2, 4, 8, 16 oder 32 Bit betragen, wobei die Verbindungen der beiden Übertragungsrichtungen unterschiedliche Breiten haben können. In HyperTransport-Systemen sind Taktfrequenzen bis zu 800 MHz möglich, wobei eine Zweiflanken-Übertragung (*Double Data Rate* – DDR, *Doubled Pumped*) eingesetzt wird. Die Übertragungsrate pro Richtung liegt damit bei 400 bis 1.600 MegaTransfers pro Sekunde (MT/s). Sie entspricht einer Datenrate von 100 bis 6.400 MB/s für jede der beiden Richtungen einer Verbindung, also einer maximalen Gesamtrate von 12,8 GB/s. Die Übertragung der Informationen geschieht in Form von kurzen Paketen mit einer maximalen Länge von 64 Bytes. Dabei werden Anforderungs-, Antwort- und Rundspruchpakete unterschieden, die jeweils Befehle, Adressen und Da-

Hypertransport

LVDS	ten enthalten können. Zur Übertragung der Signale auf den Busleitungen wird das LVDS-Verfahren ( <i>Low Voltage Differential Signalling</i> ) verwendet, das die Signale über Leitungspaare mit entgegengesetztem Signalpegel und niedrigen 1,2V-Spannungsdifferenzen schickt. (Dieses Verfahren dient zur Unterdrückung von Fehlern, die durch elektrische Störungen hervorgerufen werden. Diese Störungen wirken in der Regel auf beide Leitungen in derselben Weise ein und können daher vom Empfänger durch Differenzbildung herausgefiltert werden.)
QuickPath Interconnect	Die Firma Intel hingegen hielt sehr lange an ihrem speziellen Systembus, dem <i>Front Side Bus</i> (FSB) des Pentium 4, fest. Erst in der neuesten Prozessorgeneration, dem Intel Core i7, hat auch Intel den Übergang zu einer speziellen Punkt-zu-Punkt-Schnittstelle zur North Bridge vollzogen. Der <b>QuickPath Interconnect</b> (QPI) besteht aus zwei einzelnen Verbindungen ( <i>Links</i> ) für jede Richtung des Datentransfers. Jeder Link überträgt 20 unidirektionale Signale in differenzieller Form, d.h. jeweils auf einem Leitungspaar in unterschiedlichen logischen Pegeln. Dazu kommt für jede Richtung noch ein Leitungspaar für die Übermittlung eines Taktsignals, sodass der QPI insgesamt aus 84 Leitungen besteht. Von den 20 Datenleitungen werden 16 für die parallele Übertragung von Zwei-Byte-Daten benutzt, die restlichen vier werden zur Fehlerkorrektur und zur Kontrolle der Übertragungen eingesetzt. Der QPI arbeitet mit (zunächst) 3,2 GHz, wobei nach dem Zweiflankenverfahren ( <i>Double Data Rate – DDR</i> ) beide Flanken des Taktes zur Übertragung verwendet werden. Damit sollen nun Übertragungsraten bis zu 25,6 GB/s ermöglicht werden, davon je 12,8 GB/s für jede Übertragungsrichtung.
Speicher-Controller	Wesentlicher Bestandteil konventioneller North Bridges ist der <b>Speicher-Controller</b> ( <i>Memory Controller</i> ), der über ein oder zwei unabhängige Schnittstellen („Kanäle“) den Zugriff auf die Speichermodule des Hauptspeichers erlaubt. Über jede Schnittstelle können Daten mit einer Übertragungsrate von max. 12,8 GB/s geschrieben oder gelesen werden. Der Controller erzeugt – oft für unterschiedliche Typen von Speicherbausteinen – alle benötigten Steuersignale und übernimmt ggf. das Auffrischen der dynamischen Speicherbausteine ( <i>Refresh</i> ). Diese speichern die Information in winzigen Kondensatoren und würden ohne diese Maßnahme im Sekundenbereich ihre Information verlieren. Bei Verwendung eines ECC-geschützten Speichers ( <i>Error Correcting Code</i> ) übernimmt der Speicher-Controller die Überprüfung und Reaktion auf Speicherfehler durch spezielle zusätzliche ECC-Bits. Der Speicher-Controller enthält Puffer zur Bearbeitung mehrerer Schreib-/Lesezugriffe und sorgt für deren geordnete Abarbeitung. Dadurch werden insbesondere Ladezugriffe ( <i>Line Fill</i> ) auf den schnellen Zwischenspeicher, dem <i>Cache</i> , unterstützt. Auf den Aufbau der Speichermodule, die zur Realisierung des Hauptspeichers eingesetzt werden, gehen wir in einem eigenen Unterabschnitt 1.3.4 ausführlich ein.
Cache	
Speicherkanal	Bereits mit dem Athlon 64 begann die Firma AMD damit, den Speicher-Controller aus der North Bridge in den Prozessorchip selbst zu verlagern und so der CPU über dedizierte Speicherschnittstellen („Kanäle“) mit jeweils 64

Bit Breite einen schnelleren konfliktfreien Zugriff auf den Speicher zu ermöglichen. Diesen Schritt hat die Firma Intel mit ihrer Prozessorfamilie Intel Core i7 nun nachgeholt und ermöglicht den Speicherzugriff sogar über drei unabhängige Kanäle. Damit wird eine maximale Übertragungsrate von zusammen bis zu 25,6 GB/s erreicht. In Abbildung 1.6 ist die Integration des Speicher-Controllers in den Prozessorbaustein gestrichelt angedeutet.

Die zweite wichtige Komponente, die über die North Bridge angesteuert wird, ist die **Graphikeinheit**, die aus einem oder zwei Graphikcontrollern besteht<sup>9</sup>.

Der Anschluss der Graphikcontroller an die North Bridge geschieht heutzutage meist über den *PCI-Express*, auch als PCIe bezeichnet, der als skalierbare Variante des älteren PCI-Busses zuerst in den Intel-Chipsätzen eingeführt wurde. Die PCIe-Verbindung wird nicht mehr als paralleler Bus ausgeführt, sondern besteht aus einer oder mehreren bidirektionalen seriellen Verbindungen, die als *Lanes* bezeichnet werden. Jede *Lane* stellt (nach der Spezifikation 2.0) eine Nutz-Transferrate<sup>10</sup> von 500 MB/s je Richtung bereit. Um auch dem Leistungsbedarf künftiger Graphikanwendungen gerecht zu werden, wurden für den Anschluss von Graphikkarten von Anfang an gleich 16 *Lanes* verwendet, die Übertragungen mit 16-facher Geschwindigkeit erlauben. Die Schnittstelle, der Graphikport, wird dementsprechend mit PCIe-x16 bezeichnet und ermöglicht eine maximale Übertragungsrate von ca. 8 GB/s in jeder Richtung, also zusammen 16 GB/s.

Bei Chipsätzen für PCs im Niedrig-Kosten-Bereich oder für den Einsatz in tragbaren Geräten (*Laptops*, *Notebooks* usw.) ist der Graphikcontroller häufig in der North Bridge selbst integriert, die dann – wie bereits gesagt – als *Graphics Memory Controller Hub* (GMCH) bezeichnet wird.

### 1.3.3 South Bridge

Die Hauptaufgabe der *South Bridge* ist es, die Kommunikationsverbindungen und -vorgänge zwischen den unterschiedlichen Ein-/Ausgabeeinheiten zu regeln. Die Anforderungen an die Übertragungsgeschwindigkeiten dieser Verbindungen sind dabei – gemessen an den über die North Bridge laufenden Übertragungen – relativ gering. Als weitere Aufgabe stellt die South Bridge eine Reihe von internen Controllern zur Verfügung, die seit den Anfangstagen des PCs dazugehören, wie z.B. einen Zeitgeber/Zähler (*Timer/Counter*), eine batteriegepufferte Echtzeituhr (*Real Time Clock* – RTC) mit dem sog. CMOS-RAM zur Speicherung wichtiger Systemdaten sowie einen Tastatur-, DMA- (*Direct Memory Access*) und Interrupt-Controller (*Advanced Programmable Interrupt Controller* – APIC). Häufig bietet sie auch allgemein verwendbare digitale Ein-/Ausgabeleitungen (*General Purpose I/O* – GPIO), die der Anwender unter Programmkontrolle für beliebige Steuer- und Abfrageaufgaben einsetzen kann. Für die Kommunikation mit den Ein-/Ausgabegeräten stellt die South Bridge

<sup>9</sup>Der Einsatz von zwei getrennten, aber verzahnt zusammen arbeitenden Graphikcontrollern wird insbesondere von Computerspielern geschätzt.

<sup>10</sup>d.h. ohne Anrechnung von eingefügten Steuerbits

eine ganze Reihe von Standard-Ein-/Ausgabeschnittstellen zur Verfügung, die wir nun kurz behandeln wollen.

### • Die USB-2.0-Schnittstellen

Der USB 2.0 (*Universal Serial Bus*) ist eine Schnittstelle zwischen Computer und Peripheriegeräten (z.B. Drucker, Scanner usw.), die von einem Firmenkonsortium definiert wurde (u.a. Compaq, IBM, DEC, Intel, Microsoft) und als Ziel die einfache Erweiterbarkeit des PCs um unterschiedliche Peripheriegeräte ohne das früher übliche Kabelgewirr hatte. Der Anschluss der Geräte geschieht über eine kostengünstige Schnittstelle mit einheitlichen billigen Steckern; die Übertragung läuft seriell über ein abgeschirmtes 4-Draht-Kabel, über das auch die Spannungsversorgung für Geräte mit niedrigem Leistungsbedarf ( $< 500 \text{ mA}$ ) geführt wird. An den so genannten „Wurzelknoten“ (*Host Controller, Root Hub*) können bis zu 127 Geräte angeschlossen werden, die in Form eines Baumes angeordnet sind: Die „Blätter“ werden von den Endgeräten, die Verzweigungen durch die *Hubs* (engl. für Nabe, Mittelpunkt, Kern...) gebildet. Das sind spezielle externe Geräte oder integrierte Einheiten mit einer Schnittstelle in Richtung des Wurzelknotens (*Upstream Port*) und bis zu acht Schnittstellen in Richtung der Endgeräte (*Downstream Ports*). Ein Hauptvorteil von USB liegt darin, dass neue Geräte bei laufendem Rechner und ohne Installation von Gerätetreibern (*Hot Plug and Play*) hinzugefügt werden können. Dazu überwacht ein *Hub* alle an ihn angeschlossenen Geräte und ihre Versorgungsspannung. Er informiert den *Host Controller* über alle Änderungen, z.B. über das Entfernen oder Hinzufügen eines neuen Gerätes. Er kann jeden *Downstream Port* individuell aktivieren, deaktivieren oder zurücksetzen. Zwischen dem Wurzelknoten und einem Endgerät dürfen maximal sieben Kabelsegmente mit einer Gesamtlänge von 35 m, also maximal sechs *Hubs*, liegen.

Die USB-Schnittstelle überträgt Daten in drei Geschwindigkeiten, die in gemischter Form eingesetzt werden können: 1,5 Mbit/s (*Low Speed*), 12 Mbit/s (*Full Speed*) und 480 Mbit/s (*High Speed*), was im letzten Fall einer Rohdatenrate von maximal 60 MB/s entspricht. Die gesamte Übertragung im USB wird vom *Host Controller* gesteuert. Dazu fragt er in einer festgelegten Reihenfolge, aber mit unterschiedlicher Wiederholrate, alle angeschlossenen Geräte nach Übertragungswünschen ab. Dieses so genannte *Polling* geschieht in Zeitrahmen von 1 ms, die für die *High-Speed*-Übertragung noch einmal in acht 125- $\mu\text{s}$ -Rahmen unterteilt werden. Die Daten werden in Form von Datenblöcken, sog. Paketen, versendet. In jedem Rahmen gibt es reservierte Zeitschlitz für unterschiedliche Datentypen und Übertragungen:

- Kontinuierlich und in Echtzeit anfallende Daten, die keine Unterbrechung und Verzögerung erlauben, werden in Form der **isochro-**

**nen Übertragung**<sup>11</sup> ausgetauscht. Es findet keinerlei Fehlerüberwachung oder erneute Übertragung eines fehlerhaften Datenpaket statt. Beispiele für solchermaßen übertragene Daten sind Sprach-, Audio- und Video-Daten. isochrone Übertragung

- Als sog. **Interruptdaten** werden nicht periodisch, sondern spontan auftretende Datenmengen gesendet, die z.B. von der Tastatur oder der Maus stammen. Hier findet eine Fehlererkennung mit eventueller Wiederholung des Pakets statt.
- Zu den so genannten **Steuerdaten** (*Control Data*) zählen alle Daten zur Identifikation, Konfiguration und Überwachung der Geräte und der *Hubs*.
- Massendaten, d.h. größere Datenmengen ohne Echtzeitanforderungen, werden mit der **Bulk-Übertragung** transportiert. Hier findet eine Fehlererkennung mit eventuellen Wiederholungsversuchen statt. Typische Geräte für diese Übertragungsart sind Drucker, Scanner und Modems.

Im USB wird der Erhalt jedes Pakets vom Empfänger quittiert. Dazu hat der drei Möglichkeiten: Er kann den fehlerfreien Erhalt durch ein ACK-Quittungspaket bestätigen (*Acknowledge*) bzw. den fehlerhaften Fall durch das Auslassen dieser Quittung anzeigen. Durch ein NAK-Paket (*Non Acknowledge*) kann er mitteilen, dass momentan kein Senden oder Empfangen eines Pakets möglich ist. Durch ein STALL-Paket wird angezeigt, dass das angesprochene Gerät außer Betrieb oder ein Eingriff des *Host Controllers* nötig ist. Quittungspaket

#### • Die FireWire-Schnittstelle (IEEE 1394)

Der IEEE-1394-Bus ist eine standardisierte Weiterentwicklung der FireWire-Schnittstelle der Firma Apple<sup>12</sup>. Typische Anwendungen liegen in den Bereichen Audio, Video und Multimedia, wo man ihn z.B. in Festplatten, CD-ROM- und DVD-Laufwerken und -Brennern findet. So wird er insbesondere als i.Link in CamCordern häufig eingesetzt. Der Standard IEEE 1394a sieht Übertragungsraten bis zu 400 Mbit/s vor, der Standard IEEE1394b solche bis 3200 Mbit/s. Dabei unterstützt er – wie der USB – neben der asynchronen auch die isochrone Übertragung. Bei der asynchronen Übertragung wird wiederum jedes Paket vom Empfänger durch ein Quittungspaket (ACK) beantwortet und im Fehlerfall automatisch wiederholt. Bei der isochronen Übertragung wird auf diese Quittierung verzichtet. Andere Gemeinsamkeiten mit dem USB sind die kostengünstigen Stecker und Verbindungskabel, die einfache Erweiterbarkeit des Systems, die (eingeschränkte) Spannungsversorgung über das Anschluss- i.Link-Schnittstelle

<sup>11</sup>Isochron bedeutet sinngemäß: zum gleichen Zeitpunkt im Zeitrahmen auftretend.

<sup>12</sup>Vereinfachend bezeichnen wir im Weiteren den Bus meist nur noch als FireWire.

kabel, das Hinzufügen bzw. Entfernen von Geräten während des Betriebs (*Hot Plug and Play*).

Anders als eine USB-Vernetzung hat ein System, das auf dem FireWire basiert, keine Baumstruktur. Hingegen lässt der FireWire fast beliebige Netzstrukturen zu – solange dabei keine Schleifen auftreten. Alle Verbindungen sind Punkt-zu-Punkt-Verbindungen, wobei in den Endgeräten Verzweigungen realisiert werden können. Dabei kann jeder Knoten im FireWire bis zu 27 Anschlüsse (*Ports*) für weitere Knoten besitzen. Zur Kopplung von FireWire-Bussen können aber auch externe Einheiten, sog. *Repeater* oder Brücken (*Bridges*), eingesetzt werden. Insgesamt kann ein FireWire-System maximal 1023 Teilbusse mit jeweils höchstens 63 Knoten umfassen. Auf den Verbindungsleitungen können unterschiedliche Übertragungsgeschwindigkeiten verwendet werden. Die Knoten im FireWire sind Rechner oder Endgeräte, wobei Busse aber auch ohne Rechner arbeiten können. Das heißt, dass – anders als beim USB – eine Datenübertragung auch direkt zwischen Endgeräten stattfinden kann. Das Bussystem ist selbstkonfigurierend, d.h. nach dem Einschalten oder Rücksetzen ermitteln die Knoten selbst, wer von ihnen die Funktion des Wurzelknotens (*Root Node*) wahrnehmen darf. Die maximale Entfernung zwischen zwei Knoten beträgt beim FireWire mit Kupferkabel-Verbindungen ungefähr 72 m, durch Einsatz einer Glasfaserverbindung können bis zu 1600 m überbrückt werden. Dabei dürfen zwischen zwei Knoten höchstens 16 Kabelsegmente liegen.

- **Die PCI-Bus-Schnittstelle**

Der PCI-Bus (*Peripheral Component Interconnect*) war lange Zeit der am weitesten verbreitete Busstandard für Ein-/Ausgabekarten. Er wurde ursprünglich von Intel eingeführt. Später fand man aber PCI-Steckplätze bei allen Desktop-Computern, d.h. PCI wurde auch durch Chipsätze anderer Prozessorhersteller unterstützt. Der PCI-Bus überträgt die Daten entweder auf einem 32-Bit-Datenbus mit (gerundet) 33,33 MHz oder einem 64-Bit-Datenbus, der mit (gerundet) 66,67 oder 133,33 MHz (*extended PCI* bzw. PCI-X) getaktet wird. Dabei ist der PCI-X kein Bus im herkömmlichen Sinne mehr, sondern eine Punkt-zu-Punkt-Verbindung zum Anschluss einer einzigen Komponente. Aus den Kenndaten ergibt sich eine Datentransferrate von 533,33 MB/s bis zu 1,067 GB/s.<sup>13</sup> Der PCI-Bus wird auf modernen Hauptplatinen nur noch aus Kompatibilitätsgründen als „Erblast“ (*Legacy*) implementiert und wird wohl über kurz oder lang vom Markt verschwinden. Deshalb wollen wir ihn im Rahmen dieses Kurses nicht weiter beschreiben.

- **Die PCIe-Schnittstellen**

Das Grundkonzept des PCIe (auch: PCI-E) wurde bereits im Unterabschnitt 1.3.2 kurz beschrieben. Der PCIe wurde ab 2004 von der Firma

---

<sup>13</sup>Genauere Werte bekommt man, wenn man – anstatt mit den gerundeten Datentransferraten – mit den entsprechenden Schwingungsdauern 30, 15 bzw. 7,5 ns rechnet.

Intel eingeführt; inzwischen werden seine Spezifikationen von einer Firmengruppe (*PCI Special Interest Group* – PCI-SIG) betreut, der fast alle namhaften Chiphersteller angehören. Beim PCIe handelt es sich um eine skalierbare, d.h. den Anforderungen des Einsatzbereichs anpassbare Anzahl von seriellen Punkt-zu-Punkt-Verbindungen, den sog. *Lanes* (Bahn, Weg), die die angeschlossenen Bausteine über schnelle Schaltungen mit dem Computersystem verbinden. Durch die Bündelung von mehreren parallelen PCIe-*Lanes* können leicht verschiedene, den jeweiligen Erfordernissen angepasste Übertragungsbandbreiten realisiert werden. Die Anzahl der *Lanes* einer Verbindung wird mit einem kleinen vorangestellten  $x$  angegeben. So sind also Systeme mit PCIe-x1, PCIe-x2 bis zu PCIe-x32 möglich. (Im PC-Bereich sind bis heute jedoch nur Systeme bis zu PCIe-x16 realisiert.) Durch die Anpassung der Anzahl der *Lanes* an die Erfordernisse einer Verbindung spart man u.U. sehr viele Verbindungsleitungen, denn insgesamt werden für eine *Lane* nur vier Leitungen benötigt, je zwei für eine Richtung.<sup>14</sup> Durch diesen drastischen Wegfall von Leitungen vereinfachen und verbilligen sich auch die Steckverbindungen. Die sind so realisiert, dass eine Erweiterungskarte mit  $n$  *Lanes* auch in einen Slot für  $m$  *Lanes* eingesetzt werden kann, solange  $m > n$  ist.

Anders als beim Vorgänger, dem PCI-Bus, der die vom Prozessor ausgehenden Adressen und Daten direkt übertrug, werden im PCIe die Daten in Form von Paketen übertragen. Das sind Datenblöcke, die durch einen Paketkopf mit Quelladressen und Paketnummer sowie eine Prüfsumme am Ende (*Cyclic Redundancy Check* – CRC) ergänzt werden. Werden durch die Prüfsumme Übertragungsfehler angezeigt, so fordert der PCIe-Controller automatisch eine erneute Aussendung desselben Pakets an. Durch die Paketnummer wird sichergestellt, dass das erneut ausgesendete Paket vom Empfänger in die richtige Reihenfolge gesetzt werden kann, auch wenn bereits Folgepakete eingetroffen sind.

Im Gegensatz zum älteren PCI-Bus gibt es bei PCI-Express keine Einsteckplätze (*Slots*) an einem gemeinsamen Bus, sondern *geschaltete Ports*. Dies bedeutet, dass den einzelnen PCI-Express-Karten stets die volle Bandbreite zur Verfügung steht, da hier keine Zugriffskonflikte wie beim PCI-Bus auftreten können. Die South Bridge ist dabei in der Lage, simultan über mehrere PCIe-Verbindungen Daten und das in beiden Richtungen – vom bzw. zum Gerät – zu übertragen. Dazu verwendet sie einen sog. Kreuzschienenschalter (*Crossbar Switch*), der es erlaubt, der mehrere Quellen von Datenübertragungen mit ihren jeweilige Zielen gleichzeitig verbinden kann.

<sup>14</sup>Auf jedem Leitungspaar werden die Signale zur Erhöhung der Störsicherheit differentiell übertragen, d.h. mit jeweils entgegengesetztem logischen Pegel. Störungen wirken sich in der Regel auf beide Leitungen gleichartig aus und können daher durch die Differenzbildung der Pegel herausgefiltert werden.

Die PCIe-Spezifikation sieht auch vor, dass Einsteckkarten im laufenden Betrieb gewechselt werden können (*Hot Plugging*). Von dieser Fähigkeit könnten vor allem mobile Systeme wie Notebooks profitieren. Neben der im Unterabschnitt 1.3.2 erwähnten Verbindung von Graphikadapter mittels PCIe-x16 sind im Serverbereich durch den Maximalausbau von 32 Lanes, PCIe-x32 genannt, auch bidirektionale Hochgeschwindigkeitsverbindungen mit bis zu 16 GB/s pro Übertragungsrichtung, also insgesamt 32 GB/s möglich.

#### • Die IDE-Schnittstellen

Die IDE-Schnittstelle ist technisch überholt und wird für neue Festplatten nicht mehr verwendet. Da sie aber auch auf modernen Hauptplatinen noch vorhanden ist (vgl. Abbildung 1.4), soll sie hier kurz beschrieben werden.

IDE (*Integrated Drive Electronics*) ist eine standardisierte Schnittstelle zum Anschluss von nichtflüchtigen Speichermedien, wie Festplattenlaufwerken, CD-ROMs und DVD-Laufwerken. Sie ist auch unter dem Namen ATA (*Advanced Technology Attachment*) bekannt. Die Beschränkung auf Plattengrößen von 528 MB wurde durch die Erweiterung zu EIDE (Extended IDE) aufgehoben. Die maximale Datenrate des EIDE-Busses 133 MB/s. Man muss allerdings beachten, dass diese Datenrate nur dann erreicht wird, wenn die Laufwerkselektronik die Daten bereits in ihrem internen (Cache-) Speicher hat. Die permanente Datenrate zwischen Festplatte und Laufwerkselektronik liegt deutlich unter dem o.g. Wert.

Das *IDE Interface* bietet zwei getrennte Schnittstellen („Kanäle“) für den Anschluss von Massenspeichergeräten, also Festplatten- (*Hard Disk Drive* – HDD), CD-ROM-, DVD-Laufwerken (*Digital Versatile Disk*) und natürlich die immer beliebter werdenden Programmiergeräte für CD-ROMs oder DVDs („Brenner“). Die Bezeichnung IDE (*Integrated Drive Electronics*) zeigt an, dass diese Schnittstelle Geräte mit integrierten Controllern verlangt und selbst keinerlei Ansteuerlogik zur Verfügung stellt. Die IDE-Schnittstellen im PC wurden von der ANSI (*American National Standards Institute*) standardisiert. Diese „genormten“ Schnittstellen wurden zuerst im IBM-AT-PC eingesetzt und tragen daher die Bezeichnung ATA (*Advanced Technology Attachment*). Die anschließbaren Geräte werden dementsprechend ATAPI-Geräte (*ATA Packet Interface*) genannt.

Die beiden o.g. Kanäle werden als primärer und sekundärer Kanal (*Primary, Secondary Channel*) bezeichnet und erlauben jeweils den Anschluss von bis zu zwei Geräten. Diese werden *Master* und *Slave* genannt. Sie müssen ihre Funktion durch kleine Steckbrücken auf ihrer Platine und ihre Platzierung in den entsprechenden Steckplatz zugewiesen bekommen. Jedes der maximal 4 IDE-Geräte kann unabhängig voneinander durch die IDE-Schnittstelle aktiviert oder deaktiviert werden. Die Deaktivie-



nung versetzt die Leitungen des „abgeschalteten“ Gerätes in den (hochohmigen) *Tristate*-Modus. In diesem Modus kann das Gerät während des Betriebs des PCs aus dem Rechner entfernt bzw. (wieder) eingesetzt werden (*Hot Swap*).

Die ANSI hat im Laufe der Jahre eine ganze Reihe von Standards der ATA-Schnittstelle erstellt, die sich insbesondere durch die Übertragungsleistung der Schnittstelle unterscheiden. Üblich sind heute die Standards Ultra-ATA/66 und Ultra-ATA/100, die (theoretisch) eine maximale Über- Ultra-ATA  
tragungsrate von 66 bzw. 100 MB/s erreichen. Diese Raten werden jedoch nur im DMA-Modus erreicht, bei dem der Gerätecontroller als *Bus Master* selbst die Datenübertragung durchführt. (Daher stammt auch die häufig verwendete Bezeichnung: UltraDMA – UDMA.) Außerdem werden sie nur bei Lesezugriffen erreicht. Schreibzugriffe ermöglichen nur eine um ca. 10 % geringere Übertragungsrate (88,9 MB/s). Noch langsamer sind die sog. PIO-Zugriffe (*Programmed Input/Output*), bei denen der Prozes- PIO-Modus  
sor jedes Datum selbst übertragen muss. Hier werden maximal 16 MB/s erreicht.

Die IDE-Schnittstellen können in zwei verschiedenen Modi arbeiten:

- Im sog. *Legacy Mode* müssen den Geräten der IDE-Kanäle bestimmte Legacy Mode  
Eingänge des Interrupt-Controllers fest zugewiesen werden. Wie weiter unten beschrieben, sind dies IRQ14 und IRQ15. Außerdem werden die Steuer- und Statusregister ihrer Controller und festgelegten Adressen im Ein-/Ausgabe-Adressbereich (*I/O Address Space*) des Prozessors angesprochen.
- Im *Native Mode* werden sie über spezielle Register in ihrem Kon- Native Mode  
figurationsbereich definiert und benötigen daher keine festgelegten Interrupt-Eingänge und I/O-Adressen.

### • Die serielle ATA-Schnittstelle (SATA, eSATA)

Das *Serial ATA Interface (SATA Interface)* wurde aus dem oben beschriebenen IDE/ATA-Standard entwickelt und dient wie dieser dem Datenaustausch mit nichtflüchtigen Speichermedien. Um die Zahl der benötigten Adern zu verringern und damit die Kabelführung zu vereinfachen, wurde ein serielles Übertragungsprotokoll eingeführt. Kompatibilität wird durch SATA/ATA-Adapter erreicht, über die SATA-Geräte auch an der IDE-Schnittstelle eingesetzt werden können (*Standard-ATA Emulation*).

Während die erste SATA-Spezifikation eine Datenrate von 150 MB/s vorsah, arbeitet der neue Standard SATA Revision 2.x (bzw. SATA 3Gb/s+) bereits mit der doppelten Datenrate von 300 MB/s, was einer Brutto-Datenrate von ca. 3 Gbit/s entspricht. Daraus resultiert die gebräuchliche

## LVDS

Bezeichnung SATA/300.<sup>15</sup> Um diese hohen Datenraten sicher zu erreichen, benutzt man die Signalübertragung mit dem so genannten LVDS-Verfahren (*Low Voltage Differential Signalling*), das zur Unterdrückung von Fehlern, die durch elektrische Störungen hervorgerufen werden, die Signale über Leitungspaare mit entgegengesetztem Signalpegel und niedrigen Spannungsdifferenzen überträgt.

Das *SATA Interface* stellt ebenfalls zwei unabhängig arbeitende Schnittstellen (gekennzeichnet durch 0 bzw. 1 in den Signalbezeichnungen), die jede für sich aktiviert und deaktiviert werden kann. Diese Schnittstellen werden durch zwei unabhängige Controller im *Bus Master*-Modus betrieben, d.h. sie können selbständig auf den Hauptspeicher zugreifen. Im Unterschied zum Standard-ATA sind jedoch nur Punkt-zu-Punkt-Verbindungen, also keine Master/Slave-Konfigurationen möglich. Insgesamt können somit nur bis zu zwei SATA-Geräte, d.h. Festplattenlaufwerke (*Hard-Disk Drive* – HDD) oder ATAPI-Geräte, betrieben werden. Im Gegensatz zur parallelen ATA-Schnittstelle ist mit SATA ein Wechsel des Speichermediums im laufenden Betrieb möglich (*Hot Plugging*). Jedoch ist ein unerwartetes Entfernen bzw. Hinzufügen eines SATA-Gerätes nicht zulässig; es muss erst durch Software vorbereitet werden, indem z.B. das Betriebssystem die gewünschte Schnittstelle in den *Power-Down*-Modus schaltet.

## eSATA

Der SATA-Standard sieht nur den Anschluss von Geräten innerhalb des PCs vor. Die eingesetzten Kabel sind deshalb nicht gegen elektromagnetische Störungen abgeschirmt und die Stecker nicht für den Anschluss von externen Geräten ausgelegt. Um auch den externen Anschluss von Geräten über die SATA-Schnittstelle zu ermöglichen, wurden im neuen Standard auch Vorgaben zu externen Steckern und Anschlusskabeln gemacht. Diese Vorgaben definieren nun die externe serielle ATA-Schnittstelle – *External Serial ATA* oder kurz eSATA.

- **Die Audio-Schnittstelle**

Heutzutage finden sich auf den PC-Hauptplatinen Audio-Schnittstellen, die zwei verschiedenen Standards genügen.

## AC'97-Schnittstelle

- Der ältere Standard ist die **AC'97-Schnittstelle** (*AC'97 Link*). Sie bietet dem PC-Entwickler die Möglichkeit, sehr kostengünstig Audio- und Modemfunktionen schon auf der Hauptplatine (*On-board Sound*) zu realisieren und auf den Einsatz einer teuren Audio-Steckkarte (*Soundcard*) zu verzichten. Für diese Funktionen ist lediglich ein so genannter Codec (Codierer/Decodierer, besser: Converter/Deconverter) erforderlich, der in einem einzigen Baustein einen Analog/Digital- sowie einen Digital/Analog-Wandler für mehrere

<sup>15</sup>Wird jedoch eine SATA-Schnittstelle im PIO-Modus betrieben, so reduziert sich die Übertragungsrate auf maximal 16 Mbit/s.

(Stereo-)Kanäle zur Verfügung stellt. Bei dieser einfachen Lösung muss jedoch der Prozessor die „Rechenaufgaben“ zur Erzeugung von Audio-/Modem-Signalen übernehmen, die auf einer „Soundkarte“ von Spezialchips geleistet werden. Maximal sechs verschiedene Codecs können über die AC'97-Schnittstelle mit Ausgabedaten versorgt werden. Diese werden ihnen im Zeit-Multiplexverfahren (*Time Division Multiplex Access* – TDMA) über eine einzige Leitung zugeführt. Man spricht in diesem Fall von bis zu sechs „Ausgabekanälen“. Bei den Codecs kann es sich um Audio-Codecs (AC), um Modem-Codecs (MC) oder aber um kombinierte Audio/Modem-Codecs (AMC) handeln. Die AC'97-Schnittstelle verfügt häufig über einen gesonderten Steckplatz, der mit AMR (*Audio/Modem Riser Slot*) bezeichnet wird und z.B. eine Steckkarte zum Anschluss des PCs an das Telefonnetz aufnehmen kann.

- Die Audio-Schnittstelle moderner Hauptplatinen genügt den Anforderungen des **High Definition Audio-Standards** (HD-Audio), HD-Audio der im Jahr 2004 erlassen wurde und auf Entwicklungen der Firma Intel beruht. Längerfristig soll der HD-Audio-Standard die oben beschriebene AC'97-Schnittstelle ablösen. Audio-Controller nach dem HD-Audio-Standard übertragen Stereo-Signale mit einer Abtastrate von 192 kHz und einer Datenbreite von 32 Bits in bis zu acht getrennten Zeitkanälen (im sog. Zeitmultiplex-Verfahren, *Time Division Multiplex Access* – TDMA). Gibt man diese Kanäle auf sieben Lautsprechern und einem speziellen Bass-Lautsprecher (*Subwoofer*) aus, so erhält man z.B. eine Rundum-Beschallung, die als *7.1 Surround* bezeichnet wird. Der Standard sieht aber auch die simultane Ausgabe von zwei oder mehr unabhängigen Audio-Strömen vor. So kann man sich z.B. mit fünf Lautsprechern und dem Bass-Lautsprecher (*5.1 Surround*) für den Musikgenuss zufrieden geben und die beiden restlichen Kanäle z.B. für eine zweite (Sprach-)Übertragung über einen Kopfhörer benutzen. Auch andere Aufteilungen sind möglich, um so z.B. zwei verschiedene Ausgaben in zwei verschiedenen Räumen zu unterstützen. Zeitmultiplex-Verfahren

Der Standard erweitert auch die Möglichkeiten zur gleichzeitigen Aufzeichnung von Tönen, Geräuschen, Sprache und Musik durch eine Vielzahl von unabhängigen Mikrofonen (*Array Microphone*). Dadurch wird insbesondere die Spracherkennung und die „verständliche“ Übermittlung von Sprache über das Internet (*Voice over IP*) unterstützt.

- **Die Netzwerkschnittstelle (LAN-Link)**

PCs sind in der Regel an ein Lokales Netz (*Local Area Network* – LAN) Lokales Netz angeschlossen. Dabei handelt es sich meist um das so genannte *Ethernet*, bei dem alle Rechner auf dasselbe physische Verbindungsmedium Ethernet

MAC-Schicht	<p>zugreifen und daher Kollisionen auftreten können. Zur Strukturierung der verwendeten Hard- und Software-Technologien und Protokolle wird die Netzwerkschnittstelle eines Rechners gewöhnlich in mehrere Schichten eingeteilt („Schichtenmodell“). Die beiden unteren Schichten des Schichtenmodells sind die MAC-Schicht (<i>Media Access Control Layer</i>) und die PHY-Schicht (<i>Physical Layer</i>). Die MAC-Schicht regelt hauptsächlich den kollisionsfreien Zugriff auf das gemeinsam genutzte Medium. Die unterste PHY-Schicht beschäftigt sich mit den mechanischen und physikalischen Eigenschaften des Verbindungsmediums und um die bitweise Datenübertragung über diese Verbindung.<sup>16</sup></p> <p>Die Netzwerkschnittstellen-Hardware eines PCs besteht in der Regel aus zwei Controllern, die die erwähnten beiden unteren Schichten des Ethernet realisieren, also einem MAC- und einem PHY-Controller. Je nach Aufbau des Chipsatzes existieren heute drei Lösungsansätze:</p> <ul style="list-style-type: none"> <li>– Beide Controller sind extern in getrennten Bausteinen realisiert. Die Ankopplung des MAC-Controllers an die South Bridge geschieht z.B. über den oben beschriebenen PCIe. Die Verbindung zwischen den Controllern geschieht über eine dedizierte schnelle Schnittstelle, die z.T. mehrfach für unterschiedliche Übertragungsgeschwindigkeiten vorhanden sein muss.</li> <li>– Beide Controller sind zusammen in einem externen Ethernet-Controller, also außerhalb der South Bridge, realisiert. Auch in diesem Fall bietet die South Bridge eine spezielle schnelle Schnittstelle zum Ethernet-Controller oder verwendet dazu den PCIe.</li> <li>– Der MAC-Controller ist in der South Bridge integriert, der PHY-Controller muss extern als eigenständiger Baustein ergänzt werden. In diesem Fall werden beide Bausteine durch die im ersten Fall beschriebenen dedizierten Schnittstellen verbunden, die nun von der South Bridge zur Verfügung gestellt werden.</li> </ul>	
PHY-Schicht		
MAC-Controller PHY-Controller		
Ethernet- Standards		

Moderne PCs unterstützen verschiedene Ethernet-Standards, die den Netzwerkanschluss über verdrehte Paare von Kupferkabeln (*Twisted Pair*) vornehmen: Das Standard-Ethernet überträgt mit 10 Mbit/s, das Fast-Ethernet mit 100 Mbit/s und das Gigabit-Ethernet mit 1000 Mbit/s (1 Gbit/s). Ethernet überträgt die Daten in Form von Paketen, die – neben einer jeweils 6 Byte langen Empfänger- und Sender-Adresse und einer 4 Byte langen Prüfsumme – bis zu 1500 Byte von Benutzerdaten enthalten können.

- **Der SMBus** Der SMBus (*System Management Bus*) verbindet wichtige Komponenten der Hauptplatine miteinander. Eine seiner Aufgaben ist

<sup>16</sup>Sie wird daher im Deutschen als Bitübertragungsschicht bezeichnet.

es, Steuer- und Überwachungsinformationen zwischen den Brückenbausteinen und den Speichermodule zu übertragen. Er unterstützt außerdem Überwachungsfunktionen (*Monitoring*) der folgenden Bauteile und physikalischen Größen: Batterie, Lüfter, Temperaturen, Betriebsspannungen für alle Komponenten, PCI-Takt, unterschiedliche Betriebszustände (*Power-Down-Modi*, *Prozessor-Stop-Modus*) usw. Die Ergebnisse seiner Überwachungsfunktion kann er durch Meldung an den Prozessor weiterreichen. Der SMBus erlaubt häufig auch einem externen Mikrocontroller den Zugriff auf bestimmte Systemkomponenten.

Der SMBus ist ein langsamer serieller Bus, der aus dem von der Firma Philips vor ca. 20 Jahren entwickelten I<sup>2</sup>C-Bus zur Verbindung von integrierten Bausteinen (ICs) hervorging. Er besitzt ein einfaches Übertragungsprotokoll.

- **Die LPC-Schnittstelle**

Die wichtigsten Peripheriekomponenten, wie Tastatur- und Maus-Controller usw. sind häufig in einem externen Baustein, dem *Super-I/O*-Baustein (vgl. Abbildung 1.6), untergebracht, der an der *South Bridge* über die LPC-Schnittstelle (*Low Pin Count*) mit insgesamt neun Signalen angeschlossen ist. Adressen und Daten werden über vier Leitungen nacheinander und in mehreren Teilen übertragen (Multiplexbetrieb). Von den restlichen Signalen dient jeweils eines zur Übermittlung des Taktes bzw. zur Kennzeichnung einer laufenden Übertragung. An der LPC-Schnittstelle ist sehr oft auch das BIOS-ROM im *Firmware Hub* (FWH) angeschlossen.

- **Der Interrupt-Controller**

In einem komplexen Mikrorechner-System wie einem PC werden immer wieder Unterbrechungsanforderungen durch die Peripheriekomponenten an den Prozessor gestellt. Diese so genannten *Interrupts* werden dem Prozessor in regelmäßigen oder unregelmäßigen zeitlichen Abständen über spezielle Leitungen übermittelt. Sie zeigen dem Prozessor z.B. an, dass eine Komponente Daten übertragen will oder die Ausführung einer Routine zur Durchführung einer bestimmten Aktion wünscht. Da dazu nicht jeder Komponente eine eigene Leitung zur Verfügung gestellt werden kann, muss ein *Interrupt-Controller* eingesetzt werden, der insbesondere auch die Aufgabe hat, gleichzeitig vorliegende Unterbrechungsanforderungen in eine geeignete Prioritäten-Reihenfolge zu setzen und dem Prozessor über die Anforderungsquelle mit momentan höchster Priorität zu informieren.

Der in der *South Bridge* integrierte Interrupt-Controller unterstützt drei unterschiedliche Möglichkeiten, Unterbrechungsanforderungen der Peripheriekomponenten anzunehmen und zum Prozessor weiterzuleiten.

- In der ersten Version, die als „Altlast“ (*Legacy*) vom IBM AT-PC der 80er Jahre des letzten Jahrhunderts übernommen wurde, besitzt der

IRQ-Router	<p>Interrupt-Controller 15 Eingänge (IRQ0,...,IRQ15 – ohne IRQ2)<sup>17</sup>, die den verschiedenen Interrupt-Quellen zugeordnet werden. Dazu enthält die <i>South Bridge</i> eine besondere Schaltung, <i>IRQ-Router</i> genannt, die die Unterbrechungssignale der internen Brückenkomponenten mit den oben erwähnten Eingängen IRQ0,...,IRQ13 (ohne IRQ2) des Interrupt-Controllers verbindet. Die Eingänge IRQ14 und IRQ15 werden über zwei Anschlüsse der <i>South Bridge</i> nach Außen geführt. Sie sind für die Geräte reserviert, die an den IDE-Schnittstellen betrieben werden, und zwar IRQ14 für den primären Kanal (<i>Primary Channel</i>, s.u.) und IRQ15 für den sekundären Kanal (<i>Secondary Channel</i>). Akzeptierte Unterbrechungsanforderungen reicht der Interrupt-Controller über ein Ausgangssignal (INTR) an den Prozessor weiter.</p>
IDE-Kanäle	
serielle Interrupt- Anforderung	<p>– Bei der zweiten Variante werden Unterbrechungsanforderungen seriell über eine einzelne (bidirektionale) Leitung (<i>Serial Interrupt Request – SERIRQ</i>) an den Interrupt-Controller weitergereicht. Dazu werden über SERIRQ Zeitrahmen aus 32 Schlitzen (<i>Slots</i>), eingerahmt durch einen Start- und einen Stop-Slot, ausgesandt. Jeder Slot kann einer möglichen Interrupt-Quelle zugewiesen werden. Einige Slots sind für spezielle Anforderungen reserviert, darunter die oben genannten 15 Unterbrechungssignale IRQ0,...,IRQ15 (ohne IRQ2). Die restlichen Slots sind frei belegbar.</p> <p>Jede Komponente, die eine Unterbrechungsanforderung an den Interrupt-Controller stellen will, markiert dies in dem ihr zugewiesenen Slot des SERIRQ-Zeitrahmens. Der Interrupt-Controller wertet den empfangenen Zeitrahmen aus, entscheidet über die Unterbrechungsanforderung mit der momentan höchsten Priorität und leitet sie über das o.g. Signal INTR an den Prozessor weiter.</p>
APIC	<p>– In der dritten Variante benutzt der Brückenbaustein eine Erweiterung des oben beschriebenen Interrupt-Controllers, die als <b>APIC</b> (<i>Advanced Programmable Interrupt Controller</i>) bezeichnet wird. Dieser Controller unterstützt bis zu 24 verschiedene Interrupt-Quellen, die seinen Eingängen IRQ0,...,IRQ23 zugewiesen werden. Dabei werden die IDE-Geräte – wie oben beschrieben – wiederum mit den externen Eingängen IRQ14 und IRQ15 verbunden. Die IRQ-Eingänge IRQ16,...,IRQ23 werden insbesondere von den internen Komponenten (USB, <i>LAN Link</i> usw.) benutzt.</p> <p>Der APIC unterscheidet sich von der oben beschriebenen „Legacy“-Variante insbesondere durch die Art, wie die Unterbrechungsanforderungen der Komponenten an den Controller herangeführt werden. Dies geschieht nicht durch die Eingangssignale des Interrupt-</p>

<sup>17</sup> Die Abkürzung IRQ steht für *Interrupt Request*.

Controllers, sondern durch „normale“ Schreibzugriffe auf den Hauptspeicher. Dazu wird dem APIC eine bestimmte Speicherzelle zugewiesen, die als *IRQ PIN Assertion Register* (IRQPA) bezeichnet wird. In dieses „Register“ schreibt eine „unterbrechungswillige“ Komponente ihre spezifische Kennung, die so genannte Interrupt-Vektornummer (IVN).

Der APIC liest die IVN aus dem IRQPA-Register, aktiviert den entsprechenden Interrupt-Eingang und löscht sofort das IRQPA-Register für die nächste Anforderung. Er entscheidet dann über die Prioritäten der aktuellen Unterbrechungsanforderungen. Dabei wird die Prioritäten-Reihenfolge nicht durch die Nummern der zugeordneten Controller-Eingänge festgelegt, sondern sie kann frei zugeordnet werden. Die Interrupt-Vektornummer wird einer Komponente bei der Systeminitialisierung zugewiesen und in ein bestimmtes Register ihres Konfigurationsbereichs eingetragen.

Neben der oben beschriebenen „konventionellen“ Methode, die Unterbrechungsanforderung über das Signal INTR an den Prozessor weiterzureichen, kann der APIC ein weiteres Verfahren dazu anwenden – sofern dieses vom Prozessor unterstützt wird. Dieses wird als *FSB Interrupt Delivery* bezeichnet. Hierbei schreibt die *South Bridge* eine „Unterbrechungsnachricht“ (*Interrupt Message*) in bestimmte Speicherzellen des Hauptspeichers. Durch diese Nachricht und ihre Zieladresse wird die Interrupt-Quelle spezifiziert – für den Einsatz in einem Mehrprozessorsystem aber auch der angesprochene Prozessor.

Der Prozessor liest regelmäßig die Speicherzellen und informiert sich dadurch über eventuelle Unterbrechungswünsche. Aus der gefundenen IVN ermittelt er die Startadresse der verlangten Unterbrechungsroutine (*Interrupt Service Routine* – ISR) und führt sie aus.

Die Vorteile des beschriebenen APIC-Verfahrens sind:

- \* Die Durchführung eines speziellen Buszugriffes zur Ermittlung der IVN (*Interrupt Acknowledge Cycle*) ist nicht nötig.
- \* Es wird keine zusätzliche Busleitung zum Prozessor verlangt.
- \* In einem System sind mehrere APICs mit eigenen Interrupt-Vektoren einsetzbar – insbesondere in einem Mehrprozessorsystem.

- **Die Prozessor- und Systemsteuerung** Die Prozessor- und Systemsteuerung übernimmt üblicherweise die Funktion der Steuerung und Regulierung des Energieverbrauchs im PC. Diese Komponente wird *Advanced Configuration and Power Interface* (ACPI) genannt. Durch ACPI kann das Betriebssystem – nach Vorgaben im BIOS – vielfältige Aufgaben übernehmen, die werbewirksam als TCO-Funktionen (*Total Cost of Ownership*) bezeichnet werden, da sie helfen sollen, die Gesamtkosten für TCO den PC-Besitzer zu vermindern:

- Steuerung und Überwachung der Systemkomponenten,
- Steuerung der Leistungsaufnahme (*Power Management* – ACPI/APM) durch verschiedene Stromspar-Systemzustände (*Low-power States*) und der Deaktivierung nicht gebrauchter Komponenten und Schnittstellen (AC'97 bzw. HDA für Audio und Modem, ATA/IDE, SATA, LAN, USB, SMBus),
- Takterzeugung und -überwachung,
- Systemdiagnose und Meldung von Fehlern; dazu gehören z.B. ECC-Fehler, aber auch Warnungen, wenn das PC-Gehäuse geöffnet wird (*Intruder Detect*),
- Behebung von Systemblockaden, zu deren Erkennung die Zeitgeber-Bausteine (*Timer*) verwendet werden.

#### Steckermodul

Bei heutigen Hauptplatinen werden die unterschiedlichen Komponenten der South Bridge in einem besonderen Platinenbereich mit einem Steckermodul verbunden, das durch eine Aussparung im Gehäuse nach Außen zugänglich ist. Die Lage dieses Steckermoduls wurde bereits in Abbildung 1.4 gezeigt. Abbildung 1.7 zeigt für die dort dargestellte Hauptplatine Intel DX48BT2 die „Außenansicht“ des Steckermoduls mit den verschiedenen Anschlüssen der beschriebenen Schnittstellen.

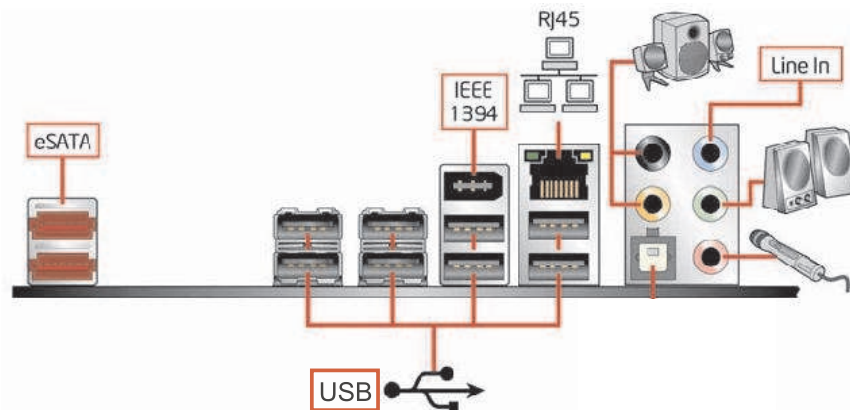


Abbildung 1.7: Ein Schnittstellenmodul.

Das gezeigte Steckermodul bietet acht USB-Anschlüsse. Die zugehörige Hauptplatine bietet, wie fast alle modernen Hauptplatinen, darüber hinaus noch weitere, leichter zugängliche USB-Anschlüsse auf der Frontplatte oder einer Seite des PC-Gehäuses. Die Kennung RJ45 in der Abbildung steht für den Anschluss der Netzwerkschnittstelle, zusätzlich gekennzeichnet durch die Skizze eines kleinen Rechnernetzes. Lautsprecher, Mikrophon und *Line In*<sup>18</sup> kennzeichnen die

<sup>18</sup>*Line In* bezeichnet die Steckbuchse für ein Audio-Eingabegerät, das – anders als das Mikrophon – ohne Vorverstärker auskommt, also z.B. der Ausgang einer Stereoanlage.



---

Anschlüsse der Audio-Schnittstelle. Auch diese ist häufig zusätzlich im vorderen Bereich des PC-Gehäuses zugänglich.

### 1.3.4 Hauptspeicher

#### SDRAM

Der Hauptspeicher eines PCs besteht heutzutage vollständig aus synchronen, dynamischen RAM-Bausteinen (SDRAMs). Dynamische RAMs (*Random Access Memory*) besitzen Speicherzellen, die die Information als Ladungsträger in kleinen Kapazitäten (Kondensatoren) speichern. Der Lesezugriff auf eine Speicherzelle zerstört deren Inhalt, so dass dieser danach erneut eingeschrieben werden muss. Dieses Wiedereinschreiben wird von den Schreib-/Leseverstärkern im Baustein automatisch durchgeführt, sodass sich der Speicher-Controller nicht darum kümmern muss. Aber auch durch unvermeidliche Leckströme werden die Kondensatoren im Laufe der Zeit entladen<sup>19</sup>. Daher muss der Speicher-Controller die gesamte gespeicherte Information in regelmäßigen Abständen von wenigen Millisekunden (max. 64 ms) wieder auffrischen (*Refresh*), was durch Lesezugriffe auf alle Speicherzellen mit dem oben erwähnten automatischen Rückschreiben geschieht, ohne dass der gelesene Speicherinhalt aus dem Speicherbaustein herausgegeben wird.

#### Pufferregister

Der Zugriff auf den Speicher geschieht mit Hilfe eines Taktes, durch den die auszulesende Speicherzelle in ein Pufferregister geladen bzw. aus dem die eingeschriebene Information in die Speicherzelle gelangt. Das Pufferregister kann vom Controller erheblich schneller angesprochen werden (bis zu 800 MHz) als die Speicherzellen selbst (ca. 25 MHz). Wegen dieser Taktsteuerung spricht man von „synchronen Speichern“.

#### DDR-RAM

Seit Anfang 2001 haben sich von den verschiedenen SDRAM-Bausteinen die DDR-SDRAMs, kurz: DDR-RAMs, im großen Umfang durchgesetzt. Ihr großer (namensgebender) Vorteil ist die Eigenschaft, mit jedem Zugriff vorausschauend gleich zwei nebeneinander liegende Speicherwörter aus einem internen Pufferregister zu laden (*Prefetch*) und diese dann in einer einzigen Taktperiode durch zwei Datentransfers zu lesen – je einen mit der positiven und der negativen Taktflanke. Beim Schreiben geht man analog vor, d.h. nachdem ein 64 Bit-Wort mit der ersten Taktflanke zwischengespeichert wurde, werden mit der fallenden Taktflanke ein zweites 64-Bit-Wort übertragen und beide Wörter gleichzeitig in den Speicher eingeschrieben. Zusammen mit einer zweikanaligen Ankopplung können pro Taktzyklus vier Datenwörter zwischen Prozessor und Speicher übertragen werden.<sup>20</sup>

#### DDR2

Bei der zweiten Generation der DDR-RAMs, dem DDR2, wurde die Anzahl der vorausschauend geladenen Speicherwörter auf vier erhöht, die dann in zwei Taktperioden mit vier Datentransfers aus dem internen Pufferregister gelesen werden. Der aktuelle Standard, DDR3, erhöht die Anzahl der simultan gelesenen Speicherwörter weiter auf 8, die in vier Taktperioden übertragen werden. Die beschriebene technologische Entwicklung machte eine Reduzierung der Betriebsspannung von 2,5 V bei DDR-RAMs über 1,8 V bei DDR2-RAMs auf 1,5

<sup>19</sup>Man spricht deshalb von einem „flüchtigen“ Speicher (*volatile Memory*).

<sup>20</sup>Dieses Verfahren wird von Intel als *quad-pumped* bezeichnet.

V bei den DDR3-RAMs nötig und möglich. Momentan werden in PCs hauptsächlich DDR2- und DDR3-Speicherbausteine eingesetzt. Daher beschränken wir unsere weiteren Erläuterungen auf diese Bausteine. Auf ihre genauen Spezifikationen und Eigenschaften gehen wir in einem Unterabschnitt ein.

Durch die beschriebene Integration der DRAM-Speicher-Controller in die *North Bridge* des Chipsatzes bzw. in den Prozessorchip selbst wird einerseits der Aufbau der Speichermodule vereinfacht und kostengünstiger. Andererseits verlangen die großen Stückzahlen und die geforderte Kompatibilität eine gewisse Standardisierung der Module. In Abbildung 1.8 ist eine Platine mit einem DDR2/DDR3-DRAM-Speichermodul skizziert.

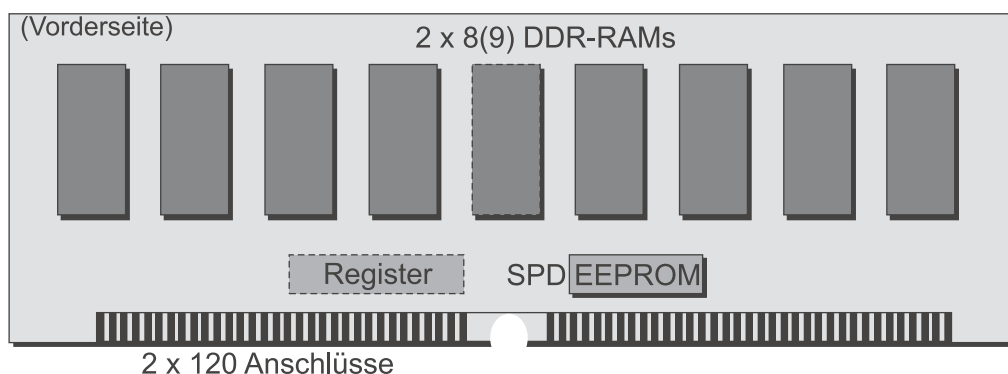


Abbildung 1.8: Der Aufbau eines DDR2/DDR3-Speichermoduls

Diese Platine ist ca.  $133 \times 30 \text{ mm}^2$  groß und wird in einem Steckplatz der Hauptplatine untergebracht. Dazu besitzt sie auf jeder ihrer Platinenseiten an der Unterkante eine Reihe von 120 Steckkontakten, die direkt in die Platinenoberfläche eingeztzt werden („direkte Steckung“).<sup>21</sup> Die beidseitigen Steckkontakte geben dem Speichermodul die Bezeichnung DIMM (*Dual Inline Memory Module*). DIMMs werden in einseitig bestückte DIMMs (*single-sided DIMMs*) und zwei- DIMM  
seitig bestückte DIMMs (*double-sided DIMMs*) unterschieden, je nachdem, ob sie nur auf einer oder aber auf beiden Platinenseiten DRAM-Bausteine tragen. Leider bedingt der Aufbau eines DIMMs und seine Verbindung mit der Hauptplatine über einen Steckplatz eine Verzögerung der Signale zwischen Speicher und Speicher-Controller in der North Bridge. Daher erreichen DIMMs noch nicht die Übertragungsraten, die man in speziellen Systemen (wie z.B. Spielecomputern oder Graphikkarten) durch direkt auf der Systemplatine eingelötete schnelle Speicherbausteine erhält.

Die DIMMs unterscheiden sich nun wesentlich darin, welche Speicherbausteine auf ihnen implementiert sind. Wie gesagt, kann es sich dabei um DDR2- oder DDR3-RAMs handeln. Auch die Kapazität der Bausteine kann variieren. So

<sup>21</sup>In früheren Jahren wurden auch Steckkarten eingesetzt, bei denen die übereinander liegenden Steckkontakte auf beiden Platinenoberflächen jeweils miteinander verbunden waren. Sie wurden SIMMs (*Single Inline Memory Modules*) genannt.

Speicher- Organisation Speicher- Kapazität	können z.B. Speicherbausteine mit einer Datenbreite von $n = 4, 8, 16$ Bit eingesetzt werden. Die Anzahl der Speicherwörter pro Baustein kann bis zu $m = 512M^{22}$ betragen. Die Baustein-Organisation wird gewöhnlich zu $m \times n$ angegeben, d.h. der Baustein enthält $m$ Datenwörter zu je $n$ Bits. Für die Kapazität des Bausteins erhält man daraus $m \cdot n$ Bit. Für $n = 16$ und $m = 512M$ erhält man beispielsweise die Organisation $512M \times 16$ und die Kapazität 8 Gbit, also 1 GB. Die Anzahl der Bausteine und ihre Kapazität bestimmen dann die Gesamtorganisation und -kapazität des DIMMs. Ist das in Abbildung 1.8 dargestellte DIMM z.B. mit DDR3-RAM-Bausteinen mit einer Organisation von $256M \times 4$ , d.h. einer Kapazität $256M \cdot 4 = 1/8$ GB bestückt, so hat das DIMM – bei einer Bestückung mit 16 RAM-Bausteinen – eine Kapazität von 2 GB. Durch eine Erweiterung um zwei zusätzliche Bausteine erhält man Platz für die Aufnahme von Prüfinformationen. Bei der Angabe der DIMM-Kapazität wird dieses zusätzliche Speichervolumen jedoch meistens nicht berücksichtigt.
Page Mode Speicherseite	Die DDR-RAM-Bausteine unterstützen außerdem den „Seitenmodus“ ( <i>Page Mode</i> ), bei dem durch einen Lesezugriff auf ein bestimmtes Speicherwort ein ganzer Block von Speicherzellen, eine so genannte Seite, in ein internes Pufferregister übertragen wird. Aus diesem Puffer kann der Speicher-Controller sehr viel schneller lesen als aus dem Speicher selbst. Die effektiven Zugriffszeiten auf weitere Speicherwörter im selben Block werden dadurch wesentlich verkleinert. Dies wirkt sich insbesondere für Übertragungen ganzer Datenblöcke, sog. <i>Bursts</i> , leistungssteigernd aus. Typische Seitengrößen von DDR-RAMs liegen bei 1 oder 2 KB. Pro Baustein können dabei mehrere Seiten in entsprechenden Pufferregistern des Bausteins abgelegt werden, auf die dann wahlfrei zugegriffen werden kann. Diese aktuell gespeicherten Seiten werden als „offene Seiten“ bezeichnet. Ein einkanaliger Controller kann bis zu 32 offene Seiten verwalten. Außerdem sind die Speicherzellen von DDR-Bausteinen meist in vier bis acht Speicherbereiche, sog. Bänke, unterteilt. Bei der vorgestellten Organisation des DIMMs überträgt sich diese Bankaufteilung auf das gesamte Speichermodule. Bei der Selektion der Speicherwörter wird das Verfahren der „verschränkte Bankadressierung“ ( <i>Bank Interleaving</i> ) angewandt. Spricht man die verschiedenen Bänke mit geeigneten Adresssignalen an <sup>23</sup> , so kann erreicht werden, dass konsekutive Zugriffe mit großer Wahrscheinlichkeit auf verschiedene Bänke ausgeführt werden.
Burst	Abbildung 1.9 skizziert den möglichen Aufbau eines DIMM-Moduls. Dieses DIMM enthält auf jeder Oberfläche neun DDR3-RAM-Bausteine mit der oben gewählten Organisation von $256M \times 4$ . Acht der Bausteine jeder Seite enthalten jeweils 32 Bit der Daten, zusammen also 64-Bit-Daten (8 Byte) – was
verschränkte Bankadressie- rung	

<sup>22</sup>M steht für Mega, also  $2^{20}$ , G für Giga, also  $2^{30}$ .

<sup>23</sup>Welche Signale das sind, hängt von der inneren Organisation der Speicherbausteine, insbesondere auch von der realisierten Seitengröße, ab und kann hier nicht weiter behandelt werden.

der Datenbusbreite der typischen PC-Prozessoren entspricht. In den restlichen beiden Bausteinen wird für diese Datenbits eine 8-Bit-Prüfinformation gespeichert, auf jeder Seite des Moduls also 4 Bit. Speichermodule mit dieser ECC-Erweiterung (*Error Correcting Code*) werden hauptsächlich im Server- und Workstation-Bereich eingesetzt, im Heim- und Bürocomputer-Bereich sind sie (heute noch) eher unüblich. Neben den größeren Kosten haben sie noch den Nachteil, dass sie – durch die Prüfsummenberechnung – Schreibzugriffe auf den Speicher verlangsamen. Um die Transferrate zwischen Hauptspeicher und Prozessor zu erhöhen, unterstützen die meisten Chipsätze den parallelen Zugriff auf zwei Module, d.h. es können gleichzeitig 128 Bit übertragen werden.

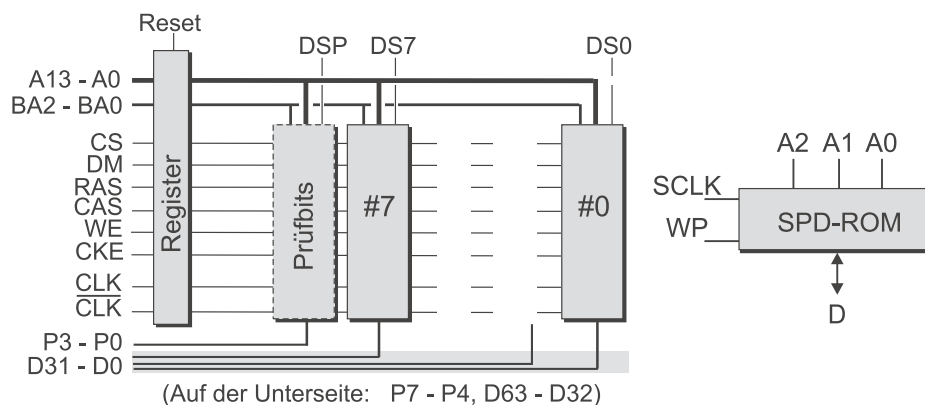


Abbildung 1.9: Blockschaftbild einer Oberfläche des Speichermoduls

Wie bereits gesagt, besitzt jede Oberfläche des DDR-DIMMs 120 Steckanschlüsse, das DIMM insgesamt also 240 Anschlüsse. Für die Datenbits werden insgesamt 64 Anschlüsse benötigt. Dazu kommen noch die acht Anschlüsse für die Realisierung der oben erwähnten ECC-Fehlerüberprüfung/Korrektur – unabhängig davon, ob diese implementiert ist oder nicht. Die Adresse eines Speicherwortes benötigt insgesamt 28 Bit, was gerade den 256M Wörtern jedes Bausteins entspricht. Diese Adressen werden jedoch in drei Teile aufgeteilt, die z.B. folgendermaßen aussehen können: Drei Bits BA2 – BA0 (*Bank Address*) legen eine der oben beschriebenen Bänke fest. Die folgenden 14 Adressbits, Bankadresse die in den Speicherbausteinen eine Zeile von Speicherzellen („Zeilenadresse“) selektieren, werden zunächst über die Adressleitungen A13 – A0 übertragen. Diese Übertragung wird durch das Steuersignal RAS (*Row Address Strobe*) RAS-Signal aktiviert. Erst nach einer gewissen Verzögerung folgen über dieselben Leitungen die restlichen 11 Adresssignale, angezeigt durch das Signal CAS (*Column Address Strobe*). Diese selektieren innerhalb der angesprochenen Speicherzeile CAS-Signal ein bestimmtes Speicherwort („Spaltenadresse“). Die zusätzlichen Anschlüsse der DDR-DIMMs werden hauptsächlich für die differentielle Übertragung der Takt- und Steuersignale benötigt.

Das betrachtete DIMM besitzt außerdem noch ein Register. Nach diesem Re-

registered DIMM	gister wird dieses Speichermodul als <i>registered DIMM</i> (RDIMM) oder <i>buffered DIMM</i> bezeichnet. Dieses Register dient als Treiberbaustein für die Adress- und Steuerleitungen (in Abbildung 1.9: A13 – A0, D63 – D0), die zu allen Speicherbausteinen geführt werden müssen. Es entlastet somit die Ausgangstreiberschaltungen in der <i>North Bridge</i> . Nachteilig wirkt sich jedoch aus, dass die Signale beim Durchlauf durch das Register eine Verzögerung von einer Taktperiode erleiden, der Zugriff auf <i>registered DIMMs</i> also relativ langsam ist. (RDIMMs werden nahezu ausschließlich in Servern eingesetzt.) Es existieren deshalb auch <i>North Bridges</i> , deren Speicher-Controller auch mit schnelleren Speichermodulen ohne Register – sog. <i>unregistered DIMMs</i> bzw. <i>unbuffered DIMMs</i> (UDIMM) – arbeiten können. Auf dem in Abbildung 1.8 gezeigten DIMM erkennt man auch das so genannte SPD-ROM ( <i>Serial Presence Detect</i> ), ein kleiner Festwertspeicher zur Aufnahme von Steuerinformationen in einer 128-byte-Speichertabelle. Das SPD-ROM hat eine Kapazität von 128 oder 256 Byte. Nur die Bedeutung der unteren 128 Byte ist fest vorgegeben, die oberen 128 Byte können vom Hersteller frei belegt werden.
unbuffered DIMM	
SPD-ROM	

### Spezifikationen

JEDEC	Wie von allen wichtigen Komponenten des PCs muss auch von den Speichermodulen erwartet werden, dass sie strengen Spezifikationen gehorchen. Nur so ist es möglich, dass Speicherbausteine, die mit ihnen bestückten Speichermodule, Hauptplatinen und Chipsätze – insbesondere ihre integrierten Speicher-Controller – problemlos funktionieren und „zusammenarbeiten“, auch wenn sie von verschiedenen Herstellern stammen. Bei den Speichermodulen werden diese Standards einerseits von der Firma Intel, andererseits von einem Industriegremium (von ca. 120 Firmen) in den USA vorgegeben. Dieses Gremium nennt sich <i>Joint Electron Devices Engineering Council</i> und gibt die sog. JEDEC-Spezifikationen heraus.
-------	---

MegaTransfers/s	Die maximale Übertragungsleistung eines DDR-RAM-Bausteins wird typischerweise durch die „nominale Datenrate“ vorgegeben. Diese wird bezogen auf die Frequenz des Speichertaktes $freq$ in MHz, mit dem der Baustein als synchrones dRAM intern angesprochen werden kann <sup>24</sup> , und die Anzahl $\pi$ der mit jedem Takt vorausschauend geladenen Speicherwörter, bei DDR2 also $\pi = 4$ , bei DDR3 $\pi = 8$ Wörter. Die Ein-/Ausgabe-Taktfrequenz (E/A-Takt – <i>I/O Clock</i> ) hingegen, mit der die Übertragung zwischen dem Speichercontroller und den Speicherbausteinen durchgeführt wird, ist bei DDR2-RAMs doppelt, bei DDR3-RAMs viermal so hoch wie die Rate des Speichertaktes. Als Angabe für die nominale Datenrate bekommt man $\pi \cdot freq$ , für die wir die Einheit MT/s (Megatransfers/s) benutzen wollen. Die JEDEC-Spezifikation verwendet daher für diese Speicher die Bezeichnung DDR2-( $4 \cdot freq$ ) bzw. DDR3-( $8 \cdot freq$ ).
-----------------	--

<sup>24</sup>Davon zu unterscheiden ist jedoch die Zugriffs- bzw. Zykluszeit auf eine einzelne Speicherzelle, die auch heute noch im vielen ns-Bereich (40 ns oder mehr) liegen.

Beispielsweise steht DDR2-800 für einen DDR2-Speicherbaustein, der intern mit 200 MHz getaktet wird. Sein Pufferregister wird mit der doppelten Ein-/Ausgabefrequenz, also 400 MHz, angesprochen. Die maximale Übertragungsrate beträgt 800 MT/s. Denselben Wert erreicht ein DDR3-800-DIMM mit der halben Speicherfrequenz von 100 MHz.

Da vom Hauptspeicher des PCs mit jedem Transfer 8 Byte übertragen werden, erhält man eine Übertragungsrate von  $\pi \cdot freq \cdot 8$  MB/s.<sup>25</sup> In der JEDEC-Spezifikationen für DDR2- und DDR3-Bausteine und damit aufgebaute Speichermodule werden die heute gebräuchliche Speichermodule in der Form PC2-( $4 \cdot freq \cdot 8$ ) bzw. PC3-( $8 \cdot freq \cdot 8$ ) angegeben, wobei der in den Klammern stehende Wert zur Vereinfachung (auf ganzzahlige Vielfache von 100 MHz) gerundet wird. Häufig findet man auch die genaueren Bezeichnungen aus Modul- und Bausteinbeschreibung, also z.B.: PC2-( $4 \cdot freq \cdot 8$ ) / DDR( $4 \cdot freq$ ). In Tabelle 1.1 werden die wichtigsten Daten einiger dieser Module zusammengefasst. Dazu ist jedoch zu bemerken, dass die Module in realen Anwendungen die aufgeführten („theoretischen“) Maximalwerte kaum erreichen können. Diese setzen z.B. voraus, dass alle Zugriffe auf offene Speicherseiten (*Page Hit*, s.o.) geschehen. Diese Maximalwerte geben daher eigentlich nur die maximale Übertragungsleistung der Schnittstelle zwischen Speicher-Controller und den Speicherbausteinen an.

Tabelle 1.1: Gebräuchliche Speichermodule. (Zahlenwerte z.T. gerundet.)

DIMM- Bezeichnung	Baustein- Bezeichnung	Speichertakt in MHz	E/A-Takt in MHz	nominale Ü.- Rate in MT/s	Ü.-Leistung in GB/s
PC2-3200	DDR2-400	100	200	400	3,2
PC2-4200	DDR2-533	133	267	533	4,3
PC2-5300	DDR2-667	167	333	667	5,3
PC2-6400	DDR2-800	200	400	800	6,4
PC2-8500	DDR2-1066	267	533	1067	8,5
PC3-6400	DDR3-800	100	400	800	6,4
PC3-8500	DDR3-1066	133	533	1067	8,5
PC3-10600	DDR3-1333	167	667	1333	10,7
PC3-12800	DDR3-1600	200	800	1600	12,8

Die JEDEC-Spezifikationen legen alle wichtigen Parameter eines Speichermoduls fest. Dazu gehören insbesondere

- Anzahl, Form und Lage der Anschlusskontakte des Speichermoduls sowie die Größe des Moduls,
- die Kapazität und Organisation der verwendeten Speicherbausteine, also die Anzahl ihrer Datenanschlüsse, die Anzahl der Speicherbänke und deren Aufbau in Speicherwörtern  $\times$  Bitlänge,

<sup>25</sup>Sie kann durch den Einsatz eines zweiten unabhängigen Speicherkanals noch verdoppelt werden.

- die Zeit- und Spannungswerte der Daten-, Adress- und Steuersignale sowie die zulässigen Verzögerungszeiten zwischen den Steuersignalen (*Latency*); das Zeitverhalten allein wird von ca. 30 Parametern bestimmt.

RAS, CAS

Wie bereits gesagt, wird die Adressierung der Speicherbausteine und die Datenübertragung vom bzw. in den Speicherbaustein mit Hilfe der beiden Steuersignale RAS (*Row Address Strobe*) und CAS (*Column Address Strobe*) durchgeführt. Diese Signale bestimmen die wichtigsten Zeitparameter für den Zugriff auf den Speicher.

- *RAS-to-CAS Delay* ( $t_{RCD}$ ): Dies ist die Zeit, die zwischen der Übernahme der Zeilenadresse im Speicherbaustein mindestens vergeht, bevor durch das Anlegen einer Spaltenadresse das gewünschte Speicherwort selektiert werden kann.
- *CAS Latency* ( $t_{CL}$ , kurz: *CL*): Hierdurch wird angegeben, wie lange es dauert, bis das selektierte Speicherwort an den Ausgängen des Bausteins zur Verfügung steht.
- *RAS Precharge Time* ( $t_{RP}$ ): Die so genannte Vorladezeit gibt an, welche Zeit der Speicherbaustein für das Vorladen benötigt, bevor eine Speicherseite aktiviert werden kann.
- *RAS Pulse Width Time, Bank Active Time* ( $t_{RAS}$ ): Das ist die minimale Zeit in Taktzyklen, die nach der Eingabe einer Zeilenadresse mit Hilfe des RAS-Signals vergeben muss, bevor die selektierte Zeile wieder geschlossen werden darf.

Die genannten Zeiten werden bei den heute üblichen synchronen, d.h. getakteten, dynamischen RAMs (SDRAM) in Zyklen des Ein-/Ausgabetaktes  $t_{CK}$  angegeben, bei DDR2 also  $t_{CK} = 1/(2 \cdot freq)$ , bei DDR3  $t_{CK} = 1/(4 \cdot freq)$ . Typische Werte für die CAS-Latenz bei DDR2- und DDR3-RAMs liegen zwischen  $t_{CL} = 3 \cdot t_{CK}$  und  $t_{CL} = 11 \cdot t_{CK}$ . Um die Schreibweise zu vereinfachen, werden diese Parameter in der Form: CL=2 bis CL=11 dargestellt, d.h. die Einheit  $t_{CK}$  wird nicht angegeben.

Bei der Darstellung der beiden anderen Parameter wird lediglich die Einheit  $t_{CK}$  weggelassen. Für  $t_{RCD}$  und  $t_{RP}$  findet man als typische ebenfalls Werte zwischen 3 und 11. Für  $t_{RAS}$  sind Werte zwischen 6 und 28 üblich, wobei  $t_{RAS}$  meist ein Vielfaches der übrigen Werte ist. Häufig wird der Wert  $t_{RAS}$  aber auch nicht angegeben, was wir im Folgenden ebenso halten werden.

Wenn man nun noch berücksichtigt, dass es gepufferte (*registered* – R) und nicht gepufferte (*unbuffered* – U) DIMMs gibt, so ergibt die Zusammenfassung des bisher Gesagten in allgemeiner Form die folgende Bezeichnung für ein DDR-Speichermodule. Die Angabe DDR2( $4 \cdot freq$ ) bzw. DDR3( $8 \cdot freq$ ) wird dabei zur Vereinfachung meist weggelassen.

PC2( $4 \cdot freq \cdot 8$ )R/U-( $t_{CL}, t_{RCD}, t_{RP}$ ) bzw.  
PC3( $8 \cdot freq \cdot 8$ )R/U-( $t_{CL}, t_{RCD}, t_{RP}$ ).



Dazu wollen wir nun lediglich zwei Beispiele angeben:

- PC2-6400R-555 bezeichnet ein mit einem internen Speichertakt von 200 MHz betriebenes, gepuffertes DDR2-Speichermodule, das eine CAS-Latenz, eine RAS/CAS-Verzögerungszeit und eine RAS-Vorladezeit von jeweils fünf Ein-/Ausgabetaktp perioden, also  $t_{CL} = t_{RCD} = t_{RP} = 12,5$  ns, besitzt.
- PC3-8500U-777 kennzeichnet ein mit 133,33 MHz intern getaktetes, ungepuffertes DDR3-Modul, das eine CAS-Latenz, eine RAS/CAS-Verzögerungszeit und eine RAS-Vorladezeit von jeweils sieben Ein-/Ausgabetaktp perioden, also  $t_{CL} = t_{RCD} = t_{RP} = 13,125$  ns, aufweist.

Die wichtigsten Parameter des Speichermodule werden vom Hersteller im SPD-ROM (*Serial Presence Detect*) einprogrammiert. Das BIOS liest nach dem Einschalten des PCs diese Parameter über den oben beschriebenen SMBus ein und teilt sie dem Speicher-Controller in der Host-Brücke mit. Dieser ist damit in der Lage, das Speichermodule „zeitgerecht“ anzusprechen.

Neben den oben beschriebenen Parametern finden sich im SPD-ROM u.a. Informationen zu den folgenden Moduleigenschaften:

- Typ der eingesetzten Speicherbausteine: SDRAM, DDR-RAM, DDR2-RAM, DDR3-RAM usw.,
- gepuffertes oder nicht gepuffertes Modul (*registered/unbuffered DIMM*),
- Kapazität, Anzahl der Zeilen-/Spalten-Adressleitungen und Speicherbänke sowie der Datenleitungen der Speicherbausteine; je nach Kapazität besitzen heutige RAM-Bausteine 4, 8, 16 oder 32 Datenleitungen;
- Existenz der ECC-Fehlerkorrektur,
- mögliche *Burst*-Längen, d.h. Anzahl der unmittelbar hintereinander ausgeführten Transfers pro Speicherzugriff: 1, 2, 4, 8,
- sowie eine JEDEC-Identifikation für den Modulhersteller und den Herstellungsort, eine Artikel- und Seriennummer sowie das Herstellungsdatum.

Zum Abschluss sei noch erwähnt, dass die in Abbildung 1.4 gezeigte Hauptplatine DX48BT2 der Firma Intel den Einsatz aller in Tabelle 1.1 beschriebenen DDR3-DIMMs erlaubt und so über seine beiden Kanäle eine maximale Übertragungsrate zwischen Hauptspeicher und North Bridge von bis zu 25 GB/s ermöglicht. Da die Übertragungsrate des CPU-Busses jedoch auf maximal 12,8 GB/s beschränkt ist, kann dieser schnelle Speicherzugriff nur zur Hälfte ausgenutzt werden.

### 1.3.5 Graphikadapter

Graphikspeicher	<p>Da heutige Softwareanwendungen sehr viele grafische Elemente nutzen, ist die Qualität eines Computersystems in hohem Maße auch von der Leistungsfähigkeit des Graphikadapters abhängig. Dieser hat die Aufgabe, den Hauptprozessor zu entlasten, indem er aus einer sehr kompakten parametrischen Beschreibung eines graphischen Elements das dazu passende Pixelmuster berechnet und dieses im Graphikspeicher ablegt.</p>
3D-Graphik	<p>So wird beispielsweise ein Kreis durch die Mittelpunktskordinaten und den Radius beschrieben. Der Graphikadapter berechnet dann anhand dieser drei Parameter die Pixel, deren Gesamtheit einen entsprechenden Kreis auf dem Bildschirm bilden. Während das hier angeführte Beispiel noch relativ wenig Zeitersparnis für den Hauptprozessor darstellt, entfalten moderne 3D-Graphikbeschleuniger (3D – dreidimensional) ihr ganzes Potential bei aufwendigeren dreidimensionalen Anwendungen wie der rechnergestützte Entwurf (<i>Computer Aided Design</i> – CAD) oder Computerspielen.</p>
Leistungs- aufnahme	<p>Graphikadapter sind entweder direkt im Chipsatz enthalten oder sie werden als Einsteckkarte an einer standardisierten Schnittstelle wie dem PCIe betrieben. Die letztgenannte Variante ist bei anspruchsvollen Graphikanwendungen zu empfehlen, da externe Graphikadapter sehr viel leistungsfähiger sind. Mit Einführung des PCIe-x16 wurden Übertragungsraten von bis 4 GB/s bereitgestellt. Leider ist die elektrische Leistungsaufnahme mit bis zu 300 W sehr hoch und es müssen entsprechende Kühlsysteme eingesetzt werden.</p>
Rahmen pro Sekunde	<p>Moderne Graphikadapter können in Kombination mit schnellen LCD-Bildschirmen auch für Videoanwendungen genutzt werden. Dabei erreichen sie Bildwiederholraten von bis zu 30 Rahmen pro Sekunde (<i>Frames per Second</i> – fps). Das bedeutet, dass sie in längstens 33 ms ein neues Bild errechnen und bereitstellen müssen. Um eine ruckelfreie Darstellung zur ermöglichen, versuchen sie, schon einige Bilder im Voraus zu erstellen. Diese legen sie in so genannten Rahmen-Puffern (<i>Frame Buffers</i>) in ihrem eigenen Speicher ab. Da dieser Speicher direkt, d.h. ohne Sockel auf der Graphikkarte montiert ist, kann er viel schneller angesprochen werden als der Hauptspeicher des PCs. Moderne Graphikkarten haben Speicher mit bis zu 2 GB und arbeiten mit einem Speichertakt von bis zu 1 GHz. Der Zugriff auf den Speicher geschieht dabei parallel über bis zu 512 Datenleitungen und ermöglicht eine Übertragungsbandbreite bis zu 256 GB/s. Viele Graphikadapter stellen auch einen speziellen Ausgang zum Anschluss eines Fernsehers (TV-Ausgang) bereit. Außerdem werden heutzutage fast ausschließlich so genannte <i>Multihead</i>-Karten verwendet, die den Anschluss von zwei oder drei Monitoren erlauben und dem Anwender damit einen deutlich größeren Arbeitsbereich zur Verfügung stellen.</p>
Frame Buffer	
Multihead- Karten	

Die bekanntesten Hersteller von Graphikkarten sind ATI<sup>26</sup> und Nvidia. Die eingesetzten Graphikchips unterstützen meist die Graphikfunktionen der DirectX- und OpenGL-Graphikbibliotheken und bieten so eine komfortable Programmierschnittstelle. Computerspiele stellen sicher die wohl höchsten Ansprüche an die Rechenfähigkeit der Graphikkarten und treiben die Entwicklung immer leistungsfähigerer Graphiksysteme nach vorn. So erlauben viele Hauptplatinen bereits den Einsatz von zwei oder mehr Graphikkarten, die dann auf unterschiedliche Weisen zur Erledigung einer gemeinsamen Aufgabe zusammenarbeiten. Das Verfahren der Firma Nvidia wird z.B. als *Scalable Link Interface* SLI (SLI) bezeichnet. Es erlaubt den Einsatz von zwei oder mehr Graphikeinheiten zur Leistungssteigerung bei der Rasterung von Bildern, dem so genannten „Rendern“ zur Umwandlung einer (zwei- oder dreidimensionalen) Vektor- in Rendering eine (zweidimensionale) Rastergraphik (*SLI Frame Rendering*), und/oder bis zu vier Monitoren (*SLI Multiview*). Dabei kann z.B. die eine Graphikkarte die obere Bildhälfte bearbeiten, die zweite Karte die untere. Eine andere Möglichkeit besteht darin, das Bild schachbrettartig in Teilbildern aufzuteilen und diese abwechselnd von den verschiedenen Graphikkarten bearbeiten zu lassen. Die Ausprägung *Quad SLI* ermöglicht die Kopplung von bis zu vier Graphikadaptern; beim *Hybrid SLI* können auch ein im Chipsatz integrierter Graphikprozessor mit einer externen Graphikkarte zur Zusammenarbeit zusammengeschaltet werden. Eine vergleichbare Lösung der Firma ATI ermöglicht ebenfalls den Zusammenschluss von bis zu vier Graphikkarten und weist bereits im Namen *CrossFireX* („Kreuzfeuer“) auf den Haupteinsatzbereich der Computerspiele CrossFireX hin.

Theoretisch entspricht die Renderleistung je nach Betriebsmodus im Mittel der Rechenleistung des langsamsten Graphikprozessors mal die Anzahl der verwendeten Graphikprozessoren. Bei zwei baugleichen Graphikkarten wird somit eine theoretische Verdoppelung der Rechenleistung erreicht, in der Praxis sind allerdings Leistungssteigerungen von etwa 30 bis 90 % möglich. Nicht verschwiegen werden soll aber auch, dass bei manchen Anwendungen die erzielte Rechenleistung sogar schlechter ist als bei einer einzelnen Graphikkarte.

Abbildung 1.10 zeigt (vereinfachend) den typischen Aufbau einer Graphikkarte. Die zentrale Komponente ist der Graphik-Prozessor, der auch als GPU Graphikkarte (*Graphics Processing Unit*) bezeichnet wird. Diese Prozessoren arbeiten mit Taktfrequenzen von 800 MHz oder darüber, wobei aber einige ihrer internen Komponenten z.T. noch mit viel höheren Taktfrequenzen, z.B. 1,5 GHz, betrieben werden. Auf den möglichen internen Aufbau eines Graphikprozessors gehen wir weiter unten ein. Wie bereits gesagt, sind die Graphikspeicher direkt Graphikspeicher auf der Graphikkarte aufgelötet, da der Einsatz von Sockeln zu einer unerwünschten Verzögerung des Zugriffs führen würde. Die Verbindung zwi-

<sup>26</sup>Heute ein Tochterunternehmen der Firma AMD.

schen GPU und Speicher ist extrem breit – mit 128 bis zu 512 Datenleitungen – ausgelegt, was ebenfalls den Zugriff auf die Daten wesentlich beschleunigt. Als Speicherbausteine werden heute hauptsächlich DDR2- bzw. DDR3-Chips eingesetzt. Die Frequenz des Speichertaktes beträgt bis zu 1,3 GHz.

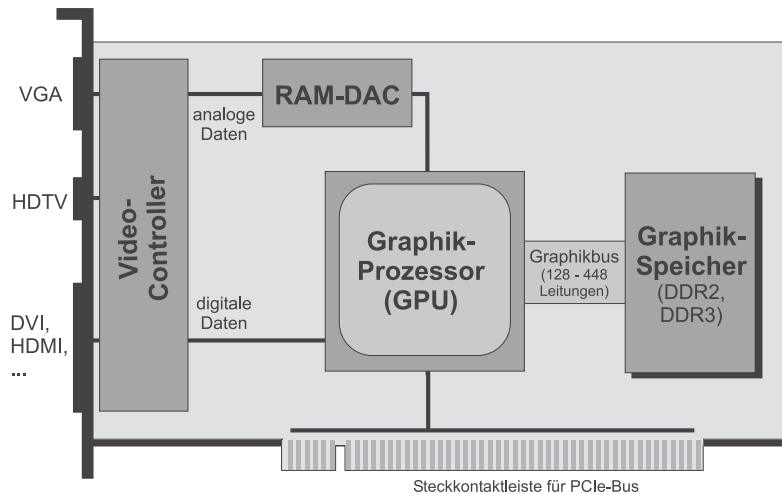


Abbildung 1.10: Der Aufbau einer Graphikkarte

#### Video-Controller

Der Graphikprozessor gibt seine berechneten Daten in rein digitaler Form aus. Diese werden entweder direkt dem Video-Controller zugeführt, der daraus die Ausgangssignale für unterschiedliche digitale Schnittstellen zum Anschluss von Monitoren erzeugt. Dazu gehören z.B. das wohl am weitesten verbreitete DVI (*Digital Video Interface*) zur Übertragung von Videodaten oder das leistungsfähigere HDMI (*High Definition Multimedia Interface*), das zusätzlich auch Audio-Daten übertragen kann. Der Video-Controller erzeugt aber auch analoge Signale für den Anschluss älterer Monitore, die meist nach dem VGA-Standard arbeiten. In diesem Fall müssen die digitalen Ausgabedaten der GPU durch den so genannten RAMDAC (*Random Access Memory Digital/Analog Converter*) in analoge Signale umgewandelt werden. Dabei handelt es sich um drei schnelle Digital/Analog-Wandler (DAC) für jede der Grundfarben rot, grün, blau (RGB). Die DACs werden mit einer Taktrate von bis zu 400 MHz betrieben, mit der die berechneten Farbinformationen für die Bildschirmpunkte (Pixelfrequenz) ausgegeben werden. In einem zusätzlich kleinen Speicher (RAM) werden Tabellen für die aktuell gewählten Farbpaletten abgelegt (*Colour Look-up Table* – CLUT). Der RAMDAC kann auch in der GPU selbst integriert sein. Immer mehr Graphikkarten bieten auch eine Schnittstelle für den Anschluss eines hoch auflösenden Fernsehapparats (*High Devision TV* – HDTV).

#### RAMDAC

#### HDTV

Bildwiederholrate pro Pixel benötigt. Die Rate, mit der dabei neue Bilder ausgegeben werden, be-

trägt dabei 85 Hz. Dabei besteht ein umgekehrt proportionaler Zusammenhang zwischen der Bildwiederholrate und der Auflösung: Je höher die Auflösung, desto geringer die erreichbare Wiederholrate.

Herausragendes Merkmal aller leistungsfähigen Graphikprozessoren ist die extreme Parallelarbeit vielfacher unabhängiger Teilprozessoren. Dies zeigt Abbildung 1.11 beispielhaft und vereinfachend am Aufbau der Graphikprozessoren GeForce der Firma Nvidia. Diese GPUs bestehen aus 128 bis 240 einzelnen GPU GeForce Prozessoren, die als *Thread Processors* bezeichnet werden<sup>27</sup>. Andere Hersteller nennen ihre vergleichbaren Prozessoren *Stream Processors* oder *Pixel Shaders*. Bei der betrachteten GPU arbeiten die Thread-Prozessoren mit einer Taktrate bis zu 1242 MHz und bestehen aus einem Rechenwerk zur Verarbeitung von 32-bit-Gleitpunktzahlen (*Floating-Point Unit* – FPU) und 1024 eigenen Registern mit einer Länge von 32 bit. Dabei werden jeweils zwei oder drei Gruppen aus je acht Thread-Prozessoren zu einer Einheit (*Cluster*) zusammengefasst. Jede Gruppe teilt sich den Zugriff auf einen ihr zugeordneten „privaten“ Speicher (*shared Memory*) mit einer Kapazität von 8 bzw. 16 KB.<sup>28</sup>

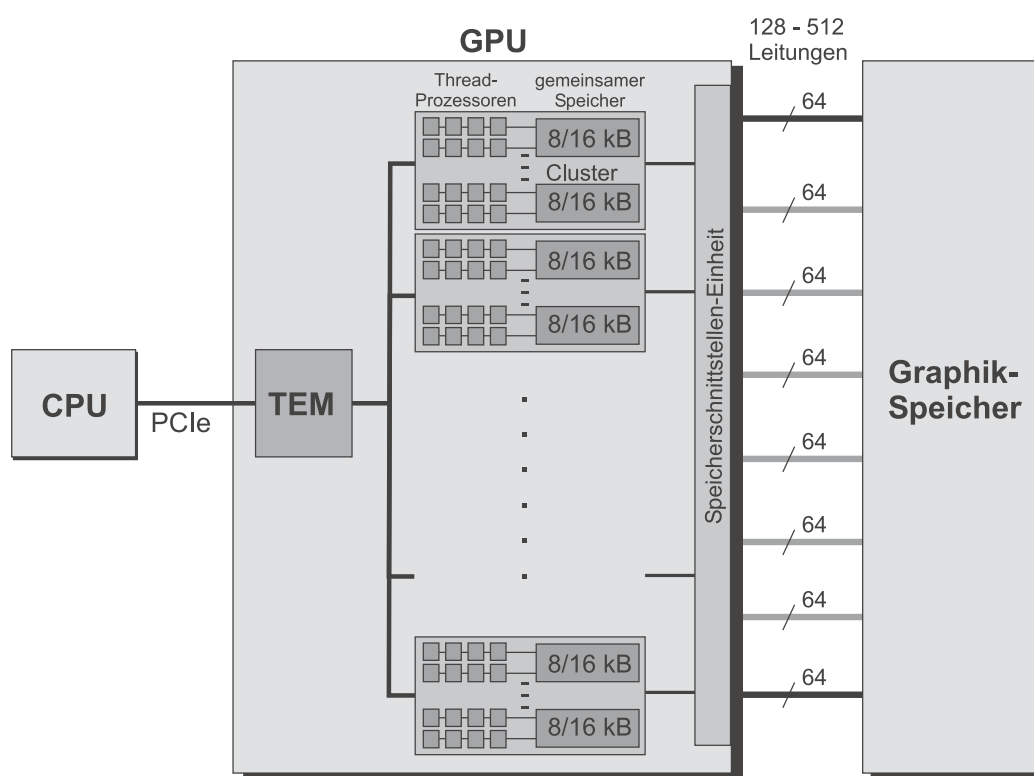


Abbildung 1.11: stark vereinfachter Aufbau eines Graphikprozessors

<sup>27</sup>Weitere Verarbeitungseinheiten für die Erzeugung von Graphiken, wie z.B. die bis zu 80 Textur- und bis zu 32 Rastereinheiten, wurden im Bild nicht dargestellt.

<sup>28</sup>G8-Familie: 8 Cluster mit 2 Gruppen, entsprechend: 128 Prozessoren,  
G200-Familie: 10 Cluster mit 3 Gruppen, entsprechend: 240 Prozessoren

Eine Speicherschnittstellen-Einheit ermöglicht den Austausch der 64-bit-Rechendaten zwischen den privaten Cluster-Speichern und dem externen Graphikspeicher über die bereits erwähnten 128 bis 512 Datenleitungen, also simultan über zwei bis acht 64-bit-Schnittstellen. Damit wird insgesamt eine maximale Übertragungsgeschwindigkeit von bis zu 159 GB/s erreicht. Die Kommunikation zwischen dem Hauptprozessor (CPU) des PCs und dem Graphikprozessor geschieht über den PCIe-x16-Bus. Über diesen Bus werden der GPU Aufträge übermittelt. Die hardwaremäßig realisierte TEM-Komponente (*Thread Execution Manager*) zerlegt diese Aufträge in parallel auszuführende Teilaufträge, die jeweils aus einem Strang von Befehlen bestehen (*Threads*), reicht diese automatisch an freie Thread-Prozessoren weiter und überwacht ihre Ausführung. So kann z.B. schon in einer GPU mit 128 Thread-Prozessoren jeder von ihnen bis zu 96 Auftragsstränge simultan bearbeiten, was insgesamt maximal 12288 gleichzeitig in Bearbeitung befindliche Threads bedeutet. Jeder Strang in einem der Thread-Prozessoren benötigt dafür von den 1024 oben erwähnten Registern seinen eigenen Satz an Verwaltungsregistern, die Sie in KE2 z.B. als Programmzähler, Stackzeiger usw. kennen lernen werden. Abschließend sei erwähnt, dass moderne Graphikprozessoren aus bis zu 1,4 Milliarden Transistoren aufgebaut sind.

# Kapitel 2

## Speichermedien

### 2.1 Funktionsprinzip magnetomotorischer Speichermedien

Magnetomotorische Speicher basieren auf dem physikalischen Phänomen des Magnetismus. Die beiden wichtigsten Vertreter sind *Disketten* und *Festplatten*. Wir werden später jedoch nur Festplatten ausführlicher behandeln, da Disketten immer mehr an Bedeutung verlieren.

#### 2.1.1 Speicherprinzip

Bestimmte Materialien, so genannte *Ferromagnete*, sind permanent magnetisierbar. Ferromagnetische Materialien kann man sich aus mikroskopisch kleinen Magneten zusammengesetzt vorstellen. Sie werden auf eine unmagnetische Trägerscheibe aufgebracht, die zum Schreiben und zum Lesen an einem winzigen Elektromagneten, dem so genannten *Schreib-/Lesekopf*, vorbeigeführt wird. Bei Disketten wird eine flexible Folie als Trägerscheibe verwendet. Daher bezeichnet man Disketten häufig auch als *Floppy-Disks*. Der Durchmesser heutiger Disketten beträgt 3,5 Zoll. Bei Festplatten werden mehrere übereinander gestapelte *feste* Platten aus Aluminium (oder auch Glas) als Träger für das ferromagnetische Speichermaterial verwendet.

#### 2.1.2 Schreibvorgang

Nach der Herstellung des Ferromagneten sind die Elementarmagnete völlig regellos verteilt. Durch Anlegen eines äußeren Magnetfeldes wird das Speichermaterial bis zur Sättigung magnetisiert, so dass auf der Speicherscheibe Abschnitte (Kreissektoren) bleibender Magnetisierung entstehen (Abbildung 2.1). In diesen Magnetisierungsmustern wird die Information codiert. Hierzu gibt es mehrere Möglichkeiten. Man verfolgt dabei zwei Ziele:

1. Einerseits möchte man möglichst viel Information pro Flächeneinheit unterbringen.
2. Andererseits muss sichergestellt sein, dass die Information beim Leseprozess sicher zurückgewonnen werden kann.

Da die mechanische Genauigkeit bei den Laufwerken prinzipiell und aus Kostengründen beschränkt ist, muss aus den gespeicherten Magnetisierungsmustern ein Lesetakt zurückgewonnen werden. Dieser Lesetakt wird mit Hilfe eines PLL-Schaltkreises (Phased Locked Loop) mit den Übergängen unterschiedlicher Magnetisierung (Flusswechseln) synchronisiert. Er „rastet“ somit auf das geschriebene Muster ein und gleicht mechanische Ungenauigkeiten des Laufwerks aus.

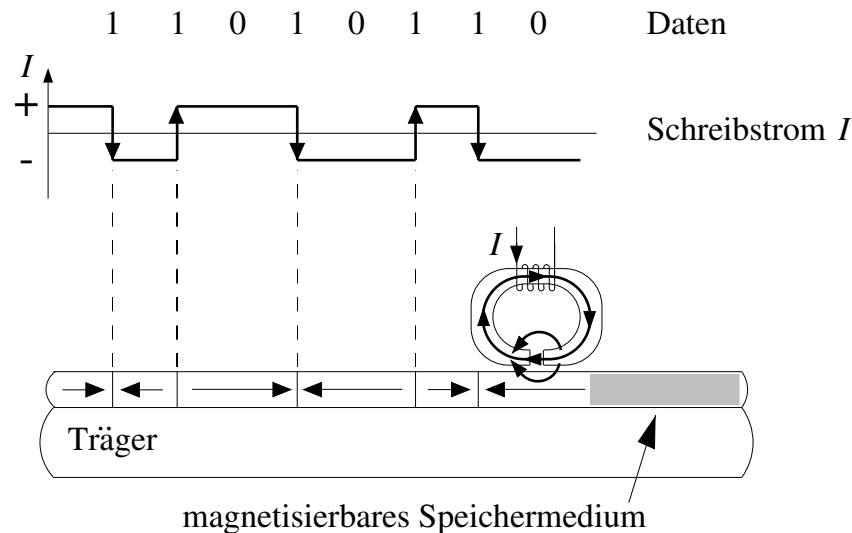


Abbildung 2.1: Schreibvorgang bei einem magnetomotorischen Speichermedium.

## Bitzellen

Damit eine permanente Magnetisierung entstehen kann, muss ein Magnetisierungsabschnitt auf einer Festplatte und einer Diskette eine bestimmte Mindestgröße haben. Die kleinsten Abschnitte gleichgerichteter Magnetisierung werden *Bitzellen* genannt. Die Größe einer solchen Bitzelle beträgt bei einer Festplatte nach dem aktuellen Stand der Technik ca.  $50 \cdot 10^{-9} \text{ m} = 50 \text{ Nanometer (nm)}$ . Dies entspricht einer Bitdichte von 200.000 Bitzellen pro cm oder rund 500.000 Bit per Inch (bpi).

### 2.1.3 Lesevorgang

Wir betrachten im Folgenden den Lesevorgang bei einem magnetomotorischen Speicher, der einen ferromagnetischen Schreib-/Lesekopf besitzt. Dabei muss man beachten, dass ein solcher Lesekopf nur auf Wechsel der Magnetisierung anspricht. Die Magnetisierung wird in der Physik auch als magnetischer Fluss bezeichnet. Nur bei einem Wechsel des magnetischen Flusses (Flusswechsel) entsteht in der Spule des Lesekopfs ein Spannungsimpuls aufgrund der so genannten *elektromagnetischen* Induktion (Abbildung 2.2).

Die zu speichernden Daten müssen nun in Magnetisierungsmuster umgesetzt werden, die möglichst wenige Bitzellen pro Datenbit enthalten. Gleichzeitig



muss sichergestellt sein, dass anhand der entstehenden Flusswechsel die Daten eindeutig rekonstruiert werden können.

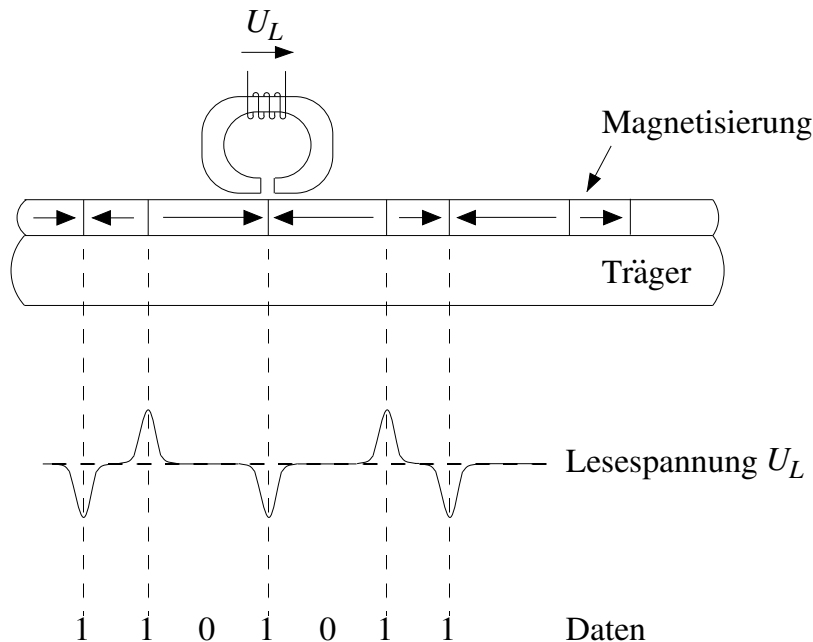


Abbildung 2.2: Lesevorgang bei einem magnetomotorischen Speichermedium.

Es gibt verschiedene Möglichkeiten, die Daten durch Magnetisierungszustände oder -wechsel zu codieren. Die hier untersuchten Verfahren betreffen konventionelle Schreib-/Lese-köpfe, bei denen Leseimpulse durch Flusswechsel erzeugt werden. Der Datenstrom muss also in Flusswechsel codiert werden. Die einfachste Codierungsvorschrift ordnet einer '1' im Datenstrom einen Flusswechsel zu; '0'-Bits werden durch einen fehlenden Flusswechsel codiert. Zur Rückgewinnung der Datenbits ist ein Taktsignal erforderlich, das die verstärkte Lesespannung des Kopfes abtastet. Die Abtastimpulse müssen genau an den Stellen liegen, an denen Flusswechsel möglich sind. Der Taktgenerator muss demnach mit dem bewegten Speichermedium synchronisiert werden.

Speichercodierung

#### 2.1.4 Abtasttakt

Unter *idealen* Bedingungen würde es ausreichen, einen Taktgenerator ein einziges Mal (z.B. beim Einschalten) mit der rotierenden Platte zu synchronisieren. Eine Bitzelle entspricht dem kleinsten Abschnitt auf einer Spur, in dem eine konstante Magnetisierung herrschen muss. Die Länge  $l_0$  einer Bitzelle entspricht dem Kehrwert der Aufzeichnungsdichte. Bei 200.000 Flusswechseln pro cm ist eine Bitzelle nur 50 nm breit. Nur wenn sich das Speichermedium mit konstanter Geschwindigkeit bewegt und ein hochwertiges Trägermaterial verwendet wird, ist der zeitliche Abstand  $t_0$  zwischen zwei aufeinander folgenden Bitzellen bzw. Flusswechseln konstant. Schwankungen der Rotationsgeschwindigkeit

Selbsttaktende Codierung

oder Längenänderungen des Trägermaterials durch Temperatureinwirkung führen aber dazu, dass sich  $t_0$  permanent ändert. Um trotz dieser Störeinflüsse mit einem nur einmal synchronisierten Taktgenerator zu arbeiten, müssten mechanisch und elektrisch sehr präzise arbeitende Komponenten verwendet werden. Die hohen Anforderungen bedeuten gleichzeitig auch hohe Kosten. Aus diesem Grund wurden für die Praxis *selbsttaktende* Codierungen entwickelt.

Der Datenstrom wird vor der Aufzeichnung in einen *Speichercode* umgeformt, der eine Rückgewinnung des Taktsignals ermöglicht. Eine '1' im Speichercode bezeichnet einen Flusswechsel. Eine '0' gibt an, dass die momentane Magnetisierungsrichtung beibehalten bleibt. Jedem Bit des Speichercode steht ein konstantes Längen- bzw. Zeitintervall zur Verfügung. Der Speichercode wird auf das Speichermedium übertragen, indem man den minimalen Abstand zwischen zwei Flusswechseln (Einsen) auf eine Bitzelle abbildet. Ein Maß für die Effektivität einer Codierung ist die mittlere Zahl der Flusswechsel pro Datenbit. Je weniger Einsen in dem gewählten Speichercode vorkommen, umso weniger Bitzellen werden zur Darstellung der Daten benötigt. Da die Zahl der Bitzellen durch die physikalischen Grenzen des Systems „Speichermedium–Kopf“ begrenzt ist, kann durch geeignete Speichercodierung die Speicherkapazität maximiert werden.

Datenseparator

Einrasten auf Leseimpulse

Beim Lesevorgang erfolgt die Trennung von Takt und Daten mit dem so genannten *Datenseparator*. Hauptbestandteil dieser Komponente ist ein so genannter Phasenregelkreis (*Phase Locked Loop* – PLL), der zunächst einen Abtasttakt mit einer so hohen Frequenz erzeugt, dass über jeder Bitzelle die gleiche Anzahl von Taktzyklen des Abtasttaktes liegen. Weiterhin sorgt er dafür, dass die Abtastpunkte in jeder Bitzelle an denselben Stellen liegen. Man sagt, der Abtasttakt „rastet“ auf die Leseimpulse ein. Damit sind die Zeitpunkte bestimmbar, an denen Flusswechsel auftreten können. Die Abtastung der digitalisierten Leseimpulse an diesen Stellen liefert den Speichercode, der gemäß dem verwendeten Aufzeichnungsverfahren in den Datenstrom zurückgewandelt wird. Voraussetzung für die korrekte Funktion des Datenseparators ist, dass der maximale Abstand zwischen zwei Leseimpulsen nicht zu groß wird. Die Speichercodierung muss so gewählt werden, dass die maximale Zahl der Nullen zwischen zwei Einsen nicht zu groß wird.

Eine praktisch anwendbare Speichercodierung muss zwei gegensätzliche Anforderungen erfüllen. Einerseits soll bei technologisch gegebener Aufzeichnungsichte eine hohe Speicherkapazität erzielt werden. Dies bedeutet möglichst wenig Einsen im Speichercode. Andererseits soll eine Rückgewinnung des Taktes möglich sein, d.h. es sollen möglichst wenig Nullen im Speichercode vorkommen. Die existierenden Codierungen stellen einen Kompromiss dar. Die drei gebräuchlichsten Speichercodierungen werden im Folgenden untersucht. Grundsätzlich gilt: Je höher die erreichbare Speicherkapazität, desto komplexer wird die benötigte Hardware zur Codierung und Decodierung.

### 2.1.5 Codierungsarten

Im Folgenden wollen wir zunächst drei bekannte Codierungen betrachten, die bei magnetomotorischen Speichern eingesetzt werden. Die ersten beiden werden für Disketten benutzt, die dritte für Festplatten. Zum Schluss des Abschnittes gehen wir dann auf neuere Aufzeichnungsverfahren ein.

#### FM-Codierung (Frequenzmodulation)

Diese Speichercodierung zeichnet mit jedem Datenbit wenigstens einen Flusswechsel zur Taktrückgewinnung auf. Die folgende Tabelle zeigt die Zuordnung der Datenbits zum FM-Code. Jeder '1' im Speichercode entspricht ein Flusswechsel:

Datenbit	Speichercode
0	10
1	11

Man erkennt, dass bei gleicher Verteilung von Nullen und Einsen im Datenstrom für 2 Datenbits 3 Flusswechsel aufgezeichnet werden. Pro Datenbit werden also im Mittel 1,5 Flusswechsel bzw. zwei Bitzellen benötigt. Die beschriebene Speichercodierung ist in Abbildung 2.3 dargestellt. Da Floppy-Disks und Festplatten mit gleichförmiger Winkelgeschwindigkeit rotieren, kann die Abszisse als Längen- oder Zeitachse interpretiert werden. FM-Codierung wird auch als *Wechseltaktschrift*, *Manchester-Codierung* oder *Single Density* (SD) bezeichnet. Die Bezeichnung Single Density soll zum Ausdruck bringen, dass mit der FM-Codierung die verfügbare Zahl der Flusswechsel auf dem Speichermedium nicht optimal ausgenutzt wird.

Pro Datenbit 1,5  
Flusswechsel  
bzw. 2 Bitzellen

Am Rande sei bemerkt, dass der Begriff Frequenzmodulation *nichts* mit der gleichnamigen Audio-Modulationsart zu tun hat. Man soll deshalb besser den Begriff FM-Codierung verwenden.

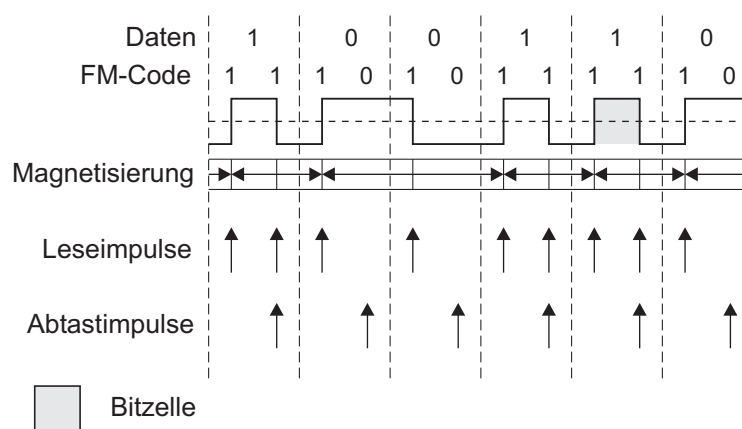


Abbildung 2.3: Lesevorgang bei der FM-Codierung.

### MFM–Codierung (Modifizierte Frequenzmodulation)

Bei der FM–Codierung wird nur die Hälfte der vorhandenen Bitzellen für Datenbits genutzt. Wenn durch geeignete Codierung sichergestellt wird, dass genug Leseimpulse zur Synchronisierung des Abtasttaktes entstehen, kann die Speicherkapazität verdoppelt werden. Dies ist bei der *modifizierten* FM–Codierung der Fall. Man spricht auch vom *Miller–Code*. Die folgende Tabelle zeigt die Zuordnung der Datenbits bei der MFM–Codierung:

Datenbit		Speichercode
$D_{n-1}$	$D_n$	
0	0	10
1	0	00
0	1	01
1	1	01

Pro Datenbit  
0,75 Flusswechsel  
bzw. eine Bitzelle

Bei gleicher Verteilung von Nullen und Einsen im Datenstrom werden für 4 Datenbits 3 Flusswechsel aufgezeichnet. Pro Datenbit werden also im Mittel 0,75 Flusswechsel bzw. eine Bitzelle benötigt. Das bedeutet, dass sich im Vergleich zu FM die Speicherkapazität verdoppelt. Deshalb wird die MFM–Codierung auch als *Double Density* (DD) bezeichnet. Vergleicht man Abbildung 2.4 mit Abbildung 2.3, so erkennt man, dass die Bitfenster bei der MFM–Codierung genauso lang wie die Bitzellen sind. Da bei der FM–Codierung ein Bitfenster zwei Bitzellen umfasst, kann mit Hilfe der MFM–Codierung die Speicherkapazität verdoppelt werden. Ist das Datenbit '1', so wird stets ein Flusswechsel in der zweiten Hälfte des Bitfensters geschrieben. Wenn '0'–Bits gespeichert werden, ist die „Vorgeschichte“ wichtig: Nur wenn das vorangehende Datenbit ebenfalls '0' war, wird ein Flusswechsel in der ersten Hälfte des Bitfensters geschrieben.

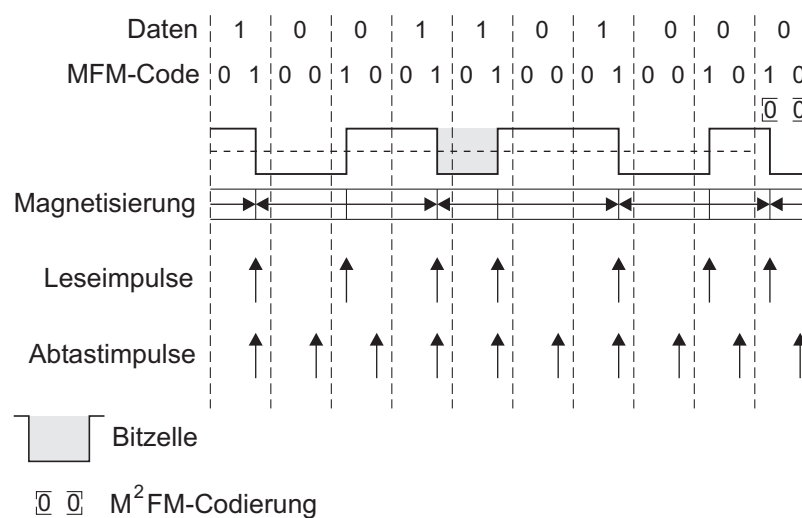


Abbildung 2.4: Lesevorgang bei der MFM–Codierung.

### RLL–Codierung (Run Length Limited)

Während die MFM–Codierung bei Disketten benutzt wird, verwendet man bei Festplatten die RLL–Codierung. Mit ihr kann man — bei gleich bleibender Breite der Bitzellen, d.h. gleichen technologischen Voraussetzungen — die Speicherkapazität gegenüber der MFM–Codierung um ca. 50% steigern. Während bei FM und MFM jeweils ein einzelnes Datenbit auf einen 2–Bit–Speichercode umgesetzt werden, ist bei der RLL–Codierung die Zahl der umcodierten Datenbits *variabel*. Die Zahl der Codebits ist aber ebenfalls doppelt so groß wie die Zahl der Datenbits. Die nachfolgende Tabelle zeigt die Zuordnung der Datenbits zu der RLL–Codierung:

Datenbits	Speichercode
000	000100
10	0100
010	100100
0010	00100100
11	1000
011	001000
0011	00001000

Aus der angegebenen Codetabelle entnimmt man, dass bei gleicher Verteilung der sieben Datenbit–Kombinationen neun Flusswechsel für 21 Datenbits nötig sind. Dies entspricht im Mittel 0,43 Flusswechseln pro Datenbit. Die oben angegebene Speichercodierung wird als RLL 2.7–Code bezeichnet. Zwischen zwei Flusswechseln ('1' im Speichercode) liegen mindestens 2 und höchstens 7 Abschnitte gleicher Magnetisierung ('0' im Speichercode). Bei RLL 2.7 werden jeweils 3 Codebits auf eine Bitzelle abgebildet. Der Datenseparator erhält spätestens nach der Dauer von 7/3 Bitzellen einen Synchronisationsimpuls (Abbildung 2.5). Der beim Lesen abgetastete Speichercode muss mit einer aufwendigen Decodierlogik in den Datenstrom zurückgewandelt werden.

Bei genauer Betrachtung erkennt man, dass die MFM–Codierung ebenfalls ein RLL–Verfahren darstellt. Die Zahl der trennenden '0'–Bits im Speichercode beträgt minimal 1 und maximal 3. Demnach handelt es sich um einen RLL 1.3–Code.

Zum Abschluss sollen die drei behandelten Aufzeichnungsverfahren in einer Tabelle miteinander verglichen werden.

	Flusswechsel/Datenbit
FM (SD)	1,5
MFM (DD)	0,75
RLL 2.7	0,43

Festplatten in der gängigen Bauform 3,5 Zoll hatten mit dem RLL 2.7–Aufzeichnungsverfahren Mitte der 1990er Jahre eine Speicherkapazität von ca. 1000 MB = 1 GB. Gut 15 Jahre später (2009) erreichen Festplatten gleicher Größe eine

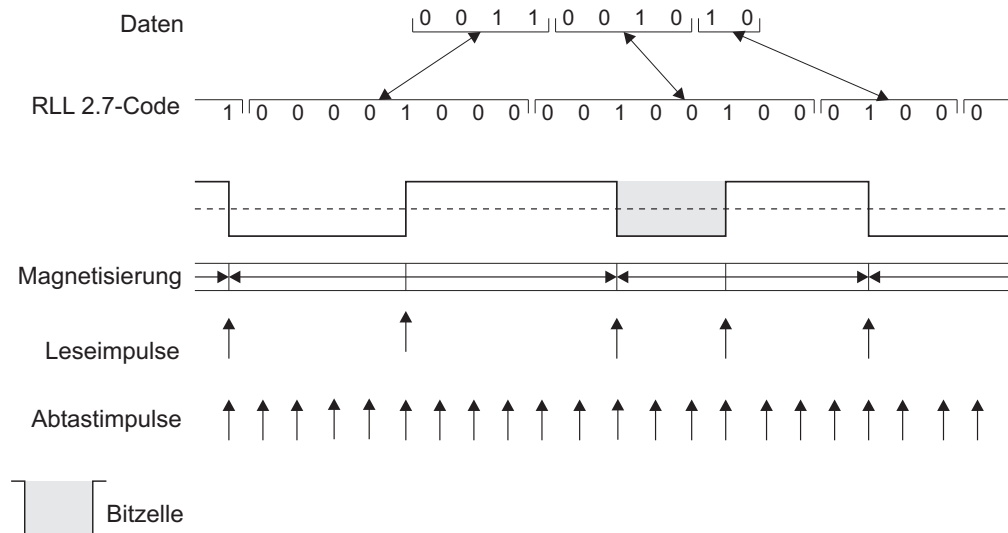


Abbildung 2.5: Lesevorgang mit RLL 2.7-Codierung bei einer Festplatte.

Kapazität von ca. 2000 GB = 2 TB. Diese immense Kapazitätssteigerung ist neben verbesserten Produktionsverfahren ganz besonders drei neuen Technologien zuzurechnen, die nachfolgend kurz vorgestellt werden:

- PRML (*Partial Response, Maximum Likelihood*),
- *Perpendicular Recording*,
- GMR (*Giant Magnetoresistive Effect*).

## 2.1.6 Moderne Codierungs- und Aufzeichnungsverfahren

### Das PRML-Verfahren

Wie bereits im Unterabschnitt 2.1.3 dargestellt, erkennt die Leseelektronik einer mit dem MFM- oder RLL-Verfahren aufzeichnenden Festplatte die Flusswechsel und interpretiert diese dann anhand der vorher beim Schreiben der Daten verwendeten Codierungsmethode. Zur Erkennung der Flusswechsel sucht die Leseelektronik nach Spannungsspitzen im von der Speicherscheibe abgetasteten Signal, die ja gerade die vorgenannten Flusswechsel darstellen. Diese konventionelle Methode, Rohdaten von Speicherscheiben einer Festplatte zu lesen und zu interpretieren, nennt man Spitzenwerterkennung (*Peak Detection*). Sie funktioniert zufrieden stellend, solange die Spitzenwerte groß genug sind, um eindeutig aus dem immer vorhandenen Hintergrundrauschen eines Signals hervorzutreten. Mit zunehmender Datendichte auf dem Trägermaterial rücken jedoch auch die magnetischen Flusswechsel immer enger zusammen. Somit wird es schwieriger, das gelesene Signal korrekt zu analysieren, da die Spitzenwerte sich nun gegenseitig überlagern oder störend beeinflussen. Hierdurch könnten einzelne Bits oder auch Serien von Bits falsch gelesen werden, was natürlich sicher verhindert werden muss. Deshalb wird die so genannte Flächendichte

Spitzenwert-  
erkennung

Flächendichte

(*Areal Density*) des Magnetspeichers, d.h. die Anzahl der pro Fläche aufgetragenen Flusswechsel, bei einer Spitzenwerterkennung soweit begrenzt, dass eine zu Lesefehlern führende Beeinträchtigung ausbleibt. Um dieser Beschränkung auszuweichen und damit die Speicherdichte weiter steigern zu können, wurde das **PRML-Verfahren** (*Partial Response, Maximum Likelihood*) entwickelt. Konventionelle Verfahren wie MFM oder RLL identifizieren beim Lesen des analogen Datenstroms einzelne Flusswechsel per Spitzenwerterkennung und konvertieren diese dann in eine Sequenz von Daten- und Steuerinformationen eines digitalen MFM- oder RLL-Datenstroms. Im Gegensatz hierzu wird bei PRML die Überlagerung einzelner Flusswechsel im Datenstrom und damit die Beeinflussung der Spitzenwerte bewusst in Kauf genommen. Durch ausgefeilte Verfahren der digitalen Signalverarbeitung werden die Überlagerungen jedoch heraus gerechnet – der „Partial Response“-Anteil des Verfahrens. Das analoge Signal wird anschließend mit Erkennungsalgorithmen abschnittsweise betrachtet und das Ergebnis auf Plausibilität geprüft und mit vorgegebenen Mustern verglichen, um das ähnlichste bzw. das wahrscheinlichste Muster zu finden, das einer gültigen Bitfolge entspricht – der „Maximum Likelihood“-Anteil des Verfahrens. Üblicherweise werden 8 Bit oder 16 Bit zusammen codiert, so dass ein erkanntes Muster gleich einer ganzen Sequenz von Bits entspricht. PRML steigert die Speicherdichte um 40% im Vergleich zum RLL-Verfahren. EPRML (*Extended PRML*) mit nochmals verbesserten Algorithmen und Schaltungen zur effektiveren und genaueren Rekonstruktion der gespeicherten Informationen erreicht sogar eine um 70% höhere Speicherdichte als das RLL-Verfahren.

PRML-  
Verfahren

### Das *Perpendicular Recording*-Verfahren

Eine weitere technologische Innovation, die entscheidenden Anteil am immensen Kapazitätswachstum moderner Festplatten hat, ist das *Perpendicular Recording*-Verfahren („senkrechte Aufzeichnung“). Bei Festplatten älterer Bauart (vor 2005) wurde ausschließlich das longitudinale Aufzeichnungsverfahren verwendet, welches in den Abschnitten 2.1.1 und 2.1.2. bereits schematisch vorgestellt wurde. *Longitudinal Recording* („Längsaufzeichnung“) hat den Nachteil, dass die erforderliche Mindestgröße für eine Bitzelle, die ein korrektes Zurücklesen sicherstellt, in Laufrichtung des Schreib-/Lesekopfes eingehalten werden muss. Zusätzlich muss ein relativ breiter Übergangsbereich zwischen den Bitzellen berücksichtigt werden, da der Schreib-/Lesekopf auf Grund seiner Größe im Randbereich einer Bitzelle auch die Magnetisierung der Nachbarzelle auffängt und so ein falscher Wert gelesen werden könnte. Beim *Perpendicular Recording*-Verfahren jedoch ist die Magnetisierungsrichtung senkrecht zur Trägerscheibe ausgerichtet, d.h. die kleinsten magnetischen Einheiten, die magnetischen Dipole, sind senkrecht zur Laufrichtung des Schreib-/Lesekopfes orientiert. Durch eine entsprechende Dicke der Speicherschicht kann so eine für ein korrektes Zurücklesen notwendige Mindestlänge bzw. Mindestgröße einer Bitzelle auf deutlich verringerter Fläche der Speicherscheibe erreicht werden. Außerdem fallen die Übergangsbereiche zwischen den Bitzellen kleiner aus, da der schmale Schreibkopf die Magnetisierung punktförmiger schreiben kann. Ab-

Perpendicular  
Recording

bildung 2.6 soll dies verdeutlichen. Unter der eigentlichen magnetischen Speicherschicht muss nun jedoch eine zweite Schicht aus „weichmagnetischem“ Material angebracht werden, die den magnetischen Rückfluss zum Schreibkopf ermöglicht, ihre Magnetisierung nach dem Schreibvorgang jedoch verliert. Der entsprechende Bereich des Schreibkopfes, der für den Rückfluss sorgt, das sogenannte Joch, ist relativ breit ausgelegt, damit die Feldstärke des Rückflusses nicht die Magnetisierung der unter dem Joch liegenden Bitzellen ungewollt verändert.

In Abbildung 2.6 sind rechts die Signalverläufe für die Lesevorgänge beim *Longitudinal* und *Perpendicular Recording* gegenübergestellt. Man erkennt, wie die Verkürzung der Bitzellen und der Übergangsbereiche – bei gleich bleibender Umdrehungsgeschwindigkeit – zu einer Erhöhung der Speicherdichte führt.

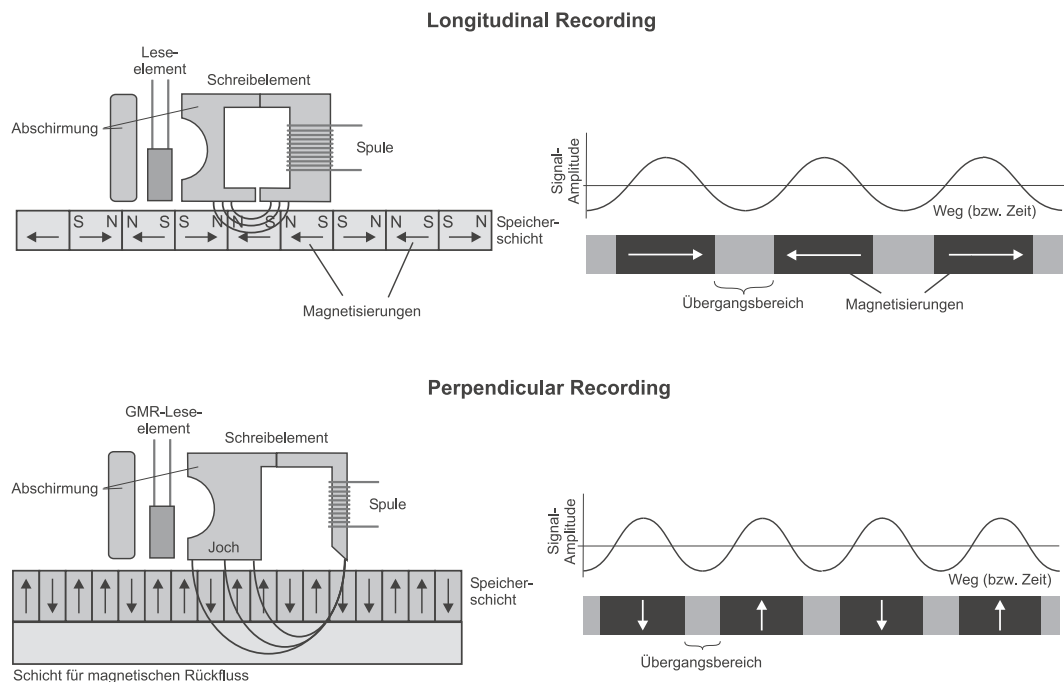


Abbildung 2.6: *Longitudinal* und *Perpendicular Recording* im Vergleich.

### Der GMR-Effekt

#### GMR-Effekt

Der GMR-Effekt (*Giant Magnetoresistance Effect*) oder Riesenmagneto-Widerstand ist ein quantenmechanischer, magnetoresistiver Effekt, der in dünnen Schichten auftritt, die aus sich abwechselnden ferromagnetischen und nicht-magnetischen Bereichen mit einigen Nanometern Schichtdicke bestehen. Der elektrische Widerstand dieser Struktur ist von der gegenseitigen Orientierung der Magnetisierung der magnetischen Schichten abhängig, und zwar ist er bei Magnetisierung in entgegengesetzten Richtungen deutlich höher als bei Magnetisierung in die gleiche Richtung. Der Effekt bewirkt, dass der elektrische Widerstand in der Gegenwart eines externen Magnetfeldes deutlich abnimmt (üblicherweise um 10 – 80%), da sich benachbarte ferromagnetische Schichten



parallel ausrichten. Fehlt das externe Magnetfeld, orientieren sich diese Schichten antiparallel, wodurch die magnetische Streuung deutlich zunimmt und der elektrische Widerstand deutlich ansteigt. GMR-Leseköpfe bewirken ein deutlich stärkeres Signal beim Abtasten der Flusswechsel auf den Speicherscheiben als konventionelle Leseköpfe, so dass im Umkehrschluss die Flusswechsel für eine gleichbleibende Signalstärke deutlich enger geschrieben werden können, wodurch sich die Speicherdichte und somit auch die Speicherkapazität erhöhen. GMR-Leseköpfe

Im Folgenden wollen wir uns auf die Betrachtung von Festplatten beschränken, da Disketten immer mehr an Bedeutung verlieren. Außerdem lassen sich die hier vorgestellten Konzepte auch leicht auf Disketten übertragen.

### 2.1.7 Dateisysteme

Um auf einem Speichermedium Daten oder Programme permanent zu speichern, werden die dazu benötigten Speicherblöcke in einer *Datei* zusammengefasst. Wenn eine Datei erzeugt wird, wählt man einen Namen, über den man sie später ansprechen kann. Natürlich müssen bei der Wahl des Dateinamens gewisse Regeln beachtet werden, die das jeweilige Dateisystem vorgibt. So dürfen beispielsweise bestimmte Sonderzeichen nicht benutzt werden. Dateien können ausführbare Programme, Texte, Bilder, Graphiken, Musik oder digitalisierte Videofilme enthalten. Um die Eigenschaften einer Datei bereits am Namen erkennbar zu machen, erhalten gleichartige Dateien alle eine gleichlautende Namenserverweiterung (Suffix), die meist aus drei Buchstaben besteht und die durch einen Punkt vom eigentlichen Dateinamen abgetrennt wird. So wird beispielsweise mit der Erweiterung "txt" angezeigt, dass es sich um eine Textdatei handelt. Datei Suffix

Die Hauptaufgabe eines Dateisystems ist es, dem Anwender eine logische Sicht zum Zugriff auf Dateien bereitzustellen und außerdem diese logische Sicht auf die physische Schicht, d.h. auf das Speichermedium, abzubilden. Die physische Schicht besteht im Wesentlichen aus der Menge durchnummerierter Speicherblöcke, die jeweils eine feste Datenmenge, z.B. Sektoren mit 512 Byte, aufnehmen können.

Zur übersichtlichen Verwaltung von Dateien benutzen heutige Dateisysteme *Verzeichnisse* (Directory), die hierarchisch in einer Baumstruktur gegliedert sind. Die Wurzel bildet das so genannte *Stammverzeichnis* (Root Directory). Verzeichnisse können demnach nicht nur Dateien sondern wiederum selbst Verzeichnisse enthalten. Zur Verwaltung der Datei- und Verzeichnisnamen bzw. -strukturen müssen vom Dateisystem zusätzliche Informationen auf dem Speichermedium abgelegt werden.

Da ein Sektor mit 512 Byte eine zu kleine Zuordnungseinheit darstellt, fasst man mehrere aufeinander folgende Sektoren zu einem *Cluster* zusammen und benutzt zu ihrer Selektion die LBA-Adresse des ersten Sektors. LBA steht dabei für *Logical Block Addressing* und steht für eine durchgehende, mit 0 beginnende

## Cluster

Nummerierung aller Sektoren – unabhängig von ihrer Lage auf den Spuren und Plattenoberflächen. Bei Festplatten werden üblicherweise 4 – 16 Sektoren zu einem Cluster zusammengefasst.<sup>1</sup> Dies entspricht Clustergrößen von 2 – 8 KB. Um die vorhandene Speicherkapazität einer Festplatte optimal zu nutzen, sollte man die Speicherblöcke (Cluster) jedoch nicht zu groß wählen. Am Ende jeder Datei entsteht dann nämlich im Mittel ein mehr oder weniger großer Rest, da in den seltensten Fällen die Dateigröße ein Vielfaches der gewählten Blockgröße ist. Der durch diese Reste entstehende Verlust an Speicherkapazität wird *interne Fragmentierung* genannt.

Außerdem wäre es ungünstig, Dateien in vielen zusammenhängenden Speicherblöcken abzulegen. Da in einem Dateisystem ständig Dateien gelöscht werden und neue hinzukommen, würden im Laufe der Zeit kleinere Lücken entstehen, die nicht mehr genutzt werden könnten. Der durch die Lücken entstehende Verlust an Speicherkapazität wird *externe Fragmentierung* genannt (vgl. Kurseinheit 2).

Um die externe Fragmentierung zu vermeiden ist es sinnvoll, jeden einzelnen Speicherblock getrennt den Dateien zuzuordnen. Sobald eine Datei gelöscht wird, werden die zu ihrer Speicherung verwendeten Speicherblöcke wieder frei gegeben und können *einzel*n weiterverwendet werden.

Die effiziente Zuordnung von Dateinamen zu den Speicherblöcken ist die zentrale Aufgabenstellung, die ein Dateisystem lösen muss.

### Typen von Dateisystemen

Es gibt eine große Vielfalt von Dateisystemen, die im Laufe der Jahre entwickelt wurden (siehe Tabelle 2.1). Die meisten Betriebssysteme unterstützen neben ihrem eigenen Dateisystem auch Festplattenpartitionen, die mit dem DOS-Dateisystem formatiert sind. Darüber hinaus können sie meist auch frühere Dateisystemversionen unterstützen. Linux verfügt über ein virtuelles Dateisystem VFS (Virtual File System), das eine Zwischenschicht zwischen Betriebssystem und den Gerätetreibern der Speichermedien bildet. Hiermit können über entsprechende Treiber quasi alle gebräuchlichen Dateisysteme durch Linux unterstützt werden.

## Virtual File System (VFS)

Tabelle 2.1: Bekannte Dateisysteme für verschiedene Betriebssysteme.

DOS	Windows 95/98	OS/2	NT/Windows 2000/XP	Linux
FAT	VFAT, FAT32	HPFS	NTFS, FAT32	Ext2fs, Reiserfs, Swapfs

<sup>1</sup>Bei Disketten ist wegen der geringen Speicherkapazität ein Sektor als Zuordnungseinheit ausreichend.

## Linux-Dateisystem

Mit jeder Datei bzw. mit jedem Verzeichnis assoziiert Linux einen 64 Byte großen Datenblock, der zu dessen Verwaltung dient. Dieser Block heißt *Inode*. Die Inodes einer Festplatte befinden sich am Anfang einer Partition. Bei 1024 Bytes (1 KB) großen Sektoren passen 16 Inodes in einen logischen Speicherblock (LBA). Anhand der Inode-Nummer kann Linux den Speicherort finden, indem es die Inode-Nummer einfach durch 16 teilt.

Ein Verzeichniseintrag besteht aus einem Dateinamen und der zugehörigen Inode-Nummer. Beim Öffnen einer Datei sucht Linux im angegebenen Verzeichnis nach dem Dateinamen und liefert bei Erfolg die passende Inode-Nummer zurück. Nun wird der zugehörige Inode von der Festplatte in den Hauptspeicher gelesen. Mit den im Inode gespeicherten Informationen kann auf die Datei zugegriffen werden.

Man hat beim Linux-Betriebssystem die Wahl zwischen mehreren Dateisystem-Varianten. Obwohl das Format eines Inodes vom jeweils ausgewählten Dateisystem abhängt, sind die folgenden Informationen stets vorhanden (vgl. Abbildung 2.7):

1. Dateityp und Zugriffsrechte,
2. Eigentümer der Datei,
3. Gruppenzugehörigkeit des Eigentümers,
4. Anzahl von Verweisen (Links) auf die Datei,
5. Größe der Datei in Bytes,
6. 15 Festplattenadressen (LBAs), davon 12 direkte und 3 indirekte,
7. Uhrzeit des letzten Lesezugriffs,
8. Uhrzeit des letzten Schreibzugriffs,
9. Uhrzeit der letzten Inode-Änderung.

Dateien und Verzeichnisse werden anhand des Dateityps unterschieden. Da Linux alle Ein-/Ausgabegeräte als Dateien betrachtet, wird durch den Dateityp auch angezeigt, ob es sich um ein unstrukturiertes oder blockorientiertes Ein-/Ausgabegerät handelt.

Wichtig für die physische Abbildung der Datei auf die Festplatte sind die unter Punkt 6 aufgeführten Einträge für Festplattenadressen (LBAs). Linux verwaltet die Festplattenadressen **nicht** wie die FAT durch Verkettung, sondern mittels Indexierung der Festplattenadressen einzelner Speicherblöcke.

Im Folgenden setzen wir eine Blockgröße von 1 KB und 32 Bit lange Festplattenadressen voraus. Dies bedeutet, dass insgesamt  $2^{32}$  Speicherblöcke zu je 1 KB angesprochen werden können. Somit beträgt die maximale Größe des Dateisystems  $2^{42} = 4 \cdot 2^{40}$  Byte = 4 TB.

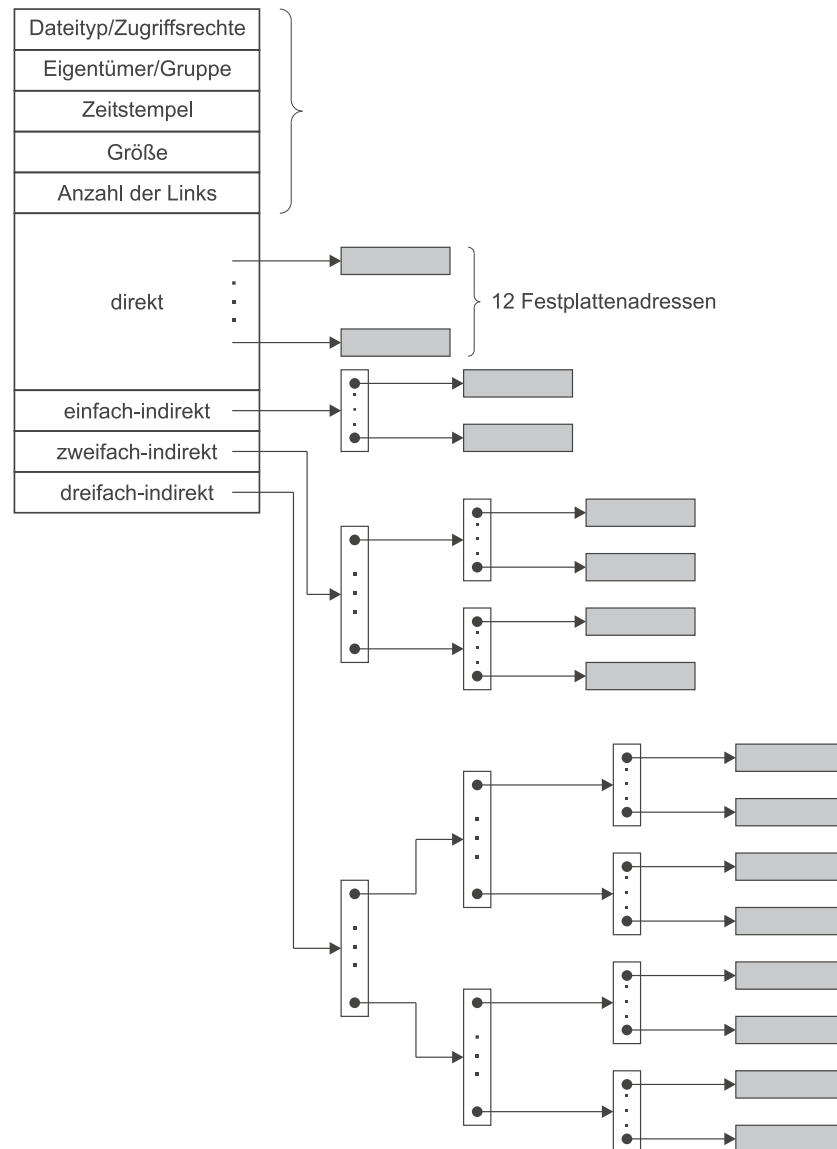


Abbildung 2.7: Aufbau eines Inode beim Linux-Dateisystem.

Mit den zwölf direkten Festplattenadressen können bei einer Blockgröße von 1 KB ( $2^{10}$  Bytes) Daten mit bis zu 12 KB verwaltet werden. Wegen der direkten Indexierung ist – gegenüber dem FAT-Dateisystem – ein wahlfreier Zugriff möglich. So muss man beispielsweise zum Lesen des letzten Speicherblocks nicht sämtliche Vorgängerindizes durchlaufen.

einfach indirekte  
Adressierung

Ist die Datei größer als 12 KB, so geht man zur indirekten Adressierung über. Die 13. Festplattenadresse verweist auf einen indirekten Block, der zunächst von der Festplatte gelesen werden muss und der auf weitere 256 ( $1024/4$ ) Festplattenadressen verweist. Die maximale Dateigröße bei einer Beschränkung auf 13 Festplattenadressen beträgt somit

$$FS_{13} = 12 \text{ KB} + 256 \text{ KB} = 268 \text{ KB},$$

wobei  $1 \text{ KB} = 2^{10} \text{ Bytes} = 1024 \text{ Bytes}$  sind.

Die 14. Festplattenadresse zeigt auf einen Block, der doppelt indirekt auf weitere Speicherblöcke zeigt. Wie beim einfach indirekt adressierten Block wird dieser Block zunächst von der Festplatte gelesen und in den Hauptspeicher gebracht. Jede der 256 in diesem Block stehenden 32-Bit-Werte (4 Byte) wird wiederum als Speicherblockadresse auf einen Block mit weiteren 256 Festplattenadressen interpretiert. Somit können mit Hilfe der ersten 14 Festplattenadressen des Inodes insgesamt

doppelt indirekte  
Adressierung

$$FS_{14} = FS_{13} + 2^8 \cdot 2^8 \text{ KB} \approx 2^6 \cdot 2^{10} \text{ KB} = 64 \text{ MB}$$

große Dateien verwaltet werden. (Dabei gilt:  $2^{10} \text{ KB} = 2^{20} \text{ Bytes} = 1 \text{ MB}$ .)

Falls die zu verarbeitende Datei noch größer sein sollte, nimmt man die 15. Festplattenadresse hinzu. Hiermit ist dann eine dreifach indirekte Adressierung möglich. Analog zu der obigen Darstellung können nun Dateien bis zu einer Größe von

dreifach indirekte  
Adressierung

$$FS_{15} = FS_{14} + 2^8 \cdot 2^8 \cdot 2^8 \text{ KB} \approx 2^4 \cdot 2^{10} \cdot 2^{10} \text{ KB} = 16 \text{ GB}$$

verwaltet werden. (Dabei gilt:  $2^{10} \cdot 2^{10} \text{ KB} = 2^{30} \text{ Bytes} = 1 \text{ GB}$ .)

Wir sehen, dass hiermit recht große Dateien angesprochen werden können. Durch Verdopplung der Sektorgröße kann die maximale Dateigröße sogar auf 256 GB erhöht werden. Wie oben gezeigt, können mit dem beschriebenen Linux-Dateisystem Festplatten mit bis zu 4 TB verwaltet werden. Die für Nutzdaten verbleibende Speicherkapazität reduziert sich jedoch auf einen kleineren Wert, da zusätzlich auch noch die Dateiverzeichnisse und Inodes gespeichert werden müssen.

## 2.2 CD-ROM

Speichermedien, die auf der 1985 von Philips und Sony eingeführten CD (Compact Disc) basieren, werden als CD-ROM (Compact Disc Read-Only Memory) bezeichnet. Auf einer CD-ROM können Datenmengen von bis zu 650 MByte (bzw. 682 MByte im Dezimalsystem) abgelegt werden. CD-ROMs eignen sich für die Distribution von Software und für die Speicherung anderer Daten, die sich selten ändern (z.B. Bilder, Enzyklopädien usw.).

### 2.2.1 Aufbau und Speicherprinzip

Anstelle von magnetosensitiven Leseköpfen werden bei CD-Laufwerken Laserstrahlen<sup>2</sup> benutzt. Die CD-ROM besteht aus einer Kunststoffscheibe aus Polycarbonat, die einen Durchmesser von 12 cm hat. Der Schichtenaufbau ist in Abbildung 2.8 dargestellt. Auf die silberfarbige Speicherschicht wird von

<sup>2</sup>Bei CD-R und CD-RW werden auch zum Schreiben Laserstrahlen verwendet.

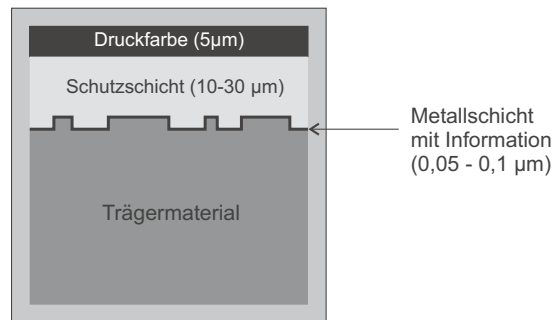


Abbildung 2.8: Schichtenfolge bei einer CD-ROM.

der Unterseite der CD zugegriffen. Sie wird von einer durchsichtigen Kunststoffschicht vor Beschädigungen geschützt. Man codiert die Information in der Speicherschicht durch Erhöhungen (Lands) und Vertiefungen (Pits), die beim Herstellungsprozess als winzige Einkerbungen eingepresst werden. Hierzu wird in einem als Mastering bezeichneten Prozess eine Metallplatte als Negativvorlage erstellt.

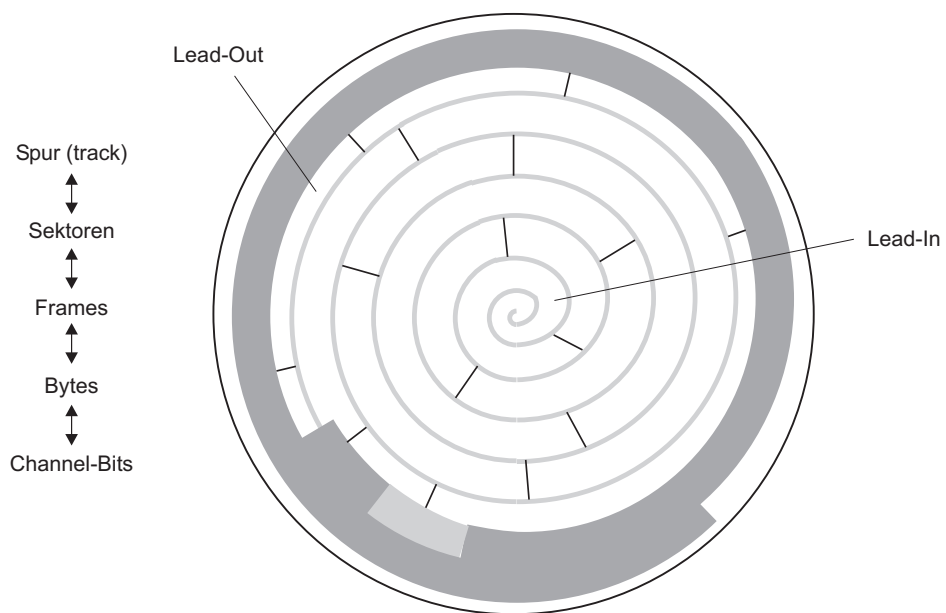


Abbildung 2.9: Datenorganisation bei einer CD-ROM.

#### Pits und Lands

Im Gegensatz zu Festplatten sind CD-ROMs nicht in konzentrische Spuren und gleichwinklige Sektoren aufgeteilt. Die Daten werden vielmehr in einer einzigen *spiralförmigen* Spur mit einer Länge von ca. 5,6 km und ca. 22.000 Windungen geschrieben. Die Spur beginnt im Zentrum und läuft nach außen (Abbildung 2.9). Der Spurbstand beträgt  $1,5 \mu\text{m}$ , die Länge der Pits und Lands muss zwischen  $0,9$  und  $3,3 \mu\text{m}$  liegen. Die Pits sind  $0,5 \mu\text{m}$  breit und  $0,125 \mu\text{m}$  tief (Abbildung 2.10). Die Tiefe der Pits spielt eine wichtige Rolle bei

der Datenspeicherung, da sie auf die Wellenlänge des Laserstrahls abgestimmt sein muss (s.u.).

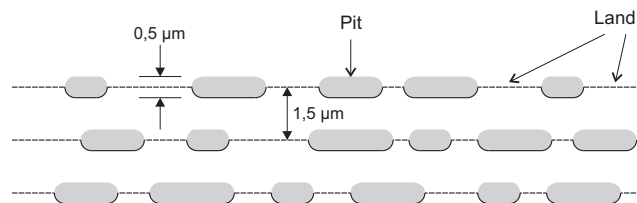


Abbildung 2.10: Abmessungen der Speicherelemente auf einer CD-ROM.

## 2.2.2 Lesen

Zum Lesen wird ein Laserstrahl mit Licht aus dem Infrarotbereich (780 nm) auf die Speicherschicht fokussiert. Mit der im Strahlerzeugungssystem integrierten Leseoptik wird nun festgestellt, in welcher Weise der Strahl von der Oberfläche der CD-ROM reflektiert wird (Abbildung 2.11). Trifft der Laserstrahl auf einen Übergang zwischen Land und Pit, so wird er nur diffus reflektiert und am Lichtsensor kommt ein schwaches Lichtsignal an. Da die Einkerbungen genau so tief sind wie ein Viertel der Wellenlänge des Laserstrahls, kommt es aufgrund der Interferenz zwischen hinlaufendem und dem rücklaufenden (phasenverschobenen) Strahl zu einer deutlichen Abschwächung des reflektierten Lichts. Einem derart abgeschwächten Signal wird eine '1' zugeordnet. Laserstrahlen, die vollständig auf eine Erhebung oder eine Vertiefung treffen, werden dagegen mit annähernd voller Intensität reflektiert. Sie erzeugen daher ein starkes Signal am Lichtsensor.

Aus dem Reflektionsmuster wird die gespeicherte Bitfolge rekonstruiert. Durch Kratzer auf der Schutzschicht und durch andere Lesefehler könnten die Daten leicht verfälscht werden. Daher benutzt man zum Speichern eine besondere Form der redundanten Codierung der Daten, die es erlaubt, Fehler zu erkennen bzw. zu korrigieren (siehe Abschnitt 2.2.4).

## 2.2.3 Laufwerksgeschwindigkeiten

CDs wurden ursprünglich zur Wiedergabe von Audiodaten entwickelt. Um einen konstanten Datenstrom bei der Wiedergabe zu erreichen, mussten die Daten mit konstanter Bahngeschwindigkeit gelesen werden. Dies erreichte man mit der CLV-Technik (Constant Linear Velocity). Dabei ändert sich die Drehzahl der CD in Abhängigkeit von der momentanen Position der Leseoptik genau so, dass sich die gespeicherten Daten stets mit einer konstanten Bahngeschwindigkeit von 1,3 m/s unter dem Laserstrahl vorbeibewegen. Die CD muss dazu im innersten Teil der CD mit 540 rpm und im äußersten Teil der CD mit

CLV-Technik

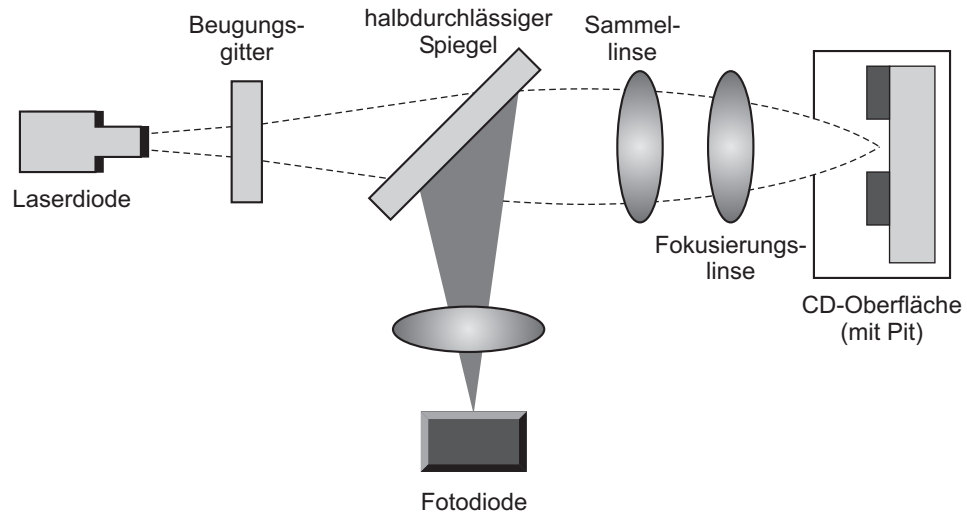


Abbildung 2.11: Schematischer Aufbau der Leseoptik.

214 rpm rotieren. Mit den Winkelgeschwindigkeiten ergibt sich eine konstante Datenrate von 153 KB/s. Ein Laufwerk mit diesen Eigenschaften wird als 1x-Laufwerk oder *Single-Speed*-Laufwerk bezeichnet.

Um die Datenrate zu erhöhen, entwickelte man entsprechend schnellere Laufwerke mit 2x-, 4x-, 8x-, 12x und 48x-Transferraten. Ein 12x-Laufwerk mit CLV-Technik muss jedoch schon in der Lage sein, seine Drehzahl von 2.568 rpm (außen) bis zu 5.959 rpm (innen) zu verändern. Da es schwierig ist, Spindelmotoren für solche großen Drehzahlbereiche zu entwickeln, ging man bei CD-Laufwerken ab 16x-Geschwindigkeit zu Antrieben mit konstanter Drehzahl (Winkelgeschwindigkeit) über. Wegen der geringeren Anforderungen an die Antriebsmotoren sind CD-Laufwerke mit dieser so genannten CAV-Technik (Constant Angular Velocity) preiswerter und dazu auch noch leiser. Dagegen liefern sie je nach Position der Leseoptik unterschiedliche Datentransferraten. Die volle Lesegeschwindigkeit wird nur im äußeren Bereich der CD erreicht. So liefert ein 56x-Laufwerk im inneren Bereich lediglich die 24fache Geschwindigkeit.

CAV-Technik

Vor allem bei CD-RW-Laufwerken<sup>3</sup> werden die CLV- und CAV-Antriebstechnik miteinander kombiniert. Solche Laufwerke werden als PCAV-Laufwerke (Partial CAV) bezeichnet. Zum Brennen wird ein solches Laufwerk im CLV-Modus und zum Lesen im CAV-Modus betrieben.

## 2.2.4 Datencodierung

Für die verschiedenen Einsatzmöglichkeiten von CD-ROMs (z.B. digitale Audio- oder Datenspeicherung) wurden entsprechende CD-Typen und CD-Formate definiert. Diese Definitionen findet man in „farbigen“ Büchern. So wird z.B. das Format der klassischen Audio-CD (CD-DA) im Red Book spezifiziert. CD-Formate zur Datenspeicherung findet man im Yellow Book (CD-ROM)

<sup>3</sup>Auch als „CD-Brenner“ bezeichnet. RW steht für *ReWriteable*.



bzw. im Orange Book (CD-R, CD-RW). Im Folgenden wird die grundlegende Konzeption zur Datenspeicherung mit CDs vorgestellt.

Die Speicherung der Daten auf einer CD-ROM erfolgt hierarchisch und ist in hohem Maße redundant. Dies ist dadurch begründet, dass man Fehler erkennen und beheben möchte. Um eine hohe Datensicherheit zu erreichen, werden Fehlerkorrekturmethoden auf drei Ebenen angewandt:

- Channel Bits,
- Frames und
- Sektoren.

Auf der untersten Ebene findet man die Bitzellen, die in Form von  $0,3\ \mu\text{m}$  langen Abschnitten als Pits oder Lands dargestellt werden. Diese kleinsten Channel Bits Speichereinheiten werden *Channel Bits* genannt.

Auf der nächsten Ebene werden Daten als 8-Bit-Wörter (Bytes) betrachtet. Man verwendet das so genannte EFM-Verfahren (Eight-to-Fourteen Modulation). Hierbei wird jedes Byte in ein 14-Bit-Muster übersetzt, das dann auf der CD-ROM-Spur in Channel Bits gespeichert wird (Abbildung 2.12). Der EFM-Code sorgt dafür, dass zwischen zwei Einsen (Land-Pit-Übergang) mindestens zwei und höchstens 10 Nullen (Land-Bereiche) stehen. Es handelt sich also um eine 2,10-RLL-Codierung. Die EFM-Codierung stellt sicher, dass der im Laufwerkscontroller enthaltene Taktgenerator zur Abtastung der vom Sensor gelieferten Signal häufig genug synchronisiert wird. Als selbsttaktender Code erlaubt der 2,10-RLL-Code also eine sichere Lesetaktgewinnung mit Hilfe eines Datenseparators. Beim Lesen werden von den 16.384 möglichen Kombinationen der Channel Bits nur 256 zugelassen. Alle anderen Bitmuster werden als falsch erkannt.

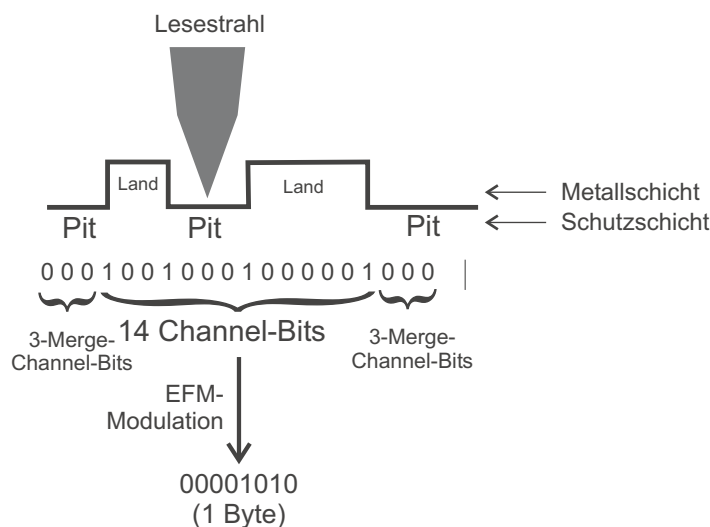


Abbildung 2.12: Datencodierung mit dem EFM-Verfahren.

In der nächsten Stufe werden 42 Bytes zu einem Frame zusammengefasst. Ein Frame entspricht daher 588 (42·14) Channel Bits. Von diesen werden 396 Bit (!) zur Fehlerkorrektur und Adressierung verwendet. Der Rest von 192 Bit bleibt schließlich für 24 Byte Nutzdaten übrig. Schließlich werden 98 Frames zu einem Sektor zusammengefasst.

Das so genannte Yellow Book spezifiziert zwei Modi für das Layout eines CD-ROM-Sektors. Im Modus 1 besteht ein Sektor aus einer 16-Byte-Präambel, 2.048 Byte nutzbaren Daten und 288 Byte ECC-Code, der aus einem Reed-Solomon-Code besteht.

Im Modus 2 wird auf die Fehlerkorrektur auf Sektor-Ebene verzichtet und stattdessen die Zahl der nutzbaren Datenbytes auf 2.336 erhöht. Dieser Modus ist für gegen Fehler unempfindliche Anwendungsdaten wie z.B. Musik oder Videos gedacht.

Zur Speicherung eines Sektors (mit 2.048 bzw. 2.336 Byte) werden 98·588 Bit = 57.624 Bit, d.h. 7.203 Byte, benötigt.

### 2.2.5 Datenorganisation in Sessions

Der zur Datenspeicherung nutzbare Teil einer CD-ROM wird als Session bezeichnet und ist im Wesentlichen in drei Abschnitte gegliedert:

- Lead-In,
- Daten- und/oder Audiospuren,
- Lead-Out.

Das Lead-In beschreibt den Inhalt der Session, d.h. es enthält ein Inhaltsverzeichnis des nachfolgenden Datenbereichs. Dieser kann in maximal 99 Spuren (Tracks) aufgeteilt sein, die sowohl Daten als auch Audioinformationen enthalten können. Eine Spur ist ein zusammenhängender Abschnitt auf der CD, der eine bestimmte Zahl aufeinander folgender Sektoren enthält. Das Lead-In ist selbst eine Spur, die bis zu 4.500 Sektoren oder 9,2 MByte an Daten enthalten kann.

Multisession-  
Aufzeichnung

Um CDs schrittweise beschreiben zu können, hat man im so genannten Orange Book die Möglichkeit der *Multisession*-Aufzeichnung spezifiziert. Dies ist jedoch nur für beschreibbare CDs wie CD-R und CD-RW von Interesse.

Eine Multisession-CD besteht sozusagen aus mehreren virtuellen CDs, die alle jeweils aus Lead-In, Daten- und Audio-Spuren und dem zugehörigen Lead-Out zusammengesetzt sind. Das erste Lead-Out einer Multisession-CD<sup>4</sup> enthält stets 6.750 Sektoren bzw. belegt 13,8 MByte an Daten. Alle nachfolgenden Lead-Outs sind 2.250 Sektoren lang bzw. belegen 4,6 MByte an Daten. Wie man sieht, ist der Speicherbedarf für das Anlegen einer Session sehr groß. Man sollte daher nicht zu viele Sessions auf einer CD-R oder CD-RW anlegen.

Es gibt zwei Arten, eine Multisession-CD zu schreiben:

- Track-at-Once und

---

<sup>4</sup>gehört zur ersten Session.

- Packet Writing.

Während bei der ersten Variante stets eine komplette Spur geschrieben wird, kann bei der zweiten Variante eine Spur auch in kleineren Einheiten geschrieben werden. Mit Hilfe eines speziellen Treiberprogramms ist es so möglich, auf eine CD-R oder CD-RW<sup>5</sup> wie auf eine Festplatte zuzugreifen. Dazu wird das leistungsfähige Dateisystem UDF (Universal Disc Format) benötigt, bei dem – UDF im Gegensatz zu den klassischen CD-ROM-Dateisystemen (ISO 9660, Joliet, s.u.) – das Inhaltsverzeichnis der CD nicht abgeschlossen werden muss. Packet Writing in Kombination mit dem UDF-Dateisystem ist jedoch recht langsam und hat leider auch noch einige Kompatibilitätsprobleme. Es ist daher ratsam, die Daten erst auf der Festplatte zu sammeln und dann auf einmal auf die CD zu schreiben.

### 2.2.6 Dateisysteme für CDs

Wie bei einer Festplatte wird auch für die Speicherung von Daten auf CDs (und DVDs) ein Dateisystem benötigt. Dieses baut auf den Sektoren auf und stellt dem Betriebssystem eine logische Schnittstelle in Form von Dateinamen bereit, unter denen dann die Daten dauerhaft gespeichert werden können. Damit man CDs unter verschiedenen Betriebssystemen verwenden kann, benötigt man ein einheitliches Dateisystem.

Das erste international anerkannte CD-Dateisystem war der ISO 9660-Standard.<sup>6</sup> Es gibt insgesamt drei Varianten des ISO 9660-Dateisystems. Der Level 1 ist am ISO 9660 weitesten verbreitet und wird von jedem Betriebssystem unterstützt. ISO 9660 ermöglicht daher einen systemübergreifenden Datenaustausch mit Hilfe von CDs.

Der ISO 9660-Standard wurde 1988 freigegeben und baut auf Vorarbeiten des so genannten High Sierra-Standards auf. Es handelt sich um ein hierarchisches Dateisystem, das folgenden Beschränkungen unterliegt:

- Für Dateinamen sind nur acht ASCII-Zeichen (*American Standard Code for Information Interchange*) plus 3 ASCII-Zeichen für eine Erweiterung zulässig.
- Die Dateinamen dürfen nur aus Großbuchstaben, Zahlen und dem Unterstrich gebildet werden.
- Die Verzeichnisnamen dürfen nur acht Zeichen enthalten; Erweiterungen sind nicht zulässig.
- Die maximale Verzeichnistiefe ist auf acht Ebenen beschränkt.
- Daten müssen in aufeinander folgenden Sektoren abgelegt werden, d.h. die Daten dürfen nicht fragmentiert sein.

---

<sup>5</sup>Beschreibbare CD-Varianten (s.u.).

<sup>6</sup>Abkürzung für International Standardization Organisation.

Level 2 unterscheidet sich lediglich dadurch, dass längere Dateinamen (bis zu 31 Zeichen) verwendet werden dürfen. Im Level 3 wird zusätzlich die letzte oben aufgelistete Beschränkung aufgehoben, d.h. dort sind auch fragmentierte Dateien zulässig.

Die Daten des ISO 9660-Dateisystems beginnen in der ersten Datenspur (nach dem Lead-In) mit dem logischen Sektor 16. Im Gegensatz zu Festplatten-Dateisystemen werden bei CD-Dateisystemen auch die absoluten Adressen zu Dateien in Unterverzeichnissen angegeben. Hierdurch wird der Aufwand beim Navigieren auf der langen Spiralspur erheblich verringert.

Joliet

Um die o.g. Beschränkungen des ISO 9660-Standards zu beseitigen, hat Microsoft eine Erweiterung dazu entwickelt. Bei diesem so genannten Joliet-Dateisystem dürfen Datei- und Verzeichnisnamen bis zu 64 Unicode-Zeichen enthalten, Verzeichnisnamen dürfen Erweiterungen haben und tiefer als 8 Ebenen verschachtelt sein. Darüber hinaus werden auch Multisession-CDs unterstützt.

Neben den langen Dateinamen für Windows enthält das Joliet-Dateisystem auch ein ISO 9660-kompatibles Subsystem, so dass auch andere Betriebssysteme eine Joliet-formatierte CD benutzen können.

### 2.2.7 CD-R (CD Recordable)

Die Herstellung von CD-ROMs ist nur bei einer Massenproduktion rentabel. Um einzelne CDs oder kleine Stückzahlen herzustellen, eignet sich die CD-R (CD-Recordable). CD-Rs unterscheiden sich von CD-ROMs im Aufbau der Speicherschicht. Bei CD-Rs werden keine Vertiefungen eingepresst, sondern es werden mit einem Schreiblasers Farbschichten zerstört, die dadurch ihre Reflexionseigenschaften ändern.

Rohlinge

Die unbeschriebenen CD-Rs werden *Rohlinge* genannt. Es gibt sie in verschiedenen Farben (grün, blau, gold- und silberfarbig), die ein mehr oder weniger gutes Reflexionsvermögen haben. Silberfarbene Rohlinge haben die besten Eigenschaften und sind daher auch am teuersten.

Zum Beschreiben einer CD-R wird ein *CD-Writer* benötigt, der über einen zusätzlichen Schreiblasers verfügt. Um den Strahl des Schreiblasers zu führen und der Schreiboptik eine Positionsbestimmung zu ermöglichen, ist auf einer CD-R bereits eine spiralförmige Spur eingeritzt. Die Positionsbestimmung erfolgt mit Hilfe eines fortlaufenden Wellenmusters, das der Spurrille überlagert ist.

Während des Schreibens wird das Laufwerk meist im CLV-Modus betrieben, um möglichst genau die Land- und Pit-Abstände einzuhalten. Zum Schreiben wird die Leistung des Laserstrahls erhöht. Dadurch wird die Molekülstruktur der Farbschicht zerstört und es entsteht eine dunkle Stelle, die beim Lesen als Pit interpretiert wird.

CD-Writer

Wichtig ist, dass die gesamte Spur an einem Stück geschrieben wird. Um leichte Schwankungen der von der Festplatte gelieferten Datenrate abzufedern, wird ein Pufferspeicher verwendet. Wenn die Festplatte die benötigten Daten nicht schnell genug liefern kann, läuft dieser Speicher leer. Da der CD-Writer spä-

ter nicht nochmals an die Stelle zurückkehren kann, an der der Pufferunterlauf stattfand, wird die teilweise beschriebene CD unbrauchbar. Um Pufferunterläufe zu vermeiden, bietet die CD-Writer-Software meist die Option, ein vollständiges Abbild der Datenspur (CD-Image) zu erzeugen. Dabei wird versucht, die gesamte Datenspur so auf der Festplatte zu platzieren, dass während des Schreibvorgangs ohne Verzögerungen darauf zugegriffen werden kann.

Mittlerweile gibt es auch CD-Writer mit einer so genannten *Burn-Proof*-Technologie. Sobald der CD-Writer einen drohenden Pufferunterlauf erkennt, unterbricht er den Brennvorgang an einer genau positionierbaren Stelle, die er später wieder ansteuert. Sobald der Puffer wieder ausreichend gefüllt ist, setzt er den Brennvorgang ab dieser Stelle fort.

### 2.2.8 CD-RW (CD Rewritable)

Die CD-RW ist ähnlich wie die CD-R aufgebaut. Statt einer organischen Farbschicht wird eine Legierung aus Silber, Indium, Antimon und Tellur als Speicherschicht benutzt. Das Speichermaterial nimmt je nach Erhitzungsgrad durch den Schreiblaser unterschiedliche Aggregatzustände an.

Im gelöschten Zustand liegt eine kristalline (regelmäßige) Struktur vor. Dieser Zustand kann herbeigeführt werden, wenn man die Legierung über einen längeren Zeitraum mit mittlerer Laserleistung erhitzt. Dabei schmilzt die Legierung und die Schmelze erstarrt im kristallinen Zustand.

Zum Schreiben wird der Laser mit hoher Leistung betrieben. Wenn man eine bestimmte Stelle der Speicherschicht kurzzeitig erhitzt, geht das Speichermaterial lokal in einen amorphen (ungeordneten) Zustand über.

Die beiden Aggregatzustände zeigen unterschiedliches Reflektionsverhalten. Zum Lesen wird der Laser mit niedrigster Leistung betrieben. Während an Stellen in kristallinem Zustand eine hohe Reflektion des Laserstrahls erfolgt, wird dieser an Stellen in amorphem Zustand nur schwach reflektiert.

Das oben beschriebene Speicherprinzip wird als Phasen-Wechsel-Technik (Phase-Change Technology) bezeichnet. Es wird sowohl für CDs als auch für wieder- Phase-Change Technology beschreibbare DVDs eingesetzt.

Da die Reflektionen bei RW-Medien geringer sind als bei CD-R- und CD-ROM-Medien, benötigt man zum Lesen solcher Speichermedien ein Laufwerk mit einem Leseverstärker, der die schwächeren Sensorsignale auf einen brauchbaren Signalpegel anhebt. Wenn dieser so genannte AGC (Automatic Gain Controller) vorhanden ist, bezeichnet man das Laufwerk als multiread-fähig.

## 2.3 DVD (Digital Versatile Disc)

DVD stand früher für „Digital Video Disc“, da sie ursprünglich für die Aufzeichnung von Videos gedacht war. Ähnlich wie bei den CDs erkannte man aber bald, dass man damit auch sehr gut Software und Daten dauerhaft speichern kann. Prinzipiell gibt es keine wesentlichen Unterschiede zur CD-ROM, sogar die Abmessungen sind identisch. Gegenüber CD-ROMs wurden jedoch die folgenden kapazitätssteigernden Maßnahmen vorgenommen:

- Der Abstand zwischen den Spuren wurde von  $1,6\text{ }\mu\text{m}$  auf  $0,74\text{ }\mu\text{m}$  verringert. Dadurch erreicht man mehr Windungen und eine insgesamt mehr als doppelt so lange Spiralspur.
- Die Wellenlänge der Leseoptik wurde von  $780\text{ nm}$  auf  $650\text{ nm}$  verringert (rotes statt infrarotes Licht).
- Die Länge der Pits und damit die Länge der Channel Bits wurde halbiert. Die Pits der DVD sind nur noch  $0,4\text{ }\mu\text{m}$  lang ( $0,9\text{ }\mu\text{m}$  bei der CD).
- Der nutzbare Datenbereich wurde vergrößert.
- Die Leistungsfähigkeit der Fehlerkorrektur wurde um mehr als 30% verbessert.
- Der Sektor-Overhead konnte reduziert werden.

DVD-5

Die aufgeführten Maßnahmen steigern die Speicherkapazität gegenüber der CD-ROM um den Faktor 7 auf 4,7 GByte. Man bezeichnet dieses Speichermedium als **DVD-5**. Wegen der großen Ähnlichkeit zwischen DVD und CD-ROM kann ein DVD-Laufwerk auch benutzt werden, um CD-ROMs zu lesen. Wegen der unterschiedlichen Pit-Größe wird dazu meist ein zweiter Laser im Infrarotbereich benutzt.

DVD-10

Um die Speicherkapazität der DVD-5 zu erhöhen, führte man drei weitere DVD-Varianten ein. Die einfachste Methode besteht darin, zwei 4,7-GByte-Speicherschichten in eine einzige DVD zu integrieren. Diese Variante wird als **DVD-10** bezeichnet. Die DVD-10 hat eine Speicherkapazität von 9,4 GByte und muss von Hand umgedreht werden, wenn eine Seite ausgelesen wurde.

DVD-9

Man kann aber auch eine einseitige DVD herstellen, die zwei übereinander liegende Schichten hat. Die erste Schicht (von der Leseoptik gesehen) besteht aus einem halbtransparenten Material, das von einem entsprechend fokussierten Laser durchdrungen werden kann, um die dahinter liegende zweite Speicherschicht abzutasten. Während auf der ersten Schicht 4,7 GByte Platz finden, können auf der zweiten Speicherschicht nur 3,8 GByte gespeichert werden. Dies ist dadurch zu erklären, dass die zweite Schicht etwas größere Pits und Lands erfordert.

DVD-18

Wie bei der DVD-10 kann man nun wieder zwei Doppelspeicherschichten in einer einzigen DVD verschmelzen. Man erhält so eine DVD mit einer Speicherkapazität von 17 GByte. Diese **DVD-18** muss allerdings wieder von Hand umgedreht werden.

# Kapitel 3

## Peripheriegeräte

### 3.1 Tastatur

Die Tastatur ist wohl das wichtigste Eingabegerät eines PCs. Sie wird über die so genannte PS/2- oder USB-Schnittstelle angeschlossen. Es gibt auch drahtlose Tastaturen, bei denen nur ein Funkmodul mit der Schnittstelle verbunden wird.

Tastaturen gibt es mit zeilenförmiger oder ergonomischer Anordnung der Tasten. Am häufigsten findet man jedoch zeilenförmig angeordnete Tasten, die wegen der Reihenfolge der ersten Buchstaben (von links oben nach rechts) auch als QWERTZ-Tastaturen bezeichnet werden. Dieses Layout der Tasten ist vor allem in Europa verbreitet. In Amerika findet man das QWERTY-Layout, bei dem im Wesentlichen die Z- und die Y-Taste vertauscht sowie einige Sonderzeichen anders platziert sind. Neben den Buchstaben- und Zifferntasten gibt es Funktionstasten (oberste Zeile), Steuertasten (Strg, Alt, Shift, AltGr), Cursortasten und oft einen numerischen Tastenblock. Das bei uns übliche Tastaturlayout MF II (Multi-Funktion II) hat 102 Tasten.

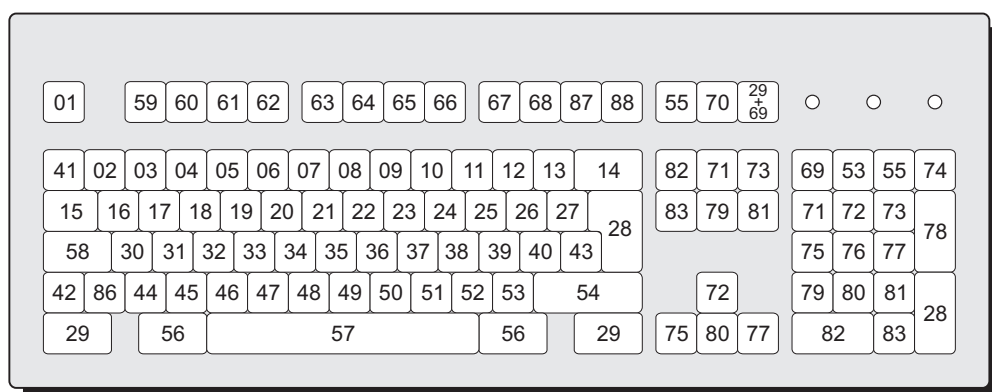


Abbildung 3.1: Tastenlayout und Scancodes einer MF II-Tastatur

Wenn man eine Taste drückt, kommt es zu einem kurzzeitigen Schließen eines Kontakts, der sich im Kreuzungspunkt einer Matrix befindet, die aus Zeilen–

und Spaltenleitungen besteht. Jede Taste kann über ihre Zeilen- und Spaltennummer eindeutig zugeordnet werden.

Auf der Tastaturplatine befindet sich ein Mikrocontroller (meist ein 8049), der die Leitungsmatrix so schnell abtastet, dass jeder einzelne Tastendruck getrennt registriert werden kann. Hierzu legt der Controller zyklisch 1-Signale auf die Zeilenleitungen. Wenn in einer angewählten Zeile eine Taste gedrückt wird, kann der Controller die Dualcodes der Zeilen- und Spaltennummern der gedrückten Taste ermitteln. Eigentlich wird der Kontakt nicht nur einmal, sondern mehrere Male hintereinander geschlossen. Man bezeichnet dies als **Tastenprellen**. Der Tastaturcontroller kann aber aufgrund der kurzen zeitlichen Abstände das Tastenprellen von aufeinander folgenden Tastendrücken unterscheiden. Früher benutzte man zum Zweck der Entprellung von Tastern elektronische Schaltungen.

Tastenprellen

Wegen der unterschiedlichen Größe und der von einer regelmäßigen Matrix abweichenden Anordnung der Tasten können aus dem Tastaturlayout die Spalten- und Zeilennummern nicht eindeutig zugeordnet werden. Aus der Abbildung 3.1 geht jedoch hervor, welcher Scancode beim Drücken einer Taste erzeugt wird. Dieser Scancode setzt sich wie oben beschrieben aus dem Dualcode der Spalten- und Zeilennummer zusammen, an der sich die gedrückte Taste in der Leitungsmatrix befindet. Er wird zunächst in einem FIFO-Pufferspeicher zwischengespeichert und dann vom Tastatur-Controller zur entsprechenden Schnittstelle (PS/2 oder USB) an den PC übermittelt. Dort befindet sich ein Schnittstellen-Controller (meist bereits im Chipsatz enthalten), der den seriellen Datenstrom wieder in eine Folge von (parallelen) Scancodes umwandelt (Abbildung 3.2). Die bitserielle Datenübertragung erfolgt synchron, d.h. neben dem Datensignal wird auch eine Taktleitung benötigt.

Scancode

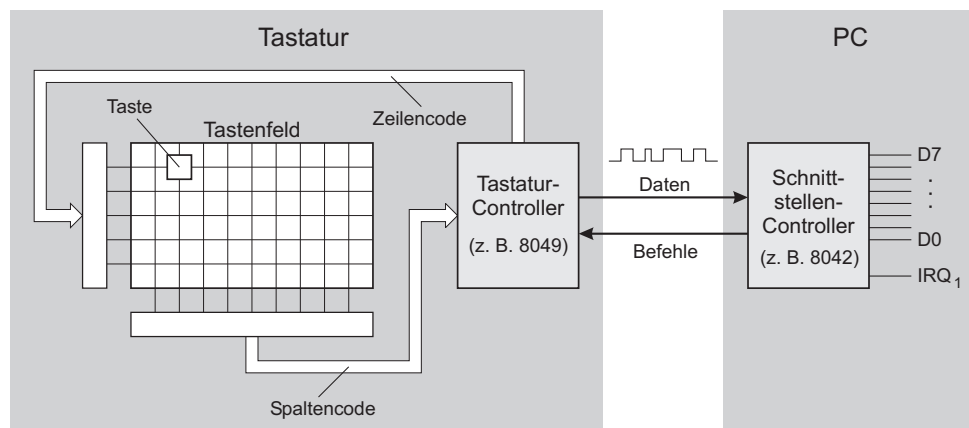


Abbildung 3.2: Datenaustausch zwischen Tastatur- und Schnittstellen-Controller.

Sobald der Schnittstellen-Controller Daten vom Tastatur-Controller empfangen hat, erzeugt er einen Interrupt über die  $IRQ_1$ -Leitung. Damit informiert



er den Prozessor, dass der Benutzer Daten eingegeben hat. Die Scancodes werden nun mit Hilfe des BIOS-Interrupt-Handlers (INT 9) vom Prozessor in ASCII-Zeichencodes umgewandelt und zusammen mit den Scancodes in einem Ringpuffer zwischengespeichert.

### 3.1.1 Make Codes und Break Codes

Obwohl eine MF II-Tastatur nur 102 Tasten hat, kann man durch die Kombinationen mit den Steuertasten den kompletten ASCII-Zeichensatz von  $2^8 = 256$  Zeichen eingeben. Um zu erkennen, in welcher Kombination bzw. Reihenfolge die Tasten gedrückt wurden, ordnet man jeder Taste nicht nur einen, sondern *zwei* Scancodes zu. Der Scancode, der beim Drücken der Taste ausgegeben wird, heißt *Make Code* (vgl. Abbildung 3.1).

Make Code

Beim Loslassen einer Taste wird der so genannte *Break Code* ausgegeben. Er ergibt sich aus dem Make Code durch Addition von 128. Da die Scancodes als 8-Bit-Zahlen im Hexadezimalsystem ausgegeben werden, entspricht diese Addition dem Hinzufügen einer 1 in der höchstwertigen Bitposition.

Break Code

Der Interrupt Handler wertet die Folge der Make Codes und Break Codes aus und ordnet ihnen ASCII-Zeichencodes zu. Wenn z.B. zuerst der Make Code der Umschalttaste (Shift-Taste), dann der Make Code der „A“-Taste und danach der Break Code der „A“-Taste registriert wird, so ordnet der Interrupt Handler den ASCII-Code für ein großes „A“ zu. Wird die Umschalttaste vor dem Break Code der „A“-Taste losgelassen, so wird der ASCII-Code für ein kleines „a“ gespeichert.

Die Tastatur liefert also den Anwendungsprogrammen entweder Scancodes und/oder ASCII-Codes. Über entsprechende Tastaturtreiber erfolgt dann die Zuordnung zu den jeweiligen Zeichensätzen. So ist es möglich, mit einer standardisierten Tastatur auch asiatische Zeichen im so genannten *Unicode* einzugeben.

Unicode

Im Gegensatz zum ASCII-Code werden hier 16 Bit zur Codierung eines Zeichens verwendet. Folglich kann man hiermit bis zu 65536 verschiedene Zeichen codieren. Auf der Webseite [www.unicode.org/charts](http://www.unicode.org/charts) finden Sie sämtliche benutzen Hexadezimalcodes und die zugeordneten Zeichen. Es sind bereits über 60000 Zeichen definiert.

### 3.1.2 Ringpuffer

Der Ringpuffer realisiert einen FIFO-Speicher, in den die Scancodes und die zugehörigen ASCII-Codes für Anwenderprogramme zwischengespeichert werden (Abbildung 3.3). Er liegt im Speicherbereich 0040001E<sub>H</sub> bis 0040003D<sub>H</sub> und kann 16 Wörter zu je zwei Byte aufnehmen. Um den Ringpuffer zu verwalten, gibt es zwei Zeiger, die jeweils auf die nächste freie bzw. letzte belegte Position in dem o.g. Speicherbereich zeigen. Sobald diese Zeiger die obere Speicher- grenze überschreiten, werden sie wieder auf den Anfang des Speicherbereichs

zurückgesetzt.<sup>1</sup>

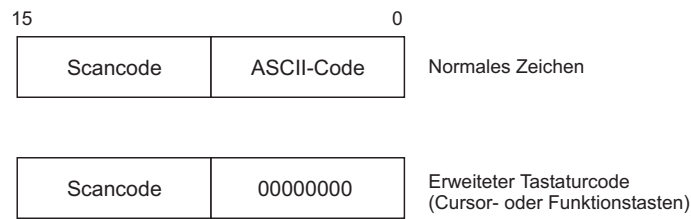


Abbildung 3.3: Aufbau eines Eintrags im Tastatur-Ringpuffer

### 3.1.3 Tastaturfunktionen des BIOS

Das BIOS stellt über den Software-Interrupt  $16_H$  sieben verschiedene Funktionen bereit, um aus einem Anwendungsprogramm auf die Tastatur zuzugreifen (Tabelle 3.1). Die jeweilige Funktion wird durch einen 8-Bit-Funktionscode im Register AH ausgewählt. So kann beispielsweise mit der Funktion  $00_H$  das nächste Zeichen aus dem Tastaturpuffer ausgelesen werden. Wenn der Puffer leer ist, wartet die Funktion solange, bis ein Zeichen eingegeben wurde. Als Ergebnis der Funktion wird im Register AH der Scancode der gedrückten Taste zurückgeliefert. Dieser oder eine Folge von mehreren Scancodes können nun in Anwendungsprogrammen in einen beliebigen Zeichencode (z.B. Unicode) umgewandelt werden.

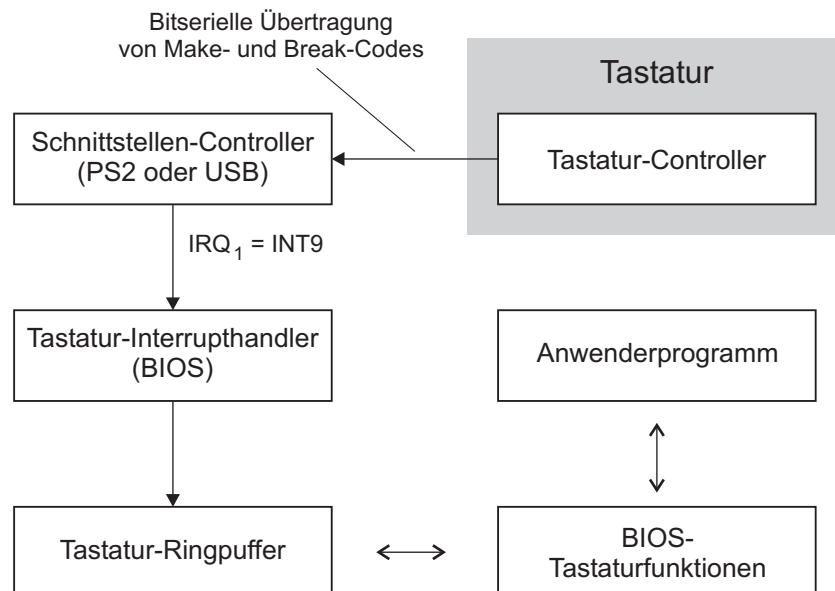


Abbildung 3.4: Speicherung von Make- und Break-Codes im Tastatur-Ringpuffer

<sup>1</sup>daher der Name Ringpuffer.

Über die Funktion  $03_H$  kann die Verzögerungszeit bis zum Einsetzen der Wiederholungsfunktion und die Wiederholrate programmiert werden. Wenn eine Taste länger als die Verzögerungszeit gedrückt bleibt, erzeugt der Tastatur-Controller eine permanente Folge von Breakcodes mit der angegebenen Wiederholrate. Die Verzögerungszeit kann zwischen 0,25 und 1,0 s, die Wiederholrate zwischen 2 und 30 Zeichen pro Sekunde eingestellt werden.

Tabelle 3.1: Funktionen des BIOS-Interrupts  $16_H$

Funktionscode	Aufgabe
$00_H$	Nächstes Zeichen lesen
$01_H$	Pufferstatus ermitteln
$02_H$	Zustand der Umschalttasten ermitteln
$03_H$	Verzögerungszeit und Wiederholrate programmieren
$05_H$	Scan- und Zeichencode in den Tastaturpuffer schreiben
$10_H$	Lesen eines Zeichen von MF II-Tastatur
$12_H$	Zustand der Umschalttasten von MF II-Tastatur ermitteln

## 3.2 Maus

Während die ersten PCs noch überwiegend mit der Tastatur bedient wurden, ist heute die Maus zur Bedienung von grafischen Benutzeroberflächen nicht mehr wegzudenken. Mäuse gibt es in vielen Formen und Größen. Sie sind entweder mit einem optomechanischen oder optischen Abtastsystem ausgestattet. Hiermit wird die relative Bewegung der Maus auf einer Unterlage gemessen. Die Lageänderungen werden als bitserieller Datenstrom an einen entsprechenden Schnittstellen-Controller (PS/2 oder USB) übermittelt.

### 3.2.1 Optische Maus

Früher benötigten *optische Mäuse* eine spezielle Unterlage (Mauspad), dessen Reflexionsmuster mit Leuchtdioden angestrahlt und mit Fotodioden abgetastet wurde, um die Bewegung der Maus zu messen. Bei modernen optischen Mäusen handelt es sich eigentlich um miniaturisierte Digitalkameras, die auch als **IntelliEye-Sensoren** bezeichnet werden. Eine beliebige Arbeitsfläche<sup>2</sup> wird von einer roten Leuchtdiode angestrahlt und mit einem Bildsensor werden dann von der Oberfläche bis zu 1500 Bilder pro Sekunde aufgenommen. Ein in der Maus integrierter Digitaler Signalprozessor (DSP) vergleicht die aufeinander folgenden Bilder und errechnet aus kleinsten Bildunterschieden die Bewegungsrichtung der Maus. Die Signalprozessoren in optischen Mäusen sind leistungsfähiger als PC-Prozessoren vor etwa 20 Jahren. Sie können bis zu 18 Millionen

<sup>2</sup>außer einem Spiegel.

Image Correlation Processing Befehle pro Sekunde ausführen. Die Auswertung von Bildunterschieden (auch *Image Correlation Processing* genannt) liefert sehr präzise und weiche Mausbewegungen. Da optische Mäuse auf Basis dieser Technologie keine mechanisch beweglichen Teile haben, die verschmutzen können, bieten sie außerdem einen sehr hohen Benutzerkomfort.

### 3.2.2 Alternativen zur Maus

Trackball Aus Platzgründen ist es nicht immer möglich, eine Maus zu verwenden. Dies ist insbesondere bei mobilen Geräten der Fall. Daher hat man als Platz sparende Alternative die Maus einfach umgedreht und damit den so genannten *Trackball* entwickelt. Der Vorteil des Trackballs liegt darin, dass er auf engstem Raum bedient werden kann.

Trackpoint Eine weitere Miniaturisierung eines grafischen Zeigegerätes erreicht man mit dem *Trackpoint*, einem kleinen, in die Tastatur von Notebooks integrierten Stiftes, mit dem man durch seitlichen Druck in horizontaler Richtung den Mauszeiger bewegen kann.

Touchpad Ebenfalls bei Notebooks findet man auch das *Touchpad*. Es beruht auf dem kapazitiven Effekt, den die Fingerspitze auf eine Matrix von Leiterbahnen ausübt. Nachteilig ist, dass dieses Sensorfeld unterhalb der Leertaste platziert ist und es durch die Auflage der Finger zu unbeabsichtigten Bewegungen des Mauszeigers kommen kann.

## 3.3 LCD-Bildschirm

Obwohl die noch vor Jahren weit verbreiteten Monitore mit Kathodenstrahlröhren (Cathode Ray Tube – CRT) wegen ihrer hohen Reaktionsgeschwindigkeit von einigen Anwendern auch heute noch geschätzt werden<sup>3</sup>, werden sie immer mehr von LCDs (Liquid Crystal Display) verdrängt. Dies liegt nicht nur daran, dass die CRTs sperrig und schwer sind, sondern dass sie auch deutlich schlechtere Darstellungseigenschaften aufweisen. So treten selbst bei hochwertigen CRTs Randverzerrungen und Verzerrungen der Bildobjekte aufgrund von Konvergenzfehlern auf. Darüber hinaus ist bis heute nicht eindeutig geklärt, ob die von ihnen ausgehende elektromagnetische Strahlung gesundheitliche Schäden hervorrufen kann.

Flüssigkeitskristalle Mo- LCDs basieren auf den optischen Eigenschaften von **Flüssigkeitskristallen**, die aus durchsichtigen organischen Molekülen bestehen. Die stabförmigen Moleküle liegen als zähflüssige (viskose) Flüssigkeit vor und haben die Eigenschaft, Lichtwellen zu polarisieren. Dies bedeutet, dass die Schwingungsebene

<sup>3</sup>vor allem für Computerspiele wichtig.

von Lichtwellen, die durch den Flüssigkristall hindurchgehen, sich an der Orientierung der stabförmigen Moleküle ausrichtet.

In den 60er Jahren entdeckte man, dass mit einem elektrischen Feld die Orientierung der Moleküle beeinflusst werden kann. Damit hat man die Möglichkeit, die **Polarisationsrichtung** des durch den Flüssigkristall hindurchgehenden Lichts elektrisch umzuschalten. In Abbildung 3.5 ist der schematische Aufbau eines Pixels auf einem LCD-Bildschirm dargestellt.

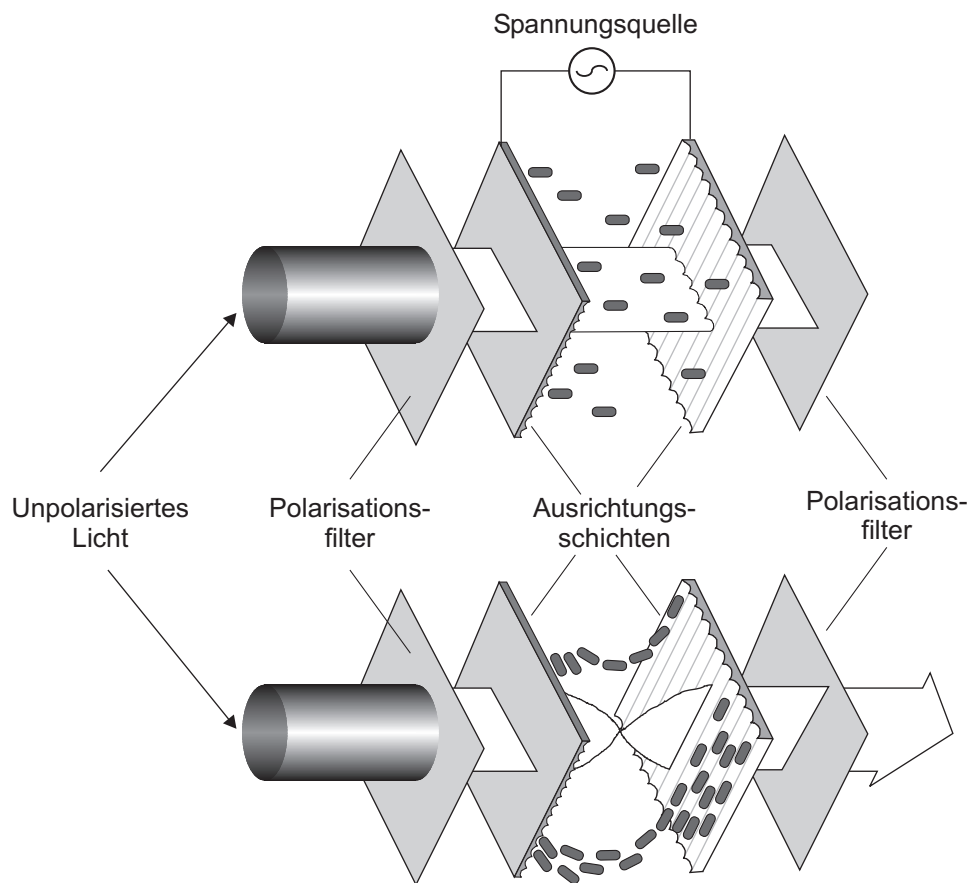


Abbildung 3.5: Funktionsprinzip eines LCD-Bildschirms

Betrachten wir zunächst den unteren Teil der Abbildung. Von links kommt unpolarisiertes Licht aus einer Lichtquelle, die den gesamten Bildschirm eines LCD-Display von hinten gleichmäßig ausleuchtet. Die Hintergrundbeleuchtung wird durch Leuchtstoffröhren realisiert, die an der Seite des Displays angebracht sind. Die horizontale Schwingungsebene der Hintergrundbeleuchtung wird mit Hilfe einer Polarisationsfolie herausgefiltert. Die **Polarisationsfolie** deckt die gesamte Displayfläche ab, d.h. alle Pixel werden von hinten mit horizontal polarisiertem Licht angestrahlt.

Der eigentliche Flüssigkristall befindet sich zwischen zwei durchsichtigen Folien (oder Glasplatten), in die winzige horizontale und vertikale Rillen ein-

Hintergrund-  
beleuchtung  
Polarisationsfolie

geritzt sind. Diese Ausrichtungsschichten (*Alignment Layer*) sind um  $90^\circ$  gegeneinander verdreht und der Zwischenraum wird vom Flüssigkristall ausgefüllt. Die stabförmigen Moleküle richten sich parallel zu den Ausrichtungsschichten aus und sorgen so dafür, dass die Polarisationssebene des links eindringenden Lichts ebenfalls um  $90^\circ$  gedreht wird. Das Licht tritt daher rechts mit vertikaler Polarisation aus. Dort befindet sich nun eine zweite Polarisationsfolie, die ebenfalls vertikal ausgerichtet ist und somit das von links kommende Licht passieren lässt. Der Betrachter, der von rechts auf das Display sieht, wird folglich einen hellen Lichtpunkt wahrnehmen.

Ausrichtungsschichten

Betrachten wir nun das obere Teilbild, bei dem zwischen beiden Ausrichtungsschichten eine elektrische Spannung angelegt wird. Infolge des elektrischen Feldes richten sich alle Moleküle gleichförmig horizontal aus, so dass die Polarisationssebene **nicht** mehr um  $90^\circ$  verdreht wird. Das aus dem Flüssigkristall austretende, horizontal polarisierte Licht wird nun von dem vertikal ausgerichteten Polarisationsfilter blockiert. Der Betrachter sieht daher einen dunklen Pixel. Durch die Höhe der elektrischen Spannung kann die Polarisationsrichtung des austretenden Lichts von vertikal bis horizontal kontinuierlich verändert werden. In Verbindung mit der zweiten Polarisationsfolie kann dadurch auch die Pixelhelligkeit gesteuert werden.

feststehende Auflösung

Um die Spannungen an die einzelnen Pixel heranzuführen, werden auf die Ausrichtungsschichten von außen transparente Elektroden in Form eines Leitungsgitters aufgebracht. LCD-Bildschirme haben daher — im Gegensatz zu CRTs — eine feststehende Auflösung. Wenn man z.B. ein Display mit einer Auflösung von  $1024 \times 768$  Pixel mit einer Auflösung von  $640 \times 480$  Pixel ansteuert, so muss der Bildschirminhalt entsprechend vergrößert werden. Diese Vergrößerung führt aber insbesondere bei Schriften zu unschönen Artefakten. Die meisten modernen LCD-Bildschirme sind aber in der Lage durch ein so genanntes *Anti-Aliasing* mittels einer erneuten Abtastung des Bildschirminhalts diese Artefakte zu unterdrücken. Die bestmögliche Bildqualität erhält man aber bei LCD-Bildschirmen nur dann, wenn man den Graphikadapter genau auf die Display-Auflösung einstellt.

Anti-Aliasing

### 3.3.1 Passiv- und Aktivmatrix-Displays

Twisted Nematic

Da die Schichtenfolge des in Abbildung 3.5 dargestellten LCD-Bildschirms bewirkt, dass die Polarisationssebene des durchgehenden Lichts gedreht wird, spricht man auch von einem *Twisted Nematic Display* (TN). Je nachdem, wie man die lokalen elektrischen Felder zum Schalten der Pixel erzeugt, unterscheidet man LCD-Bildschirme mit *passiver* oder *aktiver* Pixelmatrix.

Wie wir oben gesehen haben, lassen sich bei einer passiven Matrix die Bildpunkte durch eine Spannung an zwei sich kreuzenden Leiterbahnen einschalten. Beim Anlegen der Spannung kommt es wegen der Umladungsprozesse im Flüssigkristall zu einem exponentiell abfallenden Stromimpuls. Da zu einem bestimmten Zeitpunkt immer nur ein einziger Pixel angesteuert werden kann,

muss der Schaltvorgang so schnell wiederholt werden, dass der Betrachter wegen der Trägheit des Sehsystems glaubt, ein stehendes Bild zu sehen.

Bei einer passiven Matrix befinden sich die Schalttransistoren im Controller des LCD-Bildschirms. Dort wird für jede Zeile und Spalte genau ein Transistor benötigt. Da bei dieser Technik die Pixel zyklisch ein- und ausgeschaltet werden, ergibt sich ein kontrastarmes Bild. Außerdem ist die Reaktionszeit sehr groß. Schnelle Bewegungen des Mauszeigers erscheinen verschmiert, weil die Flüssigkeitskristalle aufgrund der ständig nötigen Umladungen nicht schnell genug folgen können. Um die Reaktionszeiten zu verkürzen, teilt man daher den Bildschirm oft in zwei Teile, die dann mit zwei getrennten Steuereinheiten parallel betrieben werden. Diese so genannten *DSTN-Displays* (*Dual Scan Twisted Nematic*) erreichen typische Antwortzeiten von 300 ms. Obwohl dies für normale Bildschirmarbeit genügt, schränken diese noch recht hohen Antwortzeiten den Bereich der möglichen Anwendungen ein.

Deutliche Verbesserungen der Antwortzeiten (bis weniger als 15 ms) erreicht man nur mit Aktivmatrix-Displays. Hier werden in jedem Kreuzungspunkt der Matrix Dünnschicht-Transistoren integriert. Man spricht von *TFT-Displays* (*Thin Film Transistor*). Der Aufwand zur Herstellung ist jedoch deutlich höher als bei Passivmatrix-Displays. Während bei einem Passivmatrix-Display mit  $1024 \times 768$  Pixeln 1792 Transistoren bzw. bei einem Farbdisplay  $3 \cdot 1792 = 5376$  Transistoren benötigt werden<sup>4</sup>, müssen bei gleicher Auflösung für ein Aktivmatrix-Display insgesamt  $3 \cdot 1024 \cdot 768 = 2.359.296$  Dünnschicht-Transistoren auf der Außenseite der Ausrichtungsschichten integriert werden. Das sind rund 1000-mal so viele Transistoren wie beim Passivmatrix-Display. Da die Verbraucher nur eine geringe Zahl fehlerhafter Pixel tolerieren, ergeben sich bei der Herstellung hohe Ausschussraten. Dies schlägt sich wiederum in hohen Preisen für TFT-Displays nieder.

### 3.3.2 Pixelfehler

Bei TFT-Displays treten zwei Arten von Pixelfehlern auf:

1. Ein ständig leuchtender (roter, grüner oder blauer) Pixel vor einem schwarzen Hintergrund tritt auf, wenn der zugehörige Transistor nicht eingeschaltet werden kann.
2. Ein ständig dunkler Pixel auf einem weißen Hintergrund tritt auf, wenn der zugehörige Transistor einen Kurzschluss aufweist und nicht mehr abgeschaltet werden kann.

Der erstgenannte Fehler tritt am häufigsten auf. Da ein ständig leuchtender Pixel sehr störend wirkt, wandelt man diesen Fehler häufig mit einem Laserstrahl in den zweitgenannten Fehler um. Damit TFT-Displays zu akzeptablen

<sup>4</sup>für jede Grundfarbe ein Transistor.

### Pixelfehler- klassen

Preisen hergestellt werden können, müssen die Kunden Pixelfehler in gewissen Grenzen akzeptieren. Man beachte, dass z.B. 10 Pixelfehler bei einem 1024 x 768 Pixel TFT-Display einer sehr geringen Fehlerrate von nur 0,0127 Promille entsprechen.

Mit der ISO-Norm 13406-2 werden vorgegeben, in welche die LCD-Bildschirme anhand der Art und Zahl der Fehler eingeordnet werden. Die Hersteller garantieren für einen Bildschirm einer bestimmten Pixelfehlerklasse, dass die Zahl der Fehler nicht die in Tabelle 3.2 angegebenen Werte überschreitet. LCD-Bildschirme der Pixelfehlerklasse I sind absolut fehlerfrei und daher auch am teuersten.

Tabelle 3.2: Übersicht über Pixelfehlerklassen nach ISO 13406-2.

Typ 1: ständig leuchtend; Typ 2: ständig dunkel; Typ 3: gemischt.

Klasse	Typ 1	Typ 2	Typ 3
I	0	0	0
II	2	2	5
III	5	15	50
IV	50	150	500

### 3.3.3 Kontrastverhältnis und Blickwinkel

#### Kontrast- verhältnis

Das Kontrastverhältnis ergibt sich aus den Helligkeitswerten bei der Anzeige von schwarzen und weißen Flächen. Die Farbwiedergabe wird dabei nicht berücksichtigt. Ein hohes Kontrastverhältnis ist wichtig, wenn man den LCD-Bildschirm bei hellem Umgebungslicht benutzt. Typische Werte bei hochwertigen Bildschirmen liegen bei 1 : 450.

#### Betrachtungs- winkel

Der maximale Betrachtungswinkel gibt an, unter welchem Winkel das Kontrastverhältnis auf 10 Prozent des Wertes abfällt, der bei senkrechter Betrachtung des Bildschirms erreicht wird. Ähnlich wie bei Pixelfehlern werden durch die ISO-Norm 13406-2 auch Blickwinkelklassen definiert. Bildschirme der Klasse I ermöglichen die gleichzeitige Nutzung durch mehrere Personen, da hier Leuchtdichte, Farbdarstellung und Kontrast nur wenig vom Betrachtungswinkel abhängen. Für einzelne Benutzer, die stets frontal auf den Bildschirm sehen, ist die Blickwinkelklasse IV ausreichend.

#### Blickwinkel- klassen

### 3.3.4 Farbraum und Farbtemperatur

Bei LCD-Displays werden Farben durch *additive* Farbmischung der drei Grundfarben (Primärfarben) Rot, Grün und Blau dargestellt. Wenn man die Farbsättigung jeder dieser Farben als eine Koordinatenachse betrachtet, entsteht der



so genannte RGB-Farbraum. Dieser Farbraum wird für die Bildschirmdarstellung und für Scanner benutzt. Mischt man die drei Grundfarben in gleichem Verhältnis so ergibt sich Weiß. Mischt man nur zwei der Grundfarben so erhält man die Komplementär-(Sekundär)farben Cyan, Magenta und Gelb, welche die Grundlage des CMYK-Farbraums bilden. Dieser Farbraum wird bei Druckern (vgl. Abschnitt 3.4) zur *subtraktiven* Farbmischung benutzt.

RGB-Farbraum

CMYK-Farbraum

Im Gegensatz zur additiven Farbmischung werden hierbei die Grundfarben aus dem Spektrum des weißen Lichts herausgefiltert. Jede Grundfarbe absorbiert alle anderen Farben und reflektiert nur noch die eigenen Farbanteile. Die subtraktive Mischung der drei Grundfarben würde theoretisch Schwarz liefern. In der Realität ergibt sich aber lediglich eine dunkelgrün/braune Farbe. Daher wird bei Druckern zusätzlich die „Farbe“ Schwarz bereitgestellt. Der Buchstabe „K“ im Farbraum ergibt sich als letzter Buchstabe des englischen Worts „Black“. Die Sekundärfarben des CMYK-Farbraums ergeben wieder die Primärfarben Rot, Grün und Blau des RGB-Farbraums.

Da Programme normalerweise den RGB-Farbraum benutzen, muss vor der Ausgabe auf einen Farbdrucker eine Umwandlung in die vier Grundfarben des subtraktiven Farbraums erfolgen. Dieser Vorgang wird *Vierfarbseparation* genannt.

Die Farbqualität eines LCD-Bildschirms wird in hohem Maße von der so genannten *Farbtemperatur* der Hintergrundbeleuchtung bestimmt. Ein auf eine bestimmte Temperatur erhitzter Körper strahlt elektromagnetische Wellen mit einem charakteristischen Wellenlängenspektrum ab. Bei niedrigen Temperaturen ( $<1500^\circ\text{K}$ ) findet man vorwiegend langwellige (rote) Strahlung, bei hohen Temperaturen ( $10000^\circ\text{K}$ ) überwiegt die kurzwellige (blaue) Strahlung. Dazwischen liegt die Farbtemperatur des Tageslichts (bei rund  $6500^\circ\text{K}$ ). Die Farbtemperatur der Hintergrundbeleuchtung wirkt zusammen mit den Farbfiltern des LCD-Panels und bestimmt damit die darstellbare Farbpalette. Hochwertige Monitore erlauben daher, die Farbtemperatur an die jeweilige Aufgabenstellung (z.B. Bildverarbeitung) anzupassen.

Farbtemperatur

### 3.3.5 Digitale Video-Schnittstellen

Die heute weitgehend vom Markt verschwundenen Monitore mit Kathodenstrahlröhren (CRT) werden mit analogen Signalen angesteuert. Ein eng mit dem Bildspeicher verbundener Digital-/Analog-Umsetzer (RAMDAC) erzeugt diese Signale und gibt sie auf den so genannten VGA-Port aus. Der Anschluss des Monitors erfolgt dabei über einen 15poligen Sub-D-Stecker, der neben den RGB-Analogsignalen auch separate Farb-, Horizontal- und Vertikalsynchronisationssignale bereitstellt. Die Übertragung dieser Analogsignale erfordert insbesondere bei hohen Auflösungen hochwertige Kabel- und Anschlusskontakte. Um in diesen Fällen Verluste bei der Bildqualität zu vermeiden, benutzt man häufig separate Koaxialkabel.

Wesentlich günstiger ist es jedoch, anstatt der analogen nur die digitalen Signale zu übertragen. Da die sowieso überflüssige Umwandlung der Analog-

in Digitalsignale entfällt, vereinfacht sich bei LCD-Bildschirmen nicht nur der Aufbau der internen Ansteuerelektronik (*Controller*), sondern man vermeidet auch Qualitätsverluste aufgrund der analogen Übertragung. Im Falle von CRTs wird man künftig die RAMDACs in den Monitor verlagern und die nötige Umsetzung in Analogsignale vor Ort ausführen.

Moderne Graphikadapter verfügen über einen DVI-Port (*Digital Video Interface*), den es in drei Varianten gibt:

- DVI-D enthält nur die digitalen Videosignale,
- DVI-A enthält wie der VGA-Port analoge Videosignale,
- DVI-I integriert die beiden o.g. Varianten.

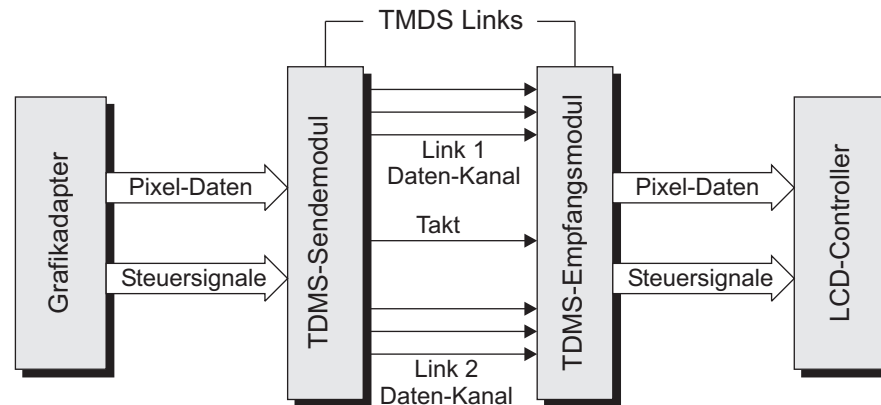


Abbildung 3.6: Digitale Signale der DVI-Schnittstelle

Der DVI-Standard geht auf die Arbeit der *Digital Display Working Group* (DDWG) zurück und führt eine bitserielle Übertragung mit dem so genannten *TMDs-Protokoll* aus, das die Zahl der (binären) Signalübergänge minimiert (*Transition Minimized Differential Signalling* – TMDs). Durch dieses Protokoll werden die elektromagnetischen Interferenzen reduziert. Die digitalen RGB-Farbsignale (Data0+/Data0– bis Data2+/Data2–) mit einer Farbtiefe von maximal 24 Bit und ein Taktsignal (Clock+/Clock–) werden über vier verdrehte Leitungspaare (*twisted Pair*) zum Bildschirm übertragen (Abbildung 3.6). Für jedes Leitungspaar steht noch eine Abschirmung (*Shield* – Shld) zur Verfügung, die sich jedoch jeweils zwei Datenleitungen teilen müssen. Im DVI-Standardstecker (vgl. Abbildung 3.7) sind noch Pins für einen zusätzlichen zweiten Datenkanal (Data3+/Data3– bis Data5+/Data5–) vorhanden (*Dual Link*), so dass die Übertragungsbandbreite für Bildschirme mit sehr hoher Auflösung leicht verdoppelt werden kann. Dabei benutzen beide Kanäle das gleiche Taktsignal, das eine Übertragungsrate von 1,65 Gbit/s pro Leitungspaar ermöglicht. Da für jeweils vier Datenbits einer Farbinformation ein zusätzliches

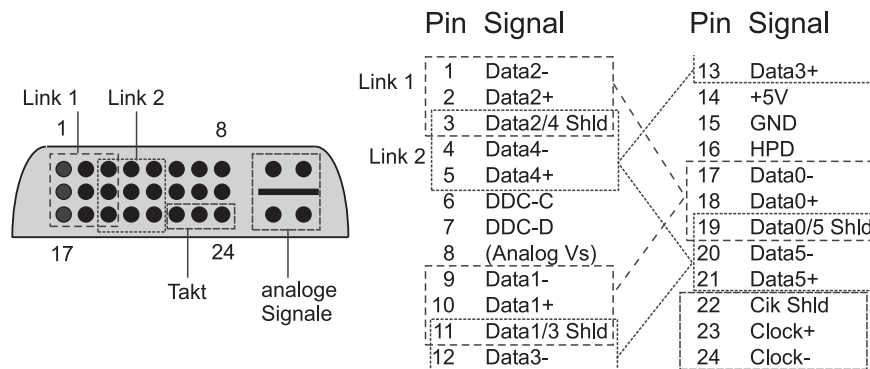


Abbildung 3.7: DVI-I-Stecker mit Anschlussbelegung

Steuerbit übertragen wird, pro Byte also 10 Bits, beträgt die maximale Übertragungsrate pro Verbindung 165 MPixel/s. Eine Dual-Link-Schnittstelle erlaubt daher eine Rate von maximal 330 MPixel/s.

## 3.4 Drucker

Die Aufgabe eines Druckers ist es, Texte oder Bilder auf Papier auszugeben. Im Laufe der Jahre wurden verschiedene Druckertechnologien entwickelt, die man im Wesentlichen in zwei Hauptkategorien unterteilen kann: Drucker *mit* und *ohne mechanischen* Anschlag. Zu den Druckern mit mechanischem Anschlag zählen Typenrad-, Nadel- und Banddrucker. Da diese Technologien jedoch sehr viel Lärm verursachen, werden heute fast ausschließlich Drucker ohne mechanischen Anschlag eingesetzt<sup>5</sup>. Im Folgenden werden wir die Funktionsprinzipien dieser modernen Drucker (Tintenstrahl- und Laserdrucker) kennen lernen.

### 3.4.1 Tintenstrahldrucker

Ein Tintenstrahldrucker spritzt mit Hilfe feiner Düsen Tinte auf das Papier. Die Zeichen und Graphiken werden aus einzelnen Punkten zusammengesetzt, d.h. sie gehören zur Gruppe der Matrixdrucker. Der Druckvorgang erfolgt zeilenweise. Um den Abstand zwischen den Düsen zu minimieren, werden diese am Druckkopf versetzt angeordnet. Da die Düsen leicht verstopfen bzw. verschleifen, werden sie zusammen mit dem Tintenvorrat zu einer Einheit zusammengefasst und komplett ersetzt, sobald die Tinte leer ist. Um die Tinte aufs Papier zu spritzen, haben sich im Wesentlichen zwei Verfahren durchgesetzt:

- Piezo-Verfahren,
- Bubble-Jet-Verfahren.

Das *Piezo-Verfahren* beruht auf dem piezoelektrischen Effekt, den man bei Kristallen findet: Wenn man an den Kristall eine Spannung anlegt, ändert dieser

<sup>5</sup>Außer man benötigt Durchschläge wie z.B. bei Rechnungen.

CMYK–  
Farbmodell

seine Form. Die Formveränderung wird zum Aufbau des Düsendrucks ausgenutzt, der nötig ist, um die Tinte auf das Papier zu sprühen. Beim *Bubble-Jet-Verfahren* wird die Tinte in den Düsen in kurzer Zeit stark erhitzt, so dass sich Dampfblasen (Bubbles) bilden und die Tinte aus der Düse herausgeschleudert wird. Da die Druckköpfe nach dem Bubble-Jet-Verfahren preiswerter herzustellen sind, ist dieses Verfahren sehr verbreitet. Das Piezo-Verfahren wird eigentlich nur noch von der Firma Epson eingesetzt.

Wegen der geringen Kosten und ihrer hohen Druckqualität sind Tintenstrahldrucker sehr beliebt. Sie erreichen Auflösungen von bis zu 2800 dpi (Punkte pro Zoll – *Dots per Inch*) und benutzen das CMYK-Farbmodell, um farbige Bilder zu drucken (vgl. Abschnitt 3.3.4). Daneben gibt es auch noch spezielle Foto-Drucker, die mit sieben Basisfarben arbeiten und für den Ausdruck von Fotos optimiert sind.

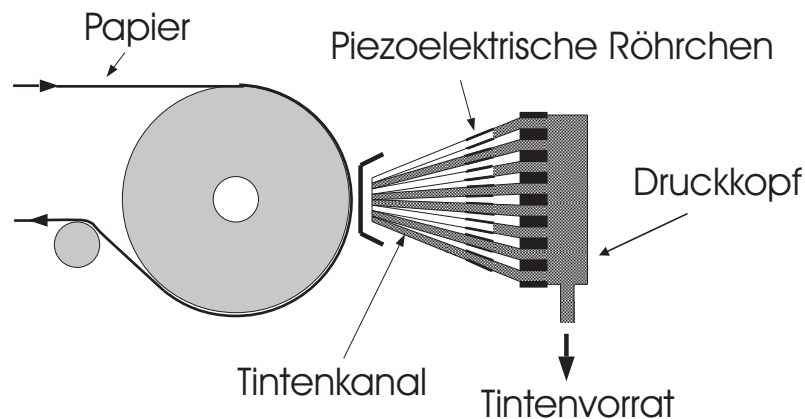


Abbildung 3.8: Druckkopf eines Tintenstrahldruckers nach dem Piezo-Verfahren.

### 3.4.2 Laserdrucker

Laserdrucker arbeiten nach dem elektrophotografischen Prinzip (Abbildung 3.9). Eine rotierende Trommel mit einer dielektrischen Schicht wird zu Beginn eines Seiten-Druckvorgangs mit einer sehr hohen Spannung (ca. 1000 V) aufgeladen. Dann wird das gleichförmige Ladungsmuster mit einem Laserstrahl zeilenweise überschrieben. Der Laserstrahl wird dazu durch einen rotierenden Spiegel so umgelenkt, dass jeweils eine Druckzeile abgedeckt werden kann. Während der Abtastung schaltet man den Laserstrahl genau an den Stellen ein, an denen später keine Schwärzung des Papiers erfolgen soll. Die elektrisch aufgeladene Trommel verliert genau an diesen Stellen ihre Ladung. Sobald eine Zeile in dieser Weise geschrieben wurde, dreht sich die Trommel ein kleines Stück weiter und die nächste Zeile kann geschrieben werden. Wenn die erste beschriebene Zeile die Tonerkassette erreicht, zieht sie an den noch geladenen Stellen das Tonerpulver an. Das mit dem Laser (negativ) geschriebene Druckmuster

Tonerkassette

wird so auf die Trommel und von dort schließlich auf das Papier übertragen, indem es mit einer Walze gegen die Trommel angedrückt wird. Zum Schluss wird das Tonerpulver auf dem Papier fixiert, indem es durch elektrisch erhitzte Rollen geführt und damit auf das Papier aufgeschmolzen wird. Die Trommel wird nun mit einem Abstreifer von Tonerresten befreit und für den nächsten Seiten-Druckvorgang aufgeladen.

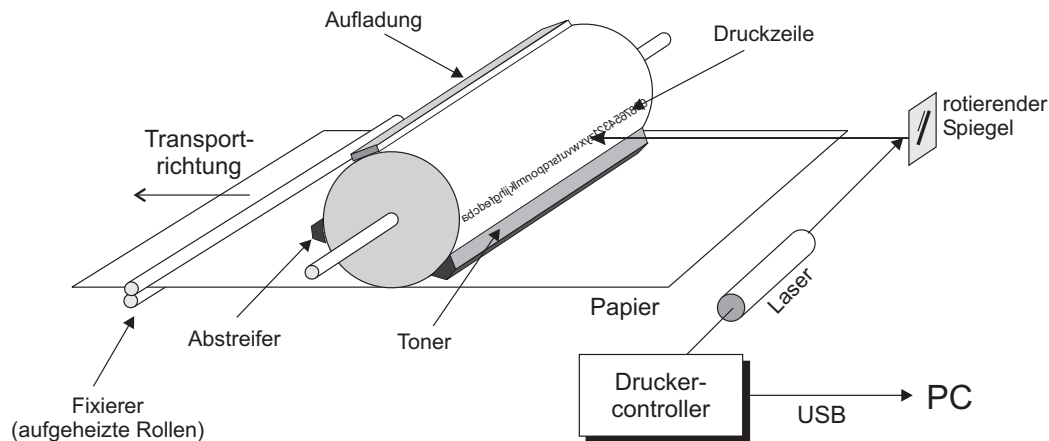


Abbildung 3.9: Schematischer Aufbau eines Laserdruckers

Laserdrucker liefern Ausdrücke mit hoher Qualität (bis 1.200 dpi – ) und Geschwindigkeit (bis zu 20 Seiten/Minute). Sie werden heute meist über eine USB-Schnittstelle mit dem PC verbunden oder sie verfügen über einen Netzwerkadapter, mit dem sie direkt in ein lokales Netzwerk integriert werden können. Zur Steuerung (Druckercontroller) werden eingebettete Rechnersysteme eingesetzt, die über mehrere MByte Halbleiterspeicher verfügen, um die komplette Bitmap für eine Seite aufzunehmen. Die Druckercontroller berechnen diese Bitmap in der Regel aus Druckbefehlen einer standardisierten Seitenbeschreibungssprache (z.B. PCL oder Postscript). Dadurch wird einerseits der PC-Prozessor entlastet und andererseits wird das Datenvolumen reduziert, das über die Druckerschnittstelle übertragen werden muss.

Wie bei den Tintenstrahldruckern können auch bei Laserdruckern Farben durch Mischung der Grundfarben im CMYK-Farbraum erzeugt werden. Farblaserdrucker müssen daher für jede der vier Grundfarben eine eigene Tonerkassette bereitstellen. Graustufen oder Farbschattierungen müssen (ebenfalls wie bei Tintenstrahldruckern) durch Rasterung (Dithering) erzeugt werden. Dadurch wird allerdings die effektive Auflösung reduziert.