

Laborprotokoll

Messprojekt 1

Fachhochschule Vorarlberg

FTB-ELT-DU-1_2

Labor-Elekrotechnik

Betreuer: Christian Anselmi

Abgabe: 14.01.20

Verfasser: KAHR Christian, TSCHAVOLL Jakob

Dornbirn, 14.01.20

1 Inhaltsverzeichnis

Inhalt

1	Inhaltsverzeichnis.....	2
2	Aufgabenstellung: Allgemein	4
3	Passive Blackbox.....	5
3.1	Aufgabenstellung passive Blackbox	5
3.2	Messungsvorbereitung/Theorie.....	6
3.2.1	Theorie.....	6
3.2.2	Allgemein.....	6
3.2.3	Bauteilkombinationen	6
3.2.4	Bestimmung der verwendeten Bauteiltypen.....	6
3.2.5	Bestimmung des Filtertyps	7
3.2.6	Ermittlung der Bauteilanordnung	7
3.2.7	Ermittlung der Bauteilwerte	7
3.2.8	Verifizierung der Bauteilwerte und des ESB	7
3.3	Chronologischer Verlauf der Messungen	8
3.3.1	Vorgangsweise:	8
3.3.2	Widerspruch zwischen Messungen und Hypothese/Theorie haben sich ergeben:	8
3.3.3	Verwendete Geräte.....	9
3.4	Messung und Ergebnisse	10
3.5	Vorwort zu der Verwendung der Messgeräte.....	10
3.6	Messung: Kontinuitätstest.....	10
3.7	Messung: R- und C- (und L-) zwischen den Pins	11
3.8	Messung: Frequenzverhalten Signaleingang zu Signalausgang	12
3.8.1	DC	12
AC 50Hz.....		12
3.8.2	AC 500 kHz.....	13
3.9	Messung: Bode 100.....	14
3.10	Simulation der vorliegenden ESB Hypothesen.....	16
3.11	Messung: Bestimmung der Bauteiltypen durch Spannungsteiler mit bekanntem R 16	
3.11.1	Bauteilbestimmung Spannungsteiler: Pin 3 zu 4.....	17
3.11.2	Bauteilbestimmung Spannungsteiler: Pin 3 zu 5.....	20

3.11.3	Bauteilbestimmung Spannungsteiler: Pin 1 zu 2.....	23
3.12	Messung: Zusätzliche Amplituden- und Phasengang Aufzeichnung	25
3.13	Simulation der zwei neuen ESB.....	28
3.14	Messung: Ermittlung der genauen Bauteilwerte	29
3.15	Messung: Verifizierung der Bauteilwerte durch Simulation und Aufbau auf Breadboard	30
3.16	Kritische Dämpfung.....	31
3.17	Zusammenfassung: Passive Blackbox	32
3.18	Begriffstabelle.....	33
4	Serielle Bus-Kommunikation.....	34
4.1	Aufgabenstellung Digitalteil.....	34
4.2	Vorbereitung:	34
4.3	Aufbau des Boards:.....	35
4.4	Daten des MCUs:	36
4.5	Versorgungsmessung	38
4.6	SPI Messung:.....	39
4.7	I ² C Messung:	42
4.8	UART Messung:	44
4.9	Zusammenfassung: Digitalteil	46
5	Abbildungsverzeichnis	47

2 Aufgabenstellung: Allgemein

Durch dieses Messprojekt soll der Umgang mit diversen Messgeräten für Elektronik gelernt und verbessert werden. Es beinhaltet ein Messobjekt mit unbekannten, passiven Bauteilen, wovon das Verhalten ermittelt werden soll, sowie der interne Aufbau und Bauteilwerten. Des Weiteren gibt es ein Messobjekt, welches durch verschiedene Bus-Systeme kommuniziert. Diese sollen näher untersucht werden und gegebenenfalls decodiert werden.

3 Passive Blackbox

3.1 Aufgabenstellung passive Blackbox

Eine in schwarzen Schrumpfschlauch verpackte Platine soll vermessen werden. Aus der Messung soll die Funktion der Platine, sowie die verwendeten Bauteile und deren Werte. Als zusätzliche Information ist die Pinbelegung, der nach außen geführten Pins, gegeben:

- | | |
|---|----------|
| 1 | V+ |
| 2 | GND |
| 3 | Sig_In+ |
| 4 | Sig_In- |
| 5 | Sig_out+ |
| 6 | Sig_out- |

Pinbelegung Blackbox

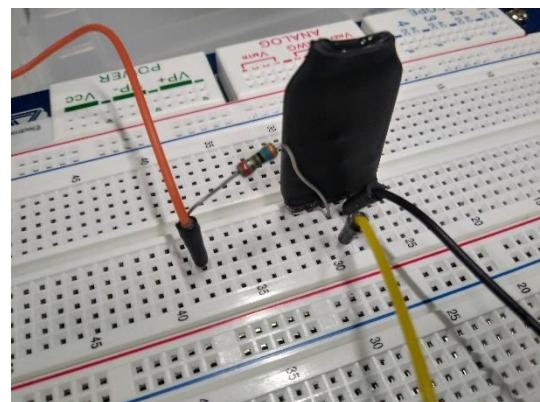


Abbildung 2 Messaufbau

Abbildung 1 Pinout der Blackboxübung
passiver Bauelemente

Durch den Titel ist weiters bekannt, dass sich auf der Platine nur passive Bauteile befinden.

3.2 Messungsvorbereitung/Theorie

3.2.1 Theorie

3.2.2 Allgemein

Durch die reine Verwendung von passiven Bauteilen (Widerstände R, Induktivitäten L, Kapazitäten C) sind Schaltungen möglich, deren Verhalten frequenzabhängig ist.

Schaltungen mit dieser Eigenschaft werden Filter genannt.

Die Frequenzabhängigkeit wird rein durch die L- und C-Bauteile erzeugt. Da jedoch in der Blackbox nicht unbedingt diese Bauteile vorkommen müssen, kann die Schaltung auch ein frequenzunabhängiges Verhalten haben.

3.2.3 Bauteilkombinationen

Sind in der Schaltung C- oder L-Bauteile vorhanden, können folgende Filtertypen realisiert werden:

L- und R-Bauteil Kombinationen:

- Hochpass HP
- Tiefpass TP
- Bandpass BP
- Bandsperre BS

C- und R-Bauteil Kombinationen

- Siehe L- und R-Bauteil Kombinationen

L-, C- und R-Bauteil Kombinationen

- Siehe L- und R-Bauteilkombinationen
- Serienschwingkreis SS
- Parallelschwingkreis PS
-

3.2.4 Bestimmung der verwendeten Bauteiltypen

Ob es sich um einen Filter handelt, lässt sich dadurch ermitteln, indem man an den Signaleingang drei verschiedene Signale anlegt:

- DC
- AC, Niederfrequent 50 Hz
- AC, Hochfrequent 500 kHz

Verändert sich der Signalausgang zu den Frequenzänderungen, dann ist die Schaltung ein Filter. Durch die zwei verschiedenen Messungen der niederfrequenten und der hochfrequenten AC-Signalen, kann zudem ermittelt werden, ob es sich um ein HP bzw. TP Filtertypen handelt.

3.2.5 Bestimmung des Filtertyps

Da diese Messung jedoch die anderen Filtertypen (BP, BS, SS, PS) ausschließt, ist zu gänzlichen Ermittlung des Filtertypen eine Messung des Amplituden- und Phasengangs notwendig. Zusammen ergeben diese Messungen ein Bodediagramm. Dies wird mit das Bode100 gemessen.

Der Filtertyp wird durch den Vergleich der theoretischen Bodediagramm der Filtertypen und des gemessenen Bodediagramm bestimmt.

3.2.6 Ermittlung der Bauteilanordnung

In den Fällen HP, TP, BP, BS können, abhängig von der Ordnung, verschiedene Kombinationen von L- und C-Bauteile vorkommen. Für alle möglichen Kombinationen wird ein Ersatzschaltbild ESB gezeichnet. Dieses ESB wird anschließend dadurch überprüft: Indem ein Spannungsteiler mit einem bekannten R und zwei Pins des DUT aufgebaut wird und das Frequenzverhalten davon überprüft wird (Messung mit DC, AC 50 Hz, AC 500 kHz; Bode). Dadurch werden die Bauteiltypen zwischen den zwei Pins ermittelt, welche wiederum mit dem ESB verglichen werden.

3.2.7 Ermittlung der Bauteilwerte

Durch die Messung des Widerstands und der Kapazität zwischen zwei Pins ist es teilweise durch das ESB direkt möglich Bauteilwerte zu bestimmen. Bauteilwerte, welche nicht direkt gemessen werden können, da sie nicht direkt zwischen zwei Pins liegen, können durch die Grenzfrequenz f_g berechnet werden.

$$f_g = 1/(2\pi R C) \quad \text{Für TP und HP erster Ordnung}$$

3.2.8 Verifizierung der Bauteilwerte und des ESB

Zur Überprüfung aller Bauteilwerte sowie des ESB, wird das ESB mit den Werten in LTSpice dargestellt und simuliert. Entspricht die Simulation dem Amplituden- und Phasengang der Messung des DUT, somit können diese als richtig angenommen werden.

Da die Simulation mit idealen Bauteilen rechnet und Bauteile in der Realität von ihren Werten abweichen, wird die Simulation nicht zu 100% übereinstimmen. Um die Werte zusätzlich zu verifizieren, kann der Filter mit Bauteilen am Breadboard aufgebaut werden und vermessen werden.

3.3 Chronologischer Verlauf der Messungen

3.3.1 Vorgangsweise:

- Kontinuitätstest zwischen den verschiedenen Pins messen
- Widerstand zwischen den verschiedenen Pins messen
- Kapazität zwischen den verschiedenen Pins messen
- Induktivität zwischen den verschiedenen Pins messen
- Signalverhalten von Sig_In zu Sig_Out in drei Frequenzbereichen messen
- Bode Diagramm Sig_in zu Sig_Out
- Simulation der Hypothese ESB

3.3.2 Widerspruch zwischen Messungen und Hypothese/Theorie haben sich ergeben:

- Nähere Bauteilbestimmung:
 - o Spannungsteiler mit bekannten R und unbekannten passiven Gliedern zwischen den verschiedenen Pins
- Widerspruch-Ursprung gefunden: RLC-Messgerät liefert unbrauchbare Werte
- Hypothese zwischen
RC HP
LC HP
durch Bodemessung zwischen Sig_in und V+ entscheiden: Messung zeigt RC HP
- Simulation der RC HP ESB Hypothese
 - o Verwendung der Fluke R- und C-Messungen
 - o Wissen, dass FHV nur E6 Reihe lagernd hat
- Verifizierung der Simulation und Bauteilwerte durch aufbauen des HPs auf einem Breadboard und anschließender Vermessung

3.3.3 Verwendete Geräte

Oszilloskop Teledyne LeCroy
Bode100
Multimeter Fluke 87 V
RLC-Meter TEMNA72-960
Signalgenerator Keysight 33600A

3.4 Messung und Ergebnisse

3.5 Vorwort zu der Verwendung der Messgeräte

Oszilloskop:

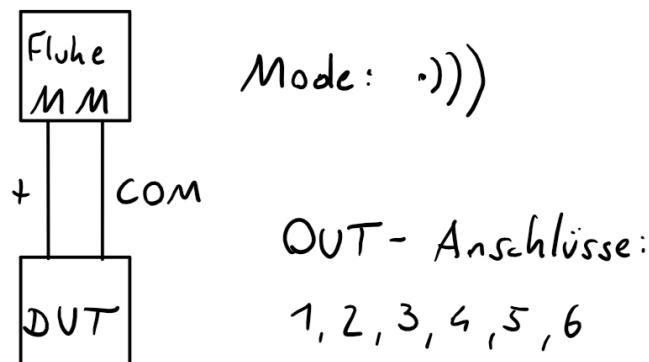
- Vor jeder einzelnen Verwendung wurden die Tastkopfe an dem eigenen Referenzsignal adjustiert.
- Die Eingänge wurden stets DC gekoppelt.
- Der Trigger wurde meist auf das Eingangssignal, welches von dem Signalgenerator kommt, gelegt. Die genauen Trigger Einstellungen sind auf den jeweiligen Screenshots, in der rechten unteren Ecke zu entnehmen.
- Es wurde darauf geachtet Spannungspegel der Schaltung, durch die Masse der Tastkopfe, nicht ungewollt auf Masse zu ziehen.

Bode 100:

- Zur Aufnahme der Diagramme wurden die Standardeinstellungen übernommen:
 - Ausgangsquellen: 1 dBm
 - CH1 und CH2 mit einer Dämpfung von 20 dB
 - Messbereich von 10 Hz bis 1 MHz
- Während der Aufnahme sind keine Kanäle in die Begrenzung geraten (Anzeige Overload bzw. während der Messung Grüne Balken für Receiver 1 und 2).
- Das Messgerät wurde nicht kalibriert durch einen Leerlauf, Kurzschluss und 50 ohm Messung, da dafür explizit nur BNC-Anschlüsse vorgesehen sind und unser DUT keine Anschlüsse dafür hat. So mit müssten wir für die Eigentliche Messung andere Kabel verwenden, was die Kalibrierung sinnfrei macht.

3.6 Messung: Kontinuitätstest

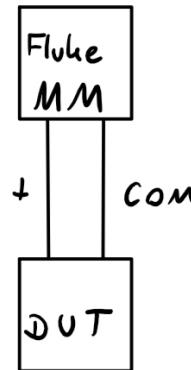
Messaufbau Kontinuitätstest



Ergebnis: Pins 2, 4 und 6 sind miteinander direkt verbunden.

3.7 Messung: R- und C- (und L-) zwischen den Pins

RLC - Messung



Mode: R, C, L^*

OUT-Anschlüsse:

1, 2, 3, 4, 5, 6

* L nur für RLC-Meter

RLC-Meter TENMA 72-960

Nr	Zw. Pin:	Und Pin:	R	C	L
1	1	2	68 k	19 p	157 m
2	1	3	68,4 k	80,5 p	418 m
3	1	5	68,3 k	19 p	157 m
4	3	5	6,6 k	75 n	296 m
5	3	4	135 m	87 n	269 m
6	5	6	316	91n	9 m

Abbildung 3 Tabelle Messung RLC TMENA 72-960

Fluke 87 V

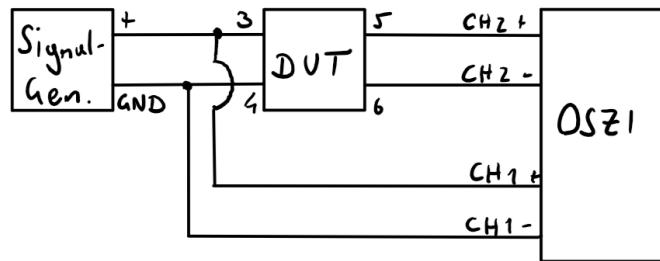
Nr	Zw. Pin:	Und Pin:	R	C
1	1	2	68,1 k	OL
2	1	3	OL	96 n
3	1	5	68,5 k	OL
4	3	5	OL	100,5 n
5	3	4	OL	100,5 n
6	5	6	330	OL

Abbildung 4 Tabelle RC Messung Fluke 87 V

Notiz: Spätere Erkenntnis (daher werden für die weiteren ESB Hypothesen L-Bauteile in Betracht bezogen): Messwerte des RLC-Meters sind unbrauchbar, da die Induktivitäten und Kapazitäten unrealistisch sind. Die Abweichungen zwischen dem Fluke 87 V und dem TENMA 72-960 sind extrem hoch. Die Abweichungen kommen, zumindest bei der C-Messung, durch die Verschiedenen Messverfahren zustande. Das Fluke 87 V misst die Kapazität mit einem DC Verfahren, während das TENMA 72-960 durch ein AC Verfahren (100 oder 1000 Hz) ermittelt.

3.8 Messung: Frequenzverhalten Signaleingang zu Signalausgang

Messaufbau: Frequenzverhalten



3.8.1 DC

Parameter des Signalgenerators:

Waveform: DC Amplitude: 5 Vpp

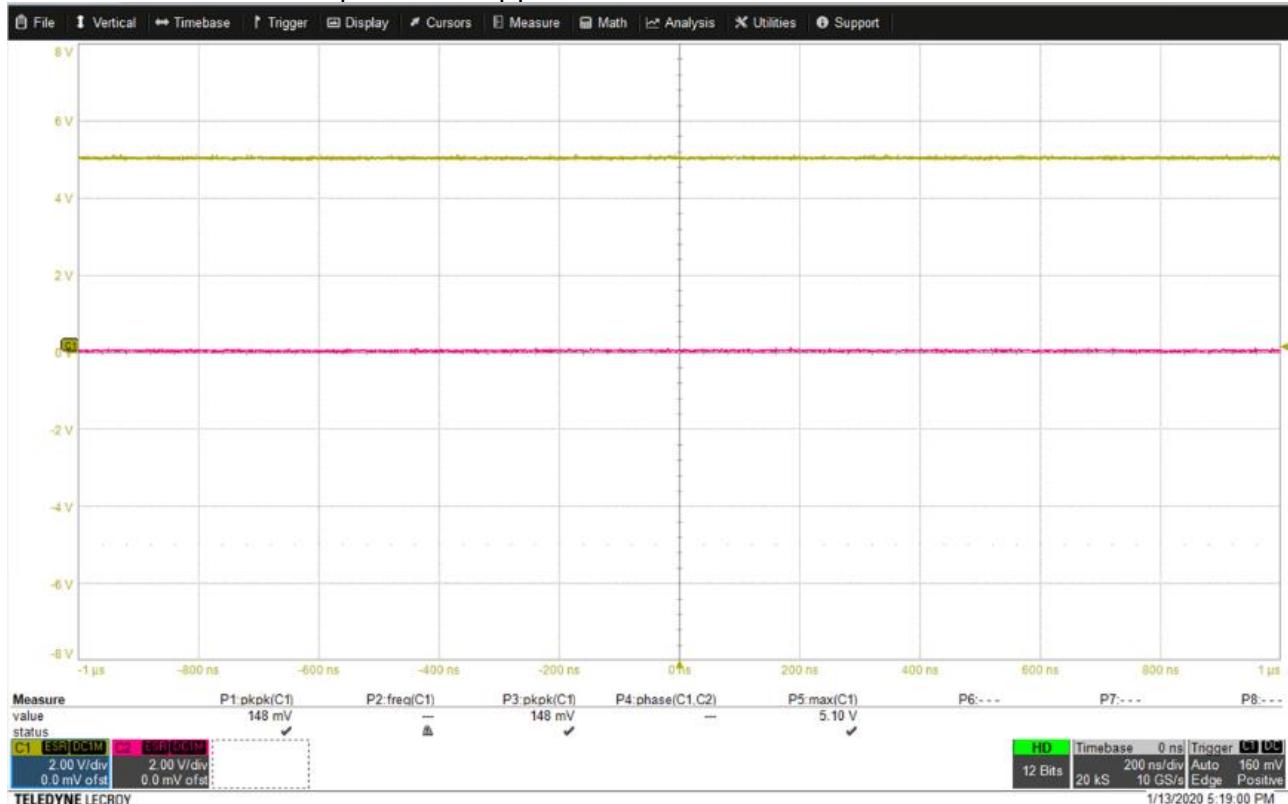


Abbildung 5 Frequenzverhalten DC, CH1(gelb), CH2(rot)

AC 50Hz

Parameter des Signalgenerators:

Waveform: Sinus Amplitude: 5 Vpp Frequenz: 50 Hz

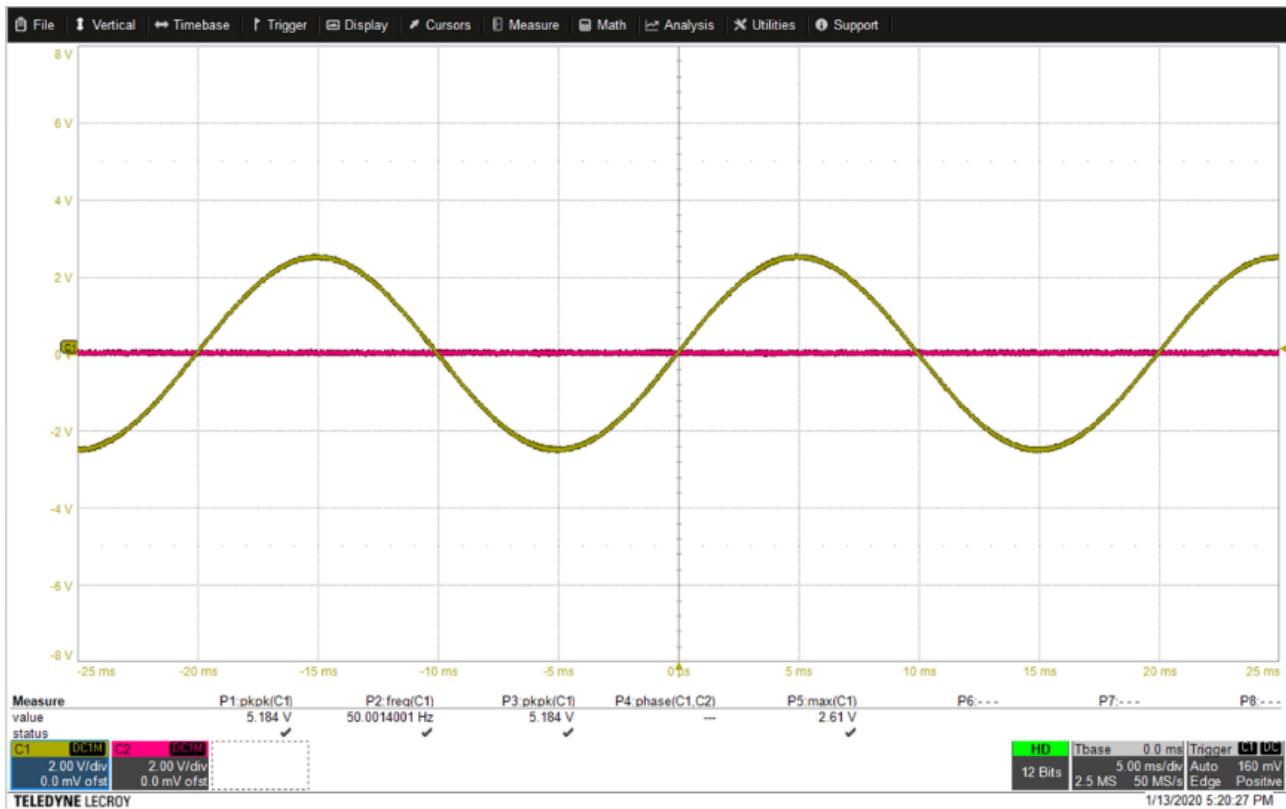


Abbildung 6 Frequenzverhalten AC 50Hz, CH1(gelb), CH2(rot)

3.8.2 AC 500 kHz

Parameter des Signalgenerators:

Waveform: Sinus Amplitude: 5 Vpp Frequenz: 500 kHz

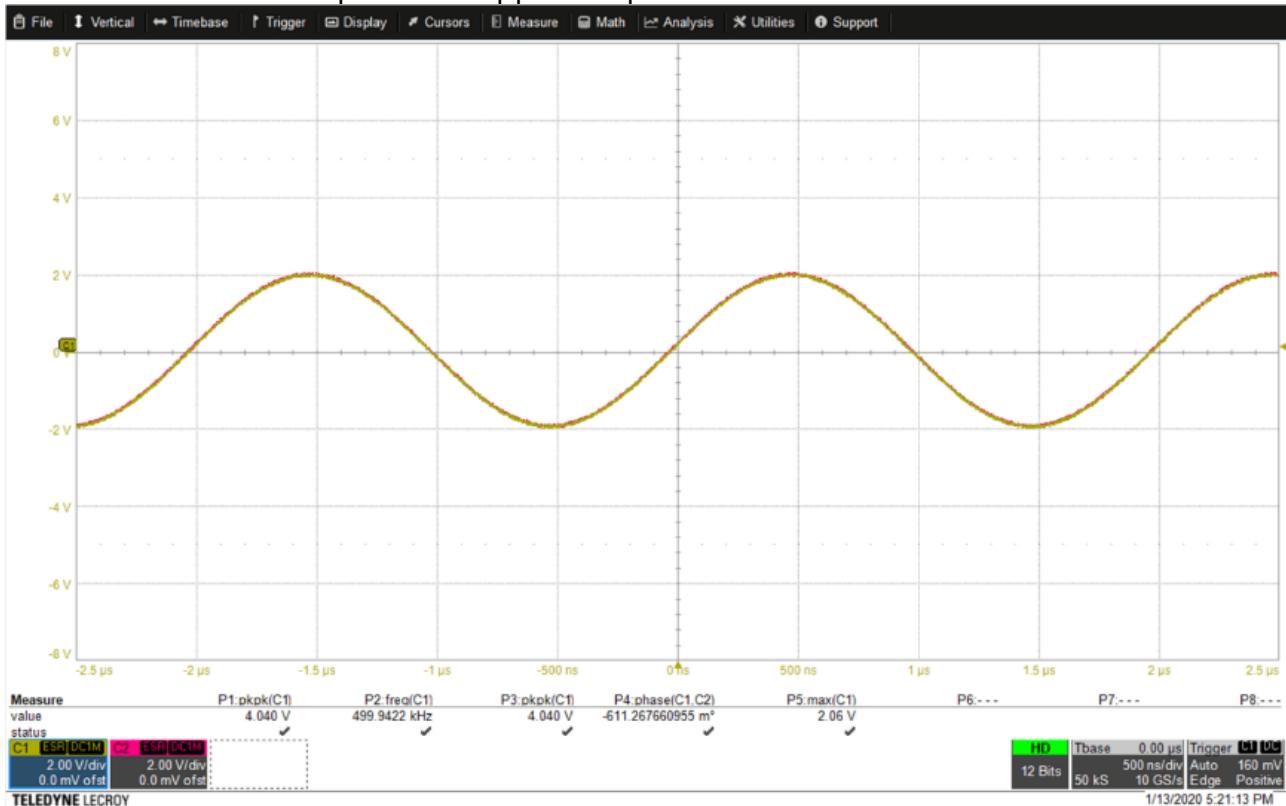


Abbildung 7 Frequenzverhalten AC 500kHz, CH1 und CH2 übereinander

Ergebnis: Die Schaltung hat ein frequenzabhängiges Verhalten und entspricht dem Verhalten eines HP Filters. Das Verhalten eines Hochpassfilters ist: Bei niederfrequenten Signalen liegt am Ausgang ein sehr kleines Signal an und bei hochfrequenten Signalen liegt am Ausgang das Eingangssignal an. Da durch diese drei Messungen jedoch immer noch ein BP, eine BS oder SS möglich ist (Wenn der Passierbereich bei je 500 kHz liegt), muss das Verhalten noch eindeutig, durch die Messung des Amplituden- und Phasengangs, bestimmt werden.

3.9 Messung: Bode 100

Messaufbau : Bode -Diagramm

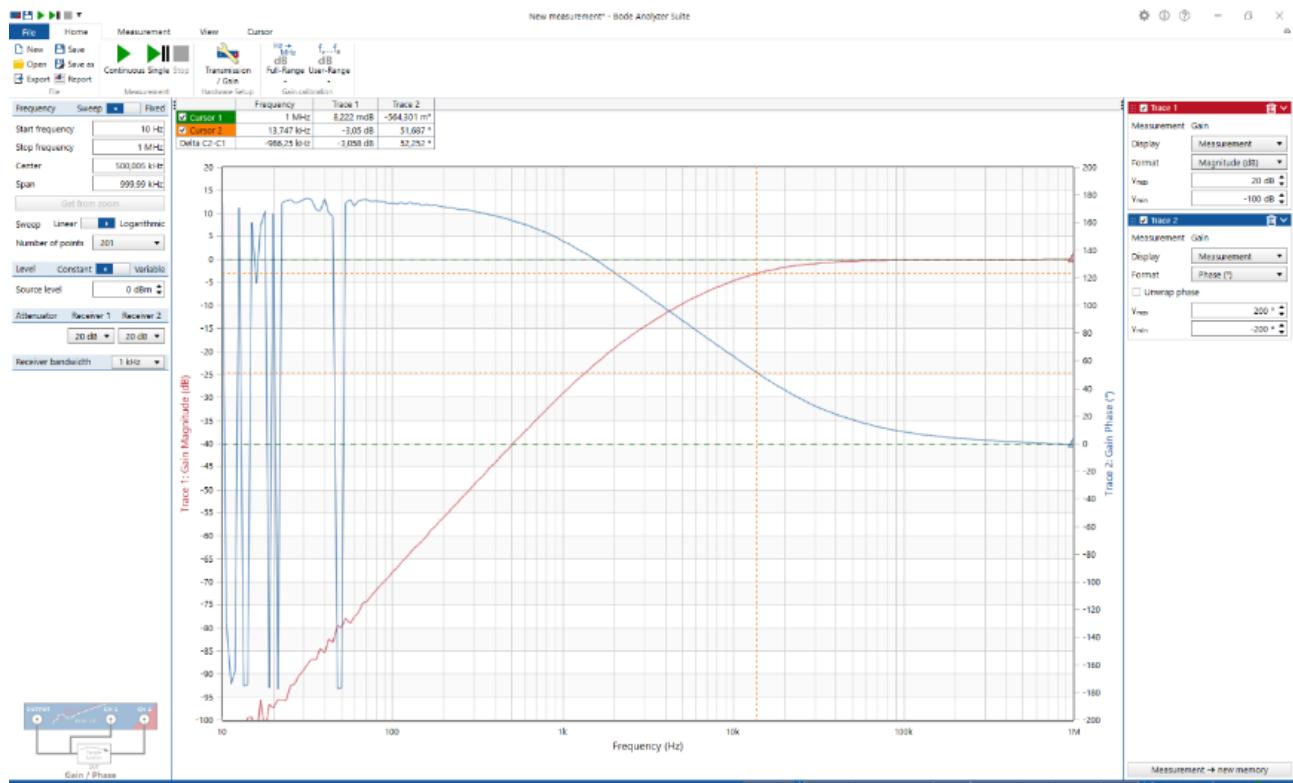
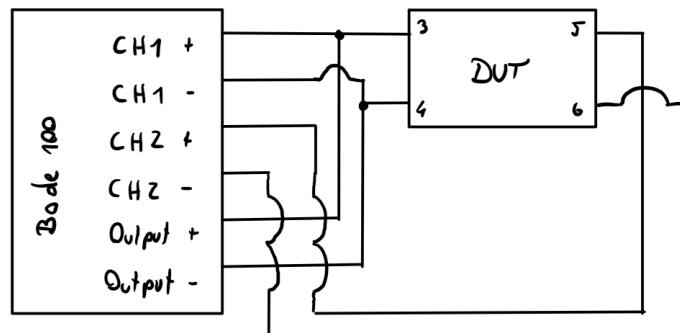


Abbildung 8 DUT Bodediagramm: Grenzfrequenz, Amplitude (rot), Phasengang (blau)

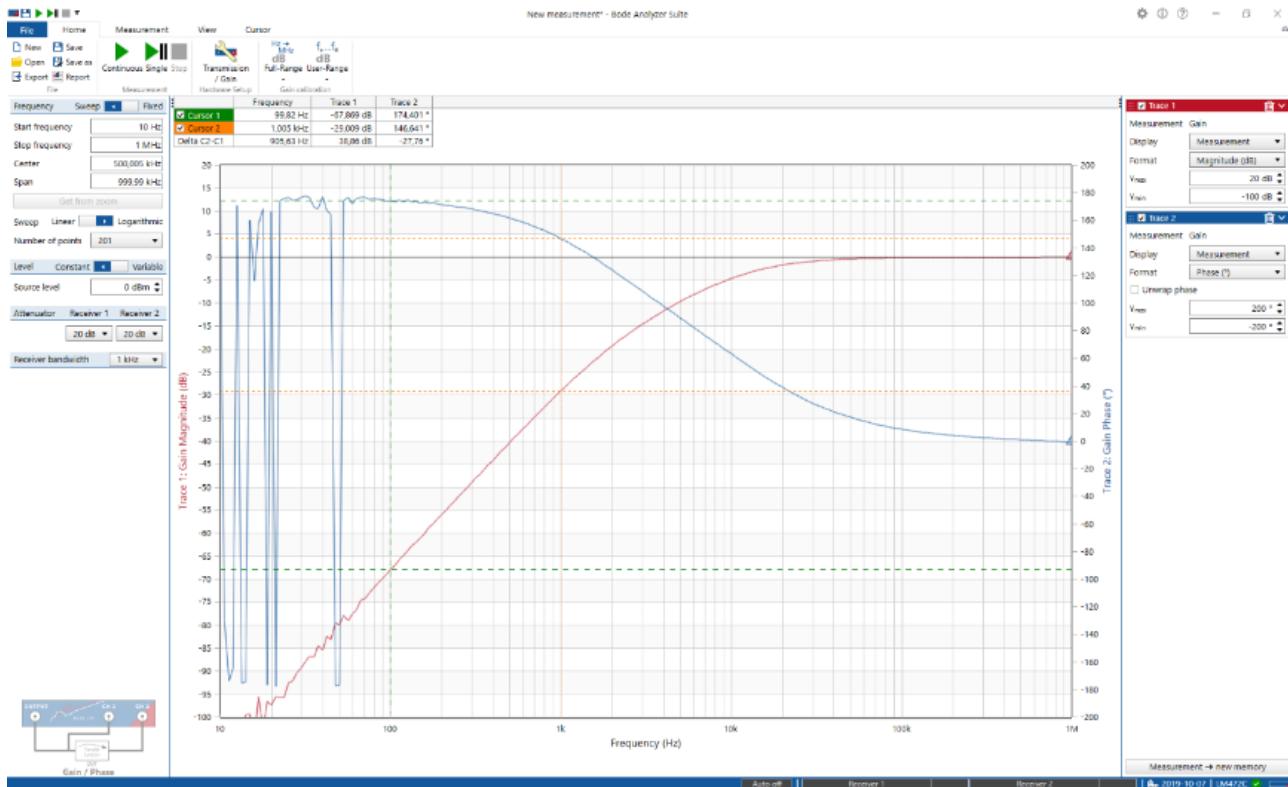


Abbildung 9 DUT Bodediagramm: Anstieg

Der Amplitudengang des Filters zeigt eine f_g von 13,7 kHz und einen Anstieg von +38 dB/Dek.

Damit ist das Filter ein HP 2ter Ordnung, da dieses einen Anstieg von +40dB/Dek aufweist. Laut Theorie ist die f_g bei HP 2ter Ordnung bei 90° . Die Messung ergibt jedoch eine Phase von $51,86^\circ$ und stellt somit eine Abweichung der Theorie dar.

Diese Abweichung der Phase ergibt sich durch den Entwurf des Filters und der nicht Berücksichtigung der Reihenschaltung von Filtern -> kritische Dämpfung. Dieser Fall wird später erklärt siehe kritische Dämpfung. Das hier der Fall der kritischen Dämpfung vorliegt, war uns nicht direkt aus dieser Messung klar, sondern wurde erst später bei der Bestimmung der Bauteilwerte bewusst.

3.10 Simulation der vorliegenden ESB Hypothesen

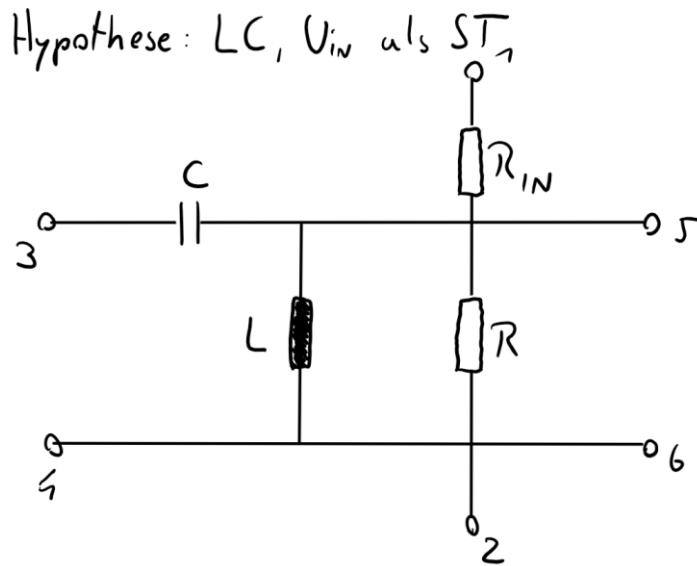


Abbildung 10 ESB RLC Hypothese

Da die RLC Messung hohe Induktivitätswerte zwischen den verschiedenen Pins angezeigt hat, sind wir von einer Kombination von LC für den HP 2ter Ordnung ausgegangen.

Dessen Simulation des Amplituden- und Phasengangs zeigt jedoch keinerlei eine Übereinstimmung mit dem Bodediagramm des DUT.

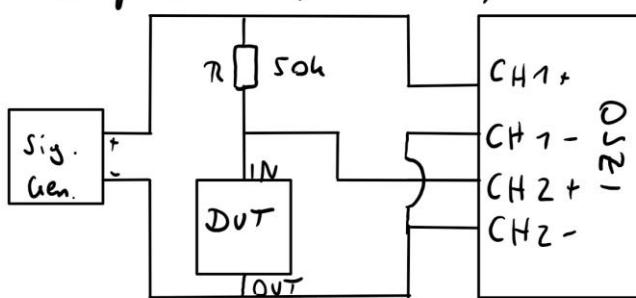
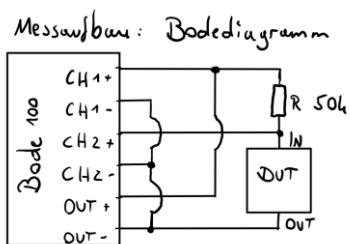
Da das RLC Meter jedoch L-Werte angezeigt hat, sind wir nicht so schnell von diesem ESB abgewichen und haben stattdessen weitere Messungen zur Bestimmung der Bauteiltypen vorgenommen.

3.11 Messung: Bestimmung der Bauteiltypen durch Spannungsteiler mit bekanntem R

R

Durch die R-Messung ist bekannt, dass die Mehrheit zwischen den Pins einen Widerstand von ca. 68k ohm aufweist. Daher wird 50k Ohm für den Teiler verwendet.

Messaufbau: DC, AC 50Hz, AC 500 kHz



3.11.1 Bauteilbestimmung Spannungsteiler: Pin 3 zu 4

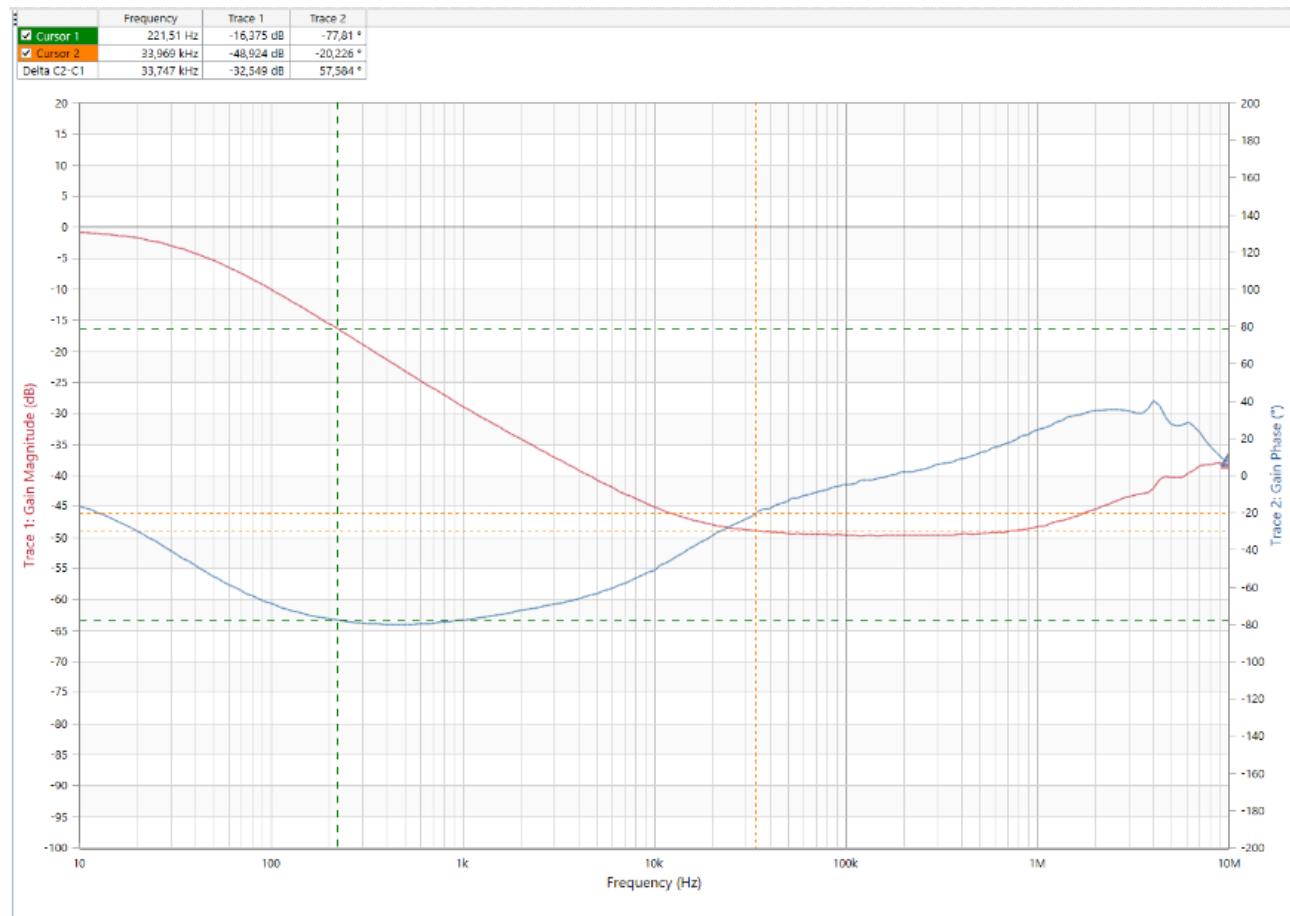


Abbildung 11 Bode: Bauteilbestimmung Spannungsteiler: Pin 3 zu 4, Amplitude (rot), Phasengang (blau)

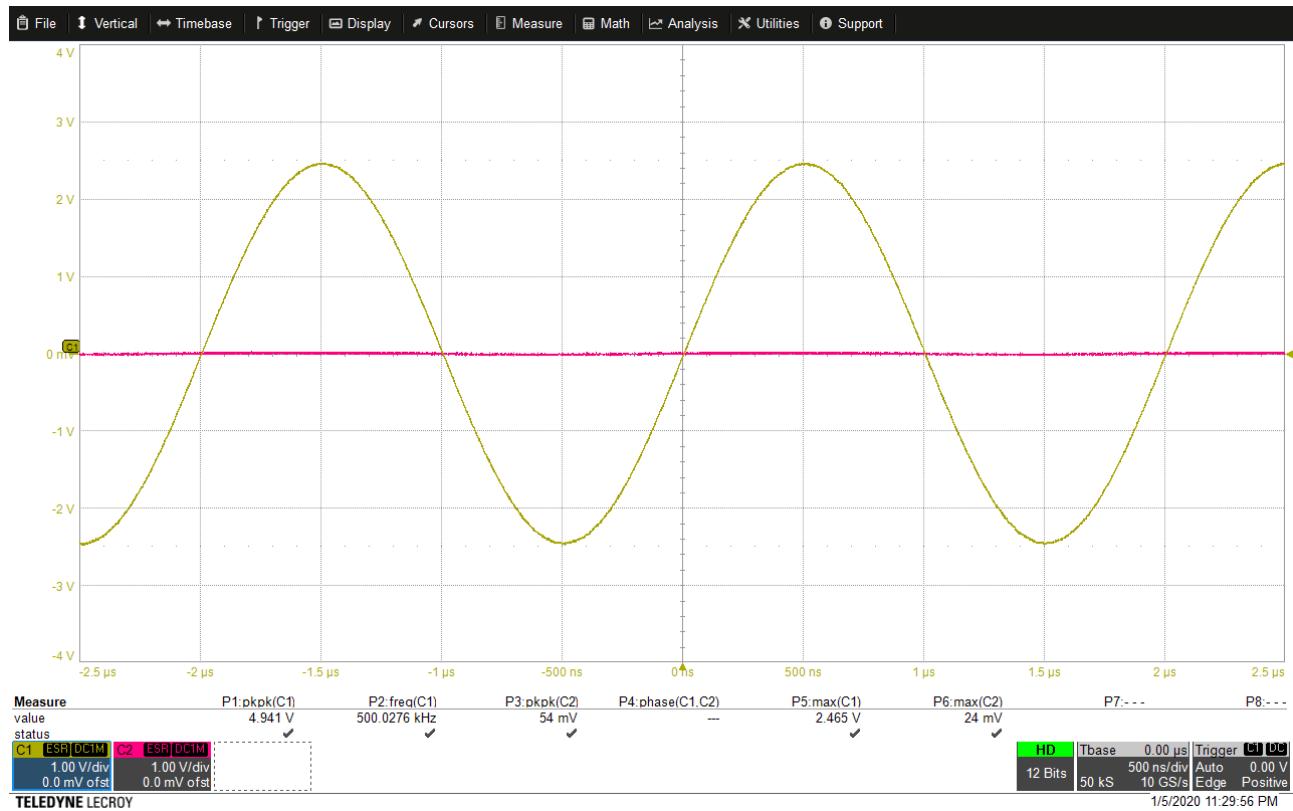


Abbildung 12 AC 500kHz Bauteilbestimmung Spannungsteiler: Pin 3 zu 4, CH1 (gelb), CH2 (rot)

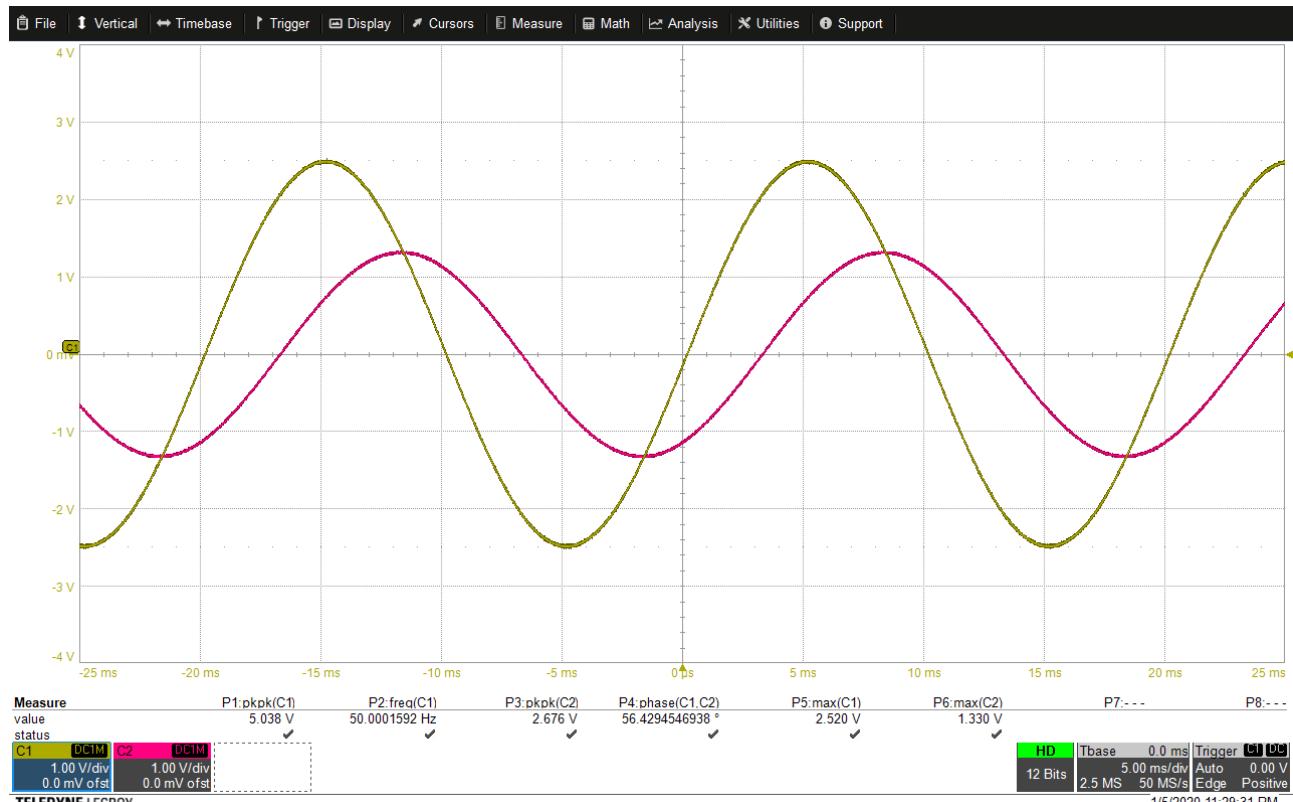


Abbildung 13 AC 50Hz Bauteilbestimmung Spannungsteiler: Pin 3 zu 4, CH1 (gelb), CH2 (rot)

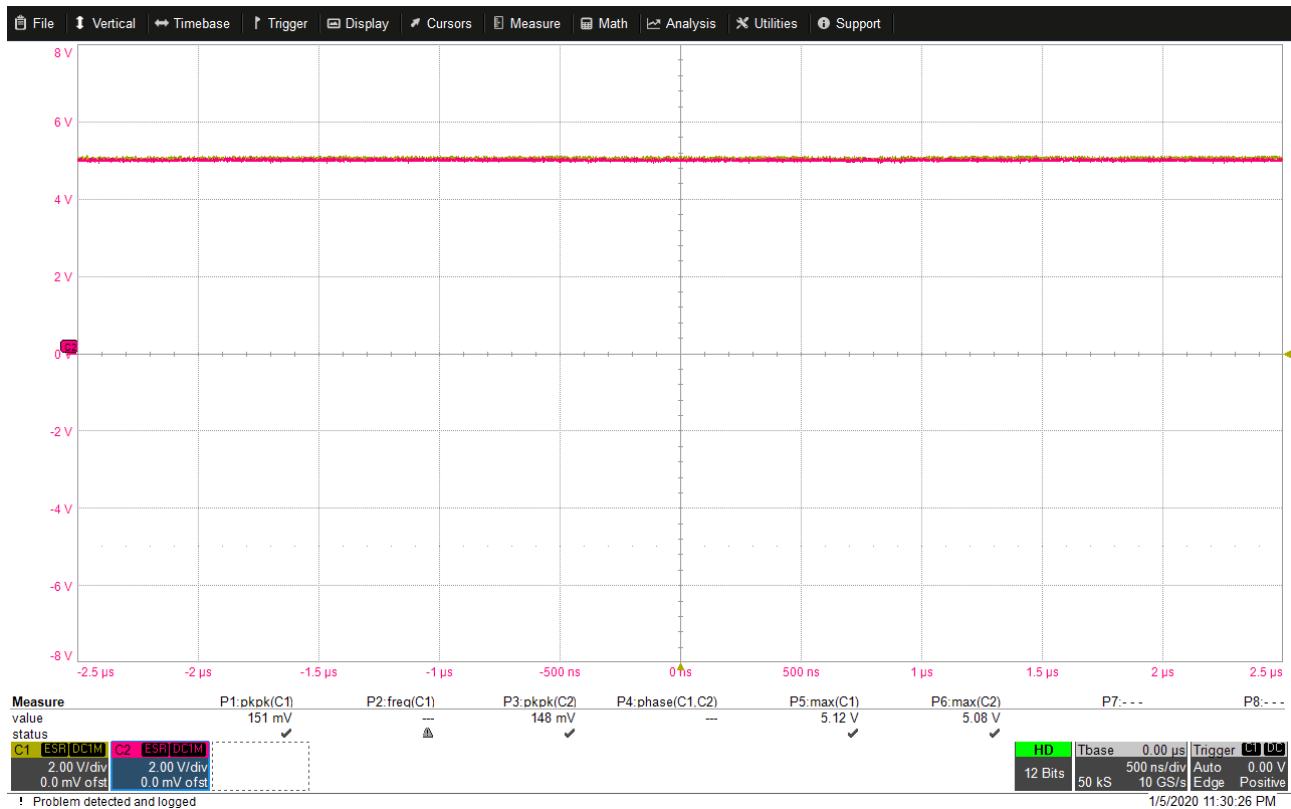


Abbildung 14 DC Bauteilbestimmung Spannungsteiler: Pin 3 zu 4, CH1 und CH2 übereinander

Ergebnis: Das DC-Fall zeigt klar, das sich zwischen Pin 3 und 4 ein Kondensator befindet. Das Bodediagramm zeigt im Frequenzbereich ab 1 MHz ein steigendes Verhalten. Dies lässt sich durch parasitäre Effekte des Kondensators erklären. Jedoch unterstützte uns das Verhalten weiter an der RLC Hypothese festzuhalten.

3.11.2 Bauteilbestimmung Spannungsteiler: Pin 3 zu 5

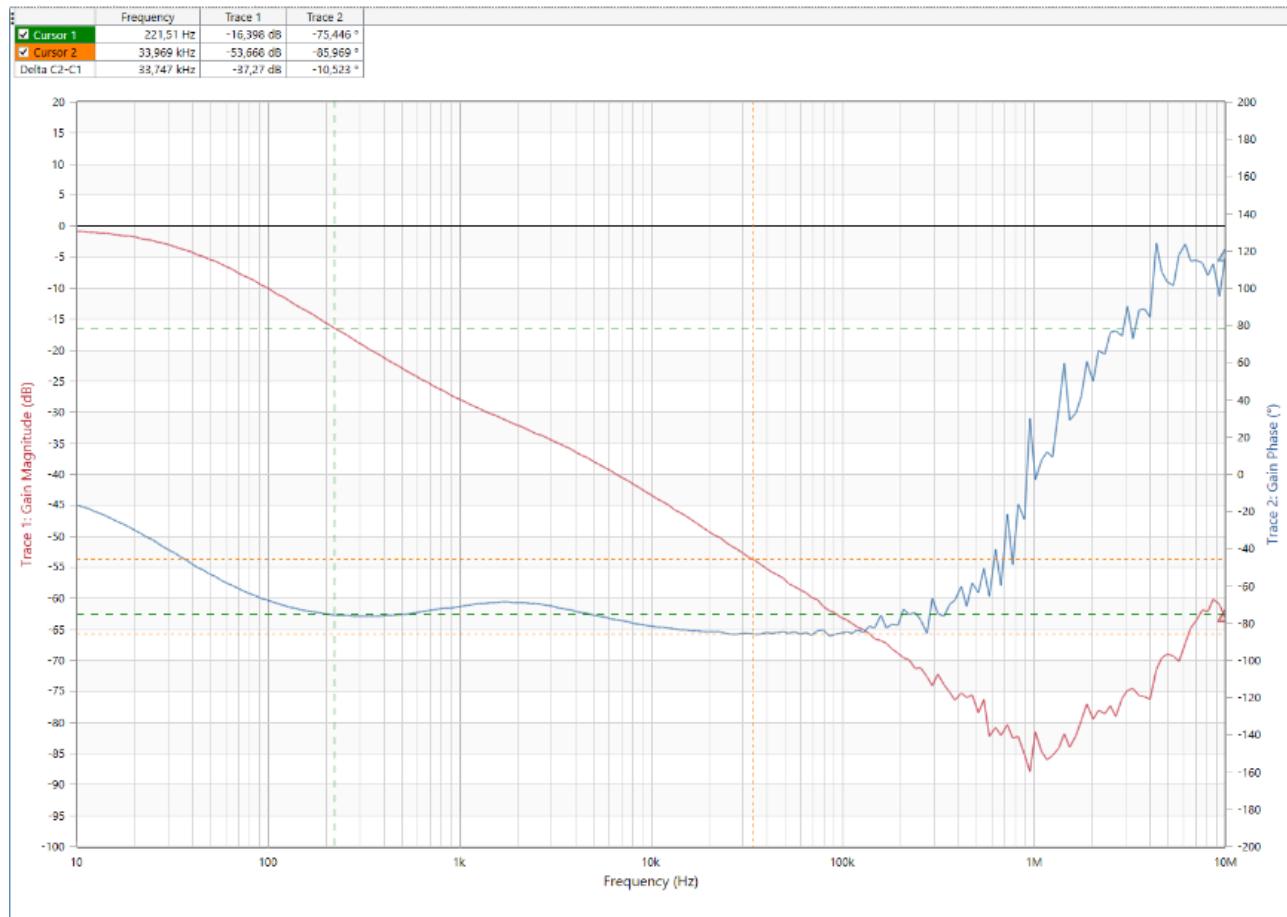


Abbildung 15 Bode Bauteilbestimmung Spannungsteiler: Pin 3 zu 5, Amplitude (rot), Phasengang (blau)

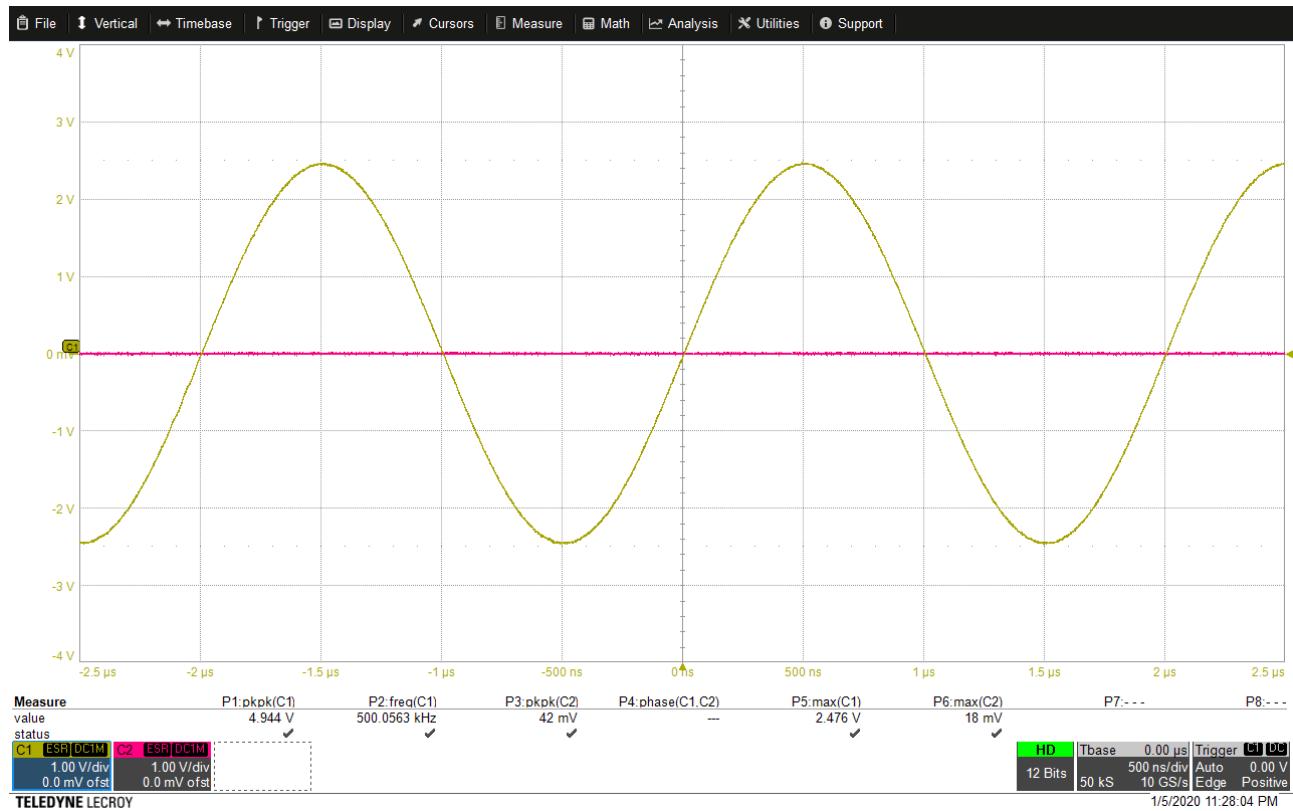


Abbildung 16 AC 500kHz Bauteilbestimmung Spannungsteiler: Pin 3 zu 5, CH1 (gelb), CH2 (rot)

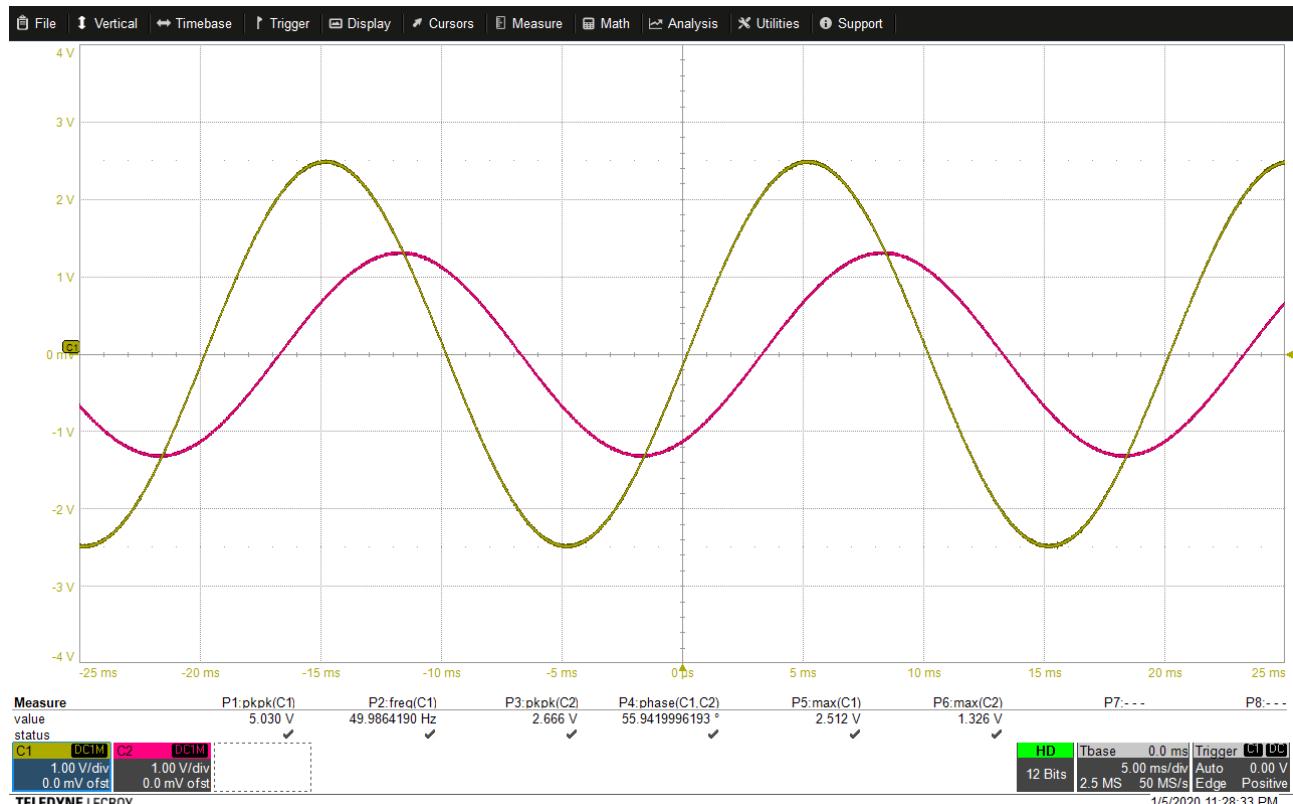


Abbildung 17 AC 50Hz Bauteilbestimmung Spannungsteiler: Pin 3 zu 5, CH1 (gelb), CH2 (rot)

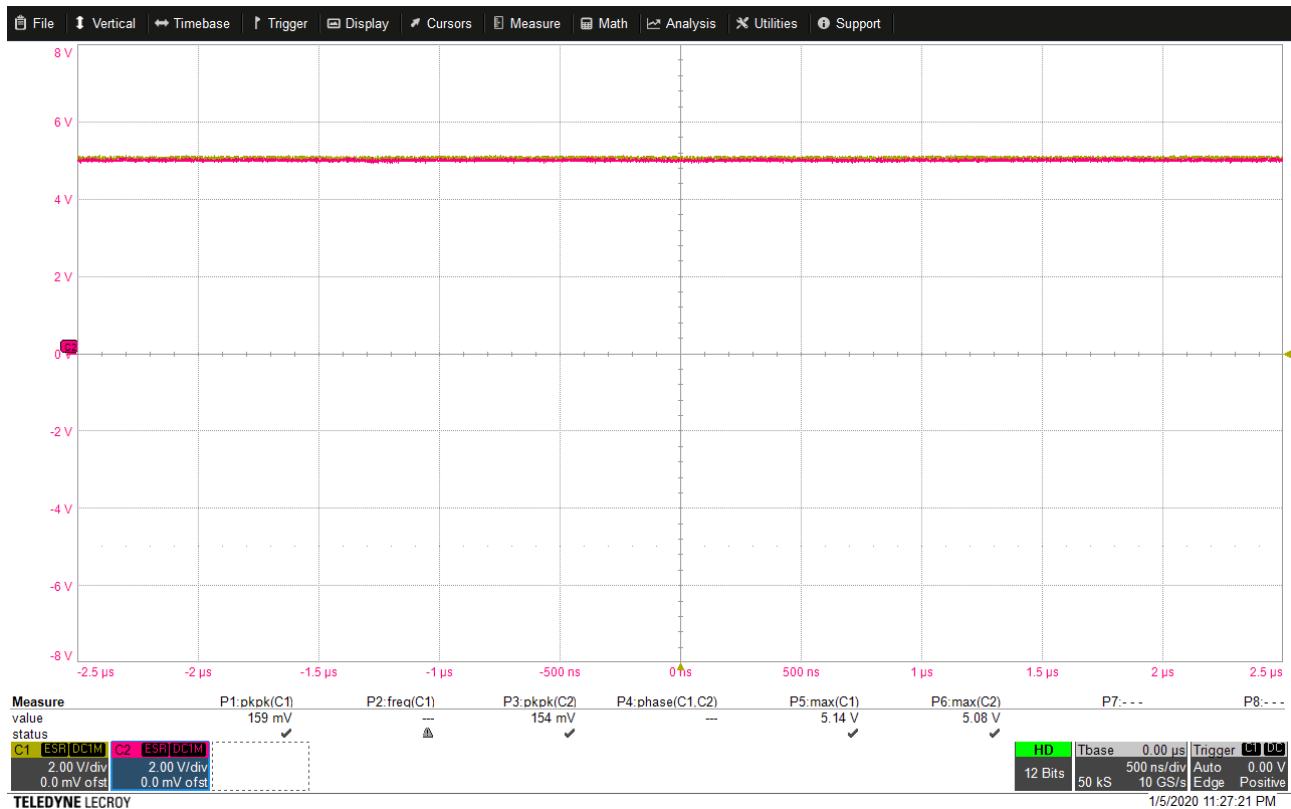


Abbildung 18 DC Bauteilbestimmung Spannungsteiler: Pin 3 zu 5, CH1 und CH2 übereinander

Ergebnis: Zwischen Pin 3 und 5 liegt ebenfalls ein Kondensator. Der kontinuierliche Abfall im Bodediagramm und der schnelle Wende und anschließende kontinuierliche Anstieg deckt sich dem Verhalten einer RLC Serien Kombination, wobei zuerst C dominant ist, im Resonanzfall rein R wirkt und anschließend L am größten wird. Eine weitere Stärkung der RLC Hypothese, jedoch ist auch dieses Verhalten auf parasitäre Größen des Kondensators zurückzuführen.

3.11.3 Bauteilbestimmung Spannungsteiler: Pin 1 zu 2

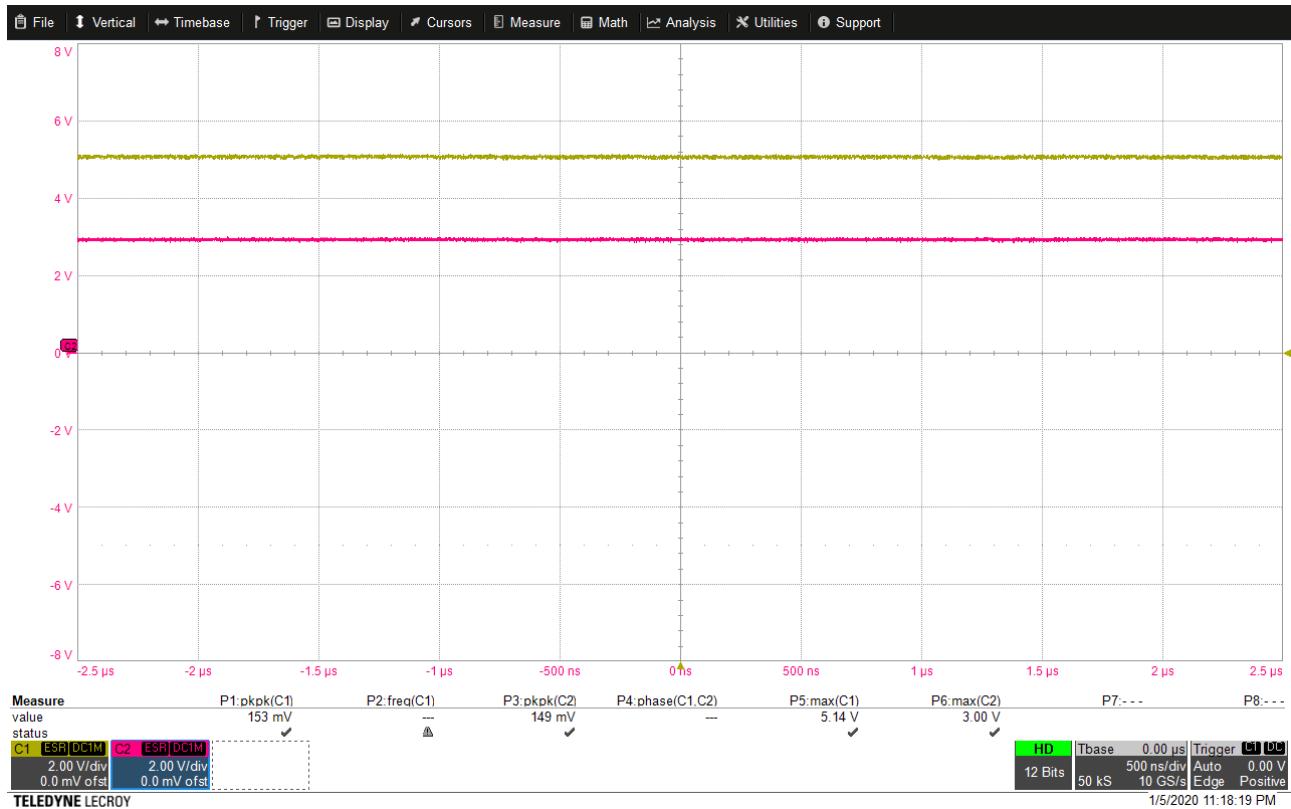


Abbildung 19 DC Bauteilbestimmung Spannungsteiler: Pin 1 zu 2, CH1 (gelb), CH2 (rot)

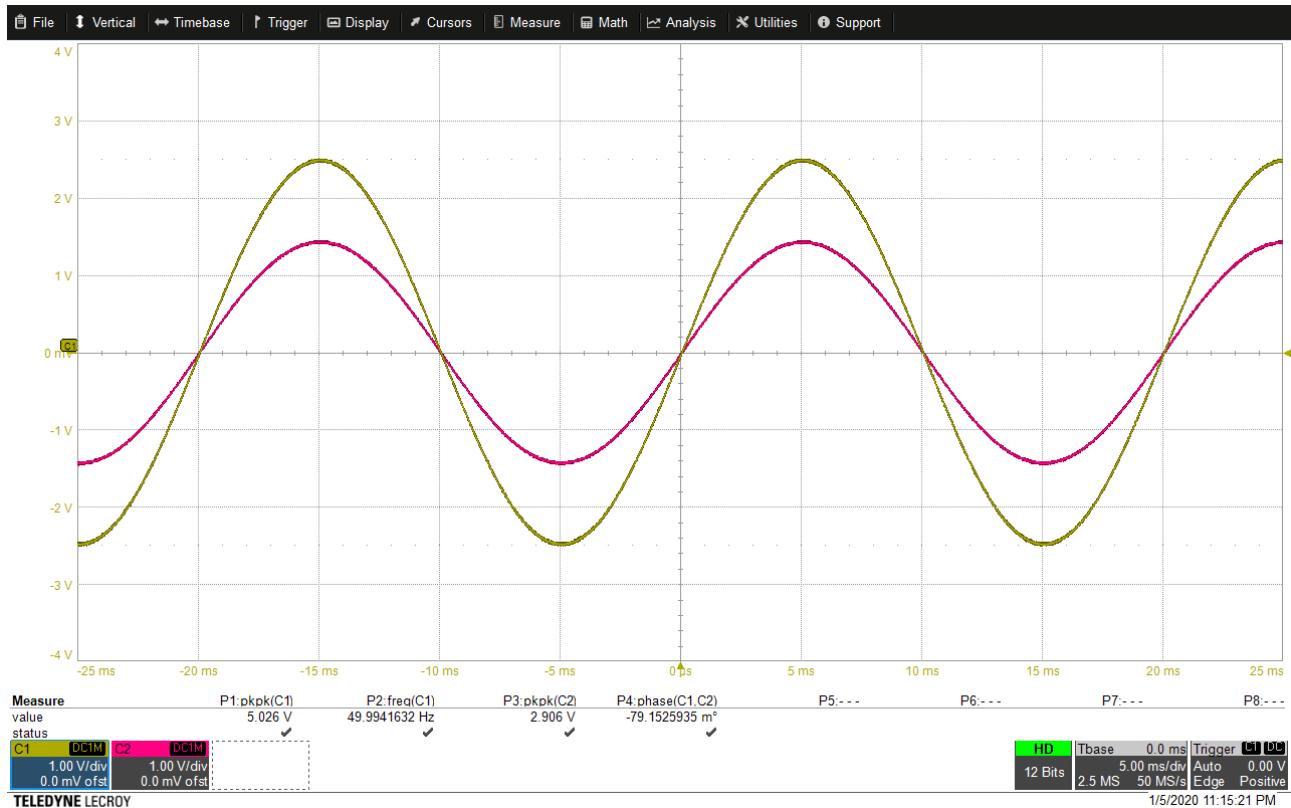


Abbildung 20 AC 50Hz Bauteilbestimmung Spannungsteiler: Pin 1 zu 2, CH1 (gelb), CH2 (rot)

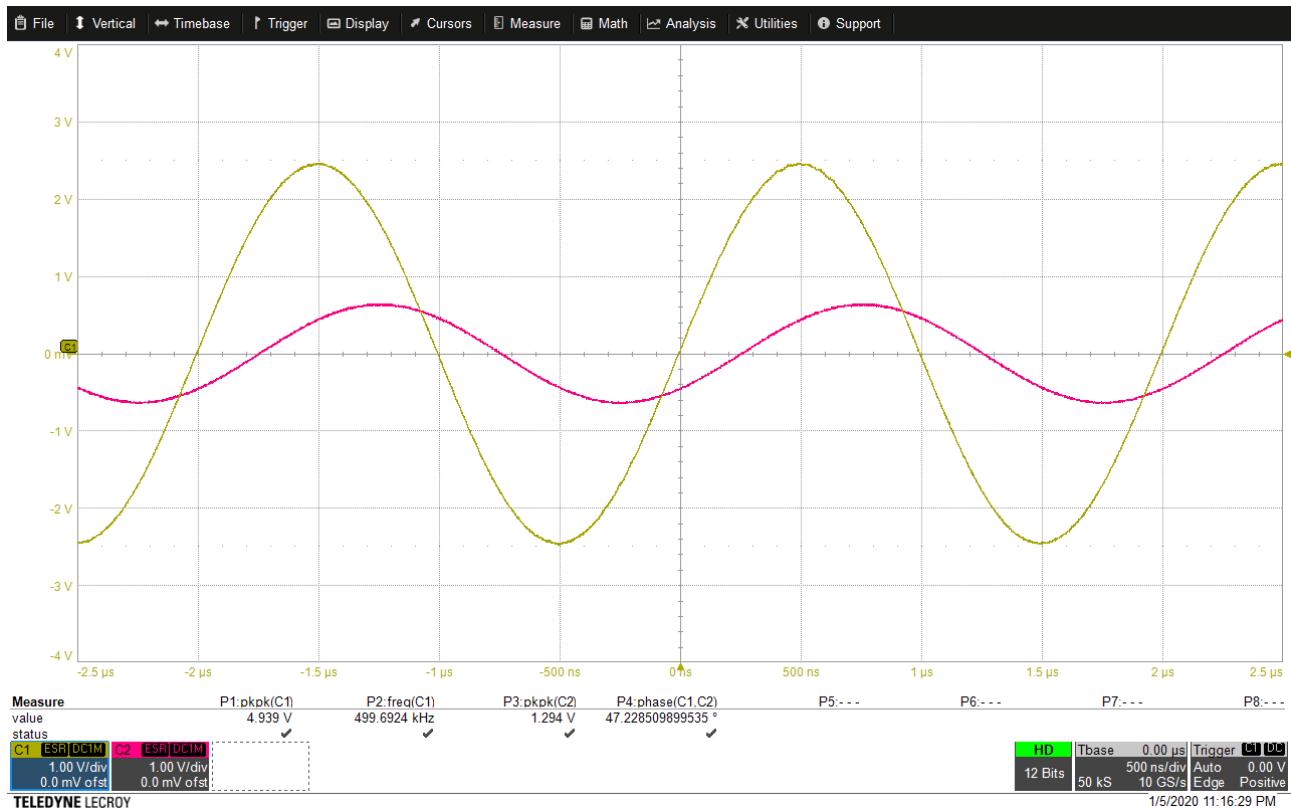


Abbildung 21 AC 500kHz Bauteilbestimmung Spannungsteiler: Pin 1 zu 2, CH1 (gelb), CH2 (rot)

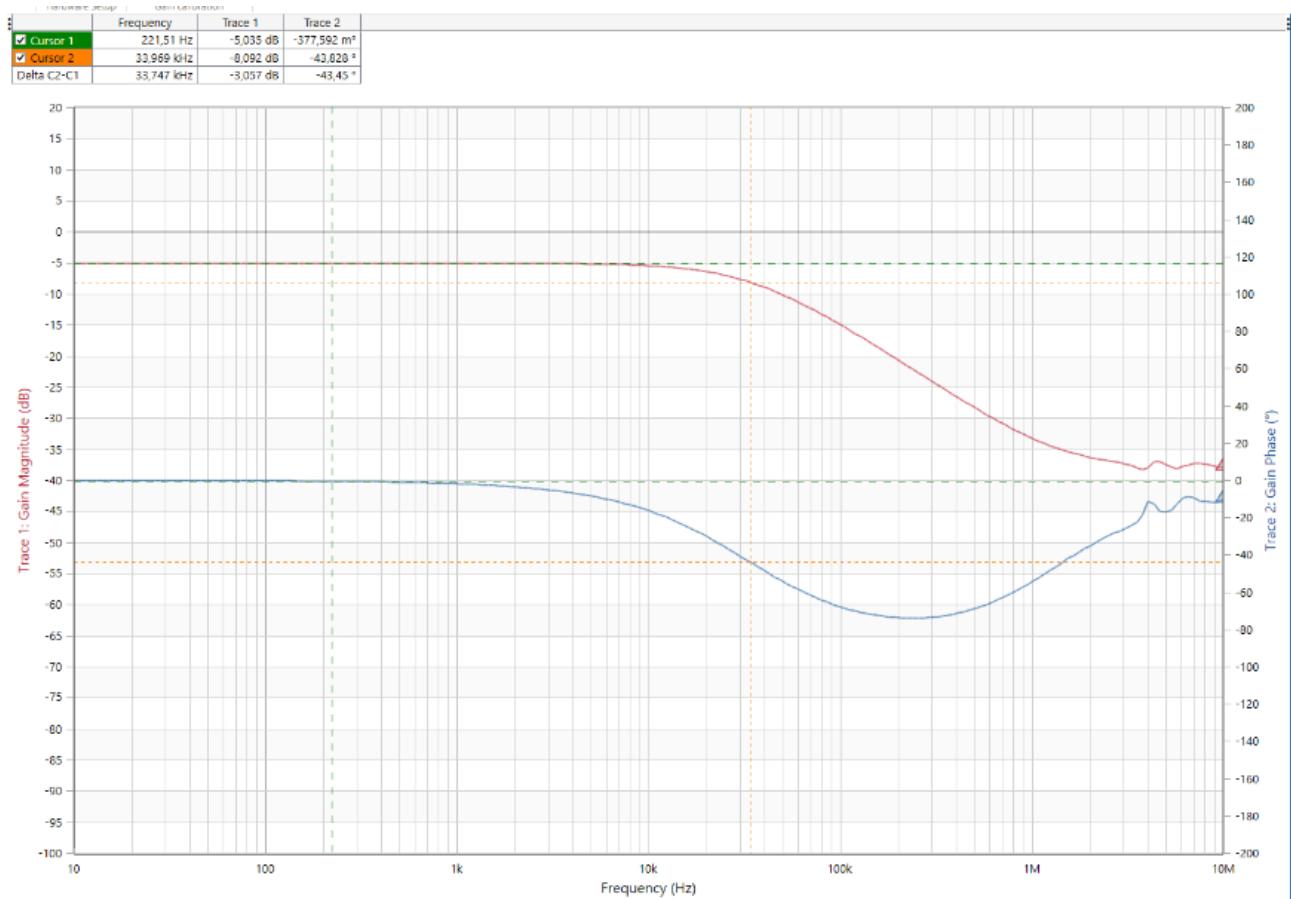
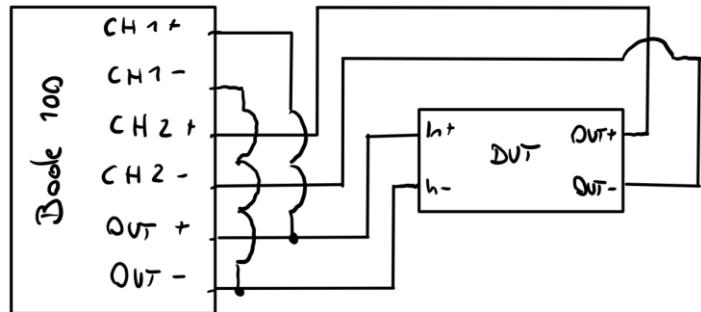


Abbildung 22 Bode Bauteilbestimmung Spannungsteiler: Pin 1 zu 2, Amplitude (rot), Phasengang (blau)

Ergebnis: Verhalten eines TP. Durch die Kombination des R und des C im DUT wird dieses Verhalten erzielt. Diese Messung zeigt, dass im inneren des DUT, hinter Pin 3, ein weiterer C sein muss. Jedoch wurde das Bodediagramm zuerst falsch interpretiert und somit weiterhin an der Hypothese festgehalten.

3.12 Messung: Zusätzliche Amplituden- und Phasengang Aufzeichnung

Messaufbau: Zusätzliche Messungen



Durch längere Überlegung wurde auch die Möglichkeit eines reinen RC HP in Serie in Betracht gezogen, trotz der gemessenen L- Werte. Dadurch wurde auch die Position des Widerstands von V_{in} zu den restlichen Komponenten hinterfragt. Durch die Messung des Amplitudengangs zwischen Eingang zu V_{in} , ergibt sich die genaue Position:

- Erscheint wieder ein HP 2.ter Ordnung ist es durch einen Teiler direkt am Ausgang.
- Erscheint ein HP 1.ter Ordnung, so ist die Position genau zwischen der Reihenschaltung.

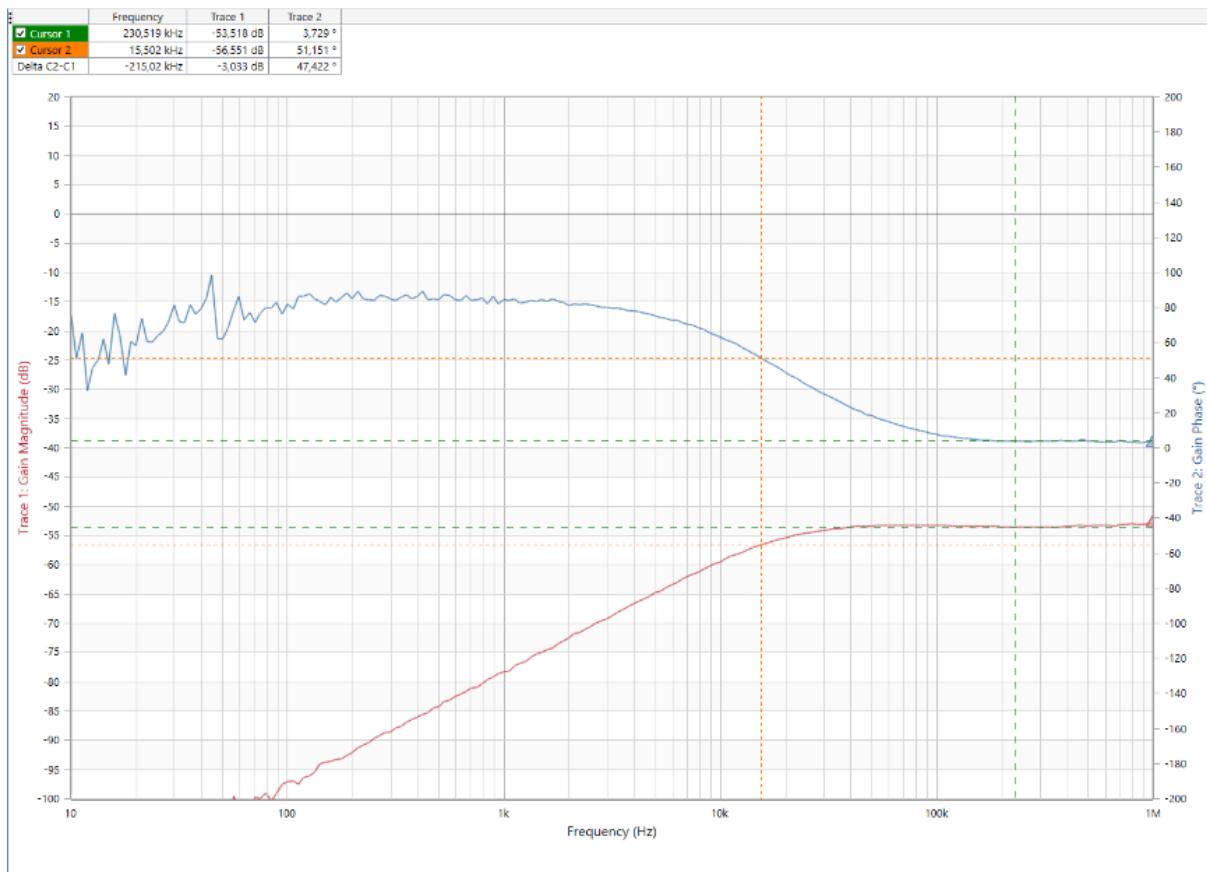


Abbildung 23 DUT Bode In 3,4 Out 1,2, Amplitude (rot), Phasengang (blau)

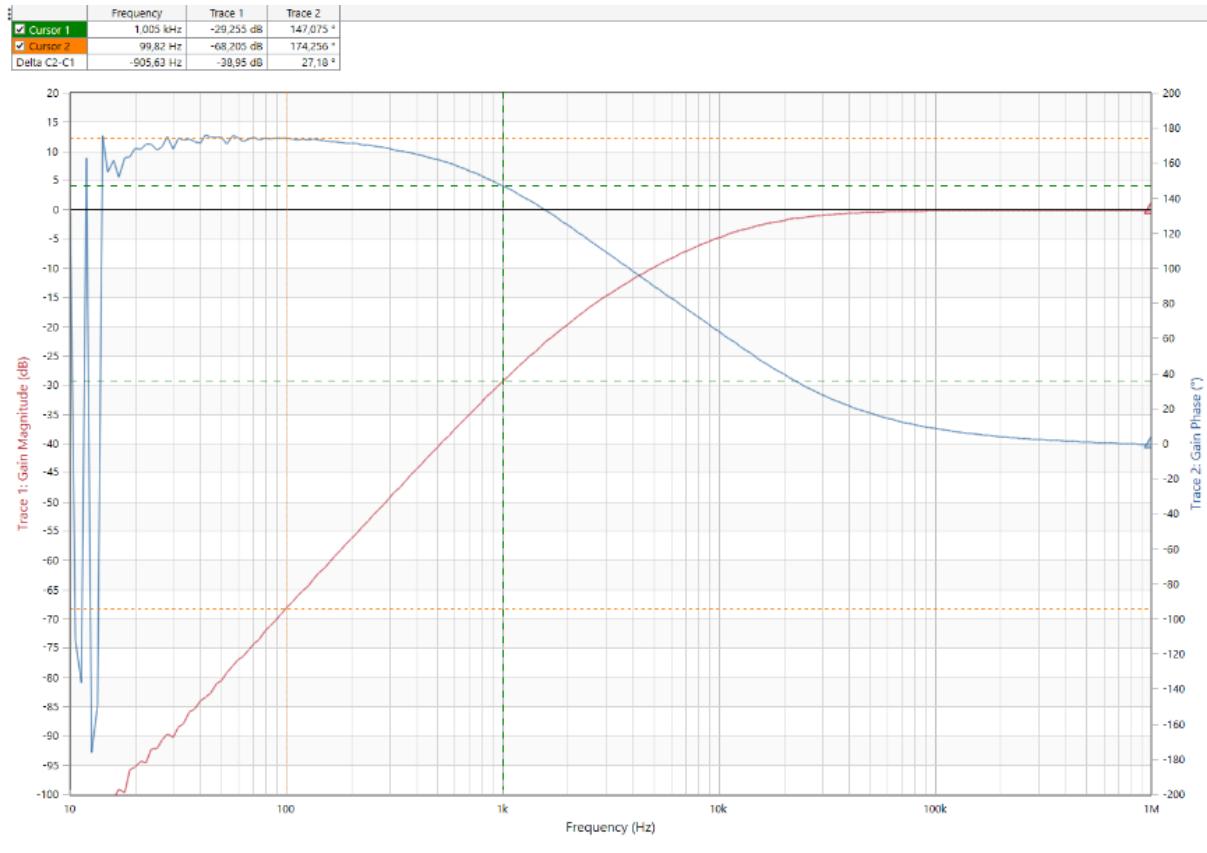


Abbildung 24 DUT Bode In 3,4 Out 5,6, Amplitude (rot), Phasengang (blau)

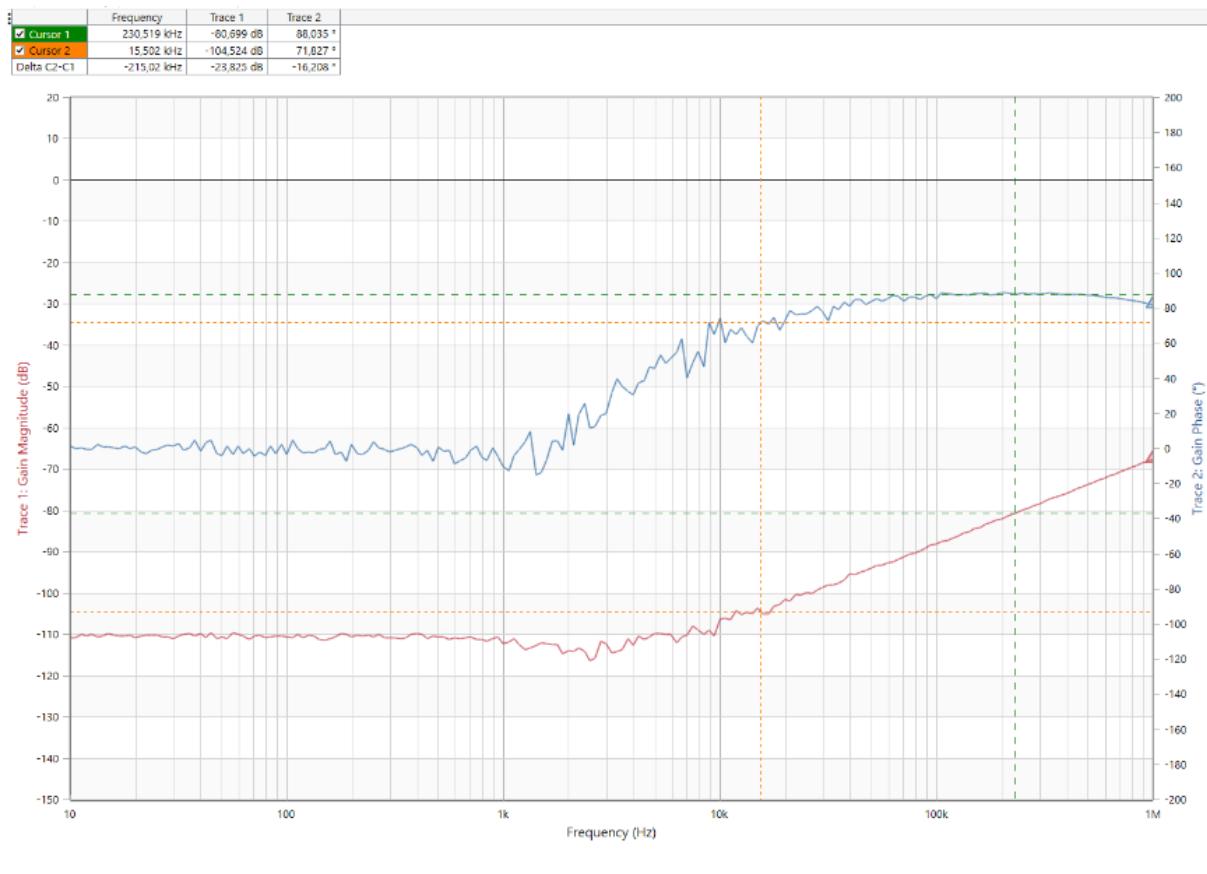


Abbildung 25 DUT Bode In 1,2 Out 5,6, Amplitude (rot), Phasengang (blau)

Man sieht das durch die Messung 3,4 zu 1,2 die Position des V_{in} Widerstand zwischen der Reihenschaltung zweier HP Glieder 1. Ordnung ist.

Daraus ergeben sich zwei neue ESB Hypothesen:

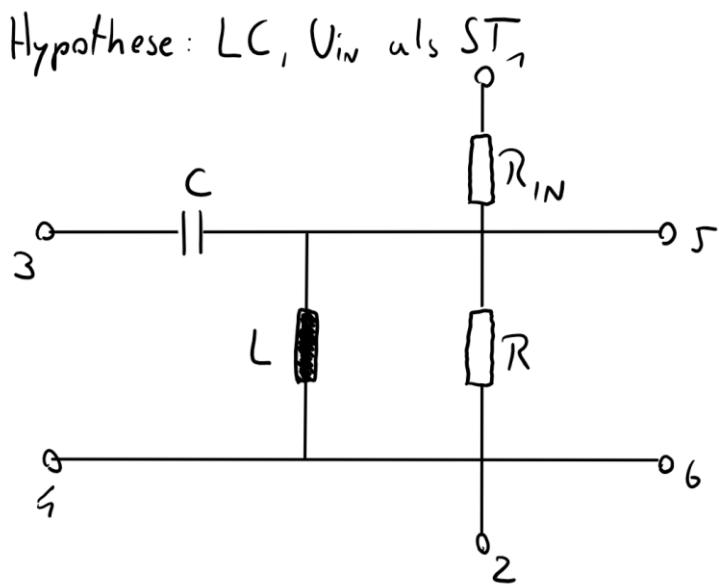


Abbildung 26 ESB der RLC Hypothese

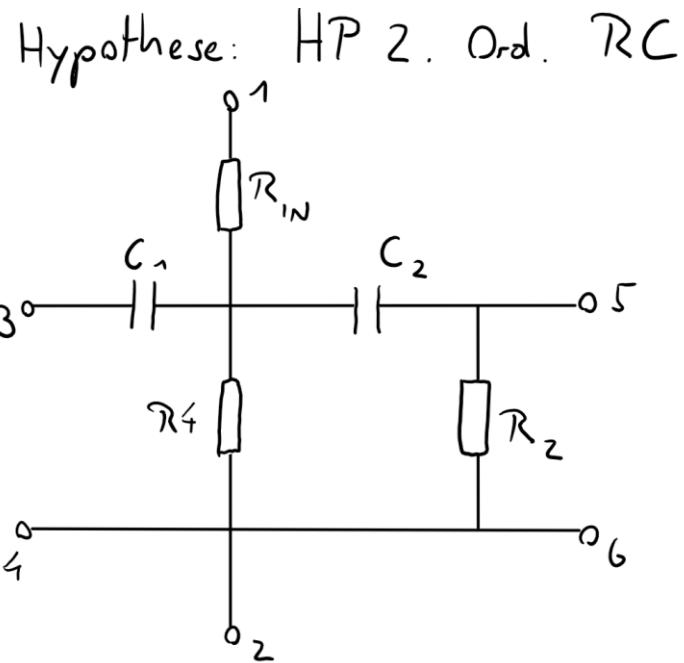


Abbildung 27 ESB der RC Hypothese

3.13 Simulation der zwei neuen ESB

Für beide ESB wurden Simulationen erstellt und Messungen des Amplitude- und Phasengangs zu den jeweiligen Pins durchgeführt. Die Bodediagramme wurden mit den Messungen des DUT verglichen

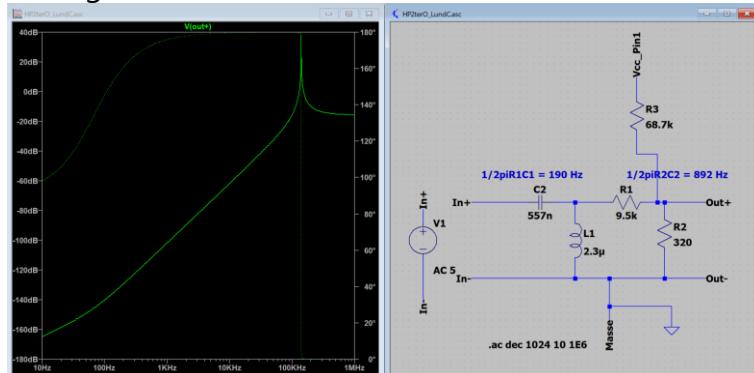


Abbildung 28 Simulation des RLC ESB

Das RLC ESB zeigt bei der Grenzfrequenz ein Resonanzverhalten, welches mit den Messungen des DUT nicht übereinstimmt.

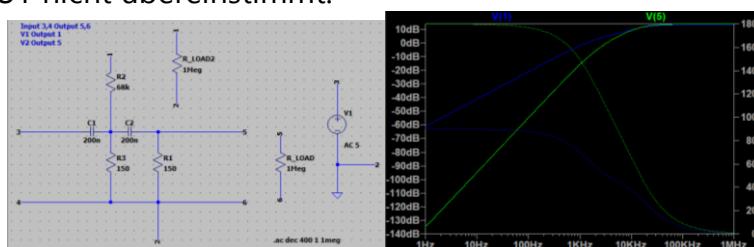


Abbildung 29 Simulation des RC ESB

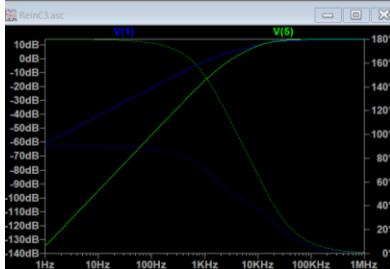
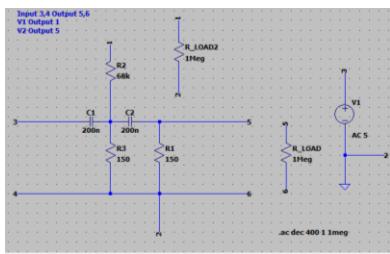


Abbildung 30 Sim Bode In 3,4 Out 1,2 (Blau) und Bode In 3,4 Out 5,6 (Gelb)

V(1) (Blaue Linie) verhält sich gleich wie DUT Bode Input 3,4 zu Output 1,2 und V(2) (Gelbe Linie)

DUT Bode Input 3,4 zu Output 5,6.

Ergebnis: Die Simulation des RC ESB ähnelt dem Verhalten des DUT sehr stark, nur die Kennwerte wie Grenzfrequenz, Phasenverschiebung bei f_g und Anstieg sind nicht gleich. Dies liegt an den noch nicht richtig ermittelten Bauteilwerten.

3.14 Messung: Ermittlung der genauen Bauteilwerte

Da das RC ESB sehr gut mit den Messungen übereinstimmte, wurden die Werte, die durch R- und C-Messung direkt gemessen werden können, übernommen.

C1 und R2 können direkt übernommen werden.

Die R-Messung zwischen Pin 1 und 5 ergibt einen gesamten Widerstand von 68,5k. Da die FH nur Bauteilwerte der E6 Reihe lagernd hat, wird angenommen, dass R_{in} 68k ohm und dadurch R1 und R2 jeweils 330 ohm sind.

$$R_{Pin1zu5} = R_{in} + R_1 + R_2$$

C2 kann nicht direkt gemessen werden, da R1 und R2 dazu parallel geschalten sind und somit die C-Messung nicht funktioniert. C2 wird daher gleich angenommen wie C1. Die Simulation bestätigt diese Annahme später.

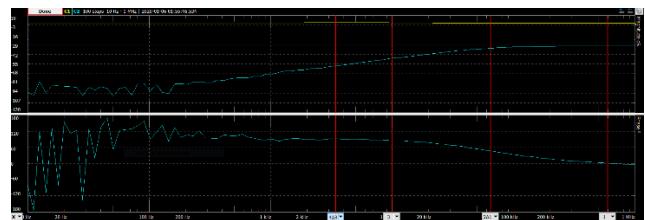


Abbildung 31 DUT Bode In 3,4 Out 5,6



Abbildung 32 DUT Bode In 3,4 Out 5,6

3.15 Messung: Verifizierung der Bauteilwerte durch Simulation und Aufbau auf Breadboard

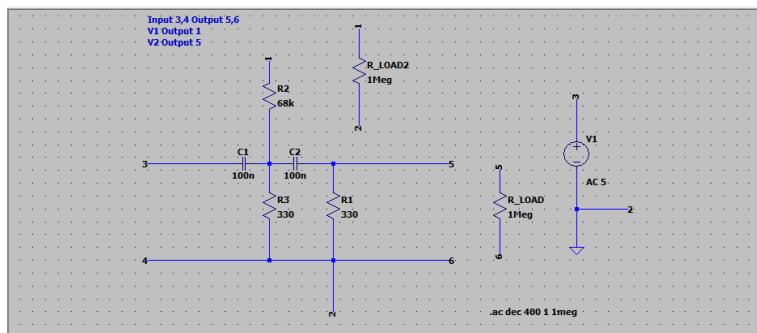


Abbildung 33 Simulation Schematic und Befehle

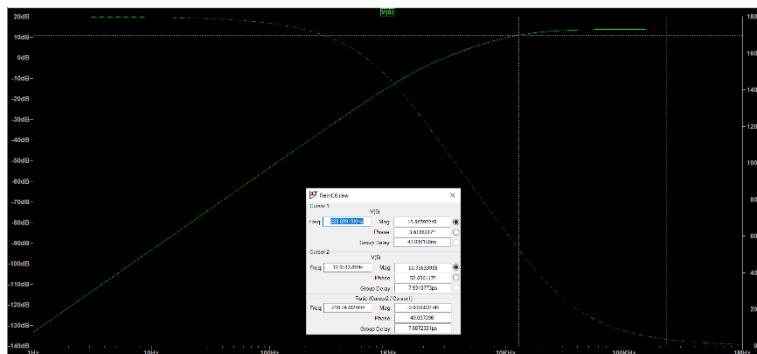


Abbildung 34 Simulation Bodediagramm: Grenzfrequenz

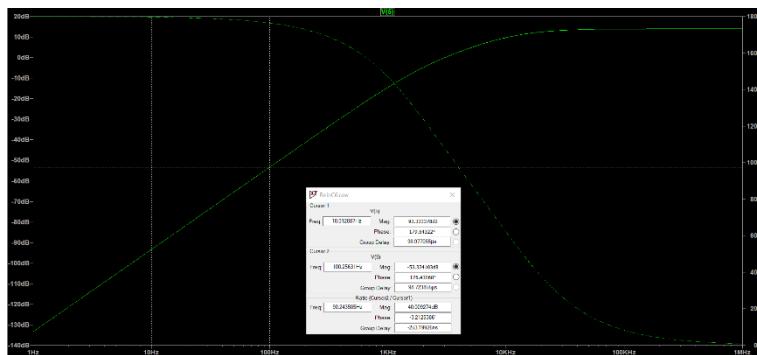


Abbildung 35 Simulation Bodediagramm: Anstieg

Simulation: $f_g = 12,85 \text{ kHz}$ bei Phase $= 52,6^\circ$ Anstieg: 40 dB/Dek



Abbildung 36 Aufbau am des HP am Breadboards

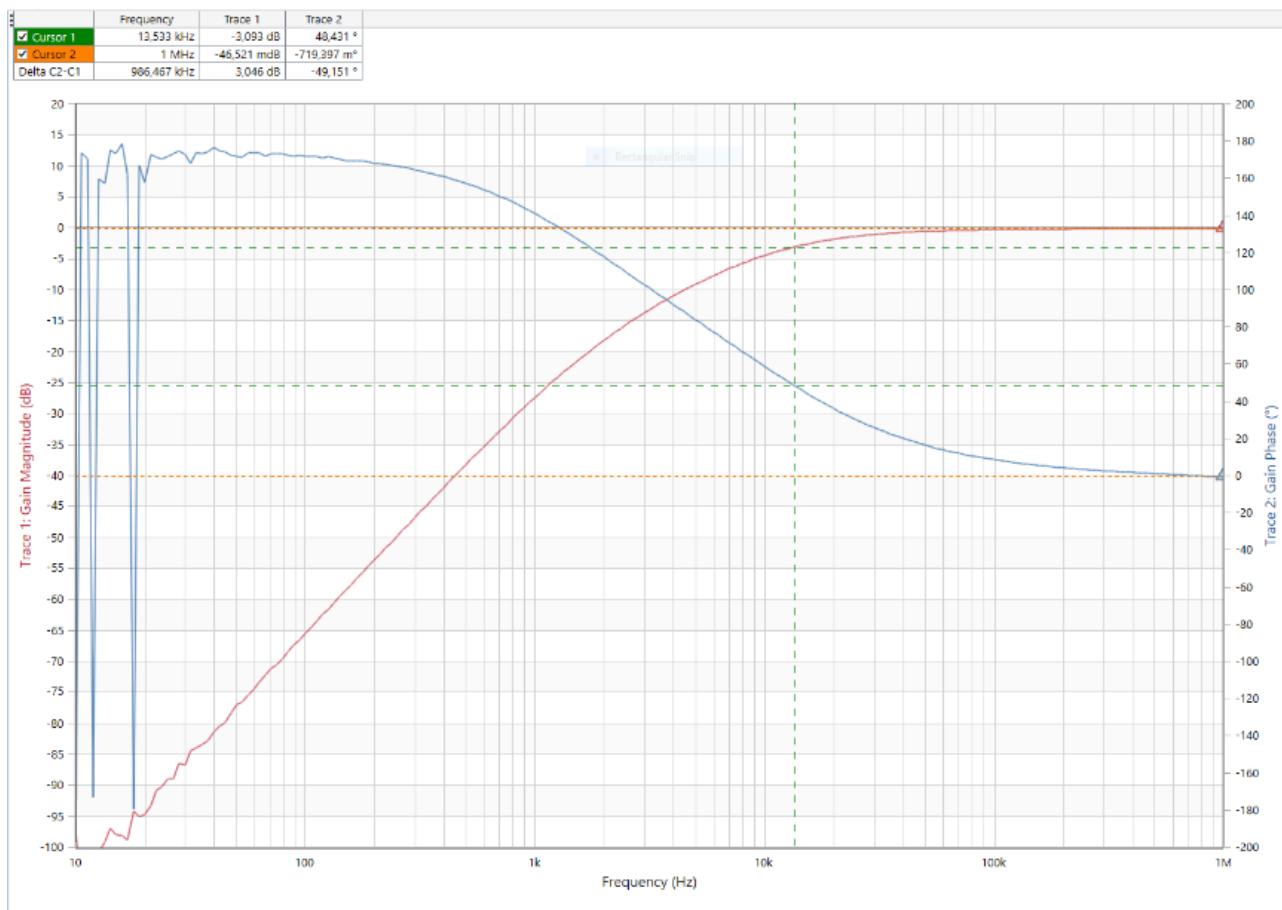


Abbildung 37 Bodediagramm des Aufbaus am Breadboard, Amplitude (rot), Phasengang (blau)

Aufbau am Breadboard: $f_g = 13,5 \text{ kHz}$ bei Phase = $48,4^\circ$ Anstieg: ca. +38 dB/Dek

DUT: $f_g = 13,7 \text{ kHz}$ bei Phase = $51,86^\circ$ Anstieg: + 38 dB/Dek

Simulation: $f_g = 12,85 \text{ kHz}$ bei Phase = $52,6^\circ$ Anstieg: + 40 dB/Dek

Ergebnis: Die Werte der Simulation, der Messung am DUT und des Aufbaus am Breadboard übereinstimmen alle überein.

Die Variation der genauen Kennwerte zwischen den Messungen am DUT und am Breadboard wird durch die Toleranzen der Bauteile und dem verschiedenen Aufbau erzeugt.

Der Unterschied zur Simulation wird durch die Idealisierung der Bauteile und den Toleranzunterschiede verursacht.

Durch die Übereinstimmung der Messungen müssen die Bauteilwerte und deren Anordnung im DUT und Breadboard gleich sein.

3.16 Kritische Dämpfung

Quelle: Titze Schenk 2002 Kapitel 13.1 Theoretische Grundlage von TP-Filtern

Bei der Dimensionierung von Filter zweiter Ordnung, muss darauf geachtet werden, dass sich die resultierende f_g durch die Reihenschaltung verschiebt. Die f_g ist bei dem Verhältnis Ausgang zu Eingang von -3dB bestimmt.

Werden zwei Filter erster Ordnung mit gleicher Frequenz in Reihe geschaltet, so verschiebt sich die resultierende f_g bei einem Hochpass nach oben, und bei einem Tiefpass nach unten. Dies ist sich grafisch durch eine Überlagerung der Amplitudengänge zu verstehen.

Durch diese Überlagerung wird auch der Übergang der steigenden Asymptote zur flachen Asymptote länger wird. Dieser längere Übergang wird auch als kritische Dämpfung bezeichnet.

Um ein solches Verhalten zu vermeiden, werden die Koeffizienten der Filter anders gewählt. Das Verhalten kann sogar dahin gezielt verändert werden, dass sich bei der f_g ein Überschwingen entsteht. Die Koeffizienten bestimmen die Bauteilwerte von R_1 , R_2 , C_1 und C_2 .

Die kritische Dämpfung oder auch andere Verhaltensmuster (Tschelbychef, Butterworth, Bessel) haben jedoch zur Folge, dass die f_g keine Phasenverschiebung von 90° hat, sondern eben weiter verschoben ist.

3.17 Zusammenfassung: Passive Blackbox

Bei dem DUT handelt sich um einen HP 2ter Ordnung mit folgenden ESB und Bauteilwerte:

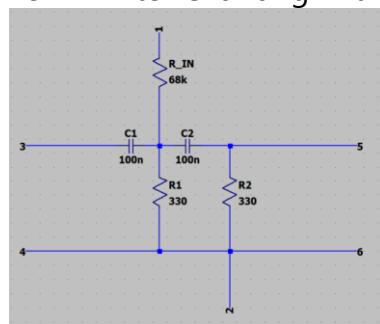


Abbildung 38 RC HP 2.Ordnung ESB mit richtigen Bauteilwerten

Dieses Filterglied besitzt eine kritische Dämpfung, wodurch der Übergang von der steigenden Asymptote zur flachen Asymptote über einen größeren Frequenzbereich erfolgt. Dies wird durch die Reihenschaltung zweier RC-HP-1.Ordnung mit gleicher Grenzfrequenz verursacht.

Der größte Fehler, der bei diesem Messobjekt gemacht wurde, war die Verharrung auf die Messwerte des RLC-Meters. Durch die angezeigten hohen Induktivitätswerte wurde das ESB eines LC HP zweiter Ordnung angenommen und bei der Simulation mit verschiedenen Bauteilwerten experimentiert, um sich den Amplituden- und Phasengang anzunähern. Dies kostete sehr viel Zeit.

3.18 Begriffstabelle

HP	Hochpass
TP	Tiefpasse
BS.....	Bandsperrre
BP.....	Bandpass
SS	Serienschwingkreis
PS	Parallelschwingkreis
ESB.....	Ersatzschaltbild
Vpp.....	Spannung Spitze Spitze
DUT	Device under Test

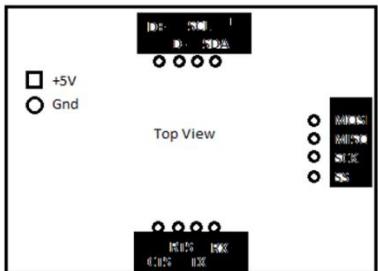
4 Serielle Bus-Kommunikation

4.1 Aufgabenstellung Digitalteil

- Aus einem unbekannten programmierten Board soll eine unbekannte Nachricht ausgelesen werden.
- Die Nachricht wird per Knopfdruck periodisch über jeweils einen SPI-, I²C- und UART-Bus gesendet. Diese sollen analysiert und vermessen werden.

4.2 Vorbereitung:

Aus einer im ILIAS verfügbaren Abbildung (Abb. 2) kann die Pinbelegung des Boards (Abb. 1) abgelesen werden.



Taster kurz drücken -> serielle.
Kommunikation findet statt

Abbildung 39 : Pinbelegung

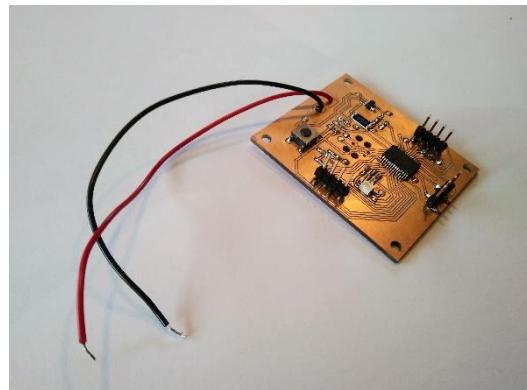


Abbildung 40: Board

Zu erkennen sind folgende Pins:

- Oben: D+, D-, SCL, SDA → (I²C-Bus)
- Rechts: MOSI, MISO, SCK, SS → (SPI-Bus)
- Unten: CLS, RTS, TX, RX → (UART-Bus)
- Links: Power Supply, 5V

4.3 Aufbau des Boards:

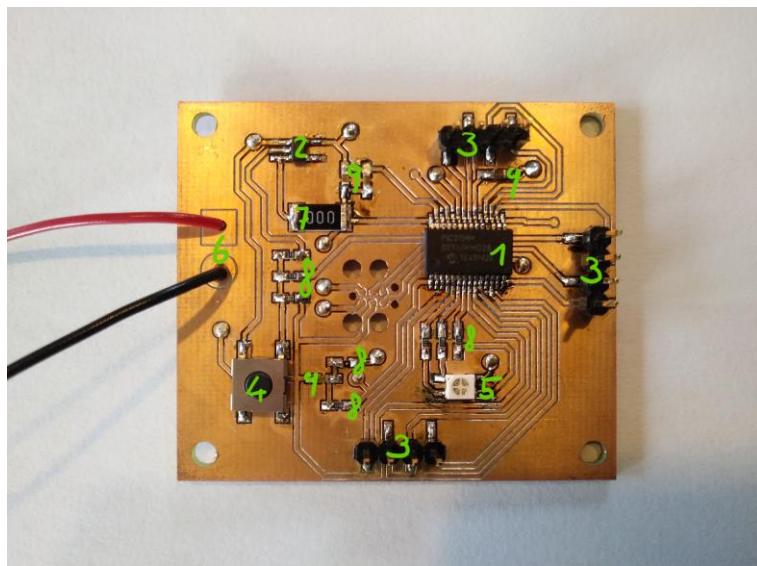


Abbildung 41: zu vermessendes Board, 5,2 cm x 4,5 cm

Liste der SMDs:

1. Micro Controlling Unit
2. IC Spannungsregler 3,3 V
3. 3x 4-Pin Header
4. 1x Taster
5. 1x RGB LED
6. 2 Versorgungsanschlüsse
7. Brücke
8. Diverse Widerstände
9. Diverse Kondensatoren

4.4 Daten des MCUs:

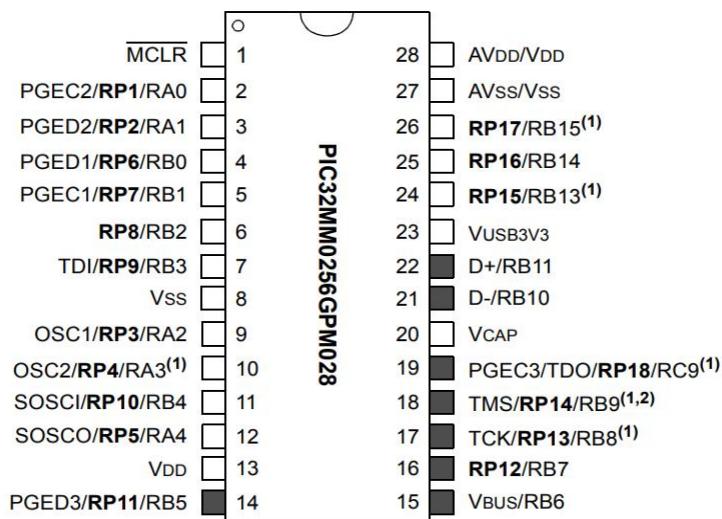
Name: PIC32MM0256GPM028

Device	Pins	Program Memory (Kbytes)		Data Memory (Kbytes)		General Purpose I/O/PPS	16-Bit Timers Maximum	PWM Outputs Maximum	Remappable Peripherals						10/12-Bit ADC (External Channels)	Comparators	CRC	RTCC	I ² C	USB	Packages
		Dedicated 16-Bit Timers	UART ⁽¹⁾ /LIN/J2602	MCCP ⁽⁴⁾	SCCP ⁽³⁾	CLC	SPI ⁽²⁾ /I ² S														
PIC32MM0064GPM028	28	64	16	21/18	21	18	3	3	3	6	4	3	12	3	Yes	Yes	3	Yes	SSOP/QFN/UQFN		
PIC32MM0128GPM028	28	128	16	21/18	21	18	3	3	3	6	4	3	12	3	Yes	Yes	3	Yes	SSOP/QFN/UQFN		
PIC32MM0256GPM028	28	256	32	21/18	21	18	3	3	3	6	4	3	12	3	Yes	Yes	3	Yes	SSOP/QFN/UQFN		

Abbildung 42: Tabelle 1

Pinbelegung:

28-Pin SSOP



Legend: Shaded pins are up to 5V tolerant.

Note 1: High drive strength pin.

2: This pin may toggle during ICSP programming. Refer to [Section 2.6 “JTAG”](#).

Abbildung 43: Tabelle 2

Pin-Funktionen:

TABLE 2: COMPLETE PIN FUNCTION DESCRIPTIONS FOR 28-PIN SSOP DEVICES

Pin	Function	Pin	Function
1	MCLR	15	VBUS/RB6
2	PGECL/VREF+/CVREF+/AN0/ RP1 /OCM1E/INT3/RA0	16	RP12 /SDA3/SDI3/OCM3F/RB7
3	PGED2/VREF-/AN1/ RP2 /OCM1F/RA1	17	TCK/ RP13 /SCL1/U1CTS/SCK1/OCM1A/RB8 ⁽¹⁾
4	PGED1/AN2/C1IND/C2INB/C3INC/ RP6 /OCM2C/RB0	18	TMS/REFCLKI/ RP14 /SDA1/T1CK/T1G/T2CK/T2G/U1RTS/U1BCLK/SDO1/OCM1B/INT2/RB9 ^(1,3)
5	PGECL/AN3/C1INC/C2INA/ RP7 /OCM2D/RB1	19	PGECL/TDO/ RP18 /ASCL1 ⁽²⁾ /T3CK/T3G/USBOEN/SDO3/OCM2A/RC9 ⁽¹⁾
6	AN4/C1INB/ RP8 /SDA2/OCM2E/RB2	20	VCAP
7	TDI/AN11/C1INA/ RP9 /SCL2/OCM2F/RB3	21	D-/RB10
8	Vss	22	D+/RB11
9	OSC1/CLKI/AN5/ RP3 /OCM1C/RA2	23	VUSB3V3
10	OSC2/CLKO/AN6/C3IND/ RP4 /OCM1D/RA3 ⁽¹⁾	24	AN8/LVDIN/ RP15 /SCL3/SCK3/OCM3A/RB13 ⁽¹⁾
11	SOSCI/AN7/ RP10 /OCM3C/RB4	25	CVREF/AN9/C3INB/ RP16 /RTCC/U1TX/VBUSON/SDI1/OCM3B/INT1/RB14
12	SOSCO/SCLKI/ RP5 /PWRLCLK/OCM3D/RA4	26	AN10/C3INA/REFCLKO/ RP17 /U1RX/SS1/FSYNC1/OCM2B/INT0/RB15 ⁽¹⁾
13	VDD	27	AVss/VSS
14	PGED3/ RP11 /ASDA1 ⁽²⁾ /USBID/SS3/FSYNC3/OCM3E/RB5	28	AVdd/VDD

Note 1: High drive strength pin.

2: Alternate pin assignments for I2C1 as determined by the I2C1SEL Configuration bit.

3: This pin may toggle during ICSP programming. Refer to [Section 2.6 “JTAG”](#).

Abbildung 44: Tabelle 3

4.5 Versorgungsmessung

Für eine Strommessung des Boards wird das Fluke Multimeter (Abb. 5) zwischen Versorgung und Board geschaltet. Die Speisung erfolgt mit 5V. Anschließend wird der Taster einmalig betätigt. Die LED beginnt in periodischen Abständen weiß zu blinken.



Abbildung 45: Fluke Multimeter

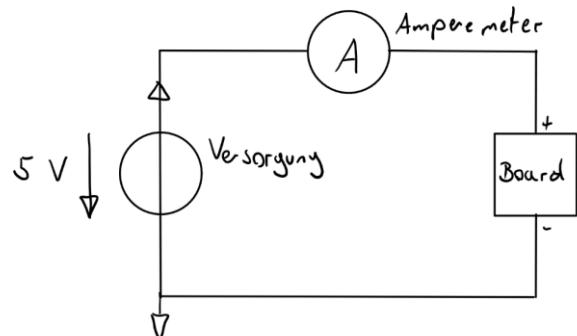


Abbildung 46: ESB des Messaufbaus

- Taster nicht betätigt, Stand-by: 0,02 mA, DC
- Nach Betätigung, IC an, LED aus: 4 mA, DC
- Nach Betätigung, IC an, LED an: 6,8 mA, DC

4.6 SPI Messung:

Verwendete Geräte:

- PL303QMD-P Dual Power Supply (Abbildung 47)
- Teledyne LeCroy HDO9104A-MS (Abbildung 48), inkl. passive Tastköpfe



Abbildung 47



Abbildung 48

(Alle folgenden Messungen werden mit diesen Geräten durchgeführt.)

Board wird mit 5V gespeist. Tastkopf auf Channel 1 (kurz: CH1) wird auf SCK (Serial Clock)-Pin geschlossen um Clock-Puls zu messen. Tastkopf auf CH 2 wird auf MOSI (Master OUT, Slave IN) geschlossen, um die gesendeten Daten zu messen. Ein GND-Anschluss der Tastköpfe wird ans GND des Boards geschlossen.

Folgende Einstellungen am Oszilloskop wurden für die Messungen beider Kanäle vorgenommen:

- DC-Kopplung
- Trigger auf fallende Flanke
- 2V Trigger-Pegel
- Single Shot

Durch diese Einstellungen ergibt sich am Oszilloskop folgendes Bild:

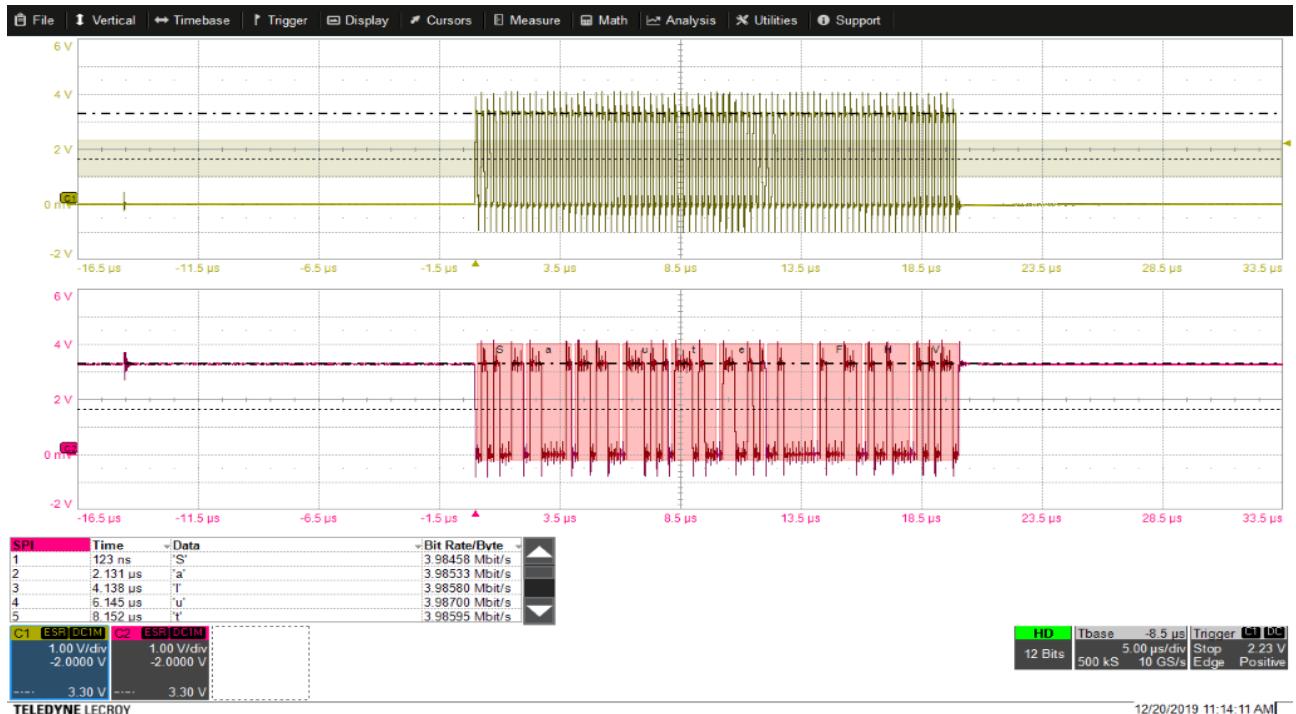


Abbildung 49: Clock (gelb, CH1), MOSI (rot, CH2)

Durch eine Testmessung nach dem Drücken des Knopfes sind am Oszilloskop auf CH1 der Clock Pulse von ca. 4Mbit pro Sekunde im IdleLow und auf CH 2 die gesendeten Daten zu erkennen. Der Pegel beider Signale (Amplitude) liegt bei 3,3V. Somit können weitere Messungen vorgenommen werden:

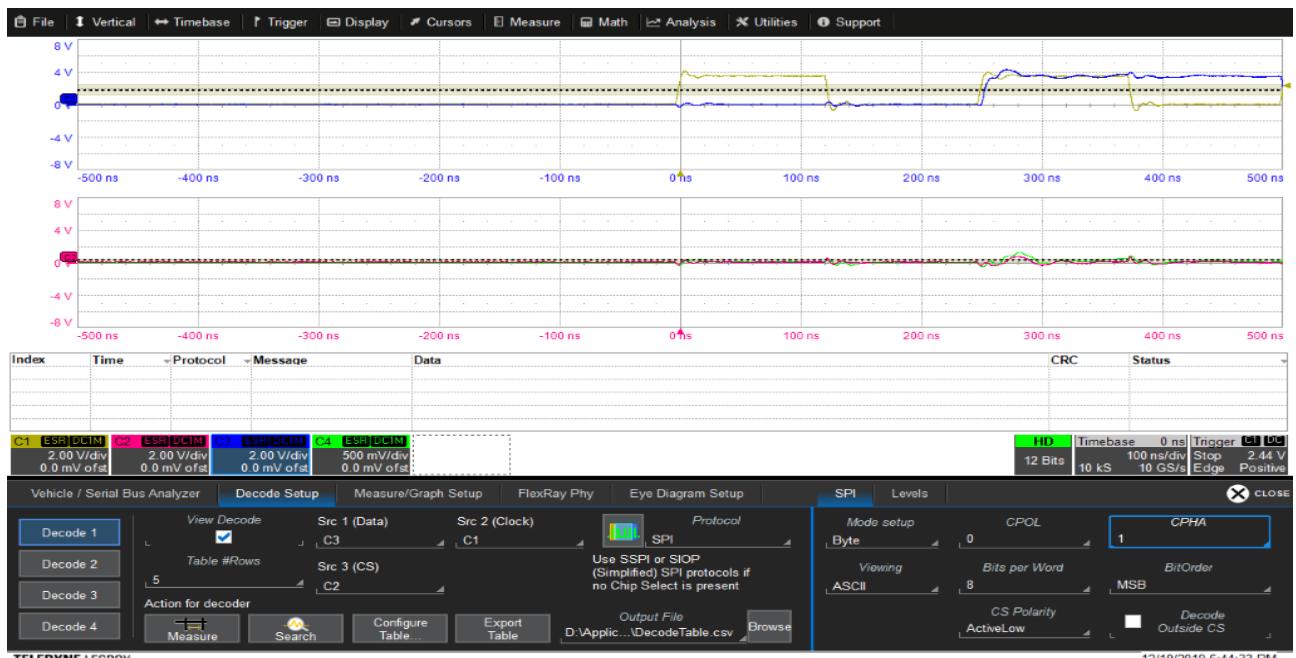


Abbildung 50: Clock (gelb, CH1), CS (rot, CH2), MOSI (blau, CH3)

Daraus ist zu erkennen:

- Das SCK-Signal (gelb) ist vor dem senden des ersten Pulses auf 0V, daher ist die Polarity (CPOL) dieser 0.
- Die Phase des SCK-Signals liegt bei der 2. Flanke eines Pulses (CPHA = 1), was dadurch bestätigt wird, dass das Auslesen der 1. Flanke einen undefinierten Wert zurückliefern würde, da dort das Datensignal (blau) gerade ansteigt und sich zwischen logisch 0 und logisch 1 befindet.
- Das CS-Signal ist während Aktivierung von Clock und Daten auf 0, daher ActiveLow, was im Umkehrschluss zu einem IdleHigh CS führen muss.

Mit diesem Wissen kann das Decode-Feature des LeCroy genutzt werden. Im Decode Setup wird SPI als Bustyp eingestellt und die passenden Modi (siehe vorheriger Absatz) des Signals ausgewählt. Zuletzt wird die Decodierung auf ASCII gestellt und eine Nachricht entschlüsselt:

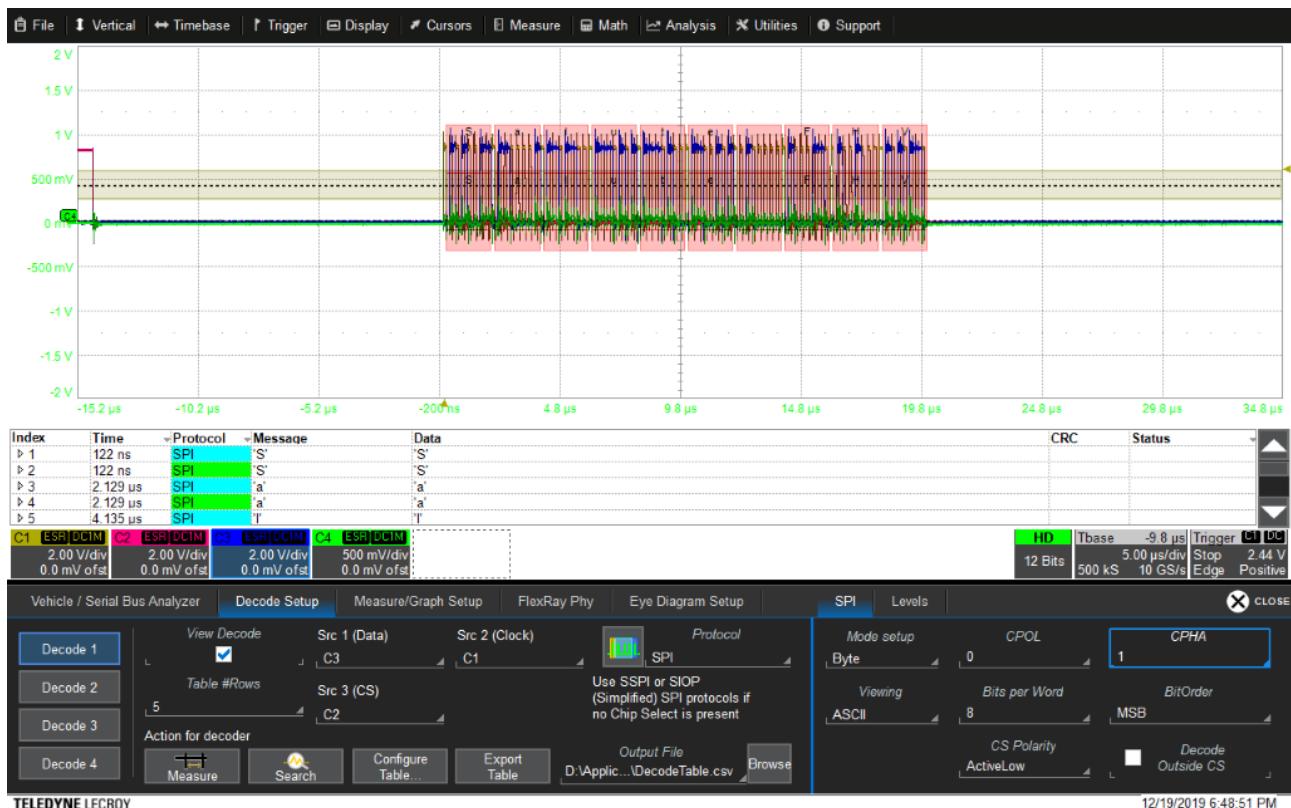


Abbildung 51: Clock (gelb, CH1), CS (rot, CH2), MOSI (blau, CH3)

Dekodierte Nachricht: „**Salute FHV**“

Beim Auslesen des MISO (Master IN, Slave OUT) wird die selbe Nachricht dekodiert.

4.7 I²C Messung:

CH1 wird an SCL (Serial Clock) geschlossen, CH2 an SDA (Serial Data), GND eines Tastkopfes auf GND des Boards. Die vorherigen Triggereinstellungen werden übernommen.

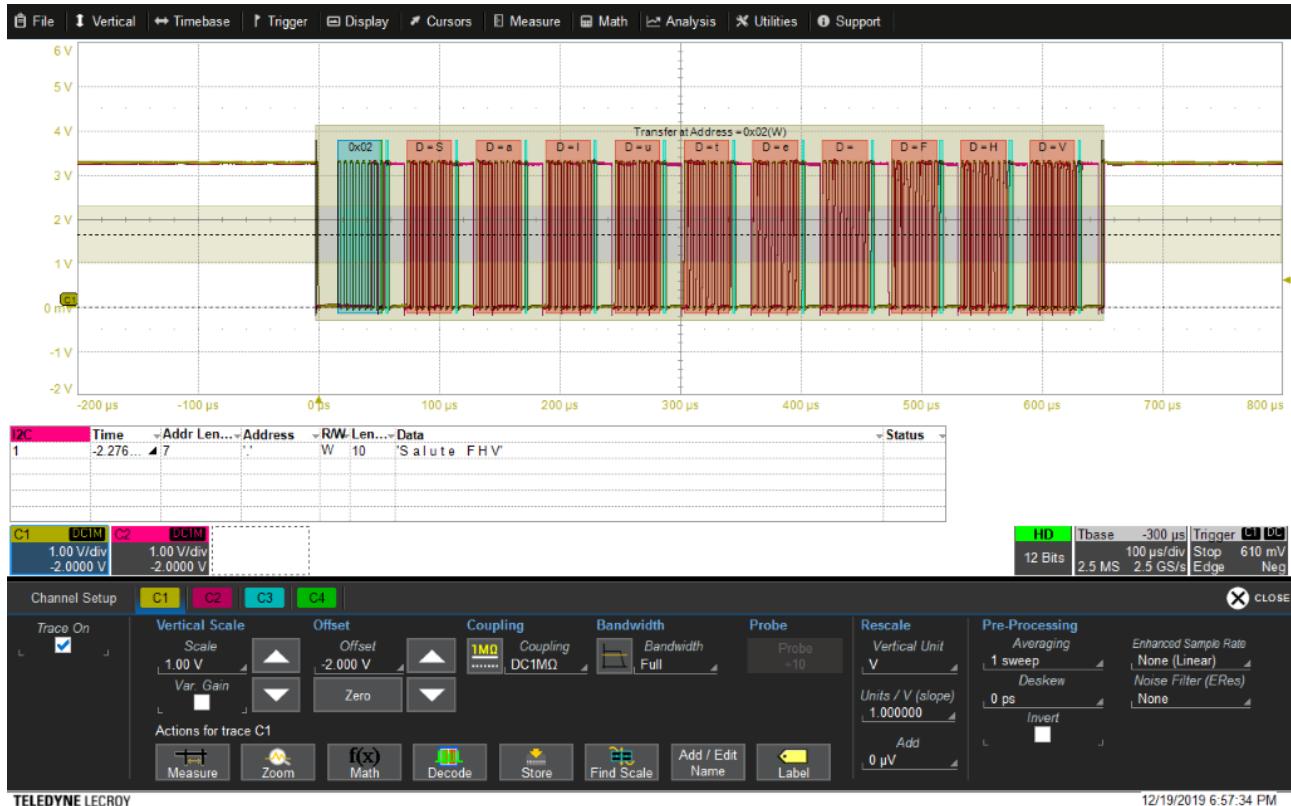


Abbildung 52: Clock (gelb, CH1), SDA (rot, CH2)

Aus CH1 kann erkannt werden, dass sich die Clock im Ruhezustand auf 3,3V befindet (IdleHigh). Anschließend wird ein Adressbit gesendet, welches den richtigen Slave auswählt. Auf diesem Board gibt es aber nur einen, also kann dieser Fakt in den Hintergrund gerückt werden. CPHA liegt bei der 2. Flanke, also Mode 1. Durch das Decode-Feature des LeCroy kann durch auswählen des I²C Busses die Nachricht decodiert werden. Auch diese lautet:

„Salute FHV“

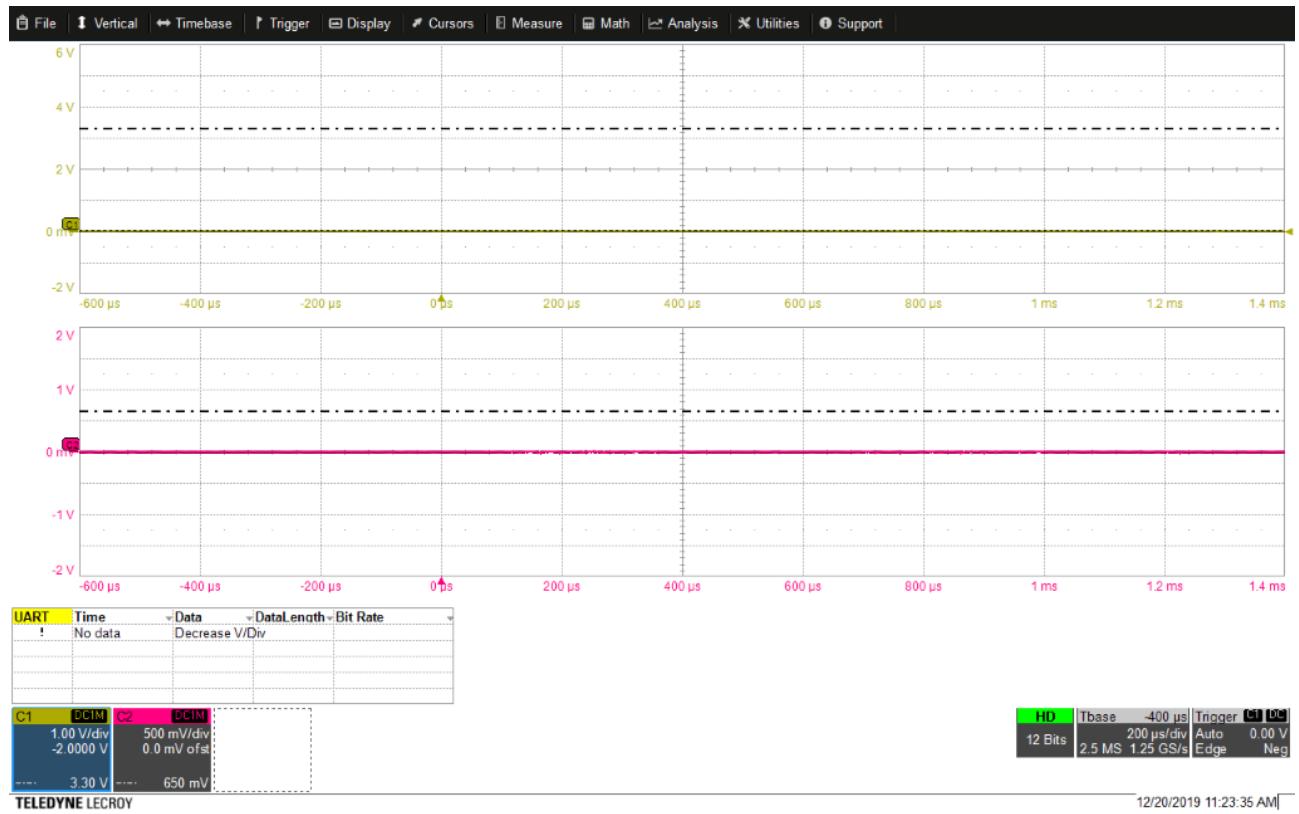


Abbildung 53: D+ (gelb, CH1), D- (rot, CH2)

Die Pins „D+“ und „D-“ senden bei Vermessung kein Signal und spielen in diesem Fall keine Rolle für die Nachricht.

4.8 UART Messung:

Das UART Protokoll ist asynchron und besitzt keine Clock. Daher muss ein Start und Stop Bit erkannt und die Bitrate bestimmt werden. CH1 wird an TX (Transmit) und CH2 an RX (Receive) geschlossen, GND auf GND des Boards. Durch Messen mit der Cursor-Funktion kann die Dauer eines Bit erkannt und damit die Bit pro Sekunde berechnet werden.

Schlussrechnung:

- 1 Bit / 8,5448 μ s
- 0,117 Bit / 1 μ s
- 117.030,2406 Bits / 1 s

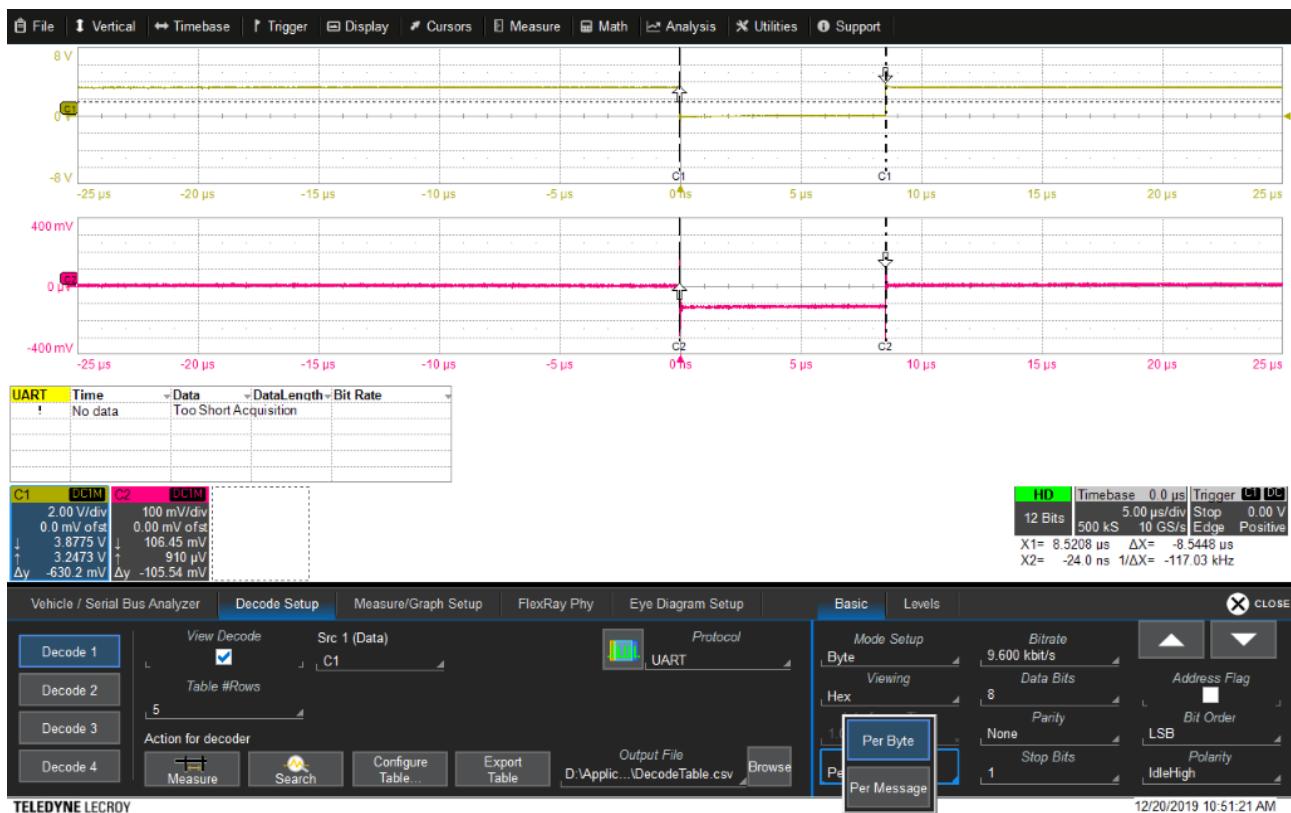


Abbildung 54: TX (gelb, CH1), RX (rot, CH2)

Die berechnete Bitrate von 117.030 Bit/s korrespondiert mit der allgemein standardisierten Größe von 115.200 Bit/s im Oszilloskop, was als Einstellung übernommen wird. Datenbits-, Parity- und Stoppbitanzahl werden als Default-Einstellung übernommen. CH2 hat auf diesem Board keinen brauchbaren Effekt, da er das Signal empfängt, das vom Slave zurückgegeben wird. Auf diesem Board ist das Feedback des Slaves genau das gleiche wie die Anforderung an ihn.

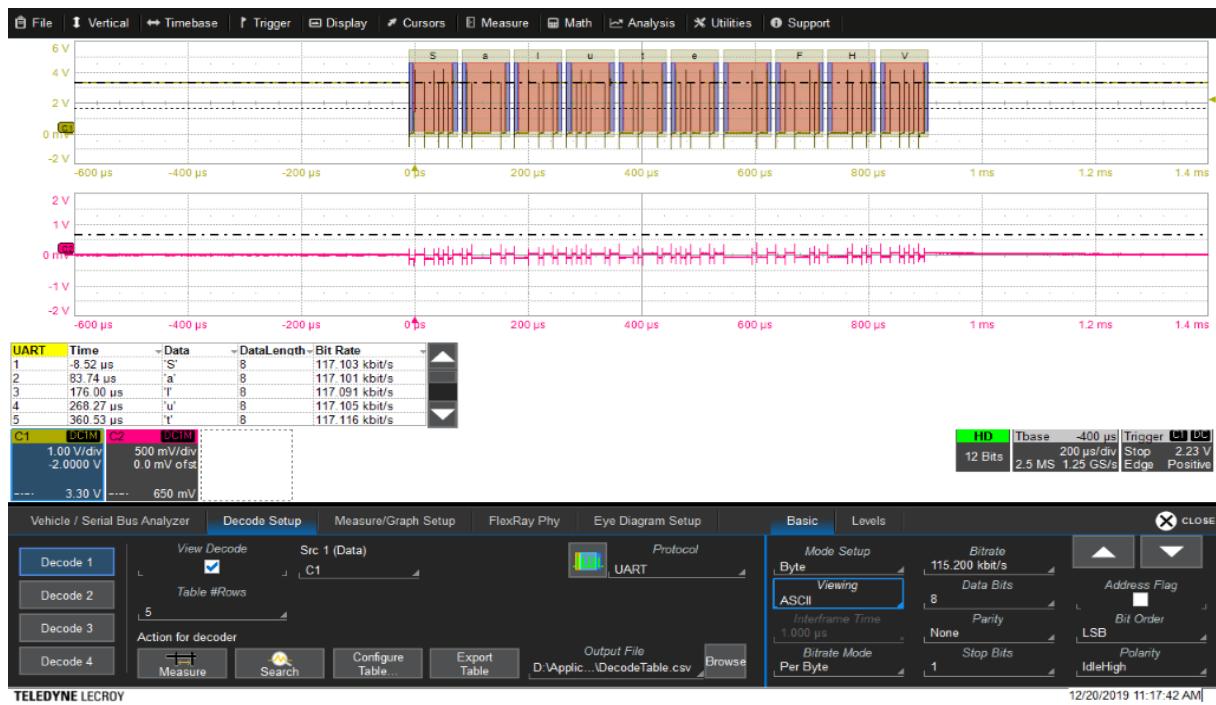


Abbildung 55: TX (gelb, CH1), RX (rot, CH2)

Auch hier wird „**Salute FHV**“ mit den vorher berechneten Einstellungen ausgelesen. Zu bemerken ist, dass die Daten beim UART-Bus im LSB-Modus (Least significant bit first) gesendet werden. Diese Einstellung war als default eingestellt.

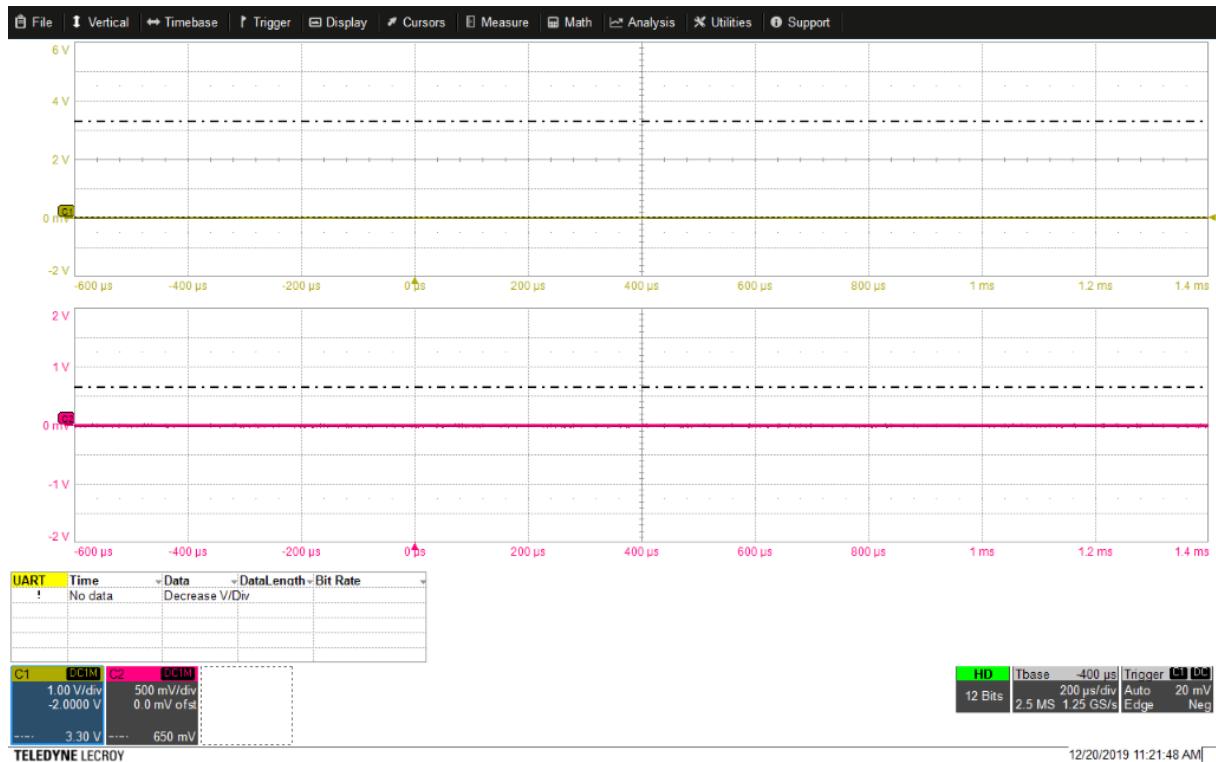


Abbildung 56: RTS (gelb, CH1), CLS (rot, CH2)

Die Messung an den Pins RTS und CLS ergibt keine Änderung des Signals. Sie sind in diesem Fall für das Board nicht notwendig.

4.9 Zusammenfassung: Digitalteil

Der Digitalteil des Messprojekts 1 ist eine Platine mit den 3 Bustypen SPI, I²C und UART, die in periodischen Abständen die Nachricht „Salute FHV“ anfordern und empfangen. Zusätzlich wird für jeden Periodenbeginn eine RGB LED auf dem Board zum leuchten gebracht.

5 Abbildungsverzeichnis

Abbildung 1 Pinout der Blackboxübung passiver Bauelemente.....	5
Abbildung 2 Tabelle Messung RLC TMENA 72-960	11
Abbildung 3 Tabelle RC Messung Fluke 87 V.....	11
Abbildung 4 Frequenzverhalten DC.....	12
Abbildung 5 Frequenzverhalten AC 50Hz.....	13
Abbildung 6 Frequenzverhalten AC 500kHz.....	13
Abbildung 7 DUT Bodediagramm: Grenzfrequenz	14
Abbildung 8 DUT Bodediagramm: Anstieg	15
Abbildung 9 ESB RLC Hypothese.....	16
Abbildung 10 Bode: Bauteilbestimmung Spannungsteiler: Pin 3 zu 4	17
Abbildung 11 AC 500kHz Bauteilbestimmung Spannungsteiler: Pin 3 zu 4	18
Abbildung 12 AC 50Hz Bauteilbestimmung Spannungsteiler: Pin 3 zu 4	18
Abbildung 13 DC Bauteilbestimmung Spannungsteiler: Pin 3 zu 4	19
Abbildung 14 Bode Bauteilbestimmung Spannungsteiler: Pin 3 zu 5	20
Abbildung 15 AC 500kHz Bauteilbestimmung Spannungsteiler: Pin 3 zu 5	21
Abbildung 16 AC 50Hz Bauteilbestimmung Spannungsteiler: Pin 3 zu 5	21
Abbildung 17 DC Bauteilbestimmung Spannungsteiler: Pin 3 zu 5	22
Abbildung 18 DC Bauteilbestimmung Spannungsteiler: Pin 1 zu 2	23
Abbildung 19 AC 50Hz Bauteilbestimmung Spannungsteiler: Pin 1 zu 2	23
Abbildung 20 AC 500kHz Bauteilbestimmung Spannungsteiler: Pin 1 zu 2	24
Abbildung 21 Bode Bauteilbestimmung Spannungsteiler: Pin 1 zu 2	24
Abbildung 22 DUT Bode In 3,4 Out 1,2.....	26
Abbildung 23 DUT Bode In 3,4 Out 5,6.....	26
Abbildung 24 DUT Bode In 1,2 Out 5,6.....	27
Abbildung 25 ESB der RLC Hypothese	27
Abbildung 26 ESB der RC Hypothese	28
Abbildung 27 Simulation des RLC ESB	28
Abbildung 28 Simulation des RC ESB	28
Abbildung 29 Sim Bode In 3,4 Out 1,2 (Blau) und Bode In 3,4 Out 5,6 (Gelb)	29
Abbildung 30 DUT Bode In 3,4 Out 5,6.....	29
Abbildung 31 DUT Bode In 3,4 Out 5,6.....	29
Abbildung 32 Simulation Schematic und Befehle	30
Abbildung 33 Simulation Bodediagramm: Grenzfrequenz.....	30
Abbildung 34 Simulation Bodediagramm: Anstieg.....	30
Abbildung 35 Aufbau am des HP am Breadboards	30
Abbildung 36 Bodediagramm des Aufbaus am Breadboard	31
Abbildung 37 RC HP 2.Ordnung ESB mit richtigen Bauteilwerten.....	32
Abbildung 38 : Pinbelegung.....	34
Abbildung 39: Board	34
Abbildung 40: zu vermessendes Board, 5,2 cm x 4,5 cm	35
Abbildung 41: Tabelle 1	36
Abbildung 42: Tabelle 2	36
Abbildung 43: Tabelle 3	37
Abbildung 44: Fluke Multimeter.....	38
Abbildung 45: ESB des Messaufbaus	38
Abbildung 46.....	39
Abbildung 47.....	39
Abbildung 48: Clock (gelb, CH1), MOSI (rot, CH2).....	40

Abbildung 49: Clock (gelb, CH1), CS (rot, CH2), MOSI (blau, CH3)	40
Abbildung 50: Clock (gelb, CH1), CS (rot, CH2), MOSI (blau, CH3)	41
Abbildung 51: Clock (gelb, CH1), SDA (rot, CH2)	42
Abbildung 52: D+ (gelb, CH1), D- (rot, CH2)	43
Abbildung 53: TX (gelb, CH1), RX (rot, CH2)	44
Abbildung 54: TX (gelb, CH1), RX (rot, CH2)	45
Abbildung 55: RTS (gelb, CH1), CLS (rot, CH2).....	45