

## EMD1 de Structure Machine

**Durée : 2 heures**

## Documents non autorisés

### Exercice 1 : (3 points)

On dispose d'une machine où les nombres sont représentés sur 16 bits définis comme suit:

SM	Exposant	Mantisse
15	14	10 9 0

### Questions:

**a) Représenter les nombres suivants sur la machine**

$$N1 = (13,75)_{10}$$

$$N2 = -(0,1875)_{10}$$

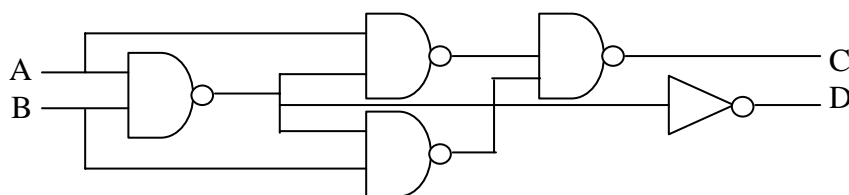
**Remarque:** l'exposant est représenté en complément à 2.

**b) Calculer  $N1+N2$ , le représenter sur la machine et l'exprimer en hexadécimal.**

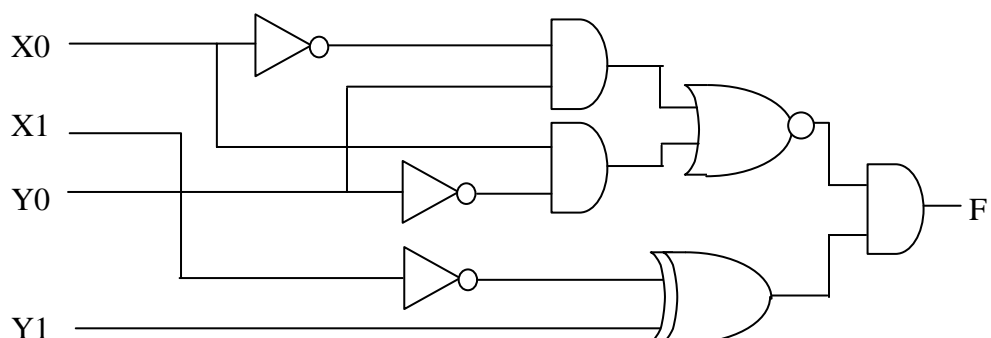
### Exercice 2 : ( 6 points)

Analyser les circuits suivants et dites quelle est leur fonction.

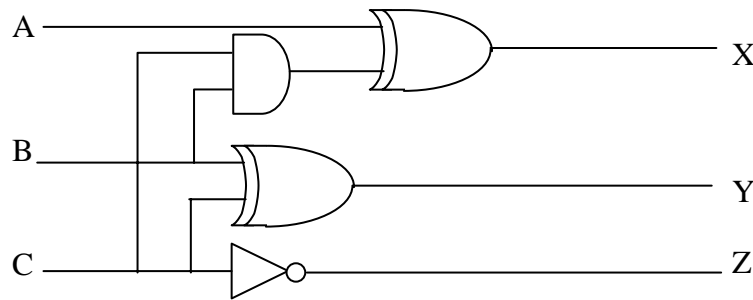
**a.**



**b.**



c.



**Remarque:** Vous pouvez éventuellement utiliser une table de vérité afin d'identifier plus facilement la fonction du circuit.

### Exercice 3 : (10 points)

On désire réaliser un système de contrôle de passage de voitures sur un pont qui ne peut pas supporter plus de 10 tonnes. Le pont est doté de deux barrières A et B, une sur chaque côté.

On désigne par  $a$  et  $b$  le poids des voitures se présentant aux barrières A et B respectivement et par  $P_a$  et  $P_b$  deux variables qui indiquent la présence d'une voiture.

Les conditions de fonctionnement du système sont les suivantes :

$P_a = 1$  s'il y a présence d'une voiture  $a$  devant la barrière A

$P_b = 1$  s'il y a présence d'une voiture  $b$  devant la barrière B

Si  $(a+b) \leq 10$  tonnes, les deux barrières A et B s'ouvrent

Si  $(a+b) > 10$  tonnes, seulement la barrière correspondant à la voiture la plus légère s'ouvre

Si  $a \leq b$ , la barrière A s'ouvre

Si  $a > b$ , la barrière B s'ouvre

### Questions:

a/ Etablir la table de vérité de chacune des fonctions de sortie.

b/ Déterminer les formes canoniques disjonctives des fonctions de sortie.

c/ Réaliser les fonctions de sortie en utilisant des multiplexeurs 8 à 1 et un minimum de portes logiques.

d/ Simplifier les expressions des fonctions de sortie et les réaliser à l'aide de NANDs et des inverseurs.

BON COURAGE

**Correction de l'EMD1 de Structure Machine**  
**Décembre 2002**

---

**Exercice 1 :**

**a.**

$$\begin{aligned} N1 &= (13,75)_{10} = (1101,11)_2 = 0,110111 \times 2^4 \\ \text{Mantisse} &= 0,110111 \\ \text{Exposant} &= 4 = (00100)_2 \\ \text{SM} &= 0 \end{aligned}$$

$$N1 : 0001\ 0011\ 0111\ 0000 = (1370)_{16}$$

**b.**

$$\begin{aligned} N2 &= -(0,1875)_{10} = -(0,0011)_2 = 0,11 \times 2^{-2} \\ \text{Mantisse} &= 0,11 \\ \text{Exposant} &= -2 = (11101)_2 \text{ (complément à 2 de } (-2)) \\ \text{SM} &= 1 \end{aligned}$$

$$N1 : 1111\ 1011\ 0000\ 0000 = (\text{FB00})_{16}$$

**c.**

$$\begin{aligned} N1 + N2 &= 0,110111 \times 2^4 - 0,11 \times 2^{-2} \\ &= 1101,11 - 0,0011 = 1101,1001 = 0,11011001 \times 2^4 \\ \text{Mantisse} &= 0,11011001 \\ \text{Exposant} &= 4 = (00100)_2 \\ \text{SM} &= 0 \end{aligned}$$

$$N1 + N2 : 0001\ 0011\ 0110\ 0100 = (1364)_{16}$$

**Exercice 2:**

**A/**

$$C = \overline{\overline{(A.B + A)}} \cdot \overline{\overline{(A.B + B)}} = \overline{A.B} \cdot A + \overline{A.B} \cdot B = A \cdot \overline{B} + \overline{A} \cdot B = A \oplus B$$

$$D = A \cdot B$$

$$C = A \oplus B = \text{Somme de A et B}$$

$$D = A \cdot B = \text{Retenue}$$

**Le circuit est un demi-additionneur.**

**B/**

$$F = \overline{(\overline{X_0} \cdot Y_0 + \overline{X_0} \cdot Y_0)} \cdot (\overline{X_1} + Y_1) = \overline{(X_0 + Y_0)} \cdot \overline{(X_1 + Y_1)}$$

$$F = 1 \text{ si } X_0 = Y_0 \text{ et } X_1 = Y_1$$

**Le circuit est un comparateur indiquant l'égalité de deux nombres  $(X_1 X_0)_2$  et  $(Y_1 Y_0)_2$ .**

**C/**

$$X = A + B.C$$

$$Y = B \odot C$$

$$Z = \overline{C}$$

A	B	C	X	Y	Z
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	1	0	1
1	0	1	1	1	0
1	1	0	1	1	1
1	1	1	0	0	0

**$(XYZ)_2 = (ABC)_2 + 1$ , le circuit est un incrémenteur.**

**Exercice 3 :**

**A/**

Entrées du système :

$P_a = 1$  s'il y a présence d'une voiture à la barrière A, 0 sinon

$P_b = 1$  s'il y a présence d'une voiture à la barrière B, 0 sinon

$X = 0$  si  $a+b \leq 10$  tonnes

$X = 1$  si  $a+b > 10$  tonnes

$Y = 0$  si  $a \leq b$

$Y = 1$  si  $a > b$

Sorties du système :

$A = 0$  si la barrière A est fermée, 1 sinon

$B = 0$  si la barrière B est fermée, 1 sinon

Table de vérité :

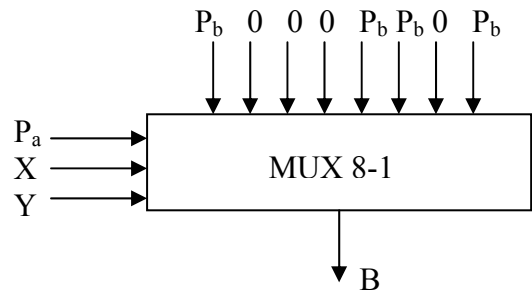
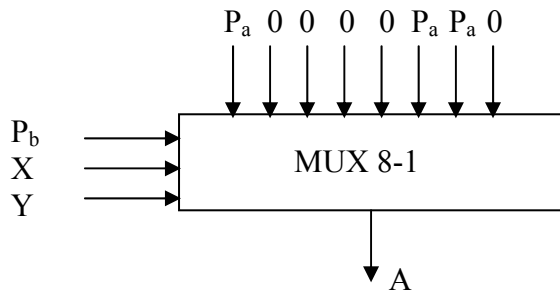
P <sub>a</sub>	P <sub>b</sub>	X	Y	A	B
0	0	0	0	0	0
0	0	0	1	0	0
0	0	1	0	0	0
0	0	1	1	0	0
0	1	0	0	0	1
0	1	0	1	X	X
0	1	1	0	0	0
0	1	1	1	X	X
1	0	0	0	X	X
1	0	0	1	X	X
1	0	1	0	X	X
1	0	1	1	0	0
1	1	0	0	1	1
1	1	0	1	1	1
1	1	1	0	1	0
1	1	1	1	0	1

**B/**

$$A = P_a \cdot \overline{P_b} \cdot \overline{X} \cdot \overline{Y} + P_a \cdot P_b \cdot \overline{X} \cdot \overline{Y} + P_a \cdot P_b \cdot \overline{X} \cdot Y + P_a \cdot P_b \cdot X \cdot \overline{Y}$$

$$B = \overline{P_a} \cdot P_b \cdot \overline{X} \cdot \overline{Y} + P_a \cdot P_b \cdot \overline{X} \cdot \overline{Y} + P_a \cdot P_b \cdot \overline{X} \cdot Y + P_a \cdot P_b \cdot X \cdot \overline{Y}$$

**C/**



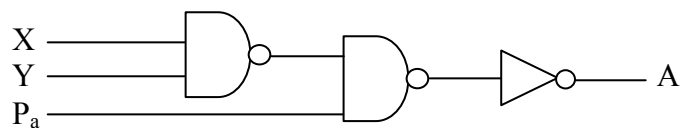
**D/**

		XY			
P <sub>a</sub> P <sub>b</sub>		00	01	11	10
00					
01			X	X	
11		1	1		1
10		X	X		X

$$A = P_a \cdot \overline{X} + P_a \cdot \overline{Y}$$

$$A = P_a \cdot (\overline{X} + \overline{Y})$$

$$A = \overline{\overline{P_a \cdot (\overline{X} + \overline{Y})}} = \overline{P_a | (X|Y)}$$

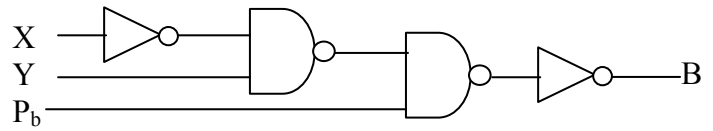


		XY			
P <sub>a</sub>	P <sub>b</sub>	00	01	11	10
00					
01		1	X	X	
11		1	1	1	
10		X	X		X

$$B = P_b \cdot X + P_b \cdot \overline{Y}$$

$$B = P_b \cdot (X + \overline{Y})$$

$$B = \overline{\overline{P_b \cdot (X + \overline{Y})}} = \overline{P_b | (\overline{X} | Y)}$$



**Exercice 1 : (4 points)**

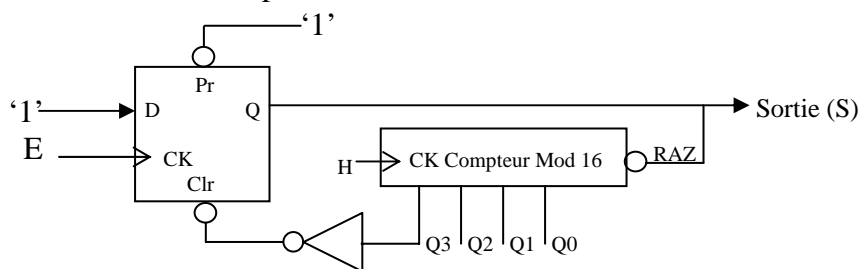
On désire concevoir un compteur synchrone décrivant le cycle suivant :  
(3, 4, 5, 6, 3) à l'aide de bascules D.

**Questions:**

- Donner les équations des entrées  $D_i$  simplifiées.
- Représenter le cycle du compteur en tenant compte de tous les états y compris ceux n'appartenant pas au cycle.
- Réaliser ce compteur en utilisant un PAL séquentiel disposant de 4 entrées et de 4 sorties séquentielles.

**Exercice 2 : (7 points)**

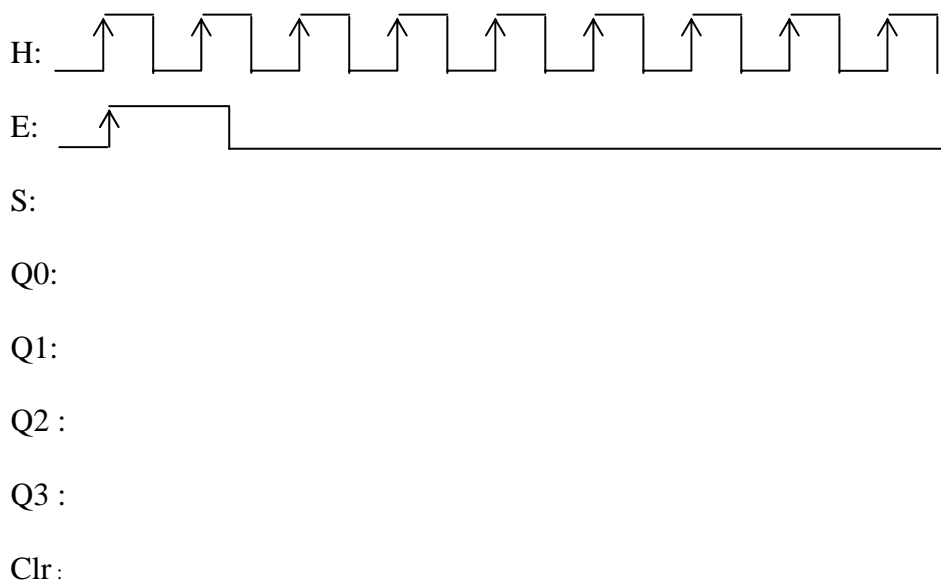
Soit le circuit décrit par le schéma suivant :



H est une horloge de fréquence égale à 1 KHz.

On suppose qu'à l'état initial, l'entrée E et la sortie S sont à 0.

- Quel est l'état initial du compteur ? Justifier votre réponse.
- Compléter le chronogramme suivant :



- Que se passe-t-il lorsque l'entrée repasse de 1 à 0 ?
- Quelle est la durée de l'impulsion du signal de sortie **S** ? Quelle sera la durée de l'impulsion du signal de sortie **S** si le signal **Clr** est relié à **Q<sub>2</sub>** au lieu de **Q<sub>3</sub>** ?
- En déduire l'équation du signal **Clr** qui nous permettrait d'obtenir une impulsion de 5ms.

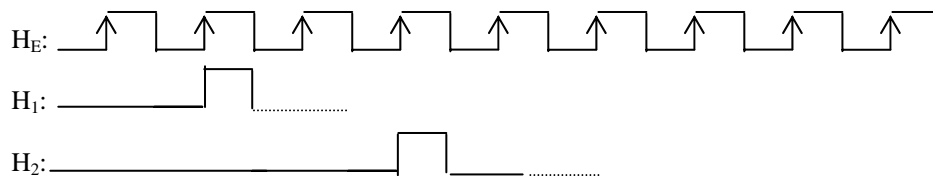
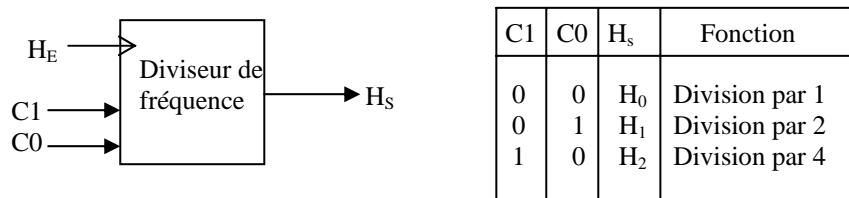
### Exercice 3 : (4 points)

On désire réaliser un circuit qui permet de diviser la fréquence d'une horloge par 1, 2 ou 4. Le circuit est décrit par le chronogramme et la table de fonctionnement suivante:

Le circuit possède 3 signaux de commande en entrée :

$H_E$  : est une horloge de référence dont on souhaite diviser la fréquence.

$C_1, C_0$  : deux bits indiquant le facteur par lequel on désire diviser la fréquence de l'horloge  $H_E$ .

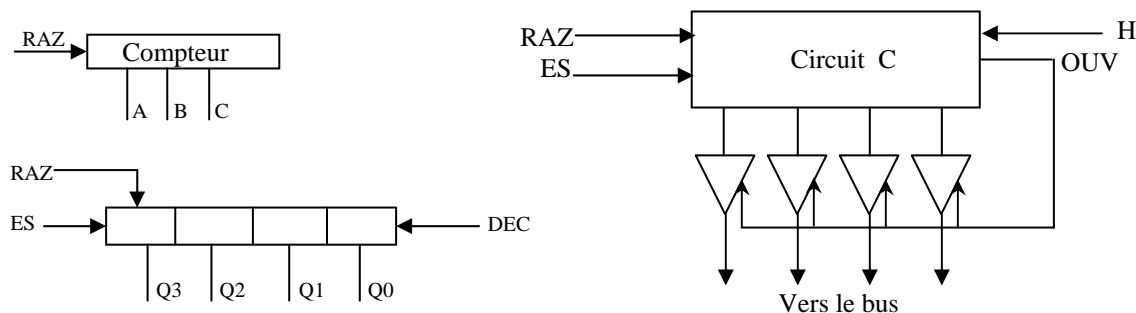


**Remarque** : Compléter le chronogramme pour les 8 impulsions et réaliser ce circuit à l'aide d'un minimum de bascules D, de circuits combinatoires et d'un minimum de portes logiques.

### Exercice 4 : (5 points)

On désire réaliser un circuit C qui reçoit 4 bits en série et fournit en sortie 4 bits en parallèle.

Pour cela, on utilise un registre à décalage de 4 bits avec une entrée série (ES) et une commande de décalage (DEC). Les sorties parallèles du registre sont envoyées sur un bus à travers des portes (buffers) à trois états. L'information n'est libérée sur le bus que lorsque le registre est plein (après 4 décalages). Pour cela, on dispose d'une commande d'ouverture sur le bus : OUV. Pour compter les décalages, on utilise un compteur de 3 bits à cycle incomplet.



La commande RAZ du circuit C est une commande asynchrone. Elle survient avant l'arrivée du premier bit.

1. Déterminer le cycle que doit décrire le compteur pour contrôler les décalages.
2. Etablir les équations des commandes 'DEC' et 'OUV'.
3. Donner le schéma du circuit en utilisant le compteur et le registre à décalage décrits ci-dessus.
4. Donner le contenu du registre à décalage à chaque top d'horloge :

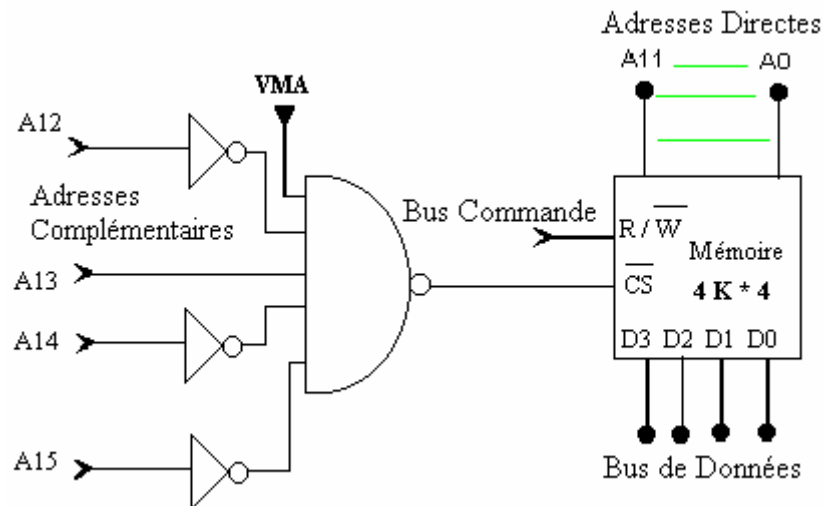
Période	Action	Q0	Q1	Q2	Q3
T0	RAZ				
T1	ES = 0				
T2	ES = 1				
T3	ES = 0				
T4	ES = 1				

**BON COURAGE**



**Rédiger les Parties I et II sur des feuilles séparées****PARTIE I****Exercice 1:** ( 4 pts) ;

Soit une mémoire RAM de 4Kilo\*4 représentée par le schéma suivant :

**Questions :**

- Quel est le rôle des broches R/ W ( L/ E) et CS sur un circuit « Mémoire » ?
- De combien de bits est constituée la donnée stockée dans cette mémoire ?
- De quelle capacité est cette mémoire (en Kbits puis Koctes) ?
- Comment sélectionne-t-on l'adresse d'une donnée ?
- Quel doit être l'état du signal VMA (Valid Memory Access) et l'état des lignes A12 à A15 pour sélectionner cette mémoire ?
- Donner la plage d'adresse (en Hexadécimal) utilisée par cette mémoire.

**Exercice 2:** ( 4 pts)

a./ Faire l'étude et le schéma d'une mémoire de **4 méga x 16 bits** organisée en deux (2) modules entrelacés avec un degré d'entrelacement **D = 2** ( l'entrelacement se fait à l'intérieur de chaque module). Cette mémoire est réalisée à base de circuits de **1 méga x 8 bits**.

**Remarque:** faire le schéma d'un seul module et soignez sa présentation.

b./ Déterminer le domaine (en **Hexadécimal**) des adresses pour chacun des modules. Justifier votre réponse.

## **PARTIE II**

### **Exercice 3: ( 2 pts )**

Dérouler sur la machine MIASM vue en cours, l'instruction suivante :

**OU    \*Adr**

---

### **Exercice 4: ( 5 pts )**

Ecrire le programme MIASM implanté à l'adresse Hexa  $(100)_{16}$  en mémoire qui permet de calculer le reste de la division entière (fonction Modulo) de A par B qui seront lues (**A et B entiers positifs**).

Vous pouvez utiliser la formule suivante :

$$A \text{ Mod } B = A - B * (A \text{ DIV } B)$$

### **Remarques:**

- On supposera que nous disposons des instructions suivantes:  
DIV    Adr    qui permet :  $\text{Acc} \leftarrow (\text{Acc}) \text{ DIV } (\text{Adr})$     avec DIV division entière
  - MPM    Adr    qui permet :  $\text{Acc} \leftarrow (\text{Acc}) * (\text{Adr})$     multiplication entière
  - Le résultat de la multiplication et de la division tient sur un mot mémoire
  - A et B sont des entiers positifs (**prévoir les tests lors de la lecture de ces deux nombres**).
- 

### **Exercice 5: ( 5 pts )**

Ecrire le programme MIASM implanté à l'adresse Hexa  $(100)_{16}$  prenant en entrée **deux nombres positifs A et B**, et calculant puis affichant le PGCD de ces deux nombres. Le PGCD sera calculé avec l'algorithme itératif d'Euclide donné comme suit :

```
Tant_Que B ≠ 0
    R := A Mod B;
    A:= B;
    B:= R;
Fin Tant_Que ;
PGCD := A ;
Ecrire(PGCD) ;
```

### **Remarques:**

- On supposera que nous disposons des instructions suivantes:  
MOD    Adr    qui permet :  $\text{Acc} \leftarrow (\text{Acc}) \text{ MOD } (\text{Adr})$     avec MOD : Modulo

Bon Courage

**Examen de Remplacement de Structure Machine 1I**Durée : 2 heures

Tous documents interdits

**Exercice 1 : (3 points)**

Codez en binaire, en signe et valeur absolue, et en complément à deux les nombres décimaux suivants ( sur 8 bits):

+15 , et -122

**Exercice2 :(4 points)**

Rappeler les principes d'un demi-additionneur et d'un additionneur complet. Dédurre de ces principes un circuit logique qui implémente le complément à deux sur n bits.

**Exercice3 :(6 points)**

Réaliser un multiplicateur de deux nombres X (3 bits) et Y (3 bits). Le résultat de la multiplication est sur 6 bits. Pour cela, utiliser un additionneur de deux nombres sur 6 bits chacun, d'un registre à décalage (6 bits) , de bascules D et de portes logiques.

Remarque : le schéma doit comporter un minimum de portes logiques.

**Exercice4 : (7 points)**

Ecrire le programme MASM qui permet de construire un mot à l'adresse RESULT à partir d'une table de 4 mots implantée en mémoire à l'Adresse TAB.

TAB (X'100')	1			
		2		
			3	
				4
RESULT	1	2	3	4

Bon Courage