Bl1002010 四電子三甲林冠傑

Introduction to Analog Integrated Circuits (112), DECE, NTUST

Homework 1 (Due date: 09/26)

NMOS Model LEVEL = 1 NSUB = $9e+14$ TOX = $9e-9$ MJ = 0.45	VTO = 0.7 $LD = 0.08e-6$ $PB = 0.9$ $MJSW = 0.2$	GAMMA = 0.45 UO = 350 CJ = 0.56e-3 CGDO = 0.4e-9	PHI = 0.9 LAMBDA = 0.1 CJSW = 0.35e-11 JS = 1.0e-8
PMOS Model LEVEL = 1 NSUB = $5e+14$ TOX = $9e-9$ MJ = 0.5	VTO = -0.8 LD = 0.09e-6 PB = 0.9 MJSW = 0.3	GAMMA = 0.4 UO = 100 CJ = $0.94e-3$ CGDO = $0.3e-9$	PHI = 0.8 LAMBDA = 0.2 CJSW = 0.32e-11 JS = 0.5e-8

HW1.1: (30%)

- (a) 請寫出通道長度調變(channel length modulation, CLM)效應之成因。
- (b) 請解釋為何通道長度調變效應會使電晶體之電流公式修改為與 VDS 有關(如下式)。

$$I_{D} = \frac{1}{2} \mu_{n} Cox \left(\frac{W}{L}\right) (V_{GS} - V_{TH})^{2} (1 + \lambda V_{DS})$$

HW1.2: (20%)

請利用網路上找到的資源作為參考資料(並非是教科書或是上課講義),寫出 FinFET 的電流公式。 並針對一項非理想效應闡述對電流的影響。本題可以直接抄寫參考資料,但請註明出處。

HW1.3: (20%)

請畫出 pMOST 的小訊號模型。其中的電路參數需要描述,並考慮通道長度調變效應、基底效應 與寄生電容,愈完整愈好。(Note: 電路參數可根據電流公式得出。)

HW1.4: (30%)

Fig1.4 展示兩種 NMOS 的設計與布局方式。其中, Channel width (W) is 10μm, and diffusion width (E) is 0.8μm。請利用上方的 spice model table,寫出 C_{DB}與 C_{SB} 的電容值是多少?

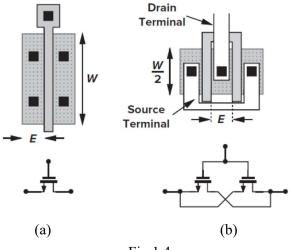


Fig 1.4

HW1.1: (30%)

- (a) 請寫出通道長度調變(channel length modulation, CLM)效應之成因。
- (b) 請解釋為何通道長度調變效應會使電晶體之電流公式修改為與 VDS 有關(如下式)。

$$I_{D} = \frac{1}{2} \mu_{n} Cox \left(\frac{W}{L}\right) \left(V_{GS} - V_{TH}\right)^{2} \left(1 + \lambda V_{DS}\right)$$

- N)在FET 達入 Saturation Region 後,由於空之區 需要保持電中性,因此當一個電子受到電場影響通過 夾止點進入空之區時,空之區便會釋放一個電子至級極端以維持電中性,值得注意的是,此時進入空之區的電子與離開空之區的電子並不相同。因此,此時從源極發射的電子並未完全走完 D-S 之間的距離,而施加的 Vos 電壓升至一定程度時,FET 的空之區會隨著 Vos 的增加而不斷侵入通道。在這種情況下,電子飄移的距離不斷縮短,可視為通道的有效長度縮短。
- 少如上所述,通道調變效應會使 Io 电流公式當中的參數 ∠ 變 小,因此會 將原本的電流公式做調整,並且因為此效應是 Vos 造成,因此會31進參數 Vos。

請利用網路上找到的資源作為參考資料(並非是教科書或是上課講義),寫出 FinFET 的電流公式。 並針對一項非理想效應闡述對電流的影響。本題可以直接抄寫參考資料,但請註明出處。

An analytical compact drain model for undoped (or lightly doped)

short-channel triple-gate fin-shaped field effect transistors (TG FinFETs)

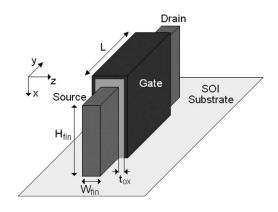


Fig. 1. Schematic 3-D representation of a TG FinFET.

$$\int_{d} = M_{0} \frac{2W}{L} \frac{f_{ox}}{f_{ox}} (2Vth)^{2} \left[(f_{is} - g_{id}) + \frac{1}{2} (g_{is}^{2} - g_{id}^{2}) \right]$$

Mo: low field electron mobility

Eo: permittivity of the gate oxide.

Vin: KT thermal voltage

gis and gid: the values of the normalized

inversion sheet-charge densities

calculated at the source and dain

- O : dominates in the subthreshold region
- ②: dominates in the above-threshold region.

CLM: When the drain—source voltage is increased beyond the saturation voltage Vdsat = $V_g - V_{\epsilon}$, a pinchoff accurs in the channel moving from the drain toward the source. This displacement, known as CLM effect, makes the channel shorter than the physical gate length L.

$$\int_{d} = 2 W M_{0} \frac{f_{OK}}{f_{OK}} (2V th)^{2} \left[\frac{(f_{IS} - f_{Id})}{L} + \frac{1}{2} \frac{(f_{IS} - f_{Id})}{(L - \Delta L)} \right]$$

$$CLM \stackrel{\text{fig.}}{=} CLM \stackrel{\text{fig.}}$$

秦考 資料: Compact Model of Drain Current in Short-Channel Triple-Gate FinFETs

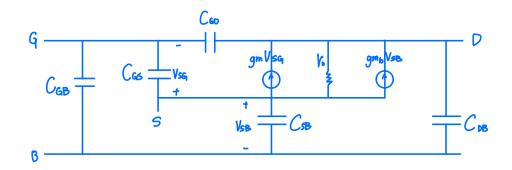
https://ieeexplore-ieee-org.ezproxy.lib.ntust.edu.tw/stamp/stamp.jsp?tp=&arnumber=6202679

Oyf題: 蘇錄自:第正段(Compact Drain-Current Model) 之常A 殷之第2小節

り小題: 節録自: 第IR (Compact Drain-Current Model) 之第B段

HW1.3: (20%)

請畫出 pMOST 的小訊號模型。其中的電路參數需要描述,並考慮通道長度調變效應、基底效應 與寄生電容,愈完整愈好。(Note: 電路參數可根據電流公式得出。)



$$I_{D} = \frac{1}{2} M_{p} \operatorname{Cox} \frac{W}{L} (V_{sq} + V_{TH})^{2} (1 + \chi V_{SD})$$

$$V_{TH} = V_{THO} + \gamma' \left(\int_{2} \underline{\Phi}_{F} + V_{SB} - \int_{2} \underline{\Phi}_{F} \right)$$

$$P = \frac{\int_{2} 2 \mathcal{E}_{Si} N_{Sub}}{C_{ox}}$$

$$P_{F} = \frac{kT}{2} ln \left(\frac{N_{Sub}}{n_{i}} \right)$$

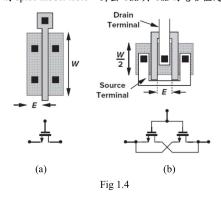
$$\int_{0}^{\infty} = \frac{3\sqrt{sp}}{3\sqrt{sp}} = \frac{1}{\frac{3\sqrt{sp}}{sp}} = \frac{1}{\frac{3\sqrt{$$

$$gm = \frac{\partial J_{D}}{\partial V_{SG}} \bigg|_{V_{SD}} = \frac{\partial \left[\frac{1}{2} \mu_{P} G_{X} \frac{W}{L} \left(V_{SG} + V_{H}\right)^{2} \left(1 + NV_{SD}\right)\right]} \bigg|_{V_{SD}} = M_{P} C_{0X} \frac{W}{L} \left(V_{SG} + V_{TR}\right)$$

$$gm_b = \frac{\partial I_0}{\partial V_{05}} = gm \frac{r}{2\sqrt{2} \Phi_F + V_{SB}}$$

HW1.4: (30%)

Fig1.4 展示兩種 NMOS 的設計與布局方式。其中, Channel width (W) is 10μm, and diffusion width (E) is 0.8μm。請利用上方的 spice model table,寫出 C_{DB} 與 C_{SB} 的電容值是多少?



$$W = 10 \text{ nm}$$
 $C_j = 0.56 \times 10^{-3}$
 $E = 0.8 \text{ nm}$ $C_{jsw} = 0.35 \times 10^{-11}$

a)
$$C_{DB} = C_{SB} = WEC_j + 2(W+E)C_{jsw}$$

= $[0M \cdot 0.8M \cdot 0.56 \times 10^{-3} + 2 \cdot 10.8M \cdot 0.35 \times 10^{-11}]$
= $4.556 \times 10^{-15} (F)$

b)
$$C_{DB} = \frac{W}{2}EC_{j} + 2(\frac{W}{2} + E)C_{jsW}$$

$$= 5M \cdot 0.8M \cdot 0.56 \times 10^{-3} + 2 \cdot 5.8M \cdot 0.35 \times 10^{-11}$$

$$= 2.281 \times 10^{-15} (F)$$

$$C_{SB} = WEC_{j} + 2(W + 2E)C_{jsW}$$

$$= [0M \cdot 0.8M \cdot 0.56m + 2 \cdot 11.6M \cdot 0.35 \times 10^{-11}]$$

$$= 4.561 \times 10^{-15} (F)_{3}$$