

Analog Integrated Circuit Design and Applications Spring 2023

Operational Amplifiers (I)

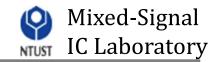
Yung-Hui Chung

MSIC Lab

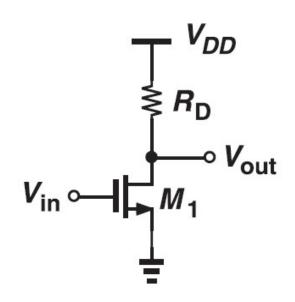
DECE, NTUST



Outline



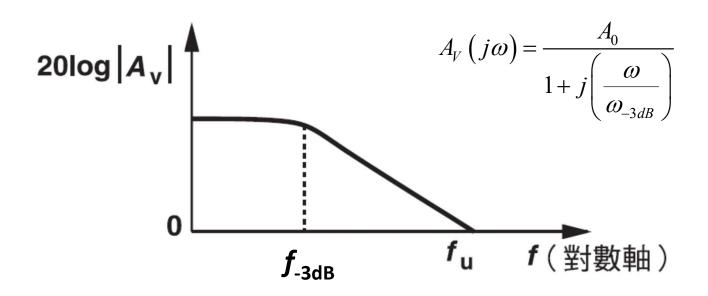
- General Considerations
- Single-Stage Opamps
- Two-Stage Opamps
- Gain Boosting Opamps
- Comparison of These Opamps



儘管利用一共源極組態可以得到名義上之增益值 $g_m R_D = 10$,但要保證其誤差小於 1% 是非常地困難。

電晶體遷移率、閘極氧化層厚度與電阻值的變化一般來說將會產生超過20%之誤差。

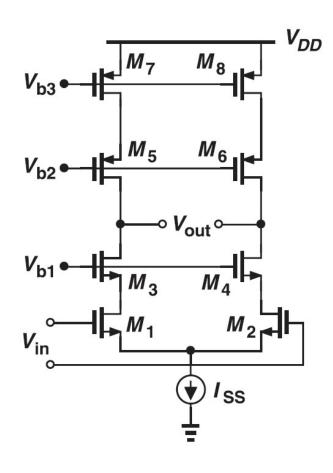
$$g_m = \sqrt{2K_n I_d} = \sqrt{\mu_n C_{ox}(W/L)I_d}$$



小信號頻寬通常定義為「單增益」頻率 f_u (unit-gain bandwidth)。

$$f_u = A_0 \cdot f_{-3dB}$$

運算放大器之設計參數



設計參數:

- (1) 增益 (DC gain)
- (2) 小信號頻寬 (GBW)
- (3) 大信號頻寬 (Slew Rate)
- (4) 輸出振幅 (Output Swing)

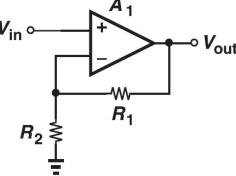
- (5) 線性特性 (Linearity)
- (6) 雜訊與偏移 (Noise/Offset)
- (7) 供應電源排斥 (PSRR)

例題 9.1 (DC gain)



圖9.2之電路被設計為增益 10,亦即 $1+R_1/R_2=10$ 。決定 A_1 的最小值,其增益

誤差為1%。



答:

從第八章中得到閉路迴路增益為

$$\frac{V_{out}}{V_{in}} = \frac{A_1}{1 + \frac{R_2}{R_1 + R_2} A_1} = \frac{R_1 + R_2}{R_2} \frac{1}{1 + \left(\frac{R_2}{R_1 + R_2} A_1\right)^{-1}} = \frac{1}{\beta} \cdot \frac{1}{1 + (\beta A_1)^{-1}} \approx \frac{1}{\beta} \cdot (1 - (\beta A_1)^{-1})$$

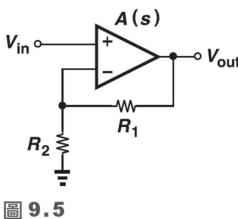
預測 $A_1 >> 10$,上式可被近似為

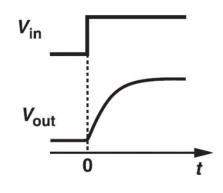
$$\frac{V_{out}}{V_{in}} \approx \left(1 + \frac{R_1}{R_2}\right) \left(1 - \frac{R_1 + R_2}{R_2} \frac{1}{A_1}\right)$$

 $(R_1+R_2)/(R_2A_1)=(1+R_1/R_2)/A_1$ 象徵其相對增益誤差。 為達到增益誤差小於 1%,我們必須使得 $A_1>1000$ 。

例題 9.2 (GBW)

在圖9.5之電路中,假設運算放大器為一單極點電壓放大器,如果 V_{in} 為一小步級電壓,計算輸出電壓到達其最終值1%內所需之時間。如果 $1+R_1/R_2 = 10$ 且其穩定時間小於5ns 時,運算放大器必須提供之單增益頻寬為何?為了簡化之故,假設低頻增益遠大於一。





答:

$$\left(V_{in} - V_{out} \frac{R_2}{R_1 + R_2}\right) A(s) = V_{out}$$

$$\frac{V_{out}}{V_{in}}(s) = \frac{A(s)}{1 + \frac{R_2}{R_1 + R_2}} A(s)$$

答:

對單極點系統來說, $A(s)=A_0/(1+s/\omega_0)$,其中 ω_0 為-3dB頻寬且 $A_0\omega_0$ 為單增益頻寬。因此,

$$\frac{V_{out}}{V_{in}}(s) = \frac{A_0}{1 + \frac{R_2}{R_1 + R_2} A_0 + \frac{s}{\omega_0}} = \frac{\frac{A_0}{1 + \frac{R_2}{R_1 + R_2}} A_0}{1 + \frac{s}{(1 + \frac{R_2}{R_1 + R_2} A_0)} \omega_0}$$

顯示出閉路迴路放大器也為單極點系統,而其時間常數為

$$\tau = \frac{1}{(1 + \beta A_0)\omega_0}, \quad \beta = \frac{R_2}{R_1 + R_2}$$

答:

確認 $R_2A_0/(R_1+R_2)$ 為低頻迴路增益且通常大於一,我們得到

$$\tau \approx \frac{1}{\beta A_0 \omega_0}$$

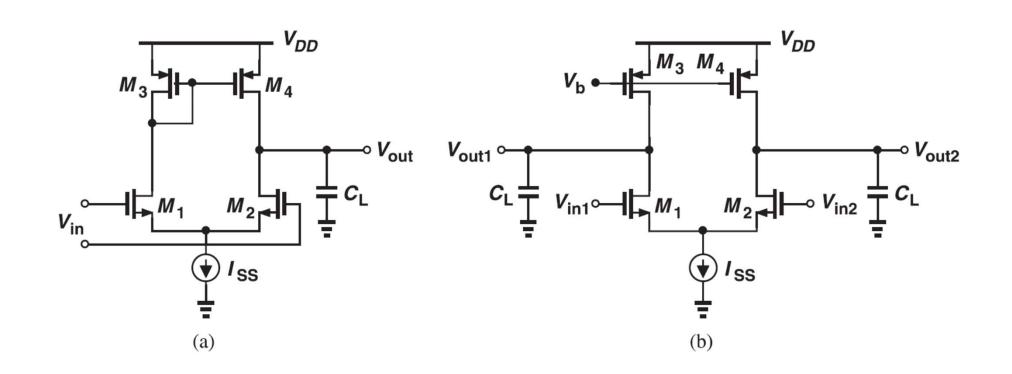
當 V_{in} = au(t) 時之輸出步級響應可被表示為

$$V_{out}(t) \approx a \left(1 + \frac{R_1}{R_2}\right) \left(1 - \exp{\frac{-t}{\tau}}\right) u(t)$$

其最終值 $V_F \doteq a(1+R_1/R_2)$ 。對 1% 之穩定時間來說, $V_{out}=0.99V_F$,因此

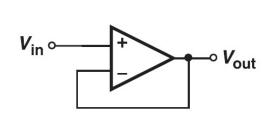
$$1 - \exp \frac{-t_{1\%}}{\tau} = 0.99$$

使得 $t_{1\%}$ = $\tau*ln100$ =4.6 τ 。對 1% 之 5ns 穩定時間來說, τ =1.09ns,且 $A_0\omega_0=(1+R_1/R_2)/\tau=9.21 \text{Grad/s} (1.47 \text{GHz}) \circ$



單端輸出和差動輸出之簡單運算放大器組態。

計算圖9.7單增益緩衝器的輸入共模電壓範圍和閉路迴路輸出阻抗。



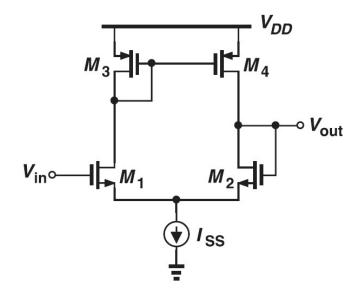
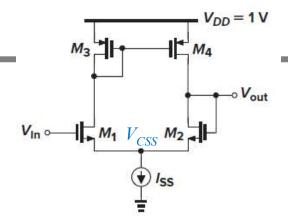


圖 9.7

例題 9.3〈續〉





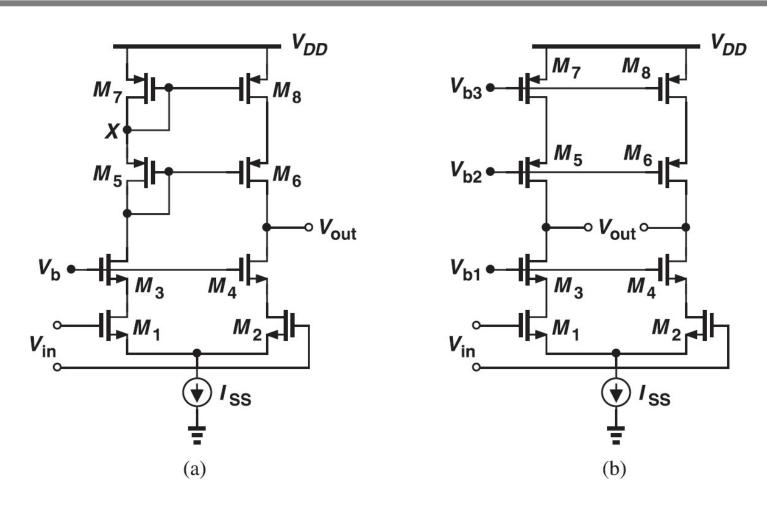
答:

最小允許輸入電壓為 $V_{CSS}^{+}V_{GS1}^{-}$,其中 V_{CSS}^{-} 為電流源所需之跨壓。使 M_1 位於三極管區邊界之最大電壓為: $V_{in,max}^{-}=V_{DD}^{-}-|V_{GS3}^{-}|+V_{TH1}^{-}$ 。舉例來說,如果每個元件(包括電流源)之臨界電壓為 0.3V 且驅動電壓為 0.1V,則 $V_{in,min}^{-}=0.1+0.1+0.3=0.5$ V 且 $V_{in,max}^{-}=1-(0.1+0.3)+0.3=0.9$ V。因此,在 1-V 供應電壓下之輸入共模範圍為 0.4V。

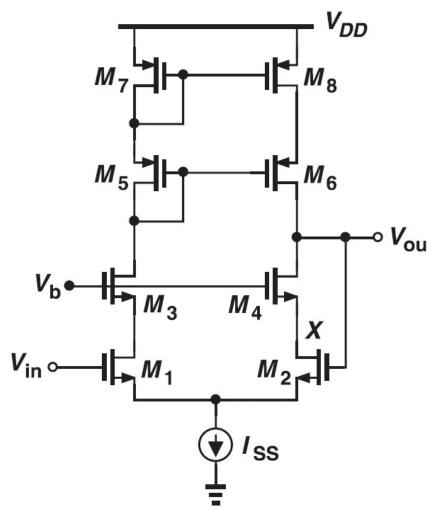
因為電路在輸出端使用電壓回授,故輸出阻抗等於開路迴路值 $r_{OP} \| r_{ON}$ 除以迴路增益值加一 " $1+g_{mN}(r_{OP} \| r_{ON})$ "。換句話說,對很大的開路迴路增益而言,閉路迴路輸出阻抗大約為

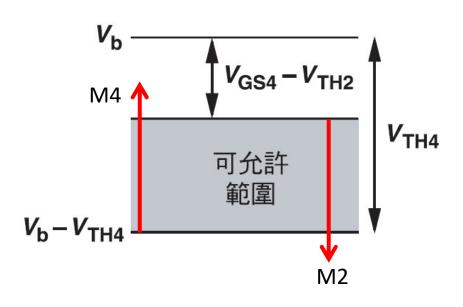
$$(r_{OP}||r_{ON})/[g_{mN}(r_{OP}||r_{ON})] = 1/g_{mN} \circ$$

注意閉迴路輸出阻抗和開迴路輸出阻抗相當無關是非常有趣的。這 是一個很重要的觀察,允許我們藉由增加開路迴路輸出阻抗來設計高增 益運算放大器,且達到一相當低之閉路迴路輸出阻抗。

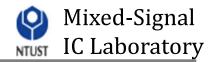


(a)單端輸出和(b)差動輸出疊接運算放大器,也稱為伸縮疊接運算放大器 (Telescopic OpAmp)。





$$\begin{aligned} V_{GD4} &= V_b - V_{out} < V_{TH4} \Rightarrow V_{out} > V_b - V_{TH4} \\ V_{GD2} &= V_{out} - (V_b - V_{GS4}) < V_{TH2} \\ \Rightarrow V_{out} < V_b - V_{GS4} + V_{TH2} \end{aligned}$$

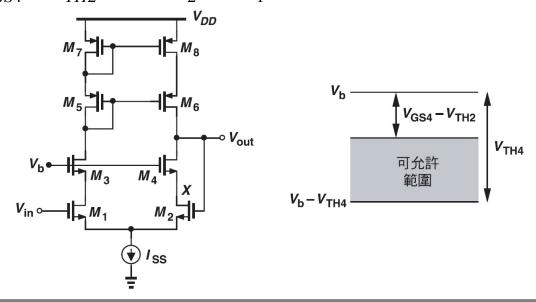


對圖9.9之電路來說,解釋每個電晶體運作於那個區域,當 V_{in} 由低於 $V_{b}-V_{TH4}$ 變至大於 $V_{b}-V_{GS4}+V_{TH2}$ 。

答:

因為運算放大器試著強迫 V_{out} 等於 V_{in} ,當 $V_{in} < V_b - V_{TH4}$ 時,我們得到 $V_{out} = V_{in}$ 且當其它電晶位於飽和區時, M_4 在三極管區。在此情況下,運算放大器之開路迴路增益將會減少。

- 當 V_{in} 和 V_{out} 超過 $V_b V_{TH4}$ 時, M_4 進入飽和區且開路迴路增益到達最大值。在 $V_b V_{TH4} < V_{in} < V_b (V_{GS4} V_{TH2})$, M_2 和 M_4 都被飽和。
- 當 $V_{in}>V_b-(V_{GS4}-V_{TH2})$ 時, M_2 和 M_1 進入三極管區,使增益值降低。



設計一全差動伸縮運算放大器,其規格如下: V_{DD} =3V,差動輸出振幅=3V,功率消耗=10mW,電壓增益=2000。假設 $\mu_n C_{ox}$ = 60μ A/V², $\mu_p C_{ox}$ = 30μ A/V², λ_n =0.1V $^{-1}$, λ_p =0.2V $^{-1}$ (對等效通道長度為 0.5μ m而言), γ =0, V_{THN} = $|V_{THP}|$ =0.7V。

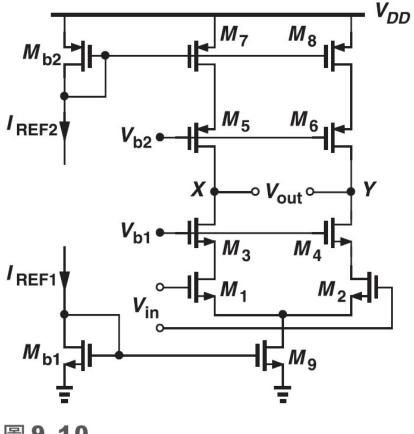
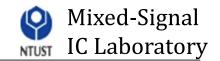


圖 9.10

例題 9.7〈續〉

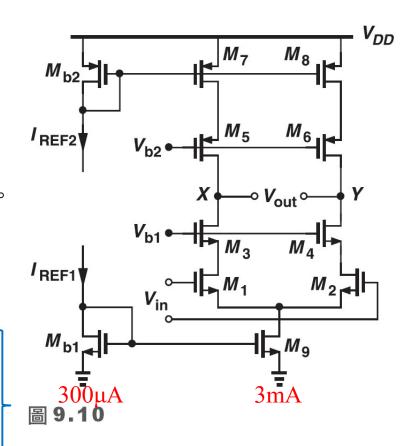


答:

圖9.10顯示了運算放大器組態和二個電流鏡定義了 M_7 - M_9 之汲極電流。我們由功率開始計算,分配 3mA 給 M_9 並維持 300 μ A 給 M_{b1} 和 M_{b2} 。因此,每個運算放大器之疊接分支攜帶 1.5mA 電流。再來我們考慮所需之輸出振幅,節點 X 和 Y 必須有 1.5 V 之振幅以及不會驅動 M_3 - M_6 進入三極管區。使用 3-V 供應電壓時, M_9 和每個疊接分支的可使用電壓為 1.5 V,亦即 $|V_{OD7}| + |V_{OD5}| + |V_{OD3}| + |V_{OD$

因為 M_9 攜帶最大電流,我們選定 $V_{OD9}=0.5V$,留下 1V 給疊接組態中其它 四個電晶體。此外,因為 M_5-M_8 之低遷移率,我們分配每個電晶體約 300mV 之驅動 電壓,並得到 $V_{OD1}+V_{OD3}$ 為 400mV 。

一開始我們假設 $V_{OD1} = V_{OD3} = 200 \text{mV}$ 。



Why?

例題 9.7〈續〉

當每個電晶體之偏壓電流和驅動電壓為已知時,我們可以容易地決定其寬長比,從 $I_D=(1/2)\mu C_{ox}(W/L)(V_{GS}-V_{TH})^2$ 。為了將元件電容最小化,我們選擇每個電晶體之最小長度,得到一對應之寬度,然後我們可得 $(W/L)_{1-4}=1250$, $(W/L)_{5-8}=1111$, $(W/L)_9=400$ 。

此設計已滿足了振幅、功率消耗和供應電壓的規格。但是增益呢?

利用 $A_v = g_{m1}[(g_{m3}r_{O3}r_{O1})||(g_{m5}r_{O5}r_{O7})]$, 並假設所有電晶體通道長度皆已最小化,我們得到 $A_v = 1416$, 比所需之值還低很多。

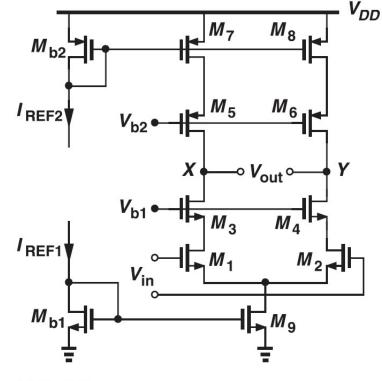


圖 9.10

Design concept:

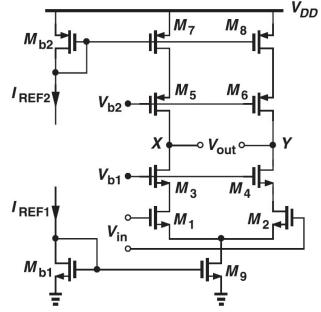
- • V_{DS} is from output swing
- $\bullet V_{GS} V_{TH} = V_{DS} 50 \text{mV}$

$$g_m r_O = \sqrt{2\mu_n C_{ox}(W/L)I_D} / (\lambda I_D)$$

現在,回想 $\lambda \propto 1/L$,所以 $g_m r_o \propto \sqrt{WL/I_D}$ 。因此我們可增加寬度、長度或是減少電晶之偏壓電流。實際上,速度和雜訊需求可能會決定偏壓電流,使元件尺寸值為變數。當然,每個電晶體之寬度至少必須和其長度一同縮放以維持一固定驅動電壓。

圖9.10電路中那個電晶體可以有較長的通道長度?

因為 M_1 - M_4 出現在信號路徑上,將其電容值最小化是較為理想的。另一方面,PMOS 元件 M_5 - M_8 不大會影響信號,所以可有較大的尺寸。將每個電晶體的(等效)長度和寬度加倍事實上也加倍了 $g_m r_O$,因為 g_m 為常數而 r_O 加倍。選定 $(W/L)_{5-8}$ =1111 μ m/1.0 μ m 且 λ_p =0.1 V^{-1} ,我們得到 A_v =4000,因此PMOS尺寸圖9.10可以較小。注意利用PMOS電晶體之大尺寸,我們可回頭看之前我們所分配的驅動電壓值,可減少 M_9 驅動電壓 100mV 為 400mV,並分配較多之電壓給PMOS元件。



Opamp L10- 19

例題 9.7〈續〉



在圖9.10之運算放大器中,輸入共模位準 和偏壓電壓 V_h 和 V_h 必須被選定以允許 最大輸出振幅。

最小允許輸入共模位準為 $V_{GS1} + V_{OD9} = V_{TH1} + V_{OD1} + V_{OD9} = 1.4 \text{V}$

 V_{b1} 之最小值為 $V_{GS3}+V_{OD1}+V_{OD9}=1.6V$,並 使得 M_1 - M_2 位於三極管區的邊界。

相似地, $V_{b2,max} = V_{DD} - (|V_{GSS}| + |V_{ODT}|) = 1.7 \text{V}$ 。

實際上,我們可考慮一些較大的電壓範 圍以允許製程變化。同樣地我們也可以 將基板效應所產生之臨界電壓考慮進來。

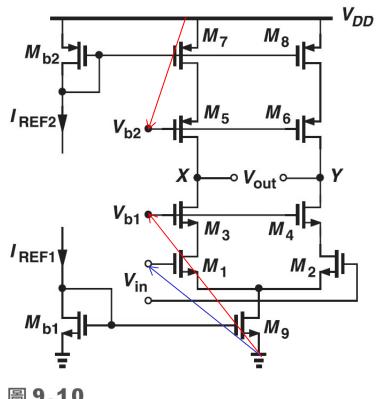
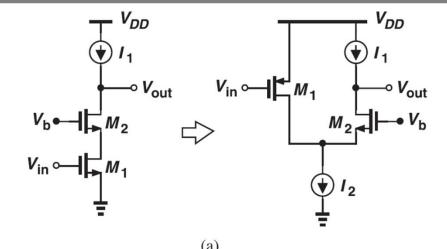


圖 9.10

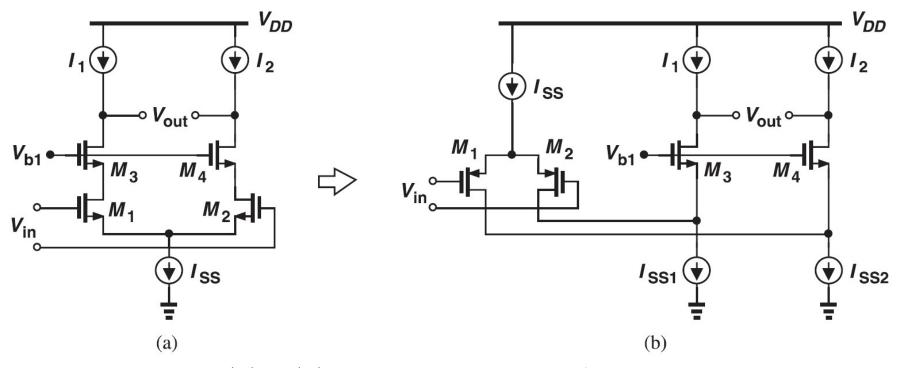




 $V_{\text{in}} \sim V_{DD}$ $V_{\text{in}} \sim V_{DD}$ $V_{\text{in}} \sim V_{\text{in}} \sim V_{\text{out}}$ $V_{\text{out}} \sim V_{\text{out}}$

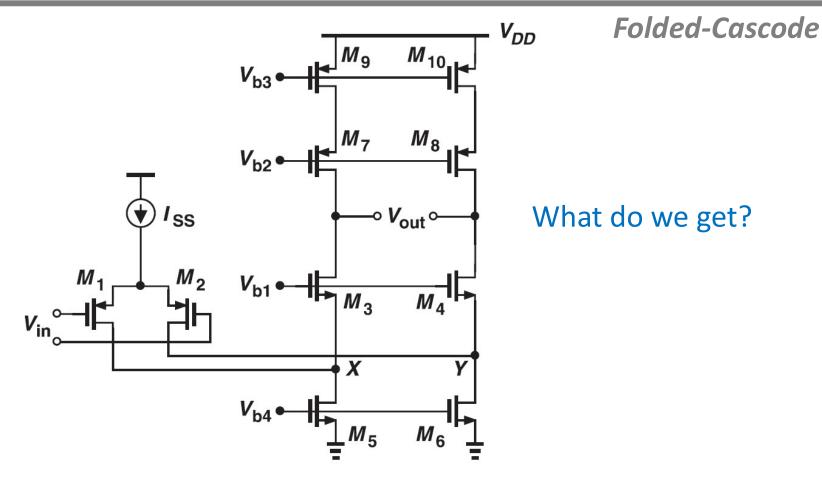
摺疊結構主要的好處在於其電壓位準的選擇性,因為它不會堆 積疊接電晶體於輸入元件的上端。

Folded-Cascode



(a)、(b)二個電路之間的重要差異:

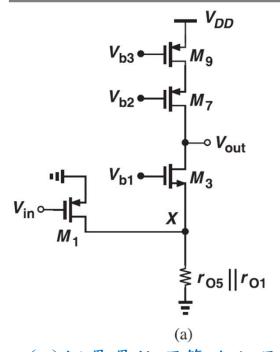
(1)偏壓電流;(2)輸入共模位準。

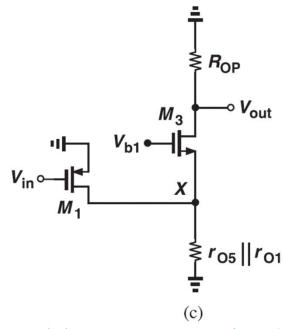


負載疊接PMOS之摺疊疊接運算放大器

輸出電壓振幅下限為 $V_{OD3}+V_{OD5}$,上限為 $V_{DD}-(|V_{OD7}|+|V_{OD9}|)$ 。

小信號電壓增益





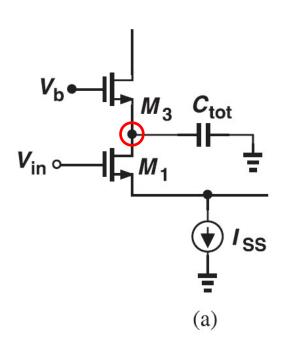
之半雷路。

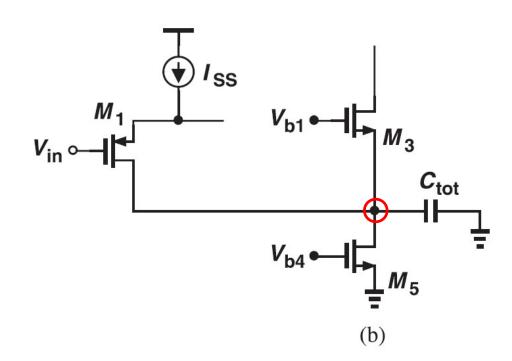
(a) 摺疊疊接運算放大器 (b) 輸出端接地之等效電路。 (c) 輸出端開路之等效半 由 16. 汲極向下之阻抗為

雷路。

$$\begin{aligned} \left| A_{v} \right| &= G_{m} R_{out} \quad R_{ON} \approx \left(g_{m3} + g_{mb3} \right) r_{O3} \left(r_{O1} \| r_{O5} \right) \quad R_{OP} \approx \left(g_{m7} + g_{mb7} \right) r_{O7} r_{O9} \\ R_{out} \approx R_{OP} \mid \mid R_{ON} \\ \left| A_{v} \right| \approx g_{m1} \left\{ \left[\left(g_{m3} + g_{mb3} \right) r_{O3} \left(r_{O1} \| r_{O5} \right) \right] \mid \left[\left(g_{m7} + g_{mb7} \right) r_{O7} r_{O9} \right] \right\} \end{aligned}$$

Folded-Cascode

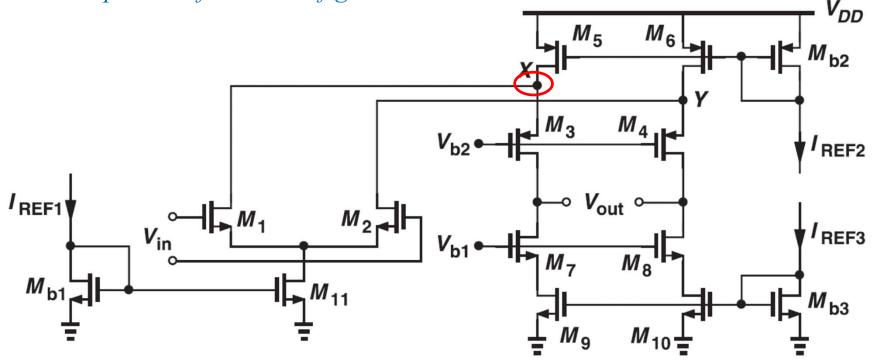




伸縮組態和摺疊疊接運算放大器之元件電容對次要極點的影響。

What's the problem for this configuration?

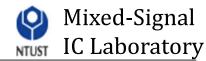
Folded-Cascode

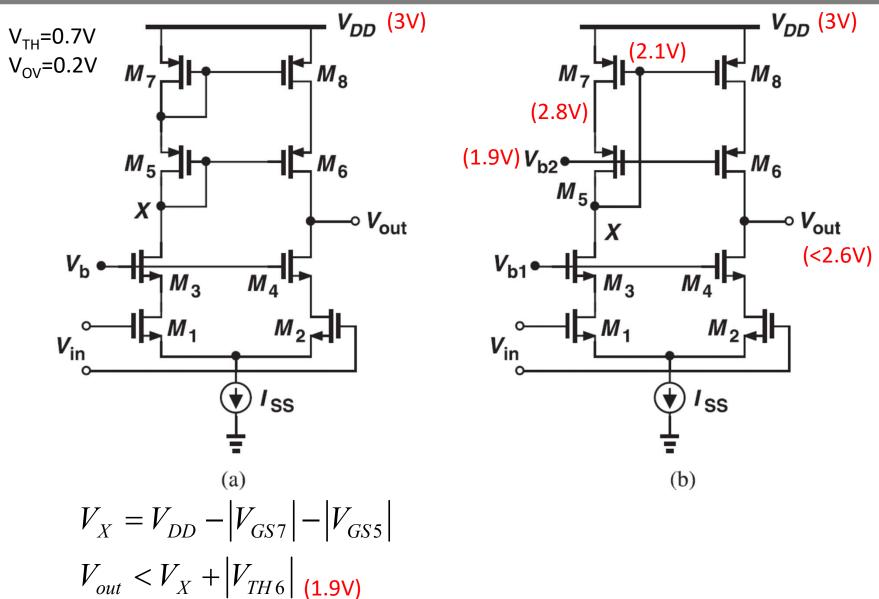


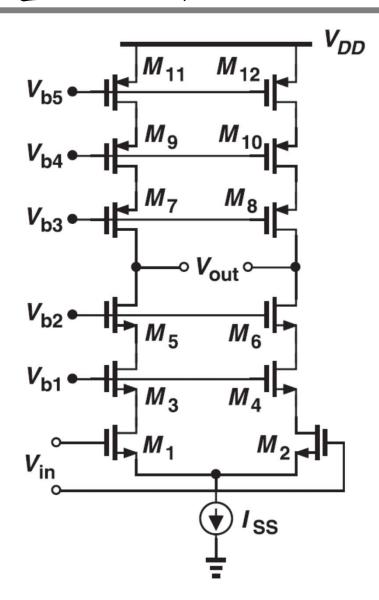
使用NMOS元件在輸入端可以有較大的g_m(遷移率),但必須付出 在摺疊點其極點較低的問題(影響迴授之穩定性)。

節點X的極點為 $1/(g_{m3}+g_{mb3})$ 和此節點之總電容的乘積。

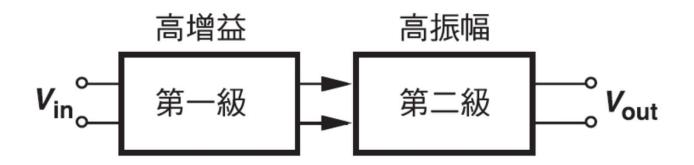
單端輸出之疊接運算放大器





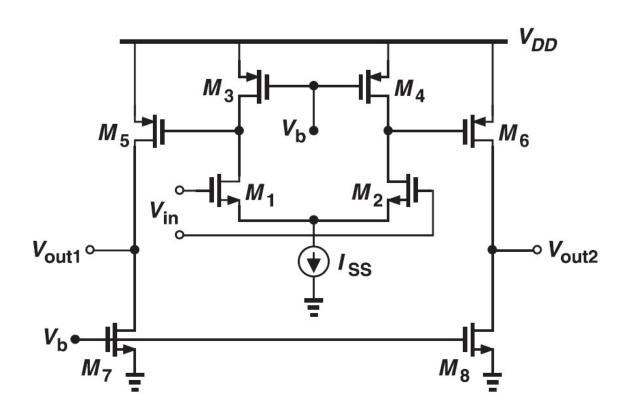


獲得高增益的代價是??

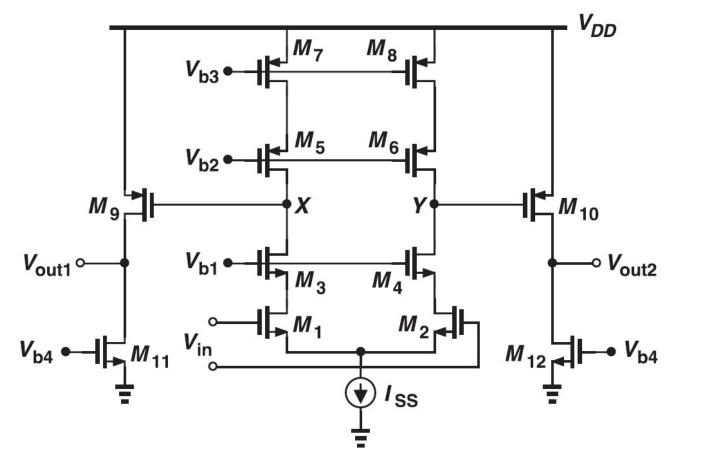


串接放大器 (Cascade amplifiers)

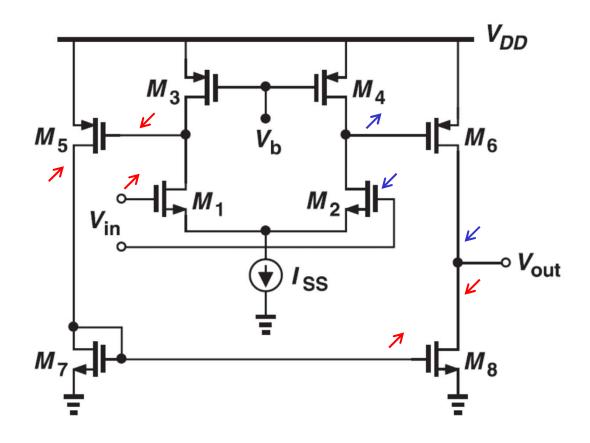
和疊接運算放大器相反,雙級組態將 增益和振幅需求互相分離。



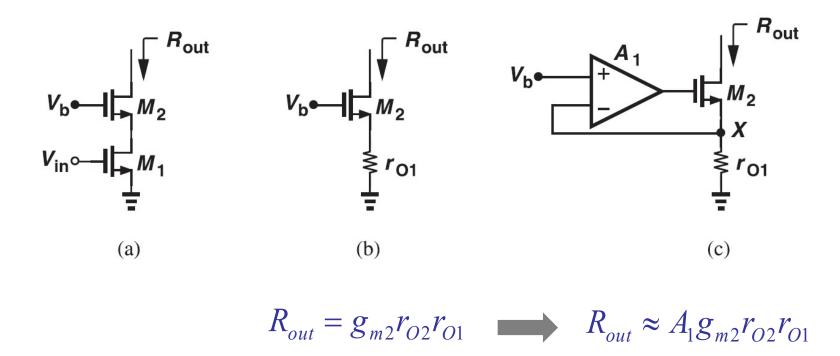
第一級和第二級之增益分別為 $g_{m1,2}(r_{O1,2}||r_{O3,4})$ 和 $g_{m5,6}(r_{O5,6}||r_{O7,8})$ 。因此整體增益可和疊接運算放大器相比,但在 V_{out1} 和 V_{out2} 之振幅等於 $V_{DD}-|V_{OD5,6}|-V_{OD7,8}$ 。



$$A_v \approx \frac{g_{m1,2} \left\{ \left[\left(g_{m3,4} + g_{mb3,4} \right) r_{03,4} r_{01,2} \right] || \left[\left(g_{m5,6} + g_{mb5,6} \right) r_{05,6} r_{07,8} \right] \right\} \times \frac{\left[g_{m9,10} (r_{09,10} || r_{011,12}) \right]}{\text{The second stage gain}}$$

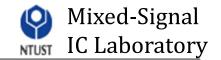


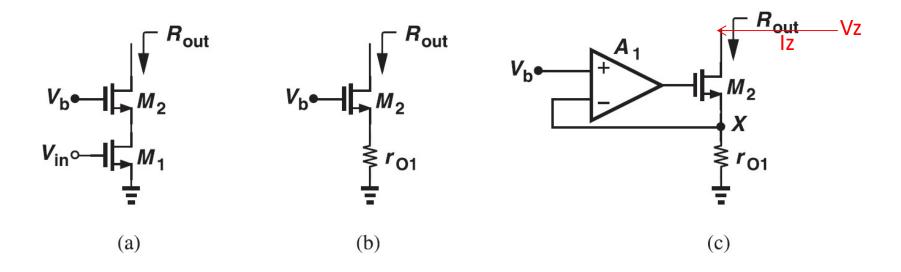
Q: The first stage needs a CMFB loop or not?



在伸縮和摺疊疊接組態之單級運算放大器中,我們的目的是將輸出阻抗最大化以得到一高電壓增益。增益提高之概念即是在不增加多餘疊接元件的情況下,增加其輸出阻抗。

增益提高 (Supplement)





$$I_{Z} = g_{m2}V_{gs2} + \frac{V_{Z} - V_{X}}{r_{O2}}$$

$$I_{Z} = -(1 + A_{1})g_{m2}r_{O1}I_{Z} + \frac{V_{Z} - I_{Z}r_{O1}}{r_{O2}}$$

$$I_{Z} = -(1 + A_{1})g_{m2}r_{O1}I_{Z} + \frac{V_{Z} - I_{Z}r_{O1}}{r_{O2}}$$

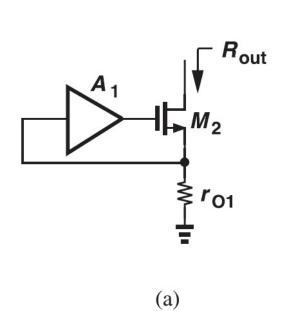
$$I_{Z}(r_{O1} + r_{O2} + (1 + A_{1})g_{m2}r_{O2}r_{O1}) = V_{Z}$$

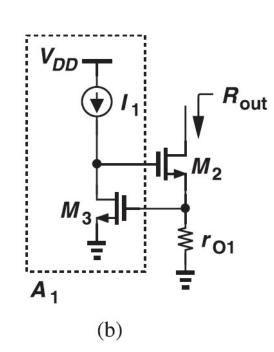
$$I_{Z} = -(1 + A_{1})g_{m2}r_{O1}I_{Z} + \frac{V_{Z} - I_{Z}r_{O1}}{r_{O2}}$$

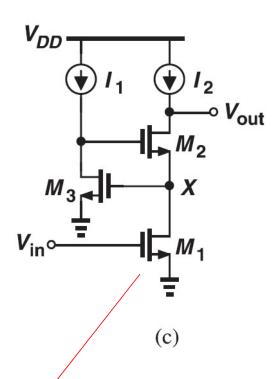
$$I_{Z} = -(1 + A_{1})g_{m2}r_{O2}r_{O1} + \frac{V_{Z} - I_{Z}r_{O1}}{r_{O2}}$$

$$R_{out} = \frac{V_{Z}}{I_{Z}} = r_{O1} + r_{O2} + (1 + A_{1})g_{m2}r_{O2}r_{O1}$$

$$R_{out} \approx (1 + A_1) g_{m2} r_{O2} r_{O1}$$

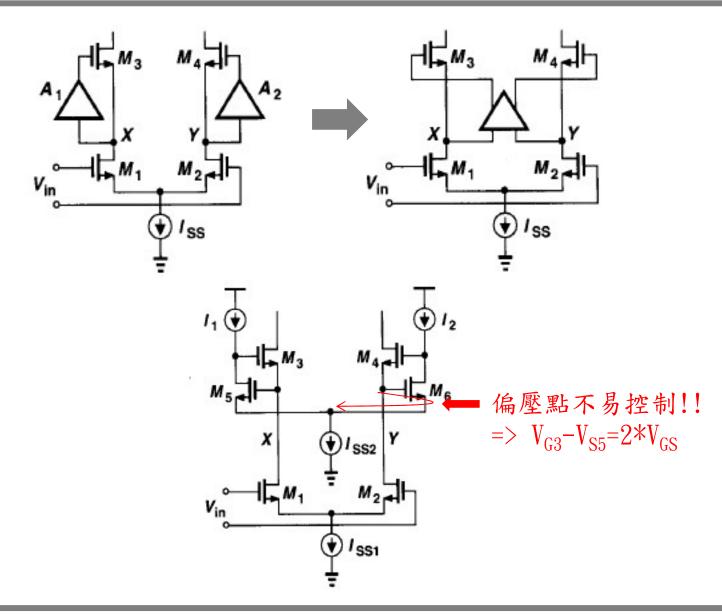




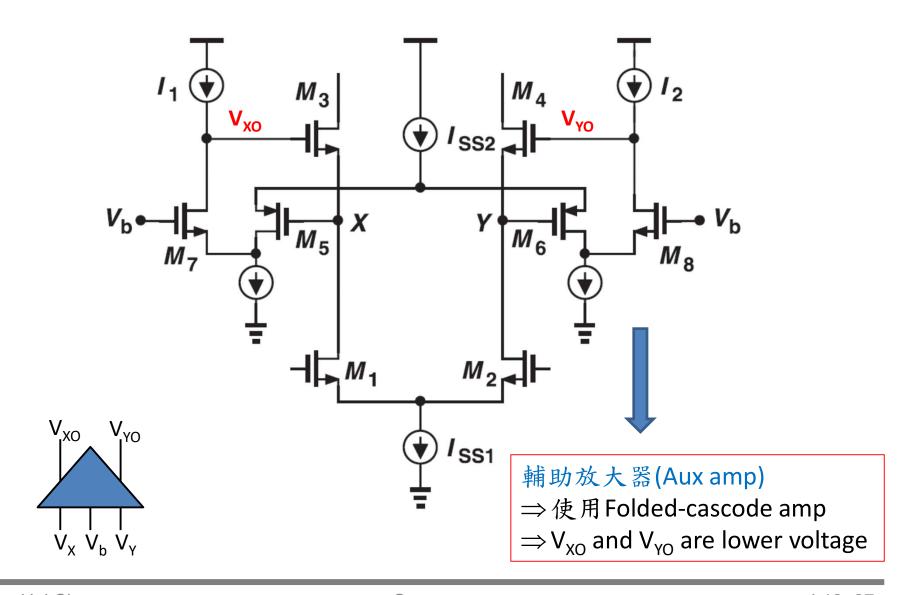


疊接組態中的增益提高。

$$|A_v| \approx g_{m1}(g_{m2}r_{O2}r_{O1})g_{m3}r_{O3}$$



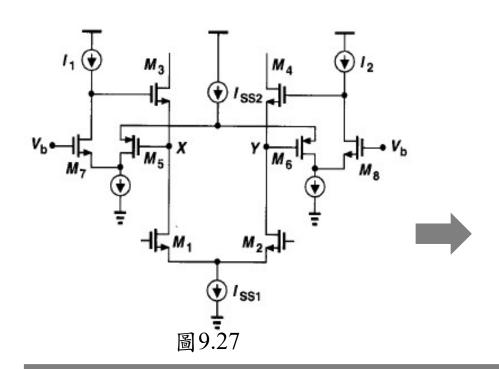
使用輔助放大器之摺疊疊接電路



計算圖9.27中電路之輸出阻抗值。

答:

使用半電路觀念並以電晶體取代理想電流源,我們得到圖9.28之等效電路。從節點 $X \subseteq P$ 之電壓增益大約等於 $g_{m5}R_{out1}$,其中 R_{out1} 등 $[g_{m7}r_{O7}(r_{O9}||r_{O5})]||(g_{m11}r_{O11}r_{O13})$ 。因此, R_{out} 等 $g_{m3}r_{O3}r_{O1}g_{m5}R_{out1}$ 。實際上,因為疊接組態之輸出阻抗被摺疊疊接組態提高,故整體輸出阻抗和「四次」疊接組態相似。



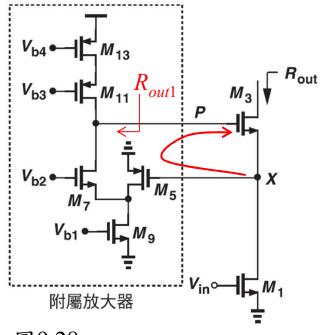
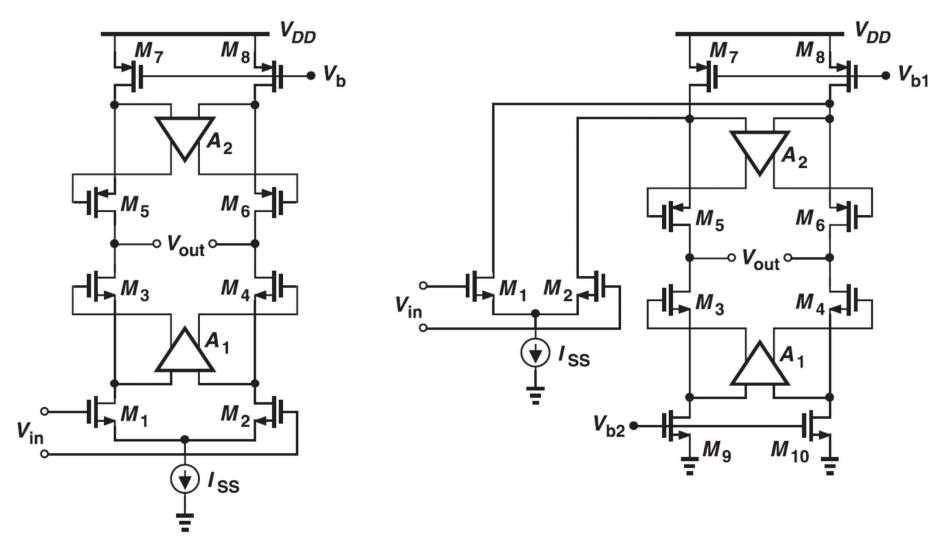


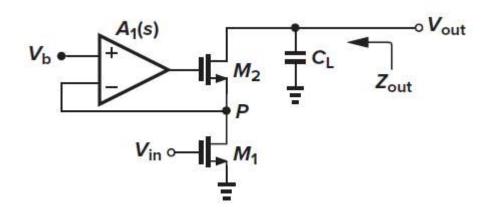
圖9.28

增益提高電路之負載元件



(a) 應用增益提高電路於信號路徑和負載元件。 (b)

Frequency Response



$$G_{m}(s) = g_{m1} \frac{r_{O1}}{r_{O1} + \frac{r_{O2}}{1 + (A_{1} + 1)g_{m2}r_{O2}}}$$

$$= \frac{g_{m1}r_{O1}[1 + (A_{1} + 1)g_{m2}r_{O2}]}{r_{O1} + (A_{1} + 1)g_{m2}r_{O2}r_{O1} + r_{O2}}$$

$$Z_{out} = \underbrace{[r_{O1} + (A_1 + 1)g_{m2}r_{O2}r_{O1} + r_{O2}]}_{\blacksquare} ||\frac{1}{C_L s}$$

$$\frac{V_{out}}{V_{in}}(s) = -G_m(s)Z_{out}(s)$$

$$= \frac{-g_{m1}r_{O1}[1 + (A_1 + 1)g_{m2}r_{O2}]}{(r_{O1} + r_{O2})C_Ls + (A_1 + 1)g_{m2}r_{O2}r_{O1}C_Ls + 1}$$

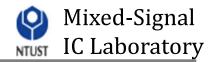
$$R_{out}(s) = (1 + A_1(s))g_{m2}r_{O2}r_{O1}$$

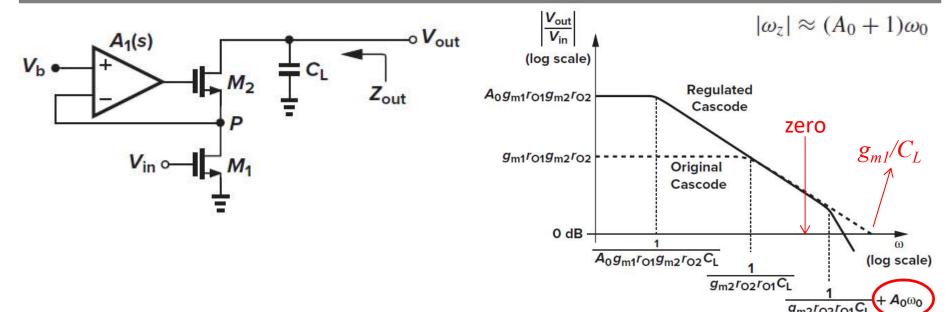
$$Z_{out}(s) = \frac{R_{out}(s)}{1 + sC_LR_{out}(s)}$$

$$A_1 = \frac{A_0}{1 + s / \omega_0}$$

$$\frac{V_{out}}{V_{in}}(s) = \frac{-g_{m1}r_{O1}[(1+g_{m2}r_{O2})\frac{s}{\omega_0} + (A_0+1)g_{m2}r_{O2} + 1]}{\frac{(r_{O1}+r_{O2})C_L}{\omega_0}[1+g_{m2}(r_{O2}||r_{O1})]s^2 + [(r_{O1}+r_{O2})C_L + (A_0+1)g_{m2}r_{O2}r_{O1}C_L + \frac{1}{\omega_0}]s + 1}$$

Frequency Response



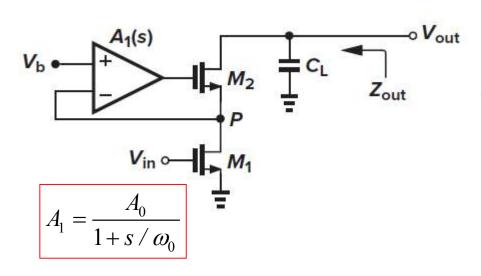


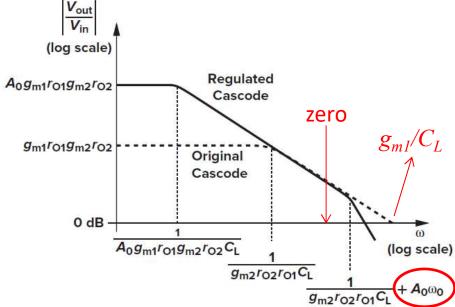
$$\frac{V_{out}}{V_{in}}(s) = \frac{-g_{m1}r_{O1}[(1+g_{m2}r_{O2})\frac{s}{\omega_0} + (A_0+1)g_{m2}r_{O2} + 1]}{\frac{(r_{O1}+r_{O2})C_L}{\omega_0}[1+g_{m2}(r_{O2}||r_{O1})]s^2 + [(r_{O1}+r_{O2})C_L + (A_0+1)g_{m2}r_{O2}r_{O1}C_L + \frac{1}{\omega_0}]s + 1}$$

$$|\omega_{p1}| = \frac{1}{[r_{O1} + (A_0 + 1)g_{m2}r_{O2}r_{O1} + r_{O2}]C_L + \frac{1}{\omega_0}} \qquad |\omega_{p2}| = \frac{[r_{O1} + (A_0 + 1)g_{m2}r_{O2}r_{O1} + r_{O2}]C_L + \frac{1}{\omega_0}}{\frac{(r_{O1} + r_{O2})C_L}{\omega_0}[1 + g_{m2}(r_{O1}||r_{O2})]}$$

$$\approx \frac{1}{A_0g_{m2}r_{O2}r_{O1}C_L} \qquad \approx (A_0 + 1)\omega_0 + \frac{1}{g_{m2}r_{O2}r_{O1}C_L}$$

Frequency Response





 $A_0\omega_0$: A_1 's unit gain bandwidth

Q: How ω_0 affects the overall performance?

$$\begin{aligned} |\omega_{p1}| &= \frac{1}{[r_{O1} + (A_0 + 1)g_{m2}r_{O2}r_{O1} + r_{O2}]C_L + \frac{1}{\omega_0}} \\ &\approx \frac{1}{A_0 g_{m2}r_{O2}r_{O1}C_L} \end{aligned}$$

$$|\omega_{p1}| = \frac{1}{[r_{O1} + (A_0 + 1)g_{m2}r_{O2}r_{O1} + r_{O2}]C_L + \frac{1}{\omega_0}}$$

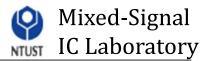
$$|\omega_{p2}| = \frac{[r_{O1} + (A_0 + 1)g_{m2}r_{O2}r_{O1} + r_{O2}]C_L + \frac{1}{\omega_0}}{\frac{(r_{O1} + r_{O2})C_L}{\omega_0}} [1 + g_{m2}(r_{O1}||r_{O2})]$$

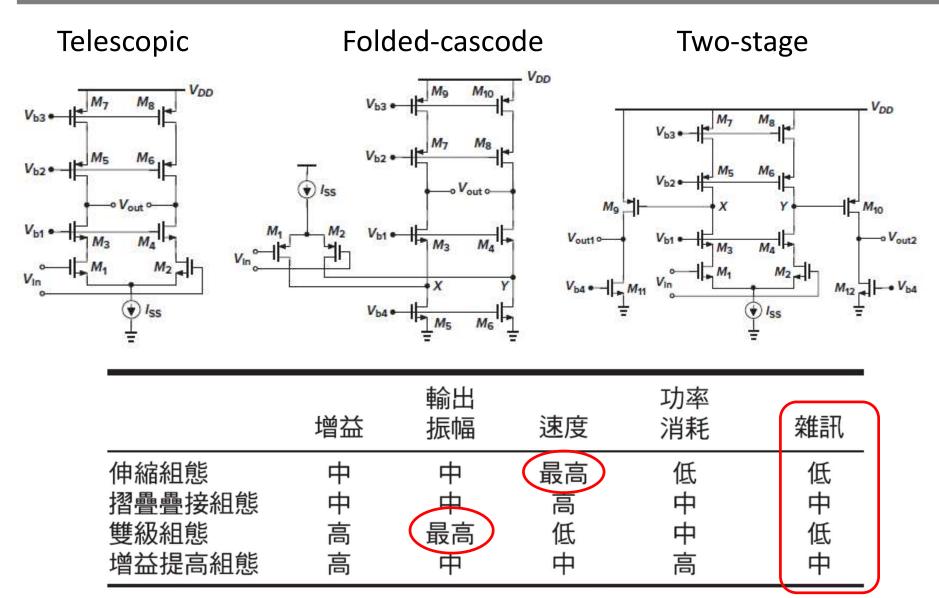
$$\approx \frac{1}{A_0g_{m2}r_{O2}r_{O1}C_L}$$

$$\approx \underline{(A_0 + 1)\omega_0 + \frac{1}{g_{m2}r_{O2}r_{O1}C_L}}$$

$$|\omega_{r2}| \approx (A_0 + 1)\omega_0$$

不同運算放大器組態間的效能比較 Pust IC Laboratory



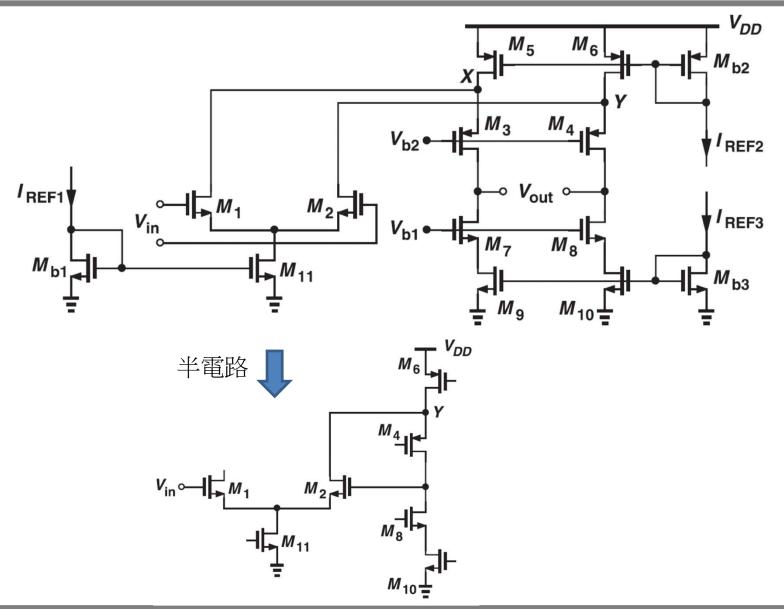


設計一摺疊疊接運算放大器,其NMOS輸入對滿足下列規格: V_{DD} =3V,差動輸出振幅=3V,功率消耗=10mW,電壓增益=2000。使用例題9.7中的元件參數。

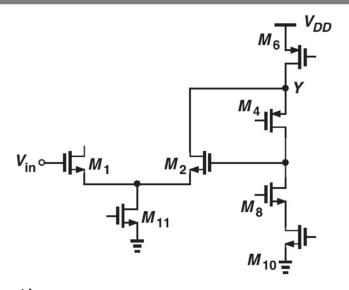
答:

和前一個伸縮疊接組態的例子一樣,我們由功率和振幅規格來開始。分配 1.5mA 電流給輸入對,1.5mA 電流給二個疊接分支,並將剩餘的 330µA 電流給三個電流鏡,首先我們考慮在每個疊接分支的元件。因為 M_5 和 M_6 必須攜帶 1.5mA 電流,我們允許這些電晶體之驅動電壓為 500mV 使其寬度保持為一合理值。對 M_3 - M_4 而言,我們分配 400mV 而對 M_7 - M_{10} 來說為 300mV。因此, $(W/L)_{5,6}$ =400, $(W/L)_{3,4}$ =313, $(W/L)_{7-10}$ =278。因為最小和最大輸出位準分別為 0.6V 和 2.1V,故最佳輸出共模位準 1.35V。

 M_1 - M_2 最小的尺寸由最小輸入共模位準 V_{GS1} + V_{OD11} 決定。舉例來說,如果在部份工作區域中輸入和輸出端短路時,則 V_{GS2} + V_{OD11} =1.35V。當 V_{OD11} =0.4V 做為一開始的猜測時,我們得到 V_{GS1} =0.95V,得到 $V_{OD1,2}$ =0.95—0.7=0.25V,因此(W/L)_{1,2}=400。 M_1 和 M_2 最大尺寸由圖9.16中可容忍之輸入電容和節點 X和 Y之電容來決定。



答:



現在我們計算小信號增益,利用 $g_m=2I_D/(V_{GS}-V_{TH})$,我們得到 $g_{m1,2}=0.006$ A/V, $g_{m3,4}=0.003$ 8A/V 和 $g_{m7,8}=0.05$ A/V。當 L=0.5 μm, $r_{O1,2}=r_{O7-10}=13.3$ kΩ 和 $r_{O3,4}=2r_{O5,6}=6.67$ kΩ,其顯示由 $M_7($ 或 $M_8)$ 源極所 視之阻抗為 8.8MΩ,而由於 $M_3($ 或 $M_4)$ 之內在增益受限,由 M_3 汲極所 視之阻抗為 66.5kΩ。因此總增益被限制約為 400。

為了增加增益,首先我們觀察 $r_{O5,6}$ 比 $r_{O1,2}$ 低很多,因此必須增加 M_5 - M_6 的長度。同樣地, M_1 - M_2 的轉導相當低,故可增加其寬度來增加轉導值。最後,我們可能決定將 M_3 和 M_4 的內在增益加倍,藉由將其長度和寬度加倍,但是必須付出節點 X 和 Y 之電容值增加的代價。