

## 1 Description du projet

Pour les 5 questions qui suivent, les circuits de **Digital** autorisés sont

- (a) toutes les portes logiques ;
- (b) toutes les entrées/sorties ;
- (c) le multiplexeur sur 1 bit (**Composantes** → **Plexeurs** → **Multiplexeur**) ;
- (d) le test (**Composantes** → **Divers** → **Test**).

1. Produire un circuit en **Digital** qui réalise un complément à deux (comme décrit dans le cours, pages 102 à 106) pour une machine 8 bits.
2. En généralisant la technique employée à la question précédente, quelle est la complexité et la profondeur du circuit réalisant le complément à deux pour une machine  $2^p$  bits, où  $p \in \mathbb{N}^*$  ?
3. En utilisant la méthodologie « diviser pour régner », proposer une nouvelle version du complément à deux pour une machine 8 bits.
4. En généralisant la technique employée à la question précédente, quelle est la complexité et la profondeur du circuit réalisant le complément à deux pour une machine  $2^p$  bits, où  $p \in \mathbb{N}^*$  ?
5. On suppose que toutes les portes logiques et les entrées/sorties ont un délai de 1 unité de temps, et que le multiplexeur a un délai de 2 unités de temps. Produire une simulation **VHDL** tenant compte de cette situation.

On fournira une capture d'écran de la simulation sous **gtkwave**.

Pour les questions suivantes, les circuits de **Digital** autorisés sont

- (a) toutes les portes logiques ;
- (b) toutes les entrées/sorties ;

- (c) le multiplexeur sur 1 bit (**Composantes**  $\rightarrow$  **Plexeurs**  $\rightarrow$  **Multiplexeur**);
- (d) *un complément à deux obtenu ci-dessus*;
- (e) les bascules JK et D (**Composantes**  $\rightarrow$  **Bascules**);
- (f) le registre (**Composantes**  $\rightarrow$  **Mémoire**  $\rightarrow$  **Registre**);
- (g) l'additionneur (**Composantes**  $\rightarrow$  **Arithmétique**  $\rightarrow$  **Addition**);
- (h) le test (**Composantes**  $\rightarrow$  **Divers**  $\rightarrow$  **Test**).

6. On suppose que notre machine 8 bits est composée de
- (a) 3 cases mémoires (8 bits), notées  $M_1$ ,  $M_2$  et  $M_3$ ;
  - (b) 2 registres (8 bits), notés  $R_1$  et  $R_2$ ;
  - (c) une ALU capable de faire des additions et des soustractions sur 8 bits.

En utilisant l'assembleur de Bindal (voir le cours, pages 208 et 209), proposer un code qui effectue l'opération 15-12, lorsque 15 est dans  $M_1$ , 12 est dans  $M_2$  et qu'on veut le résultat dans  $M_3$ .

Il est rappelé que l'ALU n'a pas d'accès direct aux cases mémoires, seulement aux deux registres.

- 7. Proposer un pipeline permettant de réaliser sans erreur le code de la question précédente.
- 8. Si on considère qu'il faut 3 étapes du pipeline pour effectuer les opérations **STORE** et **LOAD**, comment le pipeline est-il modifié?
- 9. Produire un circuit sous **Digital** réalisant la création d'une mémoire et les opérations **STORE** et **LOAD** (déplacement entre une case mémoire et un registre).
- 10. Produire un circuit sous **Digital** décrivant la machine 8 bits que nous utilisons et permettant de faire les opérations permises.

## 2 Contraintes

Le projet est à rendre pour le 9 juin, avant 23h55.

Il sera rendu sur Moodle sous la forme d'une unique archive .zip par groupe. Cette archive contiendra

1. Un rapport écrit en .pdf.

Ce rapport est très important, il doit être sérieusement rédigé.

2. Les circuits en Digital.
3. Les codes VHDL.
4. Les captures d'écran.

Ce qui est évalué est le *sérieux* du travail. Si vous n'arrivez pas à traiter une question, n'hésitez pas à décrire vos essais et à commenter vos échecs. Les contraintes sont telles que les solutions toutes faites sur Internet seront presque sûrement de mauvaise qualité ou inadaptées. Je préfère une solution simple conçue par vous à toute solution trouvée ailleurs...