

作业

以班为单位提交一份PPT，内容为：

第一章 1道题及详细解题过程。

第二章 2道题（分析、设计）及详细解题过程。

第三章 2道题（分析、设计）及详细解题过程。

第四章 1道题及详细解题过程。

第五章 1道题（VHDL语言）及详细解题过程。

第六章 1道题及详细解题过程。

不得使用教科书、题解书及课件上的题目。

第一章 开关理论基础

教 学 内 容

基本要求

熟练掌握

正确理解

了解

数制与码制

数制

√

√

数制间相互转换

√

√

编码

√

逻辑代数

逻辑变量与逻辑函数的概念

√

三种基本逻辑及其运算

√

√

复合逻辑及其运算

√

√

逻辑函数的六种描述方法

√

√

逻辑代数的定律、规则及常用公式

√

√

逻辑函数化简

逻辑函数的最简形式

√

√

代数法化简

√

√

卡诺图化简（最小项表达式）

√

√

具有无关项的逻辑函数及其化简

√

√

门电路

集成电路使用特性

√

1、用布尔代数证明 $BC + D + \overline{D}(\overline{B} + \overline{C})(AD + B) = B + D$

$$BC + D + \overline{D}(\overline{B} + \overline{C})(AD + B)$$

$$= BC + D + (\overline{B} + \overline{C})B\overline{D}$$

$$= BC + D + \overline{C}B\overline{D}$$

$$= B(C + \overline{C} \cdot \overline{D}) + D$$

$$= B(C + \overline{D}) + D$$

$$= BC + B\overline{D} + D$$

$$= B + D$$

2、卡诺图如右图，它所描述的逻辑表达式F=(**B**)。

A、 $F(A, B, C, D) = \sum_m(0, 1, 3, 4, 5, 9, 13, 15)$

B、 $F(A, B, C, D) = \sum_m(1, 2, 4, 5, 9, 10, 13, 15)$

C、 $F(A, B, C, D) = \sum_m(1, 2, 3, 4, 5, 8, 9, 14)$

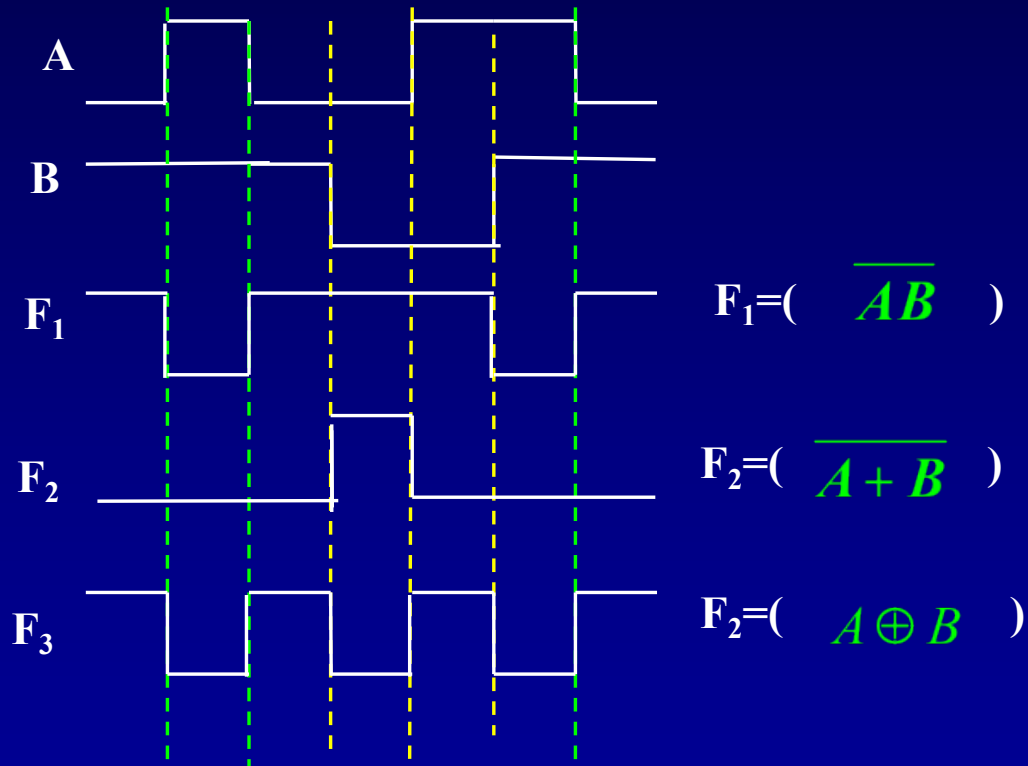
D、 $F(A, B, C, D) = \sum_m(1, 4, 5, 8, 9, 10, 13, 15)$

		AB			
CD		00	01	11	10
	00		1		
	01	1	1	1	1
	11			1	
	10	1			1

3、已知函数 $F_1 = A\bar{B} + AD + BC + C\bar{D}$
 $F_2 = \overline{\bar{A}\bar{B}D + \bar{A}\bar{C} + B\bar{C}\bar{D}}$ F_1 、 F_2 之间的逻辑关系是 ($F_1=F_2$) 。

4、 $(376.2)_O = (11111110.01)_B = (FE.4)_H$ 。

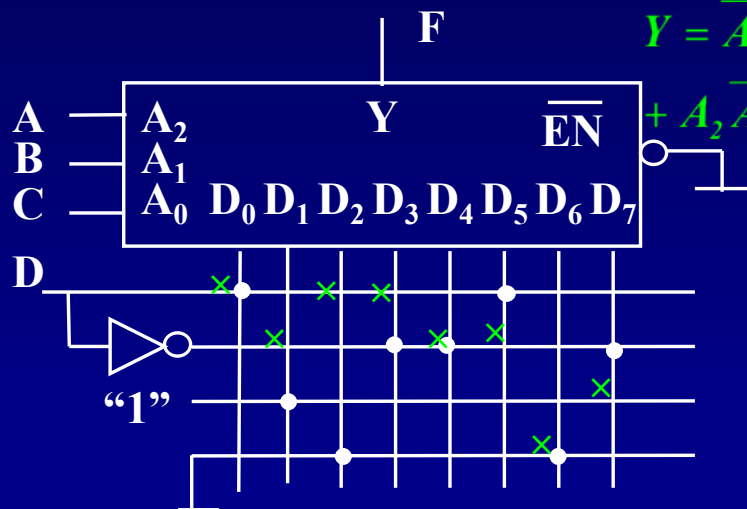
5、波形如图，写出 $F_1F_2F_3$ 的表达式。



$$\begin{aligned}
 A \oplus B \oplus C &= \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C} + ABC \\
 &= \overline{A}(B \oplus C) + A(\overline{B \oplus C}) + \overline{A}\overline{B \oplus C} + A(B \oplus C) \\
 &= A \oplus B \oplus C
 \end{aligned}$$

第二章 组合逻辑 教 学 内 容		基本要求		
		熟练掌握	正确理解	了解
组合逻辑的概念和特点			√	
组合逻辑电路的分析方法		√	√	
组合逻辑电路的设计方法		√	√	
常用组合 逻辑部件	数据选择器（多路选择器）	√	√	
	数据分配器	√	√	
	译码器（3:8译码器）	√	√	
	编码器	√	√	
	数值比较器	√	√	
	加法器	√	√	
	奇偶校验器		√	
组合逻辑的竞 争冒险现象	产生根源		√	
	发现方法	√	√	
	消除方法	√	√	

1、8选1数据选择器74LS151构成的电路如图所示。写出电路输出函数Y的逻辑表达式，以最小项之和表达。若要使函数 $Y(ABCD)=\sum m(1,2,5,7,8,10,14,15)$ ，则接线应如何改动？



$$Y = \overline{A_2} \overline{A_1} \overline{A_0} D_0 + \overline{A_2} \overline{A_1} \overline{A_0} D_1 + \overline{A_2} \overline{A_1} \overline{A_0} D_2 + \overline{A_2} \overline{A_1} \overline{A_0} D_3 + \overline{A_2} \overline{A_1} \overline{A_0} D_4 + \overline{A_2} \overline{A_1} \overline{A_0} D_5 + \overline{A_2} \overline{A_1} \overline{A_0} D_6 + \overline{A_2} \overline{A_1} \overline{A_0} D_7$$

$$Y = \overline{A} \overline{B} \overline{C} D + \overline{A} \overline{B} C + \overline{A} B \overline{C} 0 + \overline{A} B C \overline{D} + \overline{A} B C D + A B C \overline{0} + A B C D$$

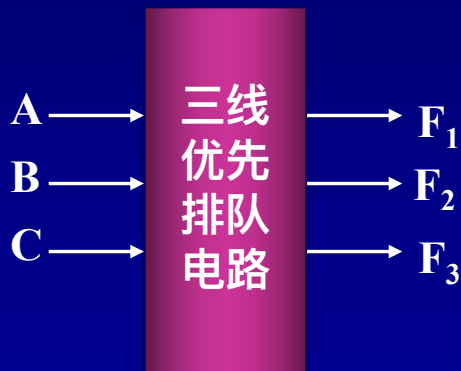
$$Y = \overline{A} \overline{B} \overline{C} D + \overline{A} \overline{B} C D + \overline{A} B \overline{C} D + \overline{A} B C D + A B \overline{C} D + A B C D + A B C D$$

$$Y = \overline{A} \overline{B} \overline{C} D + \overline{A} \overline{B} C D + \overline{A} B \overline{C} D + \overline{A} B C D + \overline{A} B C D + \overline{A} B C D + A B \overline{C} D + A B C D \quad Y = \sum (1,2,3,6,8,11,14)$$

$$Y = \overline{A} \overline{B} \overline{C} D + \overline{A} \overline{B} C D + \overline{A} B \overline{C} D + \overline{A} B C D + \overline{A} B C D + \overline{A} B C D + A B \overline{C} D + A B C D$$

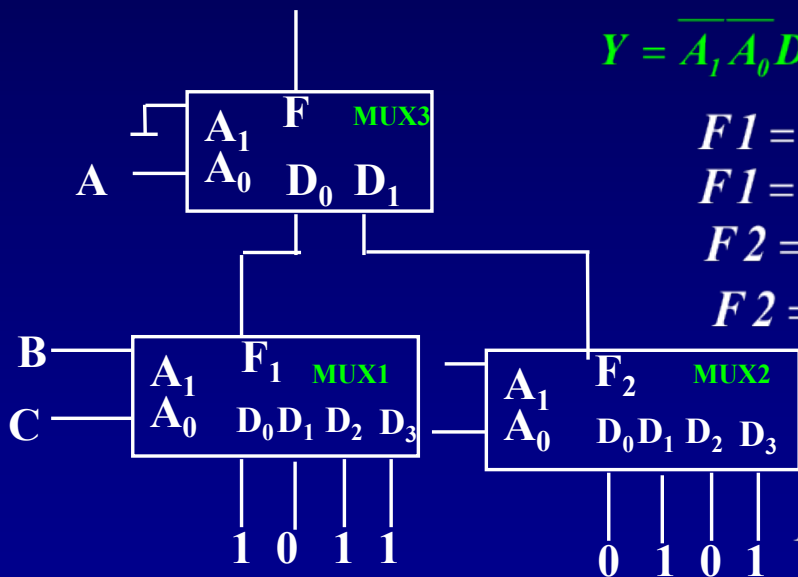
2、三线排队的组合电路框图如图，A、B、C为三路输入信号， F_1 、 F_2 、 F_3 为其对应的输出，电路在同一时刻只允许通过一路信号，且优先的顺序为A、B、C,写出三路输出信号的逻辑表达式。

$$F_1 = (A) \quad F_2 = (\bar{A}B) \quad F_3 = (\bar{A}\bar{B}C)$$



A	B	C	F_1	F_2	F_3
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	0
0	1	1	0	1	0
1	0	0	1	0	0
1	0	1	1	0	0
1	1	0	1	0	0
1	1	1	1	0	0

3、由4选1数据选择器组成的电路和输入波形如图所示。写出电路输出函数F的逻辑表达式，并画出输出函数F的波形。



$$Y = \overline{A_1} \overline{A_0} D_0 + \overline{A_1} A_0 D_1 + A_1 \overline{A_0} D_2 + A_1 A_0 D_3$$

$$F1 = \overline{B} \overline{C} 1 + \overline{B} C 0 + B \overline{C} 1 + B C 1$$

$$F1 = \overline{B} \overline{C} + \overline{B} C + B C$$

$$F2 = \overline{B} \overline{C} 0 + \overline{B} C 1 + B \overline{C} 0 + B C 1$$

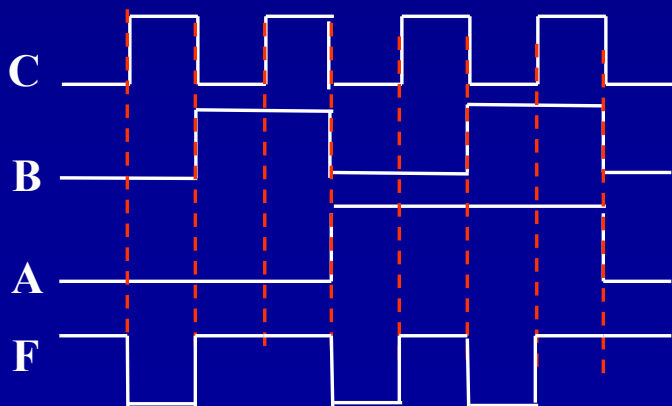
$$F2 = \overline{B} C + B C$$

$$F = 1 \overline{A} D_0 + 1 A D_1$$

$$F = \overline{A} (\overline{B} \overline{C} + \overline{B} C + B C) + A (\overline{B} C + B C)$$

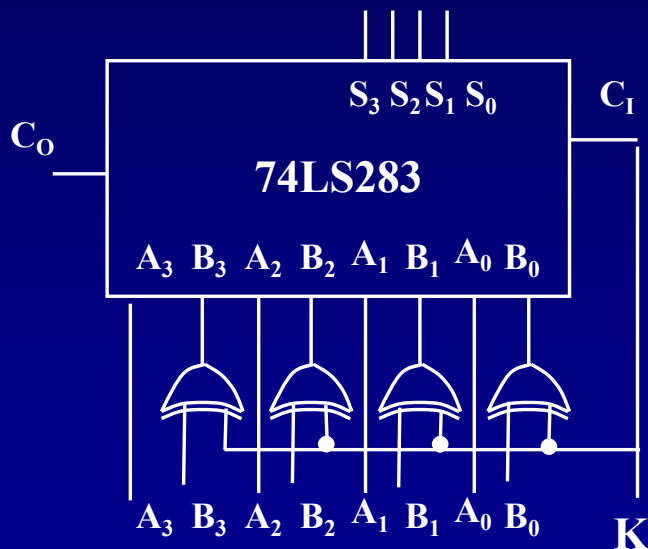
$$F = \overline{A} \overline{B} \overline{C} + \overline{A} \overline{B} C + \overline{A} B \overline{C} + \overline{A} B C + A \overline{B} C + A B C$$

$$0 \quad 2 \quad 3 \quad 5 \quad 7$$



4、电路如图，由四位全加器和异或门组成。

当 $K=0$ 实现（ 四位二进制加法 ），当 $K=1$ 实现（ 四位二进制减法 ）

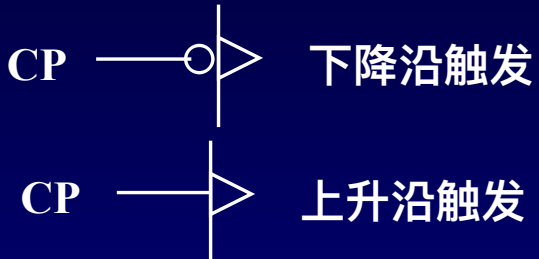


5、将2:4译码器改为四路分配器。

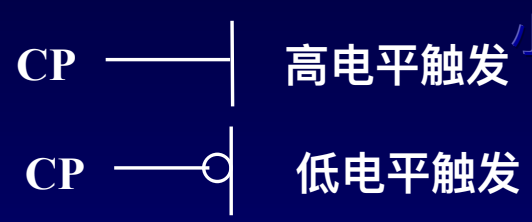


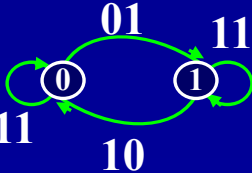
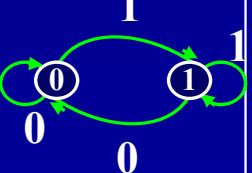
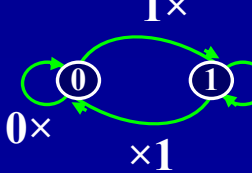
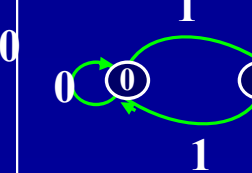
第三章 时序逻辑 教 学 内 容		基本要求		
		熟练掌握	正确理解	了解
时序逻辑电路的概念和特点			√	
四种基本触发器		√	√	
时序逻辑电路的状态转移图、状态转移表和时序图		√	√	
同步时序逻辑	以触发器为组件的电路分析	√	√	
	以触发器为组件的电路设计	√	√	
异步时序逻辑	以触发器为组件的电路分析		√	√
常用时序 逻辑部件	寄存器、锁存器	√	√	
	移位寄存器	√	√	
	计数器	√	√	
	节拍信号发生器	√	√	
	以MSI为为组件的电路分析	√	√	
	以MSI为为组件的电路设计	√	√	

边沿
触发

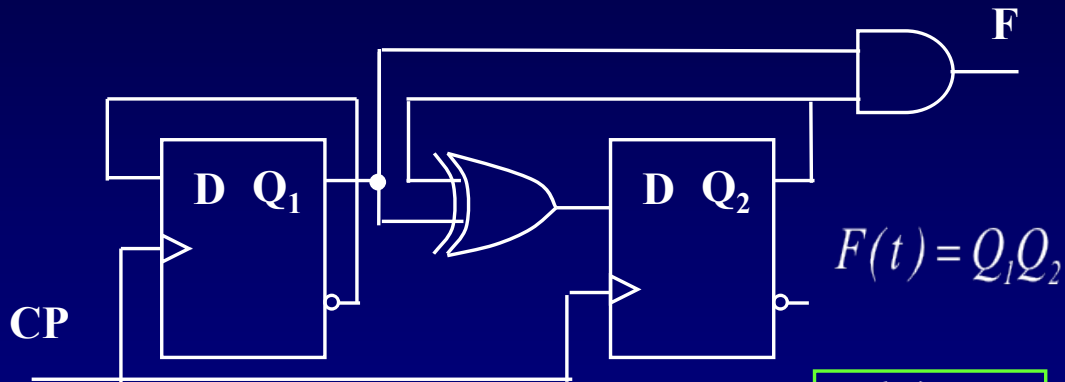


电平
触发



	$\overline{R}\overline{S}$ 触发器	D触发器	JK触发器	T触发器																																										
特征方程	$Q^{n+1} = \overline{\overline{S}} + \overline{R}Q^n$	$Q^{n+1} = D$	$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$	$Q^{n+1} = T\overline{Q}^n + \overline{T}Q^n$																																										
功能表	<table><tr><th>\overline{R}</th><th>\overline{S}</th><th>Q^{n+1}</th></tr><tr><td>0</td><td>0</td><td>×</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>Q^n</td></tr></table>	\overline{R}	\overline{S}	Q^{n+1}	0	0	×	0	1	0	1	0	1	1	1	Q^n	<table><tr><th>D</th><th>Q^{n+1}</th></tr><tr><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td></tr></table>	D	Q^{n+1}	0	0	1	1	<table><tr><th>J</th><th>K</th><th>Q^{n+1}</th></tr><tr><td>0</td><td>0</td><td>Q^n</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>\overline{Q}^n</td></tr></table>	J	K	Q^{n+1}	0	0	Q^n	0	1	0	1	0	1	1	1	\overline{Q}^n	<table><tr><th>T</th><th>Q^{n+1}</th></tr><tr><td>0</td><td>Q^n</td></tr><tr><td>1</td><td>\overline{Q}^n</td></tr></table>	T	Q^{n+1}	0	Q^n	1	\overline{Q}^n
\overline{R}	\overline{S}	Q^{n+1}																																												
0	0	×																																												
0	1	0																																												
1	0	1																																												
1	1	Q^n																																												
D	Q^{n+1}																																													
0	0																																													
1	1																																													
J	K	Q^{n+1}																																												
0	0	Q^n																																												
0	1	0																																												
1	0	1																																												
1	1	\overline{Q}^n																																												
T	Q^{n+1}																																													
0	Q^n																																													
1	\overline{Q}^n																																													
状态转换																																														

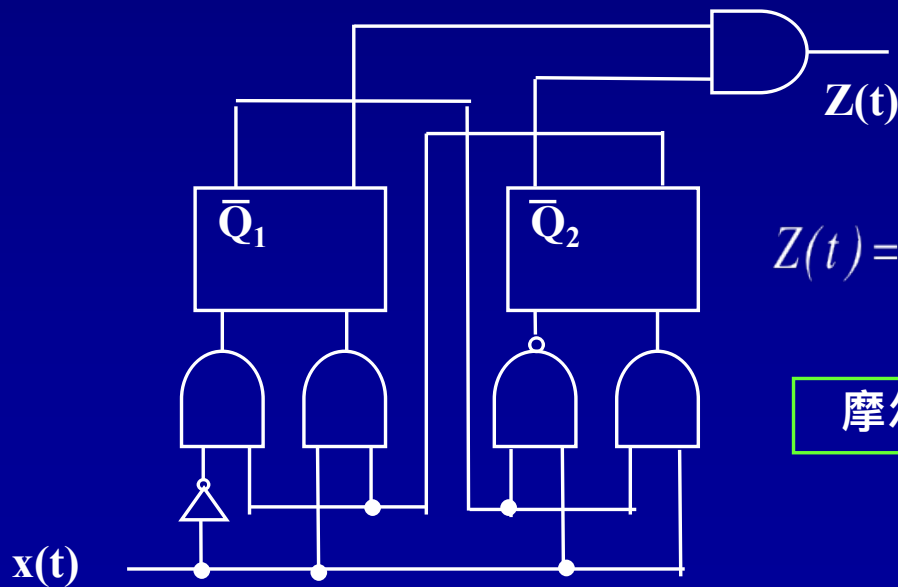
米里型和摩尔型电路



$$Z(t) = G(t) \oplus B(t)$$

米里型

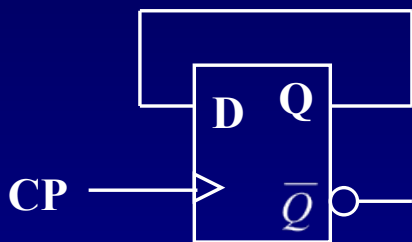
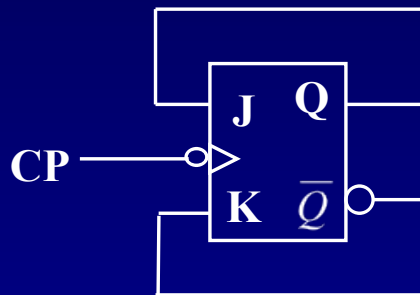
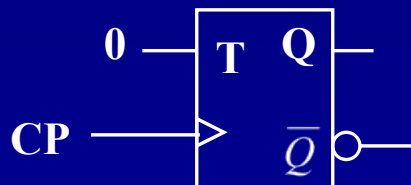
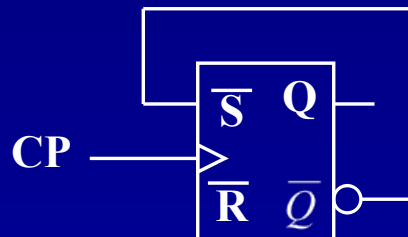
摩尔型



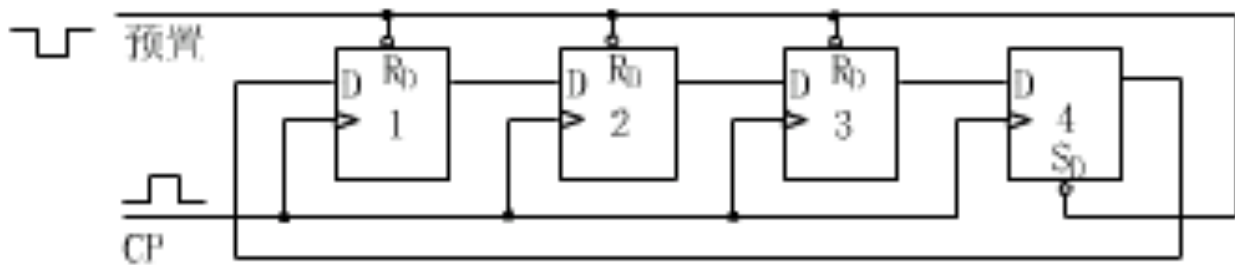
$$Z(t) = Q_1 \overline{Q_2}$$

摩尔型

1、能完成 $Q^{n+1}=Q^n$ 逻辑功能的电路有 a、b、c、d。

**a****b****c****d**

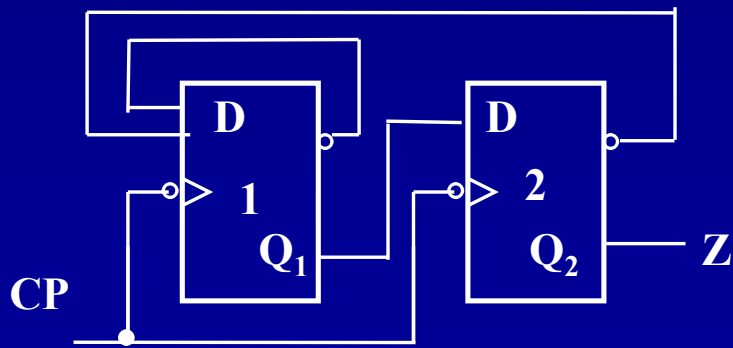
2、如图 所示电路名称是 A 计数器。其中 S_0 为异步置1端， R_0 为异步置0端，状态按 $Q_4Q_3Q_2Q_1$ 排序。当预置脉冲作用后，再经3个CP脉冲作用，电路状态 $Q_4Q_3Q_2Q_1 =$ B。



A、环形

B、0100

3、分析如下电路功能。



模3计数器 (可自启动) $Z = Q_2$

激励方程：

$$D_1 = \overline{Q_2} \overline{Q_1}$$

$$D_2 = Q_1$$

状态方程：

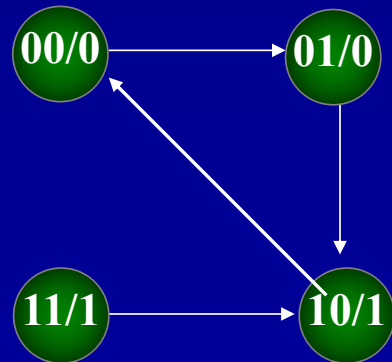
$$Q_1^{n+1} = D_1 = \overline{Q_2} \overline{Q_1}$$

$$Q_2^{n+1} = D_2 = Q_1$$

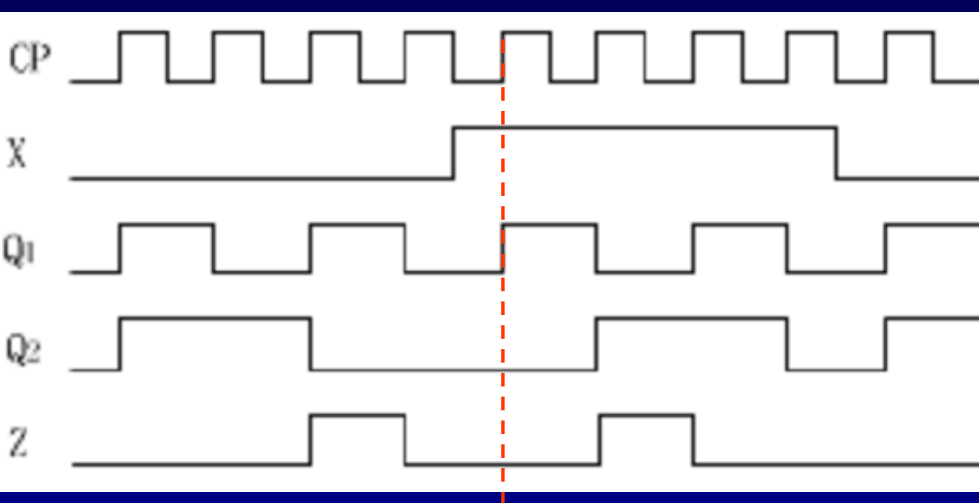
输出方程：

$$Z = Q_2$$

Q_2	Q_1	Q_2^{n+1}	Q_1^{n+1}	Z
0	0	0	1	0
0	1	1	0	0
1	0	0	0	1
1	1	1	0	1



4 设计一个满足 如下图 所示波型的时序电路。若选用D触发器实现，写出激励方程和输出方程表达式。



输入 X	现态		次态		输出 Z
	Q_2^n	Q_1^n	Q_2^{n+1}	Q_1^{n+1}	
0	0	0	1	1	0
0	1	1	1	0	0
0	1	0	0	1	0
0	0	1	0	0	1
1	0	0	0	1	0
1	0	1	1	0	0
1	1	0	1	1	1
1	1	1	0	0	0

$$D_2 = \overline{Q_1}\overline{Q_2}\overline{X} + Q_1Q_2\overline{X} + \overline{Q_1}Q_2X + Q_1\overline{Q_2}X$$

$$D_2 = Q_1 \oplus Q_2 \oplus \overline{X}$$

$$D_1 = \overline{Q_1}\overline{X} + \overline{Q_1}X$$

$$D_1 = \overline{Q_1}$$

$$Z = Q_1\overline{Q_2}\overline{X} + \overline{Q_1}Q_2X$$

5、触发器完成 $Q^{n+1}=\overline{Q^n}$,

其激励方程应为 (**A,B,C,D,E**) 。

A $D = \overline{Q^n}$

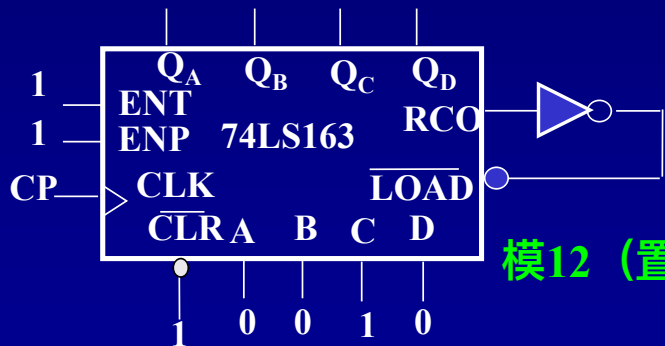
B $T = 1$

C $J = 1, K = 1$

D $J = \overline{Q^n}, K = Q^n$

E $\overline{S} = Q^n, \overline{R} = 0$

6、74LS163组成的电路如图，可以实现几进制计数。

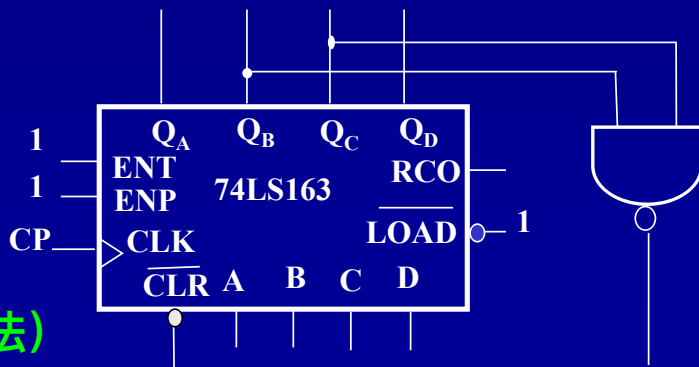


模12 (置位法)

4→5→6→7→8→9→10→11
→12→13→14→15→4

0→1→2→3→4→5→6→0

模7 (复位法)



7、级联扩模

第四章 存储逻辑 教 学 内 容		基本要求		
		熟练掌握	正确理解	了解
RAM	SRAM		√	
	DRAM		√	
ROM	ROM的电路结构		√	
	掩膜ROM		√	
	PROM		√	
	EPROM、E ² PROM		√	
	Flash Memory		√	
存储器容量扩展		√	√	
用ROM实现组合逻辑函数		√	√	

1、某RAM芯片其地址线为A0~A10位，数据线D0~D7位，该存储器芯片描述为：（ $2K \times 8$ ）

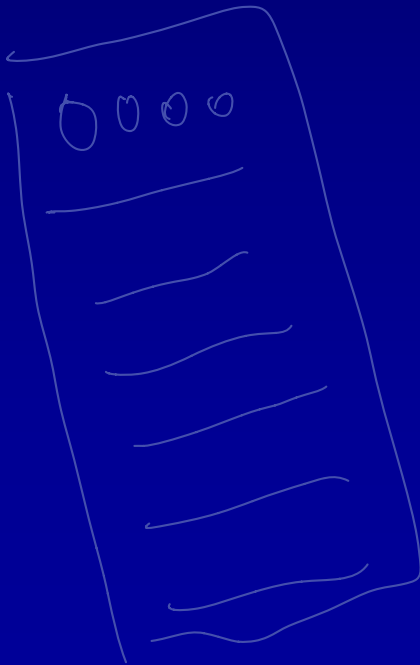
2、用ROM实现4位二进制码到循环码的转换，要求存储体的容量为（ 64 ），若用PLA实现，则要求存储体的容量为（ 28 ）。

A、ROM为28，PLA为64

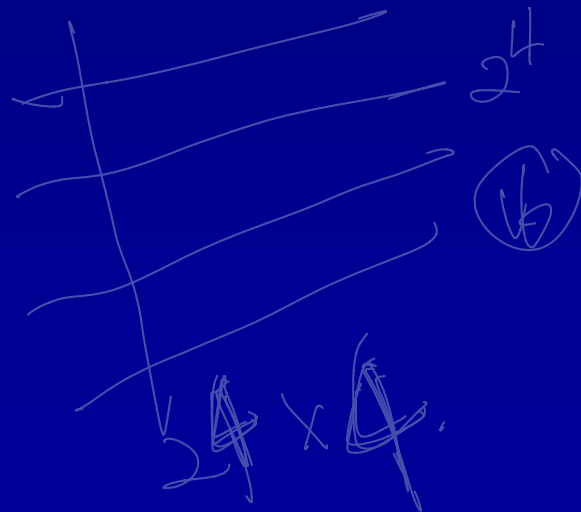
B、ROM为64，PLA为28

C、ROM为16，PLA为8

D、ROM为8，PLA为16



$$2^4 \times 4 = 64$$



第五章 可编程逻辑 教 学 内 容			基本要求		
			熟练掌握	正确理解	了解
用PLA实现组合逻辑函数			√		
现场可编程门阵列FPGA				√	
ISP技术特点					√
ispLSI1032的内部结构				√	
ispLSI的下载原理与方式					√
VHDL 语言基础	VHDL语言的程序结构		√	√	
	VHDL语言的对象及数据结构		√	√	
	VHDL语言的并行语句及顺序语句		√	√	
	结构体的描述 方式	数据流描述方式	√	√	
		结构描述方式	√	√	
		行为描述方式	√	√	


```

LIBRARY ieee ;
USE ieee.std_logic_1164.all ;
USE ieee.std_logic_unsigned.all ;

ENTITY upcount IS
    PORT ( Clear, Clock      : IN          STD_LOGIC ;
          Q : BUFFER        STD_LOGIC_VECTOR(1 DOWNTO 0) ) ;
END upcount ;

ARCHITECTURE Behavior OF upcount IS
BEGIN
    upcount: PROCESS ( Clock )
    BEGIN
        IF (Clock'EVENT AND Clock = '1') THEN
            IF Clear = '1' THEN
                Q <= "00" ;
            ELSE
                Q <= Q + '1' ;
            END IF ;
        END IF ;
    END PROCESS ;
END Behavior ;

```

同步清零二位二进制计数器

```

LIBRARY ieee ;
USE ieee.std_logic_1164.all ;

ENTITY compare1 IS
    PORT ( A, B      : IN      STD_LOGIC ;
          AeqB      : OUT    STD_LOGIC ) ;
END compare1 ;

ARCHITECTURE Behavior OF compare1 IS
BEGIN
    PROCESS ( A, B )
    BEGIN
        AeqB <= '0' ;
        IF A = B THEN
            AeqB <= '1' ;
        END IF ;
    END PROCESS ;
END Behavior ;

```

一位相等比较器


```

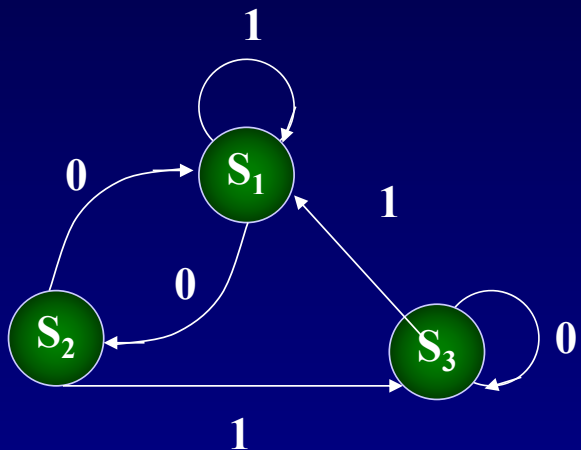
entity cnt9 is
    port(clk,reset : in std_logic;
        dataout: out std_logic_vector(3 downto 0 ) );
end cnt9;
architecture hav of cnt9 is
    begin
        signal data_tmp : std_logic_vector(3 downto 0);
        process(clk,reset)
            begin
                if reset='1' then
                    data_tmp<="0000";else
                    if clk'event and clk='1' then
                        if data_tmp="1001" then
                            data_tmp<="0000";
                        else
                            data_tmp<=data_tmp+1;
                        endif;
                    endif;
                endif;
            end precess;
            dataout<=data_tmp;
        end hav;

```

异步复位模九计数器

第六章 数字系统 教 学 内 容		基本要求		
		熟练掌握	正确理解	了解
现代数字系统的设计方法			√	
数字系统的组成及功能	算术逻辑运算单元ALU		√	
	各种用途寄存器		√	
	存储器RAM		√	
	数据总线	√	√	
	控制器		√	
ASM算法流程图的符号及表示方法		√	√	
小型控制器 设计	计数器型	√	√	
	多路选择器型	√	√	
	定序型			√

1、已知状态转移图如下：设计计数型控制器。



在 S_1 状态产生控制信号 C_1

在 S_2 状态产生控制信号 C_2

在 S_3 状态产生控制信号 C_1, C_3

$$Q_2^{n+1} = \overline{Q_2}Q_1\overline{X} + Q_2\overline{Q_1}X + Q_2Q_1X$$

$$= \overline{Q_2}Q_1\overline{X} + Q_2X$$

$$Q_1^{n+1} = Q_2 + Q_1X$$

现态			次态			转移条件
	Q_2	Q_1		Q_2^{n+1}	Q_1^{n+1}	
S_1	0	1	S_2	1	0	\overline{X}
			S_1	0	1	X
S_2	1	0	S_1	0	1	\overline{X}
			S_3	1	1	X
S_3	1	1	S_3	1	1	\overline{X}
			S_1	0	1	X

在 S_1 状态产生控制信号 C_1 在 S_2 状态产生控制信号 C_2 在 S_3 状态产生控制信号 C_1, C_3

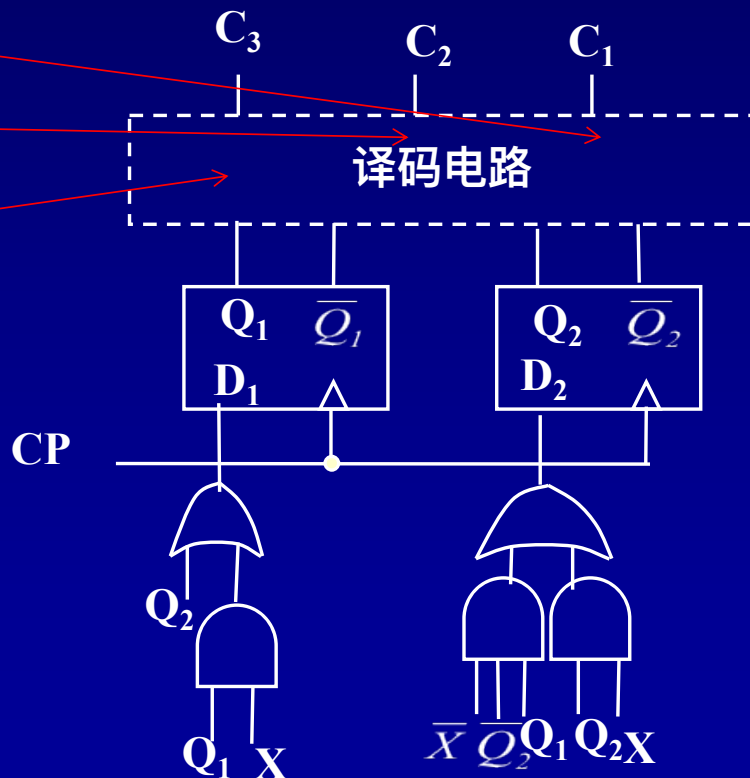
$$Q_2^{n+1} = \overline{Q_2}Q_1\overline{X} + Q_2X$$

$$Q_1^{n+1} = Q_2 + Q_1X$$

$$C_1 = \overline{Q_2}Q_1 + Q_2Q_1$$

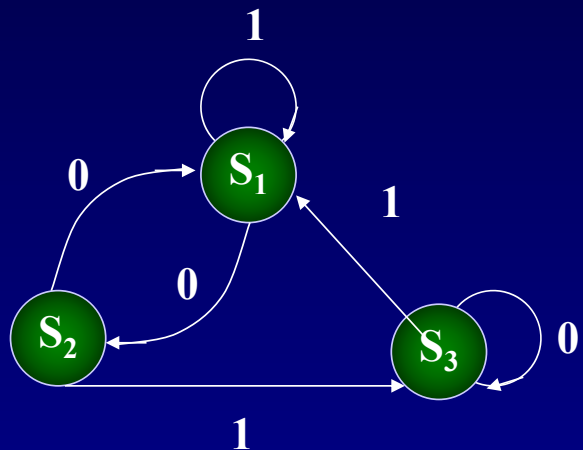
$$C_2 = Q_2\overline{Q_1}$$

$$C_3 = Q_2Q_1$$

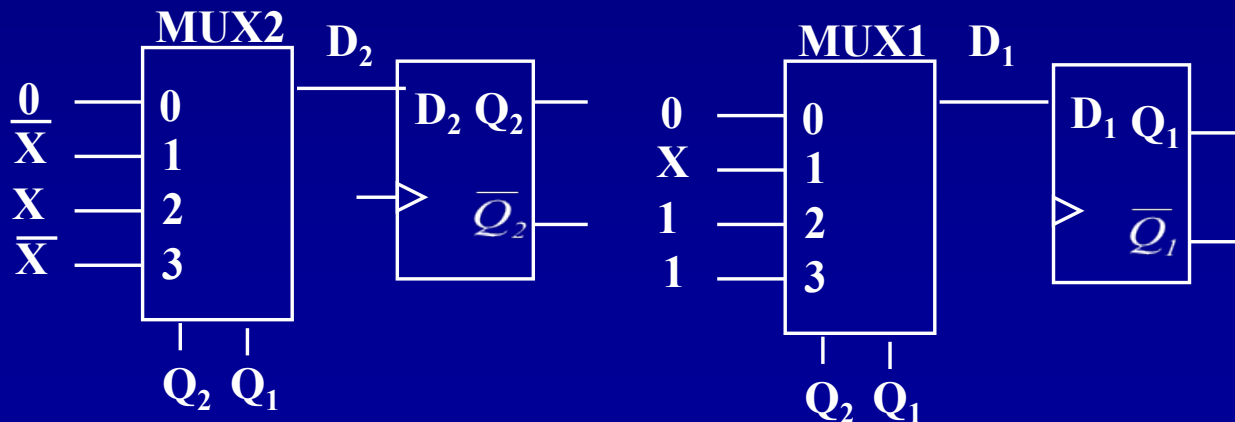


2、已知状态转移图如下：设计多路选择器型控制器。

第六章习题



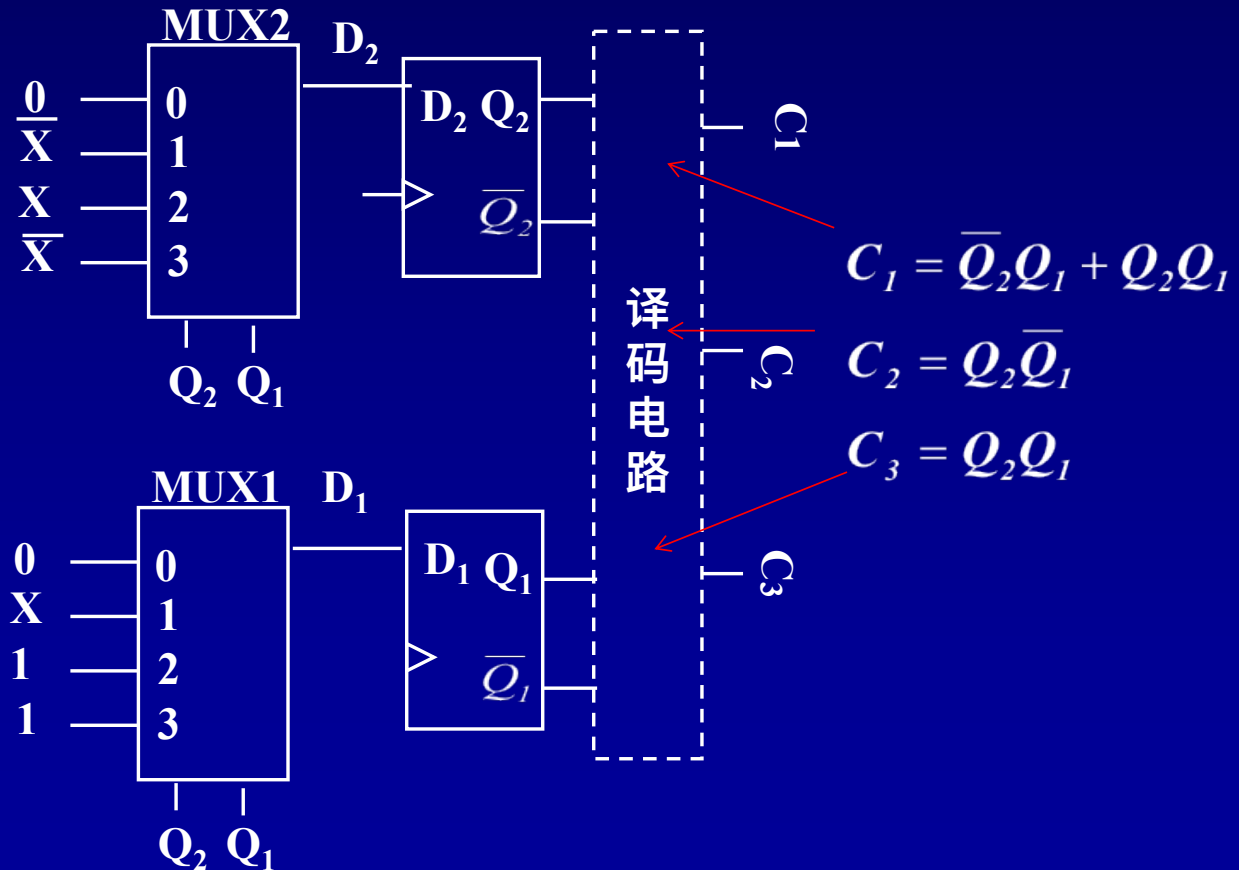
现态			次态			转移条件
	Q_2	Q_1		Q_2^{n+1}	Q_1^{n+1}	
S_1	0	1	s_2	1	0	\bar{X}
			s_1	0	1	X
S_2	1	0	s_1	0	1	\bar{X}
			s_3	1	1	X
S_3	1	1	s_3	1	1	\bar{X}
			s_1	0	1	X



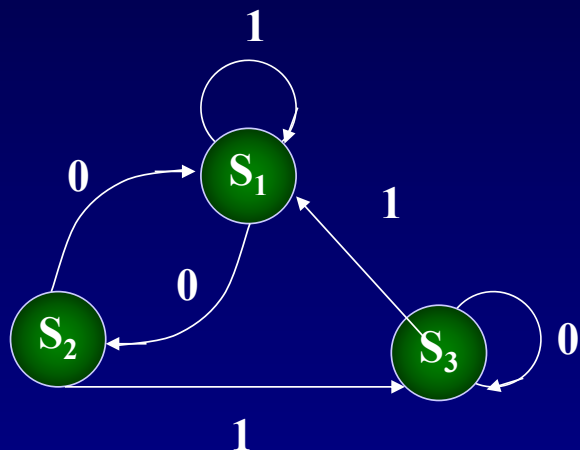
在 S_1 状态产生控制信号 C_1

在 S_2 状态产生控制信号 C_2

在 S_3 状态产生控制信号 C_1, C_3



3、已知状态转移图如下：设计定序型控制器。



$$Q_3^{n+1} = Q_3X + Q_2\bar{X} + Q_1X$$

$$Q_2^{n+1} = Q_3\bar{X}$$

$$Q_1^{n+1} = Q_2X + Q_1\bar{X}$$

在 S_1 状态产生控制信号 C_1

在 S_2 状态产生控制信号 C_2

在 S_3 状态产生控制信号 C_1, C_3

现态				次态				转移条件
	Q_3	Q_2	Q_1		Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	
S_1	1	0	0	s_2	0	1	0	\bar{X}
				s_1	1	0	0	X
S_2	0	1	0	s_1	1	0	0	\bar{X}
				s_3	0	0	1	X
S_3	0	0	1	s_3	0	0	1	\bar{X}
				s_1	1	0	0	X

$$Q_3^{n+1} = (Q_3 + Q_1)X + Q_2\bar{X}$$

$$Q_2^{n+1} = Q_3\bar{X}$$

$$Q_1^{n+1} = Q_2X + Q_1\bar{X}$$

$$C_1 = Q_1 + Q_3$$

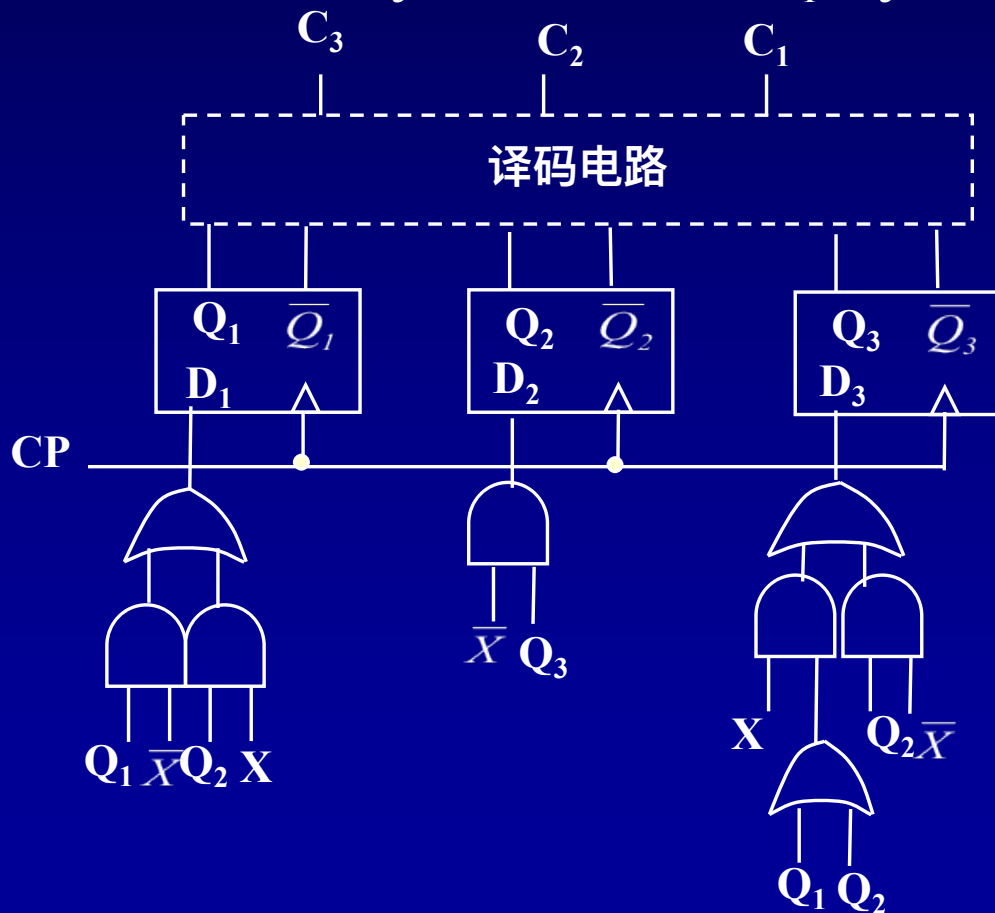
$$C_2 = Q_2$$

$$C_3 = Q_3$$

在 S_1 状态产生控制信号 C_1

在 S_2 状态产生控制信号 C_2

在 S_3 状态产生控制信号 C_1, C_3



祝同学们取得好成绩
感谢同学们的支持

```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;
ENTITY COUNT10 IS
    PORT (CLK : IN STD_LOGIC;           -- 时钟信号
          CLR : IN STD_LOGIC;           -- 清零信号
          ENA : IN STD_LOGIC;          -- 计数使能信号
          CNTQ : OUT INTEGER RANGE 0 TO 15; -- 计数结果
          CNTOUT : OUT STD_LOGIC );      -- 计数进位
    END COUNT10;
ARCHITECTURE A OF COUNT10 IS
    SIGNAL CNTI : INTEGER RANGE 0 TO 15;
    BEGIN
        PROCESS(CLK, CLR, ENA)
        BEGIN
            IF CLR = '1' THEN CNTI <= 0;      -- 清零
            ELSIF CLK'EVENT AND CLK = '1' THEN
                IF ENA = '1' THEN
                    IF CNTI < 9 THEN CNTI <= CNTI + 1;
                    ELSE CNTI <= 0;      -- 等于9, 则回转
                    END IF;
                END IF;
            END IF;
        END IF;
        END PROCESS;
        PROCESS(CNTI)
        BEGIN
            IF CNTI = 9 THEN CNTOUT <= '1';
            ELSE
                CNTOUT <= '0';
            END IF;
        END PROCESS;
        CNTQ <= CNTI;
    END A;

```