

# 北京邮电大学 2016—2017 学年第一学期

## 《数字逻辑与数字系统》期末考试试题 (A)

考 试 注 意 事 项	一、学生参加考试须带学生证或学院证明, 未带者不准进入考场。学生必须按照监考教师指定座位就坐。 二、书本、参考资料、书包等物品一律放到考场指定位置。 三、学生不得另行携带、使用稿纸, 要遵守《北京邮电大学考场规则》, 有考场违纪或作弊行为者, 按相应规定严肃处理。 四、学生必须将答题内容做在试题答卷上, 做在草稿纸上一律无效。 五、学生的姓名、班级、学号、班内序号等信息由教材中心统一印制。							
	考试 课程	数字逻辑与数字系统			考试时间	2017 年 1 月 11 日		
	题号	一	二	三	四	五	六	七
	满分	10	20	5	35	10	10	10
	得分							
阅卷 教师								

### 一、填空题(每空 1 分, 共 10 分)

参考答案:

1  $2^n$ ; 2 循环码; 3 6; 4  $A \oplus B$ ; 5 2KB; 6 余 3 码转 8421 码; 7 7;  
8 0100; 9 10000110; 10 0101;

### 二、选择题(每空 1 分, 共 10 分)

的描为\_\_\_\_\_。

参考答案:

1D; 2A; 3B; 4B; 5C; 6B; 7A; 8B; 9D; 10B;;

### 三、简答题(共 35 分)

#### 1. 组合逻辑、时序逻辑 (2 分)

组合逻辑内部无反馈, 无记忆功能。时序逻辑内部有反馈, 有记忆功能 (3 分)

#### 2. process ( A ) 2 分 When ( othes ) 3 分

#### 3. 当三个使能端同时有效时, 完成对地址码的译码。如地址码为 000 时, Y0 为低电平, 其余为高电平 (2 分)

RAM 的地址范围 1000H~13FFH (3 分)

4. (1) 米里型 (1分) (2) 功能: 完成对 110 序列的 jianc3 (2分)  
 (3) (7分)

LIBRARY IEEE;  
 USE IEEE.STD\_LOGIC\_1164.ALL;

ENTITY mealy IS  
 PORT ( clk , x : IN STD\_LOGIC;  
 y: OUT STD\_LOGIC );  
 END mealy;

ARCHITECTURE behv OF mealy IS  
 TYPE state IS (s0, s1, s2, s3);  
 SIGNAL current\_state, next\_state: state;  
 BEGIN  
 REG: PROCESS (clk)  
 BEGIN  
 IF (clk'EVENT and clk='1') THEN  
 current\_state <= next\_state;  
 END IF ;  
 END PROCESS; (3分)  
 COM:PROCESS (current\_state, x)  
 BEGIN  
 CASE current\_state IS  
 WHEN s0 => IF x = '0' THEN  
 next\_state <= s0;  
 y <= '0';  
 ELSE  
 next\_state <= s1;  
 y <= '0';  
 END IF;  
 WHEN s1 => IF x = '0' THEN  
 next\_state <= s0;  
 y <= '0';  
 ELSE  
 next\_state <= s2;  
 y <= '0';  
 END IF;  
 WHEN s2 => IF x = '0' THEN  
 next\_state <= s0;  
 y <= '1';  
 ELSE  
 next\_state <= s2;  
 y <= '0';  
 END IF;

END case;  
 END PROCESS;  
 END behv; (4 分)

5.

电路的状态方程和输出方程为: (4 分)

$$Q_1^{n+1} = \overline{Q_1^n}$$

$$Q_2^{n+1} = (X \oplus Q_1^n) \overline{Q_2^n} + (\overline{X} \oplus Q_1^n) Q_2^n$$

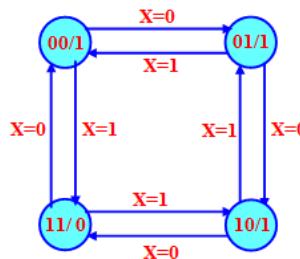
$$Z = \overline{Q_1^n} Q_2^n$$

$$J_1 = 1 \quad J_2 = X \oplus Q_1^n$$

$$K_1 = 1 \quad K_2 = X \oplus Q_1^n$$

状态图 (4 分)

Q <sub>2</sub> <sup>n</sup> Q <sub>1</sub> <sup>n</sup>	Q <sub>2</sub> <sup>n+1</sup> Q <sub>1</sub> <sup>n+1</sup> / Z	
	X=0	X=1
0 0	01 / 1	11 / 1
0 1	10 / 1	00 / 1
1 0	10 / 1	00 / 1
1 1	00 / 0	10 / 0



该电路是 **Moore** 型电路。

功能 (2 分)

当 X=0 时, 电路为模 4 加法计数器;

当 X=1 时, 电路为模 4 减法计数器

五、

1. 特快 A, 直快 B 和慢车 C, 开车信号分别为 FA, FB, FC (2 分)

A B C	FA FB FC	A B C	FA FB FC
0 0 0	0 0 0	1 0 0	1 0 0
0 0 1	0 0 1	1 0 1	1 0 0
0 1 0	0 1 0	1 1 0	1 0 0
0 1 1	0 1 0	1 1 1	1 0 0

2. 真值表 (4 分)

3.

由真值表化简可得： (3分)

$$FA = \overline{ABC} + \overline{ABC} + ABC = A = \overline{\overline{A} \cdot \overline{A}}$$

$$FB = \overline{ABC} + \overline{ABC} = \overline{AB} = \overline{\overline{AB}}$$

$$FC = \overline{\overline{ABC}} = \overline{\overline{\overline{ABC}}}$$

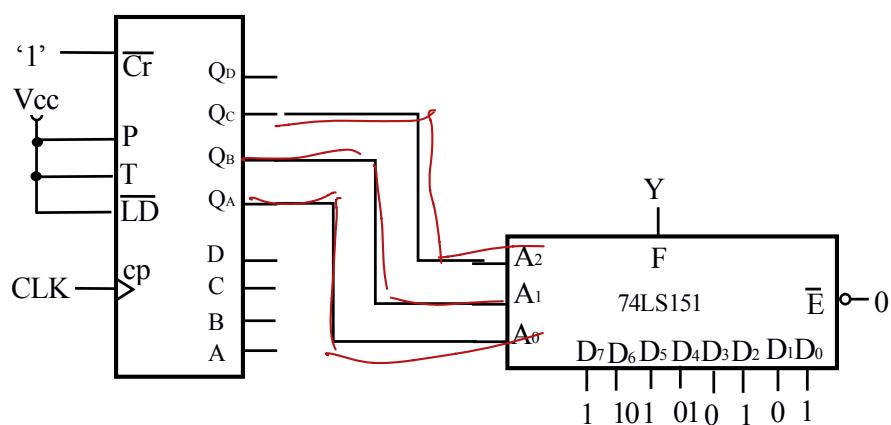
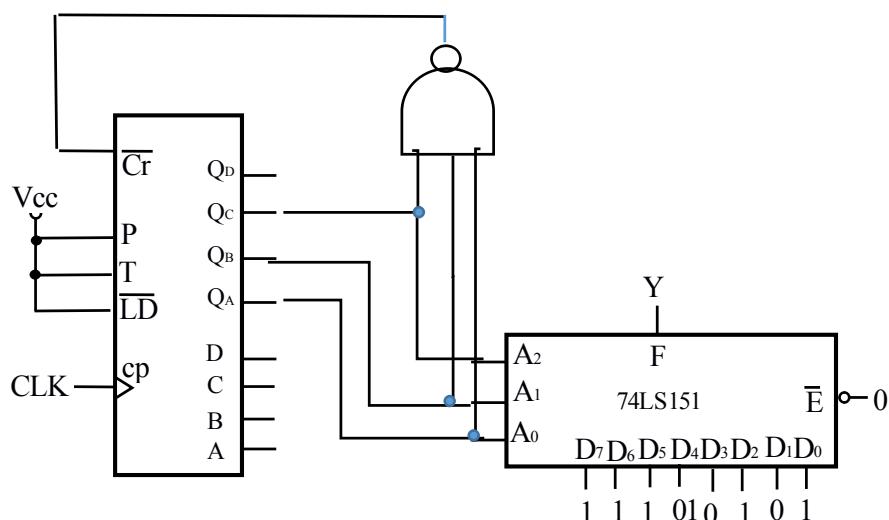
与非门实现电路图略。 (1分)

六、

$$1. \quad Y = \overline{A_2} \overline{A_1} \overline{A_0} D_0 + \overline{A_2} \overline{A_1} A_0 D_1 + \cdots + A_2 A_1 A_0 D_7 \quad (2 \text{ 分})$$

2. 设计 8 进制计数器，其计数状态应为 000-001-010-011-100-101-110-111，或直接用 16 进制计数器的低三位直接接数据选择器的地址端（4 分）。

连线 (4分)



七、

- 1、三态门 (1分)
- 2、ASM图 (2分)
- 4 控制命令 (2分)

$$CAP = \overline{Q_1^n} \overline{Q_0^n}$$

$$LDC = \overline{Q_1^n} Q_0^n$$

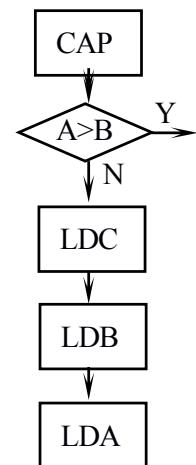
$$LDB = Q_1^n \overline{Q_0^n}$$

$$CAP = Q_1^n Q_0^n$$

\* 状态转移表 (2分) (不联扣)

\* 译码表达式 (2分)

\* 电路图 (1分)



PS $Q_1^n Q_0^n$	NS $Q_1^{n+1} Q_0^{n+1}$	转移条件
S0 00	0 1	$\overline{A} > B$
S1 01	1 0	$A > B$
S2 10	1 1	
S3 11		

$$Q_1^{n+1} = \overline{Q_1^n} \overline{Q_0^n} + Q_1^n Q_0^n = D1$$

$$Q_0^{n+1} = \overline{Q_1^n} Q_0^n \overline{A > B} + Q_1^n \overline{Q_0^n} = D0$$