

HW4

4.12

习题 4.12

本习题讨论流水线对处理器时钟周期的影响。表中给出了数据通路中不同阶段延迟的两种情况，试根据这两种情况分别回答下列问题。

	IF	ID	EX	MEM	WB
a.	300 ps	400 ps	350 ps	500 ps	100 ps
b.	200 ps	150 ps	120 ps	190 ps	140 ps

- 4.12.1 [5] <4.5> 流水线处理器与非流水线处理器的时钟周期分别是多少？
- 4.12.2 [10] <4.5> lw 指令在流水线处理器和非流水线处理器中的总延迟分别是多少？
- 4.12.3 [10] <4.5> 如果可以将原流水线数据通路的一级划分为两级，每级的延迟是原级的一半，那么你会选择哪一级进行划分？划分后处理器的时钟周期为多少？
- 假设处理器执行的指令比例如下表两种情况所示，试根据每种情况分别回答下列问题。

	ALU	beq	lw	sw
a.	50%	25%	15%	10%
b.	30%	25%	30%	15%

- 4.12.4 [10] <4.5> 假设没有阻塞和冒险，数据存储器的利用率是多少（占总周期数的百分比）？
- 4.12.5 [10] <4.5> 假设没有阻塞和冒险，寄存器堆的写寄存器端口的利用率是多少？
- 4.12.6 [30] <4.5> 假设一种多周期的处理器设计，其中每条指令需要多个时钟周期完成，但上一条指令完成前不取下一条指令。在这种设计中，指令仅经过其所需的阶段（例如，存储指令仅需 4 个时钟周期，因为其不需要 WB 阶段）。比较单周期设计、多周期设计和流水线设计三者的时钟周期和总执行时间。

4.13

习题 4.13

本习题讨论数据相关如何影响 4.5 节中基本五级流水线的运行。试根据下表的两种指令序列情况分别回答下列问题。

	指令序列		指令序列
a.	lw \$1, 40(\$6) add \$6, \$2, \$2 sw \$6, 50(\$1)	b.	lw \$5, -16(\$5) sw \$5, -16(\$5) add \$5, \$5, \$5

4.13.1 [10] <4.5> 指出指令序列中存在的相关及其类型。

4.13.2 [10] <4.5> 假设该流水线处理器没有转发，指出指令序列中存在的冒险并加入 nop 指令以消除冒险。

4.13.3 [10] <4.5> 假设该流水线处理器中有充分的转发。指出指令序列中存在的冒险并加入 nop 指令以消除冒险。

根据下表的两种时钟周期情况，分别回答下列问题。

	无转发	充分的转发	仅 ALU 至 ALU 的转发
a.	300 ps	400 ps	360 ps
b.	200 ps	250 ps	220 ps

4.13.4 [10] <4.5> 该指令序列在无转发和有充分的转发时总执行时间分别是多少？后者相对于前者的加

速比是多少？

4.13.5 [10] <4.5> 如果仅有 ALU 至 ALU 的转发（没有从 MEM 到 EX 的转发），如何加入 nop 指令以消除可能的冒险？

4.13.6 [10] <4.5> 该指令序列在仅有 ALU 至 ALU 的转发时总执行时间分别是多少？与无转发的情况相比，加速比是多少？

4.16

习题 4.16

试根据表中的两条 MIPS 指令分别回答下列问题。

	指令
a.	lw \$1,40(\$6)
b.	add \$5,\$5,\$5

4.16.1 [5] <4.6> 指令执行时，两级流水线之间的寄存器中的内容是什么？

4.16.2 [5] <4.6> 哪些寄存器是需要读的？实际上读了哪些寄存器？

4.16.3 [5] <4.6> 这条指令在 EX 级和 MEM 级分别做了什么？

根据下表的两个循环分别回答下列问题。假设分支被完美地预测（没有因控制冒险导致的阻塞），没有延迟时间槽，而且流水线有完全的转发支持，并且循环在退出前运行了很多次。

	循环		循环
a.	Loop: lw \$1,40(\$6) add \$5,\$5,\$8 add \$6,\$6,\$8 sw \$1,20(\$5) beq \$1,\$0,Loop	b.	Loop: add \$1,\$2,\$3 sw \$0,0(\$1) sw \$0,4(\$1) add \$2,\$2,\$4 beq \$2,\$0,Loop

4.16.4 [10] <4.6> 画出循环第三次执行的流水线图，从取出循环的首条指令开始至取出下次循环的首条指令结束。给出这段时间内流水线中的所有指令。

4.16.5 [10] <4.6> 在这段时间内有百分之多少五级流水线都在做有用的工作？

4.16.6 [10] <4.6> 在第三次循环的首条指令被取指时，IF/ID 寄存器中的内容是什么？

4.18

习题 4.18

下表给出了流水线（参见图 4-51）中执行的指令、时钟周期、ALU 延迟和 Mux 延迟的两种情况。试根据表中两种情况分别回答下列问题。

	指令	时钟周期	ALU 延迟	多路器延迟
a.	add \$1, \$2, \$3	100 ps	80 ps	10 ps
b.	slt \$2, \$1, \$3	80 ps	50 ps	20 ps

4.18.1 [10] <4.6> 每个流水级的控制信号值是多少？

4.18.2 [10] <4.6, 4.7> 控制单元需要在多长时间内产生控制信号 ALUSrc？与单周期实现进行比较。

4.18.3 对这条指令而言，PCSrc 控制信号的值应是多少？这个信号在 MEM 级中产生（仅使用了一个与门），为什么不在 EX 级才产生这个信号？

下表给出两个信号的两种情况，试根据每种情况分别回答下列问题。

	信号 1	信号 2
a.	RegDst	RegWrite
b.	MemRead	RegWrite

4.18.4 [5] <4.6> 这两个控制信号分别是在哪个流水级生成，又在哪个流水级使用的？

4.18.5 [5] <4.6> 对哪些 MIPS 指令，这两个信号都设置为 1？

4.18.6 [10] <4.6> 这两个信号中哪一个沿流水线反向传输？这是一个时间旅行悖论吗？为什么？

4.20.1-2

习题 4.20

试根据下表的两个指令序列分别回答下列问题。

	指令序列		指令序列
a.	lw \$1, 40(\$2) add \$2, \$3, \$3 add \$1, \$1, \$2 sw \$1, 20(\$2)	b.	add \$1, \$2, \$3 sw \$2, 0(\$1) lw \$1, 4(\$2) add \$2, \$2, \$1

4.20.1 [5] <4.7> 找出指令序列中的数据相关。

4.20.2 [10] <4.7> 分别对有转发和无转发的五级流水线找出指令序列中的冒险。

4.21.1

习题 4.21

本习题讨论转发、冒险检测和指令集设计之间的关系。分别根据下表的两个指令序列回答下列问题。假设其在一个五级流水线上执行。

	指令序列		指令序列
a.	lw \$1, 40(\$6)	b.	add \$1, \$5, \$3
	add \$2, \$3, \$1		sw \$1, 0(\$2)
	add \$1, \$6, \$4		lw \$1, 4(\$2)
	sw \$2, 20(\$4)		add \$5, \$5, \$1
	and \$1, \$1, \$4		sw \$1, 0(\$2)

4.21.1 [5] <4.7> 如果没有转发或冒险检测电路, 请插入 nop 指令以保证正确执行。