



FACULTAD DE INGENIERÍA

DEPARTAMENTO DE ELECTRÓNICA

TESIS DE INGENIERÍA ELECTRÓNICA

Diseño de un Circuito Integrado CMOS para Identificación por Radiofrecuencia basado en el Estándar ISO-14443

Tesista

Fabrizio P. Alcalde Bessia

Padrón Nº86296

f@lcald.com.ar

Director

Dr. Ing. José Lipovetzky

jlipove@fi.uba.ar

Co-Director

Ing. Octavio Alpago

oalpago@fi.uba.ar

AGOSTO, 2014

Agradecimientos

Agradezco a José por haberme dado la oportunidad de realizar este trabajo, que surgió de un interés personal.

También agradezco Diego M. por haber puesto en marcha el servidor con las herramientas que cómodamente pude usar desde mi casa y por haberme ayudado desde su experiencia con el trabajo.

Debo agradecer también a Allegro Microsystems, en especial a Patricio P. Preiti y Julio Raiponeri, por haberme dejado utilizar los elementos del laboratorio. También a MOSIS, Mentor Graphics y Synopsys, por sus respectivos programas estudiantiles que hicieron posible la realización de este trabajo.

Finalmente agradezco a mis compañeros y amigos que me ayudaron e hicieron más amenos todos estos años de estudio y sobretodo agradezco a mi familia por haber hecho de soporte todo este tiempo.

Resumen

En el presente trabajo se comenzará realizando una breve introducción a los sistemas de identificación por radiofrecuencia. Luego se analizará detalladamente el estándar ISO/IEC 14443, enfocando el estudio a la interfaz de comunicación tipo A. A continuación se presentará el diseño de un circuito integrado que cumplirá el rol de *transponder* y que será implementado en un proceso CMOS estándar de 0,5 μm .

Para el diseño del circuito integrado se comenzará por analizar en profundidad el vínculo existente entre lector y transponder, lo que permitirá entender el proceso de traspaso de energía e información y se verán las distintas implementaciones posibles. Luego se desarrollará un modelo basado en la extracción de parámetros de la estructura física de las antenas, que permitirá verificar los resultados analíticos y realizar simulaciones mediante SPICE de los circuitos, estando éstos conectados a un modelo realista de la antena.

El circuito integrado contará con diseño analógico y digital, este último sintetizado a partir de código RTL. Se tratará entonces de un dispositivo de señal mixta por lo que se deberán compatibilizar ambos dominios. Se mostrará el diseño digital junto con su verificación funcional a nivel de compuerta y el diseño analógico con las simulaciones realizadas.

Finalmente se cerrará el trabajo con los detalles de la implementación del dispositivo en el proceso de fabricación CMOS y la verificación de su funcionamiento.

Índice general

1. Introducción a RFID	1
1.1. Identificación por radiofrecuencia	1
1.2. Clasificación de los sistemas de RFID	2
1.3. Estandarización de los sistemas de RFID	4
1.3.1. ISO/IEC 14443 – Parte 1: Características físicas . . .	5
1.3.2. ISO/IEC 14443 – Parte 2: Interfaz de radiofrecuencia para señal y energía	5
1.3.3. ISO/IEC 14443 – Parte 3: Inicialización y anticolisión	10
1.4. Resumen del capítulo	15
2. Diseño del transponder de RFID	17
2.1. Objetivos del diseño	17
2.2. Descripción general del funcionamiento	18
2.3. Implementación	20
3. Acoplamiento Inductivo	23
3.1. Transmisión de la energía	23
3.2. Transmisión por modulación de carga	29
3.3. Modelo de SPICE del arreglo de antenas	32
3.4. Resultados del análisis	33
4. Diseño digital	35
4.1. Arquitectura	36
4.2. Recepción de datos	37
4.2.1. Módulo Bit Decoder	38
4.2.2. Módulo Frame Receiver	40
4.3. Transmisión de Datos	42
4.3.1. Módulo Frame Sender	44
4.3.2. Módulo Bit Coder	46
4.4. Verificación funcional	47
4.4.1. Eco de un byte	48
4.5. Implementación: Síntesis y <i>Place&Route</i>	49

5. Diseño Analógico	53
5.1. Acondicionamiento y uso de la energía	53
5.1.1. Regulador/Limitador de tensión	54
5.1.2. Rectificador + Filtro	60
5.2. Transmisión y recepción de datos	63
5.2.1. Detector de Pausas	63
5.2.2. Modulador	66
5.3. Generador de reloj	67
5.4. <i>Power-On Reset</i> (POR)	69
6. Implementación, Evaluación y Resultados	73
6.1. <i>Layout</i> Completo del Circuito Integrado	73
6.2. Método de Verificación	76
6.3. Resultados	78
6.3.1. Recepción de datos	79
6.3.2. Transmisión de Datos	82
6.3.3. Regulador/Limitador de tensión	83
6.3.4. Verificación del funcionamiento completo	84
7. Conclusiones	87
Bibliografía	91

Capítulo 7

Conclusiones

A lo largo del trabajo se dio un panorama general del tema de identificación por radiofrecuencia, en particular se estudió el estándar ISO/IEC 14443, en su versión de comunicación tipo A; se analizó en detalle la interfaz inductiva de transmisión de datos y energía, y se diseñó e implementó en silicio un circuito integrado que permite enviar y recibir datos según lo indica la norma y que se alimenta directamente de la señal de radiofrecuencia captada por la antena.

El estándar ISO/IEC 14443-A define una comunicación dentro de todo simple que es utilizada por una gran cantidad de dispositivos comerciales. Para el conjunto de los dispositivos pasivos, que toman su alimentación de la portadora enviada por el lector, el hecho de que el mismo lector produzca pausas en la señal para enviar información es un tema que complica el diseño, ya que se debe contemplar una falta de energía al mismo tiempo que se recibe información. Existen otras formas de transmisión que no dejarían a los transponders sin energía, como por ejemplo una modulación de amplitud del 10 %, como se define en la versión B de la misma norma. Sin embargo, como se mostró a lo largo del trabajo una modulación ASK 100 % es muy fácil de demodular y además es posible almacenar energía para utilizar en las pausas y al mismo tiempo reducir el consumo cuando se está en una de ellas.

En cuanto al acoplamiento inductivo, en el capítulo 3 se realizó un análisis en profundidad del vínculo existente entre lector y transponder. Mediante un modelo simple se analizó la dependencia de la tensión inducida en la antena del transponder desde un punto de vista circuital. Para ello se realizó la extracción de parámetros del arreglo dado por la norma ISO/IEC 10373-6 junto con la antena que había sido utilizada en experiencias previas, lo que sirvió como punto de partida para el análisis a partir de datos concretos. Gracias al análisis se pudo diferenciar dos circuitos posibles de antena, con y sin capacidad en resonancia, y se pudo decidir uno por sobre el otro.

La transmisión de datos por modulación de carga se analizó también desde el punto de vista circuital, utilizando para ello el arreglo de antenas para la

medición de la amplitud de modulación dado por el estándar. El requisito era obtener una cierta amplitud de modulación a la salida del arreglo, por lo tanto se desarrolló un modelo del mismo que incluyó la extracción de los coeficientes de acoplamiento, inductancias y resistencias de la estructura. Gracias a ese modelo se pudo observar la amplitud de modulación obtenida variando diferentes tipos de carga y luego decidir el uso de modulación capacitiva.

El diseño de la antena del transponder resultó adecuado para su uso, sin embargo no está optimizada su forma para obtener el mayor factor de acoplamiento posible. Para ello hubiese sido una buena idea utilizar alguna herramienta de cálculo de campos tridimensionales por elementos finitos, de forma tal de poder mejorar el flujo concatenado.

En cuanto al sistema digital, gracias a las celdas estándar desarrolladas por la *Oklahoma State University* se pudo describir el diseño en RTL y sintetizarlo e implementarlo con las herramientas de *Synopsys Inc.* Sin embargo, el hecho de ser un dispositivo de señal mixta trajo algunas complicaciones en el manejo de las herramientas, que no son del todo compatibles.

Uno de los puntos cruciales en el diseño fue la recepción de información a través del muestreo de la señal **pause**. La dificultad residía en que al recibir una pausa esta debía ser muestreada, sin embargo en ese instante el reloj del sistema digital se encontraba congelado y por lo tanto todo el sistema digital estaba inactivo. Este problema se resolvió exitosamente mediante el agregado de un pequeño circuito asincrónico que retenía la señal **pause** hasta que esta pudiese ser leída al retornar la portadora y comenzar a oscilar nuevamente el reloj.

La transmisión y recepción de las tramas con información también resultaron exitosas. Se pudieron enviar y recibir los 256 bytes posibles utilizando el conexionado de eco y de esta forma comprobar el funcionamiento del sistema completo de forma independiente. Las interfaces de entrada y salida digitales, para enviar y recibir datos, resultaron muy convenientes por estar diseñadas de forma simétrica, para ser conectadas directamente una con la otra.

La verificación del funcionamiento de los bloques digitales llevó una gran parte del trabajo realizado. Todos los módulos fueron probados por separado y luego se desarrollaron una serie de *tasks* que permitieron enviar tramas completas a todo el conjunto. La recepción de datos fue verificada de forma automática a través de un *testbench* autocontenido. Por otra parte, la verificación de la transmisión de datos fue realizada manualmente, analizando el diagrama temporal de las entradas y salidas. Completar el *testbench* para hacerlo totalmente automatizado puede ser un gran avance para desarrollos futuros.

En cuanto al diseño analógico, el regulador/limitador de tensión funcionó, en principio, correctamente. En las mediciones realizadas se sabe que el nivel de campo es alto debido a la amplitud de la tensión inducida, sin embargo

no se sabe exactamente cuál es su valor. Tampoco fue posible verificar el funcionamiento del regulador/limitador con el campo máximo dado por la norma debido a la dificultad de lograr un campo magnético de esa magnitud y frecuencia. Sin embargo las mediciones realizadas sirvieron para comprobar aunque sea que el circuito está operativo.

Para alimentar los distintos bloques del circuito integrado se utilizó la tensión rectificada por un rectificador de onda completa y filtrada por un capacitor MOS de gran valor trabajando en acumulación. La capacidad obtenida permitió superar las pausas sin inconvenientes, gracias también a que el consumo del bloque digital en esos instantes fue despreciable. La reducción del consumo se logró generando la señal de reloj a partir de la misma portadora. De esta forma al arribar una pausa el sistema digital quedaba congelado, pero su consumo se reducía drásticamente.

La inicialización del sistema digital a través del bloque *Power-on Reset* funcionó correctamente, así como también el detector de pausas y el bloque modulador de carga.

Finalmente los resultados del dispositivo funcionando en modo eco, y respondiendo a los 256 bytes posibles fueron todo un éxito. Luego de esa prueba satisfactoria puede decirse que se tiene un transponder capaz de *obtener su energía del campo magnético generado por el lector, detectar y decodificar los símbolos recibidos e identificar los datos dentro de las tramas*. Además, es capaz de *encapsular datos en una trama estándar, codificar los bits, modularlos con la subportadora, para luego enviarlos hacia el lector mediante modulación de carga*.

La descripción y los resultados del trabajo fueron publicados en el *Congreso Argentino de Micro-nano-electrónica Tecnología y Aplicaciones* (EAMTA) 2014. El trabajo fue aceptado para ser publicado en *IEEE Xplore* con número ISBN.

En cuanto a trabajos futuros, en principio la construcción de un lector que sea capaz de generar el campo máximo indicado en la norma sería un gran desafío. Por otro lado, se podría hacer un análisis más detallado de la antena, optimizando su diseño y dimensiones para mejorar el coeficiente de acoplamiento con el lector. Sino, otro trabajo interesante sería implementar el protocolo anti-colisión, el estándar completo, o bien desarrollar algún tipo de sensor con comunicación ISO/IEC 14443-A. Cabe destacar que el trabajo aquí desarrollado puede utilizarse como bloque IP (*intellectual property*) para el desarrollo de numerosos dispositivos que utilicen como medio de comunicación la interfaz definida por el estándar. Puede tratarse de sensores autónomos, tarjetas de identificación o cualquier tipo de elemento que deba devolver su información cuando el lector la requiera.

Bibliografía

- [1] *Design Compiler Graphical*. <http://www.synopsys.com/Tools/Implementation/RTLSynthesis/DCGraphical/Pages/default.aspx>.
- [2] *DIP40 from Kyocera*. <http://www.mosis.com/pages/Technical/Packaging/Ceramic/menu-pkg-ceramic>.
- [3] *GNU Octave Web Page*. <https://www.gnu.org/software/octave/>.
- [4] *GTKwave Web Page*. <http://gtkwave.sourceforge.net/>.
- [5] *IC Compiler Place and Route System*. <http://www.synopsys.com/Tools/Implementation/PhysicalImplementation/Pages/ICCompiler.aspx>.
- [6] *Icarus Verilog Web Page*. <http://iverilog.icarus.com/>.
- [7] *LTSpice*. <http://en.wikipedia.org/wiki/LTspice>.
- [8] *Mentor Graphics IC Design*. http://www.mentor.com/products/ic_nanometer_design/custom-ic-design/.
- [9] *MOSIS Integrated Circuit Fabrication Service*. <http://www.mosis.com/>.
- [10] *Oklahoma State University System on Chip Design Flows*. http://vlsiarch.ecen.okstate.edu/?page_id=12.
- [11] *Identification cards — Test methods — Part 6: Proximity cards*, 2000.
- [12] *Identification cards — Physical characteristics*, 2003.
- [13] *IEEE Standard for Verilog Hardware Description Language*. IEEE Std 1364-2005 (Revision of IEEE Std 1364-2001), páginas 1–560, 2006.
- [14] *Identification cards - Contactless integrated circuit(s) cards - Proximity cards - Part 1: Physical characteristics*, 2007.
- [15] *Identification cards - Contactless integrated circuit(s) cards - Proximity cards - Part 4: Transmission protocol*, 2007.

- [16] *Identification cards - Contactless integrated circuit(s) cards - Proximity cards - Part 3: Initialization and anticollision*, 2008.
- [17] *Identification cards - Contactless integrated circuit(s) cards - Proximity cards - Part 2: Radio frequency power and signal interface*, 2009.
- [18] Alcalde Bessia, Fabricio, Diego Fanego y Guillermo Makar: *Diseño de un TAG RFID integrado en un proceso CMOS de 0,5 μ m*. En *CASE 2012, Congreso Argentino de Sistemas Embebidos*, página 120, August 2012, ISBN 978-987-9374-82-5. <http://www.sase.com.ar/2012/congreso-argentino-de-sistemas-embebidos-case-2012/>.
- [19] Baker, Jacob: *CMOS Circuit design, layout and simulation*. Wiley-Interscience, 2005.
- [20] Finkenzeller, Klaus: *RFID Handbook*. Wiley, 3^a edición, 2010.
- [21] Gray, P., P. Hurst, S. Lewis y R. Mayer: *Analysis and design of analog integrated circuits*. John Wiley, 2001.
- [22] Gudnason, Gunnar y Erik Bruun: *CMOS circuit design for RF sensors*. Kluwer Academic Publishers, 2002.
- [23] Hastings, Alan: *The art of analog layout*. Prentice Hall, 2001.
- [24] Himanshu, Bhatnagar: *ADVANCED ASIC CHIP SYNTHESIS Using Synopsys[®] Design Compiler[™] Physical Compiler[™] and PrimeTime[®]*. KLUWER ACADEMIC PUBLISHERS, 2002.
- [25] Kamon, M., M.J. Tsuk y J.K. White: *FASTHENRY: a multipole-accelerated 3-D inductance extraction program*. Microwave Theory and Techniques, IEEE Transactions on, 42(9):1750–1758, Sept 1994, ISSN 0018-9480.
- [26] Mandolesi, P., G. San Martín y Julián P.: *RFID Front-End in 0.5 μ m Standard CMOS process: Experimental results*. En *Proceedings of the Argentine School of Micro-Nanoelectronics, Technology and Applications 2008*, 2008.
- [27] Marechal, Catherine y Dominique Paret: *Optimization of the law of variation of shunt regulator impedance for Proximity Contactless Smart Card Applications to reduce the loading effect*. Informe técnico, Laboratoire LRIT – ESIGETEL.
- [28] Zhu, Zheng, Ben Jamali y Peter H. Cole: *Brief Comparison of Different Rectifier Structures for RFID Transponders*. Informe técnico, Auto-ID lab at University of Adelaide.