



FACULTAD DE INGENIERÍA

DEPARTAMENTO DE ELECTRÓNICA

TESIS DE INGENIERÍA ELECTRÓNICA

Diseño de un Circuito Integrado CMOS para Identificación por Radiofrecuencia basado en el Estándar ISO-14443

Tesista

Fabrizio P. Alcalde Bessia

Padrón N°86296

f@lcald.com.ar

Director

Dr. Ing. José Lipovetzky

jlipove@fi.uba.ar

Co-Director

Ing. Octavio Alpago

oalpago@fi.uba.ar

AGOSTO, 2014

Agradecimientos

Agradezco a José por haberme dado la oportunidad de realizar este trabajo, que surgió de un interés personal.

También agradezco Diego M. por haber puesto en marcha el servidor con las herramientas que cómodamente pude usar desde mi casa y por haberme ayudado desde su experiencia con el trabajo.

Debo agradecer también a Allegro Microsystems, en especial a Patricio P. Preiti y Julio Raiponeri, por haberme dejado utilizar los elementos del laboratorio. También a MOSIS, Mentor Graphics y Synopsys, por sus respectivos programas estudiantiles que hicieron posible la realización de este trabajo.

Finalmente agradezco a mis compañeros y amigos que me ayudaron e hicieron más amenos todos estos años de estudio y sobretodo agradezco a mi familia por haber hecho de soporte todo este tiempo.

Resumen

En el presente trabajo se comenzará realizando una breve introducción a los sistemas de identificación por radiofrecuencia. Luego se analizará detalladamente el estándar ISO/IEC 14443, enfocando el estudio a la interfaz de comunicación tipo A. A continuación se presentará el diseño de un circuito integrado que cumplirá el rol de *transponder* y que será implementado en un proceso CMOS estándar de 0,5 μm .

Para el diseño del circuito integrado se comenzará por analizar en profundidad el vínculo existente entre lector y transponder, lo que permitirá entender el proceso de traspaso de energía e información y se verán las distintas implementaciones posibles. Luego se desarrollará un modelo basado en la extracción de parámetros de la estructura física de las antenas, que permitirá verificar los resultados analíticos y realizar simulaciones mediante SPICE de los circuitos, estando éstos conectados a un modelo realista de la antena.

El circuito integrado contará con diseño analógico y digital, este último sintetizado a partir de código RTL. Se tratará entonces de un dispositivo de señal mixta por lo que se deberán compatibilizar ambos dominios. Se mostrará el diseño digital junto con su verificación funcional a nivel de compuerta y el diseño analógico con las simulaciones realizadas.

Finalmente se cerrará el trabajo con los detalles de la implementación del dispositivo en el proceso de fabricación CMOS y la verificación de su funcionamiento.

Índice general

1. Introducción a RFID	1
1.1. Identificación por radiofrecuencia	1
1.2. Clasificación de los sistemas de RFID	2
1.3. Estandarización de los sistemas de RFID	4
1.3.1. ISO/IEC 14443 – Parte 1: Características físicas . . .	5
1.3.2. ISO/IEC 14443 – Parte 2: Interfaz de radiofrecuencia para señal y energía	5
1.3.3. ISO/IEC 14443 – Parte 3: Inicialización y anticolisión	10
1.4. Resumen del capítulo	15
2. Diseño del transponder de RFID	17
2.1. Objetivos del diseño	17
2.2. Descripción general del funcionamiento	18
2.3. Implementación	20
3. Acoplamiento Inductivo	23
3.1. Transmisión de la energía	23
3.2. Transmisión por modulación de carga	29
3.3. Modelo de SPICE del arreglo de antenas	32
3.4. Resultados del análisis	33
4. Diseño digital	35
4.1. Arquitectura	36
4.2. Recepción de datos	37
4.2.1. Módulo Bit Decoder	38
4.2.2. Módulo Frame Receiver	40
4.3. Transmisión de Datos	42
4.3.1. Módulo Frame Sender	44
4.3.2. Módulo Bit Coder	46
4.4. Verificación funcional	47
4.4.1. Eco de un byte	48
4.5. Implementación: Síntesis y <i>Place&Route</i>	49

5. Diseño Analógico	53
5.1. Acondicionamiento y uso de la energía	53
5.1.1. Regulador/Limitador de tensión	54
5.1.2. Rectificador + Filtro	60
5.2. Transmisión y recepción de datos	63
5.2.1. Detector de Pausas	63
5.2.2. Modulador	66
5.3. Generador de reloj	67
5.4. <i>Power-On Reset</i> (POR)	69
6. Implementación, Evaluación y Resultados	73
6.1. <i>Layout</i> Completo del Circuito Integrado	73
6.2. Método de Verificación	76
6.3. Resultados	78
6.3.1. Recepción de datos	79
6.3.2. Transmisión de Datos	82
6.3.3. Regulador/Limitador de tensión	83
6.3.4. Verificación del funcionamiento completo	84
7. Conclusiones	87
Bibliografía	91

Capítulo 2

Diseño del transponder de RFID

En este capítulo se verán los objetivos del diseño del dispositivo, cuales son sus alcances y se mencionarán los puntos clave a la hora de obtener un dispositivo funcional. Luego se verá un panorama general del funcionamiento a través de un diagrama en bloques y se finalizará el capítulo dando detalles acerca de la implementación, como por ejemplo el proceso de fabricación y sus características principales.

2.1. Objetivos del diseño

En este trabajo el diseño del circuito integrado está orientado a obtener un prototipo de un *tag* de RFID tratando de dejar de lado los detalles que no hacen a la implementación del protocolo y teniendo en mente la posibilidad de ampliar su funcionalidad a través de un microcontrolador o FPGA externo. Por este motivo se decidió implementar solo la parte física del protocolo, es decir, la recepción, transmisión y reconocimiento de la información, así como también la obtención de la energía; dejando la implementación de la lógica del protocolo —el algoritmo anti-colisión, el armado de paquetes, etc.— para trabajos posteriores. El bloque diseñado puede ser en futuros diseños usado como bloque de propiedad intelectual (IP) formando parte de un *tag* completo.

Por el lado de la transmisión y recepción de información se le dio mayor importancia al reconocimiento de los bits y las tramas y a la codificación y envío de los datos, ya que éstas son las unidades básicas descritas en las partes dos y tres de la norma, y a partir de ellas puede construirse toda la lógica del protocolo anti-colisión y los paquetes de nivel superior de la cuarta parte del estándar.

Por el lado de la energía el objetivo principal del diseño es lograr alimentar los circuitos digitales con la señal de RF captada por la antena y en lo posible

no utilizar elementos externos (como por ej. capacitores para el filtrado y mantenimiento de la tensión de alimentación). El mayor desafío en este sentido es mantener a los circuitos digitales alimentados mientras se recibe información del lector, ya que en esos momentos se producen las pausas en la señal de RF y por lo tanto no se recibe energía.

Durante el diseño no se tendrán en cuenta las posibles variaciones de temperatura, ya que lo que se trata de obtener es un prototipo para realizar pruebas de laboratorio y no para desempeñarse en un ambiente productivo. Tampoco se tendrán en cuenta los parámetros estadísticos del proceso — además de no contar con ellos — pero sí se realizarán simulaciones con los modelos de los extremos estadísticos (*corner parameters*).

2.2. Descripción general del funcionamiento

En la figura 2.1 se observa el diagrama en bloques del circuito integrado. La señal de RF es recibida por la antena, que forma el bloque llamado «Interfaz Inductiva», e ingresa directamente al chip, sirviendo de señal de entrada para varios bloques.

El bloque «Regulador/Limitador de tensión» es el encargado de mantener la tensión en la entrada del chip, donde se encuentra conectada la antena, por debajo de la tensión máxima del proceso CMOS y de esta forma evitar que se deterioren los gates de los transistores conectados a esa entrada. Como se verá más adelante, la amplitud de la tensión en la antena depende de varios factores, entre ellos el coeficiente de acoplamiento, el consumo del chip y la intensidad de campo magnético. Como se mostró en la tabla 1.1, la intensidad de campo magnético está acotada por el estándar al rango de 1,5 A/m a 7,5 A/m. El circuito integrado debe funcionar sin inconvenientes dentro de este amplio rango de intensidades, lo que hace necesario el agregado del bloque regulador de tensión. Como se verá en detalle más adelante, este bloque controla la tensión inducida variando la carga vista por la antena.

El bloque «Rectificador + Filtro» es el encargado de alimentar los circuitos digitales y demás bloques analógicos, y lo hace rectificando la onda senoidal recibida en la antena y luego filtrándola a través de un capacitor de gran capacidad. Este capacitor debe ser tal que conserve la carga durante el tiempo de duración de las pausas en la señal de RF, y de esta forma evitar que el estado de los circuitos digitales se vea alterado durante ese intervalo.

El «Detector de Pausas» se encarga de traducir las pausas en la señal de RF a los niveles lógicos del bloque digital, para que este último pueda usar como entrada de datos. No es más que un detector de envolvente seguido de una serie de inversores que se cambian de estado para indicar que se está en una pausa.

El bloque «Generador de Reloj» recibe la señal de RF y a partir de ella produce una señal cuadrada de la misma frecuencia. Luego la señal cuadrada

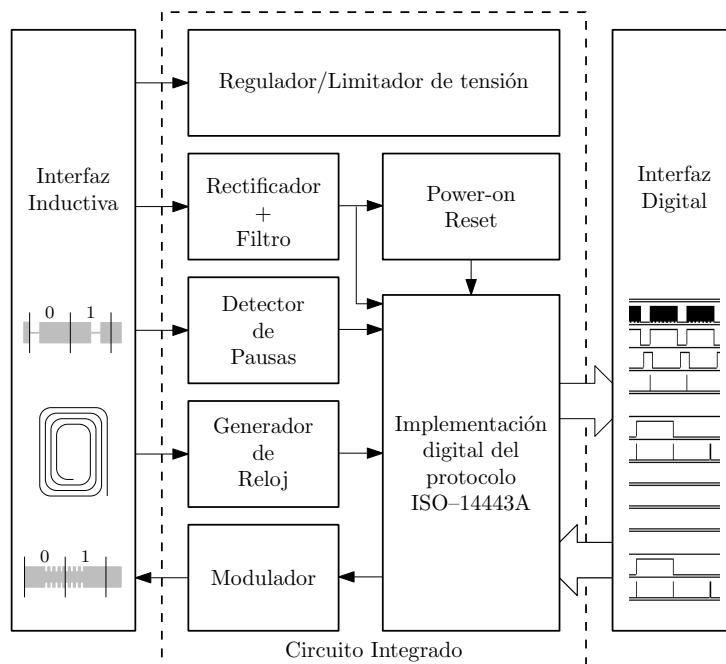


Figura 2.1: Diagrama en bloques del circuito integrado y sus interfaces.

será utilizada por los circuitos digitales como reloj. Es muy importante que no se produzcan *glitches*, sobre todo al comenzar y finalizar las pausas de RF, ya que esto podría desincronizar los registros del bloque digital. También es importante desde el punto de vista del consumo que los flancos sean de corta duración para reducir la potencia dinámica consumida.

El «Modulador» realiza el proceso de modulación de carga para transmitir información hacia el lector. Se trata de un modulador capacitivo, ya que conecta un par de capacitores directamente a la entrada de la antena, lo que incrementa la carga vista por la misma y posibilita el envío de datos. Este bloque no realiza la codificación de la información, ni la modulación con subportadora, ya que estos procesos fueron resueltos digitalmente.

En el bloque digital se implementa la codificación y decodificación de los bits y el reconocimiento y armado de las tramas. La información es recibida a través de la modulación de amplitud de la señal de RF y el «Detector de Pausas» es el encargado de traducir esta modulación a una señal digital de unos y ceros lógicos. El bloque digital toma muestras de esta señal y de esta forma decodifica los bits recibidos. Ahora bien, como se vio en la descripción de la tercera parte del estándar (sección 1.3.3), cada trama recibida está compuesta por un bit de «Inicio», dependiendo del tipo de trama puede existir uno de paridad, y finalmente un bit de «Fin» de comunicación. Estas marcas son detectadas por el bloque digital, interpretadas y separadas de la información útil, que es presentada por el bloque «Interfaz Digital» al

exterior del circuito integrado. Cabe destacar que el sistema digital interpreta cualquier tipo de trama, de cualquier largo, siempre y cuando respete la estructura del estándar. Además, desde el momento en que se recibe el bit de «Fin» de comunicación, se dispara un contador que controla el *Frame Delay Time* (FDT) e inhibe la transmisión de datos hasta que se cumpla el tiempo dictaminado por la norma.

Para la transmisión desde la PICC hacia el PCD el bloque digital cuenta con una entrada de datos a través de la «Interfaz Digital» que permite realizar una carga tipo *shit register* —es decir, los bits se cargan en forma secuencial, de a uno por vez— y una señal de comando que indica el inicio de la transmisión. A través de esta interfaz es posible enviar de uno a ocho bits de datos. El bloque digital se encarga de respetar el FDT e iniciar la transmisión una vez concluido éste, y por otro lado agrega los bits de inicio, paridad y fin de comunicación. Además realiza la modulación de los bits con la subportadora descrita en la sección 1.3.2.

Para que el circuito digital comience a trabajar en un estado conocido, el bloque «Power-on Reset» se encarga de enviar la señal de reset cuando la tensión de alimentación alcanza un nivel mínimo que permite el funcionamiento del dispositivo. Para ello monitorea la tensión a la salida del bloque de rectificación y filtrado y, a través de una comparación de parámetros de transistores, mantiene la señal de reset en alto hasta que se cumple la condición de funcionamiento.

Por último, el bloque «Interfaz Digital» físicamente no es más que una serie de buffers digitales con el propósito de manejar adecuadamente las mayores capacidades del exterior del circuito integrado. Lo interesante de esta interfaz es que las señales involucradas en la recepción y transmisión de datos fueron pensadas de forma tal que pudieran conectarse entre sí. Cuando se hace esto, al recibir una trama de un byte éste se carga directamente en el registro de transmisión y es devuelto al lector en cuanto se cumple el FDT. De esta forma puede utilizarse el circuito integrado de forma autónoma como un tag RFID que realiza un eco de un byte.

2.3. Implementación

El circuito integrado fue fabricado a través de MOSIS [9] en el proceso de C5N de la empresa *ON Semiconductor*. Se trata de un proceso de fabricación CMOS estándar de $0,5\ \mu\text{m}$ de longitud de canal. El proceso cuenta con tres capas de metal con la posibilidad de superponer contactos y dos capas de polisilicio con las que pueden fabricarse capacitores PiP (*poly2 sobre poly*) de $950\ \text{aF}/\mu\text{m}^2$ y además cuenta con una máscara especial para incrementar la resistencia de la segunda capa de polisilicio, con la que pueden fabricarse resistores de alto valor. La tensión nominal de trabajo es de $5\ \text{V}$ y el área disponible para el diseño fue de $1500\ \mu\text{m} \times 750\ \mu\text{m}$.

Parámetro	W/L	Canal N	Canal P	Unidad
Mínimo	3,0/0,6			μm
V_{th}		0,80	-0,94	V
Corto	20,0/0,6			μm
V_{th}		0,69	-0,92	V
Largo	50,0/50,0			μm
V_{th}		0,71	-0,97	V
$k' (\mu_0 C_{ox}/2)$		57,4	-18,7	$\mu\text{A}/\text{V}^2$

Tabla 2.1: Parámetros de los transistores típicos en la corrida V33R. El circuito integrado fue fabricado en la corrida siguiente.

Resistencia	N+	P+	poly	poly2 (HR)	poly2	Unidad
Capa	81,7	105,1	23,0	1030	41,2	Ω/\square
Contacto	58,7	144,5	15,0		24,8	Ω

Resistencia	M1	M2	M3	Nwell	Unidad
Capa	0,09	0,09	0,05	824	Ω/\square
Contacto		0,86	0,9		Ω

Tabla 2.2: Resistencias típicas de las capas y los contactos en la corrida V33R.

El diseño analógico del transponder se realizó primero utilizando el programa para simulación de circuitos *LTSpice* [7], de *Linear Technology*, utilizando para ello los modelos de SPICE de los dispositivos brindados por MOSIS. Estos modelos son de tipo BSIM3, en su versión 3.1, y son creados a partir de mediciones realizadas sobre los dispositivos una vez que estos han sido fabricados. Algunos datos interesantes del proceso pueden verse en las tablas 2.1, 2.2 y 2.3. Los datos allí volcados corresponden a las mediciones realizadas sobre *wafers* fabricados en la corrida V33R, la anterior a la que finalmente se usó para fabricar el chip. Por lo tanto puede suponerse que los valores allí mostrados serán los típicos obtenidos en el circuito integrado, pero también deben esperarse variaciones de hasta un 20 % en los parámetros más sensibles.

El diseño digital fue codificado utilizando el lenguaje descriptor de hardware *Verilog* [13] y en principio se utilizaron herramientas libres, como *Icarus Verilog* [6] y *GTKwave* [4] para realizar la verificación funcional de cada uno de los bloques y luego de todo el conjunto. Una vez verificado su funcionamiento el diseño fue procesado con las herramientas de *Synopsys Inc.*, *DC Compiler* [1] y *IC Compiler* [5]. Con el primero se realizó la síntesis del RTL para obtener una *netlist* de compuertas digitales. Para ello se utilizó también

Capacidad	N+	P+	poly	poly2	M1	M2	M3	Nwell	Unidad
Área (substrate)	425	734	87		28	12	7	38	aF/ μm^2
Área (N+active)			2474		36	16	11		aF/ μm^2
Área (P+active)			2393						aF/ μm^2
Área (poly)				885	65	15	9		aF/ μm^2
Área (poly2)					57				aF/ μm^2
Área (metal1)						29	12		aF/ μm^2
Área (metal2)							29		aF/ μm^2
Borde (substrate)	336	234			53	34	23		aF/ μm
Borde (poly)					67	38	28		aF/ μm
Borde (metal1)						47	32		aF/ μm
Borde (metal2)							46		aF/ μm

Tabla 2.3: Capacidades típicas entre capas y/o juntas en la corrida V33R. Los valores usados en el diseño fueron resaltados.

la biblioteca de celdas estándar de la *Oklahoma State University* (OSU) [10], que cuenta con un conjunto de compuertas digitales caracterizadas para el proceso C5N. El posicionado y conexonado (*place&route*) de las celdas fue realizado con la segunda herramienta, *IC Compiler*, con la que se obtuvo el trazado físico (*layout*) final de la parte digital del transponder. El *layout* fue exportado en formato GDSII para luego ser agregado al diseño final.

Finalmente, los circuitos analógicos y el bloque digital fueron trasladados a la herramienta de *Mentor Graphics* [8] con la que se realizaron las simulaciones y el *layout* final de todo el chip. Junto con la herramienta se utilizó el kit de diseño del proceso C5N cedido por MOSIS, donde se define el set de máscaras a utilizar para el trazado del *layout* y que contiene las reglas del proceso con los tamaños y distancias mínimas entre máscaras. Además contiene una serie de dispositivos predefinidos como transistores, resistores y capacitores. El esquemático está vinculado con el *layout* de forma tal que cada uno de esos dispositivos se coloca en el *layout* según los tamaños definidos en el esquemático. A esta forma de trabajo se la llama *Schematic Driven Layout* (SDL) y fue la que se utilizó para el trazado de los dispositivos y el conexonado de los diferentes bloques.

Bibliografía

- [1] *Design Compiler Graphical*. <http://www.synopsys.com/Tools/Implementation/RTLSynthesis/DCGraphical/Pages/default.aspx>.
- [2] *DIP40 from Kyocera*. <http://www.mosis.com/pages/Technical/Packaging/Ceramic/menu-pkg-ceramic>.
- [3] *GNU Octave Web Page*. <https://www.gnu.org/software/octave/>.
- [4] *GTKwave Web Page*. <http://gtkwave.sourceforge.net/>.
- [5] *IC Compiler Place and Route System*. <http://www.synopsys.com/Tools/Implementation/PhysicalImplementation/Pages/ICCompiler.aspx>.
- [6] *Icarus Verilog Web Page*. <http://iverilog.icarus.com/>.
- [7] *LTSpice*. <http://en.wikipedia.org/wiki/LTspice>.
- [8] *Mentor Graphics IC Design*. http://www.mentor.com/products/ic_nanometer_design/custom-ic-design/.
- [9] *MOSIS Integrated Circuit Fabrication Service*. <http://www.mosis.com/>.
- [10] *Oklahoma State University System on Chip Design Flows*. http://vlsiarch.ecen.okstate.edu/?page_id=12.
- [11] *Identification cards — Test methods — Part 6: Proximity cards*, 2000.
- [12] *Identification cards — Physical characteristics*, 2003.
- [13] *IEEE Standard for Verilog Hardware Description Language*. IEEE Std 1364-2005 (Revision of IEEE Std 1364-2001), páginas 1–560, 2006.
- [14] *Identification cards - Contactless integrated circuit(s) cards - Proximity cards - Part 1: Physical characteristics*, 2007.
- [15] *Identification cards - Contactless integrated circuit(s) cards - Proximity cards - Part 4: Transmission protocol*, 2007.

- [16] *Identification cards - Contactless integrated circuit(s) cards - Proximity cards - Part 3: Initialization and anticollision*, 2008.
- [17] *Identification cards - Contactless integrated circuit(s) cards - Proximity cards - Part 2: Radio frequency power and signal interface*, 2009.
- [18] Alcalde Bessia, Fabricio, Diego Fanego y Guillermo Makar: *Diseño de un TAG RFID integrado en un proceso CMOS de 0,5 μ m*. En *CASE 2012, Congreso Argentino de Sistemas Embebidos*, página 120, August 2012, ISBN 978-987-9374-82-5. <http://www.sase.com.ar/2012/congreso-argentino-de-sistemas-embebidos-case-2012/>.
- [19] Baker, Jacob: *CMOS Circuit design, layout and simulation*. Wiley-Interscience, 2005.
- [20] Finkenzeller, Klaus: *RFID Handbook*. Wiley, 3^a edición, 2010.
- [21] Gray, P., P. Hurst, S. Lewis y R. Mayer: *Analysis and design of analog integrated circuits*. John Wiley, 2001.
- [22] Gudnason, Gunnar y Erik Bruun: *CMOS circuit design for RF sensors*. Kluwer Academic Publishers, 2002.
- [23] Hastings, Alan: *The art of analog layout*. Prentice Hall, 2001.
- [24] Himanshu, Bhatnagar: *ADVANCED ASIC CHIP SYNTHESIS Using Synopsys[®] Design Compiler[™] Physical Compiler[™] and PrimeTime[®]*. KLUWER ACADEMIC PUBLISHERS, 2002.
- [25] Kamon, M., M.J. Tsuk y J.K. White: *FASTHENRY: a multipole-accelerated 3-D inductance extraction program*. Microwave Theory and Techniques, IEEE Transactions on, 42(9):1750–1758, Sept 1994, ISSN 0018-9480.
- [26] Mandolesi, P., G. San Martín y Julián P.: *RFID Front-End in 0.5 μ m Standard CMOS process: Experimental results*. En *Proceedings of the Argentine School of Micro-Nanoelectronics, Technology and Applications 2008*, 2008.
- [27] Marechal, Catherine y Dominique Paret: *Optimization of the law of variation of shunt regulator impedance for Proximity Contactless Smart Card Applications to reduce the loading effect*. Informe técnico, Laboratoire LRIT – ESIGETEL.
- [28] Zhu, Zheng, Ben Jamali y Peter H. Cole: *Brief Comparison of Different Rectifier Structures for RFID Transponders*. Informe técnico, Auto-ID lab at University of Adelaide.