



FACULTAD DE INGENIERÍA

DEPARTAMENTO DE ELECTRÓNICA

---

TESIS DE INGENIERÍA ELECTRÓNICA

# Diseño de un Circuito Integrado CMOS para Identificación por Radiofrecuencia basado en el Estándar ISO-14443

---

Tesista

Fabrizio P. Alcalde Bessia

Padrón Nº86296

f@lcald.com.ar

Director

Dr. Ing. José Lipovetzky

jlipove@fi.uba.ar

Co-Director

Ing. Octavio Alpago

oalpago@fi.uba.ar

AGOSTO, 2014



## Agradecimientos

*Agradezco a José por haberme dado la oportunidad de realizar este trabajo, que surgió de un interés personal.*

*También agradezco Diego M. por haber puesto en marcha el servidor con las herramientas que cómodamente pude usar desde mi casa y por haberme ayudado desde su experiencia con el trabajo.*

*Debo agradecer también a Allegro Microsystems, en especial a Patricio P. Preiti y Julio Raiponeri, por haberme dejado utilizar los elementos del laboratorio. También a MOSIS, Mentor Graphics y Synopsys, por sus respectivos programas estudiantiles que hicieron posible la realización de este trabajo.*

*Finalmente agradezco a mis compañeros y amigos que me ayudaron e hicieron más amenos todos estos años de estudio y sobretodo agradezco a mi familia por haber hecho de soporte todo este tiempo.*



## Resumen

En el presente trabajo se comenzará realizando una breve introducción a los sistemas de identificación por radiofrecuencia. Luego se analizará detalladamente el estándar ISO/IEC 14443, enfocando el estudio a la interfaz de comunicación tipo A. A continuación se presentará el diseño de un circuito integrado que cumplirá el rol de *transponder* y que será implementado en un proceso CMOS estándar de 0,5  $\mu\text{m}$ .

Para el diseño del circuito integrado se comenzará por analizar en profundidad el vínculo existente entre lector y transponder, lo que permitirá entender el proceso de traspaso de energía e información y se verán las distintas implementaciones posibles. Luego se desarrollará un modelo basado en la extracción de parámetros de la estructura física de las antenas, que permitirá verificar los resultados analíticos y realizar simulaciones mediante SPICE de los circuitos, estando éstos conectados a un modelo realista de la antena.

El circuito integrado contará con diseño analógico y digital, este último sintetizado a partir de código RTL. Se tratará entonces de un dispositivo de señal mixta por lo que se deberán compatibilizar ambos dominios. Se mostrará el diseño digital junto con su verificación funcional a nivel de compuerta y el diseño analógico con las simulaciones realizadas.

Finalmente se cerrará el trabajo con los detalles de la implementación del dispositivo en el proceso de fabricación CMOS y la verificación de su funcionamiento.



# Índice general

<b>1. Introducción a RFID</b>	<b>1</b>
1.1. Identificación por radiofrecuencia . . . . .	1
1.2. Clasificación de los sistemas de RFID . . . . .	2
1.3. Estandarización de los sistemas de RFID . . . . .	4
1.3.1. ISO/IEC 14443 – Parte 1: Características físicas . . . . .	5
1.3.2. ISO/IEC 14443 – Parte 2: Interfaz de radiofrecuencia para señal y energía . . . . .	5
1.3.3. ISO/IEC 14443 – Parte 3: Inicialización y anticolisión	10
1.4. Resumen del capítulo . . . . .	15
<b>2. Diseño del transponder de RFID</b>	<b>17</b>
2.1. Objetivos del diseño . . . . .	17
2.2. Descripción general del funcionamiento . . . . .	18
2.3. Implementación . . . . .	20
<b>3. Acoplamiento Inductivo</b>	<b>23</b>
3.1. Transmisión de la energía . . . . .	23
3.2. Transmisión por modulación de carga . . . . .	29
3.3. Modelo de SPICE del arreglo de antenas . . . . .	32
3.4. Resultados del análisis . . . . .	33
<b>4. Diseño digital</b>	<b>35</b>
4.1. Arquitectura . . . . .	36
4.2. Recepción de datos . . . . .	37
4.2.1. Módulo Bit Decoder . . . . .	38
4.2.2. Módulo Frame Receiver . . . . .	40
4.3. Transmisión de Datos . . . . .	42
4.3.1. Módulo Frame Sender . . . . .	44
4.3.2. Módulo Bit Coder . . . . .	46
4.4. Verificación funcional . . . . .	47
4.4.1. Eco de un byte . . . . .	48
4.5. Implementación: Síntesis y <i>Place&amp;Route</i> . . . . .	49

<b>5. Diseño Analógico</b>	<b>53</b>
5.1. Acondicionamiento y uso de la energía . . . . .	53
5.1.1. Regulador/Limitador de tensión . . . . .	54
5.1.2. Rectificador + Filtro . . . . .	60
5.2. Transmisión y recepción de datos . . . . .	63
5.2.1. Detector de Pausas . . . . .	63
5.2.2. Modulador . . . . .	66
5.3. Generador de reloj . . . . .	67
5.4. <i>Power-On Reset</i> (POR) . . . . .	69
<b>6. Implementación, Evaluación y Resultados</b>	<b>73</b>
6.1. <i>Layout</i> Completo del Circuito Integrado . . . . .	73
6.2. Método de Verificación . . . . .	76
6.3. Resultados . . . . .	78
6.3.1. Recepción de datos . . . . .	79
6.3.2. Transmisión de Datos . . . . .	82
6.3.3. Regulador/Limitador de tensión . . . . .	83
6.3.4. Verificación del funcionamiento completo . . . . .	84
<b>7. Conclusiones</b>	<b>87</b>
<b>Bibliografía</b>	<b>91</b>





## Capítulo 6

# Implementación, Evaluación y Resultados

En este capítulo se verán los detalles concernientes a la implementación en silicio del circuito integrado y la integración de todos los bloques en un solo dispositivo. También se describirá el método de verificación utilizado y luego se verán las mediciones realizadas con sus resultados.

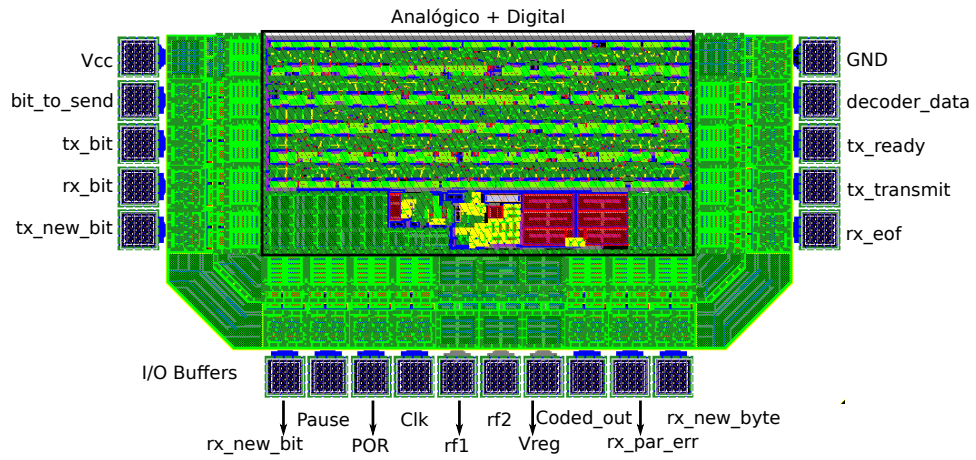
### 6.1. *Layout* Completo del Circuito Integrado

El trazado físico (*layout*) de los dispositivos y conexiones se realizó utilizando las herramientas de *Mentor Graphics* [8] junto con el kit de diseño del proceso C5N entregado por MOSIS. El kit de diseño define el set de máscaras a utilizar por la herramienta para el trazado del *layout* del circuito integrado y contiene las reglas del proceso con los tamaños y distancias mínimas entre máscaras. Además contiene una serie de dispositivos predefinidos como son transistores, resistores y capacitores. El esquemático está vinculado con el *layout* de forma tal que cada uno de esos dispositivos se coloca en el *layout* según los tamaños definidos en el esquemático. A esta forma de trabajo se la llama *Schematic Driven Layout* (SDL) y fue la que se utilizó para el trazado de los dispositivos y el conexionado de los diferentes bloques.

El tamaño del *die* provisto por MOSIS es de  $1500\mu\text{m} \times 1500\mu\text{m}$ , sin embargo el área disponible para el diseño fue la mitad,  $1500\mu\text{m} \times 750\mu\text{m}$ , ya que el chip fue compartido con otro proyecto. La biblioteca de celdas digitales de la *Oklahoma State University* (OSU) [10] contiene *buffers* de entrada/salida cuyo *layout* está formado por un *bond pad*<sup>1</sup> y protecciones contra descarga electrostática (ESD por sus siglas en inglés). Estos buffers se colocan en la periferia del chip formando un anillo alrededor del mismo de forma tal que los buffers quedan conectados entre si formando un *bus* de

---

<sup>1</sup>El área de metal donde se suelda la conexión al encapsulado



**Figura 6.1:** Layout final del circuito integrado. Sus dimensiones son de  $1500\text{ }\mu\text{m} \times 750\text{ }\mu\text{m}$  y el espacio disponible para el layout analógico y digital es de  $900\text{ }\mu\text{m} \times 450\text{ }\mu\text{m}$ .

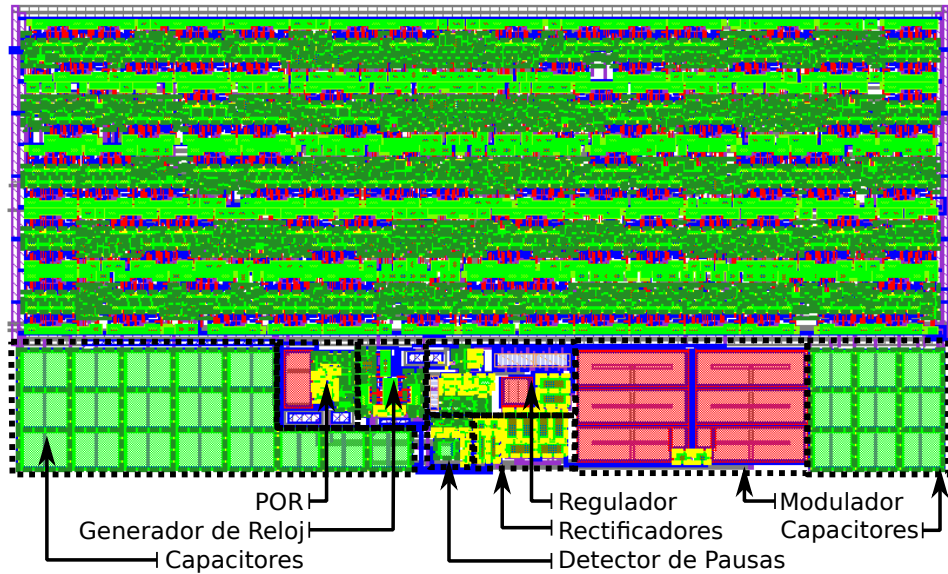
alimentación. Estas estructuras fueron utilizadas para todas las entradas y salidas digitales, 17 en total, por lo que gran parte del área disponible fue ocupada con los buffers, como se observa en la figura 6.1.

Las entradas/salidas analógicas, más precisamente los nodos *rf1*, *rf2* y *Vreg* se conectaron directamente a los *bond pads* y por lo tanto estas señales no quedaron protegidas contra descargas electrostáticas. Para no interrumpir el anillo de alimentación de los buffers se utilizaron en estas señales los mismo buffers, pero abriendo la conexión con el pad.

El layout del bloque digital del transponder fue generado con la herramienta *IC Compiler* imponiendo como restricción que el ancho del trazado sea de  $900\text{ }\mu\text{m}$ . Una vez generado el circuito digital se acomodaron los bloques analógicos en la base del mismo y el espacio sobrante fue utilizado para los capacitores de filtrado de la tensión de alimentación. La ubicación de los bloques puede verse en detalle en la figura 6.2.

Para verificar el funcionamiento del dispositivo se trasladaron fuera del chip varias señales internas que no son necesarias externamente para su uso, lo que permitió incrementar la observabilidad del sistema a la vez que se completaban la cantidad de pines disponibles en el encapsulado. Empezando por los bloques analógicos, una señal que es necesario medir para saber si existe algún inconveniente en la recepción de datos es *Pause*, ya que con ella puede verificarse el funcionamiento del detector de pausas. El *power-on reset* genera la señal *POR*, que también fue llevada fuera del CI a través de los buffers para comprobar su funcionamiento. Lo mismo se hizo con *Clk* para verificar el funcionamiento del bloque generador de reloj, y *Vreg* para comprobar el bloque regulador/limitador de tensión.

Del diseño digital se agregaron las señales *bit\_to\_send*, *coded\_out* y *decoder\_data*, que permitieron observar los estados de los módulos *Frame*



**Figura 6.2:** Layout del sistema digital junto con los bloques analógicos. Dimensiones:  $900\text{ }\mu\text{m} \times 450\text{ }\mu\text{m}$ .

*Sender*, *Bit Coder* y *Bit Decoder*, respectivamente. Por ejemplo, si se quiere verificar el funcionamiento del módulo *Bit Decoder*, basta con enviar una trama a través de la interfaz de RF, comprobar que la entrada del módulo *Pause* sea la correcta y entonces analizar su salida observando `decoder_data`. Lo mismo puede hacerse con el módulo *Frame Receiver*: comprobar que la entrada `decoder_data` sea correcta y observar el funcionamiento del módulo a través de las salidas `rx_bit`, `rx_new_bit`, etc.

El encapsulado utilizado fue de tipo DIP40, cerámico, del fabricante Kyocera [2] con una ventana de acceso al die. La hoja de datos del encapsulado contiene un modelo de las capacidades, inductancias y resistencias parásitas de los pines, donde, dependiendo del pin utilizado se puede tener una capacidad parásita de 5 pF en los extremos del encapsulado, donde las uniones son más largas, a 0,6 pF en los pines centrales. Las capacidades parásitas de los pines utilizados para las señales *rf1* y *rf2*, donde se tiene una frecuencia de 13,56 MHz y donde además se encuentra conectada la antena, pueden afectar el funcionamiento del dispositivo al crear circuitos tanques LC, y además quedan en paralelo con los capacitores del bloque *Modulador*. Es por eso que los pines centrales, los de menor capacidad parásita, fueron utilizados exclusivamente para *rf1*, *rf2*. En cuanto a las inductancias y resistencias, estas son despreciables y no afectan el funcionamiento.

En la figura 6.3 se observa una fotografía del chip fabricado.

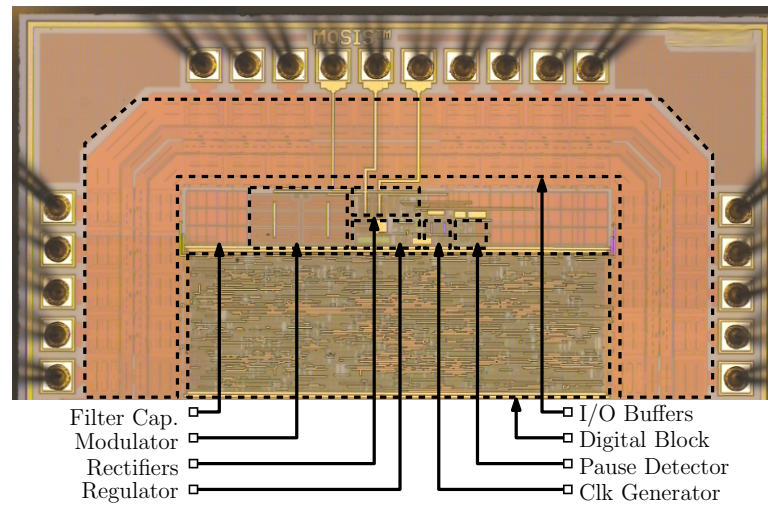


Figura 6.3: Microfotografía del chip terminado dentro del encapsulado.

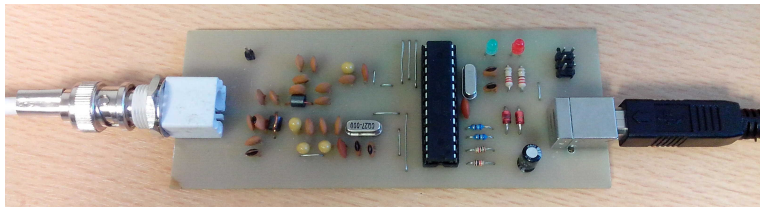
## 6.2. Método de Verificación

Para verificar el funcionamiento del dispositivo y sobre todo la implementación del protocolo ISO/IEC 14443-A, se decidió armar un lector con el circuito integrado TRF7970A de *Texas Instruments*. El CI es un transmisor/receptor específicamente diseñado para RFID y NFC que soporta varios protocolos, entre ellos el ISO/IEC 14443-A. La idea de desarrollar un lector a medida, pero con una implementación utilizada comercialmente del protocolo, es tener la flexibilidad para enviar señales *a medida*, en los casos en que haya que realizar pruebas especiales, y a la vez contar con la seguridad de una implementación del protocolo que es utilizada por un fabricante de renombre.

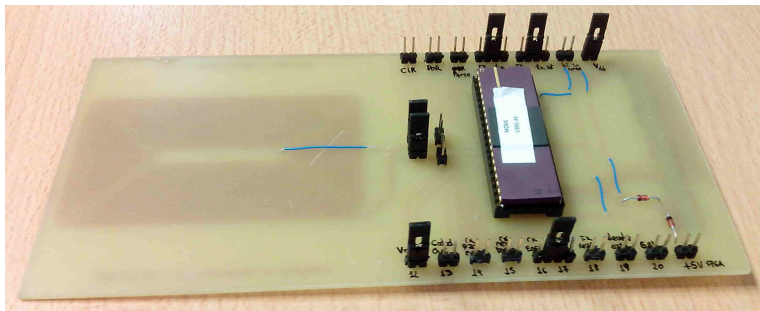
El TRF7970A fue conectado a un microcontrolador ATmega8 de *ATMEL* que actúa de interfaz USB para el transceiver de TI y permite enviar y recibir datos a través de la antena utilizando una computadora personal. La información a enviar a través de la antena se transmite primero de la PC al microcontrolador y este la envía a través de un bus SPI al transceiver. Por otro lado, cuando el transceiver recibe datos de un transponder los almacena en un buffer interno. Los datos son leídos cuando la PC le indica al microcontrolador que lea y envíe la información.

El manejo del protocolo ISO/IEC 14443-A por parte del lector se realiza íntegramente dentro del transceiver de TI, y por lo tanto si el prototipo desarrollado es capaz de recibir la información enviada por el lector, es lógico pensar que la parte receptora al menos es compatible con el estándar. Lo mismo sucede si, cuando el transponder envía datos hacia el lector, éste es capaz de leerlos.

En la figura 6.4 se muestra una imagen del lector armado. Allí se ve



**Figura 6.4:** Lector desarrollado con el transceiver TRF7970A de TI y un microcontrolador ATmega8.



**Figura 6.5:** Circuito impreso donde fue montado el chip.

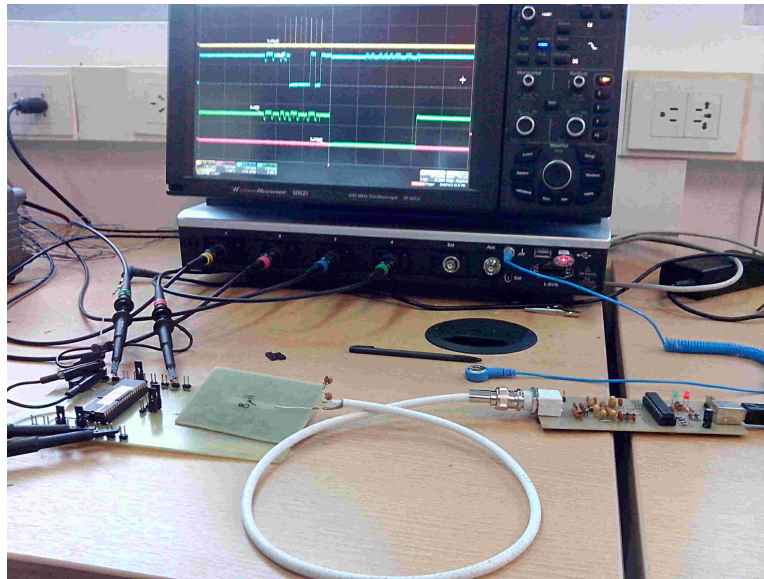
la interfaz USB, el microcontrolador ATmega8, una red de adaptación de impedancias para adaptar la salida del microcontrolador a la antena y el conector de salida que lleva a través de un cable coaxial la señal de radiofrecuencia hasta la antena. El TRF7970A tiene un encapsulado para montaje superficial y se encuentra del lado del cobre del circuito impreso.

Para el transponder se diseñó el circuito impreso de la figura 6.5. El mismo cuenta con una antena sobre la cara de cobre y puntos de prueba para todas las señales. El circuito impreso fue pensado de forma tal que sea fácil conectar al transponder en modo *eco* utilizando sólo algunos *jumper*s para unir las señales `tx_bit` con `rx_bit`, `tx_new_byte` con `rx_new_byte` y `tx_transmit` con `rx_eof`, como se mostró en la figura 4.1. De esta forma se puede tener un *tag* autónomo que realiza el eco de un byte, que no precisa alimentación externa y que puede ser utilizado para verificar el funcionamiento de todos los sistemas en conjunto.

El banco de medición se muestra en la figura 6.6. El mismo estuvo compuesto por un osciloscopio *Lecroy WaveRunner 606Zi*, puntas de prueba PP008 con atenuación de 10X y 500MHz de ancho de banda, y una antena extra (no se muestra en la figura) que conectada al osciloscopio permitió *espíar* la comunicación sin intervenir en la antena del transponder ni del lector.

Para verificar el funcionamiento del regulador/limitador de tensión a altos niveles de campo se utilizó un banco de medición diferente, compuesto por un generador de funciones *Agilent 33220A* con salida de  $50\Omega$ , conectado a una antena hecha con una espira de 15 cm de diámetro confeccionada con alambre





**Figura 6.6:** Banco de medición.

de cobre de  $0,8\text{ mm}^2$  de sección transversal, similar a la antena del PCD del arreglo ISO/IEC 10373-6 de la figura 3.5. El inductor del transponder se ubicó en el centro de la antena emisora y se incrementó la amplitud de la tensión hasta alcanzar el máximo nivel de campo.

### 6.3. Resultados

Primero, utilizando el banco de medición de la figura 6.6 se verificó el funcionamiento del bloque «Regulador+Filtro», del «Regulador/Limitador de tensión» y del «Generador de reloj» midiendo para ello las salidas  $V_{dd}$ ,  $V_{reg}$  y  $Clk$ . En la figura 6.7 se observa que con tan sólo 1,5 V en  $V_{dd}$  el generador de reloj está operativo. También se ve que la diferencia de tensión entre  $V_{reg}$  y  $V_{dd}$  es de tan solo medio volt. En estas condiciones el bloque «Regulador/Limitador de tensión» no agrega carga a la antena y es por ese motivo que la tensión  $V_{reg}$  no tiene forma de onda senoidal rectificada, ya que la capacidad de la punta del osciloscopio alcanza a filtrar las oscilaciones.

La frecuencia de la señal de reloj, 13,5 MHz, coincide con la de la portadora producida por el lector. Además no se observaron *glitches* ni cambios de fase que pudieran afectar al sistema digital.

En la figura 6.8 se muestra el funcionamiento del bloque *Power-on Reset* cuando el dispositivo se enciende. El método utilizado para la captura fue el siguiente: con las antenas del lector y del transponder separadas a una distancia fija, la misma que se usó para la captura de la figura 6.7, se encendió la portadora y se disparó el osciloscopio con el primer flanco de

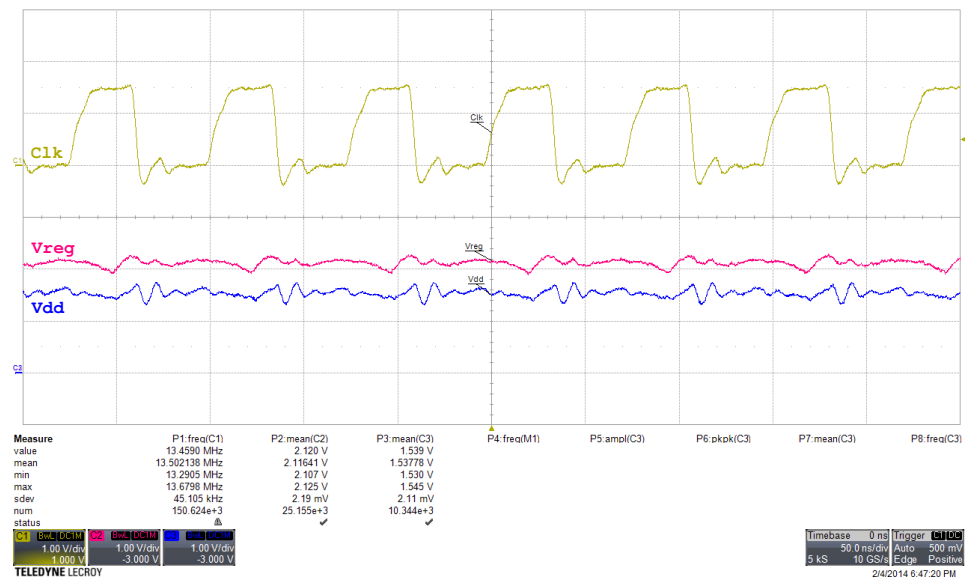


Figura 6.7: Captura del osciloscopio donde se muestran las señales *Clk*, *Vdd* y *Vreg*.

reloj del chip mientras se observaba la salida *POR*. En la figura se ve como la salida del bloque *power-on reset* se mantiene en estado alto durante 15  $\mu$ s, manteniendo a todo el sistema digital *reseteado* y luego liberándolo. No se observaron *glitches* en la salida del circuito.

Luego se verificó el funcionamiento de la lógica del chip conectando el transponder en modo *eco*. Se enviaron diferentes bytes de datos, de a uno por vez, comparando la respuesta del transponder con el dato enviado y analizando las señales que intervienen en la transmisión y recepción de datos. En las secciones siguientes se verá en detalle primero la recepción y luego la transmisión a través de la interfaz digital.

### 6.3.1. Recepción de datos

Con el transponder conectado en modo *eco*, y ubicado a la distancia de funcionamiento se envió un byte de datos y se capturaron las señales *Clk*, *decoder\_data*, *coded\_out* y *Pause*. En la figura 6.10 se observa la captura realizada, donde se ve como las pausas en la portadora interrumpen la señal de reloj y a la vez el detector de pausas cambia de estado.

A través del lector se envió el byte 8'h0F y la portadora generada produjo el patrón de reloj de la figura, a partir del cuál es válido corroborar la información recibida por el chip. El lector envió los datos comenzando por el bit menos significativo como indica el estándar, y la señal *decoder\_data* fue capaz de reconocer los 8 bits sin inconvenientes. El reconocimiento de cada bit se produce en la cuarta muestra tomada por el módulo *bit\_decoder*, es por eso que *decoder\_data* cambia algunos ciclos de reloj antes de que



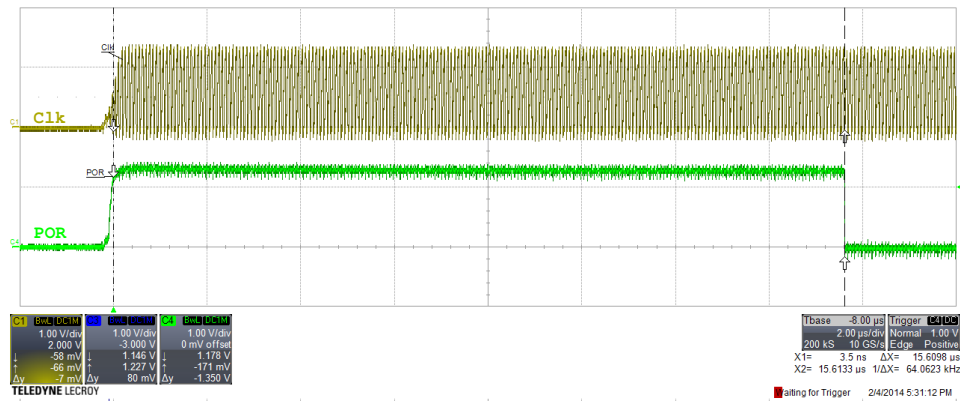


Figura 6.8: Captura de la señal *POR* en el arranque del dispositivo. La duración del pulso es de 15 µs.

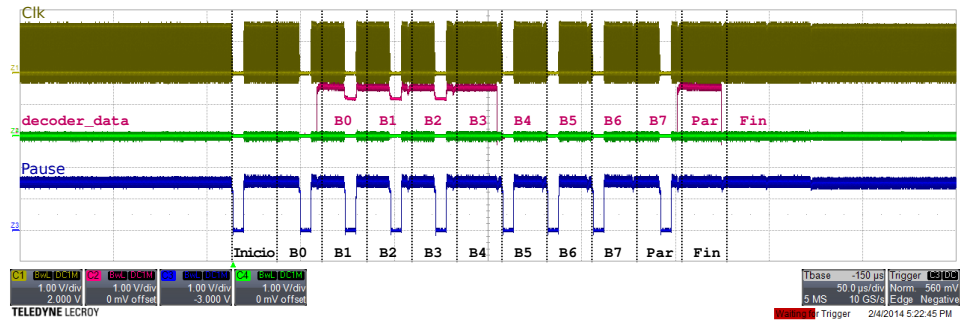


Figura 6.9: Captura de las señales durante la recepción de datos.

termine el tiempo del bit.

El estándar requiere que la cantidad de símbolos en «1» enviados sea impar, es por eso que el lector envió el bit de paridad en '1'. El módulo `bit_decoder` también leyó correctamente el bit de paridad y el símbolo de «Fin» de comunicación.

Que el módulo digital `bit_decoder` haya podido leer la información significa que el detector de pausas también funcionó correctamente. En la figura 6.10 se observa una captura ampliada de la señal *Pause* durante una pausa en la portadora. Allí se observa como luego de aproximadamente 500 ns de comenzada la pausa, la señal pasa al estado bajo, indicando que se produjo una pausa y como luego vuelve al nivel alto con los primeros ciclos de la portadora. En la figura también se observa como se mantiene la tensión de alimentación *Vdd* —que se puede medir en el nivel alto de *Pause*— en el momento en que no se recibe energía.

En la figura 6.11 se observan las señales a la salida del chip, en la interfaz digital de recepción, cuando a través del lector se envía el byte 8'h55. El módulo `Frame Receiver` se encarga de desencapsular la información dentro

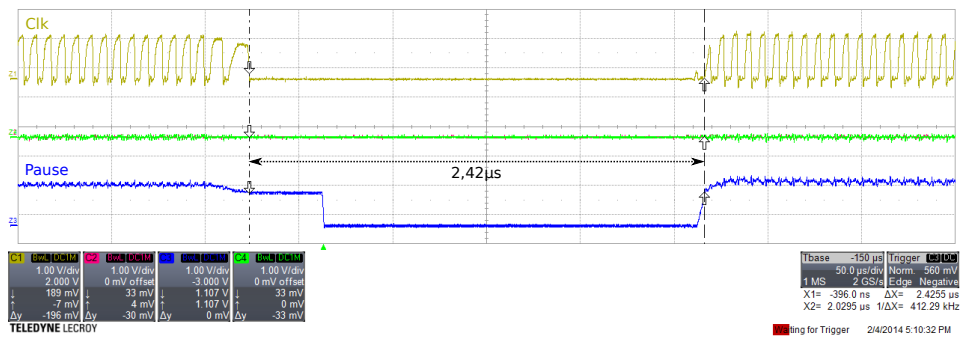


Figura 6.10: Captura de la señal *Pause* durante una pausa en la portadora.

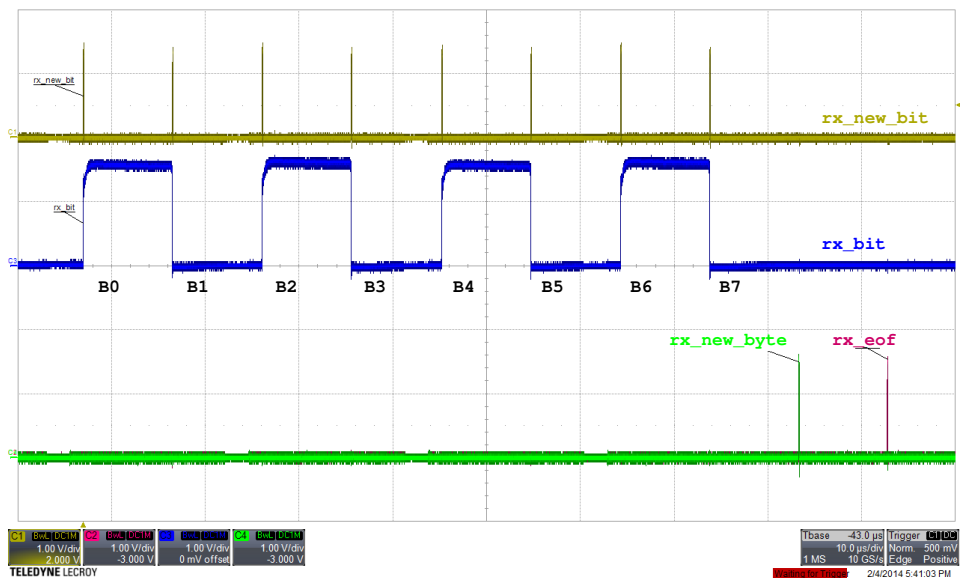


Figura 6.11: Captura de las señales en la interfaz digital de salida del chip, donde se reciben los datos enviados por el lector.

de la trama y por lo tanto a través de la interfaz de salida sólo se obtiene el byte de datos. El orden de salida es el mismo que el de recepción, es decir, el bit menos significativo se obtiene primero y luego los demás.

Cada bit de datos recibido es presentado a la salida por el módulo **Frame Receiver**, en la salida *rx\_bit*, para luego generar un pulso de un ciclo de reloj en *rx\_new\_bit*. Este último pulso informa que existe un nuevo bit en la salida que debe ser leído. Al recibir los ocho bits de datos y luego de comprobar que el bit de paridad sea correcto, el módulo genera un pulso en *rx\_new\_byte*. Finalmente, luego de recibir el símbolo de fin de comunicación se genera un pulso por *rx\_eof* que indica el final de la comunicación y que además dispara el contador del *Frame Delay Time* (FDT).

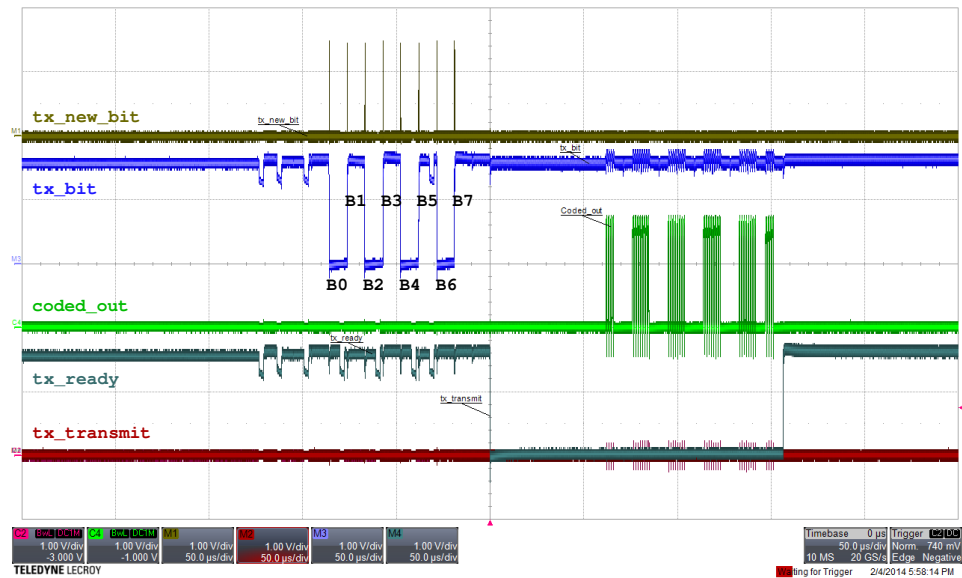


Figura 6.12: Captura de las señales de la interfaz digital de transmisión.

### 6.3.2. Transmisión de Datos

En la figura 6.12 se muestra una captura de osciloscopio con la secuencia realizada para comprobar el funcionamiento del sistema de transmisión de datos del transponder. El conexionado de *eco* permitió cargar el buffer de transmisión enviando la información directamente con el mismo lector. Al recibir los datos el módulo **Frame Sender** se encuentra en estado de reposo, indicado por la señal **tx\_ready** en nivel alto. A través del lector se envió el valor 8'hAA, que fue recibido por el sistema receptor y cargado en el buffer de transmisión, como se observa en la figura. Al detectarse el símbolo de fin de comunicación enviado por el lector se produce un pulso en **rx\_eof** que se encuentra conectado a **tx\_transmit** y se inicia el proceso de transmisión. El pulso no se observa en la figura por la escala utilizada, pero coincide con el flanco descendente de **tx\_ready**. Luego de esperar el tiempo FDT **coded\_out** comienza la modulación de carga. Los datos devueltos coinciden con los enviados, respetándose el tiempo de cada bit (9,4 µs) y transmitiendo además los bits de inicio y paridad.

En la figura 6.13 se muestra una transmisión completa de un byte de datos, donde el valor enviado es 8'h0F. La transmisión comienza con el símbolo de «Inicio», un '1' lógico, luego se envían los ocho bits de datos comenzando por el bit menos significativo y finalmente se transmite el bit de paridad. El dato enviado contiene una cantidad par de bits en '1', por lo tanto el bit de paridad debe ser también '1' para que la transmisión completa sea impar. En la captura se ve que el módulo **Frame Sender** agregó correctamente el bit de paridad.

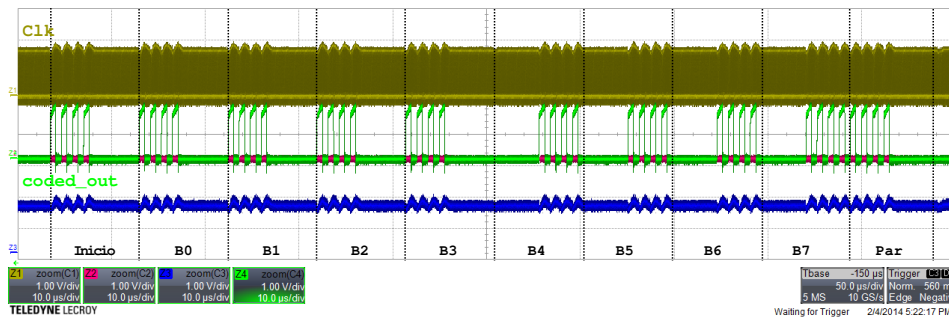


Figura 6.13: Captura de la salida del modulador en una transmisión completa.

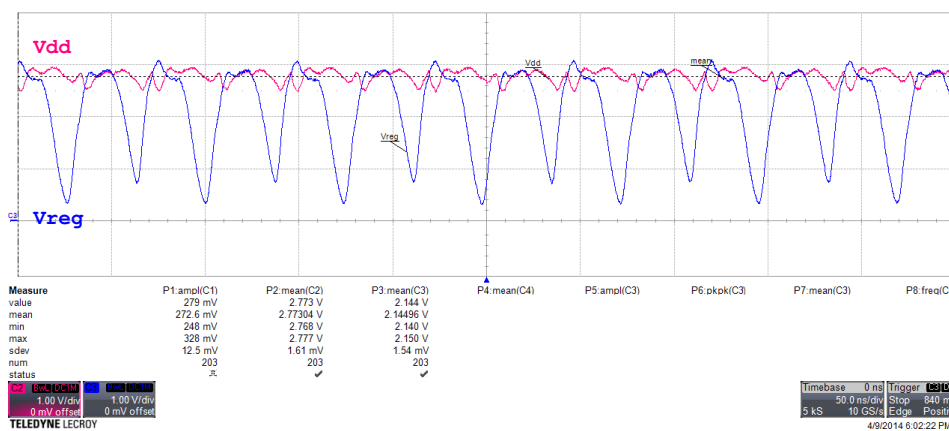
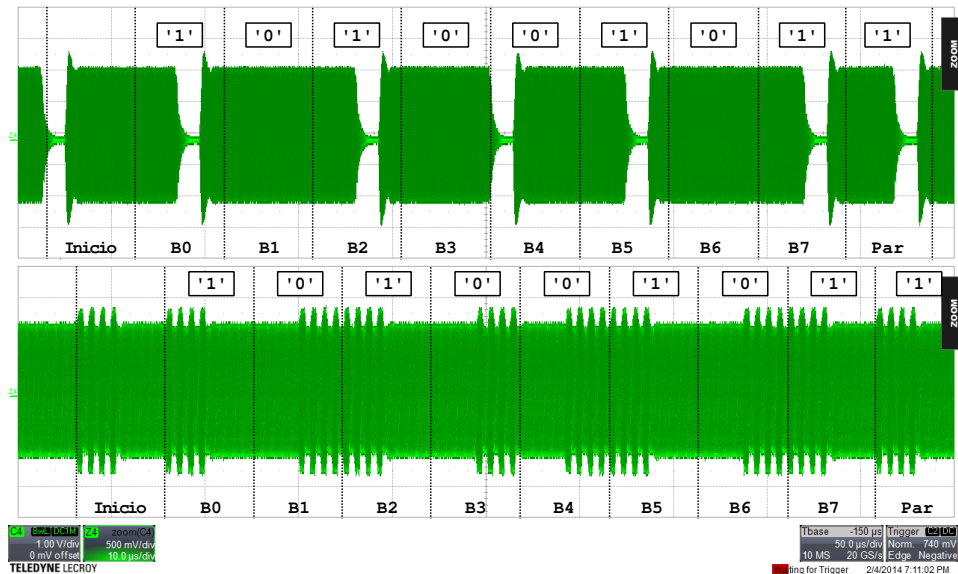


Figura 6.14: Captura del regulador en funcionamiento con un alto valor de intensidad de campo. La curva azul corresponde a la tensión  $V_{reg}$ , cuyo valor medio es 2,14 V, y la rosada a  $V_{dd}$ , con un valor medio de 2,77 V.

### 6.3.3. Regulador/Limitador de tensión

Para probar este bloque es necesario contar con un generador de señal que sea capaz de alcanzar el campo máximo de 7,5 A/m(rms) a una frecuencia de 13,56 MHz con la antena indicada en el arreglo dado por la norma ISO/IEC 10373-6 (figura 3.5). Como no se contaba con un generador que tenga esa capacidad, se decidió probar el regulador generando el campo con una antena igual a la del transponder y colocando ambas antenas lo más cerca posible. La antena que actuaba de PCD (lector) fue conectada al generador de funciones *Agilent 33220A* y se seteo una amplitud de 20 Vpp, la máxima posible.

En la figura 6.14 se observa el regulador en funcionamiento. El transistor de paso deriva corriente a GND y por lo tanto la capacidad parásita del nodo  $V_{reg}$  llega ahora a descargarse, a diferencia de lo que sucedía en la figura 6.7, en donde el regulador se encontraba inactivo. En este caso la tensión  $V_{dd}$  alcanzó un valor medio de 2,7 V y  $V_{reg}$  2,15 V, este último cercano al valor de diseño de 2,5 V.



**Figura 6.15:** Captura de la comunicación entre lector y transponder con la antena espía. El gráfico superior corresponde a una trama de un byte enviada por el lector, mientras que el inferior corresponde a la respuesta de eco del transponder.

#### 6.3.4. Verificación del funcionamiento completo

Para verificar el funcionamiento de todo el dispositivo se utilizó el banco de la figura 6.6 junto con la antena extra para espiar la comunicación. Dicha antena fue conectada a la punta  $\times 10$  del osciloscopio, cuya capacidad de entrada es de aproximadamente 15 pF, lo que formó un circuito tanque LC que mejoró la recepción de la señal. El transponder fue conectado en modo *eco* de forma tal de tener todos los bloques internos en funcionamiento.

En la figura 6.15 se muestra una captura realizada con la antena espía. Allí puede verse la trama transmitida por el lector, que contiene el byte 8'hA5 y luego la respuesta del transponder modulando la portadora según lo indica el estándar y respondiendo con la misma información. Además se ve como el transponder envía en la trama el bit de paridad correcto.

Finalmente, se desarrolló un pequeño programa en lenguaje *Python* para controlar el lector y enviar los bytes de 8'h00 a 8'hFF, leer las respuestas del transponder y comparar la información enviada con la recibida. Como se dijo antes, el lector utiliza un circuito integrado comercial de *Texas Instruments* que contiene una implementación del protocolo ISO/IEC 14443-A utilizada alrededor del mundo. El programa de prueba envía al lector sólo la información que se debe transmitir, y es el lector el que encapsula esa información en una trama estándar y la envía a través de la antena. Lo mismo sucede durante la recepción, el lector recibe una trama que *debe* cumplir con el estándar y presenta la información al programa de prueba.

La prueba del eco con los 256 bytes de datos, enviados y recibidos de a uno por vez, fue todo un éxito, dando como resultado una tasa de pérdida de 0 %, es decir, todos los bytes fueron respondidos correctamente por el circuito integrado.



# Bibliografía

- [1] *Design Compiler Graphical*. <http://www.synopsys.com/Tools/Implementation/RTLSynthesis/DCGraphical/Pages/default.aspx>.
- [2] *DIP40 from Kyocera*. <http://www.mosis.com/pages/Technical/Packaging/Ceramic/menu-pkg-ceramic>.
- [3] *GNU Octave Web Page*. <https://www.gnu.org/software/octave/>.
- [4] *GTKwave Web Page*. <http://gtkwave.sourceforge.net/>.
- [5] *IC Compiler Place and Route System*. <http://www.synopsys.com/Tools/Implementation/PhysicalImplementation/Pages/ICCompiler.aspx>.
- [6] *Icarus Verilog Web Page*. <http://iverilog.icarus.com/>.
- [7] *LTSpice*. <http://en.wikipedia.org/wiki/LTspice>.
- [8] *Mentor Graphics IC Design*. [http://www.mentor.com/products/ic\\_nanometer\\_design/custom-ic-design/](http://www.mentor.com/products/ic_nanometer_design/custom-ic-design/).
- [9] *MOSIS Integrated Circuit Fabrication Service*. <http://www.mosis.com/>.
- [10] *Oklahoma State University System on Chip Design Flows*. [http://vlsiarch.ecen.okstate.edu/?page\\_id=12](http://vlsiarch.ecen.okstate.edu/?page_id=12).
- [11] *Identification cards — Test methods — Part 6: Proximity cards*, 2000.
- [12] *Identification cards — Physical characteristics*, 2003.
- [13] *IEEE Standard for Verilog Hardware Description Language*. IEEE Std 1364-2005 (Revision of IEEE Std 1364-2001), páginas 1–560, 2006.
- [14] *Identification cards - Contactless integrated circuit(s) cards - Proximity cards - Part 1: Physical characteristics*, 2007.
- [15] *Identification cards - Contactless integrated circuit(s) cards - Proximity cards - Part 4: Transmission protocol*, 2007.



- [16] *Identification cards - Contactless integrated circuit(s) cards - Proximity cards - Part 3: Initialization and anticollision*, 2008.
- [17] *Identification cards - Contactless integrated circuit(s) cards - Proximity cards - Part 2: Radio frequency power and signal interface*, 2009.
- [18] Alcalde Bessia, Fabricio, Diego Fanego y Guillermo Makar: *Diseño de un TAG RFID integrado en un proceso CMOS de 0,5 $\mu$ m*. En *CASE 2012, Congreso Argentino de Sistemas Embebidos*, página 120, August 2012, ISBN 978-987-9374-82-5. <http://www.sase.com.ar/2012/congreso-argentino-de-sistemas-embebidos-case-2012/>.
- [19] Baker, Jacob: *CMOS Circuit design, layout and simulation*. Wiley-Interscience, 2005.
- [20] Finkenzeller, Klaus: *RFID Handbook*. Wiley, 3<sup>a</sup> edición, 2010.
- [21] Gray, P., P. Hurst, S. Lewis y R. Mayer: *Analysis and design of analog integrated circuits*. John Wiley, 2001.
- [22] Gudnason, Gunnar y Erik Bruun: *CMOS circuit design for RF sensors*. Kluwer Academic Publishers, 2002.
- [23] Hastings, Alan: *The art of analog layout*. Prentice Hall, 2001.
- [24] Himanshu, Bhatnagar: *ADVANCED ASIC CHIP SYNTHESIS Using Synopsys<sup>®</sup> Design Compiler<sup>™</sup> Physical Compiler<sup>™</sup> and PrimeTime<sup>®</sup>*. KLUWER ACADEMIC PUBLISHERS, 2002.
- [25] Kamon, M., M.J. Tsuk y J.K. White: *FASTHENRY: a multipole-accelerated 3-D inductance extraction program*. Microwave Theory and Techniques, IEEE Transactions on, 42(9):1750–1758, Sept 1994, ISSN 0018-9480.
- [26] Mandolesi, P., G. San Martín y Julián P.: *RFID Front-End in 0.5 $\mu$ m Standard CMOS process: Experimental results*. En *Proceedings of the Argentine School of Micro-Nanoelectronics, Technology and Applications 2008*, 2008.
- [27] Marechal, Catherine y Dominique Paret: *Optimization of the law of variation of shunt regulator impedance for Proximity Contactless Smart Card Applications to reduce the loading effect*. Informe técnico, Laboratoire LRIT – ESIGETEL.
- [28] Zhu, Zheng, Ben Jamali y Peter H. Cole: *Brief Comparison of Different Rectifier Structures for RFID Transponders*. Informe técnico, Auto-ID lab at University of Adelaide.