



FACULTAD DE INGENIERÍA

DEPARTAMENTO DE ELECTRÓNICA

---

TESIS DE INGENIERÍA ELECTRÓNICA

# Diseño de un Circuito Integrado CMOS para Identificación por Radiofrecuencia basado en el Estándar ISO-14443

---

Tesista

Fabrizio P. Alcalde Bessia

Padrón Nº86296

f@lcald.com.ar

Director

Dr. Ing. José Lipovetzky

jlipove@fi.uba.ar

Co-Director

Ing. Octavio Alpago

oalpago@fi.uba.ar

AGOSTO, 2014



## Agradecimientos

*Agradezco a José por haberme dado la oportunidad de realizar este trabajo, que surgió de un interés personal.*

*También agradezco Diego M. por haber puesto en marcha el servidor con las herramientas que cómodamente pude usar desde mi casa y por haberme ayudado desde su experiencia con el trabajo.*

*Debo agradecer también a Allegro Microsystems, en especial a Patricio P. Preiti y Julio Raiponeri, por haberme dejado utilizar los elementos del laboratorio. También a MOSIS, Mentor Graphics y Synopsys, por sus respectivos programas estudiantiles que hicieron posible la realización de este trabajo.*

*Finalmente agradezco a mis compañeros y amigos que me ayudaron e hicieron más amenos todos estos años de estudio y sobretodo agradezco a mi familia por haber hecho de soporte todo este tiempo.*



## Resumen

En el presente trabajo se comenzará realizando una breve introducción a los sistemas de identificación por radiofrecuencia. Luego se analizará detalladamente el estándar ISO/IEC 14443, enfocando el estudio a la interfaz de comunicación tipo A. A continuación se presentará el diseño de un circuito integrado que cumplirá el rol de *transponder* y que será implementado en un proceso CMOS estándar de 0,5  $\mu\text{m}$ .

Para el diseño del circuito integrado se comenzará por analizar en profundidad el vínculo existente entre lector y transponder, lo que permitirá entender el proceso de traspaso de energía e información y se verán las distintas implementaciones posibles. Luego se desarrollará un modelo basado en la extracción de parámetros de la estructura física de las antenas, que permitirá verificar los resultados analíticos y realizar simulaciones mediante SPICE de los circuitos, estando éstos conectados a un modelo realista de la antena.

El circuito integrado contará con diseño analógico y digital, este último sintetizado a partir de código RTL. Se tratará entonces de un dispositivo de señal mixta por lo que se deberán compatibilizar ambos dominios. Se mostrará el diseño digital junto con su verificación funcional a nivel de compuerta y el diseño analógico con las simulaciones realizadas.

Finalmente se cerrará el trabajo con los detalles de la implementación del dispositivo en el proceso de fabricación CMOS y la verificación de su funcionamiento.



# Índice general

<b>1. Introducción a RFID</b>	<b>1</b>
1.1. Identificación por radiofrecuencia . . . . .	1
1.2. Clasificación de los sistemas de RFID . . . . .	2
1.3. Estandarización de los sistemas de RFID . . . . .	4
1.3.1. ISO/IEC 14443 – Parte 1: Características físicas . . . . .	5
1.3.2. ISO/IEC 14443 – Parte 2: Interfaz de radiofrecuencia para señal y energía . . . . .	5
1.3.3. ISO/IEC 14443 – Parte 3: Inicialización y anticolisión	10
1.4. Resumen del capítulo . . . . .	15
<b>2. Diseño del transponder de RFID</b>	<b>17</b>
2.1. Objetivos del diseño . . . . .	17
2.2. Descripción general del funcionamiento . . . . .	18
2.3. Implementación . . . . .	20
<b>3. Acoplamiento Inductivo</b>	<b>23</b>
3.1. Transmisión de la energía . . . . .	23
3.2. Transmisión por modulación de carga . . . . .	29
3.3. Modelo de SPICE del arreglo de antenas . . . . .	32
3.4. Resultados del análisis . . . . .	33
<b>4. Diseño digital</b>	<b>35</b>
4.1. Arquitectura . . . . .	36
4.2. Recepción de datos . . . . .	37
4.2.1. Módulo Bit Decoder . . . . .	38
4.2.2. Módulo Frame Receiver . . . . .	40
4.3. Transmisión de Datos . . . . .	42
4.3.1. Módulo Frame Sender . . . . .	44
4.3.2. Módulo Bit Coder . . . . .	46
4.4. Verificación funcional . . . . .	47
4.4.1. Eco de un byte . . . . .	48
4.5. Implementación: Síntesis y <i>Place&amp;Route</i> . . . . .	49

<b>5. Diseño Analógico</b>	<b>53</b>
5.1. Acondicionamiento y uso de la energía . . . . .	53
5.1.1. Regulador/Limitador de tensión . . . . .	54
5.1.2. Rectificador + Filtro . . . . .	60
5.2. Transmisión y recepción de datos . . . . .	63
5.2.1. Detector de Pausas . . . . .	63
5.2.2. Modulador . . . . .	66
5.3. Generador de reloj . . . . .	67
5.4. <i>Power-On Reset</i> (POR) . . . . .	69
<b>6. Implementación, Evaluación y Resultados</b>	<b>73</b>
6.1. <i>Layout</i> Completo del Circuito Integrado . . . . .	73
6.2. Método de Verificación . . . . .	76
6.3. Resultados . . . . .	78
6.3.1. Recepción de datos . . . . .	79
6.3.2. Transmisión de Datos . . . . .	82
6.3.3. Regulador/Limitador de tensión . . . . .	83
6.3.4. Verificación del funcionamiento completo . . . . .	84
<b>7. Conclusiones</b>	<b>87</b>
<b>Bibliografía</b>	<b>91</b>



## Capítulo 5

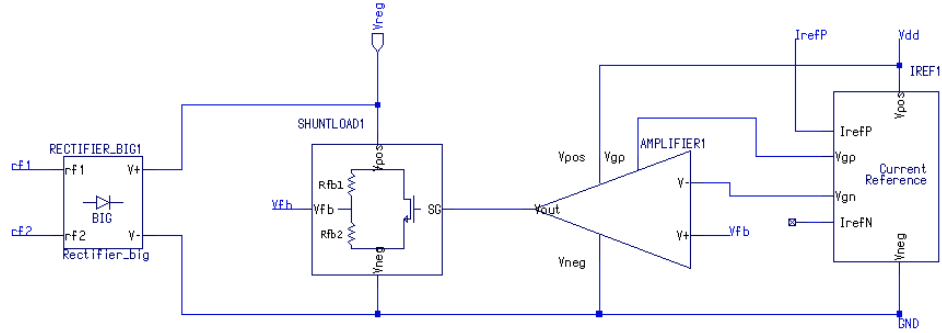
# Diseño Analógico

En este capítulo se realizará un recorrido por los bloques analógicos del circuito integrado. El diseño analógico comprende cuatro sistemas que hacen de soporte al bloque digital y que se verán a continuación. El primero de ellos es el sistema de captura y acondicionamiento de la energía, que debe tomar la energía recibida a través de la señal portadora, almacenarla y acondicionarla para ser usada por los demás bloques del circuito integrado. En segundo lugar se verá el sistema de transmisión y recepción de datos, que por un lado se encarga de demodular la señal enviada por el lector y adaptarla a los niveles lógicos del bloque digital; y por otro realiza la modulación de carga sobre la señal portadora para transmitir hacia el lector. Luego se verá el sistema de captura y reconstrucción de la señal de reloj a partir de la portadora de 13,56 MHz y para finalizar se analizará el *power-on reset*, que inicializa la lógica digital a través de la señal **reset** cuando la tensión de alimentación alcanza el nivel de operación.

### 5.1. Acondicionamiento y uso de la energía

Como se vio en la sección 3.1 la amplitud de la tensión en la antena varía con la distancia entre el lector y el transponder durante la operación normal del dispositivo. Por este motivo es que se implementó el bloque «Regulador/Limitador de tensión», que tiene como objetivo mantener la tensión a la entrada de la antena dentro del nivel de funcionamiento a pesar de las variaciones de la distancia al lector o, lo que es lo mismo, las variaciones en el coeficiente de acoplamiento. Para lograrlo la idea es cargar a la antena con una carga interna dentro del transponder de forma tal de cancelar las variaciones de amplitud debidas a los cambios en el coeficiente de acoplamiento.

Por otra parte se debe tomar la tensión alterna generada en la antena, rectificarla y filtrarla para ser usada como tensión de alimentación dentro del chip. Esto se hace con el bloque «Rectificador + Filtro» de la figura 2.1.



**Figura 5.1:** Circuito Regulador/Limitador de tensión.

Entonces se tiene por un lado el regulador de tensión que actúa de carga variable, y por otro la toma de energía a través del bloque «Rectificador + Filtro», ambos conectados a la entrada de la antena.

### 5.1.1. Regulador/Limitador de tensión

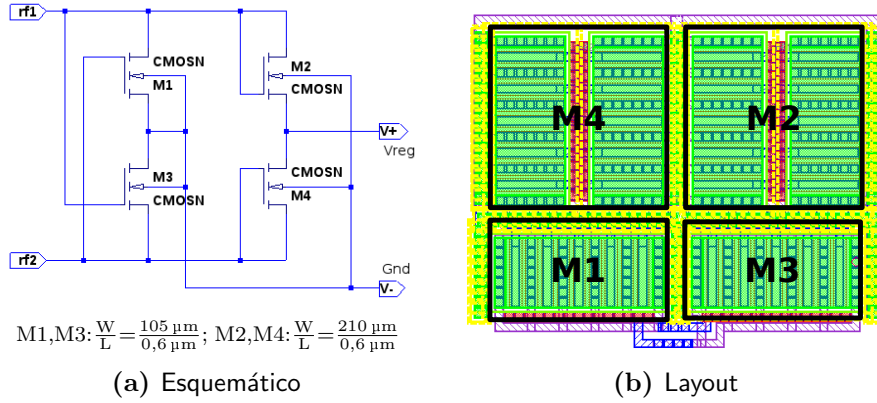
Se trata de un regulador de tensión de tipo paralelo y la idea es ajustar una carga variable de forma tal de regular la tensión inducida en la antena, manteniéndola por debajo del límite de tensión máxima permitida por el proceso de fabricación CMOS.

En la figura 5.1 se muestra el regulador propuesto. La tensión alterna de la antena en los nodos  $rf_1$  y  $rf_2$  es convertida mediante el rectificador de onda completa a tensión continua en el nodo  $V_{reg}$ . A la salida del rectificador se encuentra conectada la carga variable, que fue implementada con un transistor NMOS, y es controlada por la señal de error que produce el amplificador diferencial. La señal de error surge de amplificar la diferencia de tensión entre la tensión de referencia  $V_{gn}$  y una muestra de la tensión  $V_{reg}$ . La tensión de referencia es tomada de la referencia de corriente, que es de tipo *Beta Multiplier* [19].

La tensión  $V_{reg}$  es una onda senoidal rectificada y por lo tanto varía en función del tiempo con el doble de frecuencia que la señal portadora, es decir, 27,12 MHz. El lazo de realimentación debe ser lo suficientemente lento como para no reaccionar ante las variaciones de amplitud instante a instante, sino al valor medio de la señal, que es  $2V_p/\pi$ , donde  $V_p$  es el valor pico.

En la figura 5.2a se muestra el circuito del rectificador. Está formado por cuatro transistores NMOS, dos conectados como diodos y dos con los gates cruzados. Esta topología se eligió por sobre otras debido a que su rendimiento es mejor que el de un rectificador con cuatro en NMOS o PMOS, como se analiza extensamente en [28], y además es una topología simple y de fácil implementación.

La tensión máxima que se puede tener a la entrada del circuito integrado



**Figura 5.2:** Esquema del rectificador y su trazado físico.

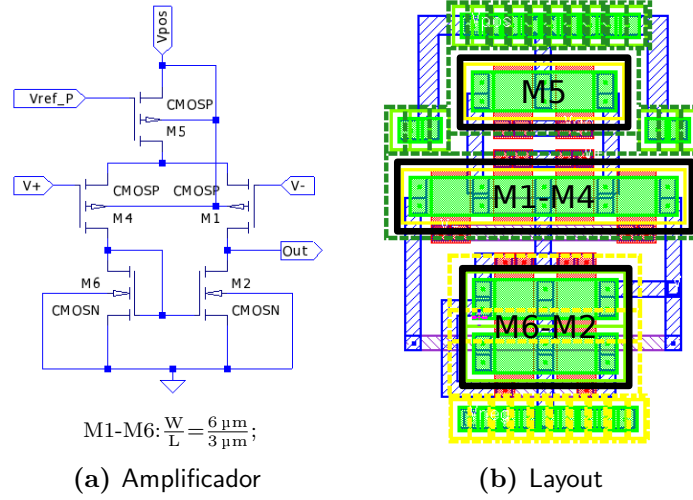
está limitada por la tensión máxima admisible a la entrada del rectificador, ya que las tensiones  $V_{gs}$  de M1 y M3 son iguales a la tensión de la antena y no pueden superar los 5,5 V máximos del proceso.

Según la figura 3.2, para limitar la tensión inducida con campo máximo en una antena de 8  $\mu\text{H}$  a 5,5 V se la debe cargar con 360  $\Omega$  aproximadamente. En estas condiciones el regulador de tensión deberá consumir 15 mA de corriente pico. Los transistores que están conectados como diodos en el rectificador (M2 y M4) fueron dimensionados para que con una corriente de esa magnitud la caída de tensión no sea mayor a 1,5 V. Para ello, por simulación se trazó la curva  $I_d = f(V_{ds})$  de un transistor conectado de esa manera y se fue incrementando el ancho del canal hasta obtener los valores deseados.

El hecho de conectar los gates de M1 y M3 de forma cruzada permite tener una tensión  $V_{gs}$  mayor y por lo tanto una corriente de drain mayor, o lo que es lo mismo, igual corriente que M2 y M4 con un  $V_{ds}$  menor. Por otro lado, este par de transistores tienen conectados sus bulks, que están formados por el substrato de tipo P, al nodo GND y sus terminales de source a rf1 y rf2 respectivamente. Este conexionado posibilita que se ponga en directa la juntura bulk-source (bulk tipo P y source tipo N) en el retorno de la corriente. Sin embargo, cruzar los gates de los transistores evita que eso suceda ya que la tensión  $V_{ds}$  es menor que la tensión umbral de conducción de la juntura bulk-source.

En la figura 5.2b se muestra el trazado físico del rectificador. Para evitar tener una corriente de 15 mA a través de un solo transistor se decidió dividir los dispositivos en varios transistores en paralelo. Así, M2 y M4 están compuestos por 20 NMOS en paralelo, lo que da un ancho de canal efectivo de 210  $\mu\text{m}$ , y M1 y M3 están compuestos por 10 transistores resultando un ancho efectivo de 105  $\mu\text{m}$ .

Volviendo al circuito regulador de tensión, la amplitud de la tensión

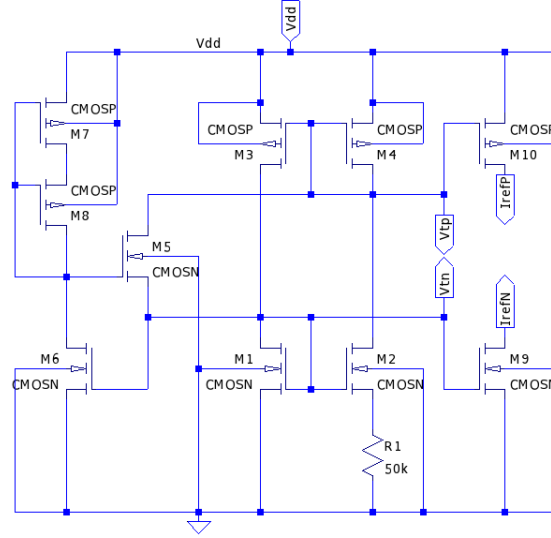


**Figura 5.3:** Esquema del amplificador y su trazado físico.

alterna en los nodos  $rf_1$  y  $rf_2$  está vinculada con la amplitud de la tensión  $V_{reg}$  a través de la caída de tensión en el rectificador, que puede considerarse de 1,5 V en el peor de los casos. Además, la tensión máxima que se puede tener a la entrada es de 5,5 V, entonces, se debe mantener la tensión  $V_{reg}$  por debajo de 4 V para que, sumando la caída en el rectificador, la amplitud de la tensión en la antena no supere los 5,5 V. Un valor pico de 4 V en  $V_{reg}$  se tiene si se regula su valor medio a 2,5 V, por lo tanto el lazo de realimentación debe mantener el valor medio por debajo de ese valor.

La tensión de referencia de 1 V se compara mediante el amplificador diferencial con la tensión  $V_{fb}$ , resultante de  $V_{reg}$  aplicada a un divisor resistivo. El amplificador no es más que el par diferencial con carga activa de la figura 5.3a y su ganancia es de 100 veces. El ancho de banda del amplificador es de 100 kHz y está dado por la capacidad del gate del transistor de carga que, dada la corriente que debe manejar, es de tamaño similar a los del rectificador. La baja ganancia del par diferencial junto al bajo ancho de banda ayudan a mantener la estabilidad del lazo de realimentación, según se analiza en [22].

Además, en esta implementación la carga utilizada es de tipo resistiva y en principio puede afectar la transmisión de datos, que precisamente se realiza mediante modulación de carga. Como se observó en el análisis de la sección 3.2, en la figura 3.7a, variar el valor de una carga resistiva cuando se tiene un circuito de antena de tipo RL produce una modulación de la tensión  $V_{sens}$  a la salida del arreglo de prueba. Sin embargo, el lector identifica los datos demodulando la sub-portadora y entonces, si la variación de la carga se realiza de forma lenta, a una velocidad mucho menor que la frecuencia de la sub-portadora, el lector no la detectará como transmisión de información. Este es otro motivo por el que es conveniente tener un ancho de banda



**Figura 5.4:** Referencia de corriente/tensión. M1 a M4 forman un circuito *Beta Multiplier*, M5 a M8 forman el circuito de arranque y M9 y M10 copian la corriente para ser usada por otros bloques. ( $M2 = 4M1$  y  $M3 = M4$ )

reducido en el lazo de realimentación.

Las resistencias en el lazo de realimentación se calcularon de forma tal de que con 2,2 V de valor medio en  $V_{reg}$ ,  $V_{fb}$  sea igual a  $V_{ref}$ , es decir que se cumpla:

$$\bar{V}_{fb} = \bar{V}_{reg} \frac{R_{fb2}}{R_{fb1} + R_{fb2}} = V_{ref}$$

Además, para evitar tener un consumo excesivo de corriente a través del divisor resistivo se eligieron 120 k $\Omega$  y 100 k $\Omega$  para  $R_{fb1}$  y  $R_{fb2}$  respectivamente.

En cuanto a la referencia de tensión, ésta se toma de la salida  $V_{tn}$  de la referencia de corriente de la figura 5.4. Allí los transistores M1 a M4 forman una referencia de corriente de tipo *Beta Multiplier* [19], M5 a M8 conforman el circuito de arranque, necesario para evitar el punto estable de cero corriente, y M9 y M10 copian las corrientes de la referencia y las distribuyen a otros circuitos.

En la figura 5.5 se muestra el trazado físico de la referencia de corriente. Para evitar las variaciones entre transistores que deben ir apareados se los ubicó a todos en la misma orientación y se los dividió en tamaños iguales, ubicándolos de forma simétrica con respecto al centro del bloque. El resistor R1 fue fabricado con *poly2* con un implante que aumenta su resistencia por cuadrado a 1 k $\Omega$  y se agregaron resistores extras en los extremos para evitar los efectos del acabado en los bordes.

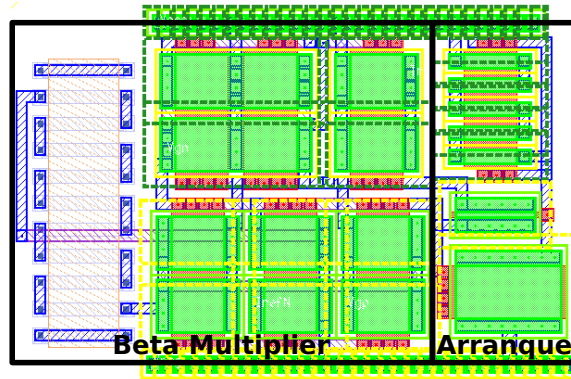


Figura 5.5: Layout de la fuente de corriente con su circuito de arranque.

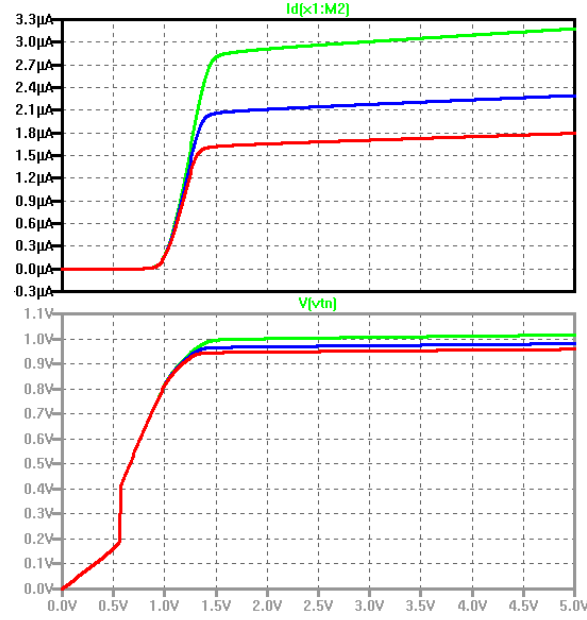
La tensión de referencia no tiene grandes exigencias en cuanto a su valor absoluto ya que da lo mismo si el regulador limita el valor medio de  $V_{reg}$  a 2 V o 2,5 V, siempre y cuando no se pase de este último, debido a que el sistema digital funcionará de todas maneras. Es por eso que se decidió utilizar la tensión  $V_{tn}$ , que si bien varía ligeramente con la tensión de alimentación y las variaciones del proceso, como se observa en la figura 5.6, su variación es de apenas 50 mV.

La corriente del *Beta Multiplier* se utiliza de referencia para crear copias con fuentes de corriente espejo en el par diferencial y en el circuito detector de pausas que se verá más adelante. Los transistores M1 a M4 tienen 6  $\mu\text{m}$  de largo para evitar los efectos de canal corto que aumentan la variación de  $I_{ref}$  con la tensión de alimentación [19].

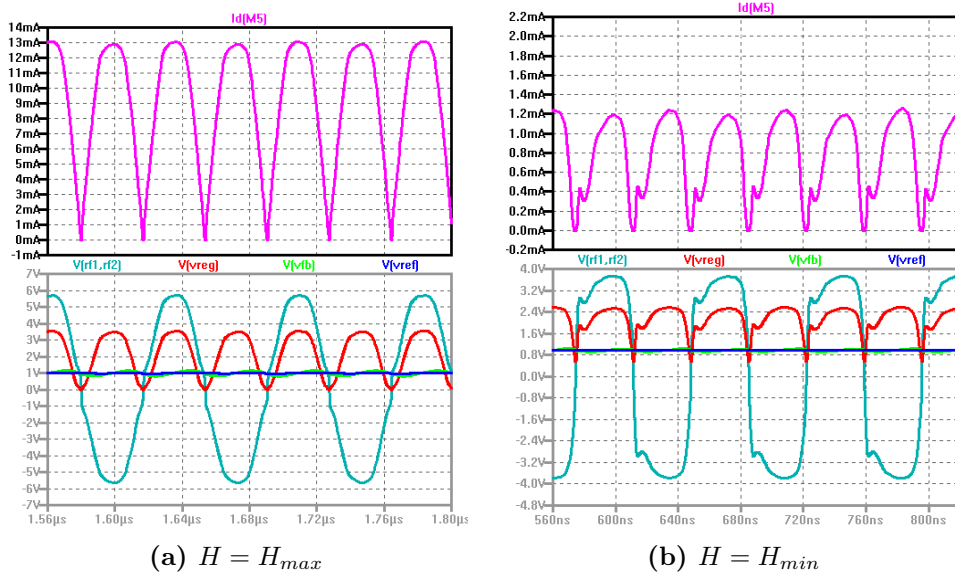
En la figura 5.7 se muestran dos simulaciones del regulador en funcionamiento. Las simulaciones se realizaron conectando el regulador/limitador de tensión al modelo del arreglo de antenas de la figura 3.8b y por la antena del PCD se hicieron circular corrientes tales que produzcan los campos máximo y mínimo de la norma en la posición de la antena del transponder. Para todos los dispositivos se utilizaron los valores nominales de diseño junto con el modelo de los transistores del último proceso de fabricación.

Los gráficos superiores muestran la corriente que circula por el transistor de paso, que es la que sale del rectificador y por lo tanto tiene forma de onda senoidal rectificada. En los gráficos inferiores se muestra la tensión inducida en la antena ( $V(rf1, rf2)$ ), la tensión en el transistor de paso ( $V_{reg}$ ), la tensión de referencia ( $V_{ref}$ ) y la tensión en el lazo de realimentación ( $V_{fb}$ ).

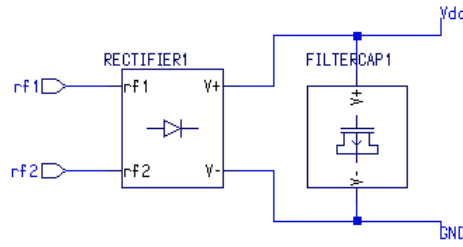
Con campo máximo el regulador consume una corriente pico de 13 mA, se tienen 3,5 V de tensión pico sobre el transistor de paso y una tensión inducida en la antena de 5,5 V pico, lo que da una caída máxima de 2 V en el rectificador. En estas condiciones el valor medio de  $V_{reg}$  es de 2,2 V y  $V_{fb}$  es aproximadamente igual a  $V_{ref}$  lo que implica que el lazo de realimentación



**Figura 5.6:** Simulación del *Beta Multiplier* de la figura 5.4. Las tres curvas corresponden a variaciones del proceso de fabricación que pueden afectar el valor de  $R_1$  en un 20 %.



**Figura 5.7:** Simulación del regulador de tensión en funcionamiento. Arriba se muestra la corriente a través del regulador de paso. Abajo las tensiones en la antena,  $V_{reg}$ ,  $V_{fb}$  y  $V_{ref}$ .



**Figura 5.8:** Circuito Rectificador + Filtro.

funciona correctamente.

Con campo mínimo, la corriente derivada por el regulador es de poco más de 1 mA, mientras que la tensión inducida en la antena es de 4 V pico y  $V_{reg}$  es 2,5 V pico. Si bien en esta situación el regulador no debería derivar corriente a *ground*, ya que el valor medio de  $V_{reg}$  está por debajo de 2,2 V, que eso suceda no afectaría en principio el funcionamiento del transponder ya que la tensión inducida en la antena es de 4 V pico y es suficiente para alimentar al dispositivo.

### 5.1.2. Rectificador + Filtro

En la figura 5.8 se muestra el circuito implementado dentro del bloque «Rectificador + Filtro». Los puertos  $rf_1$  y  $rf_2$  son los terminales de entrada de la antena, al igual que en la figura 5.1 donde se muestra el circuito del regulador. Se tiene un segundo rectificador del mismo tipo que el de la figura 5.2a, pero con dispositivos de mucho menor tamaño, y un capacitor implementado con un transistores PMOS trabajando en acumulación y capacidades parásitas entre capas de metal. La salida  $V_{dd}$  es la tensión de alimentación general para todo el circuito integrado. Allí se conecta el bloque digital, el detector de pausas, el circuito generador de reloj, el *power-on reset* y el regulador.

La tensión de alimentación  $V_{dd}$  no es más que la señal portadora recibida en la antena rectificada y filtrada, y su valor varía con la tensión pico inducida en la antena. Por otro lado, cuando el lector transmite información lo hace generando pausas de aproximadamente 2,36  $\mu$ s en la portadora, por lo que la energía recibida se debe almacenar para ser usada durante los intervalos en que el dispositivo no recibe alimentación. Para ello el capacitor de filtrado tiene que tener una capacidad tal que la tensión  $V_{dd}$  no caiga por debajo de la tensión mínima requerida para que la lógica mantenga su estado. Si bien no se recibe energía durante las pausas, es precisamente en esos momentos en que el dispositivo consume la mínima energía debido a que también se detiene la señal de reloj y por lo tanto el bloque digital está en estado estático y sin consumo dinámico.

Para dimensionar tanto el rectificador como el capacitor de filtro se debe



Bloque	Consumo a $V_{dd} = 3,5 \text{ V}$	
	En Pausas	Con Portadora
Digital	$< 1 \text{ nA}$	$325 \text{ }\mu\text{A}$
Generador de Reloj	$< 1 \text{ nA}$	$100 \text{ }\mu\text{A}$
<i>Power-on reset</i>	$3 \text{ }\mu\text{A}$	$3 \text{ }\mu\text{A}$
Ref. de Corriente	$6 \text{ }\mu\text{A}$	$6 \text{ }\mu\text{A}$
Amplificador	$2 \text{ }\mu\text{A}$	$2 \text{ }\mu\text{A}$
Detector de Pausas	$2 \text{ }\mu\text{A}$	$2 \text{ }\mu\text{A}$
Total	$13 \text{ }\mu\text{A}$	$438 \text{ }\mu\text{A}$

**Tabla 5.1:** Corrientes promedio consumidas por los bloques que toman su alimentación de  $V_{dd}$ .

conocer cuál es el consumo de corriente de los bloques conectados a ellos. Por simulación se obtuvo el consumo promedio del bloque digital, que es de  $325 \text{ }\mu\text{A}$  cuando tiene señal de reloj aplicada y se lo alimenta con  $3,5 \text{ V}$ ; y menor a  $1 \text{ nA}$  sin señal de reloj. El otro circuito que su consumo depende del reloj es el generador de reloj propiamente dicho, ya que cuenta con compuertas lógicas y cambia de estado al ritmo de la portadora. Su consumo dinámico es de casi  $100 \text{ }\mu\text{A}$  y el estático es despreciable al igual que el del bloque digital. Los circuitos restantes apenas consumen  $13 \text{ }\mu\text{A}$ , por lo tanto el consumo total es de  $440 \text{ }\mu\text{A}$  con reloj y considerando un peor caso puede tomarse un valor de  $15 \text{ }\mu\text{A}$  sin reloj.

Entonces se deben analizar dos casos: Cuando el transponder recibe la señal portadora y la lógica CMOS está cambiando de estado; y cuando se está en el intervalo de *pausa*, con los bloques digitales estáticos.

En el primer caso, y a los fines de considerar sólo la carga promedio, el consumo dinámico de la lógica se puede modelar como una resistencia. Además, si sumamos las corrientes del bloque digital más la del generador de reloj, el consumo de los bloques restantes —que no es de tipo resistivo ya que esos bloques contienen fuentes de corriente— es despreciable. Por lo tanto la carga total es equivalente a un resistor de  $10 \text{ k}\Omega$  conectado en paralelo con el capacitor de filtrado.

El *ripple* para un rectificador de onda completa con capacitor de filtrado y carga resistiva puede calcularse según la siguiente ecuación:

$$V_{ripple} = \frac{V_p}{R_L C_f} \cdot T$$

Donde  $V_p$  es la tensión pico a la salida del rectificador,  $R_L$  es la resistencia de carga,  $C_f$  la capacidad del capacitor de filtrado y  $T$  el período de la onda senoidal rectificada. Suponiendo que queremos un *ripple* menor al 10 % de la tensión de alimentación, se puede despejar de la ecuación la capacidad

necesaria para lograrlo.

El peor caso para el cálculo del capacitor de filtrado se da cuando el transponder se encuentra lejos del lector, recibiendo la intensidad de campo mínima. En estas condiciones la tensión inducida en la antena es de 4 V según se desprende de la figura 3.2 para el caso RL, una inductancia de 8  $\mu\text{H}$  y  $R_{PICC} = 10\text{ k}\Omega$ . Entonces, si se considera una caída de tensión de 1,5 V en el rectificador, la tensión pico a la salida será de 2,5 V. Además, la frecuencia de la onda senoidal rectificada es de 27,12 MHz y por lo tanto su período es de 36,8 ns.

Haciendo las cuentas se llega a que la capacidad necesaria para obtener un *ripple* menor al 10 % de  $V_{dd}$  es de 36 pF.

Por otro lado, según la tabla 5.1, durante las pausas se tiene un consumo constante de 13  $\mu\text{A}$  dado por los bloques *Power-On Reset* (POR), la referencia de corriente, el amplificador y el detector de pausas. Estos bloques contienen fuentes de corriente y por lo tanto su consumo es independiente de la tensión de alimentación. Por este motivo durante las pausas puede modelarse a la carga del capacitor de filtrado como una fuente de corriente que lo descarga de forma constante. La tensión en un capacitor con corriente constante varía de la siguiente forma:

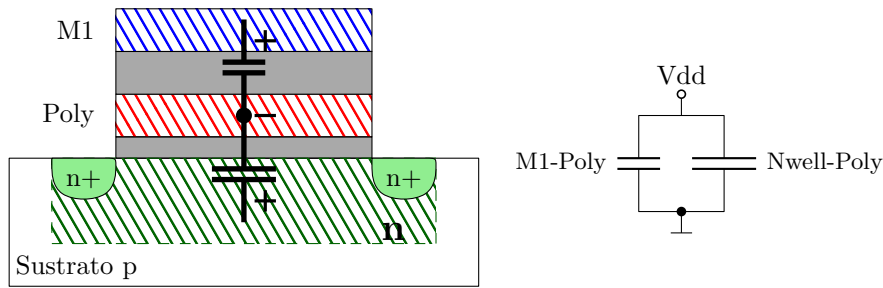
$$V_C = \frac{1}{C} \cdot I \cdot t \quad (5.1)$$

En el caso en que se tiene campo mínimo en la antena y por lo tanto 2,5 V pico a la salida del rectificador, se puede tener como máximo una caída de tensión durante las pausas de 1 V. De darse una caída de tensión de esa magnitud, la lógica digital quedaría alimentada con 1,5 V, tensión más que suficiente para mantener el estado de los flip-flops.

Según el estándar, la duración de las pausas tiene un máximo de 3  $\mu\text{s}$ , mientras que el consumo de corriente puede tomarse de 15  $\mu\text{A}$  para tener algún margen de seguridad. Despejando la capacidad de la ecuación para esos valores de tiempo y corriente, y para 1 V de caída de tensión en  $V_C$  se obtiene  $C_f = 45\text{ pF}$ .

Resumiendo, la capacidad necesaria para que el circuito integrado se mantenga alimentado durante las pausas es de 45 pF, mayor que la capacidad obtenida para tener un *ripple* de tensión del 10 %. Es evidente que cuanto mayor sea la capacidad menor será el *ripple* y menor será la caída de tensión durante las pausas en la portadora. Por lo tanto, en la implementación del diseño el capacitor de filtrado tendrá que ser de al menos 45 pF, pero podría ser mayor si hubiese espacio sobrante dentro del *die*.

Para finalizar, la implementación del capacitor de filtrado se realizó con transistores PMOS, ya que estos ofrecían la mayor capacidad por unidad de superficie ( 2,474 fF/ $\mu\text{m}^2$  según la tabla 2.3). Se utilizaron varios transistores



**Figura 5.9:** Capacitor de filtrado implementado con capacitores MOS y la primera capa de metal.

en paralelo y se conectó el terminal de *gate* de cada uno de ellos a  $V_{dd}$  y sus *bulks*, formados por difusiones tipo N a  $GND$ . De esta forma se obtuvo un capacitor MOS formado entre la capa de *poly* y el *Nwell* y se lo hizo trabajar en acumulación, modo en que la capacidad por unidad de área es constante y no depende de la tensión aplicada.

Para aumentar la capacidad de la estructura también se aprovechó la capacidad existente entre la capa de metal más baja (M1) y el poli-silicio, utilizando el conexionado de la figura 5.9. Se conectaron un total de 27 dispositivos de  $40\text{ }\mu\text{m} \times 40\text{ }\mu\text{m}$  en el área no utilizada del chip y se trazaron tiras de M1 sobre ellos, conectando todo el conjunto como indica la figura, y logrando una capacidad teórica de aproximadamente 100 pF.

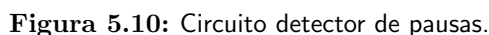
## 5.2. Transmisión y recepción de datos

Los bloques analógicos involucrados en la transmisión y recepción de datos traducen la información recibida del dominio analógico al digital y vice-versa. Por un lado en la recepción de datos se deben detectar las pausas introducidas por el lector en la señal portadora y generar la señal **pause** (ver figura 4.2) que deberá ingresar al sistema digital. Por el otro, en la transmisión hacia el lector se debe realizar la modulación de carga sobre la señal portadora según la información codificada por el sistema digital en *coded\_out* (figura 4.10).

### 5.2.1. Detector de Pausas

En la figura 5.10 se muestra el circuito propuesto para el detector de pausas. Los puertos *rf1* y *rf2* son la entrada de la tensión de la antena,  $V_{pos}$  es la tensión de alimentación interna, a través de *Irefn\_in* ingresa una corriente de referencia de  $1\text{ }\mu\text{A}$  y en *Pause* se obtiene la señal para el bloque digital.

La tensión entre *rf1* y *rf2* es la tensión inducida en la antena y por lo tanto su forma de onda es senoidal. Sin embargo, tomando las tensiones de



Los transistores M1 y M13 están conectados como diodos y forman la parte positiva de un rectificador de onda completa. M9 hace de capacitor MOS y se carga con las corrientes provenientes de la entrada de RF, mientras que M2 y M3 forman una fuente de corriente espejo que lo descarga a corriente constante. Luego se tiene una cadena de inversores que cambian de estado según la tensión de M9 y amplifican la variación de tensión de forma tal de tener flancos abruptos en *Pause*.

Para el cálculo del capacitor se consideró que se debía descargar con una corriente de  $1\text{ }\mu\text{A}$  desde la tensión máxima inducida en la antena hasta cero en  $1,5\text{ }\mu\text{s}$ , es decir, en la mitad del tiempo de la pausa. Usando la fórmula de la tensión en un capacitor con corriente constante (5.1) se obtuvo que la capacidad necesaria es de  $500\text{ fF}$ .

El capacitor fue implementado con un transistor PMOS en acumulación, al igual que los capacitores de filtrado de  $V_{dd}$ . De la información del proceso se tiene que la capacidad entre las capas de *Nwell* y *poly* en la zona activa es de  $2.474 \text{ fF}/\mu\text{m}^2$  y por lo tanto se trazó un transistor PMOS de  $15 \times 15 \mu\text{m}$ .

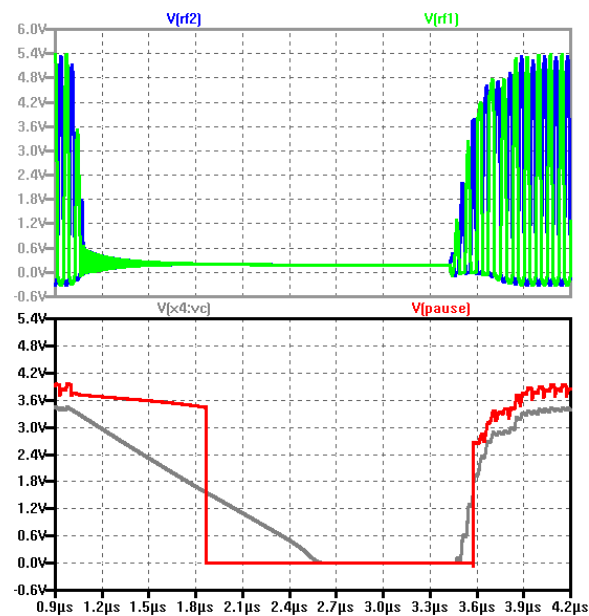


Figura 5.11: Simulación del circuito detector de pausas.

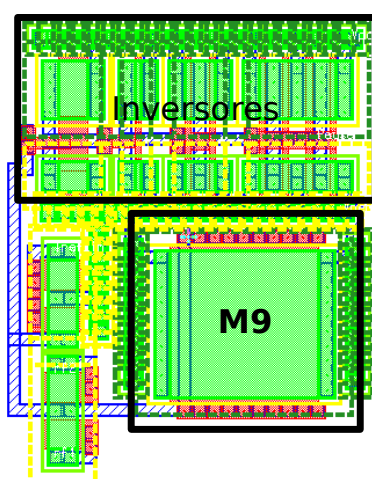
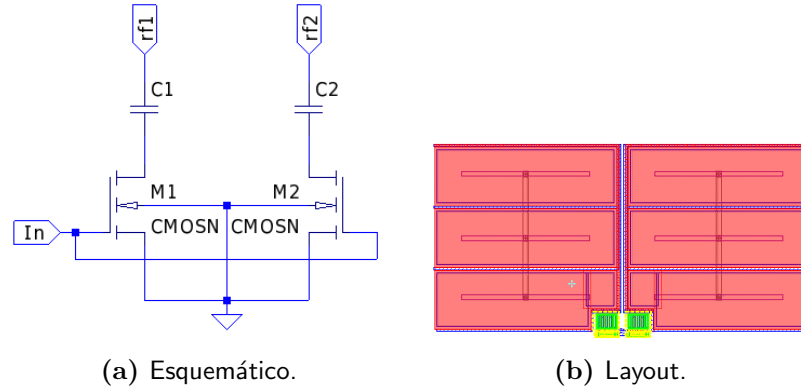


Figura 5.12: Layout del detector de pausas.



**Figura 5.13:** Circuito modulador de la señal portadora.

### 5.2.2. Modulador

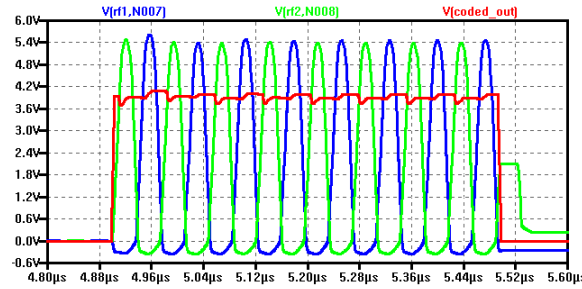
El bloque modulador es el encargado de realizar la modulación de carga sobre la antena para transmitir la información hacia el lector. Como se vio en la sección 3.2 existen dos formas de realizar la modulación: Resistiva y Capacitiva. En este caso se decidió utilizar una carga capacitiva.

En la figura 5.13a se muestra el bloque modulador. Se trata de un diseño simple que conecta/desconecta los capacitores C1 y C2 a la antena y estos actúan de carga. Los transistores M1 y M2 actúan de llaves comandadas por la señal `coded_out` del bloque modulador digital de la figura 4.10.

En la figura 5.14 se muestra una simulación del funcionamiento del circuito modulador. Allí se observan las tensiones en los capacitores C1 y C2 y la señal de encendido de las llaves. Cuando la señal `coded_out` está en cero las llaves se encuentran abiertas y por lo tanto no circula corriente por los capacitores. Este es el estado *descargado* de la señal portadora. Por otro lado, cuando `coded_out` es igual a  $V_{dd}$  se cierran las llaves y C1 y C2 quedan conectados a la antena actuando como cargas. En este caso se dice que la portadora se encuentra *cargada*. Durante el semiciclo positivo de *rf1* la corriente circula a través de C1 y en el semiciclo positivo de *rf2* la corriente circula a través de C2, es decir, los capacitores y la llaves trabajan de forma alternada debido a que las tensiones de la entrada de la antena respecto de GND se ven como medias ondas rectificadas.

Los capacitores fueron implementados con las capas *poly-poly2* debido a que era necesario conectar ambos terminales a nodos distintos de GND y eso no hubiese sido posible con otro tipo de capacitores.

El estándar da un límite mínimo para la amplitud de la modulación de carga medida con el arreglo ISO/IEC 10373-6 de 18 mV pico con  $H_{\min}$  y 9 mV pico con  $H_{\max}$  (figura 1.4). De la figura 3.7b y el análisis relacionado se desprende que con una capacidad de 8 pF debería obtenerse una modulación de amplitud suficiente.



**Figura 5.14:** Simulación del circuito modulador de la señal portadora. Los trazos verde y azul son las tensiones en C1 y C2 respectivamente, mientras que el trazo rojo es la señal de comando formada por los datos modulados con la sub-portadora.

Los capacitores de *poly-poly2* tienen una capacidad de  $0,885 \text{ fF}/\mu\text{m}^2$ , por lo tanto es necesaria un área de  $95 \times 95 \mu\text{m}$  para cada uno de ellos. El trazado físico final del bloque puede verse en la figura 5.13b.

### 5.3. Generador de reloj

El generador de reloj se encarga de producir la señal de reloj necesaria para el sistema digital. Esta señal debe ser de exactamente la misma frecuencia que la portadora debido a que el sistema digital depende de esta base de tiempo para codificar y decodificar la información. Además debe contar con flancos rápidos, de muy corta duración, para disminuir el consumo dinámico de la lógica CMOS, y no debe contener *glitches* que puedan llevar al sistema digital a un estado indeseado.

En la figura 5.15 se muestra el esquema eléctrico del generador de reloj. Para obtener una señal de la misma frecuencia que la portadora se decidió generarla a partir de la portadora misma.

Las entradas *phi1* y *phi2* están conectadas a las entradas provenientes de la antena *rf1* y *rf2*, por lo que se tienen allí tensiones de tipo senoidal media onda rectificada, desfasadas  $180^\circ$  entre ellas. Luego se tienen dos inversores desbalanceados para obtener el punto de cambio de estado más cerca de  $V_{dd}$  que de cero. Estos inversores convierten la entrada de RF en señales cuadradas que disparan un par de flip-flops T, que cambian de estado con cada flanco descendente de reloj. Las salidas de los flip-flops son dos señales cuadradas de la mitad de frecuencia que la portadora desfasadas  $90^\circ$ , como se muestra en la simulación de la figura 5.16. La señal de reloj se obtiene a partir de la operación XOR de las salidas de los flip-flops y para poder manejar la carga del conexionado y la entrada del árbol de reloj del bloque digital se agregó un inversor del doble del tamaño del inversor mínimo.

La señal de reloj producida por este método es obtenida a partir del período de la señal portadora y por lo tanto tiene su misma frecuencia y además está sincronizada con ella. Al producirse una pausa, la amplitud

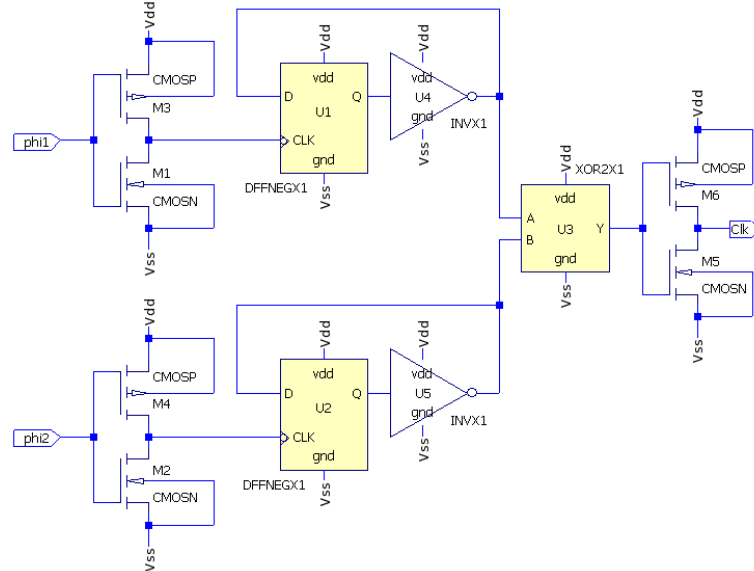


Figura 5.15: Esquema eléctrico del bloque generador de reloj.

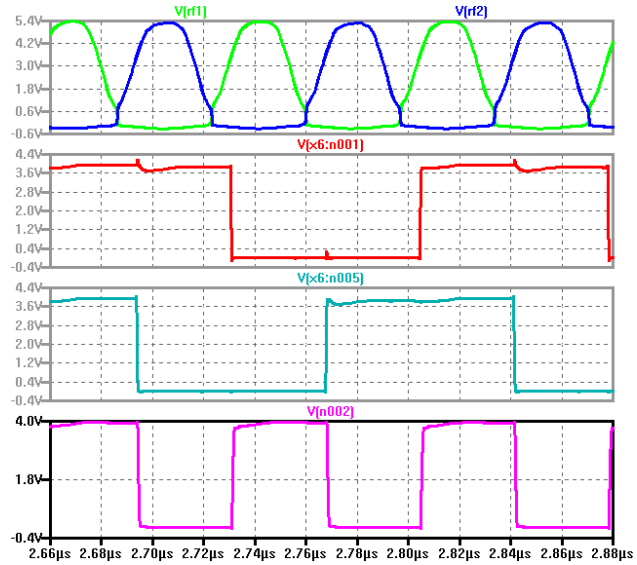


Figura 5.16: Simulación del bloque generador de reloj.



de las tensiones en *rf1* y *rf2* se reduce de forma monótona hasta llegar a cero (este es un requisito que debe cumplir la portadora según el estándar). Cuando dicha amplitud es menor que la tensión umbral de los inversores de entrada los flip-flops quedan detenidos en un estado y lo mismo sucede con el reloj.

Al finalizar la pausa, en principio no se sabe que entrada, *phi1* o *phi2*, hará que el correspondiente flip-flop cambie de estado. Sin embargo esto no es un problema ya que como el reloj es resultante de la operación XOR, no importa que cambie la fase de sus entradas, la salida seguirá siendo una señal cuadrada y no contendrá el cambio de fase de la entrada. Por ejemplo, si durante la pausa las entradas de la XOR quedan en los estados A='0' y B='1', dados por los correspondientes FFs U1 y U2, la salida de reloj se mantendrá en estado '0'. Si al retornar la portadora el primer FF cambia de estado y la entrada A de la XOR pasa de '0' a '1', entonces la salida de reloj cambiará al estado '1'. Si por el contrario U2 cambiase de estado primero al retornar la portadora, entonces la entrada B de la XOR pasará a '0', mientras que A se mantendrá en '0', y entonces la salida de reloj también cambiará al estado '1'.

## 5.4. *Power-On Reset* (POR)

Cuando el dispositivo es acercado a la zona de influencia de un lector, se induce una tensión en la antena y la alimentación interna crece de cero al nivel máximo en algunos milisegundos (Recordar que el campo del lector está siempre activo y es el transponder el que es acerca. Cuanto tarda la tensión en llegar al nivel de operación dependerá de que tan rápido se aproxime). El bloque *power-on reset* se encarga de generar la señal **reset** para el sistema digital cuya función es llevarlo al estado inicial en el arranque del dispositivo. En la figura 5.17 se muestra el esquema eléctrico del POR, cuyo diseño está basado en el presentado en [22].

Su funcionamiento se basa en la comparación de las corrientes que circulan por dos transistores de tamaños diferentes para así liberar la señal **reset** cuando  $V_{dd}$  alcanza la tensión de funcionamiento.

Cuando  $V_{dd}$  está por debajo de la tensión mínima de operación  $V_{dd_{\min}}$ , no circula corriente por M2 y por lo tanto M8 conecta la entrada de la cadena de inversores a  $V_{dd}$ , haciendo que la salida POR se encuentra en alto. A su vez el transistor M5, que actúa como llave, se encuentra cortado.

Al superar  $V_{dd}$  a  $V_{tn} + V_{tp}$  comienza a circular una corriente a través de M1-20, M3-4 que depende de  $V_{dd}$  de forma cuadrática, ya que esos transistores están conectados como diodos. M2 copia esta corriente y la hace circular a través de M8, que es un transistor más largo que ancho y tiene un *beta* menor que M3-4. Entonces, al ir aumentando  $V_{dd}$  la corriente requerida por la fuente de corriente espejo a través de M2 superará a la que puede entregar

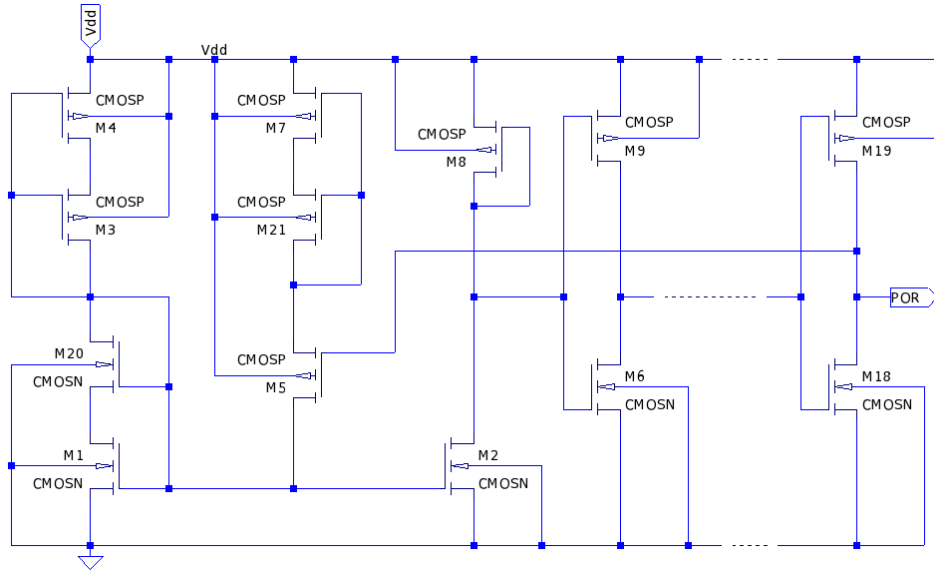


Figura 5.17: Esquema eléctrico del bloque *power-on reset*.

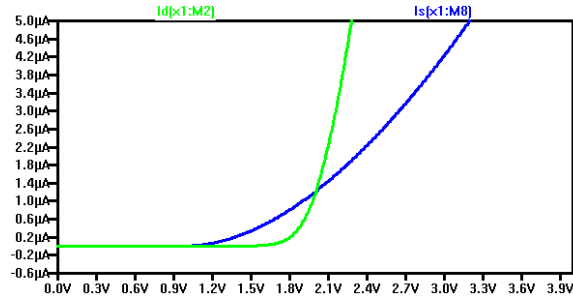
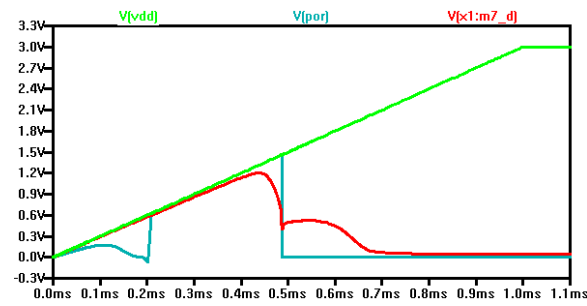


Figura 5.18:  $I_{D2}$  e  $I_{D8}$  en función de la tensión de alimentación. En esta simulación los drains de M2 y M8 fueron conectados a  $V_{dd}$  y  $GND$  respectivamente.

M8 para la misma tensión de alimentación y por lo tanto la tensión del nodo intermedio pasará de  $V_{dd}$  a cero, haciendo que cambie el estado de la salida.

En la figura 5.18 el drain de M2 fue conectado a  $V_{dd}$  y el drain de M8 a  $GND$ . Allí se ve como la corriente a través de M2 crece de forma cuadrática una vez superada la tensión  $V_{tn} + V_{tp}$  y como la corriente a través de M8 comienza a crecer antes, pero con un *beta* menor. Cuando se supera el punto de cruce la caída de tensión en M8 aumenta y por lo tanto el drain de M2 cae, haciendo que la cadena de inversores cambie de estado y la señal POR sea cero.

M5 y M7-21 agregan una pequeña histéresis al circuito. Cuando POR pasa al estado cero, M5 conecta a M7-21 en paralelo con M3-4, aumentando el ancho efectivo del transistor equivalente. Esto hace que circule mayor corriente a través de M1-20 y, a través de la copia espejo, la caída en M8



**Figura 5.19:** Tensión del drain de M2 y de salida del circuito cuando  $V_{dd}$  aumenta de cero a 3 V.

aumente aún más. De esta forma se evita que la salida del circuito quede oscilando cuando  $V_{dd}$  alcanza el límite de la transición.

En a figura 5.19 se observa la tensión del drain de M2 junto con la salida a medida que aumenta  $V_{dd}$ .



# Bibliografía

- [1] *Design Compiler Graphical*. <http://www.synopsys.com/Tools/Implementation/RTLSynthesis/DCGraphical/Pages/default.aspx>.
- [2] *DIP40 from Kyocera*. <http://www.mosis.com/pages/Technical/Packaging/Ceramic/menu-pkg-ceramic>.
- [3] *GNU Octave Web Page*. <https://www.gnu.org/software/octave/>.
- [4] *GTKwave Web Page*. <http://gtkwave.sourceforge.net/>.
- [5] *IC Compiler Place and Route System*. <http://www.synopsys.com/Tools/Implementation/PhysicalImplementation/Pages/ICCompiler.aspx>.
- [6] *Icarus Verilog Web Page*. <http://iverilog.icarus.com/>.
- [7] *LTSpice*. <http://en.wikipedia.org/wiki/LTspice>.
- [8] *Mentor Graphics IC Design*. [http://www.mentor.com/products/ic\\_nanometer\\_design/custom-ic-design/](http://www.mentor.com/products/ic_nanometer_design/custom-ic-design/).
- [9] *MOSIS Integrated Circuit Fabrication Service*. <http://www.mosis.com/>.
- [10] *Oklahoma State University System on Chip Design Flows*. [http://vlsiarch.ecen.okstate.edu/?page\\_id=12](http://vlsiarch.ecen.okstate.edu/?page_id=12).
- [11] *Identification cards — Test methods — Part 6: Proximity cards*, 2000.
- [12] *Identification cards — Physical characteristics*, 2003.
- [13] *IEEE Standard for Verilog Hardware Description Language*. IEEE Std 1364-2005 (Revision of IEEE Std 1364-2001), páginas 1–560, 2006.
- [14] *Identification cards - Contactless integrated circuit(s) cards - Proximity cards - Part 1: Physical characteristics*, 2007.
- [15] *Identification cards - Contactless integrated circuit(s) cards - Proximity cards - Part 4: Transmission protocol*, 2007.

- [16] *Identification cards - Contactless integrated circuit(s) cards - Proximity cards - Part 3: Initialization and anticollision*, 2008.
- [17] *Identification cards - Contactless integrated circuit(s) cards - Proximity cards - Part 2: Radio frequency power and signal interface*, 2009.
- [18] Alcalde Bessia, Fabricio, Diego Fanego y Guillermo Makar: *Diseño de un TAG RFID integrado en un proceso CMOS de 0,5 $\mu$ m*. En *CASE 2012, Congreso Argentino de Sistemas Embebidos*, página 120, August 2012, ISBN 978-987-9374-82-5. <http://www.sase.com.ar/2012/congreso-argentino-de-sistemas-embebidos-case-2012/>.
- [19] Baker, Jacob: *CMOS Circuit design, layout and simulation*. Wiley-Interscience, 2005.
- [20] Finkenzeller, Klaus: *RFID Handbook*. Wiley, 3<sup>a</sup> edición, 2010.
- [21] Gray, P., P. Hurst, S. Lewis y R. Mayer: *Analysis and design of analog integrated circuits*. John Wiley, 2001.
- [22] Gudnason, Gunnar y Erik Bruun: *CMOS circuit design for RF sensors*. Kluwer Academic Publishers, 2002.
- [23] Hastings, Alan: *The art of analog layout*. Prentice Hall, 2001.
- [24] Himanshu, Bhatnagar: *ADVANCED ASIC CHIP SYNTHESIS Using Synopsys<sup>®</sup> Design Compiler<sup>™</sup> Physical Compiler<sup>™</sup> and PrimeTime<sup>®</sup>*. KLUWER ACADEMIC PUBLISHERS, 2002.
- [25] Kamon, M., M.J. Tsuk y J.K. White: *FASTHENRY: a multipole-accelerated 3-D inductance extraction program*. Microwave Theory and Techniques, IEEE Transactions on, 42(9):1750–1758, Sept 1994, ISSN 0018-9480.
- [26] Mandolesi, P., G. San Martín y Julián P.: *RFID Front-End in 0.5 $\mu$ m Standard CMOS process: Experimental results*. En *Proceedings of the Argentine School of Micro-Nanoelectronics, Technology and Applications 2008*, 2008.
- [27] Marechal, Catherine y Dominique Paret: *Optimization of the law of variation of shunt regulator impedance for Proximity Contactless Smart Card Applications to reduce the loading effect*. Informe técnico, Laboratoire LRIT – ESIGETEL.
- [28] Zhu, Zheng, Ben Jamali y Peter H. Cole: *Brief Comparison of Different Rectifier Structures for RFID Transponders*. Informe técnico, Auto-ID lab at University of Adelaide.