

《数字逻辑》

（第3章习题答案）

厦门大学信息学院软件工程系 曾文华

2024年10月12日

课程内容

- 全书共9章：

第1章 基本知识

第2章 逻辑代数基础

第3章 集成门电路与触发器

第4章 组合逻辑电路

第5章 同步时序逻辑电路

第6章 异步时序逻辑电路

第7章 中规模通用集成电路及其应用

第8章 可编程逻辑器件

第9章 综合应用举例



第3章 集成门电路与触发器

- 3.1 数字集成电路的分类
- 3.2 半导体器件的开关特性
- 3.3 逻辑门电路
- 3.4 触发器

习题 (P91–P93)

- 3.1
- 3.4
- 3.6
- 3.7
- 3.8
- 3.9
- 3.11
- 3.12
- 3.13
- 3.14
- 3.15

习题答案

- 3.1 根据所采用的半导体器件不同，集成电路可分为哪两大类？各自的主要优缺点是什么？
- 答：
 - 根据所采用的半导体器件不同，集成电路分为：双极型集成电路和单极型集成电路（也称MOS型集成电路）。
 - 双极型集成电路的优点是速度快、负载能力强，缺点是功耗较大、结构较复杂。
 - MOS型集成电路的优点是结构简单、制造方便、集成度高、功耗低，缺点是速度慢。

习题答案

- 3.2 简述晶体二极管的静态特性？

- 答：

- 二极管的静态开关特性是指二极管处在导通和截止两种稳定状态下的特性。包括：
 - （1）**正向特性**：当外加电压（ v_D ）小于阈值电压（ V_{TH} ）时，二极管处于截止状态，此时电阻很大，电流 i_D 接近0。当外加电压超过阈值电压，达到一定值（ V_F ，导通电压）时，二极管处于充分导通状态，此时电阻很小，电流 i_D 急剧增加。
 - （2）**反向特性**：当外加反向电压在一定数值范围内时（称为反向截止电压 $V_R=0 \sim V_{BR}$ ），反向电阻很大，反向电流 I_S （也称为反向饱和电流）很小，二极管处于截止状态。当反向电压超过 V_{BR} （反向击穿电压）时，反向电流突然猛增，二极管被击穿。

习题答案

- 3.3 晶体二极管的开关速度主要取决于什么？
- 答：
 - 晶体二极管的动态开关特性包括反向恢复时间和开通时间。
 - 通常，二极管的开通时间很短，对开关速度影响很小，相对反向恢复时间而言，可以忽略不计。
 - 因此，简述晶体二极管的开关速度主要取决于反向恢复时间。

习题答案

- 3.4 数字电路中，晶体三极管一般工作在什么状态下？
- 答：
 - 晶体三极管有截止、放大、饱和等3种工作状态。
 - 在数字逻辑电路中，晶体三极管被作为开关元件，一般工作在饱和与截止两种状态。

习题答案

- 3.5 晶体三极管的开关速度取决于哪些因素？
- 答：
 - 晶体三极管的开关速度主要取决于**开通时间**（三极管从截止到饱和导通所需的时间称为开通时间）和**关闭时间**（三极管从饱和导通到截止所需的时间称为关闭时间）。

习题答案

- **3.6 TTL与非门有哪些主要性能参数？**

- **答：**

- ① 输出高电平：指与非门的输入至少有一个接低电平时的输出电平。
- ② 输出低电平：指与非门的输入全为高电平时的输出电平。
- ③ 开门电平：指确保与非门输出为低电平时，所允许的最小输入高电平。
- ④ 关门电平：指确保与非门输出为高电平时，所允许的最大输入低电平。
- ⑤ 扇入系数：指与非门允许的输入端数目。
- ⑥ 扇出系数：指与非门的输出端连接同类门的最多个数，它反映了与非门的带负载能力。根据负载电流的流向，可以将负载分为“灌电流负载”（指负载电流从外接电路流入与非门）和“拉电流负载”（指负载电流从与非门流向外接电路）。通常带灌电流负载的数目和带拉电流负载的数目是不相等的，扇出系数常取两者中的最小值。
- ⑦ 输入短路电流：指当与非门的一个或多个输入端接低电平，而其余输入接高电平或悬空时，流向低电平输入端的电流。
- ⑧ 输入漏电流：指某一输入端接高电平，而其它输入端接低电平时，流入高电平输入端的电流，又称为高电平输入电流。
- ⑨ 平均传输延迟时间：指一个矩形波信号从与非门输入端传到与非门输出端（反向输出）所延迟的时间。
- ⑩ 平均功耗。与非门的功耗是指在空载条件下工作时所消耗的电功率，包括空载导通功耗和空载截止功耗。平均功耗为空载导通功耗和空载截止功耗的平均值。

习题答案

- 3.7 OC门和TS门的结构与一般TTL与非门有何不同？各有何主要应用？

答：

- 传统的推拉式输出结构的**TTL与非门**（图3.11），是不能将两个门的输出端直接并接使用的，因为这样会导致逻辑门的损坏（图3.21）。
- OC门**（Open Collector，集电极开路门，图3.22）将一般TTL与非门中的 T_3 、 D_4 去掉，令 T_4 的集电极悬空，从而将一般TTL与非门电路的推拉式输出级改为三极管集电极开路输出，使用时通过外接负载电阻 R_L 和电源 V_{CC} 令其正常工作。只要电阻 R_L 和电源 V_{CC} 选择适当，就能既保证输出的高低电平正常，又能使流过输出级的电流不致过大。

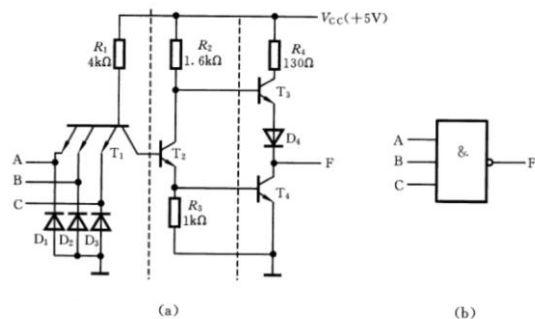


图 3.11 典型的 TTL 与非门电路及逻辑符号

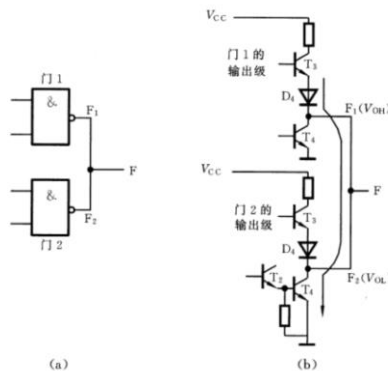


图 3.21 两个 TTL 与非门输出端直接并接使用的情况

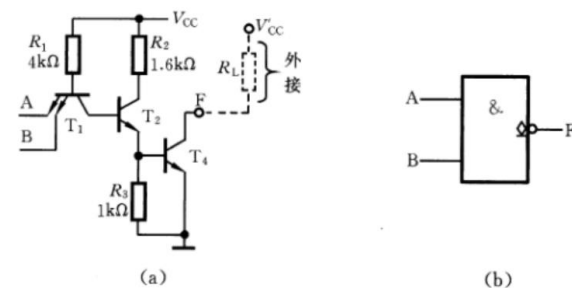


图 3.22 集电极开路与非门的电路结构和逻辑符号

- **TS门**（**Three State**，三态门，图3.25）有3种输出状态：输出**高电平**、输出**低电平**、**高阻状态**，前两种状态为工作状态，后一种状态为禁止状态。当使能控制端**EN=1**时，输出 **$F=A \cdot B$** ，输出为高电平或低电平，与一般的与非门功能一样。当使能控制端**EN=0**时，输出**F**被悬空，输出处于高阻状态。

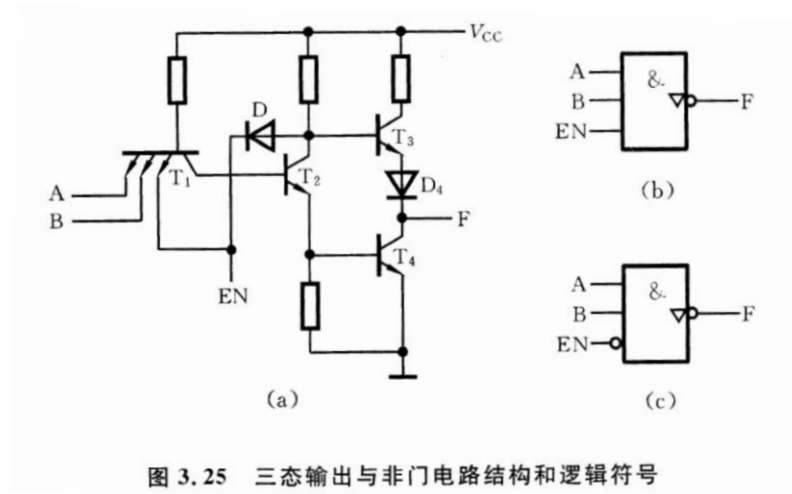


图 3.25 三态输出与非门电路结构和逻辑符号

- 将两个**OC与非门**的输出端直接并接使用，可以实现“**线与**”逻辑；**OC与非门**还可以实现**电平转换**。
- 用**TS门**可以构成**单向数据传输总线**，也可以构成的**双向数据传输总线**（可以实现数据的分时双向传送）。

习题答案

- **3.8** 图3.60(a)所示为三态门组成的总线换向开关电路，其中，**A**、**B**为信号输入端，分别送两个频率不同的信号；**EN**为换向控制端，输入信号和控制电平波形如图(b)所示。试画出 Y_1 、 Y_2 的波形。

• 答：

- **EN=0**，第①、③个三态门处于工作状态，第②、④个三态门处于高阻状态。因此， $Y_1=/A$ ， $Y_2=/B$ 。
- **EN=1**，第②、④个三态门处于工作状态，第①、③个三态门处于高阻状态。因此， $Y_1=/B$ ， $Y_2=/A$ 。

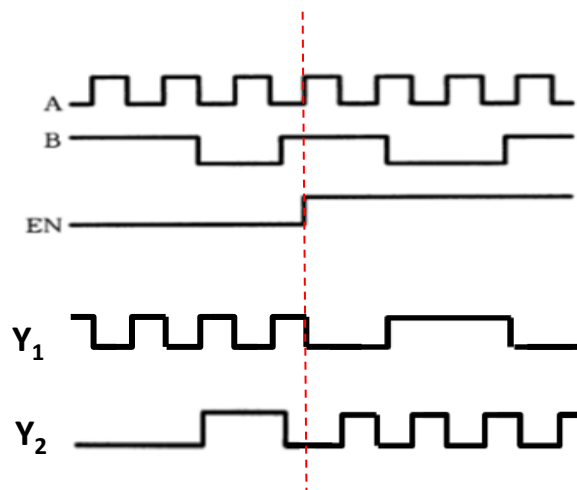
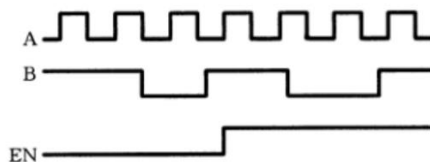
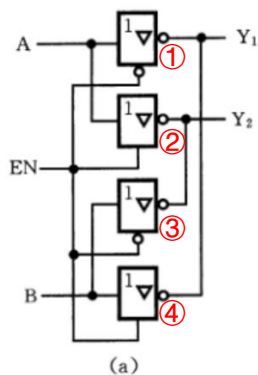


图 3.60 逻辑电路及有关信号波形

习题答案

- 3.9 有两个相同型号的TTL与非门，对它们进行测试的结果如下：（1）甲的开门电平为1.4V，乙的开门电平为1.5V。（2）甲的关门电平为1.0V，乙的关门电平为0.9V。试问在输入相同高电平时，哪个抗干扰能力强？在输入相同低电平时，哪个抗干扰能力强？
- 答：
 - 开门电平是指确保与非门输出为低电平时，所允许的最小输入高电平。显然，开门电平越小抗干扰能力越强。
 - 关门电平是指确保与非门输出为高电平时，所允许的最大输入低电平。显然，关门电平越大抗干扰能力越强。
 - 在输入相同高电平时，甲的开门电平比乙的开门电平低。因此，甲的抗干扰能力比乙强。
 - 在输入相同低电平时，甲的关门电平比乙的关门电平高。因此，甲的抗干扰能力比乙强。

习题答案

- 3.10 试画出实现如下功能的CMOS电路图：

- (1) $F = \overline{(A \cdot B \cdot C)}$

- (2) $F = A + B$

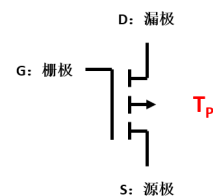
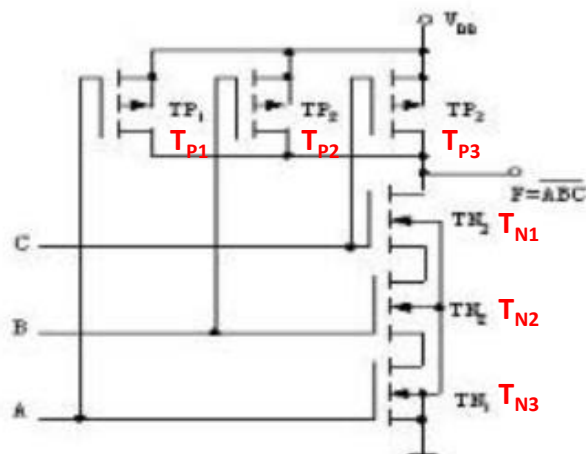
- (3) $F = \overline{(A \cdot B + C \cdot D)}$

- 答：

- (1) **3输入CMOS与非门**由3个串联的NMOS管 (T_{N1} 、 T_{N2} 、 T_{N3}) 和3个并联的PMOS管 (T_{P1} 、 T_{P2} 、 T_{P3}) 构成： $F = \overline{(A \cdot B \cdot C)}$ 。

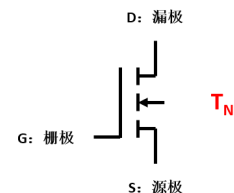
- A、B、C均为高电平时，3个NMOS管均导通，3个PMOS管均截止。因此，输出F=低电平。

- A、B、C有低电平时，3个NMOS管至少有1个截止，3个PMOS管至少有1个导通。因此，输出F=高电平。



P沟道MOS管

G=高电平, 截止
G=低电平, 导通



N沟道MOS管

G=高电平, 导通
G=低电平, 截止

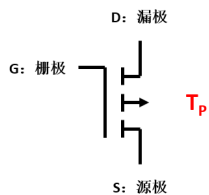
— (2) **2输入CMOS或非门**由2输入CMOS或非门和CMOS反相器构成: $F' = \neg(A+B)$, $F = \neg F' = A+B$ 。

- **2输入CMOS或非门:**

- 当输入端A、B均为低电平时, T_{N1} 和 T_{N2} 截止, T_{P1} 和 T_{P2} 导通。因此, 输出端F'为高电平。
- 当输入端A、B有高电平时, T_{N1} 和 T_{N2} 至少有一个导通, T_{P1} 和 T_{P2} 至少有一个截止。因此, 输出端F'为低电平。

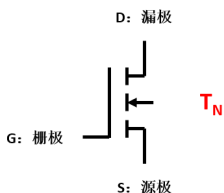
- **CMOS反相器:**

- 当F'为高电平时, T_{N3} 导通, T_{P3} 截止, 电路工作在导通状态。因此, 输出端F为低电平。
- 当F'为低电平时, T_{N3} 截止, T_{P3} 导通, 电路工作在截止状态。因此, 输出端F为高电平。



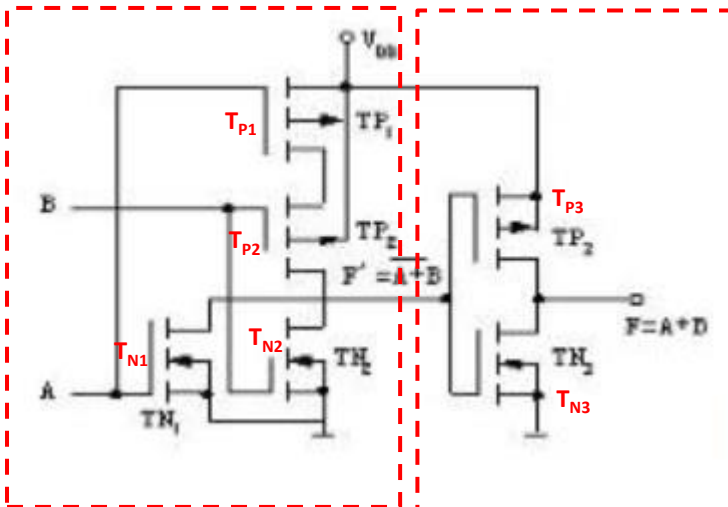
P沟道MOS管

G=高电平, 截止
G=低电平, 导通



N沟道MOS管

G=高电平, 导通
G=低电平, 截止

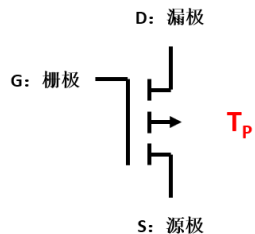


2输入CMOS或非门

CMOS反相器

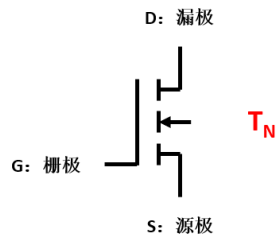
— (3) **2-2输入CMOS与或非门**由4个PMOS管和4NMOS管构成： $F=/(A \cdot B + C \cdot D)$ 。

- 当输入端A和B有低电平 (T_{N1} 、 T_{N2} 至少有1个截止， T_{P1} 、 T_{P2} 至少有1个导通)，并且输入端C和D有低电平 (T_{N3} 、 T_{N4} 至少有1个截止， T_{P3} 、 T_{P4} 至少有1个导通)；输出端F为高电平。
- 当输入端A和B均为高电平 (T_{N1} 、 T_{N2} 都导通， T_{P1} 、 T_{P2} 都截止)；输出端F为低电平。
- 当输入端C和D均为高电平 (T_{N3} 、 T_{N4} 都导通， T_{P3} 、 T_{P4} 都截止)；输出端F为低电平。
- 当输入端A和B均为高电平 (T_{N1} 、 T_{N2} 都导通， T_{P1} 、 T_{P2} 都截止)，并且输入端C和D均为高电平 (T_{N3} 、 T_{N4} 都导通， T_{P3} 、 T_{P4} 都截止)；输出端F为低电平。



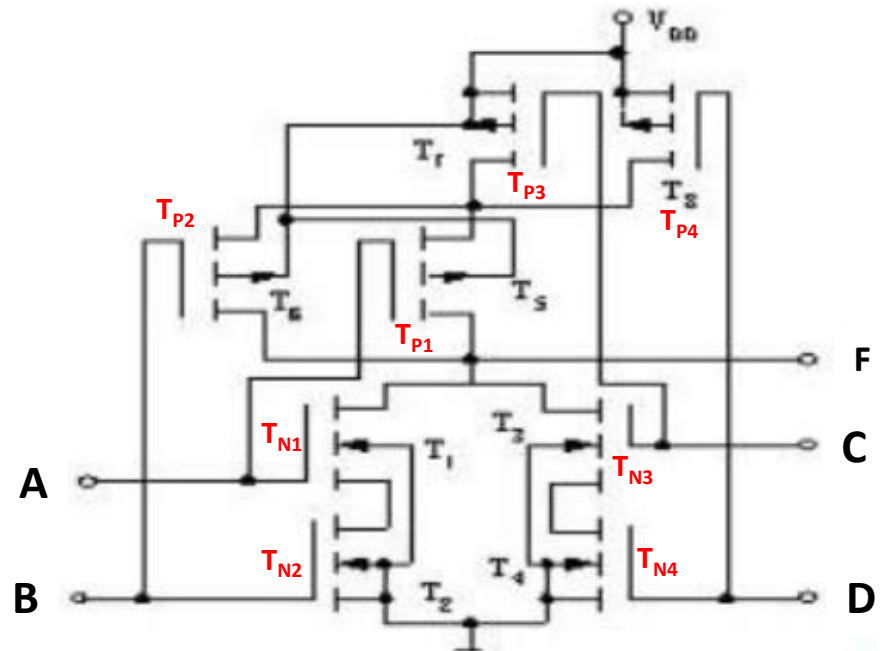
P沟道MOS管

G=高电平，截止
G=低电平，导通



N沟道MOS管

G=高电平，导通
G=低电平，截止



习题答案

- **3.11** 试指出下列5种逻辑门中哪几种门的输出可以并联使用：
 - (1)TTL集电极开路门；
 - (2)采用推拉式输出的一般TTL与非门；
 - (3)TTL三态输出门；
 - (4)普通CMOS门；
 - (5)CMOS三态输出门。
- 答：
 - 可以**并联使用**：(1)TTL集电极开路门；(3)TTL三态输出门；(5)CMOS三态输出门。
 - **不可以**并联使用：(2)采用推拉式输出的一般TTL与非门；(4)普通CMOS门。

习题答案

- 3.12 用与非门构成的基本R-S触发器和用或非门构成的基本R-S触发器在逻辑功能上有什么区别？
- 答：
 - 用与非门构成的基本R-S触发器的逻辑功能如表3.13所示。次态方程： $Q^{n+1} = \overline{S + R \cdot Q}$ （约束方程： $R + S = 1$ ）。
 - 用或非门构成的基本R-S触发器的逻辑功能如表3.16所示。次态方程： $Q^{n+1} = S + \overline{R \cdot Q}$ （约束方程： $R \cdot S = 0$ ）。
 - 可见，如果将用与非门构成的基本R-S触发器的输入取反，则就变为用或非门构成的基本R-S触发器。这也就是为什么用与非门构成的基本R-S触发器的逻辑符号的R、S端有两个圆圈的原因。

表 3.13 与非门构成的基本R-S 触发器功能表

R	S	Q^{n+1}	功能说明
0	0	d	不定
0	1	0	置 0
1	0	1	置 1
1	1	Q	不变

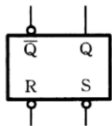
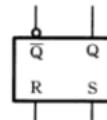


表 3.16 或非门构成的基本R-S 触发器功能表

R	S	Q^{n+1}	功能说明
0	0	Q	不变
0	1	1	置 1
1	0	0	置 0
1	1	d	不定



习题答案

- 3.13 在图3.61(a)所示的D触发器电路中，若输入端D的波形如图3.61(b)所示，试画出输出端Q的波形（设触发器初态为0）。

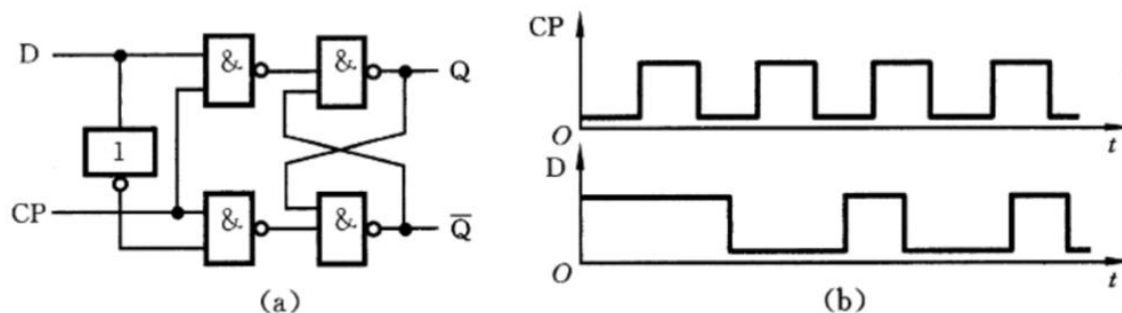
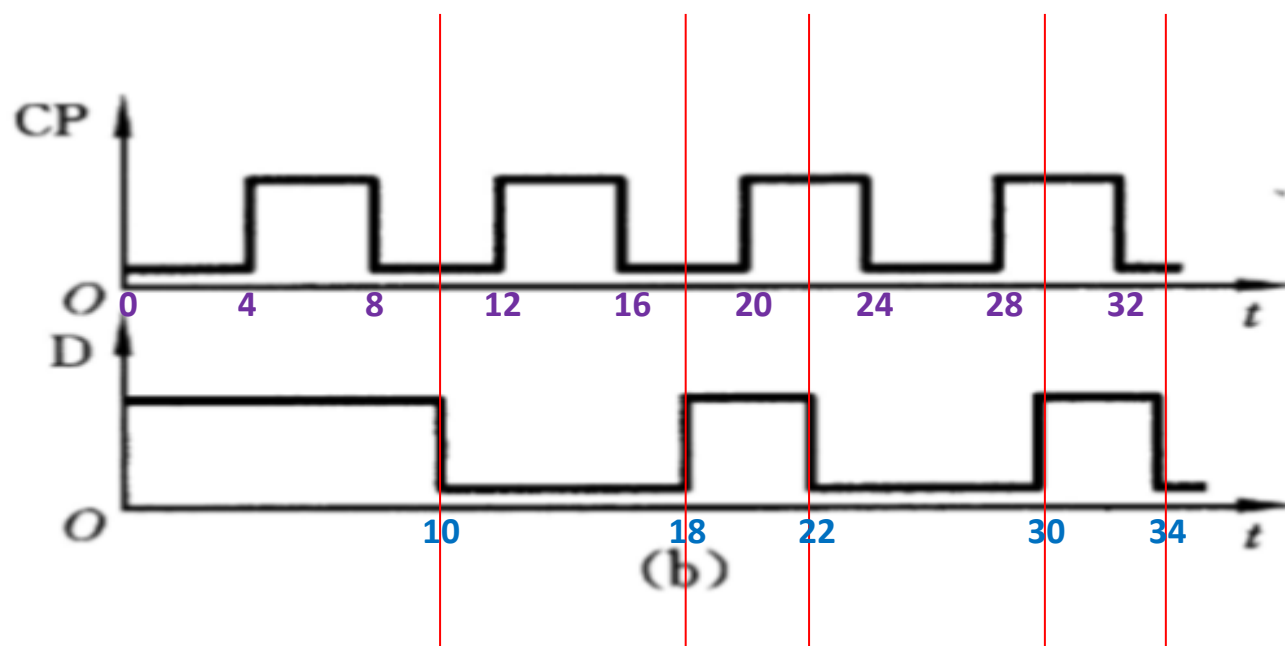


图 3.61 逻辑电路及有关波形

• 答:

– (1) 定义坐标:



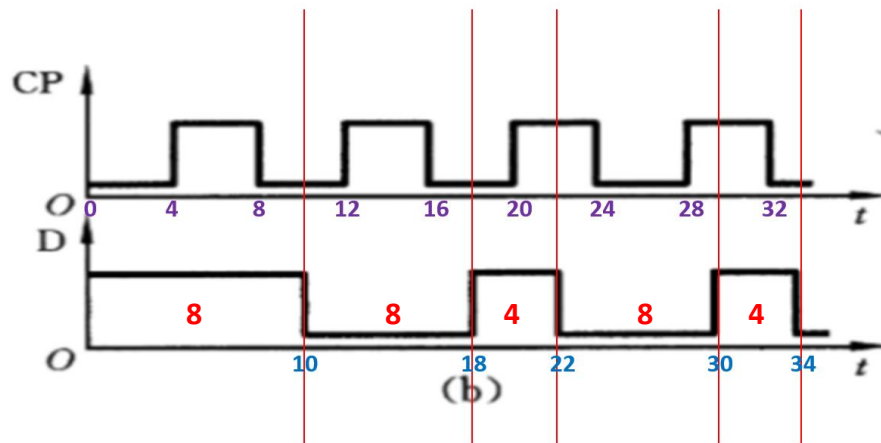
– (2) 定义Logisim中的函数发生器：

Selection: Programmable Generator	
Facing	East
Number Of States	3
Label	
Label Location	West
Label Font	Dialog Plain 12
Label Color	#000000
Contents	(click to edit)

Programmable Generator

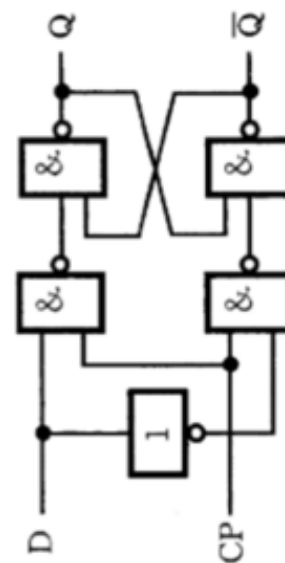
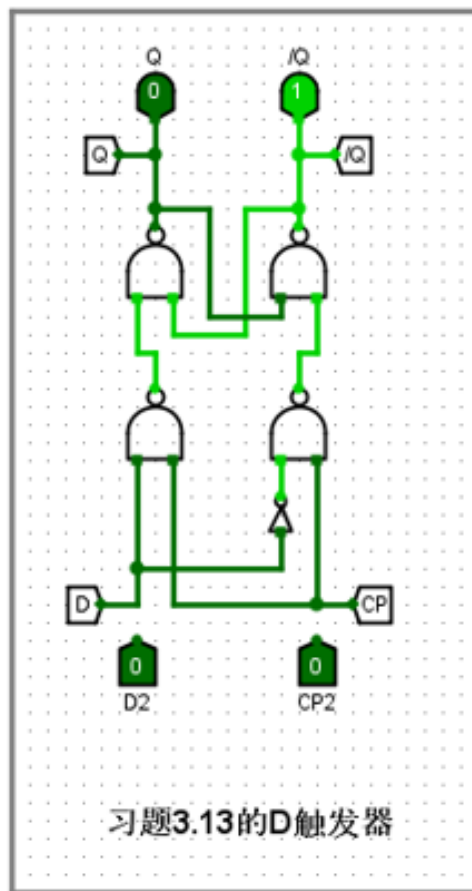
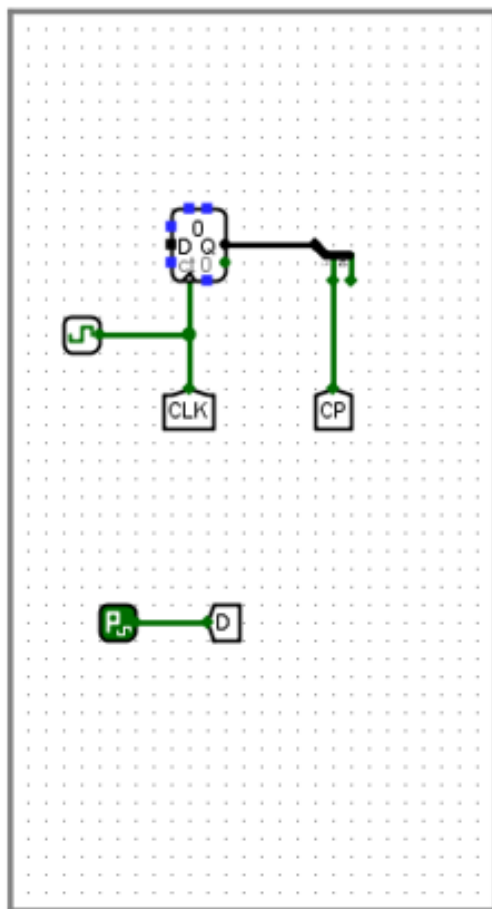
	High Duration (Ticks)	Low Duration (Ticks)
1	8	8
2	4	8
3	4	50

Save Clear Contents



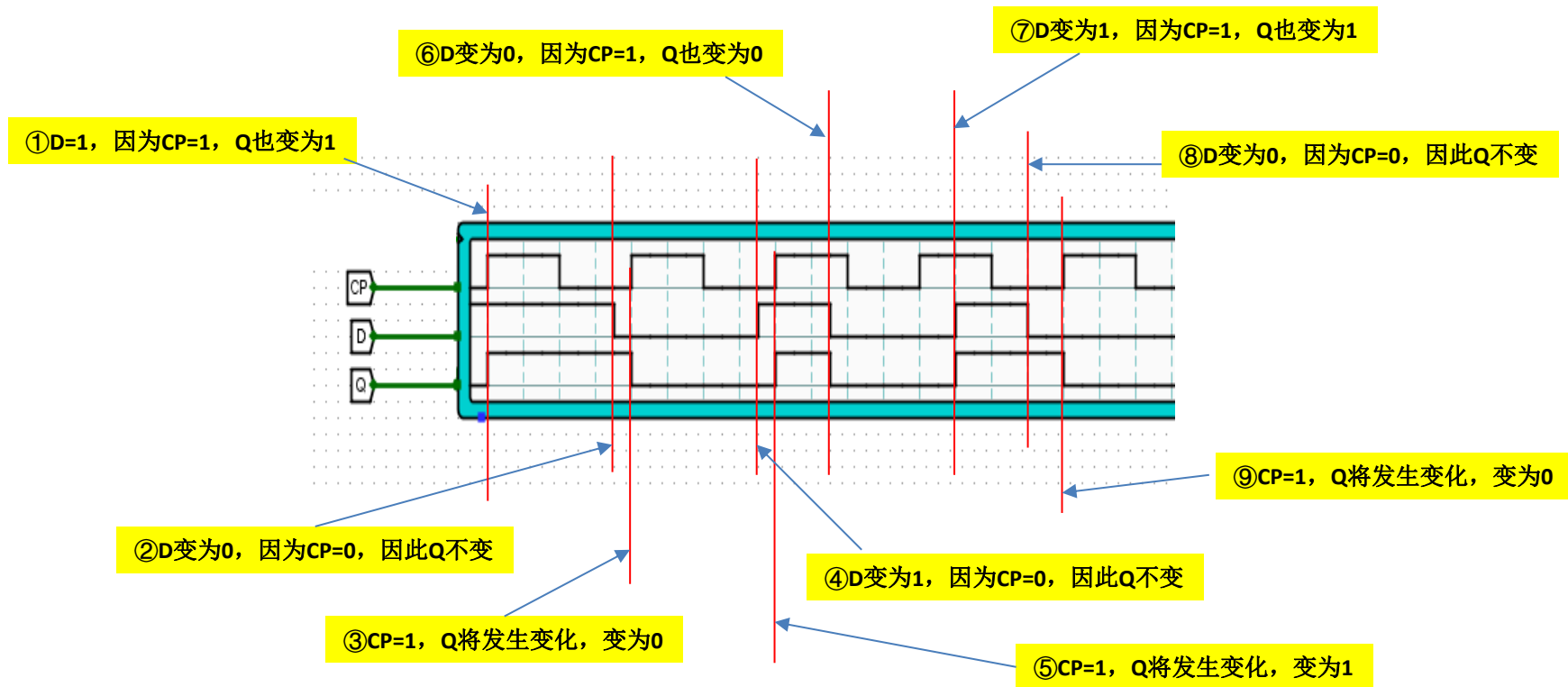
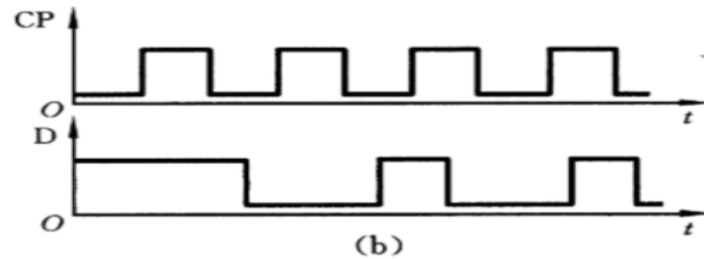
50

- (3) 在Logisim中设计D触发器电路及仿真电路：

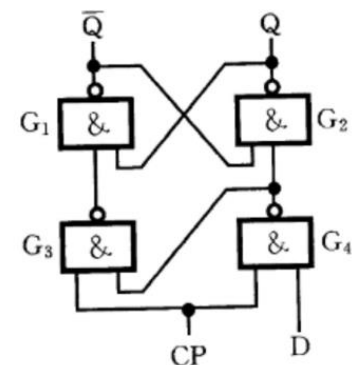
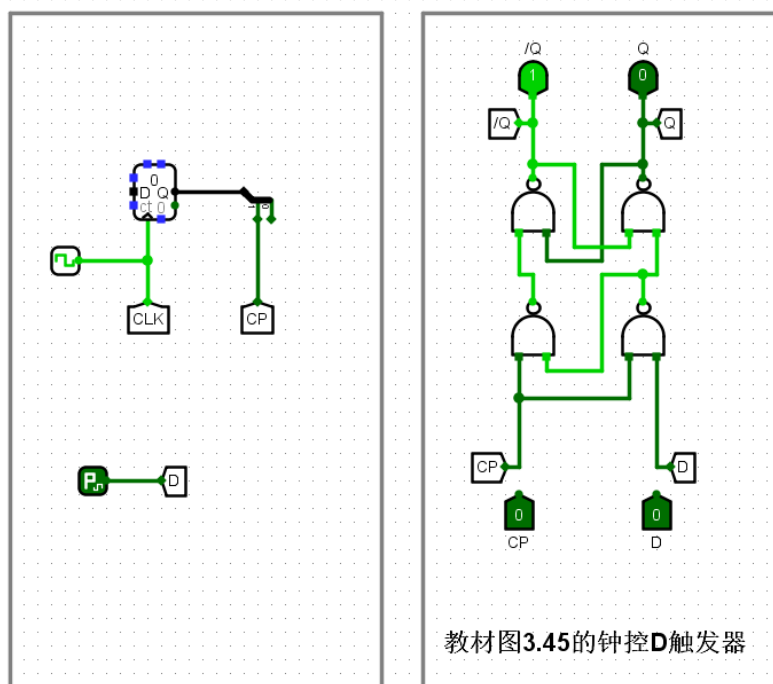


习题3.13的D触发器

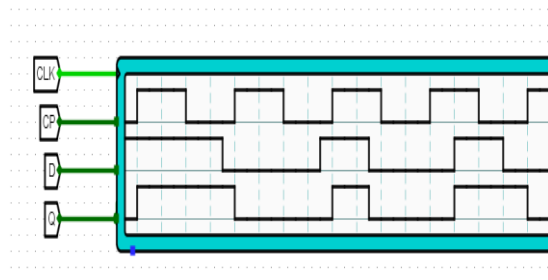
- （4）按**Ctrl+K**启动仿真（波形在移动），再按**Ctrl+R**复位仿真，观看**CP**和**D**的波形是不是与下面的一样？如是，则按**Ctrl+K**停止仿真；此时将得到**D**触发器输出端**Q**的波形：



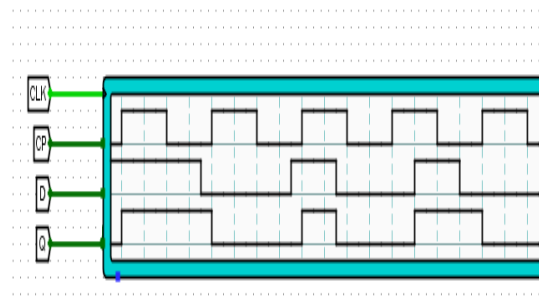
- (5) 教材图3.45钟控D触发器输出端Q的波形（与习题3.13的结果一样）：



教材图3.45的钟控D触发器



教材图3.45的钟控D触发器的仿真结果



习题3.13的D触发器的仿真结果

习题答案

- 3.14 已知输入信号A和B的波形如图3.62(a)所示，试画出图3.62(b)、(c)中两个触发器Q端的输出波形，设触发器初态为0。

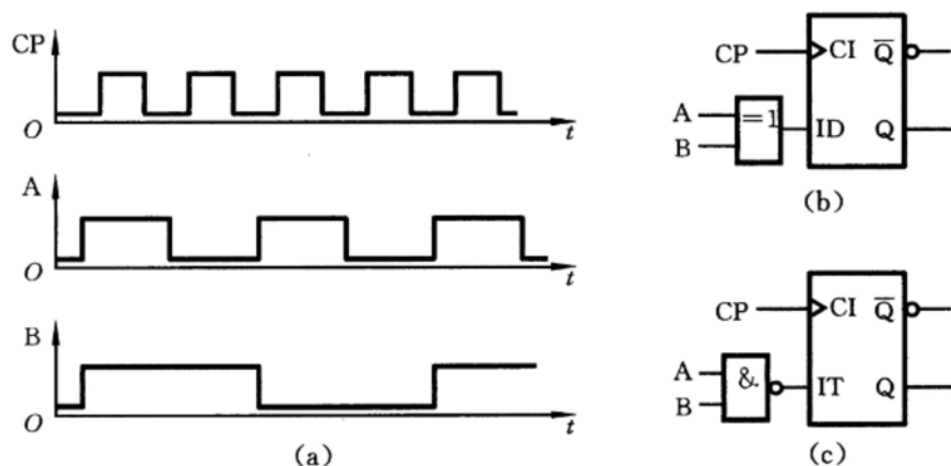
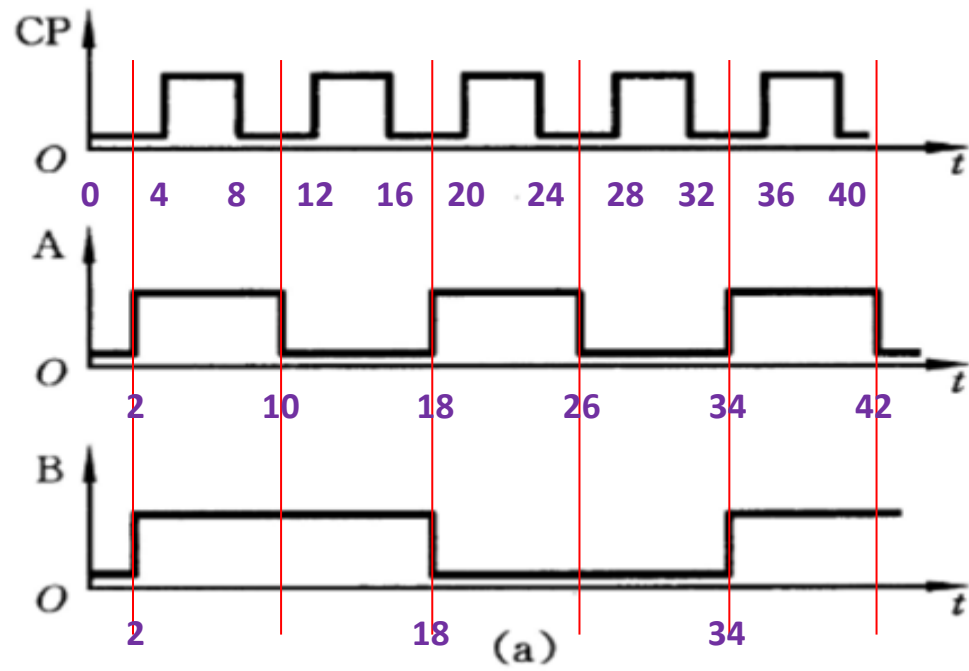


图 3.62 信号波形及电路

• 答:

– (1) 定义坐标:

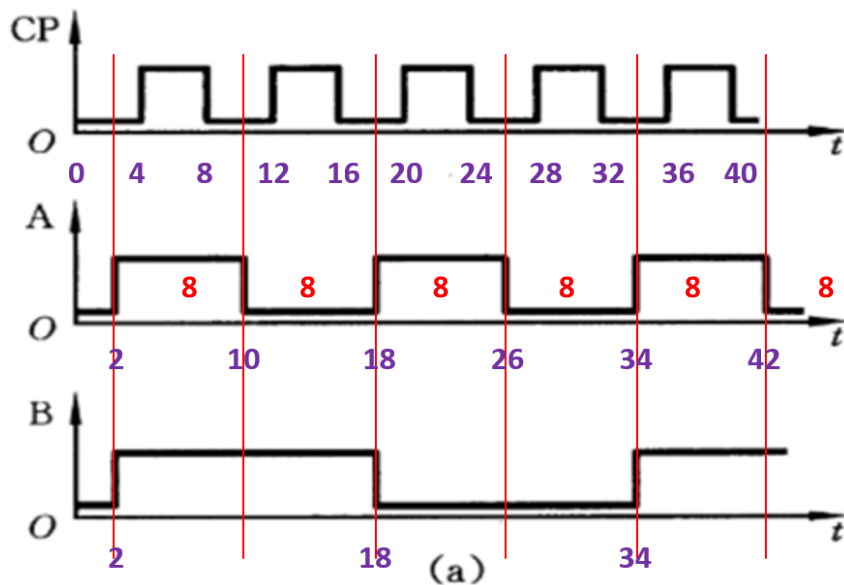


– (2) 定义Logisim中的函数发生器:

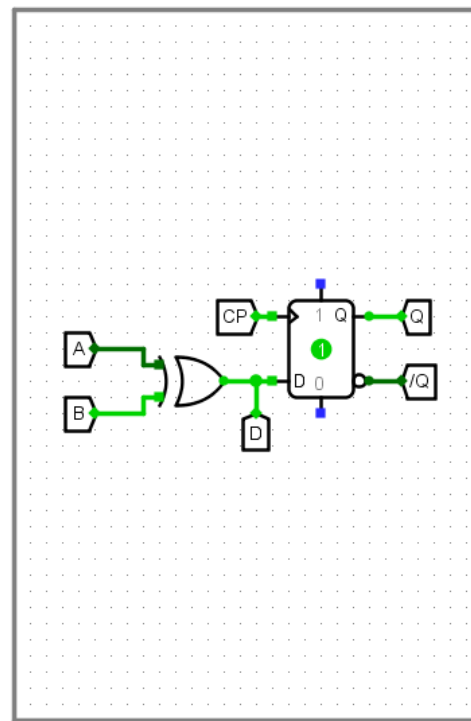
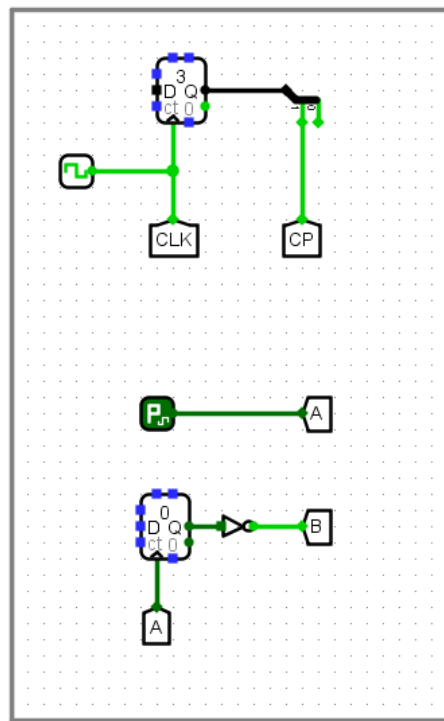
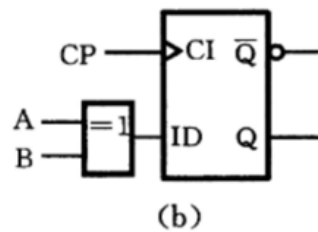
Selection: Programmable Generator	
Facing	East
Number Of States	4
Label	
Label Location	West
Label Font	Dialog Plain 12
Label Color	#000000
Contents	(click to edit)

	High Duration (Ticks)	Low Duration (Ticks)
1	8	8
2	8	8
3	8	8
4	8	30

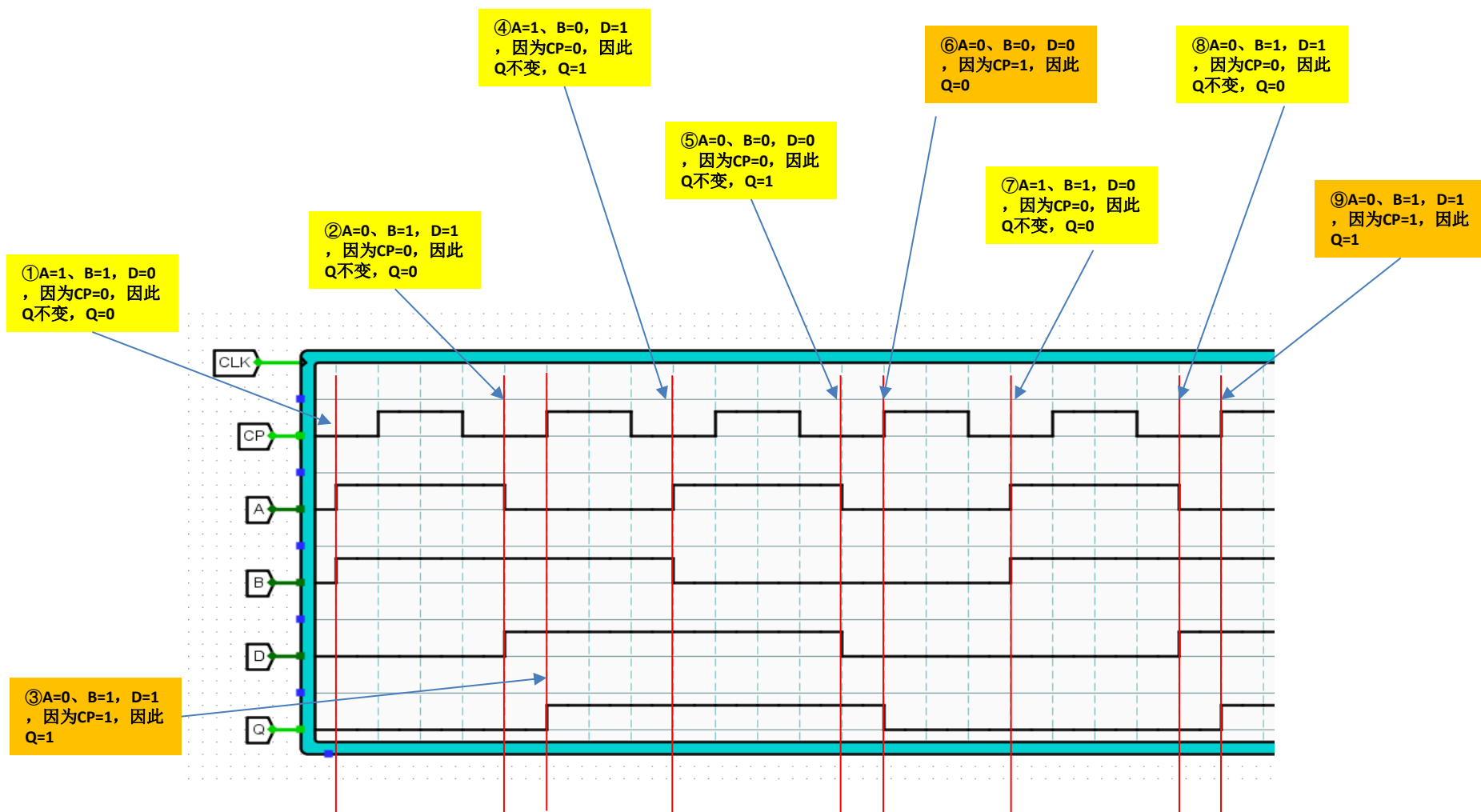
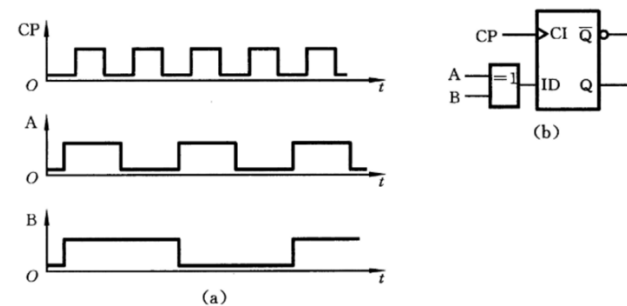
Save Clear Contents



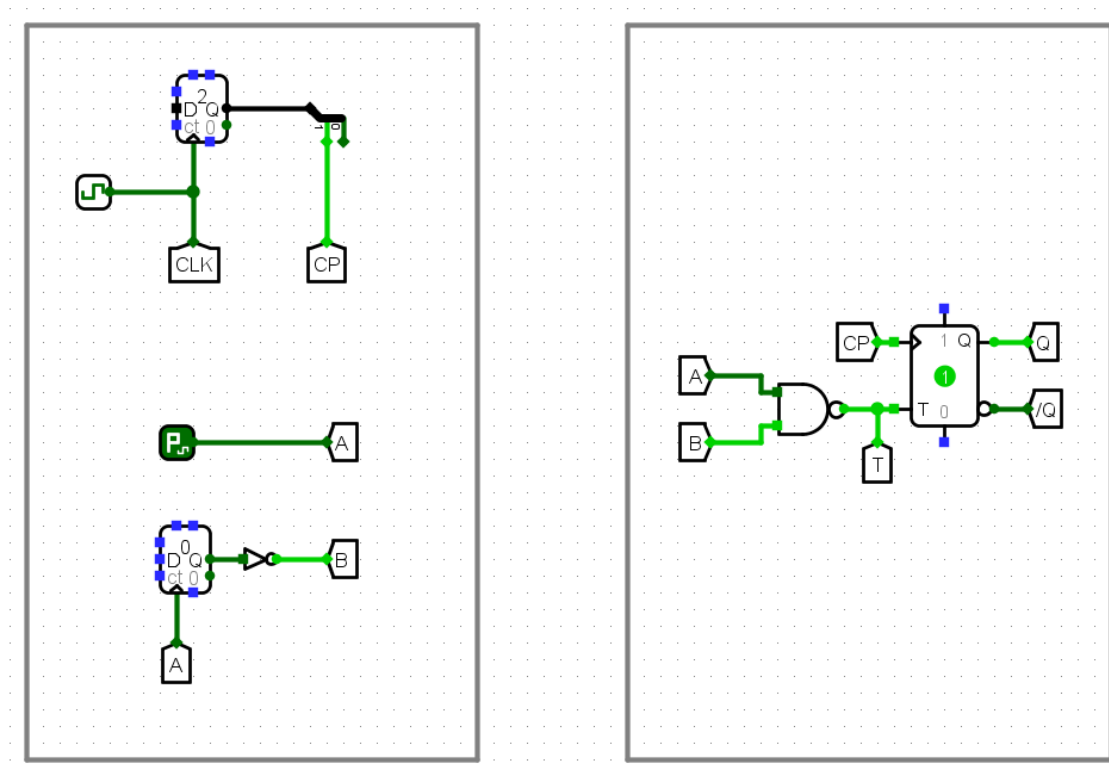
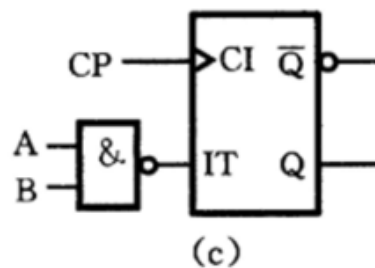
- (3) 在Logisim中设计图3.62(b)的D触发器电路及仿真电路：



— (4) 得到图3.62(b)的D触发器输出端Q的波形:



- (5) 在Logisim中设计图3.62(c)的T触发器电路及仿真电路：



— (6) 得到图3.62(c)的T触发器输出端Q的波形:

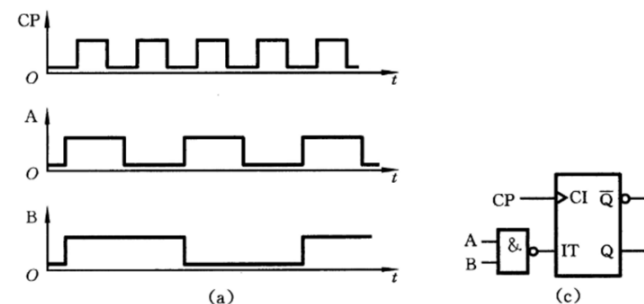
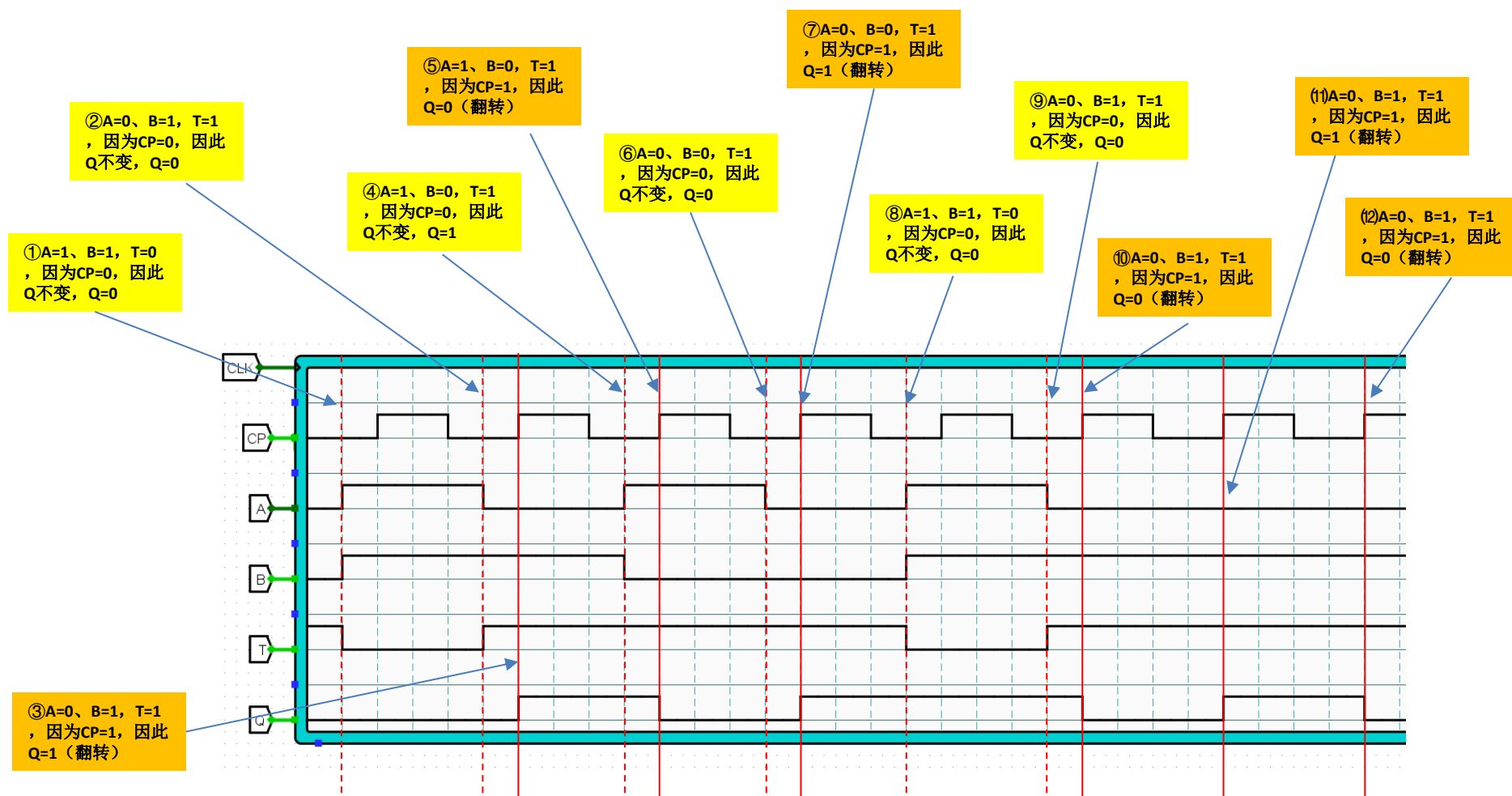


图 3.62 信号波形及电路



习题答案

- 3.15 设图3.63(a)所示电路中的触发器为J-K触发器，其初始状态 $Q_1=Q_2=0$ ，输入信号及CP端的波形如图3.63(b)所示，试画出 Q_1 、 Q_2 的波形图。

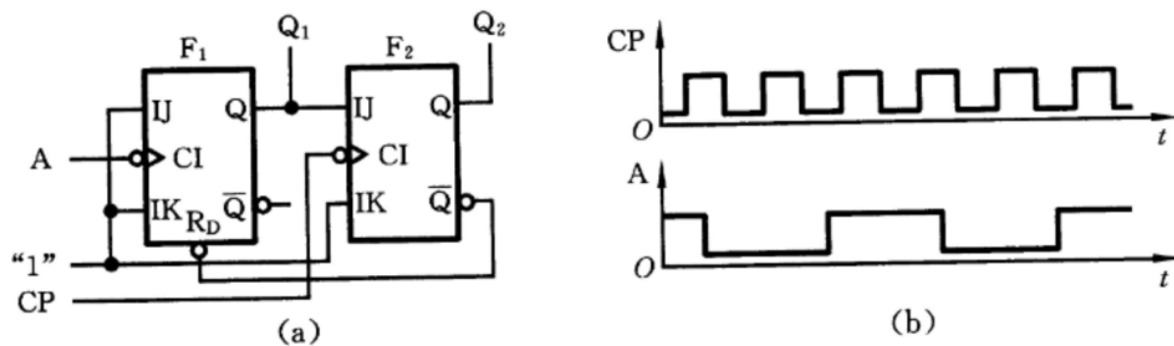
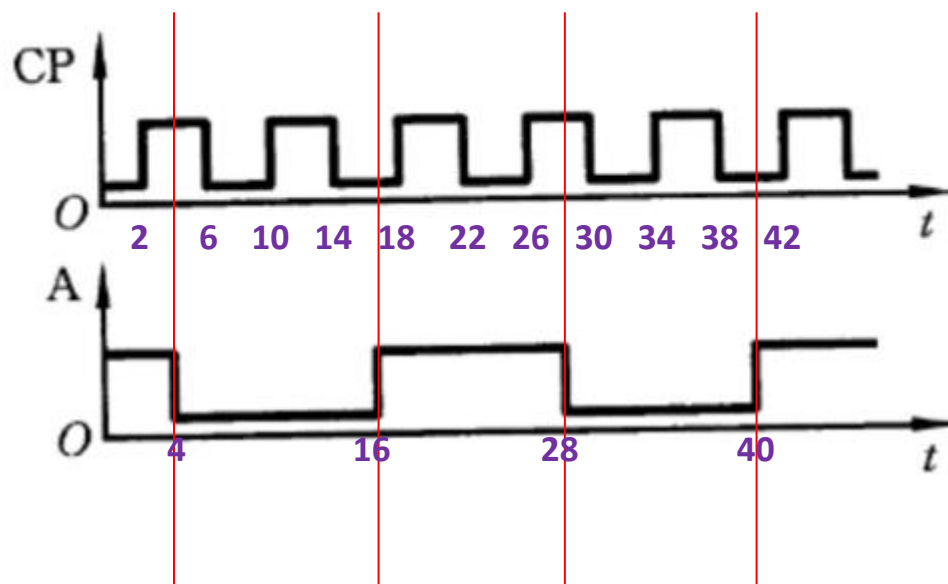


图 3.63 逻辑电路及有关波形

• 答:

– (1) 定义坐标:

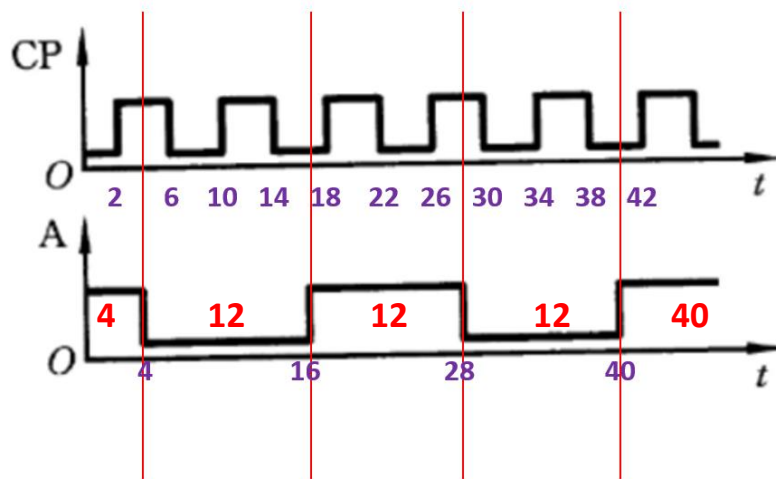


– (2) 定义Logisim中的函数发生器：

Selection: Programmable Generator	
Facing	East
Number Of States	3
Label	
Label Location	West
Label Font	Dialog Plain 12
Label Color	#000000
Contents	(click to edit)

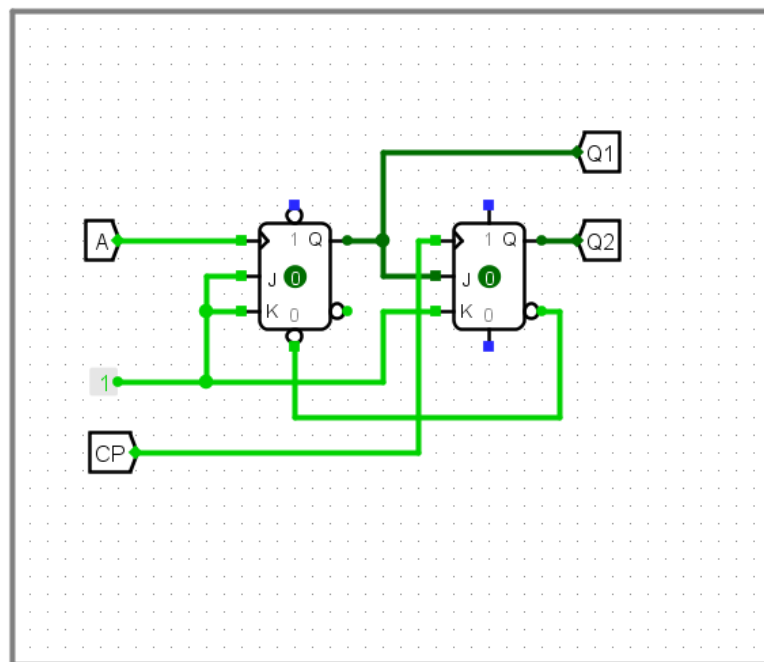
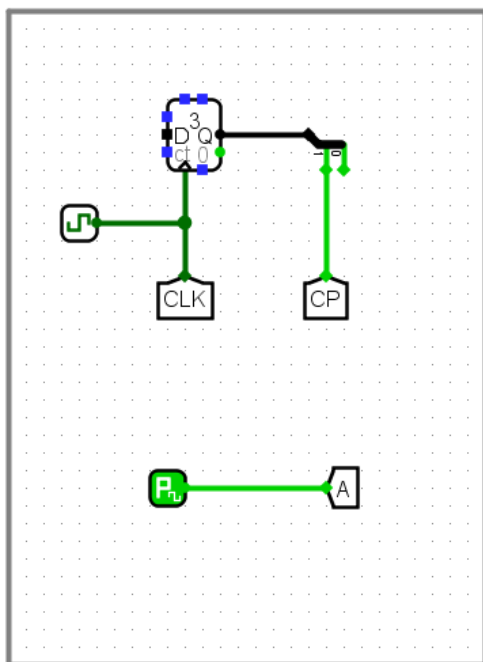
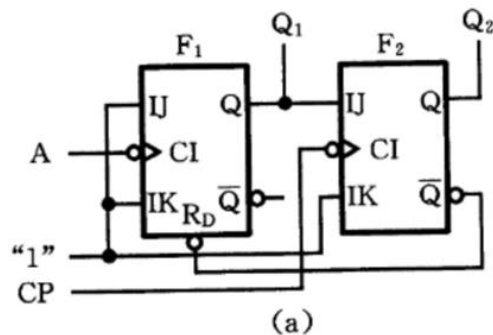
	High Duration (Ticks)	Low Duration (Ticks)
1	4	12
2	12	12
3	40	12

Save Clear Contents

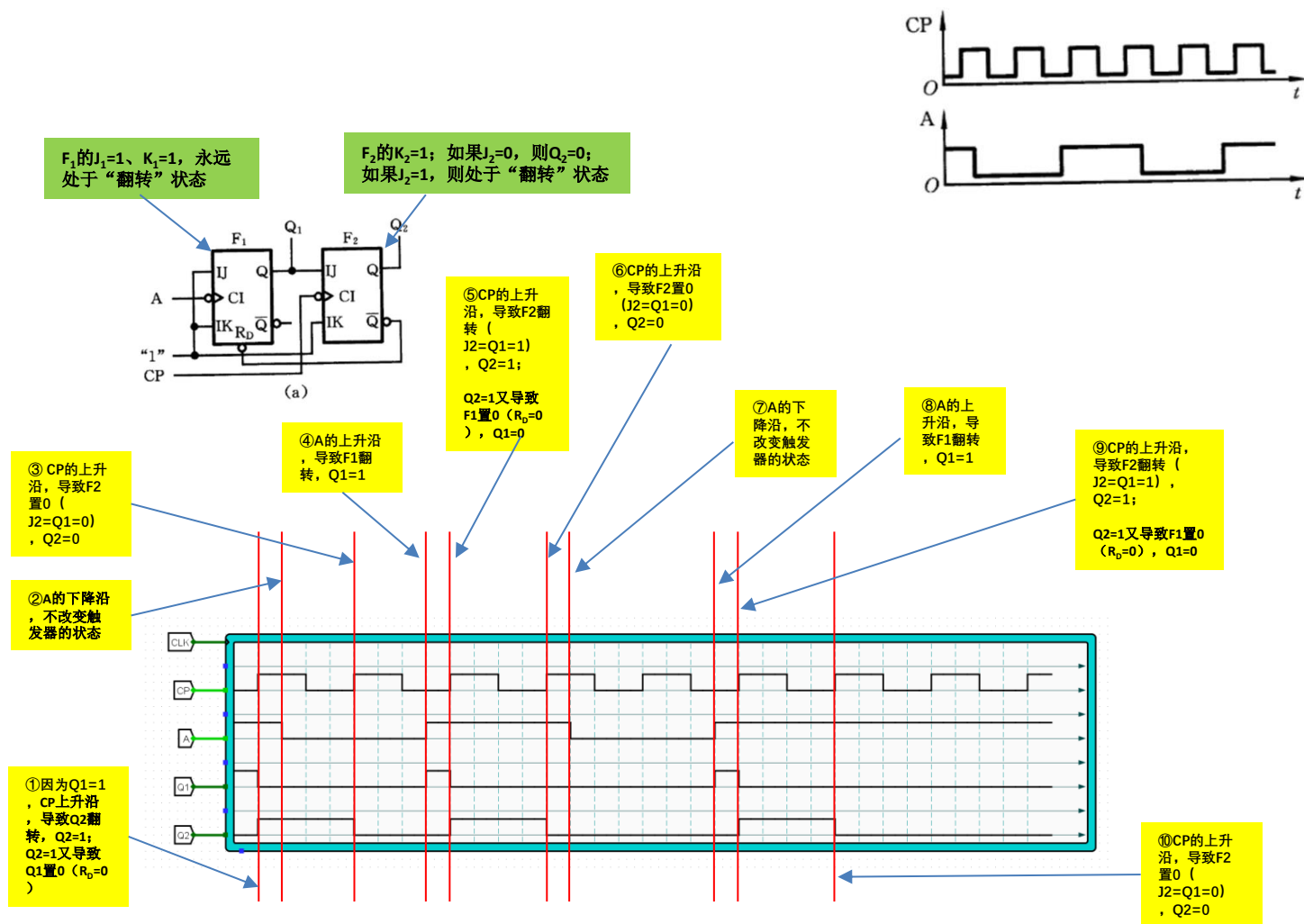


12

- (3) 在Logisim中设计图3.63(a)的J-K触发器电路及仿真电路：



— (4) 得到图3.63(a)的J-K触发器输出端Q1和Q2的波形:



Thanks