

《计算机组成原理》

（第八讲习题答案）

厦门大学信息学院软件工程系 曾文华

2022年5月25日

第8章 总线系统

- 8.1 总线概述
- 8.2 总线传输机制
- 8.3 总线结构
- 8.4 常用总线

习题（P318–320）

- 8.2
- 8.3
- 8.4
- 8.5
- 8.8
- 8.9
- 8.10（假设总线频率为 f ）

习题答案（P318-320）

- 8.2 简要回答下列问题：
 - （1）计算机系统为什么采用总线结构？
 - 答：现代计算机采用总线技术，将CPU、主存、输入输出设备等计算机功能部件连接起来，并通过总线在各功能部件之间传送地址信息、数据信息、控制信息，方便各功能部件之间协同工作，从而实现数据的处理、传输和存储。

习题答案（P318-320）

- 8.2 简要回答下列问题（续）：
 - （2）比较单总线、双总线、三总线结构的性能特点。
 - 答：
 - ①**单总线结构**计算机只有一个总线（系统总线），I/O设备必须通过I/O接口与系统总线相连。单总线结构方式的优点是：结构简单，使用灵活，扩充新设备容易；缺点是：高速设备的高速特性得不到发挥，系统总线负载重，计算机系统性能差。
 - ②**双总线结构**计算机有两种形式：
 - 以主存为中心的双总线结构计算机包括系统总线和存储总线，CPU通过存储总线访问主存，通过系统总线访问外部设备，外部设备与主存之间、CPU与主存之间的数据传送可并行进行。
 - 采用桥接器的双总线结构计算机包括系统总线和I/O总线，CPU、主存以及一些高速设备直接连接在系统总线上，慢速的I/O设备全部挂在I/O总线上，系统总线和I/O总线之间通过桥接器相连。
 - ③**三总线结构**计算机包括HOST总线、PCI总线和ISA总线，CPU、DRAM连接在HOST总线上，显卡、磁盘等高速设备连接在PCI总线上，低速设备连接在ISA总线上，PCI桥连接HOST总线和PCI总线，PCI/ISA桥连接PCI总线和ISA总线。另外一种三总线结构的计算机包括主存总线、DMA总线、I/O总线，个人计算机一般不采用这种三总线结构。

习题答案（P318-320）

- 8.2 简要回答下列问题（续）：

- （3）总线的信息传送方式有哪几种？各有什么特点？

- 答：总线的信息传送方式有4种：并行传送、串行传送、并串行传送、分时传送。

- ①**并行传送**：其优点是传送速度快；缺点是线数多、成本高，传输距离较长时会产生时钟偏移问题。计算机中的系统总线普遍采用并行传输方式；但是，当传输频率过高时，还会引起线间串扰问题，存在高频障碍；因此，现代总线逐渐向高频串行总线发展。

- ②**串行传送**：其优点是传送成本低且传输距离远；缺点是同等频率下比并行方式的传输速率低。根据传送方向的不同，串行传送方式可以进一步分为：单工、半双工、全双工等3种方式。根据定时方式的不同，串行传送可分为同步串行通信和异步串行通信等2种方式。

- ③**并串行传送**：其是将信息分成若干组，组内采用并行传送，组间采用串行传送。

- ④**分时传送**：分时传送有两种含义：总线复用技术必须分时传送，例如地址线与数据线复用，先传送地址，后传送数据；共享总线的部件必须分时使用总线，挂在总线上的部件有多个时，同一时刻总线使用权只能由一个主设备控制。

习题答案（P318-320）

- 8.2 简要回答下列问题（续）：
 - （4）集中式总线控制方式下，确定总线使用权优先级的方法有哪几种？它们各有什么特点？
 - 答：集中式总线控制方式下，确定总线使用权优先级的方法有链式查询、计数器定时查询和独立请求等3种方式。
 - ①链式查询方式：其优点是结构简单、控制线少、扩充容易。缺点是各设备优先级固定，优先级高的设备频繁使用总线时，会使优先级低的设备长时间不能使用总线（该现象称为饥饿现象）。
 - ②计数器定时查询方式：其优点是可以灵活调整设备优先级，能有效避免发生单点故障。缺点是控制较复杂，需要更多的控制信号线。
 - ③独立请求方式：其优点是优先级策略最为灵活，总线许可信号不再需要逐个地对设备进行串行查询，属于并行仲裁，响应时间快。缺点是总线控制器最为复杂，所需控制线最多。

习题答案（P318-320）

- 8.2 简要回答下列问题（续）：
 - （5）什么是突发传输模式？采用突发传输模式有什么优点？
 - 答：突发（猝发）传输模式也称为成组传送事务，由一个寻址阶段和多个数据阶段组成，在寻址阶段发送的是连续数据单元的首地址，在数据阶段传送多个连续单元的数据。
 - 突发（猝发）传输模式的优点：一次可以传输多个计算机字长的数据信息，总线传输效率高。

习题答案（P318-320）

- 8.2 简要回答下列问题（续）：

- （6）影响总线性能的因素有哪些？

- 答：

- ① **总线宽度**：即数据总线的根数，如8位、16位、32位等。

- ② **总线时钟频率**：时钟频率越快，传输速率越高；早期计算机的总线时钟频率与CPU的时钟频率相同，现代计算机CPU的频率要高于总线的时钟频率。

- ③ **总线传输周期**：指一次总线操作完成所需要的时间，包括总线申请阶段、寻址阶段、传输阶段、结束阶段等4个阶段的时间，简称总线周期。

- ④ **单时钟传输次数**：指一个总线时钟周期内传输数据的次数，通常为1；DDR技术，在时钟的上、下跳沿分别传输一次数据，该值为2；QDR技术，该值为4；AGP x8总线，该值为8；因此，总线实际工作频率=总线时钟频率 x 单时钟传输次数。

- ⑤ **总线带宽**：指在总线上的最大数据传输速率，单位为MB/s或GB/s；总线带宽计算公式：

- ① 同步总线带宽 = 总线宽度 x 总线时钟频率 x 单时钟传输次数。

- ② 表8.2：常见的总线带宽。

- ⑥ **总线负载能力**：指总线上能同时连接的设备数；如PCI总线插槽通常只能外接3个扩展设备。

习题答案（P318-320）

- 8.2 简要回答下列问题（续）：
 - （7）总线结构和交换结构相比，有哪些优势和劣势？
 - 答：采用前端总线的南北桥结构计算机系统中，北桥芯片内部各模块采用**总线方式**连接。采用QPI总线南北桥结构计算机系统中，北桥芯片内部采用**交换结构（Switch）**进行连接，大大提升了系统性能。

习题答案（P318-320）

• 8.3 选择题

- (1) **C**
 - 握手（应答）信号是作为总线控制信号单独传输的
 - 指令、操作数、中断类型号都可以作为数据在数据总线上传输。
- (2) **C**
 - 突发（猝发）模式总线传输（Burst Mode，也称为成组传送事务）：由一个寻址阶段和多个数据阶段组成，一次可以传输多个计算机字长的数据信息，总线传输效率高。
- (3) **B**
 - 带宽=4字节/两个时钟周期=4B/(2x(1/10MHz))=20MB/s
- (4) **C**
 - 突发（猝发）传输方式：先传送1个地址，需要1个时钟周期；后传送128位数据，需要(128/32)=4个时钟周期，共需要5个时钟周期=5x(1/100MHz)=50ns
- (5) **C**
 - 总线带宽=2x32位/(1/66MHz)=528MB/s

- **8.3 选择题（续）**

- (6) **C**
 - **C**: 同步通信方式中，系统采用一个统一的时钟信号，同步时钟信号取决于总线中最慢的设备
- (7) **A**
 - **A**: 并行传输方式当传输频率过高时，会引起线间串扰问题，存在高频障碍；因此，**现代总线**逐渐向高频串行总线发展，如**PCIe**、**SATA**等高速串行总线。
- (8) **B**
 - **IV**: 采用地址/数据线复用技术只是减少总线的数量，不能提高总线的数据传输率。
- (9) **B**
 - **B**: **USB**是用于连接**I/O**设备（设备）和**I/O**接口（设备控制器）的
 - **PCI**、**AGP**、**PCI-Express**是系统总线，用于连接**CPU**、存储器和**I/O**接口的

- **8.4 假设一个同步总线的时钟频率=100MHz，总线宽度为32位，每个时钟周期传输一个数据，该总线的最大数据传输率为多少？若要将总线带宽提高一倍，有哪几种可行方案？**
- 答：
- 总线的最大数据传输率= $32\text{位}/(1/100\text{MHz})=400\text{MB/s}$
- 若要将总线带宽提高一倍，可以通过：
 - ① 将总线宽度提高到64位
 - ② 将总线的时钟频率提高到200MHz
 - ③ 每个时钟周期传送2个数据（上跳沿、下跳沿各传送1个数据）

- **8.5 采用异步通信方式传送ASCII时，若数据位为8位，校验位为1位，停止位为1位，当波特率为4800bit/s时，字符传送的速率为多少？每个数据位的时间长度是多少？数据位的传送速率是多少？**
- **答：**
- **1个字符=8+1+1=10位**
- **字符传送的速率=4800/10=480字符/s**
- **1秒传送480个字符，每个字符=8位，即1秒传送480x8=3840位数据**
- **每个数据位的时间长度=1/3840=0.26ms**
- **1秒传送480x8=3840位数据**
- **数据位的传送速率=3840bit/s**

- **8.8 某16位地址/数据复用的同步总线中，总线时钟频率=8MHz，每个总线事务只传输1个数据，需要4个时钟周期。该总线可寻址空间、数据传输速率各是多少？**
- **答：**
- **地址总线=16位**
- **可寻址空间=2¹⁶=64KB（字节寻址方式）**
- **数据传输速率=16位/(4x(1/8MHz))=4x8Mbit/s=4MB/s**

- **8.9 某32位同步总线中，总线时钟频率=50MHz，总线事务支持突发传输模式，每个时钟周期可以传送1个地址或数据。存储器读总线事务的时序为地址阶段（1个时钟周期）、等待阶段（3个时钟周期）、8个数据阶段（8个时钟周期）；存储器写总线事务的时序为地址阶段（1个时钟周期）、等待阶段（2个时钟周期）、8个数据阶段（8个时钟周期）、恢复阶段（2个时钟周期）。通过总线读存储器、写存储器的数据传输速率分别是多少？**

- **答：**

- 时钟周期 $T=1/50\text{MHz}$
- 存储器读时间 $=1+3+8=12T$
- 存储器读的数据传输速率 $=32/12T=(32/12)\times 50\text{Mbit/s}=16.67\text{MB/s}$
- 存储器写时间 $=1+2+8+2=13T$
- 存储器写的数据传输速率 $=32/13T=(32/13)\times 50\text{Mbit/s}=15.38\text{MB/s}$

- **8.10 某64位同步总线支持突发传输模式，每个时钟周期可以传送1个地址或数据。总线周期由1个时钟周期的地址阶段、若干个数据阶段组成。若存储器每存取1个数据需要2个时钟周期，突发长度小于等于4。请计算在下列两种情况下，总线和存储器能提供的数据传输速率各是多少？**
- (1) 每个总线事务传输32位数据。
- (2) 每个总线事务包含4个数据期。
- 答：假设总线时钟频率= f ，总线时钟周期 $T=1/f$
- (1) 每个总线事务传输32位数据
- 总线周期由1个时钟周期的地址阶段、若干个数据阶段组成；因此传输32位数据，需要： $1T + 1T = 2T$
- 总线的数据传输速率= $32/2T = 16f \text{ bit/s}$
- 存储器每存取1个数据需要2个时钟周期，因此传输32位数据，需要： $1T + 2T = 3T$
- 存储器的数据传输率= $32/3T=10.67f \text{ bit/s}$
- (2) 每个总线事务包含4个数据期
- 总线周期由1个时钟周期的地址阶段、若干个数据阶段组成；因此总线事务包含4个数据期，需要： $1T + 4T = 5T$
- 总线的数据传输速率= $64 \times 4/5T = 51.2f \text{ bit/s}$
- 存储器每存取1个数据需要2个时钟周期，因此总线事务包含4个数据期，需要： $1T + 4 \times 2T = 9T$
- 存储器的数据传输率= $64 \times 4/9T=28.44f \text{ bit/s}$

Thanks