

分类号: TN409  
密 级: 公开

单位代码: 10335  
学 号: 22141037

# 浙江大学

## 硕士学位论文



中文论文题目: 基于深度强化学习的 2.5D IC 电源分配网络  
噪声优化

英文论文题目: Deep Reinforcement Learning-based 2.5D IC  
Power Distribution Network Noise  
Optimization

申请人姓名: 冯海洋  
指导教师: 朱晓雷 副教授  
合作导师:  
专业学位类别: 工程硕士  
专业学位领域: 集成电路工程  
所在学院: 集成电路学院

论文提交日期: 2024.1.10

## 基于深度强化学习的 2.5D IC 电源完整性噪声优化



论文作者签名: 冯海伟  
指导教师签名: 朱仁伟

论文评阅人 1: 隐名评阅  
评阅人 2: 隐名评阅  
评阅人 3: 隐名评阅  
评阅人 4: \_\_\_\_\_  
评阅人 5: \_\_\_\_\_

答辩委员会主席: 黄科杰/副教授/浙江大学信息与电子工程学院  
委员 1: 马德/副教授/浙江大学信息与电子工程学院  
委员 2: 葛海通/教授级高工/杭州宙其科技有限公司  
委员 3: \_\_\_\_\_  
委员 4: \_\_\_\_\_  
委员 5: \_\_\_\_\_

答辩日期: 2024.6.3

## 独创性声明

本人声明所呈交的学位论文是本人在导师指导下进行的研究工作及取得的研究成果。据我所知，除了文中特别加以标注和致谢的地方外，论文中不包含其他人已经发表或撰写过的研究成果，也不包含为获得 浙江大学 或其他教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在我论文中作了明确的说明并表示谢意。

学位论文作者签名: 冯海萍 签字日期: 2024 年 6 月 10 日

## 学位论文版权使用授权书

本学位论文作者完全了解 浙江大学 有关保留、使用学位论文的规定，有权保留并向国家有关部门或机构送交论文的复印件和磁盘，允许论文被查阅和借阅。本人授权 浙江大学 可以将学位论文的全部或部分内容编入有关数据库进行检索，可以采用影印、缩印或扫描等复制手段保存、汇编学位论文。

(保密的学位论文在解密后适用本授权书)

学位论文作者签名: 冯海萍

导师签名:

朱晓智

签字日期: 2024 年 6 月 10 日

签字日期: 2024 年 6 月 10 日

学位论文作者毕业后去向:

工作单位:

电话:

通讯地址:

邮编

## 致谢

时光荏苒，日月如梭，硕士生涯在不知不觉间已进入尾声。回首这三年的时光，认识了很多优秀的老师和同学，收获了很多宝贵的经验和知识，在此，表示衷心的感谢。

首先，我要感谢吴汉明院士、余志平老师、刘渝老师、朱晓雷老师、邵雷来老师，在我科研的道路上，是他们对我进行了细心的指点与教导，让我可以少走弯路，也学习到了很多先进的知识。感谢我的导师朱晓雷老师，感谢朱老师对我在生活上的关心和学习上的指点，教会了我很多道理，让我受益匪浅，成长了很多。

我要感谢我的好朋友，总能在我焦虑和迷茫的时候帮助我，感谢我的室友田庆，感谢我的好兄弟郑隆跃、梅雪笑、江小龙、李彭涛、胡永康、金耀、李璇、陈一洲、顾雨晨、徐瑞、郭庞、姜益、王路平、胡凯轩等，和你们相处的日子总是充实又快乐，感谢师兄滕巧和师兄杨文浩对我科研上的帮助。

感谢实验室的同学们，感谢师兄杨坤，感谢孙崇惠、段远媛、陈业宽、孟依绮、陶汝硕、陈伊玲、陈沁馨以及师弟师妹们刘星辰、苟耘溪、黄竞涛、王增一、陈敬阳、任杰、蔡望禧，大家组成了一个充满活力的课题组。

我要特别感谢我的父母、小姨、姑父，感谢他们对我硕士期间的支持与关心，让我可以不断成长，在未来，我将努力回报他们。也感谢一路上支持我陪伴我的爷爷奶奶、弟弟妹妹以及亲朋好友。

最后，我想感谢所有在研究生期间认识的好朋友和老师们，让我可以拥有一段难以忘怀的研究生经历，我将永远铭记在心。

天下谁非健者，我辈终为奇士！

## 摘要

随着工艺技术的不断发展，芯片的集成度越来越高，工作频率不断提升，工作电压逐渐下降，而芯片对噪声的容忍度越来越低。在芯片内部，存在诸多影响电源供给的因素，例如电流通过连线时引起的直流电压降，以及晶体管切换状态时产生的瞬态电流（称为同步开关噪声）。当这些噪声达到一定程度时，会导致芯片出现逻辑错误，甚至无法正常工作，这就是所谓的电源完整性问题。因此，确保稳定的电源供给是芯片设计工程师的一项重要任务。

针对现代 2.5D IC 系统中可能存在的电源完整性问题，本文提出了一种基于近端策略优化的去耦电容布局算法，从时域和频域两个方面对芯片内部的电源完整性问题进行分析，得到不同的电路参数，将其输入到所构建的 Actor-Critic 神经网络进行训练，最终得到一个可用于去耦电容快速布局的智能体，并对芯片的去耦设计方案进行了测试与验证。在电源完整性相关理论的基础上，本文构建了 2.5D 系统下的电源分配网络模型，并对其存在的噪声问题进行了深入分析与优化。

在频域下，我们采用目标阻抗法，将芯片端口的输入阻抗作为优化目标，通过在片上和硅中介层的电源分配网络中加入去耦电容来进行协同优化。针对 2.5D 系统的多芯片布局，本文进行了分析，并对多种布局下的优化进行了仿真与测试。经过训练后的神经网络在面对相似布局时，其预测方案的可行率达到 59% 至 77%。

此外，我们还研究了在存在硅中介层去耦电容布局限制时的优化方案，并将其与不存在限制条件的情况进行对比。结果显示，存在布局空间限制时，硅中介层电容总值和片上电容总值均有所增加。与传统的双重退火算法相比，我们所提方法的去耦电容分布更加集中，对电源分配网络的结构要求也更低，得到的优化结果更具有参考性。

在完成频域下去耦电容布局优化后，我们在芯片内部添加电流源用于模拟实际电路中的噪声，分析芯片电源分配网络在时域下的相关参数。结果表明，在多芯片布局中，不同芯片的噪声可能会通过电源网络相互影响，在满足频域目标阻抗的情况下，受到其他芯片噪声影响，芯片中电源网络节点电压仍然会出现低于电压容限的现象，因此需要更进一步的电容布局优化。针对上述问题，我们提出了基于时域下电源网络节点电压的去耦电容布局优化，引入了电压违例积分的概念，将优化目标从违例电压变成电压和时间的共同优化。实验结果表明，算法所得到的去耦电容布局方案可以极大

地减少芯片中存在电压违例的情况，在频域优化结果的基础上，通过在芯片 PDN 中额外添加适当的 Mos 电容，使得芯片内电压降积分总值减少 95%以上，PDN 中存在电压违例的节点数减少了 97%以上。

利用本文所提出的方法，可以对不同芯片布局下的噪声问题进行分析优化，同时，得益于深度强化学习算法中的神经网络，当遇到相似芯片布局时，可以快速得到其去耦设计的方案，使其电源完整性要求。

**关 键 词：**2.5D 系统，电源完整性，噪声优化，深度强化学习，去耦电容

## ABSTRACT

As technology advances, the integration level of chips continues to increase, with working frequencies rising and working voltages gradually decreasing. Consequently, the tolerance of chips to noise is decreasing. Within chips, there are numerous factors affecting power supply, such as DC voltage drop caused by current passing through interconnections and transient currents generated when transistors switch states (known as synchronous switching noise). When these noises reach a certain level, chips may experience logic errors or even fail to function properly, leading to what is known as power integrity issues. Therefore, ensuring stable power supply is a crucial task for chip design engineers.

In response to potential power integrity issues in modern 2.5D IC systems, this paper proposes a decoupling capacitor layout algorithm based on proximal policy optimization. Analyzing the power integrity issues within the chip from both time and frequency domains, different circuit parameters are obtained and inputted into the constructed Actor-Critic neural network for training. Eventually, an intelligent agent capable of rapidly laying out decoupling capacitors is obtained, and the decoupling design scheme of the chip is tested and validated. Building upon power integrity-related theories, a power distribution network model under the 2.5D system is constructed, and in-depth analysis and optimization of its noise issues are conducted.

In the frequency domain, the target impedance method is employed, with the input impedance of chip ports serving as the optimization objective. Collaborative optimization is achieved by adding decoupling capacitors to the on-chip and silicon interposer power distribution networks. For the layout of multiple chips in the 2.5D system, analysis is conducted, and optimizations under various layouts are simulated and tested. The feasibility rate of the predicted solutions of the trained neural network reaches 59% to 77% when facing similar layouts.

Furthermore, we study optimization schemes in the presence of layout constraints on silicon interposer decoupling capacitors and compare them with scenarios without restrictions. Results show that with layout space limitations, both the total value of silicon interposer capacitors and on-chip capacitors increase. Compared to traditional dual annealing algorithms, our proposed method results in a more concentrated distribution of decoupling capacitors and lower structural requirements for the power distribution network, thus providing more referenceable optimization outcomes.

After completing the optimization of decoupling capacitor layout in the frequency domain, we add current sources inside the chip to simulate noise in actual circuits. Analysis of chip power distribution network results in the time domain indicates that, in multi-chip layouts, noise from different chips may mutually affect the power network, causing voltage nodes in the chip to still exhibit voltage drops below the voltage tolerance, despite meeting the frequency domain target impedance. Hence, further optimization of capacitor layout is necessary. Addressing the above issues, we propose decoupling capacitor layout optimization based on the voltage of power network nodes in the time domain, introducing the concept of violation voltage integral, transforming the optimization objective from violation voltage to voltage and time jointly. Experimental results demonstrate that the decoupling capacitor layout schemes obtained by the algorithm can significantly reduce instances of voltage violations within the chip. Building upon the results of frequency domain optimization, additional suitable MOS capacitors are added to the chip PDN, resulting in a reduction of over 95% in the total integrated voltage drop within the chip and a decrease of over 97% in the number of nodes with voltage violations in the PDN.

Using the proposed method in this paper allows for the analysis and optimization of noise issues under different chip layouts. Additionally, leveraging neural networks in the deep reinforcement learning algorithm enables the rapid derivation of decoupling design solutions for similar chip layouts, thereby meeting their power integrity requirements efficiently.

**KEY WORDS:** 2.5D system; Power integrity; Noise optimization; Deep reinforcement learning; Decoupling capacitors

# 目 录

致谢 .....	IV
摘要 .....	V
ABSTRACT .....	VII
目录 .....	IX
图 目 录 .....	XII
表 目 录 .....	XV
<b>1 绪论 .....</b>	<b>1</b>
1.1 研究背景介绍 .....	1
1.1.1 电源完整性 .....	1
1.1.2 人工智能 .....	1
1.2 问题概述 .....	2
1.3 国内外研究现状 .....	4
1.4 本文研究内容 .....	5
1.5 本文组成部分 .....	6
<b>2 理论基础 .....</b>	<b>9</b>
2.1 电源分配网络 .....	9
2.1.1 电源稳压模块 .....	9
2.1.2 电源/地平面 .....	11
2.1.3 去耦电容器 .....	12
2.2 深度强化学习基本理论 .....	14
2.2.1 深度学习 .....	15
2.2.2 强化学习 .....	16
2.2.3 深度强化学习 .....	18
2.3 本章小结 .....	19
<b>3 基于 PPO 算法的频域噪声优化 .....</b>	<b>21</b>
3.1 基本原理 .....	21

3.1.1 目标阻抗和去耦电容 .....	21
3.1.2 近端策略优化算法 .....	23
3.2 电路模型搭建 .....	24
3.2.1 片上网络建模 .....	24
3.2.2 硅中介层 PDN 建模 .....	25
3.2.3 其他元件建模 .....	26
3.3 单芯片优化 .....	28
3.3.1 基本结构 .....	28
3.3.2 强化学习环境设置 .....	28
3.3.3 训练结果 .....	32
3.3.4 验证 .....	33
3.3.5 对比实验 .....	36
3.4 多芯片优化 .....	39
3.4.1 问题描述 .....	39
3.4.2 强化学习环境改动 .....	40
3.4.3 确立奖励权重 .....	43
3.4.4 不同布局训练结果 .....	45
3.4.5 空间限制因素影响 .....	47
3.5 本章小结 .....	49
<b>4 基于 PPO 算法的片上时域噪声优化 .....</b>	<b>51</b>
4.1 噪声传播 .....	51
4.2 环境设置 .....	55
4.3 实验结果 .....	59
4.4 本章小结 .....	63
<b>5 总结与展望 .....</b>	<b>65</b>
5.1 工作总结 .....	65
5.2 展望 .....	66
<b>参考文献 .....</b>	<b>67</b>
<b>作者简介及在学期间主要研究成果 .....</b>	<b>71</b>



## 图 目 录

图 1-1 由走线电阻引起的直流电压降 .....	3
图 1-2 负载端瞬态电流变化引起同步开关噪声 .....	3
图 2-1 电源稳压模块基本模型和简化后的电路 .....	10
图 2-2 电路稳压模块的阻抗曲线 .....	11
图 2-3 电源地平面示意图 .....	11
图 2-4 电源地平面的等效分布电容模型 .....	12
图 2-5 电源地平面分层机构 .....	12
图 2-6 电源分配网络中各级去耦电容 .....	13
图 2-7 去耦电容实际电路与简化模型 .....	13
图 2-8 不同种类电容谐振曲线 .....	14
图 2-9 不同电感下电容的阻抗曲线 .....	14
图 2-10 卷积神经网络基本结构 .....	15
图 2-11 Actor-Critic 网络更新策略 .....	18
图 3-1 MIM 电容结构及其俯视图 .....	22
图 3-2 MOS 电容组成结构及其等效电路图 .....	23
图 3-3 策略更新过大导致进入局部最优，需要训练很久才能跳出局部最优解 .....	24
图 3-4 片上 PDN 结构及其等效模型 .....	25
图 3-5 硅中介层 PDN 建模 .....	26
图 3-6 TSV 和 bump 等效电路模型 .....	26
图 3-7 2.5D IC 电路组成结构的等效电路 .....	27
图 3-8 2.5D 芯片电路搭建 .....	28
图 3-9 加入不同电容值时的输入状态变化 .....	29
图 3-10 目标阻抗和实际阻抗曲线差值 .....	30
图 3-11 PDPO 算法中使用的神经网络结构 .....	31
图 3-12 PDPO 算法训练过程中的每回合奖励值曲线和损失函数曲线 .....	33
图 3-13 智能体预测优化方案所需电容个数 .....	34
图 3-14 智能体输出结果中所使用的最小电容数、最大电容数和未完成优化的三个结果 .....	35

图 3-15 对比未使用去耦电容和使用去耦电容时的 PDN 阻抗曲线.....	35
图 3-16 方案 3 的阻抗曲线.....	36
图 3-17 双重退火算法流程图.....	37
图 3-18 双重退火算法的每回合奖励值曲线.....	38
图 3-19 DA 算法优化结果.....	38
图 3-20 DA 算法和 PDPO 算法优化后阻抗曲线对比图.....	39
图 3-21 移动芯片位置引起的阻抗曲线变化.....	40
图 3-22 芯片位置及其对应矩阵.....	41
图 3-23 去耦电容可放置矩阵.....	41
图 3-24 片上电容分布矩阵，灰色部分为可以放置 MOS 电容的单位元 .....	41
图 3-25 多芯片下神经网络输入矩阵.....	42
图 3-26 均使用 62 个 MIM 电容，左边总电容值为 3.86nF，右边为 3.57nF.....	43
图 3-27 电路模型输入到智能体进行训练.....	44
图 3-28 智能体对 5 个布局样本进行同时训练，然后进行推测.....	45
图 3-29 多样本训练的奖励值曲线和损失函数曲线.....	46
图 3-30 去耦电容可放置区域存在限制，蓝色为限制区域.....	47
图 3-31 PDPO 和 DA 在有/无限制区域下得到的结果，左图为 MIM 电容分布，右图为 MOS 电容分布，限制区域与三个芯片均有重叠区域 .....	49
图 4-1 2.5D IC 布局及其基于目标阻抗的去耦电容优化布局.....	51
图 4-2 基于频域优化结果下的 3 个芯片端口阻抗.....	52
图 4-3 包含瞬态电流变化的片上 PDN 等效电路.....	53
图 4-4 瞬态电流波形.....	53
图 4-5 设定片上瞬态电流分布时，瞬态电流之和不超过正常工作电流.....	53
图 4-6 选取节点 i 作为电压测量点.....	54
图 4-7 节点 i 电压变化图.....	55
图 4-8 电压出现违例时最小值相近而持续时间不同的电压波形.....	55
图 4-9 电压违例积分计算.....	56
图 4-10 芯片内部所加电流源区域以及电流源相关度设定.....	57
图 4-11 不同相关度下芯片 1 中 VVI 总值.....	58

图 4-12 基于电压违例积分的智能体训练结果.....	60
图 4-13 基于频域和时域的部分去耦电容布局及其 VVI 分布.....	62
图 4-14 VVI 总值与额外添加电容数关系图.....	63

## 表 目 录

表 1-1 近几年相关工作对比.....	6
表 3-1 等效电路模型参数.....	27
表 3-2 神经网络参数.....	31
表 3-3 单芯片噪声优化 PPO 算法伪代码.....	32
表 3-4 DA 和 PDPO 算法结果对比.....	39
表 3-5 Actor-Critic 网络参数改动 .....	42
表 3-6 多芯片下的神经网络超参数.....	44
表 3-7 不同系数下电容个数和电容总值表.....	45
表 3-8 多样本训练下算法推测结果对比.....	47
表 4-1 测试芯片的参数.....	58
表 4-2 优化结果对比.....	60



# 1 绪论

## 1.1 研究背景介绍

### 1.1.1 电源完整性

经过几十年的发展，在如今的后摩尔时代，晶体管的特征尺寸已经逐渐接近硅原子的物理尺寸，导致出现了量子隧穿效应，降低晶体管特征尺寸来获得更高性能的方法变得越来越难实现，研究人员不得不在芯片的其他方向进行改进，例如降低芯片功耗、提高集成度等方面，从而确保芯片性能的提升。除此之外，采用先进封装技术也是目前用来提高芯片性能的一种方式。例如，系统级封装（System in Package, SiP）<sup>[1-3]</sup>包括2.5D-IC<sup>[4,5]</sup>、3D-IC<sup>[6]</sup>等先进技术逐渐进入工业界，台积电先后推出了 CoWoS(Chip-on-Wafer-on-Substrate)<sup>[7,8]</sup>，InFO(Integrated Fan Out technology)<sup>[9]</sup>，SoIC(System on IC)<sup>[10]</sup>等2.5D/3D 封装技术，Intel 提出 EMIB 封装技术等，提高了芯片的集成度和性能，延续了摩尔定律，但同时也出现了新的挑战。

随着芯片工作频率的不断提升和工作电压的持续降低，单纯考虑电路的连通性和逻辑功能的正常实现已远远不够。噪声引起的电压波动在芯片电路中变得愈发不容忽视，严重影响芯片的正常工作。因此，国外科研界提出了信号完整性（Signal Integrity, SI）和电源完整性（Power Integrity, PI）的概念。这些概念强调，电源供给能力的优劣直接影响整个系统的性能，包括电磁兼容性、芯片的热分布和信号传输质量等。稳定的电源供给也是电路设计中需要重点考虑的问题。在本世纪初，国内电子行业也成立了相关学科，专门研究“信号完整性和电源完整性”，以解决性能不断提升的芯片中出现的信号与电源供给相关问题。经过多年的发展，如今我们可以在各行各业看到应用了 PI 和 SI 的各类研究成果，例如航空航天<sup>[11]</sup>、存储器<sup>[12]</sup>、雷达<sup>[13]</sup>、物联网<sup>[14,15]</sup>、汽车电子<sup>[16-19]</sup>、各类移动设备<sup>[20]</sup>、人工智能<sup>[21,22]</sup>等等，但这并不是意味着这些学科已经发展完善。随着高速电路的快速发展，电源完整性方面也在迎来一个又一个新的挑战。

### 1.1.2 人工智能

在 2016 年，DeepMind 团队研发的 AlphaGo 击败了当时的围棋世界冠军李世石，引起了全球对人工智能的广泛关注。人工智能（AI）是指使机器能够执行类似于人类智能的任务的技术，涵盖了多个领域，包括机器学习、深度学习、自然语言处理和计算

机视觉等。AI 的发展使得计算机可以模仿人类的思维方式，具备学习、推理、解决问题和适应新情境的能力。在机器学习中，计算机系统通过从数据中学习模式和规律来提高自身的性能。深度学习是机器学习的一种方法，它使用人工神经网络来模拟人脑处理信息的方式，对大量数据进行学习和分析。这些技术已经在许多领域取得了巨大成功，例如，国内许多汽车厂商开始利用深度强化学习工具来训练汽车的无人驾驶技术，医院的先进仪器利用人工智能技术来判断 X 光结果、查找病人病因等。在芯片领域，越来越多的企业开始利用强化学习来进行芯片的设计和优化，集成了许多高效的 EDA 工具。可以说，人工智能技术正在加速科学技术的提升。

## 1.2 问题概述

在 2.5D 系统中，芯片工作频率逐渐增大，电源完整性的问题也变得越来越严峻，芯片电路电源完整性问题包括以下几种：直流压降（DC IR drop）、芯片电流供给、电流波动引起的同步开关噪声（Simultaneous Switching Noise, SSN），下面将逐一介绍。

首先是直流压降，它产生的原因主要是芯片电源分配网络中电流经过金属线，因金属线存在电阻，造成的一种分压现象，与电源分配网络的结构和连线细节相关，分析直流压降的时候，主要考虑电阻效应即可，如图 1-1 所示。举一个例子，对于一个采用 flipchip 封装形式的芯片，从 bump 到 chip P/G pin 存在着直流压降，假设与 bump 所连接的电压 VDD 为 5V，VSS 为 0V，经过中间连线的分压，到管脚口 VDD 变为 4V，VSS 变为 1V，芯片内部的晶体管因为得不到正常输入电压而发生逻辑错误。直流压降的另一个关键因素是电流，我们也要考虑电路中不同区域的电流分布，电流密度过大的区域更容易出现直流压降过大和电迁移引起的可靠性问题，同时也会使得这部分区域发热量大，出现积热问题，因此在实际设计中，进行电源的 DC IR drop 分析是第一步，能有效分析出 power rail 开路、via 丢失、走线宽度不足等问题造成的 IR drop，同时，根据这些结果，我们需要对电压源和电流源进行合理的布局。

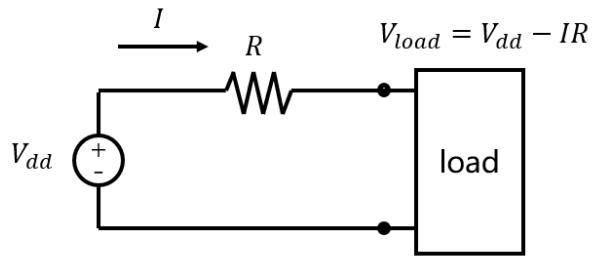


图 1-1 由走线电阻引起的直流电压降

芯片电流供给问题与同步开关噪声具有相似之处，因此可以一起讨论。芯片电源模块为逻辑模块提供直流电，但由于逻辑模块经常需要快速切换状态，因此会产生高频信号，进而导致交流形式的电源完整性问题。在芯片内部，电流传输需要时间，而逻辑模块的信号跳变时间可以达到纳秒级别。在仅依靠外部电源模块供电的情况下，可能会出现信号已经完成跳变，但所需电流尚未从电源模块传输到逻辑模块，导致信号传输错误，这便是电流供给不足的问题。同步开关噪声指的是大量晶体管在切换状态时，瞬态电流在电源和地端产生的一种反弹现象。由于芯片供电端与晶体管之间存在一定的距离，这段连线可以等效成电阻和电感模型。电阻引起的压降类似于之前所描述的直流压降，因此不再赘述。而电感的作用是阻碍电流的变化，当变化的电流流经电感时，会产生一个反向的压降，在这里，我们仅考虑电感的作用，因此对等效电路进行了简化，如图 1-2 所示。

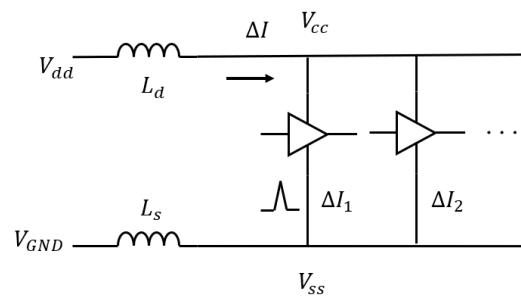


图 1-2 负载端瞬态电流变化引起同步开关噪声

如果我们以供电端口的  $V_{dd}$  和  $V_{ss}$  作为基准，那么在负载两端的电压可以用以下公式来计算：

$$V_{cc} = V_{dd} + L_d \frac{\Delta I}{\Delta t} \quad (1-1)$$

$$V_{GND} = V_{ss} + L_s \frac{\Delta I}{\Delta t} \quad (1-2)$$

$$\Delta I = \sum_{n=1}^N \Delta I_n \quad (1-3)$$

其中,  $V_{cc}$  和  $V_{GND}$  分别代表负载端的实际电源电压和地电压,  $L_d$  代表电源供电端到多个负载端路径上的电感之和,  $L_s$  代表负载端连接到地路径上的电感之和,  $dI$  代表多个负载电路进行工作时的电流变化之和。

针对以上所提到的电源完整性问题, 采用去耦电容器是简单且高效的方法, 通过在片内、封装上、PCB 板上加入不同种类的并联电容器, 可以让芯片从地频到高频都可以保持一个较小的阻抗, 这种情况下的 PDN 网络可以快速地为晶体管提供所需的瞬态电流, 从而降低电源噪声在整个 PDN 中传播的可能性, 本论文主要讨论去耦电容器来实现噪声抑制, 利用深度强化学习等工具来优化去耦电容器的布局, 并针对时域和频域分析进行了讨论。

### 1.3 国内外研究现状

面对高速数字电路中越来越严峻的电源完整性问题, 无论国内还是国外, 都已经取得了很多不错的成果。

在国内, 何永松<sup>[23]</sup>等人讨论了 2.5D/3D 芯片中的高速传输信号中所产生的电源噪声影响, 对同步开关噪声等电源完整性问题对眼图的影响进行了预测, 最后介绍了信号完整性中所需要注意的问题。王艳玲在 2021 年提出了芯片、封装系统联合设计的方法<sup>[24]</sup>, 对高速信号下的芯片电特性调整和封装互连的拓扑电路结构匹配进行了协同优化, 仿真结果显示了该方法可以有效降低电源分配网络中的电压纹波。

而在国外, 科研人员从模型和添加元件等方面展开研究。例如, Yan<sup>[25]</sup>等人提出了使用 RLC 模型来等效替代实际的 PDN 模型, 并对其进行了分析, 在 PCB 板中得到了同步开关噪声的仿真结果, 展示了信号网络会对电源网络产生影响的结果。Mercado<sup>[26]</sup>基于<sup>[25]</sup>提出的模型, 对其进行了改进, 展示了一种可以把 PDN 网络等效成集总模型的方法, 显著改善了原来模型的精度, 但也存在一些不足之处, 就是计算方法变得更加复杂。Kyungjun 等人通过将 MIM 电容集成到高带宽存储器(High Bandwidth Memory, HBM)的硅中介层的 PDN 中去, 完成了 Tb 级传输速率下 HBM 中 SSN 的优化<sup>[27]</sup>。

而随着人工智能在 2016 年成为焦点之后, 科研人员也开始将人工智能技术应用在芯片领域。在 2018 年, Hyunwook<sup>[28]</sup>等人首次提出了利用强化学习来进行板上去耦电容的布局优化, 他们将电路化成矩阵, 使用 Q 学习的方法, 完成了输入阻抗的优化, 但是 Q 学习的方法只适合于状态空间较小的场景, 当状态空间增加时, 算法所需计算

的次数呈指数增加。Zhang<sup>[29]</sup>等人提出深度强化学习的去耦电容选择算法，采用了 DNN 和 Deep Q Network 算法来比较端口电感值，以此来确定去耦电容的选择，但其样本数较少，DNN 可能会出现过拟合的情况，且 DQN 在训练过程中，因为使用单一网络，会存在自举现象，导致无法正确优化。在这两个工作的基础上，Hyunwook<sup>[30]</sup>等人在 2020 年提出了基于 2.5D/3D IC 的硅中介层去耦电容优化，他们采用了 CNN 和 DQN 结合的算法，用 CNN 实现了对矩阵分布信息特征的提取，但他们将片上和硅中介层的 PDN 采用了同样的结构，且其状态和动作空间较少，且去耦电容无法进行容值选择，存在过度设计的可能性，此外，他们并没有做时域下噪声优化相关的分析。Zhi<sup>[31]</sup>等人在 2022 年提出了一种基于混合马尔科夫决策的硅中介层去耦电容布局优化算法，在之前工作的基础上考虑了多芯片的 2.5D 布局，同时针对布局限制情况进行了简单讨论，但其本质上是一种传统算法，泛化性较差。

## 1.4 本文研究内容

因此，基于上述研究工作，我们提出了一种基于近端策略优化（Proximal Policy Optimization, PPO）的 2.5D 系统去耦电容布局优化方法。我们构建了 2.5D 系统的电源分配网络模型，重点研究了 2.5D IC 中电源供给、芯片端的直流 IR 压降，以及由于芯片切换状态引起的瞬态电流变化流经回路电感造成的压降等电源完整性问题。

与之前的强化学习相关工作相比，近端策略优化算法能够应用于连续空间，并且在更新策略时不会与原策略相差过大。通过使用 Actor-Critic 网络，可以大幅降低策略更新过程中的奖励值自举现象。在我们提出的方法中，动作空间中的去耦电容值可以进行调整，从而避免过度设计。我们对时域和频域下的噪声优化都进行了深入分析。相比于传统经典算法，我们的算法能够实现去耦电容更加集中的分布，并且针对 2.5D 多芯片布局的情况进行了优化。

最后，我们使用电路仿真软件在搭建的 2.5D 系统中进行了验证，结果表明在时域和频域下均达到了良好的优化效果。我们将本文研究内容与前人工作进行对比，具体如以下表格所示。

表 1-1 近几年相关工作对比

	Hyunwook <sup>[28]</sup>	Zhang <sup>[29]</sup>	Hyunwook <sup>[30]</sup>	Zhi <sup>[31]</sup>	本文
物理层面	PCB	PCB	Chip/interposer	Interposer	Chip/interposer
算法	Q-learning	DQN	DQN	Hybrid MDP	PPO
创新点	首次使用强化学习到噪声优化	首次使用深度强化学习	考虑 2.5D IC，在片上和硅中介层中进行优化	考虑多芯片 2.5D IC 的噪声优化，讨论了存在空间限制的电容布局	采用两个神经网络进行训练，降低算法自举性；片上和硅中介层的去耦电容协同优化，考虑了存在空间限制的情况；添加电流源激励，模拟实际电路情况，进行时域优化
不足点	只适用于小规模计算	需提前知道去耦电容优化位置优先级，步骤繁琐	只针对单个芯片，片上与硅中介层的 PDN 结构相同，算法存在自举性	本质为传统算法，泛化性较差，仅考虑硅中介层去耦电容布局	可加入芯片连接线长作为进一步约束

## 1.5 本文组成部分

本文的章节组成和主要内容如下：

第一章绪论介绍了研究背景和意义，引入了当前 2.5D 先进封装技术和电源完整性相关的概念，介绍了当前国内外对于 2.5D 封装和电源完整性设计的研究现状。

第二章介绍了本文的一些理论基础，首先是芯片电源分配网络的基本结构，包括 VRM、电源/地平面、去耦电容等组成部分，对它们的电路结构进行展示和说明。然后

介绍了深度强化学习的基本原理，从深度学习、强化学习到深度强化学习以及介绍了本文所用到的算法结构。

第三章介绍了使用近端策略优化的频域噪声优化算法，搭建了一个 2.5D IC 的电路，并对各部分元件进行了建模，接着用优化算法在单芯片和多芯片上进行分析，引用改进后的目标阻抗法，通过在硅中介层放置去耦电容来进行 PDN 输入阻抗的优化，在多芯片噪声优化上，研究了多样本训练时神经网络的预测情况，对多个相似布局进行了优化方案预测，得到了良好的效果。最后研究了存在限制区域时的布局优化，并与无限制时的布局进行了对比。

第四章介绍了 2.5D 电路在时域下片上去耦电容的优化，对片上 PDN 进行建模，在 PDN 中加入不同峰值的电流源来模拟实际电路中的瞬态电流变化，考虑了电压变化相同时，低于电压最小容限的时间越长，引起逻辑错误的可能性就越大，因此引入了电压违例积分的概念，将电压违例积分作为输入状态进行训练并优化，展示了在完成频域优化布局后，根据时域下电压违例的相关数据，进行片上去耦电容的进一步布局优化，结果显示，本文所提算法可以较好地完成时域下违例节点的优化。

第五章为总结与展望，描述了本文所做的工作，并对于所提出的算法进行了分析，说明了在未来工作可以进一步优化的地方。



## 2 理论基础

本文研究内容是利用深度强化学习工具，通过对芯片内电源分配网络的分析，找出可能存在的电源完整性噪声问题，并收集电路中节点电压、端口阻抗等数据，将其输入到深度强化学习工具中进行学习。通过不断训练和改进，最终得到一个可以用于分析电路状态并提供噪声优化方案的智能体。接下来，我们将分别介绍硬件方面的电源分配网络和软件方面的深度强化学习。

### 2.1 电源分配网络

电源分配网络（Power distribution network, PDN），又可以称为电源配送网络，通常是指从电源供给模块到芯片的焊盘，再到芯片内部分配本地电压和返回电流的片上金属连线层在内的所有互连电路。这其中包括电源稳压模块<sup>[32-34]</sup>、bulk 去耦电容器、板级通孔、TSV<sup>[35-39]</sup>、电路板上的平面、封装的 C4<sup>[40]</sup>焊球或引脚、键合线、封装电容和电感、片上电容、芯片内部互连等等。与信号传输路径不同的是，电源分配网络中的电压轨道通常只有一个线网，这个线网可以连接很多元器件，几乎可以当作覆盖了整个电路板的巨大线网。我们可以把电源分配网络当作一个完整的生态系统，当线网中的某一部分发生改变的时候，整个系统也会随之发生改变，这使得想要设计出一个通用的电源分配网络是十分困难的。下面将介绍电源分配网络中的组成部分。

#### 2.1.1 电源稳压模块

当设计芯片电路时，不同芯片在正常工作下所需的电压也不尽相同，比如常见的有 5v、3.3v、1.8v 等，因此电源分配网络需要为它们提供不同的电压轨道。此外，关键的是确保供电电压的稳定性，因为电压波动可能导致器件故障甚至永久损坏。直接依赖外部电源供电时，由于走线距离过长或经过其他器件，可能会造成芯片引脚的电压下降。因此，需要使用稳压模块将输入电压转换为稳定且相对较低的输出电压，以为芯片提供所需电压。稳压模块由几个组成部分构成，包括稳压 IC、用于储存释放能量和平滑电流的电感、帮助稳定输出电压和吸收电压波动的电容，以及控制电压输出的开关元件 MOSFET。整体结构如图 2-1 所示。

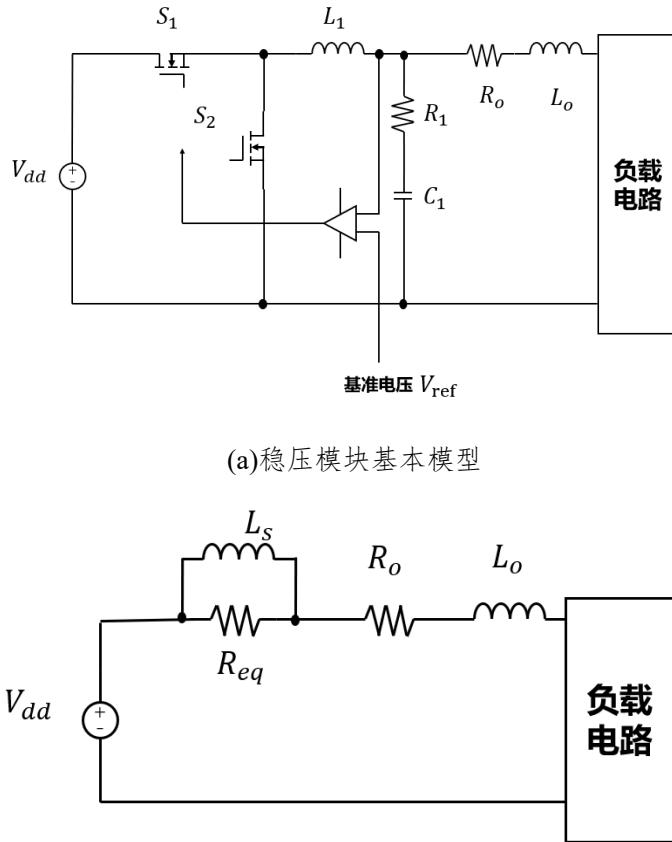


图 2-1 电源稳压模块基本模型和简化后的电路

图 2-1(a)中展示的是一个非隔离型降压稳压电路，根据基准电压和实际电压的差值来选择开关\$S\_1\$和\$S\_2\$的开启和关断。我们可以把 VRM 电路进行简化，如图 2-1(b)所示。\$R\_{eq}\$可以通过产品手册查找获得，它代表的是 VRM 输出端所连接的电容的等效电阻。\$L\_s\$可以有计算公式\$V\_{max} \* \frac{dt}{dI}\$算出，\$V\_{max}\$是指在\$dt\$时间段内 VRM 端的电压波动，一般可以取负载工作电压的 5%，\$dI\$代表\$dt\$时间段内的电流波动，\$V\_{max}\$、\$dI\$、\$dt\$与器件制造相关，通常可以在制造手册中查到。\$R\_o\$和\$L\_o\$是从 VRM 端到芯片端的输出电阻和输出电感，\$R\_o\$可以通过场求解器来计算获得，通常在几毫欧左右，而\$L\_o\$则与互连线结构参数有关。根据电路图，我们可以算出从负载端的输出阻抗函数：

$$Z_{VRM}(f) = R_o + j2\pi f * L_o + \frac{j2\pi f * R_{eq} * L_s}{R_{eq} + j2\pi f * L_s} \quad (2-1)$$

举一个例子，1.2V 的 VRM 噪声容限为 5%，允许电流在 10us 内变化 30A，根据所提到的\$L\_s\$计算公式，可以算出\$L\_s=20nH\$，设定\$R\_{eq}\$为 25m\$\Omega\$、\$R\_o\$为 1 毫欧、\$L\_o\$为 2nH，得到 VRM 的阻抗频域波形。可以看出，VRM 从直流到几十 KHz 的频域范围内都具有

较小的阻抗，因此常常用于低频段的供电。

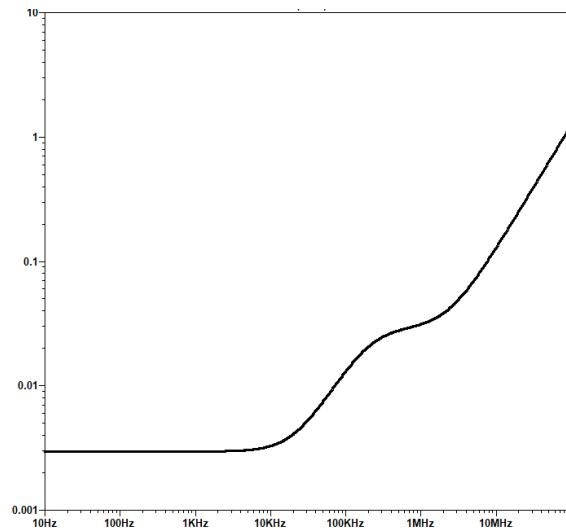


图 2-2 电路稳压模块的阻抗曲线

### 2.1.2 电源/地平面

在高速数字电路中，电源/地平面在解决电源完整性问题中有十分重要的作用，还有很好的信号传输性能，在 PDN 中以分层式整体敷铜的平面对出现，基本结构如图 2-3 所示。

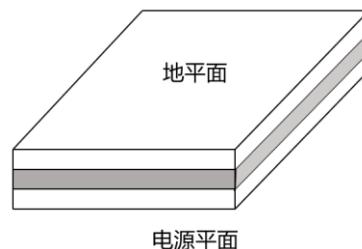


图 2-3 电源地平面示意图

它们有以下一些功能：

- 1) 首先，电源平面为高速数字电路提供了较为稳定的电压。
- 2) 电路板上电流信号通过平面对返回，会自动选择一条阻抗最小的电路，而电源地平面为它提供了这条路径，减小了其在回路上的电压分压。
- 3) 电源地平面在板上可以视作一对完美的平面电容，如图 2-4 所示，对于芯片电路有良好的去耦作用，有效抑制了电源噪声，电容值可以用平面电容计算公式来近似估计，如下：

$$C_{p/g} = \frac{\varepsilon \varepsilon_r S}{d} = \varepsilon \varepsilon_r * \frac{w * l}{d} \quad (2-2)$$

式中,  $\varepsilon$ 真空中介电常数, 通常为  $8.854 \times 10^{-12}$ F/m,  $\varepsilon_r$ 是介质的相对介电常数,  $d$ 是两个平面之间的距离,  $w$ 和 $l$ 为平面的宽和长

- 4) 信号传输的过程中会对外面产生电磁辐射, 但如果将信号线放在电源地平面中, 可以对传输信号的电磁辐射进行屏蔽, 从而可以避免对附近其他电子产品产生影响。
- 5) 利用地线穿插在信号线之间, 可以有效地防止信号之间的串扰, 这是在 SI 和 PI 中经常使用的方法, 如图 2-5 所示。

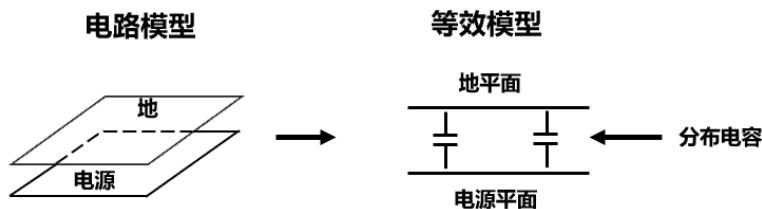


图 2-4 电源地平面的等效分布电容模型



图 2-5 电源地平面分层机构

### 2.1.3 去耦电容器

去耦电容器<sup>[41]</sup>在电源完整性和电源分配网络中占有十分重要的地位, 在 PDN 中, 它就像电量存储器, 可以回应它附近电路的瞬态电流请求, 它既可以降低电源平面的阻抗, 也可以减少同步开关噪声带来的影响, 对于芯片供电的稳定性发挥着很大的作用。根据所放置的位置, 我们可以将其分为 bulk 电容、板级电容<sup>[42-44]</sup>、封装电容<sup>[45,46]</sup>以及片上电容<sup>[47-49]</sup>, 而随着制造技术的发展, 如今可以实现在硅中介层中添加电容<sup>[27,51]</sup>, 例如台积电的深沟槽电容<sup>[52,53]</sup> (Deep Trench Capacitor, DTC), 可以实现  $300\text{fF}/\mu\text{m}^2$  的电容密度。

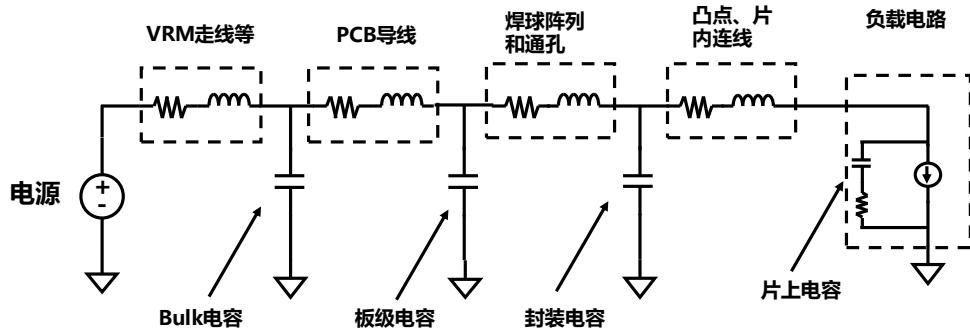


图 2-6 电源分配网络中各级去耦电容

VRM 级通常使用 bulk 电容，特点是容值大、谐振点低、元件体积大，在直流到 100Khz 左右都能保证低阻抗。板级电路使用表面贴装(Surface Mount Technology, SMT) 电容，谐振点比 bulk 电容谐振点高，容量也小，主要用于中低频区域。而封装电容和片上电容则通常用于中高频下的阻抗值优化。

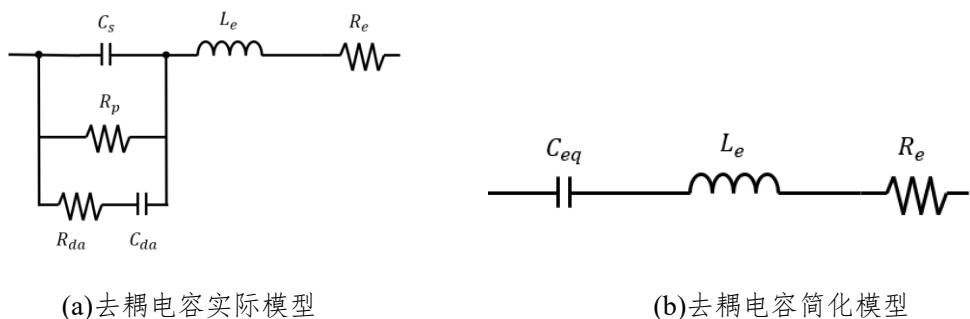


图 2-7 去耦电容实际电路与简化模型

在实际电路中，去耦电容器并不是一个理想模型，往往存在着一些寄生参数，例如等效串联电阻(ESR)和等效串联电感(ESL)，它的实际电路模型如图 2-7(a)所示<sup>[54]</sup>，它的简化模型如图 2-7(b)所示。

因此，我们可以得到它的等效阻抗  $Z(f)$ :

$$Z(f) = Req + j2\pi f Leq + \frac{1}{j2\pi f Ceq} \quad (2-3)$$

算出它的谐振频率为  $f$ , 此时阻抗等于电阻值:

$$f = \frac{1}{2\pi\sqrt{Leq Ceq}} \quad (2-4)$$

图 2-8 展示了不同谐振频率电容的阻抗曲线图:

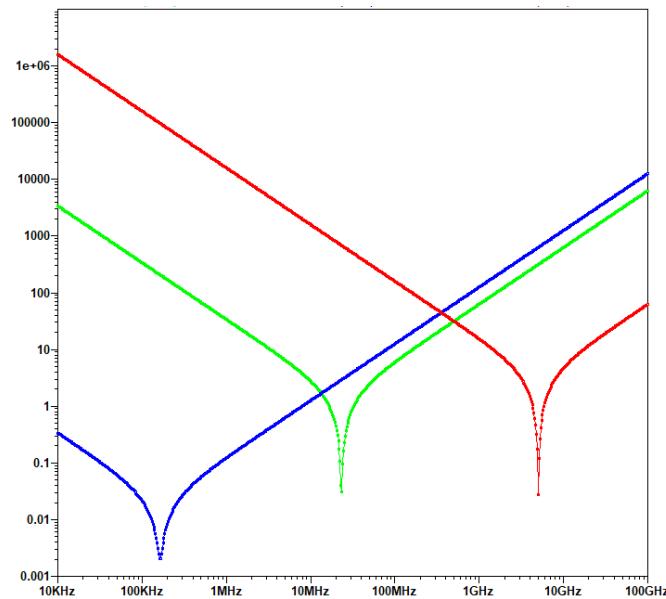


图 2-8 不同种类电容谐振曲线

从图中可以看出，频率大于谐振点之后，阻抗以  $20\text{dB/dec}$  的速率增加，此时去耦能力降低，因此电容中的等效电感也影响着去耦电容的性能好坏，除此之外，在布局时还需要考虑去耦半径的因素，当放置较远时，去耦电容和 IC 之间连线上的也会寄生电感增加，根据公式可以分析出，此时谐振点左移，去耦电容优化的频率降低,如图 2-9 所示。

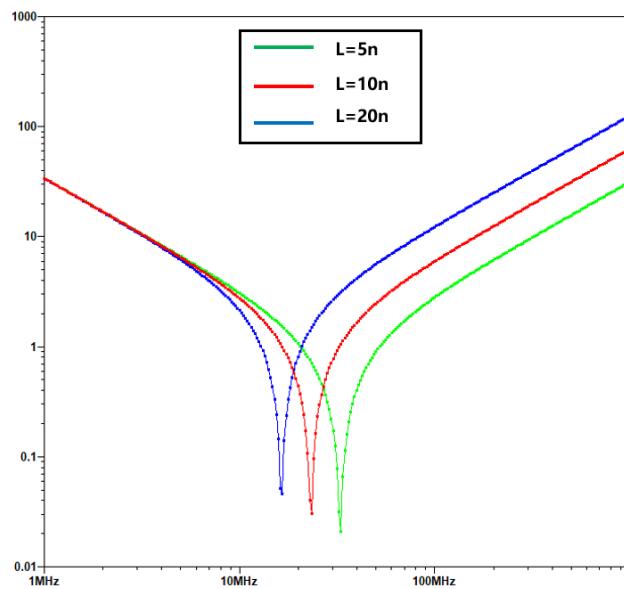


图 2-9 不同电感下电容的阻抗曲线

## 2.2 深度强化学习基本理论

深度强化学习是人工智能领域中结合了深度学习和强化学习的产物，通过让智能

系统与环境进行交互学习，强调使用神经网络等深度学习技术来不断优化自己的策略，从而来处理强化学习中高维状态和动作空间，下面我们将进行介绍。

### 2.2.1 深度学习

深度学习是机器学习领域中的一个重要分支，它以人工神经网络为基础，通过多层次的神经元网络结构对数据进行学习和建模。其核心思想是通过模仿人脑神经元之间的连接方式，让计算机能够自动地学习到数据的抽象表示，从而实现对复杂模式和特征的提取。

深度学习的关键是深层次的神经网络结构，其中包括输入层、多个隐藏层和输出层。每一层都包含多个神经元，通过学习数据集中的样本来调整神经元之间的连接权重，以最小化预测输出与实际标签之间的误差。这种学习过程通过梯度下降等优化算法进行，逐步调整网络参数，使得网络能够更准确地预测新数据的结果。以卷积神经网络为例，它通常用于图像的识别与分类，它的具体流程如图 2-10 所示。

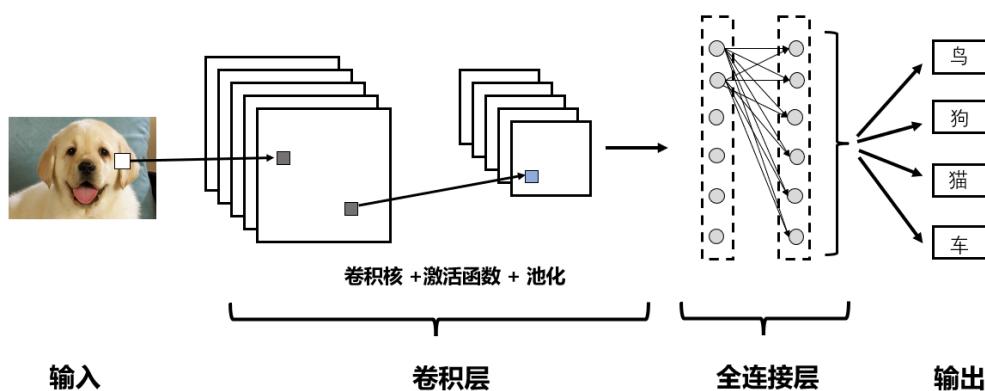


图 2-10 卷积神经网络基本结构

首先，我们将所需的图片传输给卷积神经网络。根据设定的输入参数，对图片进行尺寸调整，并对图片的颜色进行分析，得到每个像素点的 RGB 数值，形成一个三层的像素矩阵。接下来，我们选择一个滤波器或卷积核，对像素矩阵进行卷积。卷积核也是一个三层矩阵，但尺寸比像素矩阵小得多。通常我们会使用多个卷积核对图片进行卷积，以提取不同的特征，如边沿、纹理等。

卷积后的新矩阵通过激活层和池化层进行处理。激活层对卷积层的输出结果进行非线性映射，常见的激活函数有 ReLU、Sigmoid、Softmax 等。池化层用于特征降维，压缩数据和参数的数量，减少过拟合的情况，提高模型的容错率。最常见的池化

方法有最大池化和平均池化，分别选取子矩阵中的最大值或平均值作为下一个矩阵的元素。

经过多次卷积、激活和池化后，将所得矩阵展平（flatten），然后与全连接层相连，最后连接到输出层。得到输出结果后，损失函数计算实际结果与目标值之间的均方误差。然后，模型使用梯度下降法通过反向传播来调整卷积核的数值。通过不断的训练和调整，最终实现对图片的识别。

在这个过程中，我们需要设定卷积神经网络的部分超参数，包括：1) 卷积核的尺寸，通常设定为奇数的方形矩阵，例如  $3*3, 5*5$ ，选用小的卷积核可以保证提取到局部特征信息。2) 卷积核数量，通常选择 2 的幂，32 到 512 层是比较合理的值，使用过多则会增加神经网络的复杂度，降低了训练效率。3) 是否填充（padding），是指在矩阵周围增加一圈数值为 0 的元素，保证经过卷积之后的矩阵与原来尺寸一致，例如未填充时  $7*7$  的矩阵经过  $3*3$  卷积之后变成  $5*5$  的矩阵，而填充是变成  $9*9$  的矩阵再卷积成  $7*7$  的矩阵，与此同时，边界元素从原来的一次卷积变成多次卷积，避免了边界点信息的丢失。4) 步长（stride）大小，是指卷积核移动的间隔距离，增加步长可以减少计算量，起到类似“池化”的作用，但会忽略部分特征。以上这些都需要根据训练量、计算资源、训练效果等进行人为调整。

深度学习的成功得益于大数据和强大的计算能力的支持。随着数据量的增加和硬件性能的提升，深度学习模型的复杂性和性能不断提升，使得其在各个领域得到了广泛应用。比如在自然语言处理（NLP）领域，Google 的 BERT 模型利用 Transformer 架构在各种 NLP 任务上取得了巨大成功。它的预训练模型能够学习大规模文本数据，并通过微调适应不同的任务。BERT 在问答系统、语言生成等领域有着广泛应用。深度学习也在科学的研究中发挥着重要作用。例如，在生物医学领域，研究人员利用深度学习来分析基因数据、预测药物相互作用、诊断疾病等。这项技术使得科学家能够更快速、准确地处理大规模的生物信息数据，加速了医学研究和药物开发的进程。

## 2.2.2 强化学习

在强化学习中，马尔科夫决策过程<sup>[55]</sup>（Markov Decision Process, MDP）是最重要的基础理论，它用于描述可观测的环境，通过观测到的状态信息来决定决策所需的特征。根据定义，马尔科夫决策过程需要包含一组交互对象，即智能体（agent）和环境（environment）。智能体的作用是感知外部环境的状态，进行决策和选择动作，并根据

环境反馈的数据调整策略。环境则是除了智能体之外的所有事物，它会根据智能体的行为发生变化，智能体可以感知这些变化。同时，环境会根据设定的条件向智能体反馈奖励，从而帮助优化智能体的策略。

马尔科夫决策过程包括五个要素，状态 (State)、动作 (Actor)、奖励 (Reward)、状态转移概率 (Probability) 和折扣因子 (discount factor)，即  $(S, A, R, P_{a_t|s_t}, \gamma)$ ，其中， $S$  代表所有在  $t$  时刻的智能体状态  $s_t$  的集合， $A$  是在  $t$  时刻智能体采取动作  $a_t$  的集合， $R$  是智能体在  $t$  时刻状态  $s_t$  下采取  $a_t$  的奖励值  $r_t$  集合， $P_{stat}$  代表在状态  $s_t$  时采取动作  $a_t$  的可能性， $\gamma$  是折扣因子，用于衡量未来奖励对当前决策的重要性，取值范围为 0 到 1，接近 0 时说明未来的奖励占比较小，智能体倾向于获得即时奖励，取 1 时代表未来和当前奖励同样重要，可能会导致过度强调未来奖励。

我们可以通过一个例子来展示马尔科夫决策过程，假设每一个回合的长度为  $n$ ，首先对环境进行状态初始化，智能体输入状态为  $s_0$ ，采取动作  $a_0$ ，环境发生改变进入下一个状态  $s_1$ ，并将此时的奖励  $r_0$  反馈给智能体，然后再根据状态  $s_1$  选择动作  $a_1$ ，以此类推，直到采取了  $n$  次动作，回合结束，环境进行重置。在此过程中，我们把智能体所收集到的数据封装成一条交互轨迹  $\tau$  (trajectory)，那么我们就可以计算出这条轨迹的总奖励值  $R(\tau)$ ：

$$R(\tau) = \sum_{t=0}^T \gamma^t r_t, \gamma \in (0,1) \quad (2-5)$$

$$\tau = (s_0, a_0, s_1 \dots s_n) \quad (2-6)$$

强化学习通过已经收集到的轨迹信息进行不断训练，目的是为了找到一个最优的策略 (policy)  $\pi^*$ ，在这个策略下每回合的奖励值总是最大，或者说是该策略有最大的奖励值期望，可以表示为：

$$\pi^* = argmax E_\pi(R(\tau)|\pi) \quad (2-7)$$

在开始优化策略之前，我们需要计算每个状态和状态-动作组合的价值，因此我们引入了两个参数， $V^\pi(s)$  和  $Q^\pi(s, a)$ ，它们分别表示在执行策略  $\pi$  时的价值函数和 Q 值函数，用公式表示为：

$$V^\pi = E_\pi[R(\tau)|s_0 = s] \quad (2-8)$$

$$Q^\pi(s, a) = E_\pi[R(\tau)|s_0 = s, a_0 = a] \quad (2-9)$$

强化学习的求解方法有很多种，包括基于值函数的迭代、基于策略的方法、蒙特卡洛方法、时序差分法等等

### 2.2.3 深度强化学习

深度强化学习结合了深度学习和强化学习的思想，旨在利用神经网络处理复杂的状态和动作空间。它使用深度神经网络作为函数逼近器，帮助处理高维度的状态和动作空间，使得智能体能够更好地学习复杂的策略。

深度强化学习的代表算法包括深度 Q 网络(DQN)、深度确定性策略梯度(DDPG)、双重深度确定性策略梯度(TD3)、演员评论家(Actor-Critic)算法等。这些算法通过引入深度神经网络来近似值函数或策略函数，从而在复杂环境中实现高效的学习和决策。下面，我们选择 Actor-Critic 来进行简单介绍。

上面介绍到，强化学习有基于策略的算法和基于值的算法，但是它们都有各自的缺点，而 Actor-Critic 算法将两者结合起来，弥补了它们的短板，构造了一个较为全能的智能体，可以直接输出策略，也可以通过值函数来实时判断当前策略的好坏。它的组成部分是 Actor 网络和 Critic 网络，Actor 网络负责学习和执行动作的策略，会根据当前状态选择动作，然后得到环境反馈的奖励，Critic 网络输出值，负责对选择的动作进行好坏的评估。值和策略之间可以相互换算，它们的相差就是 TD-error。Actor 的作用是寻找能最大化奖励的策略，根据策略输出动作，Critic 的作用是提供对动作价值的反馈，让 TD-error 尽量小，指导 Actor 选择更好的动作。Actor-Critic 算法的更新方式可以表示为图 2-11：

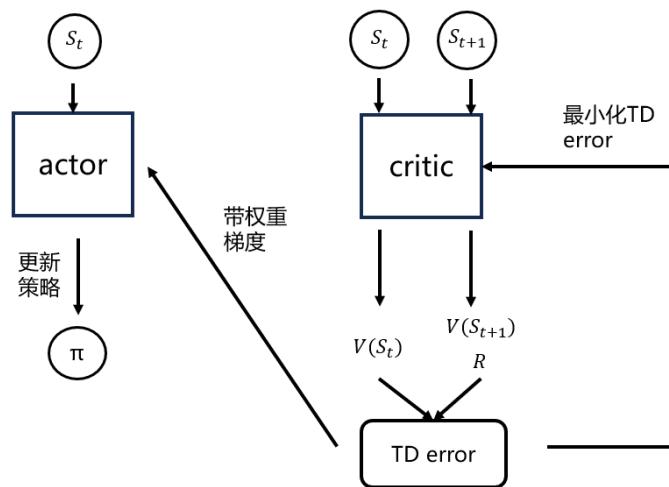


图 2-11 Actor-Critic 网络更新策略

总的来说，深度学习侧重于学习数据的表示和特征，强化学习关注智能体与环境交互的决策过程，而深度强化学习结合了两者的优势，通过神经网络来处理复杂环境下的决策问题，为解决现实世界中的复杂问题提供了强大的工具和方法。

### 2.3 本章小结

本章主要讲述了本文应用方法的一些基础知识，介绍了电源分配网络的组成部分，介绍了稳压模块的作用和电路，讲述了电源地平面的作用和特点，以及用于噪声优化的去耦电容器。接着，我们讲述了深度强化学习的一些理论知识，包括深度学习和强化学习，然后对就本文所用到的 Actor-Critic 网络进行了简单的描述。



### 3 基于 PPO 算法的频域噪声优化

本章将介绍我们所提出的基于近端策略优化 (Proximal Policy Optimization, PPO) 的去耦电容布局优化算法，简称 PDPO (PPO-based Decap Placement Optimization)，结合 2.5D IC 设计的简化电路模型，来优化 PDN 中所出现的由 SSN 等噪声引起的电源完整性问题，结合电路仿真软件对电路进行仿真和信息采集，来确立深度强化学习优化的目标，智能体通过对已有数据进行训练、做出决策、收到环境反馈、调整参数等不断优化策略，最终得到一个具有良好训练效果的智能体，当遇到类似电源完整性问题时，智能体可以快速给出优化方案。

#### 3.1 基本原理

##### 3.1.1 目标阻抗和去耦电容

在优化芯片中的噪声问题时，最常使用的是 Larry Smith 所提出的频域目标阻抗法 (Frequency-Domain Target Impedance Method, FDTIM)，它通过电压波动与最大瞬态电流变化值计算得出，公式如下：

$$Z_{target} = \frac{V_{dd} * ripple\%}{I_{max} * 50\%} \quad (3-1)$$

式中， $V_{dd}$  代表供电电压， $ripple\%$  代表所允许的电压纹波百分比，通常为 5%，而随着集成技术发展，在一些芯片中甚至要求低于 1%， $I_{max}$  代表供电轨道的最差情况下的瞬态电流变化的最大值。

通常我们要求 PDN 设计可以保证从芯片看进去的输入阻抗在感兴趣的范围内低于目标阻抗，比如说从直流到 1Ghz。

然而，随着晶体管制造工艺的提升和芯片集成度越来越高，晶体管翻转速率越来越大，研究人员发现 PCB 在过渡状态时会产生浪涌状态，因此，提出了一种改进的目标阻抗法<sup>[56,57]</sup>，分析了过渡时间的影响，避免了去耦电容的过度设计，其主要原理为通过晶体管过渡状态上升时间，计算一个临界频率  $f_k$ ，当频率小于  $f_k$  时，目标阻抗保持不变，当频率大于  $f_k$  时，目标阻抗会以 20dB 的速率增加，计算如下：

$$f_k = \frac{0.35}{T_r} \quad (3-2)$$

其中， $T_r$  是过渡状态的上升时间，在本文中， $T_r$  设置为 0.1ns， $f_k$  设置为 3.5Ghz<sup>[30]</sup>。

在 2.1.3 中介绍到，去耦电容是最常使用用于减低芯片中噪声的元件，本文主要研究的是中高频下的噪声优化，因此，我们主要讨论硅中介层和片上电容的布局优化，下面介绍几种用于优化的电容。

在芯片设计中，最常使用的去耦电容器是 MIM (metal-insulator-metal) 电容、MOS (metal-oxide-semiconductor) 电容和 MOM (metal-oxide-metal) 电容，它们各有优缺点。MIM 电容相当于一个平行板电容，一般由最顶层二层的金属层和中间的介质构成电容，它的优点是电容值比较精确，且不会随偏压变化而变化，可以通过上级板面积和单位容值相乘进行估算，但缺点也比较明显，那就是电容密度较小，需要占用较多面积获得足够电容。MOS 电容与 MIM 电容几乎相反，MOS 电容是利用晶体管栅极与沟道之间的栅氧作为绝缘介质，栅极作为上级板，源极、漏极和硅衬底短接一起组成下级板，通过在栅极施加电压直至超过阈值电压  $V_{th}$ ，形成沟道，栅氧层作为栅极和沟道之间的绝缘介质，从而形成一个电容。可以看出，MOS 电容的大小与栅氧厚度和介电常数有关，栅氧厚度与栅极所施加电压有关，因此 MOS 电容可以当作一个压控电容，对上下极板之间的电压要求很高，当然 MOS 电容优点也很明显，就是占用面积小，同时电容密度要高于 MIM 电容。而 MOM 电容是指金属连线形成的插指电容，无需额外工艺，且具有较好的电容密度，通常单位面积下是 MIM 电容密度的几倍。

本文主要针对中高频下阻抗进行优化，可考虑的放置空间为硅中介层的 PDN 和片上 PDN 网络，根据上面所介绍的几种电容，我们选择 MIM 电容和 MOS 电容来进行我们的优化。其中，在硅中介层 PDN 两层电源地平面之间加入 high-k 介质来组成 MIM 电容<sup>[50]</sup>，其示意图如下所示。

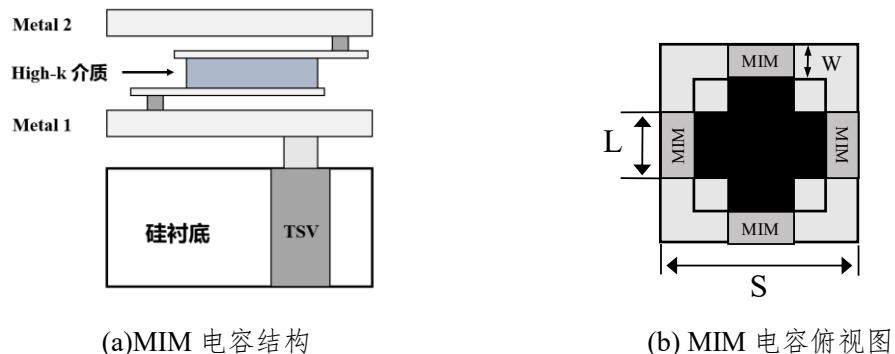


图 3-1 MIM 电容结构及其俯视图

MOS 电容通常是有 NMOS、PMOS 和 CMOS 等类型，以 NMOS 为例，其等效电路可以表示为图 3-2。

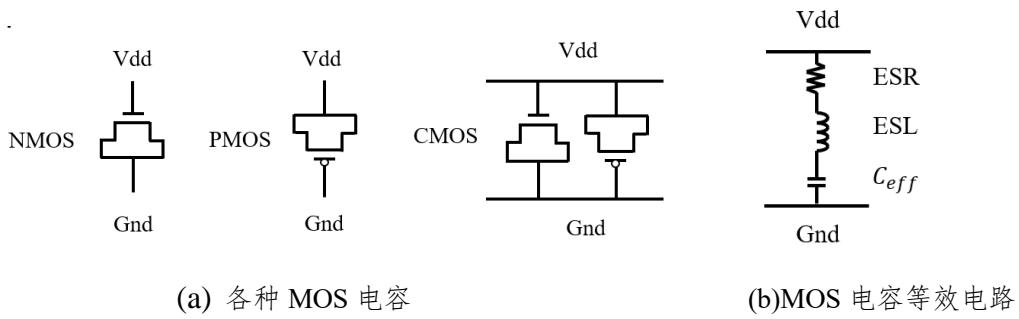


图 3-2 MOS 电容组成结构及其等效电路图

其中，ESL 为等效串联电感，通常可以忽略，ESR 为等效串联的电阻，电容有效值  $C_{eff}$  可以通过利用  $C_{ox}$  和面积进行估算， $C_{ox}$  是单位面积下的电容值，计算公式为介电常数  $\epsilon_{psilon}$  和  $T_{ox}$  的比值，如公式 3-1 表示。 $T_{ox}$  可以查询工艺手册获得，以 55nm 工艺为例， $t_{ox}$  为 24Å，计算可得  $C_{ox}$  为 14.4fF/ $\mu m^2$ ，宽长比  $W/L$  为 100 $\mu m$ : 0.6 $\mu m$ ，当  $m=100$  时，可以计算得到电容值为 86.4pF。

$$C_{ox} = \frac{\epsilon_r \epsilon_0}{t_{ox}} WL \quad (3-3)$$

### 3.1.2 近端策略优化算法

我们使用近端策略优化算法（Proximal Policy Optimization, PPO）来作为优化的算法，它是一种基于 Actor-Critic 架构的算法，由 OpenAI 团队在 2017 年基于置信域策略优化算法（TRPO）的基础上所提出来的。相比于 TRPO, PPO 对于新手来说更加简单、容易理解和上手。在传统的策略梯度中，我们依据目标函数的梯度和设定的步长来更新策略的权重  $\theta$ ，但更新过程中会遇到两个难题：一是可能错过奖励值峰值的位置，从而进入次优策略区域；二是在梯度方向上采取过小的更新步长，导致收敛变慢，如图 3-3 所示。前者表明训练过程中新旧策略差距过大，后者则增加了训练时间。而 PPO 通过采用 KL penalty 和 Clip 两种限制函数，确保新旧策略之间不会差距太大。同时，PPO 在每回合的训练过程中使用小样本迭代更新，因此具有较强的稳定性和良好的效果。

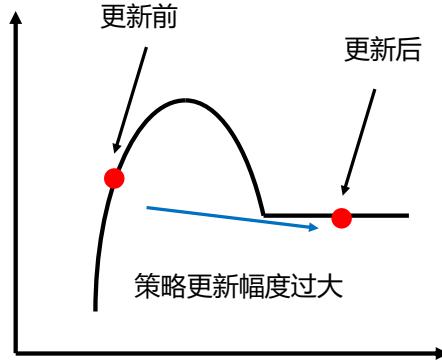


图 3-3 策略更新过大导致进入局部最优，需要训练很久才能跳出局部最优解

PPO 算法<sup>[58]</sup>所得到的实验结果显示，Clip 算法在性能上会优于 KL penalty 算法，因此我们采用 Clip 算法来进行我们的实验，它的损失函数定义如下：

$$L^{clip}(\theta) = \hat{E}_t[\min(r_t(\theta)\hat{A}_t, clip(r_t(\theta), 1 - \varepsilon, 1 + \varepsilon)\hat{A}_t)] \quad (3-4)$$

其中  $r_t(\theta)$  代表的是新旧策略的比例， $\hat{A}_t$  代表在  $t$  时刻的优势函数估计，优势函数用于衡量在某个状态  $s_t$  下选取某个动作  $a_t$  的合理性，它计算的是采取动作  $a_t$  获得的性能与所有可能动作对应的性能平均值的差值，如果优势函数大于 0，则说明动作  $a_t$  优于平均，是合理的选择，反之则是差的选择。 $r_t$  和  $A_t$  的公式如下：

$$r_t(\theta) = \frac{\pi^*(a_t|s_t)}{\pi_\theta(a_t|s_t)} \quad (3-5)$$

$$\hat{A}_t = \delta_t + \gamma \lambda \delta_{t+1} + \dots + (\gamma \lambda)^{T-t+1} \delta_{T-1} \quad (3-6)$$

$$\delta_t = r_t + \gamma V(s_{t+1}) - V(s_t) \quad (3-7)$$

## 3.2 电路模型搭建

电源分配网络在不同层级所提供的电压和形状不同，因此针对 2.5D 系统，我们必须进行分层建模。为了简化模型并减少电路仿真软件运行时间，我们把片上 PDN 和硅中介层 PDN 均设置成两层网络。

### 3.2.1 片上网络建模

不同于板级和封装级的 PDN，芯片内部的 PDN 是规则的网格型网络，如图 3-4(a) 所示。同一层的电源线和地线相互平行、交错放置，不同层级的电源线进行垂直放置，然后通过短过孔进行相连接。芯片 PDN 上的噪声主要来源是电流流过供电网络中的寄生电阻所产生的 IR drop 和晶体管进行状态切换时引起的瞬态电流流经寄生电感所引起的同步开关噪声 SSN，根据 H Chen<sup>[46]</sup> 等人提出的模型，我们可以把片上电源分配网

络简化成分布式的 RLC 模型，如图 3-4(b)所示。由图可以看出电源分配网络是重复模块相连接的，因此我们可以取其中一部分进行分析，这部分称为单位元(Unit Cell, UC)。单位元中，等效电阻  $R$ 、等效电感  $L$  均可以通过传输线模型来计算获得，等效电容  $C$  由连线寄生而成，远小于系统中添加的去耦电容，因此可以忽略不计。

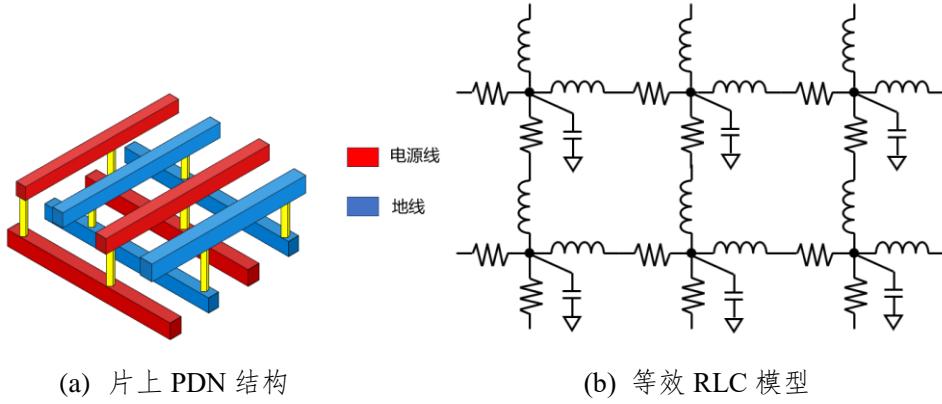
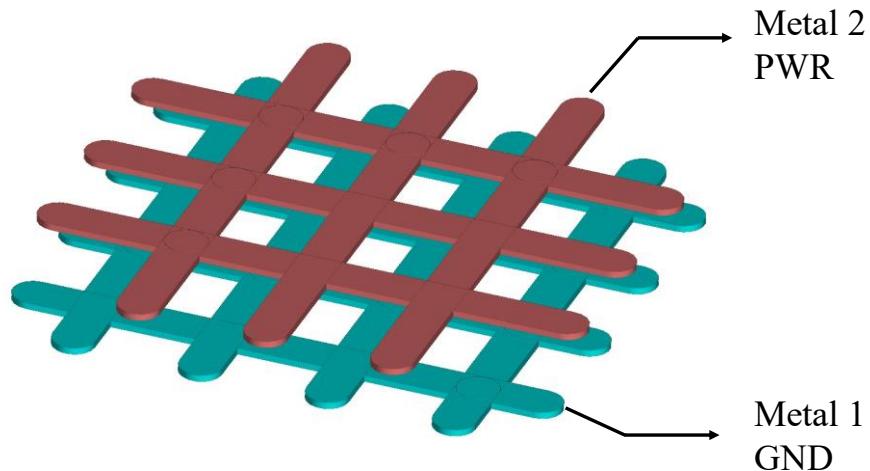


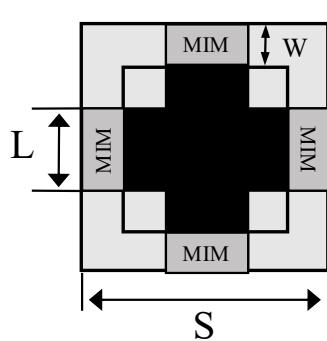
图 3-4 片上 PDN 结构及其等效模型

### 3.2.2 硅中介层 PDN 建模

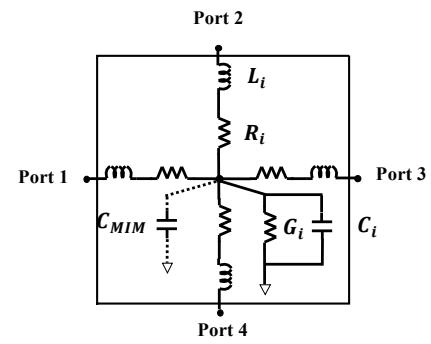
接下来对中介层的 PDN 进行建模。中介层的 PDN 通常是由两层平面电源和地所组成的，一般常见的类型有网格状<sup>[30]</sup>、平面型<sup>[59]</sup>，介质材料有玻璃和硅等，在本文中，我们选择硅中介层网格状 PDN 作为研究对象，上层为电源平面，下层为地平面，如图 3-5(a)所示。从图 3-5(a)示意图中可以看出，硅中介层 PDN 是规则的两层网状金属构成，与片上 PDN 的建模方法类似，我们将硅中介层 PDN 划分成由单位元相互连接组成的模型，对于每一个单位元均采用传输线模型来进行建模。在建模时，硅中介层 PDN 金属连线尺寸与片上 PDN 尺寸不同，传输线等效模型也不同，我们采用平面传输线模型对硅中介层上 PDN 进行建模，两层平面之间存在着电容和电导，相比于片上 PDN 中的电容，这部分在硅中介层的建模中不可忽略。



(a) 硅中介层 PDN 3D 图



(b) 硅中介层 PDN 单元元俯视图

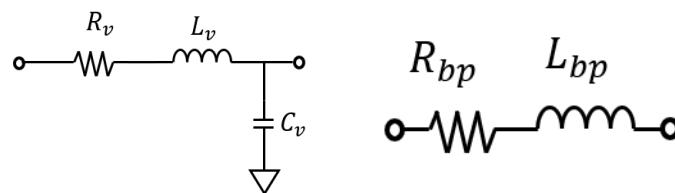


(c) 单位元等效模型

图 3-5 硅中介层 PDN 建模

### 3.2.3 其他元件建模

TSV 和 bump 在 PDN 中同样起着重要的作用，我们将 TSV 和 bump 分别建模成等效 RLC 模型<sup>[6,60]</sup>，如图 3-6 所示。



(a) TSV 等效模型

(b) bump 等效模型

图 3-6 TSV 和 bump 等效电路模型

对于板级和封装级 PDN，我们决定采用一维电路模型，通过加入 VRM、体电容等电路，来保证 PDN 在低频的时候拥有一个较低的阻抗，因为随着芯片电路工作频率越来越快，噪声也集中在芯片层面，而对于板级和封装级的 PDN，其噪声优化技术较为

成熟，因此我们的噪声优化目标主要集中在中高频时的芯片噪声问题。

综上所述，可以将 2.5D IC 电路建模成相应的 RLC 等效电路，然后我们就可以通过对等效电路的仿真来进行电源完整性问题优化，如图 3-7 所示。

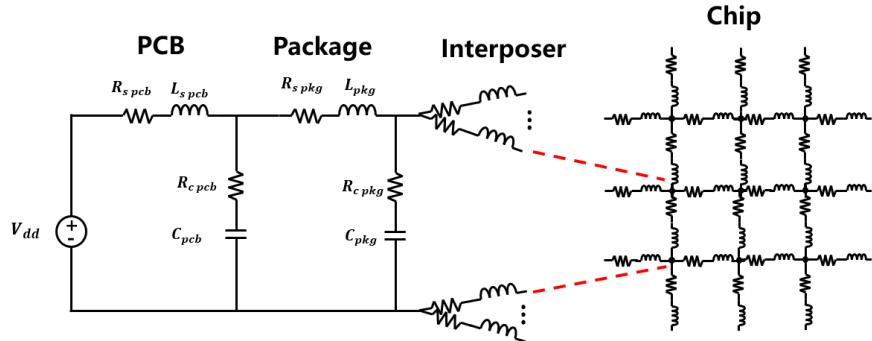


图 3-7 2.5D IC 电路组成结构的等效电路

等效电路的部分参数如表 3-1 所示。

表 3-1 等效电路模型参数

Chip R	$1 \text{ m}\Omega/\mu\text{m}$	Package Rs	$10 \text{ m}\Omega$
Chip L	$1 \text{ pH}/\mu\text{m}$	Package Ls	$1.4 \text{ pH}$
Interposer R	$34.2 \text{ m}\Omega$	Package Rc	$10 \text{ m}\Omega$
Interposer L	$0.63 \text{ pH}$	Package C	$6.25 \text{ nF}$
Interposer C	$2.79 \text{ pF}$	S	$300 \text{ }\mu\text{m}$
Interposer G	$0.31 \text{ mS}$	W	$50 \text{ }\mu\text{m}$
$\mu$ bump R	$0.2 \text{ m}\Omega$	L	$100 \mu\text{m}$
$\mu$ bump L	$5.69 \text{ pH}$	TSV diameter	$20 \text{ }\mu\text{m}$
TSV R	$5.57 \text{ m}\Omega$	TSV height	$100 \text{ }\mu\text{m}$
TSV L	$30 \text{ pH}$	TSV pitch	$200 \text{ }\mu\text{m}$
TSV C	$0.24 \text{ pF}$	$\mu$ bump pitch	$200 \text{ }\mu\text{m}$
PCB Rs	$18 \text{ m}\Omega$	$\mu$ bump diameter	$60 \text{ }\mu\text{m}$
PCB Ls	$10 \text{ pH}$	$\mu$ bump height	$30 \text{ }\mu\text{m}$
PCB Rc	$15 \text{ m}\Omega$	MIM cap	$5 \text{ fF}/\mu\text{m}^2$
PCB C	$20 \text{ nF}$	MOS cap	$14.4 \text{ fF}/\mu\text{m}^2$

### 3.3 单芯片优化

在 2.5D IC 设计中，在硅中介层上通常存在一个或多个芯片或芯粒，本小节先研究单芯片例子下的噪声优化。

#### 3.3.1 基本结构

我们设定了一个  $3*3\text{mm}$  硅中介层上放置一个  $1.8\text{mm} * 1.8\text{mm}$  的芯片，芯片位置偏向硅中介层的左下方，设定芯片正常工作电压为  $1\text{V}$ ，正常工作功率为  $0.1\text{W}$ ，最差情况下的工作功率为  $0.2\text{W}$ ，则最差情况下的最大瞬态电流为  $0.2\text{A}$ ，允许电压波动为  $1\%$ ，根据公式计算可得目标阻抗为  $0.1$  欧姆，芯片 PDN 网络通过片上 pad、 $\mu$ bump 与硅中介层的 PDN 相连，硅中介层的 PDN 通过 TSV 和 bump 与封装上 PDN 相连，如图 3-8 所示。

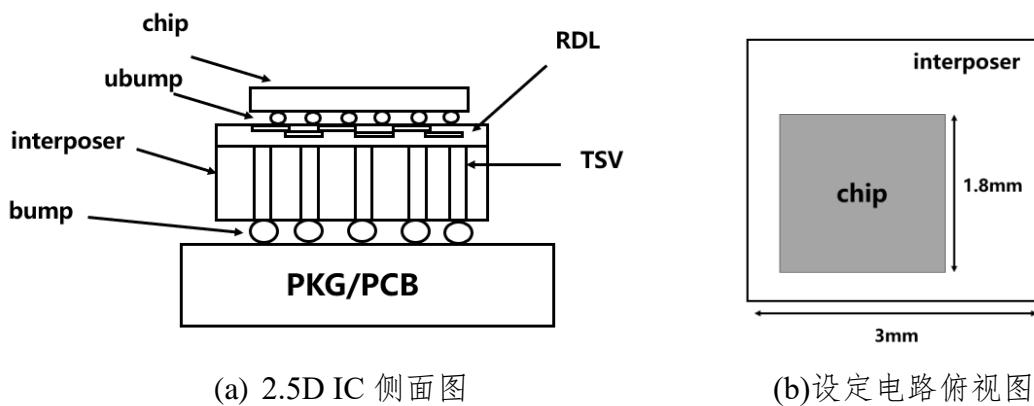


图 3-8 2.5D 芯片电路搭建

#### 3.3.2 强化学习环境设置

强化学习的基本要素包括状态、动作和奖励值，这些要素需要根据实际情况进行调整。首先是状态的定义。通常情况下，环境会提供一个随机的初始状态，然后开始训练。然而，对于芯片设计来说，去耦电容布局优化通常是在设计者完成所有基本模块设计之后进行的工作。因此，我们可以选择将去耦电容器的分布作为环境的输入状态。

为了简化建模，我们将硅中介层划分成组合起来的单位元，每个单位元中的去耦电容分布相互独立。因此，我们可以将状态定义为去耦电容容值组成的矩阵。具体来说，我们设定去耦电容容值可以从  $0$  到  $100\text{pF}$  变化，并设置每  $10\text{pF}$  为一个选择，即  $0$ 、 $10\text{pF}$ 、 $20\text{pF}$ ，直到  $100\text{pF}$ 。这种设置使得去耦电容的选择更加灵活，这种选择方式得益于 MIM 电容容值的精确性，在制造过程中可以进行估算。

我们把硅中介层中单位元的大小设置为  $300\text{um} * 300\text{um}$ ，则可以得到硅中介层的单

位元个数为  $10 \times 10$ , 环境状态转换成  $10 \times 10$  的矩阵, 并对元素根据容值进行归一化, 矩阵元素为 0 时代表无 MIM 电容放置, 矩阵元素为 1 是代表放置  $100\text{pF}$  的 MIM 电容。

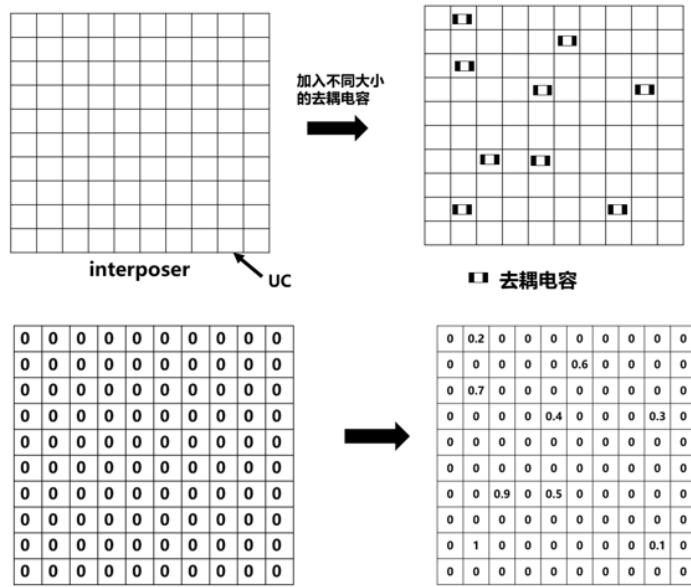


图 3-9 加入不同电容值时的输入状态变化

然后是动作的设定, 我们希望所实现的目标是智能体根据环境反馈的信息来调整去耦电容容值的大小, 因此我们设定动作空间为:

$$\{0, +10\text{pF}, -10\text{pF}\}^{N_{MIM}}$$

其中,  $N_{MIM}$  是硅中介层中可以放置去耦电容的单位元个数, 根据每种电路实际情况进行调整, 在这里, 我们设置为 100。每个去耦电容的选择相互独立, 每次动作去耦电容可以选择不变化、增加  $10\text{pF}$ 、减少  $10\text{pF}$  来进行调整。同时, 我们利用 Python 中的 numpy 库的 clip 函数对 action 的范围进行裁剪, 避免出现去耦电容容值小于  $0\text{pF}$  或者大于  $100\text{pF}$  的情况。

接下来是奖励函数的选择。环境根据当前状态和智能体选择的动作来计算动作的奖励值, 并反馈给智能体。奖励函数对于强化学习优化具有至关重要的作用, 因为它决定了智能体优化的方向, 因此需要考虑多方面因素。通过在 PDN 路径上加入并联电容器, 可以使 PDN 在感兴趣的频率范围内保持较低的阻抗, 即低于目标阻抗。然而, 添加去耦电容器也会增加生产成本, 因此这些因素都需要在优化目标中予以考虑。

我们的优化目标是通过添加去耦电容器, 使芯片引脚处测得的阻抗值低于根据设定参数计算所得的目标阻抗。同时, 我们应优化去耦电容器的数量, 在满足目标阻抗的前提下, 尽可能减少去耦电容器的使用量以降低成本。因此, 奖励函数可以设定如下:

$$R = f(Z_{sum}, N_{cap}) \quad (3-8)$$

其中,  $Z_{sum}$  代表当前状态下实际阻抗与目标阻抗之间的差距, 它通过对频域阻抗曲线采样获得数据之后进行计算得到, 如图 3-10 所示。我们对阻抗曲线进行每 10 倍频采样  $n$  个点, 把对应的数据导入到 txt 文件中, 利用 Python 软件来算出每个点与目标阻抗之间的差值, 当某一频率下的阻抗值小于目标阻抗时, 将其差值归为 0, 假设总共采集到了  $N$  个点, 则  $Z_{sum}$  可以用以下公式来表示:

$$Z_{sum} = \sum_{i=1}^N \max(Z_i - Z_{target}, 0) \approx \int_{f_1}^{f_2} \max(Z_f - Z_{target}, 0) df \quad (3-9)$$

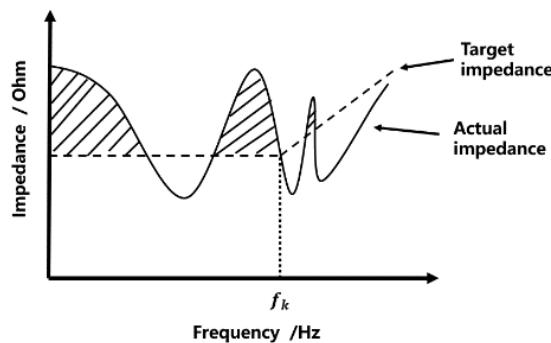


图 3-10 目标阻抗和实际阻抗曲线差值

$N_{cap}$  代表实际使用的去耦电容器个数, 我们将其进行归一化, 如下:

$$Cost = \frac{N_{MIM} - N_{cap}}{N_{MIM}} \quad (3-10)$$

我们的首要目标是优化目标阻抗, 其次是去耦电容器的个数, 因此我们对奖励值进行分段处理, 当阻抗曲线未优化完全时, 计算  $Z_{sum}$  带来的损失值, 而阻抗曲线满足目标阻抗时, 计算电容带来的损失值, 并使得它尽可能小, 奖励值函数表达如下:

$$R = \begin{cases} -\sum_{i=1}^N \max(Z_i - Z_{target}, 0) & , \quad \exists f \in [f_1, f_2], Z_f > Z_{target} \\ \frac{N_{MIM} - N_{cap}}{N_{MIM}} & , \quad \forall f \in [f_1, f_2], Z_f \leq Z_{target} \end{cases} \quad (3-11)$$

PPO 中 Actor-critic 虽然是两个网络, 但它们的基本结构是一样的, 最后的输出是不一样的, Actor 网络输出的是动作, Critic 网络输出的是对动作的评估值, 因此, 我们设定 Actor 网络和 Critic 网络中间有相同的结构, 如图 3-11 所示。

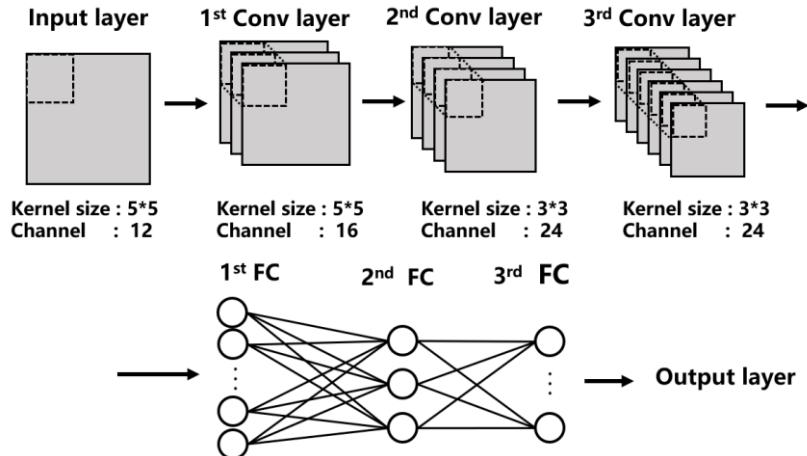


图 3-11 PDPO 算法中使用的神经网络结构

共享神经网络具有三层卷积层和三层全连接层，输入层为上面所设定的  $10 \times 10$  的状态矩阵，卷积核所设置的步长均为 1，采用了激活函数对数据进行了优化，具体网络参数如表 3-2 所示。

表 3-2 神经网络参数

	网络结构	网络维度
输入层	状态矩阵	$10 \times 10$
	卷积核 1	$5 \times 5 \times 1$ , channel=12
	激活函数 1	Soft ReLU
卷积层	隐藏层 1	$8 \times 8 \times 12$
	卷积核 2	$5 \times 5 \times 12$ , channel = 16
	激活函数 2	ReLU
	隐藏层 2	$6 \times 6 \times 16$
	卷积核 3	$3 \times 3 \times 16$ , channel=24
	激活函数 3	ReLU
	卷积核 4	$3 \times 3 \times 24$ , channel=24
	激活函数 4	ReLU
全连接层	Flatten	864
	1 <sup>st</sup> FC	512
	2 <sup>nd</sup> FC	256
	3 <sup>rd</sup> FC	128
Actor 网络输出层		100
Critic 网络输出层		1

接下来需要设置 PPO 中其他超参数。我们设定总的回合数为 20 万次，每回合的轨迹

长度为 20，则总共运行的训练步数是 400 万次，每回合结束之后重置输入状态。训练批量 train batch size 设置为 2000，学习率为 1e-4，PPO 采用的优化算法为 Adam 算法，回放经验池 replay buffer 设置为 200000，智能体从回放经验池中采集数据然后更新策略。PPO clip 中的裁减系数  $\epsilon$ ，设置为 0.1。其余超参数都按照原算法<sup>[58]</sup>默认设置。

设置好相关参数之后，我们就可以进行智能体的训练，策略更新的伪代码如表 3-3 所示：

表 3-3 单芯片噪声优化 PPO 算法伪代码

---

#### 单芯片频域噪声优化 PPO 算法

---

```

初始化 actor 网络  $\pi$  和 critic 网络  $V$ , training steps=0

While 当前训练步≤设定最大步数 do
    初始化：令 batch size 中的数据为 D={}
    for b = 1 to batch size do
        初始化轨迹数据  $\tau = []$ ;
        for t=1 to N do
            收集当前状态  $S_t$ , 根据  $S_t$  执行动作  $A_t$ , 得到环境反馈的奖励值  $R_t$ , 得到下一个状态
 $S_{t+1}$ ;
            将收集到的数据存入轨迹中,  $\tau += [S_t, A_t, R_t, S_{t+1}]$ 
        end
    end
    根据收集到的轨迹  $\tau$ , 使用 GAE 来计算优势估计函数  $\hat{A}$ , 计算折扣奖励  $\hat{R}$ , 然后将轨
    迹  $\tau$  存入样本池 D 中
end

从样本池 D 中进行随机采样, 根据采样到的  $\hat{A}$  和  $\hat{R}$ , 来更新 Actor 网络中的超参数  $\theta$  和 Critic 网络
中的超参数  $\varphi$ ;
end

```

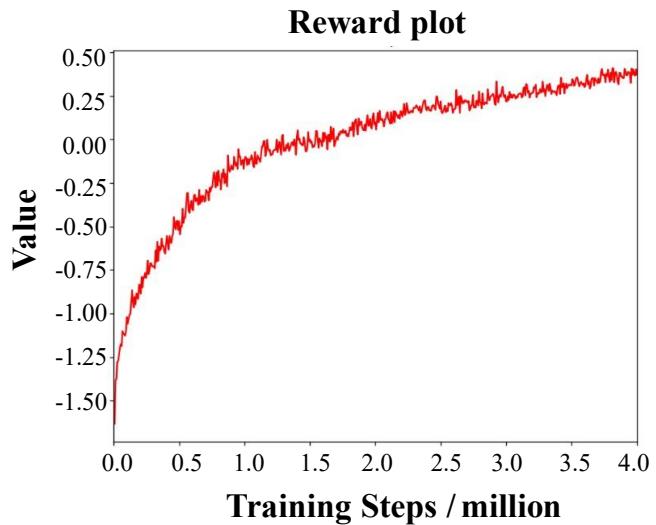
---

### 3.3.3 训练结果

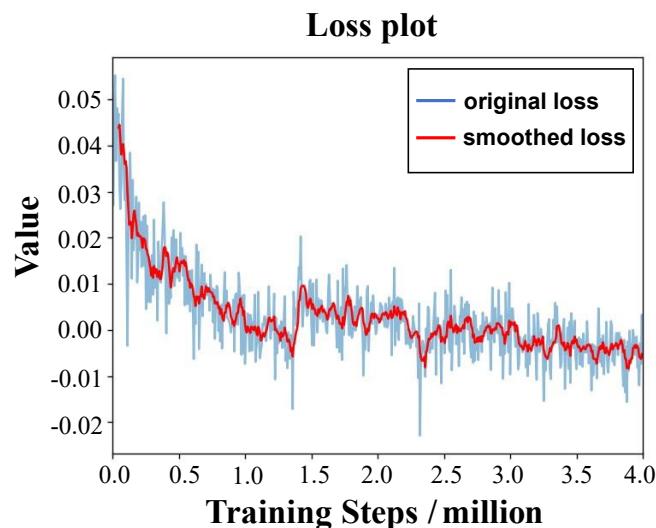
经过不断的训练之后，智能体策略不断优化，每个训练批量的平均轨迹奖励值曲线与损失函数的曲线分别如图 3-12(a)和(b)所示。

每个训练批量包含 100 个轨迹，在图 3-12 中，横坐标是训练步数，纵坐标代表着随训练步数增加，每个训练批量中的轨迹奖励值的平均值，取平均值可以减少偶然性。从图中可以看出，刚开始的时候，轨迹奖励平均值上升较为迅速，策略网络更新幅度较

大。大致经过一半训练步数之后，平均轨迹奖励值上升变缓，并逐渐收敛到稳定值后轻微震荡，符合强化学习算法奖励值收敛的特性。



(a) 每回合奖励值曲线



(b) 损失函数曲线

图 3-12 PDPO 算法训练过程中的每回合奖励值曲线和损失函数曲线

我们利用 pandas 库对数据进行了平滑处理，如图 3-12 所示，可以看出损失函数变化曲线与平均奖励值曲线形状具有相似的特征，随着智能体抽取训练样本数的增加，损失值不断减少并逐渐收敛到 0 附近振荡。

### 3.3.4 验证

在完成强化学习训练之后，我们将测试智能体在实际面对例子时所能给出的优化方案，首先测试在面对同一模型时所给出的优化方案以及准确性，为了减小误差，我们

让智能体生成 100 个优化参考方案，统计每个参考方案的奖励值和去耦电容使用个数，如图 3-13 所示。

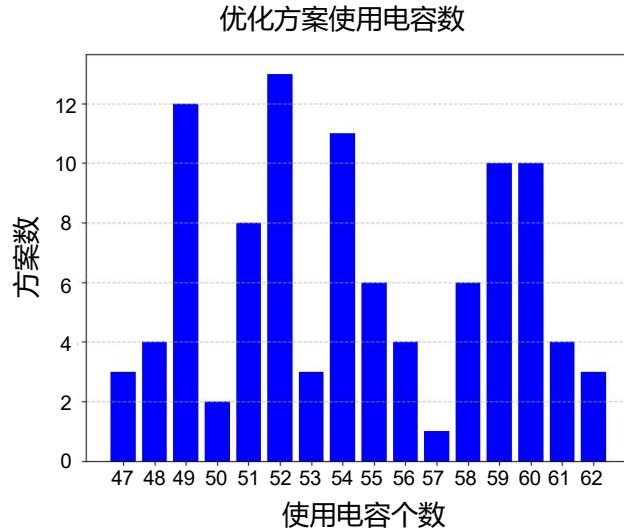
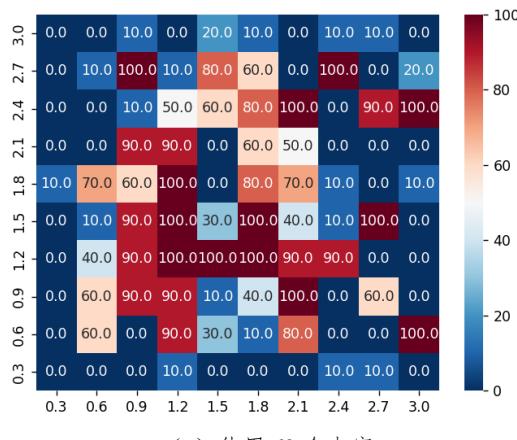
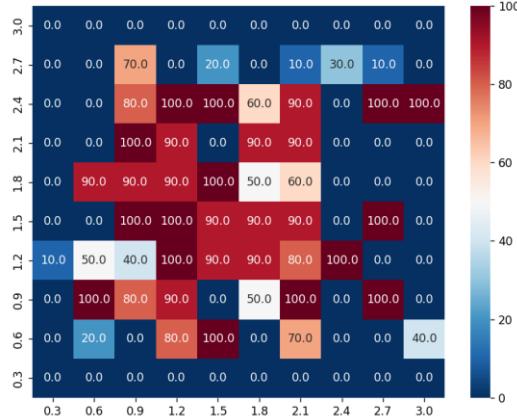


图 3-13 智能体预测优化方案所需电容个数

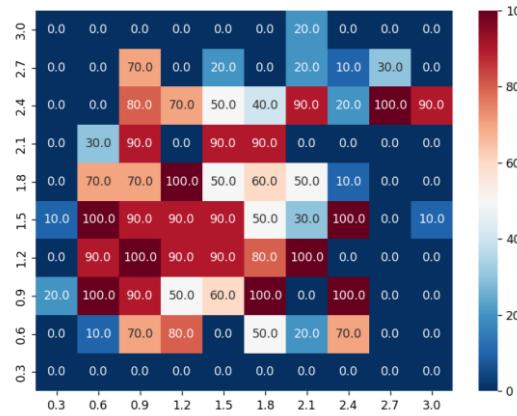
根据统计结果显示，所有方案使用去耦电容的个数在 47 到 62 个之间，在所生成的 100 个布局优化参考方案之中，有 4 个方案并不满足优化要求，占比为 4%，这 4 个方案的所有存在问题均为在某一频率下的阻抗超出目标阻抗值。下面我们选择放置 47 个电容（下文简称方案 1）、62 个电容（简称方案 2）以及选取了其中一个不符合要求的去耦电容布局方案（简称方案 3）进行讨论。



(a) 使用 62 个电容



(b) 使用 47 个电容



(c) 使用 53 个电容, 未完成优化

图 3-14 智能体输出结果中所使用的最小电容数、最大电容数和未完成优化的三个结果

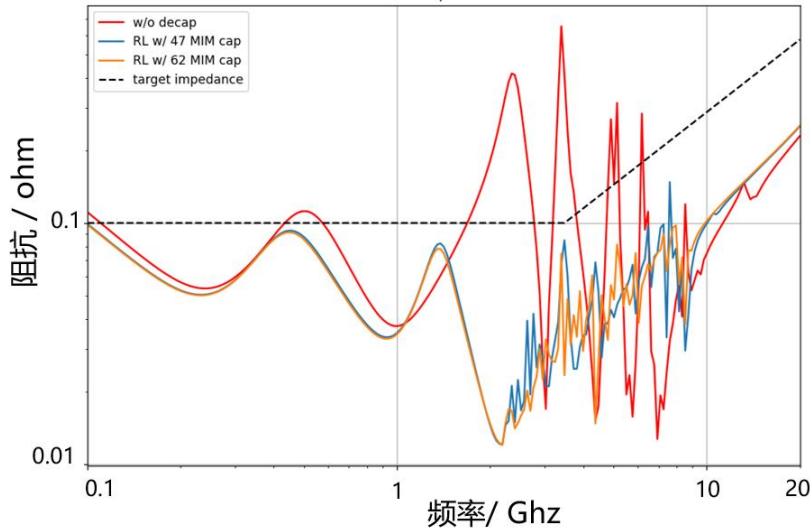


图 3-15 对比未使用去耦电容和使用去耦电容时的 PDN 阻抗曲线

我们选择使用 MIM 电容最多和最少的情况进行分析，通过计算可得，方案 1 的 MIM 电容时总的电容值为  $3.58\text{nF}$ ，而方案 2 的总电容值为  $3.57\text{nF}$ ，总电容值几乎一样，但每个 MIM 电容平均值分别为  $76.2\text{pF}$  和  $57.6\text{pF}$ ，而且，从图 3-14 中也可以分析出，

前者所放置的 MIM 更集中在芯片所占的区域下方，放置的 MIM 电容值大部分也接近所允许的上限，而后者则更加分散，且很多都是 10pF 左右的小电容。对于设计者来说，我们肯定优先考虑使用前者的方案，但也要考虑到实际芯片制造厂的工艺水平，当其工艺水平无法达到我们所设定的在每个单位元的最大可放置 MIM 电容为 100pF 时，我们可以考虑后者，用数量多的小电容来等效替换，同样可以完成电源完整性的噪声优化。

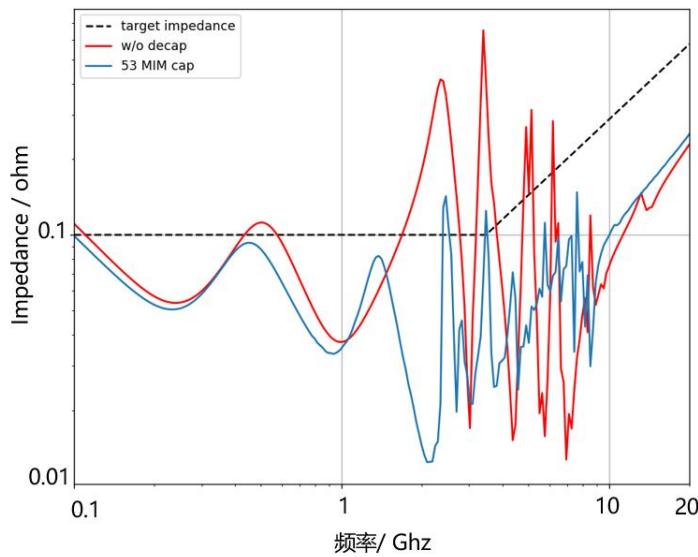


图 3-16 方案 3 的阻抗曲线

而对于不符合要求的方案 3，我们对其阻抗曲线进行了分析，发现其在 2.6Ghz 与 3.5Ghz 频率下超出目标阻抗，但这部分相对于整个观察的频率范围来说还是相对较小的，与未优化时的阻抗曲线相比， $Z_{sum}$  值从 2.328 降低到 0.0515，降幅为 97.8%，超出目标阻抗的最大阻抗值从 0.7 欧姆减少到 0.15 欧姆，可以看出，所提出的方法也具有一定的优化性能。

### 3.3.5 对比实验

在智能体完成训练之后，我们将其与传统算法进行对比，实验所选择的是双重退火算法（Dual Annealing，DA），这是一种随机全局优化算法，是在传统模拟退火（Simulated Annealing，SA）算法的基础上进行扩展。模拟退火算法参考了金属冶炼的退火过程，通过将温度  $T$  当做控制参数，目标函数  $F(x)$  当作内能  $E$ ，固体在某一个温度  $T_0$  时，一个状态对应着一个解  $x_i$ ，算法通过控制参数  $T$  的降低，使得目标函数降低，直至区域全局最小值，模拟了金属高温烧灼之后放到水中的退火过程。

算法的流程表示如下：

第一步：初始化温度  $T = T_0$ ，设定迭代次数和终止迭代温度，随机产生一个初始解  $x_0$ ，计算目标函数  $F(x_0)$  的值。设置温度下降的速率  $k$ ，令  $T = kT$ ， $k$  的取值范围为 0 到 1 之间。

第二步：通过改变当前解的参数来生成邻近解，从生成的多个邻近解中随机挑选一个。

第三步：计算当前解与选择的邻近解之间的目标函数变化值。

第四步：根据 Metropolis 准则来确定是否接收新的解：如果新的解能量降低，则选择接收新解，如果新解能量上升，则有  $e^{-\frac{\Delta E}{kT}}$  的概率接收新解，可以看出，概率与能量差和当前温度相关，当温度较高时，接收劣质解的概率越大。

第五步：判断是否达到迭代次数或终止迭代温度，如果没有，则重复第二步到第四步，如果达到，则输出解。

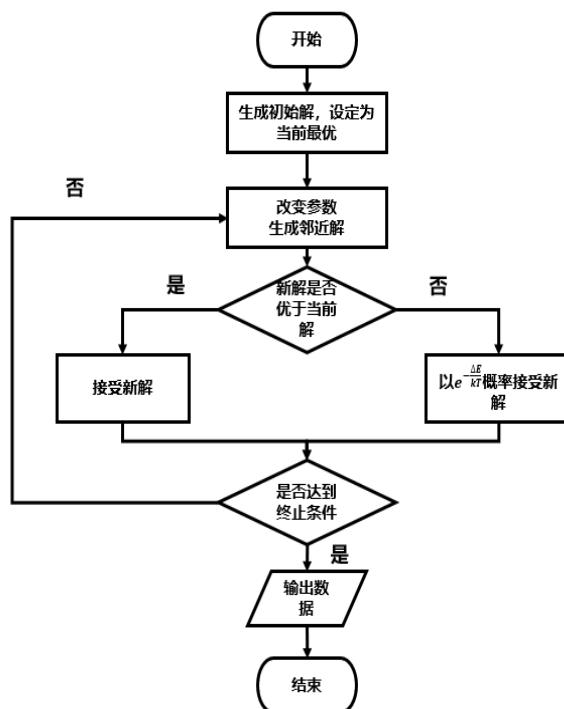


图 3-17 双重退火算法流程图

我们使用 Python 中的 `scipy` 库来实行双重退火算法，设定初始解为全 0 的去耦电容分布，最大迭代次数为 2000 次，边界条件设置为  $[0,100]$ ，因为退火算法是获得最小目标函数，与强化学习获得最大奖励值相反，因此我们将强化学习中的奖励值函数前添加负号，其余超参数选择原算法默认设置。

DA 算法进行了 393246 次函数评估后才完成 2000 次迭代，得到最优解，DA 目标函数曲线如图 3-18 所示。由于 DA 产生新解的方式是通过随机改变参数，因此其奖励值曲线波动较大，我们用 Python 的 pandas 库对其进行平滑处理，红色的为平滑之后的曲线。

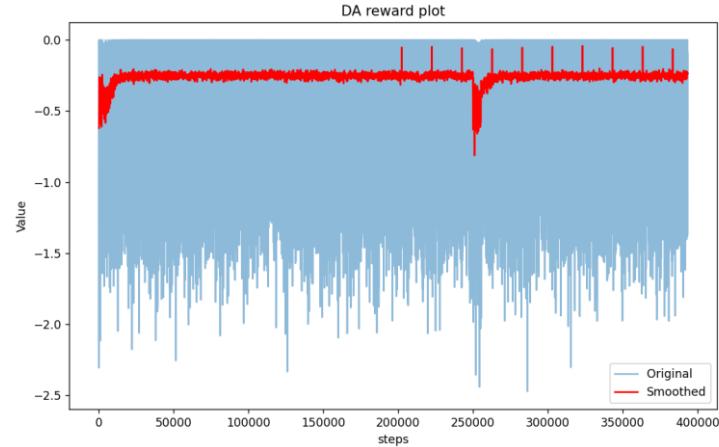


图 3-18 双重退火算法的每回合奖励值曲线

从图 3-18 中可以看出，刚开始的时候，DA 在电路中分配去耦电容，目标函数上升明显，然后进入震荡，在 20 万步左右存在尖峰，说明此时与最优解相差较小，而在 25 万步时，有一段向下的区间，可以判断出在退火过程中以小概率进入了能量升高的新解，导致其又经过 1 万次的评估才回到原来的目标函数值。最后求得优化解如下图所示：

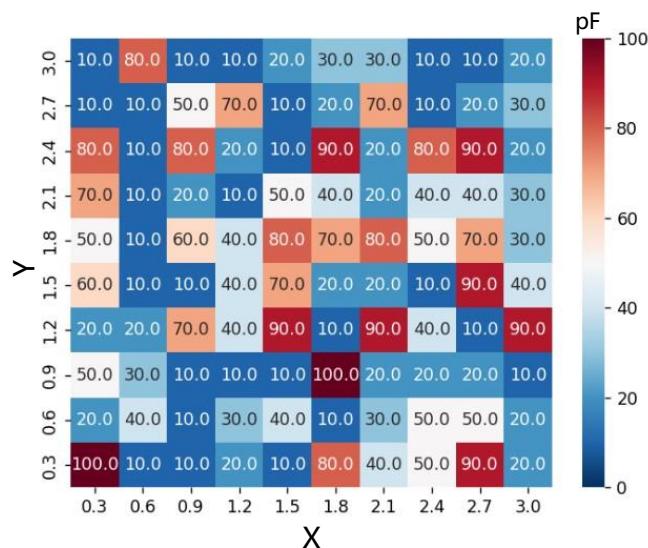


图 3-19 DA 算法优化结果

总耗费的电容值为 3.76nF，相比于 PDPO 算法优化方案增加了 5.06%，与此同时，占用了整个硅中介层来布置 MIM 电容，深度强化学习算法得到的优化结果占用的单位元数量减少了 38%-53%。

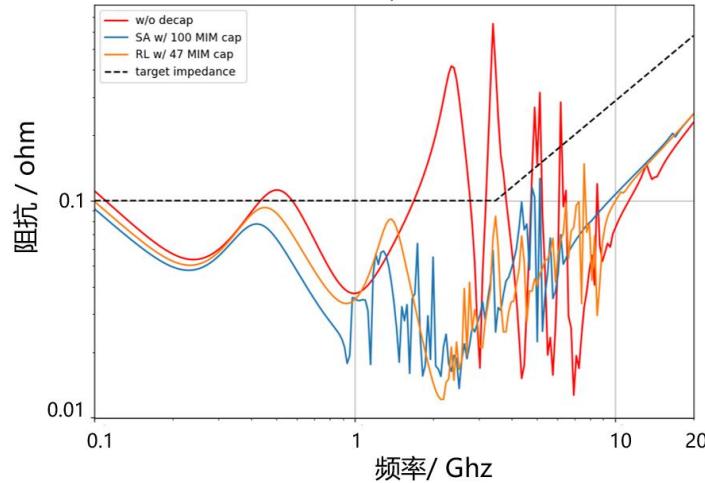


图 3-20 DA 算法和 PDPO 算法优化后阻抗曲线对比图

我们选择方案 1 的结果来与 DA 算法的结果和未优化时的阻抗曲线进行比较，如图 3-20 所示。可以看出 DA 和 PDPO 所给出的方案均能实现阻抗曲线的优化，DA 在 400Mhz 到 1GHz 左右的阻抗值比 PDPO 的会小一些，PDPO 的阻抗曲线在 1Ghz 到 2Ghz 之间更加平滑，除此之外，在多个频率下，PDPO 算法的阻抗曲线更加接近目标阻抗，避免了过度设计带来的阻抗远低于目标阻抗。两种算法的训练结果如表 3-4 所示：

表 3-4 DA 和 PDPO 算法结果对比

算法	训练时间	训练步数	有效解	电容值
DA	109h	393246	1	3.76nF
PDPO	25h	4000000	96/100	3.57nF

### 3.4 多芯片优化

#### 3.4.1 问题描述

多芯片下的优化相比单芯片下的优化所需要考虑的问题更加复杂，下面我们将一讨论。

首先，多芯片布局下芯片与芯片之间存在通信，与此同时，芯片的噪声也会通过电源线传播到另一个芯片，因此，在测量芯片引脚的阻抗波形时，必须是在其他芯片 PDN 也存在的情况下进行测量，对于每一块芯片，我们都需要令其满足目标阻抗。

其次，阻抗大小与芯片引脚到供电端的距离、连线长度相关，改变芯片布局也会导致其阻抗变化，如图 3-21 所示，因此我们需要考虑芯片位置带来的不同阻抗曲线并进行对应的优化。

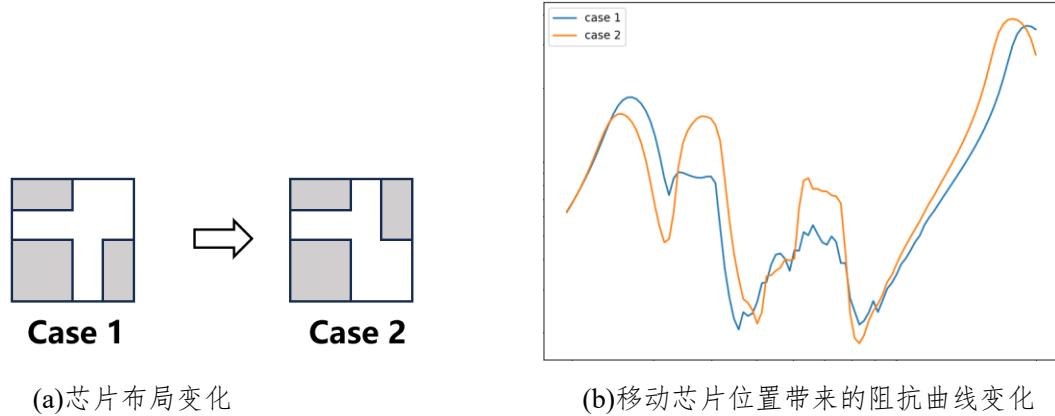


图 3-21 移动芯片位置引起的阻抗曲线变化

除此之外，在一些例子中，硅中介层中去耦电容放置存在限制因素，例如硅中介层中的电源地金属层并不一定是 3.2.2 节中所介绍到的网状结构；金属层有限，如果重布线层穿过电源网络可能会导致短路<sup>[31]</sup>；多芯片边界部分需要布置信号线用于片与片的通讯，因此会存在部分区域不能放置 MIM 电容。面对存在 MIM 电容限制区域的电路时，我们在片上空余的位置添加 MOS 电容用于补偿没有 MIM 电容带来的影响。因此，在本节中，我们加入片上 MOS 电容的布局优化。

### 3.4.2 强化学习环境改动

针对 3.4.1 节中所提出的问题，我们需要对 PDPO 的环境设置进行改动。在神经网络输入状态中，我们需要添加芯片位置的信息，因为芯片是在硅中介层上方，我们将其同样设置成 10\*10 的矩阵，矩阵元素中，1 代表该位置上方存在芯片，0 代表上方无芯片，如图 3-22 所示。

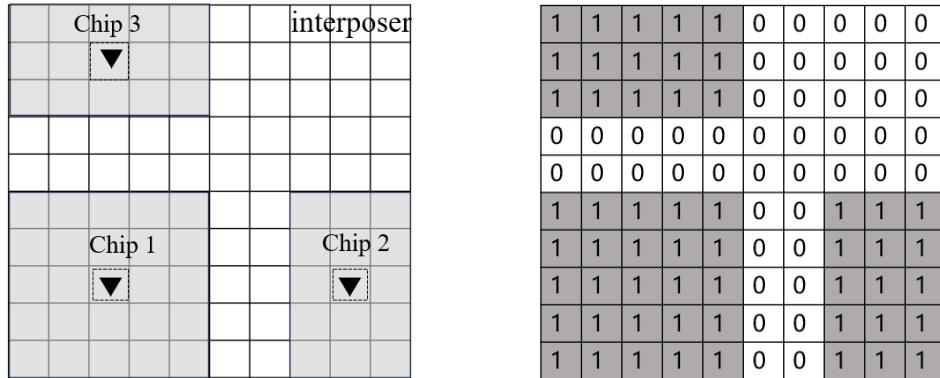


图 3-22 芯片位置及其对应矩阵

同理，考虑到硅中介层中可放置 MIM 电容的空间，建立一个 10\*10 的矩阵，矩阵元素 1 代表可放置 MIM 电容，0 代表不可放置，如图 3-23 所示。

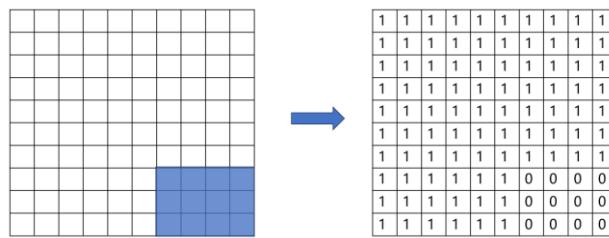


图 3-23 去耦电容可放置矩阵

虽然硅中介层 PDN 和片上 PDN 电路模型不同，为了方便机器学习训练模型，参考于芯片位置矩阵，我们将芯片根据硅中介层单位元进行分割，考虑到芯片内部空余空间的限制，我们设定每个单位元所能放置的 MOS 电容面积不超过单位元的 1%，根据 3.1.1 中所介绍的 MOS 电容单位面积电容密度  $C_{ox}$ ，计算得出每个单位元可放置电容值最大为 12.96pF，为了简化深度强化学习计算，我们设定最大值为 10pF。与 MIM 电容值矩阵类似，我们设定 MOS 电容的动作选择为：

$$\{0, +1pF, -1pF\}^{N_{MOS}}$$

其中， $N_{MOS}$  表示所有芯片上可放置 MOS 电容个数。

0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	0	0	0

图 3-24 片上电容分布矩阵，灰色部分为可以放置 MOS 电容的单位元

将 MIM 电容放置空间矩阵、MIM 电容值矩阵、芯片位置矩阵、MOS 电容值矩阵合并成一个  $10*10*4$  的三维矩阵作为状态输入到神经网络输入层，第一个卷积核的尺寸改成  $5*5*4$ ，因输入信息增加，我们也适当增加了后面卷积核的通道数，其他参数保持不变，具体参数如表 3-5 所示：

表 3-5 Actor-Critic 网络参数改动

	单芯片神经网络参数	多芯片神经网络参数
输入矩阵	$10*10*1$	$10*10*4$
卷积核 1	$5*5*1$ , channel=12	$5*5*4$ , channel=16
卷积核 2	$5*5*12$ , channel=16	$5*5*16$ , channel=24
卷积核 3	$3*3*16$ , channel=24	$3*3*24$ , channel=32
卷积核 4	$3*3*24$ , channel=24	$3*3*32$ , channel=32

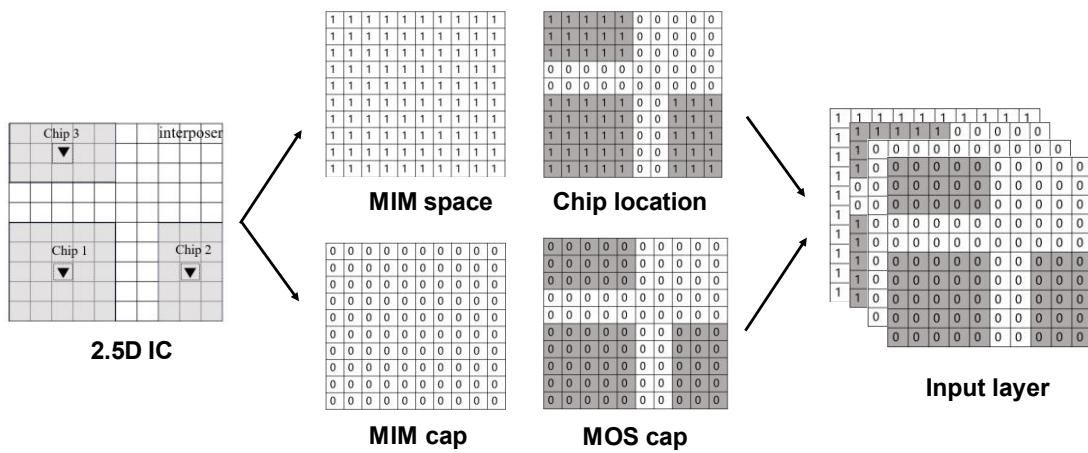


图 3-25 多芯片下神经网络输入矩阵

对于奖励函数，我们也要进行调整。上面介绍到，多个芯片布局下需要保证每一个都可以满足目标阻抗要求，因此我们对它进行最大取值，然后再进行与目标阻抗之间总差值的计算，如下：

$$Z_{m\_f} = \max (Z_1, Z_2, Z_3) \quad (3-12)$$

其中， $Z_{m\_f}$  代表三个端口所测得的阻抗值在某一频率下的最大值， $Z_{tar\_f}$  为某一频率目标阻抗值。

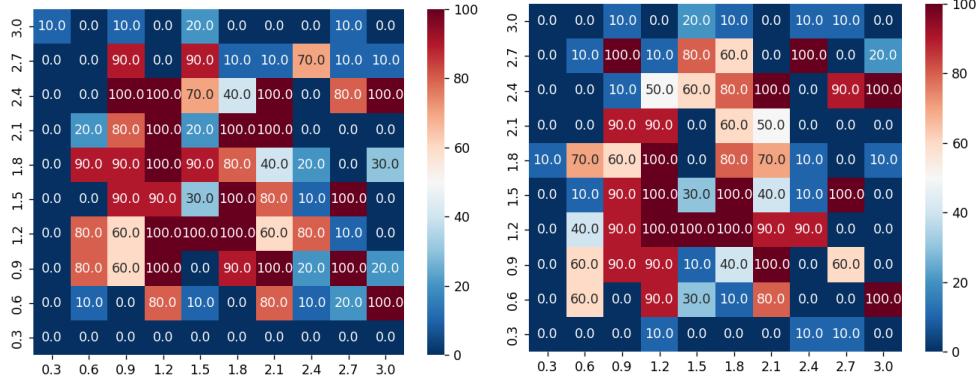


图 3-26 均使用 62 个 MIM 电容, 左边总电容值为 3.86nF, 右边为 3.57nF

在单芯片优化结果中我们发现, 存在着使用电容个数相同, 但总电容值不同的情况, 因此在这里, 我们加入了对总电容数的计算, 同时, 考虑到硅中介层与片上添加去耦电容所需要成本不同, 对奖励函数添加权重系数  $\alpha$  和  $\beta$ , 奖励函数的具体公式如下:

$$R = \begin{cases} - \sum_{f=f_1}^{f_2} \max(Z_{m_f} - Z_{target}, 0) & , \quad \exists f \in [f_1, f_2], Z_{m_f} > Z_{tar_f} \\ \alpha * \frac{C_{mim} * N_{MIM} - C_{mim\_t}}{C_{mim} * N_{MIM}} + \beta * \frac{C_{mos} * N_{MOS} - C_{mos\_t}}{C_{mos} * N_{MOS}} & , \forall f \in [f_1, f_2], Z_{m_f} \leq Z_{tar_f} \end{cases} \quad (3-12)$$

其中,  $C_{mim}$  代表每个硅中介层单位元所能放置的最大电容值, 根据工艺技术进行设置, 在这里设置为 100pF,  $C_{mim\_t}$  代表所使用的所有 MIM 电容的电容值之和, 同理,  $C_{mos}$  和  $C_{mos\_t}$  分别代表芯片中每个单位元所能放置的最大电容值和片上总电容值, 前者根据上文设置为 10pF, 权重系数  $\alpha$  和  $\beta$  满足下式:

$$\alpha + \beta = 1 \quad (3-13)$$

从奖励函数可以看出, 当存在阻抗大于目标阻抗时, 会优先选择添加电容优化阻抗, 而当实际阻抗低于目标阻抗时, 使用总电容数越少的方案, 奖励值越大, 更加具有参考意义。

### 3.4.3 确立奖励权重

为了研究奖励函数中权重系数  $\alpha$  和  $\beta$  对噪声优化的影响, 我们选取了一个硅中介层上有三个芯片的例子, 选取每一个芯片上 PDN 中心节点作为测量阻抗的端口, 神经网络输入状态设置为未添加去耦电容时的三维矩阵, 设置初始参数后进行训练, 具体如图 3-27 所示:

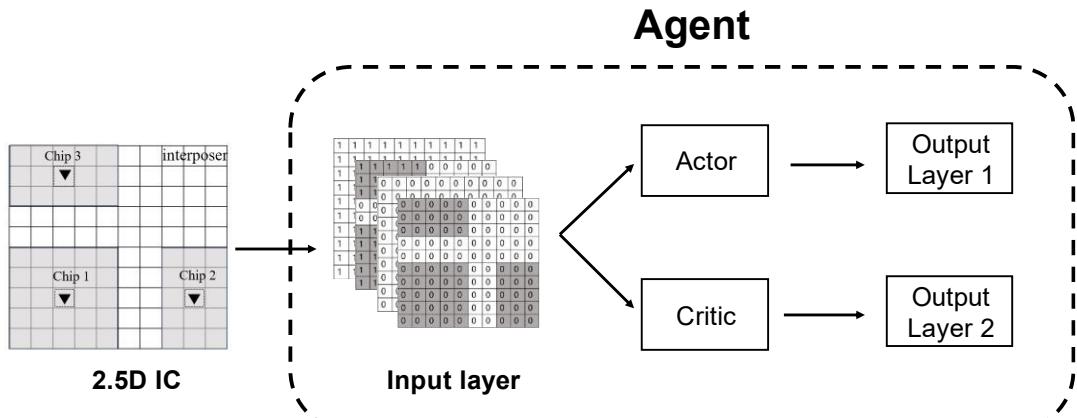


图 3-27 电路模型输入到智能体进行训练

表 3-6 展示了强化学习的部分超参数设置：

表 3-6 多芯片下的神经网络超参数

超参数名称	数值
输入状态矩阵	$10*10*4$
Actor 网络输出	100
Critic 网络输出	1
学习率	$1e-4$
每回合轨迹长度	20
回合数	200000
训练批次长度	2000
回放经验池	200000
折扣因子 $\gamma$	0.99
Clip 值	0.1

我们选择了 5 种不同  $\alpha$  和  $\beta$  值的例子进行了训练，测试其在训练结束之后，让智能体进行布局方案的推测，计算其所能做到的优化方案可用率，并计算每个布局下可行方案的平均电容值和平均使用电容个数，具体结果如表 3-7 所示。

表 3-7 不同系数下电容个数和电容总值表

	$\alpha$	$\beta$	推测可用率	平均 MOS 电容值	平均 MIM 电容值
Case 1	0.9	0.1	86%	28.7pF	6379.7pF
Case 2	0.7	0.3	83%	28.3pF	6407.3pF
Case 3	0.5	0.5	90%	27.5pF	6425.2pF
Case 4	0.3	0.7	91%	27.1pF	6423.9pF
Case 5	0.1	0.9	81%	26.6pF	6439.6pF

从表中可以看出，训练完成后的智能体给出的优化方案可用率均在 85% 左右， $\alpha$  和  $\beta$  值会影响硅中介层和片上去耦电容的数目，在实际应用中，我们可以根据的电路设计的限制条件进行调整。经过权衡，我们将  $\alpha$  和  $\beta$  选择为 0.5 和 0.5 来进行接下来的实验。

### 3.4.4 不同布局训练结果

在确定奖励函数中的权重系数之后，我们生成 5 个不同布局的电路作为训练集和测试集，另外生成 10 个相似布局作为测试集，分析智能体在训练完成之后是否具有一定的泛化能力。

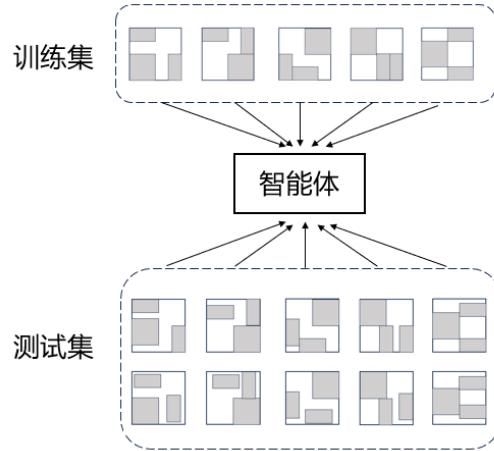


图 3-28 智能体对 5 个布局样本进行同时训练，然后进行推测

与确定权重系数时分开训练智能体不同，在这里，我们在一个智能体中训练 5 个例子，因此，我们调整了训练回合数，将其调整为 50 万个回合，其他参数与表 3-6 中相同，训练过程中奖励函数和损失函数的变化曲线如图 3-29 所示。可以看到，奖励函数值曲线和损失函数曲线在经过 30 万个回合之后逐渐趋于稳定。

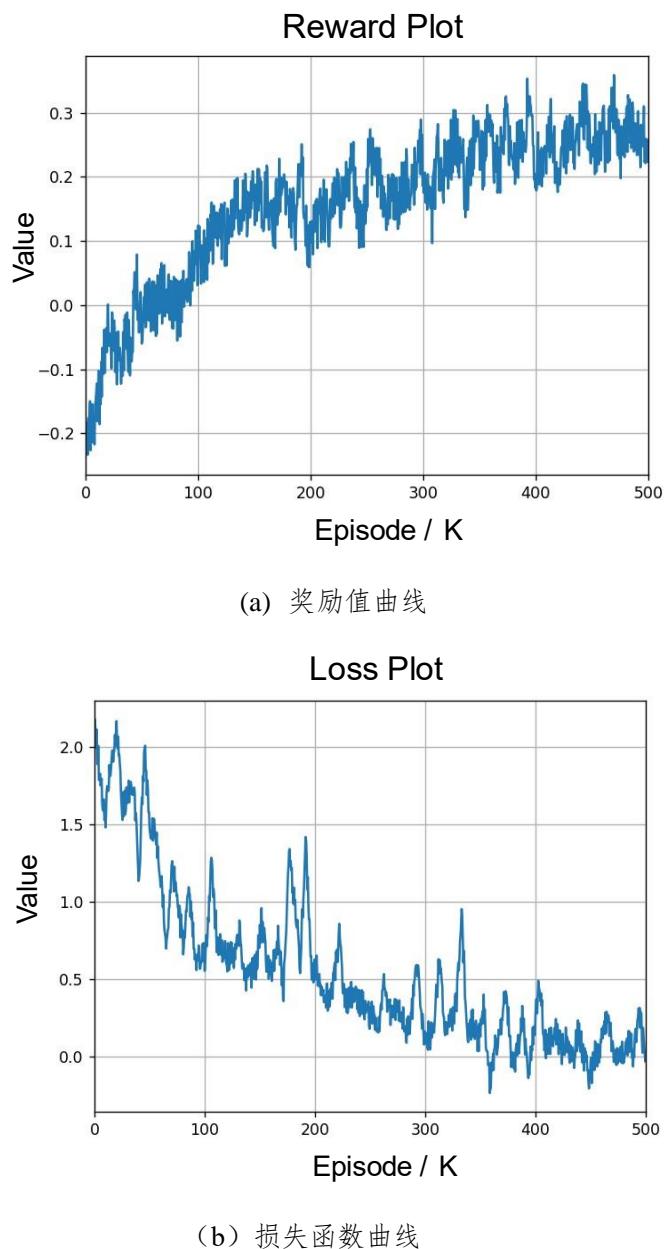


图 3-29 多样本训练的奖励值曲线和损失函数曲线

然后，我们测试了训练完成后的神经网络对 5 个训练集合 10 个测试集的推测结果，对每个例子进行 100 次推测，对比它们的结果，得到表 3-8 的结果。

Case 1 到 Case 5 为神经网络用于训练的数据，Case 11 到 Case 15 是与 Case 1 到 Case 5 相近的布局，在它们的基础上对其中一个芯片进行了平移。从表格中可以看出，经过训练之后的智能体，能对训练集的例子做出良好的预测，而面对与训练集相似的例子，也具有一定的推测能力，能够做到 59%~77% 的方案预测。

表 3-8 多样本训练下算法推测结果对比

	方案可用率	平均 MIM 电容值	平均 MOS 电容
Case 1	91%	6395.3pF	28.2pF
Case 2	78%	6265.1pF	29.1pF
Case 3	88%	6198.6pF	27.8pF
Case 4	84%	6336.7pF	28.5pF
Case 5	90%	6412.9pF	28.6pF
Case 6	75%	6327.3pF	29.1pF
Case 7	69%	6212.4pF	28.5pF
Case 8	76%	6133.7pF	28.0pF
Case 9	77%	6373.9pF	28.2pF
Case 10	72%	6430.5pF	27.6pF
Case 11	70%	6427.7pF	29.1pF
Case 12	59%	6233.1pF	27.2pF
Case 13	61%	6107.6pF	27.5pF
Case 14	66%	6279.6pF	29.0pF
Case 15	71%	6297.0pF	28.1pF

### 3.4.5 空间限制因素影响

在一些特殊情况下，硅中介层部分区域不能放置 MIM 电容，我们也要对其进行讨论。我们选择一种布局作为例子，设定部分限制区域，如图 3-30 所示，限制区域与三个芯片均有重叠部分，观察其布局情况，并与无限制区域下的优化方案进行对比。

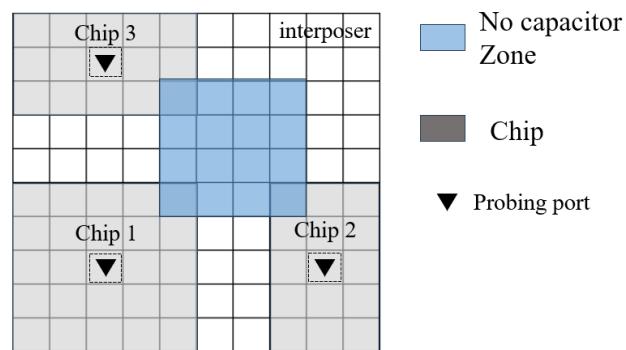
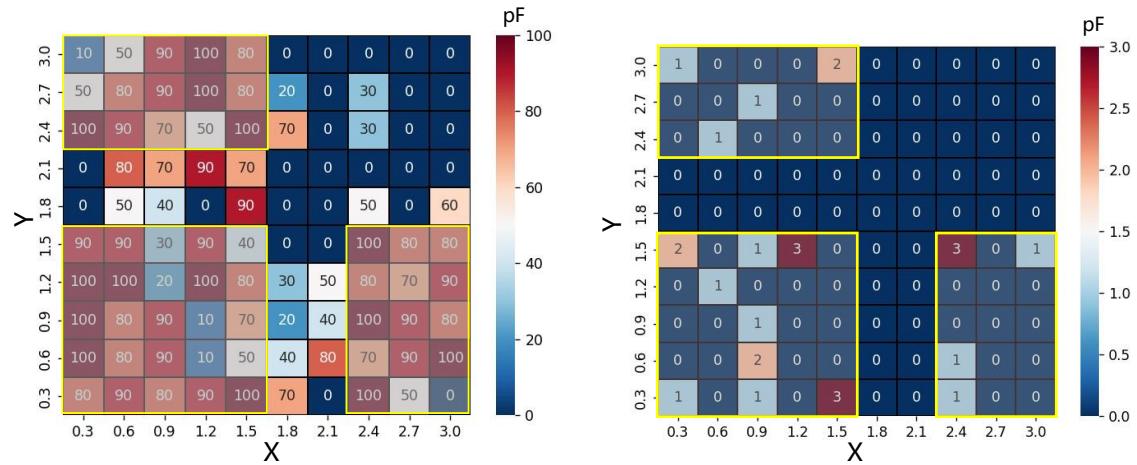
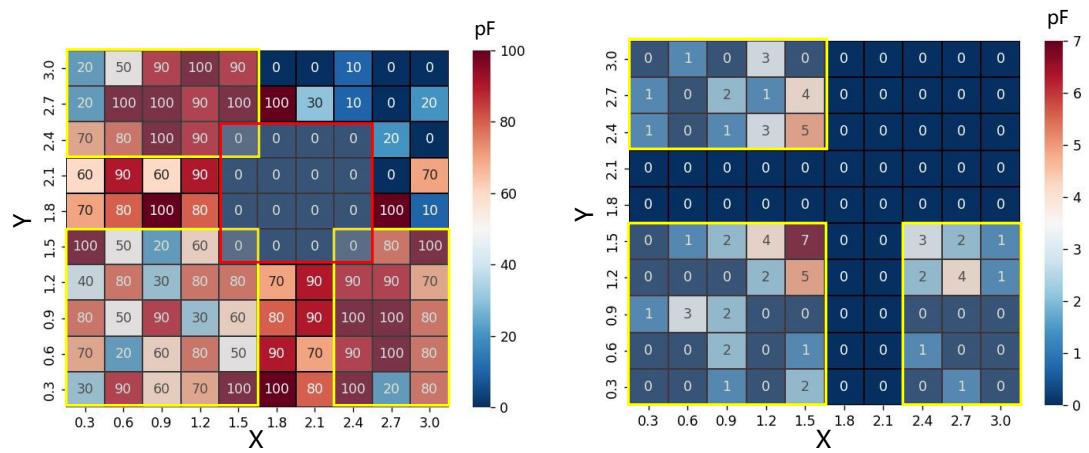


图 3-30 去耦电容可放置区域存在限制，蓝色为限制区域

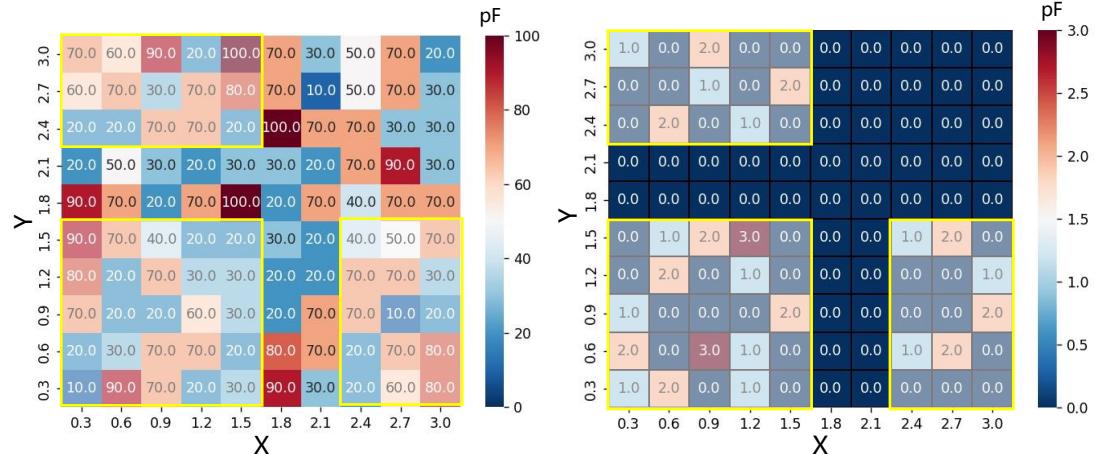
与此同时，我们使用 DA 算法进行多芯片下布局的优化计算，DA 算法参数与 3.3.5 节中相同，将 DA 和 PDPO 下的有限制预期的布局和无限制区域的布局进行对比，得到的结果如下：



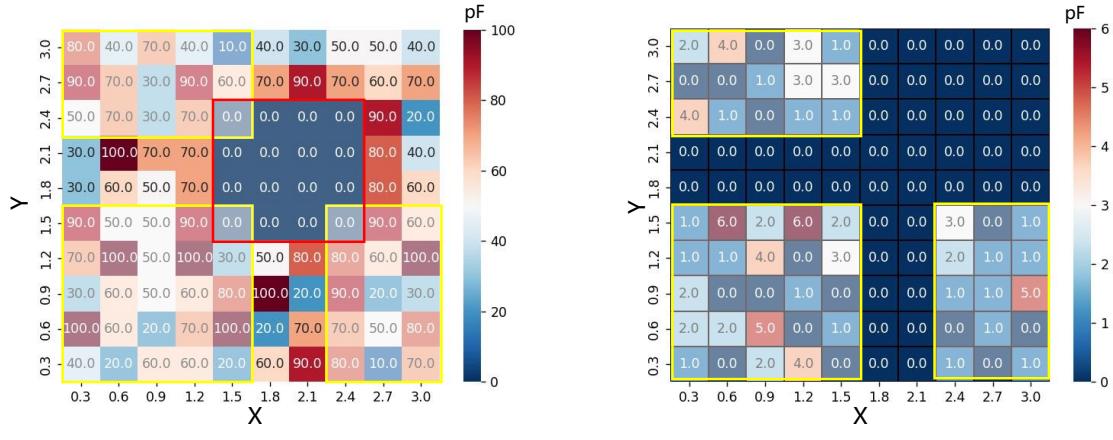
(a)无限制区域时使用 PDPO 算法得到的优化结果



(b)有限制区域时使用 PDPO 算法得到的结果



(c)无限制区域时使用 DA 算法得到的结果



(d)有限制区域时使用 DA 算法得到的结果

图 3-31 PDPO 和 DA 在有/无限制区域下得到的结果，左图为 MIM 电容分布，右图为 MOS 电容分布，限制区域与三个芯片均有重叠区域

使用 PDPO 算法在无限制区域时，使用 MIM 总电容值为 5.26nF，MOS 电容为 26pF，在有限制区域时，使用 MIM 总电容值为 5.43nF，MOS 电容为 70pF。DA 算法下，无限制区域时使用 MIM 总电容值为 4.94nF，MOS 电容为 40pF，有限制区域使用了 MIM 总电容值为 5.06nF，MOS 总电容值为 88pF。可以看出，在相同条件下，PDPO 优化结果的 MIM 值会略高于 DA 优化结果，而 MOS 电容则小于 DA 优化结果。

分析结果可以得到，当硅中介层存在空间限制时，总 MIM 电容值相比于无空间限制时会略微增加，而片上 MOS 电容会显著增加，相比于无限制情况，PDPO 中 MOS 电容增加 169%，DA 中增加 120%，MOS 电容在一定程度上弥补了 MIM 的电荷供应。

相比于 DA，PDPO 算法下优化结果的去耦电容分布更加集中，两种情况下分别减少了 26% 和 5.8% 的单位元的占用个数，所需的布局空间要求更低，在实际布局布线中更有参考意义。

### 3.5 本章小结

在本章中，我们针对 2.5D IC 系统进行了建模分析，采用了 PPO 的算法来进行噪声优化，以目标阻抗为指标，通过添加去耦电容来使得从芯片处所测得的 PDN 输入阻抗小于目标阻抗，并针对单芯片和多芯片下的 2.5D IC 电路进行了讨论，在多芯片 IC 中，测试了不同布局下智能体完成训练后的预测情况，此外对存在布局空间限制的案例进行了训练与测试，实验结果表明，我们所提出的 PDPO 算法在训练之后面对相似布局的优化问题是具有良好的效果，推测出来的方案可用率最高为 77%。与传统算法

双重退火算法对比，在有限制空间和无限制空间的情况下，PDPO 可以均实现更加集中的电容分布，在硅中介层中占用的单位元个数分别减少了 5.8% 和 26%，对硅中介层 PDN 结构要求更低，在设计芯片时更具有参考价值。

## 4 基于 PPO 算法的片上时域噪声优化

在上一章中，我们基于频域下的芯片阻抗，进行了去耦电容布局的优化，使其可以较好地完成目标阻抗的要求。而在实际多芯片的 2.5D IC 中，芯片之间存在大量互连线用于信号交流，芯片中噪声可能会通过这些互连线进行传播，影响其他芯片的正常工作。噪声的传播使得芯片实际运行时的瞬态电流变化可能超出正常工作电流，且电流的波形、峰值不可预测，仅使用目标阻抗法是不够的。为了更好地分析电路，我们需要对电路进行时域上的分析，确保芯片实际电压符合要求，如果电压低于正常工作电压，则需要进一步优化。

因此，在这一章中，我们提出了一种时域下的去耦电容布局优化，在满足芯片目标阻抗的情况下，进行片上电容布局的进一步优化，提出了以电压违例积分为优化目标的 PPO 算法，并对不同电容下的优化结果进行了分析。

### 4.1 噪声传播

为了验证不同芯片的噪声是否会通过 PDN 进行相互传播，我们选择如图 4-1 所示的 2.5D IC 进行实验。硅中介层尺寸为 3mm\*3mm，三个芯片工作电压为 1V，最差情况下功率为 0.2W，目标阻抗计算为 0.1 欧。

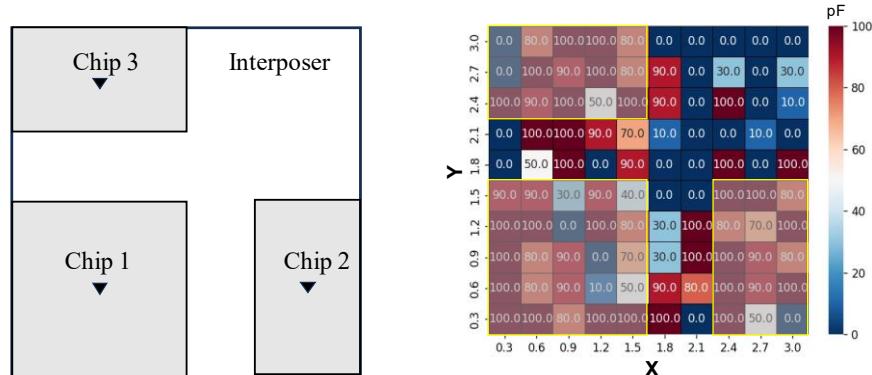


图 4-1 2.5D IC 布局及其基于目标阻抗的去耦电容优化布局

基于第 3 章所得到的去耦电容布局优化结果，测得三个芯片端口的阻抗曲线均满足目标阻抗，如图：

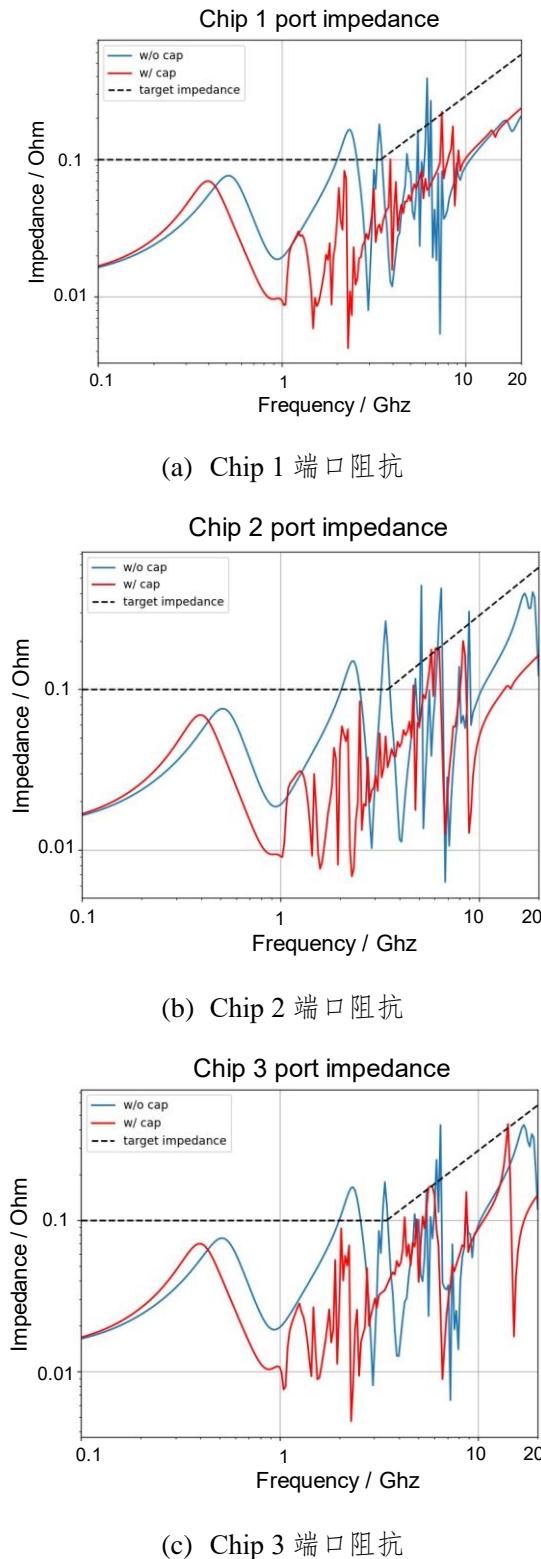


图 4-2 基于频域优化结果下的 3 个芯片端口阻抗

我们添加独立电流源用于模拟状态切换引起的瞬态电流变化，每个芯片 PDN 等效电路如图 4-3 所示。

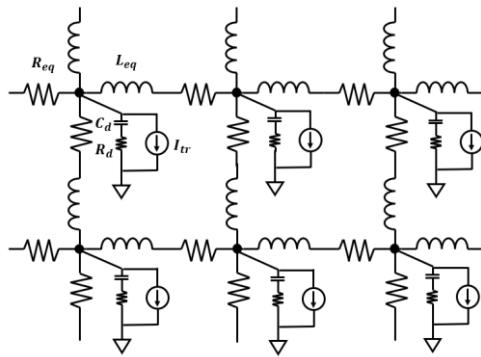


图 4-3 包含瞬态电流变化的片上 PDN 等效电路

其中,  $C_d$  和  $R_d$  分别为 MOS 电容的等效电容和电阻,  $I_{tr}$  为瞬态电流波形, 这个瞬态电流变化用分段线性的三角波电流源来表征, 如图 4-4 所示。其中,  $T_r$  代表三角波的上升时间,  $T_f$  代表三角波的下降时间,  $I_{max}$  代表开关电流的最大幅值,  $T_c$  代表瞬态电流所持续的时间。

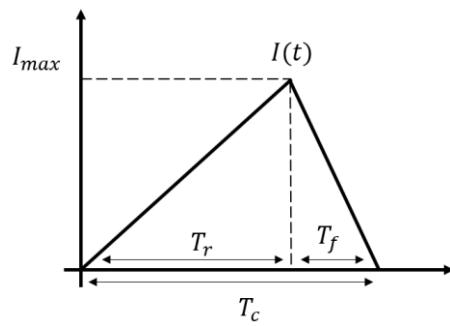


图 4-4 瞬态电流波形

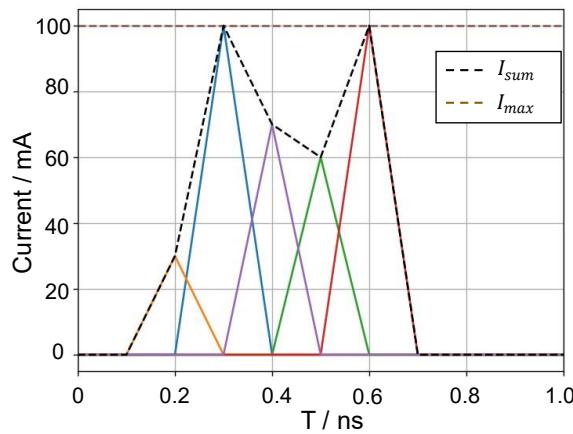


图 4-5 设定片上瞬态电流分布时, 瞬态电流之和不超过正常工作电流

对于功能模块, 我们选取了不同峰值的电流源,  $T_r$  和  $T_f$  均为 50ps, 电流源的起始时间不相同, 均匀分布连接到 PDN 节点上, 来模拟电路的状态切换, 同时保证从芯片内

电流变化的初始时刻到结束时刻，保证每一个时刻的电流值之和不会超过该芯片所设定的功耗与工作电压的比值，表示为如下：

$$I_{sum}(t) = \sum_{n=1}^N I_n(t) \quad (4-1)$$

$$I_{sum}(t) \leq \frac{P_c}{V_{dd}} = I_{max} \quad (4-2)$$

式中， $I_{sum}(t)$  为所有电流源叠加后的电流波形， $P_c$  为芯片的功耗， $V_{dd}$  为芯片工作电压。

我们选择芯片 1 上电源网络中的靠近芯片 2 和芯片 3 的节点 i 作为研究对象，添加的电流源均匀地分布在电源分配网络中。当芯片内模块无状态切换时，我们设定其存在的电流波动可以忽略。

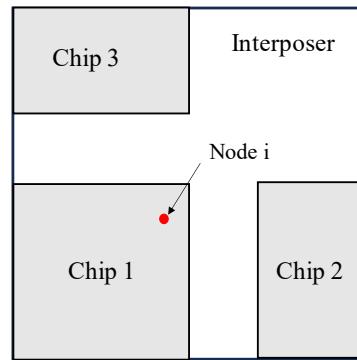


图 4-6 选取节点 i 作为电压测量点

当只有芯片 1 存在同步开关噪声时，节点 i 处的电压变化如图 4-7 中蓝线所示，其最低电压约为 0.991V，符合电压要求。而当三个芯片均存在噪声时，节点 i 处的电压波形如图 4-7 中黄线所示，最低电压约为 0.986V。可以看出，芯片 2 和 3 中的噪声影响了芯片 1 上 PDN 的电压稳定性，因此需要作进一步的去耦电容优化。

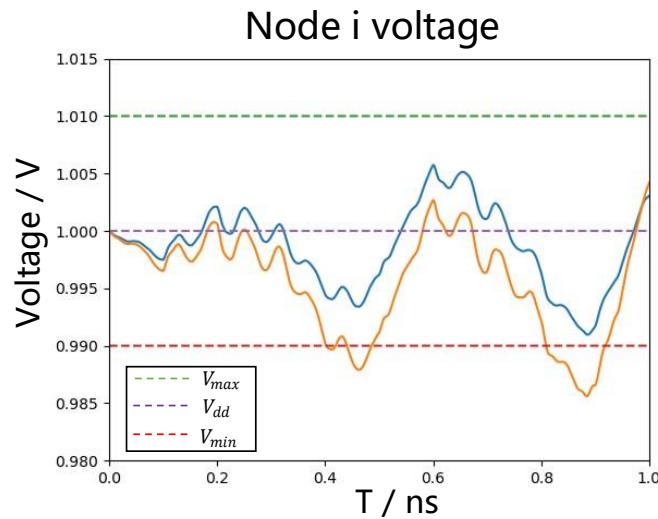


图 4-7 节点 i 电压变化图

## 4.2 环境设置

根据上面所提到的现象，我们把片上 PDN 节点的电压作为优化目标，因去耦电容具有一定作用半径，因此，我们主要针对片上 MOS 电容的分布进行再次优化。实际电路中会存在这样一些情况，电流源噪声所造成的电压波动幅值相同，但持续时间不同，如图 4-8 所示，两个节点的电压波动均在噪声容限范围以下，而节点 1 所在区域发生逻辑错误的可能性更大，因此，在节点 1 附近放置去耦电容器的优先级应该高于节点 2。

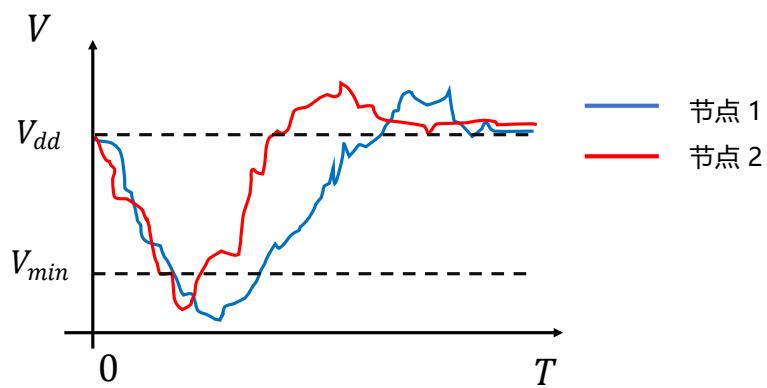


图 4-8 电压出现违例时最小值相近而持续时间不同的电压波形

针对上面的结论，我们引入了电压违例积分（voltage violation integral, VVI）的概念，它是一种计算实际电压波形超出电压允许范围电压的积分，将时间结合到函数中去，电路存在电压违例的时间越长，电路越有可能发生错误。计算方法如下，可以看出，

公式所得的就是图 4-9 中阴影部分的面积。

$$P = \int_0^T \max(V_{min} - V(t), V(t) - V_{max}, 0) dt \quad (4-4)$$

其中,  $V_{min}$  和  $V_{max}$  分别代表所允许的电压下限和上限。

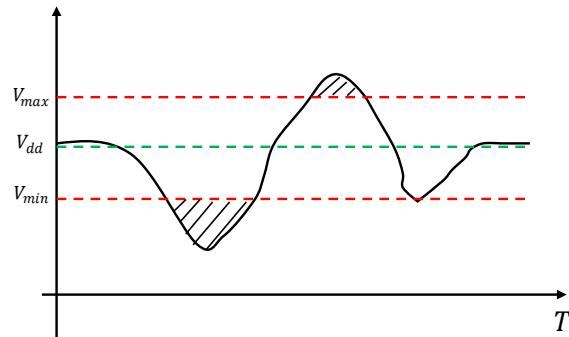
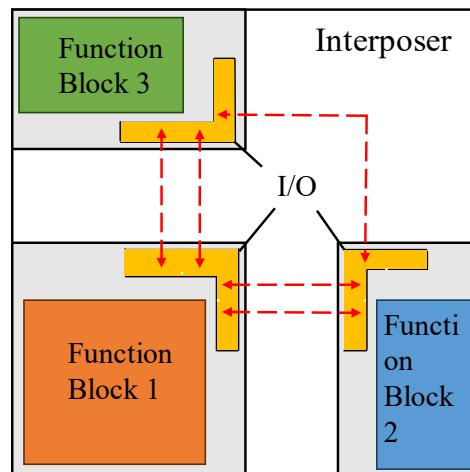
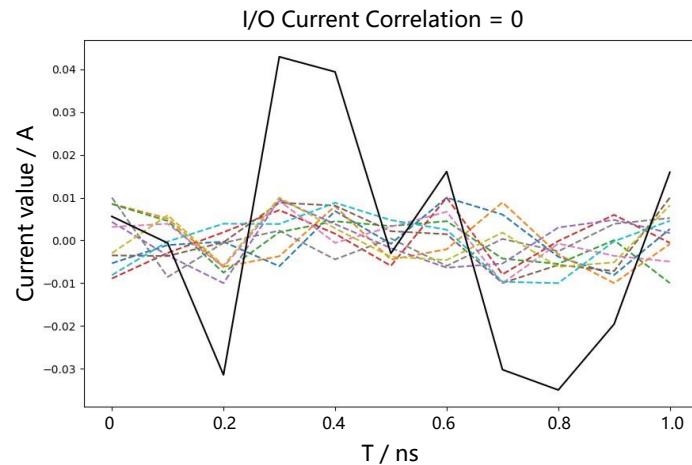


图 4-9 电压违例积分计算

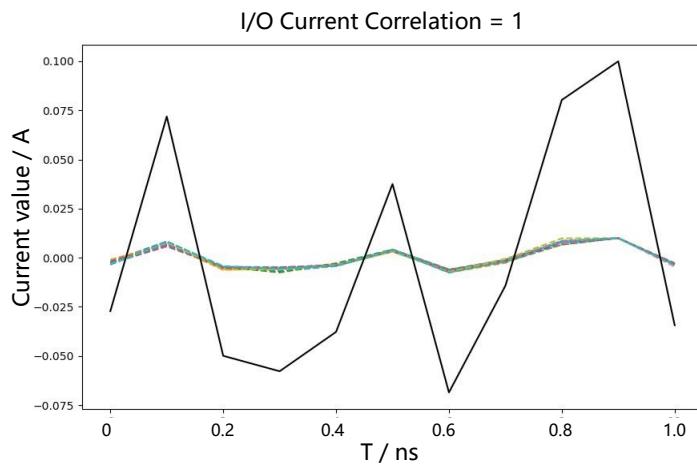
对照实际的芯片结构, 我们将每个芯片内部划分成功能模块和 I/O 口, 设置它们的功耗均为 0.1W, 将电流源添加在这些区域所在的位置。为了研究电流源相关度对 SSN 值大小的影响, 我们对 I/O 口所添加的电流源进行相关度设定, 在 I/O 口功耗维持在 0.1W 的情况下, 相关度为 0 时, 所加电流源方向、值大小各不相同, 相关度为 1 时, 所有电流源方向和值都相同。我们以 10 个电流源为例, 展示其在不同相关度下的电流波形, 如图所示。



(a) 每个芯片分成功能模块和 IO 口



(b) 相关度为 0 的电流源波形



(c) 相关度为 1 的电流源波形

图 4-10 芯片内部所加电流源区域以及电流源相关度设定

图中，虚线为 I/O 区域所加的不同电流源波形，黑色实线为 10 个电流源相加的结果。

为了探索不同相关度下芯片内部总 VVI 的变化趋势，我们设定相关度从 0 到 1，以 0.05 为间隔，每种相关度下生成 100 种不同的电流源分布，计算其总 VVI 的平均值。以芯片 1 为例，最终得到其在不同相关度下 VVI 的曲线，如图所示。

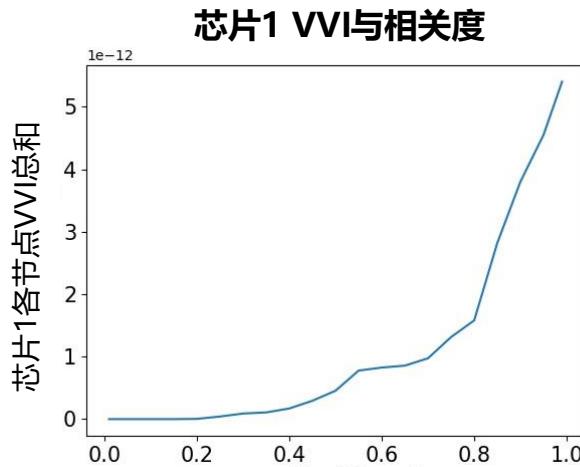


图 4-11 不同相关度下芯片 1 中 VVI 总值

从图中可以看出，当相关度较小的时候，VVI 几乎为 0，相关度大于 0.8 时，芯片 1 的总 VVI 显著上升。

下面，我们将以芯片 1 作为优化芯片，选用相关度为 0.85 的电流源分布，进行基于时域的去耦电容布局优化，芯片 1 的相关参数如表 4-1 所示。

表 4-1 测试芯片的参数

芯片参数	数值
芯片尺寸	1500um*1500um
节点数	37*37
走线线宽	10um
走线间距	10um
电源电压	1.0V
最小允许电压	0.99V
电流波动时刻	0~1ns

我们将片上网络节点的电压违例积分作为强化学习的输入状态，根据节点数，将其化成一个 37\*37 的矩阵，因为电流波动时间设置为 1ns，因此电压违例积分数值在十的负十二次左右的级别，对于神经网络，我们需要对其进行归一化，如下公式：

$$P_{nor} = \frac{P_{ij} - P_{min}}{P_{max} - P_{min}} \quad (4-5)$$

式中， $P_{nor}$  是归一化处理后的数据，范围为 [0,1]， $P_i$  是每个矩阵元素的初始值矩阵格式如下：

$$S_{VVI} = \begin{bmatrix} P_{11} & \cdots & P_{1n} \\ \vdots & \ddots & \vdots \\ P_{n1} & \cdots & P_{nn} \end{bmatrix} \quad (4-6)$$

对于奖励函数，设定的功耗、模块大小、电流源的值和位置均会影响电压违例积分的数值，我们很难设定一个固定的值去进行对比，因此将其设置为相比于初始未优化状态所提升的百分比，因此，优化奖励项  $R_{opt}$  设置为：

$$R_{opt} = \frac{P_{init\_sum} - P_{opt\_sum}}{P_{init\_sum}} \quad (4-7)$$

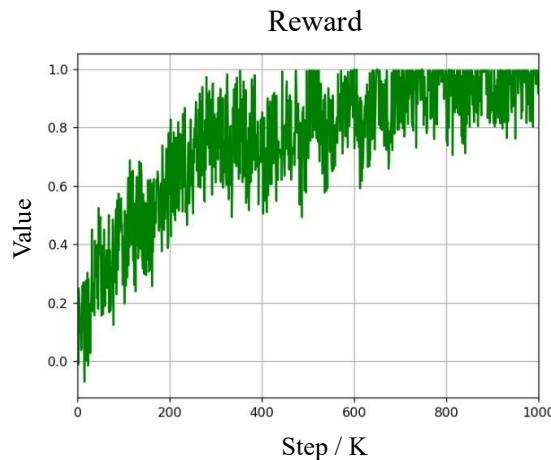
式中， $P_{opt}$  代表优化以后的电压违例积分之和， $P_{init\_sum}$  代表初始未优化时存在的总电压违例积分，它们的表达式如下：

$$P_{init\_sum} = \sum_{i=1, j=1}^N P_{ij\_init} \quad (4-8)$$

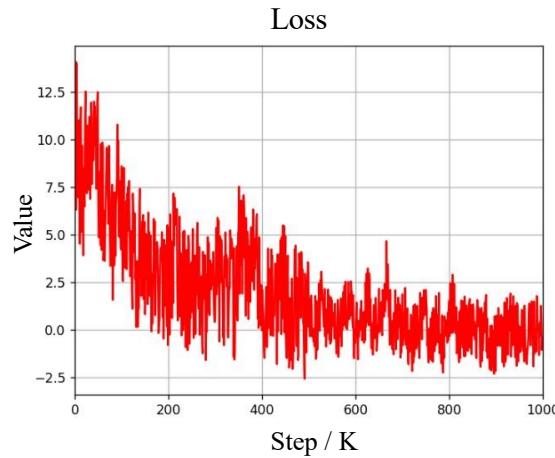
$$P_{opt} = \sum_{i=1, j=1}^N P_{ij\_opt} \quad (4-9)$$

### 4.3 实验结果

我们将时域噪声优化的神经网络的参数设定为和表 3.5 相同，以电压违例积分为输入状态的进行了训练，其每回合奖励值和损失函数曲线如图 4-12 所示。



(a) 训练中的奖励值变化曲线



(b)训练中的损失函数曲线

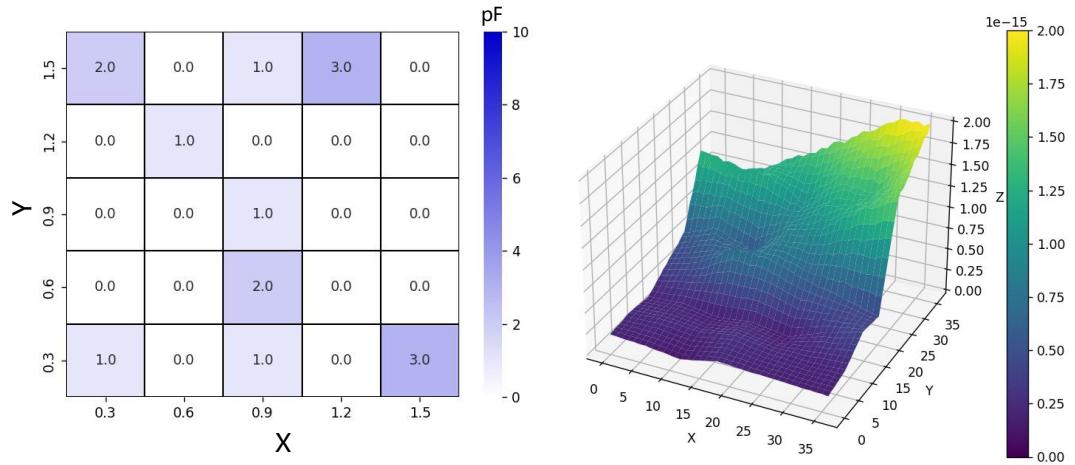
图 4-12 基于电压违例积分的智能体训练结果

从奖励函数曲线可以看出，在经过约 60 万步训练之后，奖励值逐渐收敛为 1。

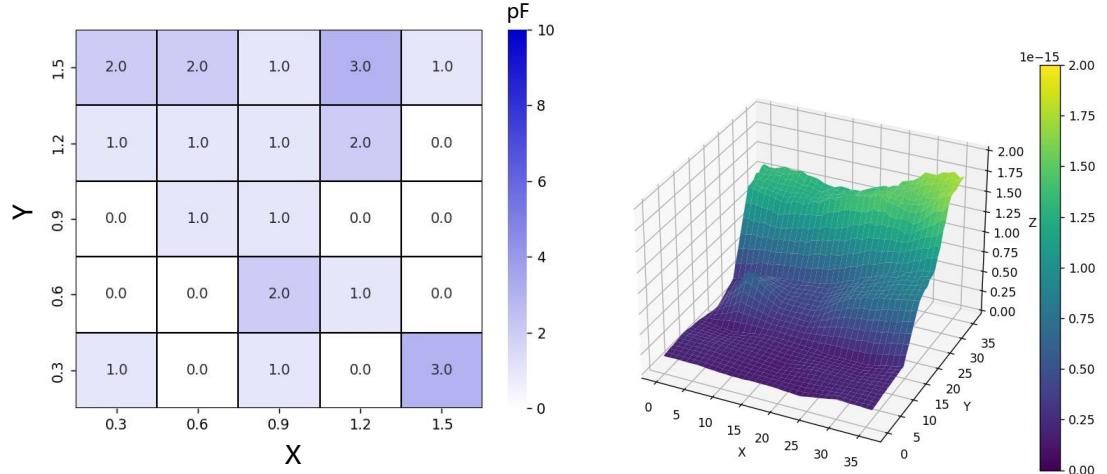
将训练好的智能体对电路进行布局优化推测，选用一种优化方案，展示其优化过程中的相关数据变化，得到的数据如表 4-2 所示，部分优化布局和 VVI 分布图如图 4-13 所示。

表 4-2 优化结果对比

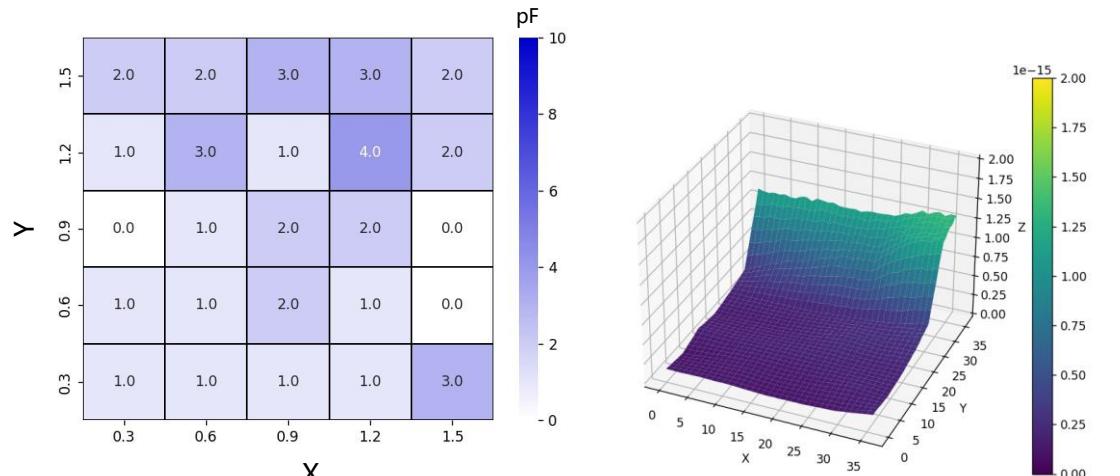
	总 VVI	片上电容值	增加电容值	违例节点
频域	2.18e-12	15pF	-	1369
	1.56e-12	24pF	9pF	1321
	1.03e-12	31pF	16pF	1056
	6.82e-13	40pF	25pF	824
	2.55e-13	52pF	37pF	556
	9.61e-14	61pF	46pF	405
	2.73e-14	66pF	51pF	213
	1.37e-15	70pF	55pF	36



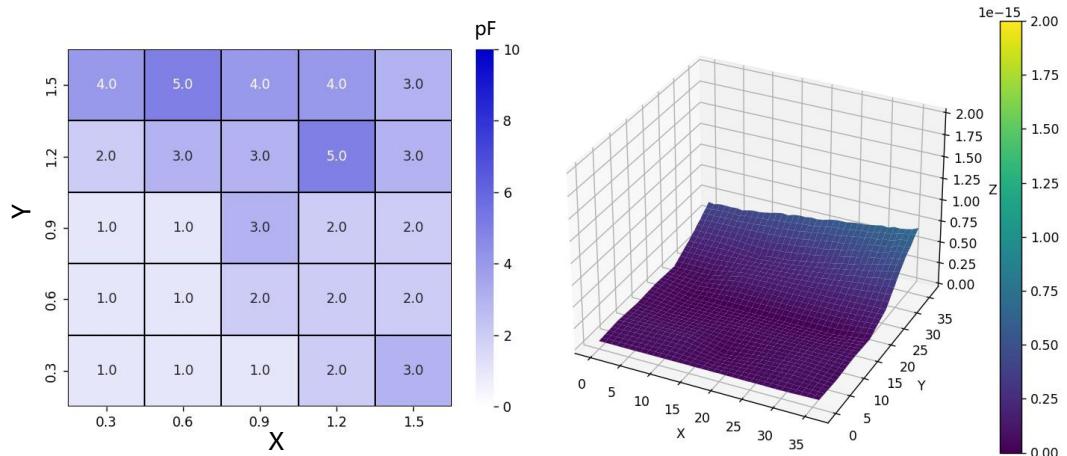
(a) 频域优化下 VVI 分布



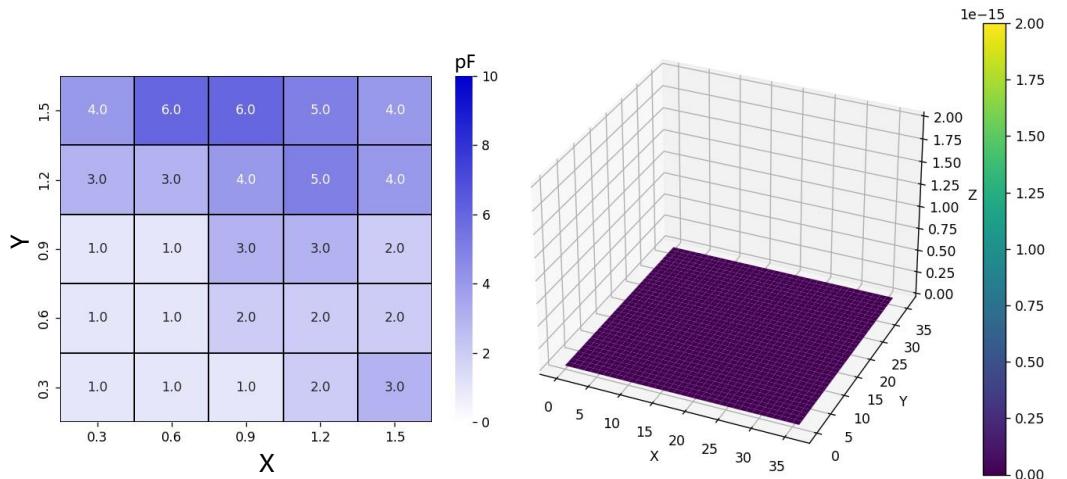
(b) 频域 15pF + 时域 9pF



(c) 频域 15pF + 时域 25pF



(d) 频域 15pF + 时域 46pF



(e) 频域 15pF + 时域 55pF

图 4-13 基于频域和时域的部分去耦电容布局及其 VVI 分布

从表 4-2 和图 4-13 中我们可以看出，添加了电流源噪声之后，频域优化结果下的芯片 PDN 中仍然会有大量节点存在电压违例的情况，需要在时域下根据 VVI 进一步优化。从图 4-13 中可以看出，智能体会在 VVI 较大的地方优先添加电容，并不断进行调整，最终实现较好地电压违例优化。将表 4-2 中添加的电容数与总 VVI 值绘制成曲线，进行平滑处理，如图 4-14 所示。

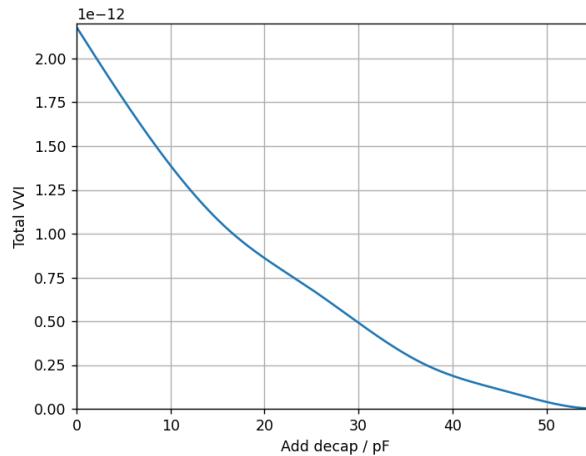


图 4-14 VVI 总值与额外添加电容数关系图

从图 4-14 中可以看出，当在芯片 1 中额外添加约 38pF Mos 电容时，总 VVI 减少了 90%，添加 46pF Mos 电容时，VVI 减少了 95.6%，违例节点数减少了 70.4%，而当额外添加 55pF Mos 电容时，VVI 减少了 99.94%，违例节点数减少了 97.4%，具有良好的优化效果。此外，可以看出，当添加的电容值少于 30pF 时，添加电容可以显著降低芯片内总 VVI 值，而高于 30pF 时，继续添加电容，VVI 值变化较为平缓，存在着“边界递减效应”。因此，在实际优化过程中，我们可以对优化效果与电容成本进行权衡，以此来选择合适的电容数来进行优化。

#### 4.4 本章小结

在本章中，我们主要对多芯片中存在 PDN 噪声传播进行了讨论，通过在 PDN 中添加电流源来模拟实际电路中的状态切换导致的 SSN，结果显示，芯片中的 SSN 对其他芯片的节点电压存在较大的影响，即使芯片满足频域下的目标阻抗，仍然会出现电压违例的情况，因此需要根据节点电压波形，进行去耦电容布局的进一步优化。因此，提出了基于时域下电压波形的深度强化学习优化算法，在优化的时候考虑了电压违例情况下的时间，引入了电压违例积分的概念，以此作为训练状态进行深度强化学习训练。实验结果表明，基于电压违例积分的优化算法可以较好地完成优化目标，通过在合适的位置添加电容，使得芯片内总 VVI 降低 95%以上，存在违例的节点降低 97%以上。此外，我们可以根据图 4-14 所示曲线，对使用电容数和总 VVI、违例节点数进行权衡，选择一个合适的方案来进行优化。



## 5 总结与展望

### 5.1 工作总结

随着芯片工艺和封装技术的不断发展，芯片的集成度越来越高，工作频率不断提升，同时工作电压逐渐下降，而在芯片工作时，因电路切换状态，会产生瞬态电流变化，若此电流足够大，则容易导致电路不稳定甚至逻辑错误，这就是电源完整性的问题。如今，随着芯片工作电压的降低以及所允许的电压波动范围逐渐变小，电源完整性问题受到越来越多厂商的重视。因此，本文对芯片电源完整性相关的问题以及优化进行了研究，并取得如下结果：

- 1) 本文主要针对新型 2.5D IC 中存在的电源完整性问题进行了讨论，对 2.5D IC 中噪声问题进行了描述，对 2.5D IC 的电源分配网络进行了分层次的建模。
- 2) 将目前较为热门的人工智能-深度强化学习应用到芯片的电源完整性优化问题中去，提出了一种基于近端策略网络的噪声优化算法，相比之前的工作<sup>[27,29,30]</sup>，我们的算法在电容值选择上更加灵活，考虑了片上与硅中介层不同层的优化，在时域和频域上根据不同的电路参数进行优化，最后实验结果显示均达到较好的优化效果。在第三章中，对芯片进行频域上的分析，通过在硅中介层的 PDN 中加入 MIM 电容来优化芯片的 PDN 输入阻抗，在单芯片进行了实验验证，同时，将我们的算法与经典传统算法双重模拟退火算法进行了对比，结果显示，PDPO 算法所占用的单位元个数相比于 DA 算法少了 38%-53%，去耦电容分布更加集中，提高了单位元的利用效率。在多芯片优化中，考虑到硅中介层的电源网络中可能存在电容布局限制，将片上 MOS 电容的布局加入优化流程中。将近端策略优化算法应用到多个样本的训练，并对其相似布局进行了测试，在相似布局的情况下，可以实现 59%-77% 的预测成功率。对于硅中介层 PDN 部分地方无法放置去耦电容的情况下进行了分析，结果表明，当硅中介层中存在布局限制时，所使用的 MIM 电容和 MOS 电容比无限制情况下会有所增加。在相同条件下，PDPO 所占用的单位元个数比 DA 算法在无限制和有限制情况下减少了 26% 和 5.9%，去耦电容分布更加集中，降低了对网络结构的空间要求，噪声优化方案更具备参考性。

3) 在第四章中, 我们主要探讨了多芯片系统中 PDN 噪声的传播问题。通过在 PDN 中添加电流源, 模拟实际电路中状态切换导致的 SSN (同步开关噪声), 继而提出了一种基于时域电压波形的深度强化学习优化算法。在优化过程中, 该算法考虑了电压违例的时序特性, 并引入了电压违例积分 (VVI) 的概念, 将其作为训练状态进行深度强化学习训练。实验结果表明, 基于 VVI 的优化算法能够有效完成优化目标, 通过在适当位置添加电容, 可以使芯片内总 VVI 降低超过 95%, 违例节点数减少超过 97%。此外, 我们可以根据实验结果, 对电容数量、总 VVI 和违例节点数之间的关系进行权衡, 选择一个最合适的优化方案。这为去耦电容布局的优化提供了科学依据, 有助于在实际应用中提升芯片系统的可靠性。

## 5.2 展望

本文提出的两种基于深度强化学习的方法实现了在频域和时域上的噪声分析和优化, 实现了良好的优化效果, 但实验过程中仍然存在着不足, 需要进行改进, 因此, 未来的工作可以从以下几点展开:

- (1) 在做单芯片阻抗分析时, 没有考虑芯片位置和尺寸对于芯片端口的阻抗的影响, 在未来的工作中, 可以加入不同大小的芯片在不同尺寸硅中介层上的不同方位进行优化, 实现多样本训练, 提高在单芯片下的泛化性。
- (2) 在多芯片优化时, 可以加入芯片与芯片之间的互连线长度来作为约束, 对于相近的芯片放置, 其对另外的芯片噪声影响较大, 加入互连线长度可以让其在去耦电容布局和互连线长度之间进行权衡, 从而实现在优化电源完整性问题的同时实现芯片布局的优化。
- (3) 可以加入实际芯片设计的布局优化进行对比, 观察由我们算法得到的优化方案与实际方案之间的差距, 然后对算法进行相关的调整, 使其接近实际案例, 从而提高算法的可利用性。

## 参考文献

- [1] 廖小雨. SiP封装中的芯片堆叠工艺与可靠性研究[D]. 华南理工大学, 2013.
- [2] 谭晓乐. 系统级封装的信号完整性分析与建模[D]. 西安电子科技大学, 2019.
- [3] 张翰宗. 系统级封装中电源完整性的分析与研究[D]. 西安电子科技大学, 2017.
- [4] Song C., K. Xue, F. Jiang, et al. Key process development on 300mm wafer for 2.5D/3D integration[A]//2015: 241-244.
- [5] Erdmann C., D. Lowney, A. Lynam, et al. A Heterogeneous 3D-IC Consisting of Two 28 nm FPGA Die and 32 Reconfigurable High-Performance Data Converters[J]. IEEE Journal of Solid-State Circuits, 2015, 50(1): 258-269.
- [6] Takatani H., Y. Tanaka, Y. Oizono, et al. PDN impedance and noise simulation of 3D SiP with a widebus structure[A]//2012: 673-677.
- [7] C-H-Yu D. Wafer level system integration for SiP[A]//2014: 21-27.
- [8] Banijamali B., C. C-Chiu, C. C-Hsieh, et al. Reliability evaluation of a CoWoS-enabled 3D IC package[A]//2013: 35-40.
- [9] C-Liu C., S. M-Chen, F. W-Kuo, et al. High-performance integrated fan-out wafer level packaging (InFO-WLP): Technology and system integration[A]//2012: 11-14.
- [10] F-Chen M., F. C-Chen, W. C-Chiou, et al. System on Integrated Chips (SoIC(TM)) for 3D Heterogeneous Integration[A]//2019: 594-599.
- [11] J-Perez R. Power and Signal Integrity Findings in a FPGA Layout for an Aerospace Application[A]//2018: 18-23.
- [12] Son K., K. Cho, S. Kim, et al. Modeling and Signal Integrity Analysis of 3D XPoint Memory Cells and Interconnections with Memory Size Variations During Read Operation[A]//2018: 223-227.
- [13] Li Xingming, Shanqing Hu, Jinming Zhang, et al. Signal integrity of high-performance and real-time signal processing system[A]//2013: 1-7.
- [14] E-Abdulhadi A., S. Mandev, R. Abhari. Signal integrity and EMI evaluations of an RFID-Sensor tag for internet-of-things applications[A]//2015: 128-132.
- [15] Lecoq X., A. Lipani, S. Stemmer, et al. Power integrity Flow for mixed-signal NVM flash IP[A]//2019: 1-3.
- [16] Mori H., N. Maeda, S. Fukui, et al. Optimization method for signal integrity of automotive LAN[A]//2011: 762-767.
- [17] Mehta D., P. Ramesh. Automotive Ethernet System level Signal Integrity and Protocol Test using Software based Signal Separation[A]//2019: 237-239.
- [18] Gupta S., S. Powers. LPDDR4X Optimal PCB and PKG Trace Lengths in Automotive System[A]//2019: 184-188.
- [19] Park S., S. Lee, B. Sim, et al. Signal Integrity Analysis of Automotive CAN-FD Networks with Series Damping Resistor-Equipped Joint Connectors[A]//2020: 1-3.
- [20] K-Pandey A., A. Jangale, S. Narayan. Signal Integrity and Compliance Test of DSI and CSI2 Serial

- Interface over MIPI D-PHY[A]//2020: 1-4.
- [21] Son K., S. Kim, H. Park, et al. A Novel Through Mold Plate (TMP) for Signal and Thermal Integrity Improvement of High Bandwidth Memory (HBM)[A]//2020: 1-4.
- [22] Shin T., S. Park, S. Kim, et al. Modeling and Demonstration of Hardware-based Deep Neural Network (DNN) Inference using Memristor Crossbar Array considering Signal Integrity[A]//2020: 417-421.
- [23] 何永松, 秦祖立, 林麟, 等. 基于信号与电源完整性的有效分析优化2.5D-3D的设计[J]. 电子技术应用, 2021, 47(08): 64-67.
- [24] 王艳玲, 杨宇军, 袁金焕, 等. 基于CPS协同的微系统电源信号完整性设计[J]. 遥测遥控, 2021, 42(05): 77-84.
- [25] Yan J., Y. Tretiakov, H. Lan. Simultaneous switching noise modelling and characterization in production environments[A]//2017: 1-3.
- [26] Mercado-Casillas B., J. E-Rayas-Sánchez. Towards Signal-Power Integrity Analysis by Efficient Power Delivery Network Lumped Models Obtained From Parameter Extraction[A]//2019: 1-3.
- [27] Cho K., Y. Kim, H. Lee, et al. Design and Analysis of Power Distribution Network (PDN) for High Bandwidth Memory (HBM) Interposer in 2.5D Terabyte/s Bandwidth Graphics Module[A]//2016: 407-412.
- [28] Park H., J. Park, S. Kim, et al. Reinforcement Learning-Based Optimal on-Board Decoupling Capacitor Design Method[A]//2018: 213-215.
- [29] Zhang L., Z. Zhang, C. Huang, et al. Decoupling Capacitor Selection Algorithm for PDN Based on Deep Reinforcement Learning[A]//2019: 616-620.
- [30] Park H., J. Park, S. Kim, et al. Deep Reinforcement Learning-Based Optimal Decoupling Capacitor Design Method for Silicon Interposer-Based 2.5-D/3-D ICs[J]. IEEE Transactions on Components, Packaging and Manufacturing Technology, 2020, 10(3): 467-478.
- [31] Zhi C., G. Dong, Y. Wang, et al. Trade-Off-Oriented Impedance Optimization of Chiplet-Based 2.5-D Integrated Circuits With a Hybrid MDP Algorithm for Noise Elimination[J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2022, 69(12): 5247-5258.
- [32] 杨邦文. 5V模块稳压电源[J]. 电气时代, 1999, (02): 25.
- [33] 全隔离超小型稳压模块问世[J]. 无线电工程, 1997, (06): 40.
- [34] 贾春华贾霖. 大功率开关电源模块小型化技术研究[J]. 西安工业学院学报, 1998, (03).
- [35] Provoost Jan, Deniz Sabuncuoglu Tezcan, Bart Swinnen, 等. 用于3D WLP和3D SIC的穿透硅通孔技术[J]. 集成电路应用, 2008, (07): 45-47.
- [36] 童志义. 3D IC集成与硅通孔(TSV)互连[J]. 电子工业专用设备, 2009, 38(03): 27-34.
- [37] Motoyoshi M. Through-Silicon Via (TSV)[J]. Proceedings of the IEEE, 2009, 97(1): 43-48.
- [38] U-Knickerbocker J., P. S-Andry, B. Dang, et al. Three-dimensional silicon integration[J]. IBM Journal of Research and Development, 2008, 52(6): 553-569.
- [39] Smith K., P. Hanaway, M. Jolley, et al. Evaluation of TSV and micro-bump probing for wide I/O testing[A]//2011: 1-10.
- [40] L-Wright S., R. Polastre, H. Gan, et al. Characterization of micro-bump C4 interconnects for Si-carrier SOP applications[A]//2006: 8.
- [41] D-Smith L., R. E-Anderson, D. W-Forehand, et al. Power distribution system design methodology and capacitor selection for modern CMOS technology[J]. IEEE Transactions on Advanced Packaging, 1999, 22(3): 284-291.
- [42] Fan Jun, J. L-Drewniak, J. L-Knighten, et al. Quantifying SMT decoupling capacitor placement in dc power-bus design for multilayer PCBs[J]. IEEE Transactions on Electromagnetic Compatibility, 2001, 43(4): 588-599.
- [43] Fan Jun, Wei Cui, J. L-Drewniak, et al. Estimating the noise mitigation effect of local decoupling in

- printed circuit boards[J]. IEEE Transactions on Advanced Packaging, 2002, 25(2): 154-165.
- [44] Archambeault B., S. Connor. The effect of decoupling capacitor distance on printed circuit boards using both frequency and time domain analysis[A]//2005: 650-654.
- [45] Lee Junwoo, M. D-Rotaru, M. K-Iyer, et al. Analysis and suppression of SSN noise coupling between power/ground plane cavities through cutouts in multilayer packages and PCBs[J]. IEEE Transactions on Advanced Packaging, 2005, 28(2): 298-309.
- [46] C-Kuo H., C. W-Kuo, C. Y-Tsai, et al. On-Package Decoupling Capacitor Performance Improvement of Flip-Chip Packages for High Power Application[A]//2018: 245-247.
- [47] H-Chen H., S. E-Schuster. On-chip decoupling capacitor optimization for high-performance VLSI design[A]//1995: 99-103.
- [48] Moon S., S. Lee. Modeling and Analysis a of On-Die Decoupling Capacitance in the Power Delivery Network of an Integrated Chip[A]//2018: 205-210.
- [49] Popovich M., E. G-Friedman, R. M-Secareanu, et al. Efficient placement of distributed on-chip decoupling capacitors in nanoscale ICs[A]//2007: 811-816.
- [50] Kim K., C. Hwang, K. Koo, et al. Modeling and Analysis of a Power Distribution Network in TSV-Based 3-D Memory IC Including P/G TSVs, On-Chip Decoupling Capacitors, and Silicon Substrate Effects[J]. IEEE Transactions on Components, Packaging and Manufacturing Technology, 2012, 2(12): 2057-2070.
- [51] Y-Hou S., H. Hsia, C. H-Tsai, et al. Integrated Deep Trench Capacitor in Si Interposer for CoWoS Heterogeneous Integration[A]//2019: 15-19.
- [52] T-Kannan K., S. S-Iyer. Deep Trench Capacitors in Silicon Interconnect Fabric[A]//2020: 2295-2301.
- [53] 《芯片及系统的电源完整性建模与设计》[J]. 电源技术, 2012, 36(12): 1829.
- [54] S-Sutton R., A. G-Barto, R. J-Williams. Reinforcement learning is direct adaptive optimal control[J]. IEEE Control Systems Magazine, 1992, 12(2): 19-22.
- [55] Kim J., S. Wu, H. Wang, et al. Improved target impedance and IC transient current measurement for power distribution network design[A]//2010: 445-450.
- [56] Chen G., D. Oh. Improving the target impedance method for PCB decoupling of core power[A]//2014: 566-571.
- [57] Proximal Policy Optimization Algorithms[J].
- [58] Cho J., Y. Kim, J. Kim, et al. Analysis of glass interposer PDN and proposal of PDN resonance suppression methods[A]//2013: 1-5.
- [59] Kim J., J. S-Pak, J. Cho, et al. High-Frequency Scalable Electrical Model and Analysis of a Through Silicon Via (TSV)[J]. IEEE Transactions on Components, Packaging and Manufacturing Technology, 2011, 1(2): 181-195.
- [60] Popovich M., M. Sotman, A. Kolodny, et al. Effective Radii of On-Chip Decoupling Capacitors[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2008, 16(7): 894-907.



## 作者简介及在学期间主要研究成果

### 作者简历

冯海洋，男，2016年9月进入湖南大学电气与信息工程学院就读，于2020年6月取得学士学位，2021年9月进入浙江大学微纳电子学院继续攻读硕士学位，研究方向为电子设计自动化工具。

### 已发表/录用的论文

[1] Haiyang Feng, Zhiping Yu, Leilai Shao, Xiaolei Zhu, “Decoupling Capacitor Optimization For 2.5D-ICs With Deep Reinforcement Learning Technique”, 2024 China Semiconductor Technology International Conference(CSTIC), Shanghai, China ,2024 (第一作者)