

Comenzado el	lunes, 14 de octubre de 2024, 14:33
Estado	Finalizado
Finalizado en	lunes, 14 de octubre de 2024, 14:42
Tiempo empleado	9 minutos 14 segundos
Calificación	4,00 de 10,00 (40%)

Pregunta 1

Correcta

Se puntúa 1,00 sobre 1,00

Acerca de la unidad básica de hardware **module**, indicar cuál es falsa

Seleccione una:

- ☒ a. No se puede instanciar otro módulo en su implementación. ✓
- ☐ b. Permite la creación de una jerarquía
- ☐ c. No puede contener definiciones de otro módulo

Respuesta correcta

La respuesta correcta es: No se puede instanciar otro módulo en su implementación.

Pregunta 2

Incorrecta

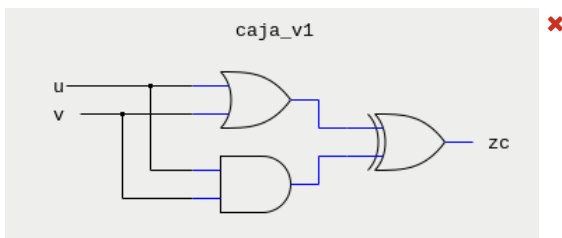
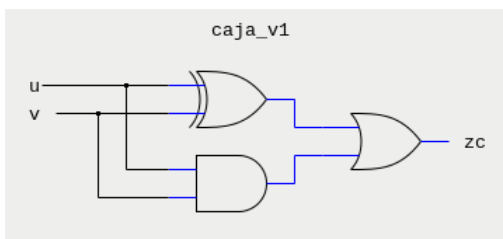
Se puntúa 0,00 sobre 1,00

Dado el siguiente módulo de verilog:

```
module caja_v1 (output wire zc,input wire u, v);  
  
    wire t,r;  
  
    or or1(zc,t,r);  
  
    and and1(r, u, v);  
  
    xor xor1(t, u, v);  
  
endmodule
```

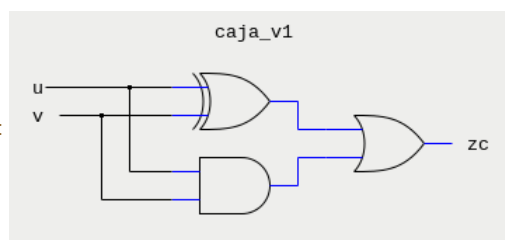
Indica con qué diagrama corresponde la implementación de caja:

Seleccione una:

☒ a.☐ b. ninguna de las anteriores☐ c.

Respuesta incorrecta.

La respuesta correcta es:



Pregunta 3

Correcta

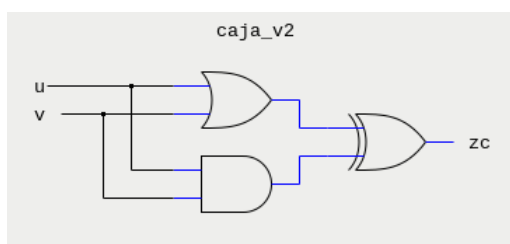
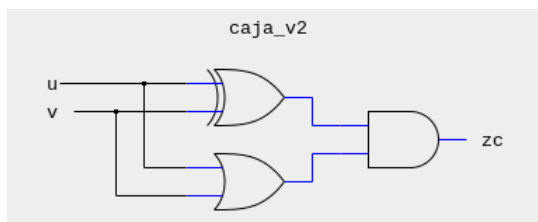
Se puntúa 1,00 sobre 1,00

Dado el siguiente módulo de verilog:

```
module caja_v2 (output wire zc,input wire u, v);  
  
    wire w,y;  
  
    or or1(y,u,v);  
  
    and and1(zc, y, w);  
  
    xor xor1(w, u, v);  
  
endmodule
```

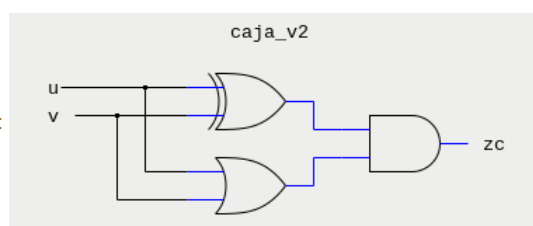
Indica con qué diagrama corresponde la implementación de caja:

Seleccione una:

☐ a.☐ b. ninguno de los anteriores☒ c.

Respuesta correcta

La respuesta correcta es:



Pregunta 4

Correcta

Se puntúa 1,00 sobre 1,00

Elige la opción verdadera

Seleccione una:

- ☐ a. Los circuitos solo se pueden describir mediante un esquema gráfico
- ☐ b. El lenguaje Verilog sirve para describir las entradas/salidas del hardware
- ☒ c. El Verilog es un lenguaje de descripción de hardware y como tal describe a los sistemas digitales en forma textual. ✓

Respuesta correcta

La respuesta correcta es: El Verilog es un lenguaje de descripción de hardware y como tal describe a los sistemas digitales en forma textual.

Pregunta 5

Incorrecta

Se puntúa 0,00 sobre 1,00

En referencia a la definición de memorias en verilog y en concreto a la siguiente declaración

```
reg [15:0] mem[7:0];
```

¿Cuál de las siguientes afirmaciones es cierta?

Seleccione una:

- ☐ a. Es una declaración de una memoria de 16 palabras de 8 bits
- ☒ b. La declaración es incorrecta ✗
- ☐ c. Es una declaración de una memoria de 8 palabras de 16 bits

Respuesta incorrecta.

La respuesta correcta es:

Es una declaración de una memoria de 8 palabras de 16 bits

Pregunta 6

Incorrecta

Se puntúa 0,00 sobre 1,00

Supón que tienes dos módulos. La salida del primero es "1" y la del segundo, alta impedancia ("z"). Si conectamos estas salidas entre sí y tomamos esa señal como entrada a un tercer elemento, la entrada vale:

Seleccione una:

- ☐ a. x
- ☐ b. 1
- ☒ c. z ✗

Respuesta incorrecta.

La respuesta correcta es: 1

Pregunta 7

Incorrecta

Se puntúa 0,00 sobre 1,00

En Verilog existen diferentes niveles de abstracción a la hora de diseñar un circuito. ¿Cuál de los siguientes niveles de abstracción exige herramientas más complejas para realizar la síntesis del circuito?

Seleccione una:

- ☐ a. nivel de puerta
- ☒ b. nivel de transferencia de registro (RTL) ✖
- ☐ c. nivel de modelado de comportamiento

Respuesta incorrecta.

La respuesta correcta es: nivel de modelado de comportamiento

Pregunta 8

Correcta

Se puntúa 1,00 sobre 1,00

El número definido como 3'b1 es

Seleccione una:

- ☐ a. 011
- ☒ b. 001 ✔
- ☐ c. 111

Respuesta correcta

La respuesta correcta es: 001

Pregunta 9

Incorrecta

Se puntúa 0,00 sobre 1,00

La operación lógica **or** se expresa

Seleccione una:

- ☐ a. !
- ☐ b. ||
- ☒ c. | ✖

Respuesta incorrecta.

La respuesta correcta es: ||

Pregunta 10

Incorrecta

Se puntúa 0,00 sobre 1,00

A las conexiones no conectadas, se les asigna el valor lógico

Seleccione una:

- ☐ a. 0
- ☒ b. x ✖
- ☐ c. z

Respuesta incorrecta.

La respuesta correcta es: z