

Architektura počítačových systémů (BI-APS), Přednáška č.3

Návrh jednocyklové RISC mikroarchitektury

Michal Štepanovský, Pavel Tvrdlík



Czech Technical University in Prague
Faculty of Information Technology
<https://courses.fit.cvut.cz/BI-APS>

2022

(Version: 3. 10. 2022)

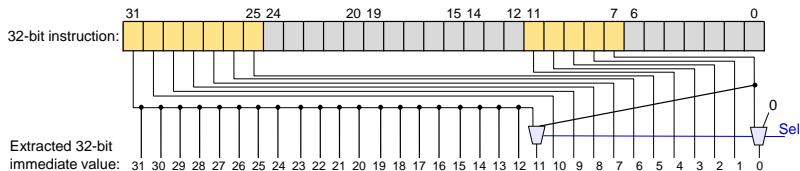
Formát instrukcí – základní RISC-V ISA (RV32I)

31	27	26	25	24	20	19	15	14	12	11	7	6	0	
funct7				rs2		rs1		funct3		rd		opcode		R-type
imm[11:0]						rs1		funct3		rd		opcode		I-type
imm[11:5]				rs2		rs1		funct3		imm[4:0]		opcode		S-type
imm[12 10:5]				rs2		rs1		funct3		imm[4:1 11]		opcode		B-type
imm[31:12]										rd		opcode		U-type
imm[20 10:1 11 19:12]										rd		opcode		J-type

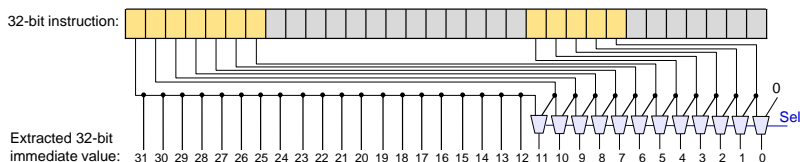
- **opcode** = operační kód, **funct** = doplňující informace.
- **rs1**, **rs2** = source register, **rd** = destination register, **imm** = přímý operand.
- Typy B a J se liší od předchozích S a U pouze ve způsobu, jak je sestaven přímý operand (z důvodu optimalizace HW při dekódování).

Formát instrukcí – základní RISC-V ISA (RV32I)

Získání S-immediate a B-immediate hodnot z instrukce:

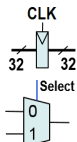


Tradiční přístup by používal pouze jeden instrukční formát a posun v HW:



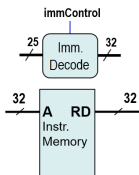
- Bitový posun v HW (násobení 2) vyžaduje víc multiplexorů.
- Toto je mnohem patrnější, pokud uvažujeme i další formáty (například U-type, který má 20-bitový přímý operand).
- Zvolené kódování přímého operandu v RISC-V nijak zásadně neovlivňuje kompilaci programů.

Stavební prvky pro jednocyklový procesor - popis

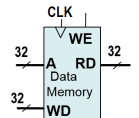


Registr ovládaný náběžnou hranou hodin CLK. Při náběžné hraně hodin přenáší hodnotu vstupu na výstup. Hodnota výstupu se pamatuje až do následující náběžné hrany hodin.

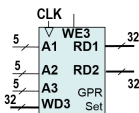
Multiplexor na základě řídicího signálu Select přenáší hodnotu jednoho ze vstupů na výstup.



Sestavení přímého operandu z instrukce v závislosti od jejího typu. Vstupem je instrukce, výstupem přímý operand. Viz slajd 16.



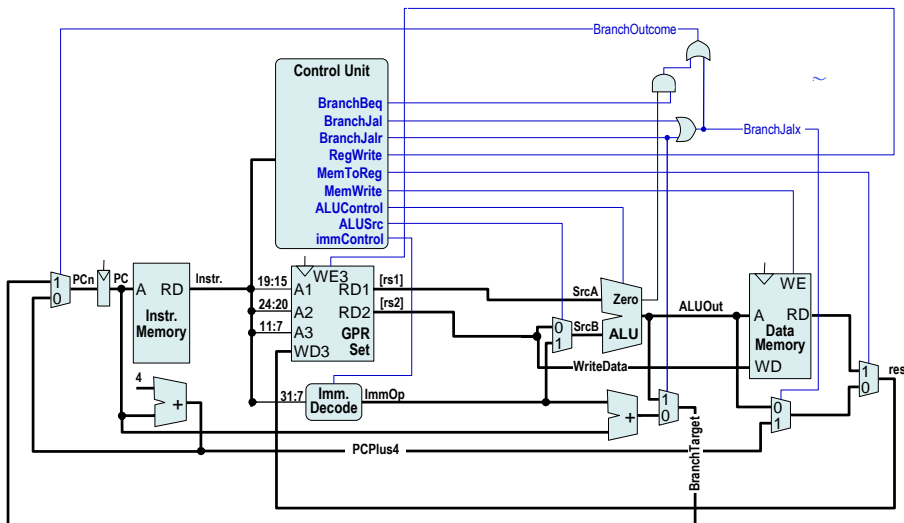
Instrukční paměť na portu RD vydá instrukci odpovídající vstupní adrese A. Čtení z paměti je kombinační.



Dvou-portová datová paměť. Port RD slouží pro čtení (kombinační), port WD slouží pro zápis dat. Zápis se provede pokud je povolen (řídicí vstup WE) a to pouze na náběžné hraně hodin (CLK).

Tří-portový soubor 32 registrů. Všechny registry jsou 32-bitové. Čtecí porty RD1 a RD2 jsou adresovány vstupy A1 a A2. Čtení je kombinační. Port pro zápis WD3 se adresuje vstupem A3. Zápis do vybraného registru se provede pokud je povolen (řídicí vstup WE3) a to na pouze náběžné hraně hodin (CLK).

Navržená mikroarchitektura jednocyklového procesoru



Navržená mikroarchitektura jednocyklového procesoru

