VLSI System Design and Implementation Final Project SAO Filter

Student ID: 105062635

Student: 吳浩寧

Intorduction

SAO Filter 會先將輸入圖片,分成數塊相等大小的正方形 LCU,在分別對其進行 BO、EO 或不進行運算,BO 會根據原本 pixel 的數值在 band 範圍內的位置,決定 offset,EO 則會跟左右兩側,或上下兩邊的值比較來決定 offset,最後將結果存到 sram 16384x8 以進行比對。

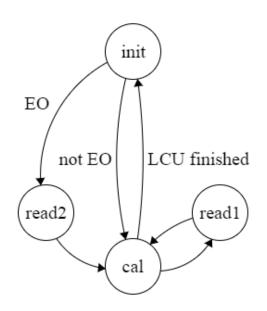
Design Concept

Init:

由於 testbench 的 pixel 資料和 sao type 是同時送進來的,因此須在此 state 將 busy 拉起,以暫停輸入並根據 sao type 決定該怎麼處理。

read2:

若要進行 EO 運算,由於會使用到上下 pixel 的值,因此至少需要有一個高度為 3 的 reg array 來儲存先前的 pixel,由於第 一列資料不需用到上一列 pixel,因此 EO 只須先讀兩列,就可開始計算。寫入的位置使用 buffer_x、buffer_y 來記錄。

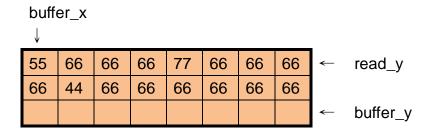


read1:

將新的一列讀入 reg array

cal:

若進入這個 state 時,sao type 為 BO 或 SAO OFF,則直接將 combinational circuit 產生的值寫到記憶體中,而且可以一次就寫完一個 LCU,使用 write_x、write_y 來記錄個別 LCU 中目前寫入 SRAM 的位址;若 sao type 為 EO,則須從 reg array 中跟據 write_x、read_y 決定要讀的列數,計算後寫入,寫完必須進入 read1 將新的一列再存到 array 才能繼續。



主要用來計算的 combinational circuit 如下圖,BO和 EO 計算後的值都要先經過最上面的 block,來檢察是否有超過邊界的情形,若 din 計算後從很大的數,變成很小的數,代表加了 offset 後超過 255,因此輸入 SRAM 的值應為 255,反之亦然。

BO和 EO則直接利用 if else 判斷 pixel 屬於哪一種情況,再分別加上對應 offset,由於不同位數相加會有正負號的問題,因此須先進行 sign extension,以避免數值錯誤。

```
//Memory Input
always @(*) begin
    case (sao_type)
               if(din >= 245 && bo <= 10)m_in = 255;
        2'd1:
            else if(din <= 10 && bo >= 245)m_in = 0;
            else m_in = bo;
    endcase
end
//Band Offset
always @(*) begin
        if (din >= sao_band_pos*8 && din <= sao_band_pos*8 + 7)
            bo = din + {{4{sao_offset[15]}}, sao_offset[15:12]};
        else if (din >= sao_band_pos*8 + 8 && din <= sao_band_pos*8 + 15)
            bo = din + {{4{sao offset[11]}}}, sao offset[11:8]};
end
//Edge Offset
always @(*) begin
    case (sao_eo_class)
                if(write x == 0 | | write x == lcu width-1) eo = buffer[read i];
                else if (buffer[read_i]<buffer[read_i-1] && buffer[read_i]<buffer[read_i+1])</pre>
                    eo = buffer[read_i]+{{4{sao_offset[15]}}}, sao_offset[15:12]};
    endcase
end
```

Post-synthesis

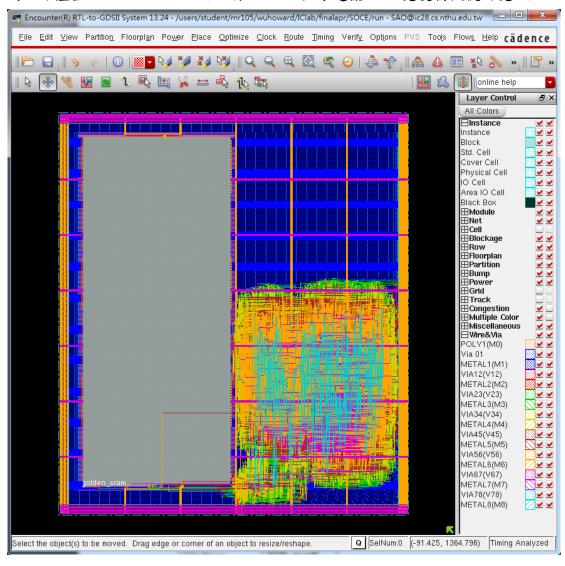
clock period: 6 ns

simulation time: 160165802 ps Total cell area: 608846.533591

```
Report : area
Design : SAO
Version: K-2015.06-SP1
Date : Thu Jan 12 01:59:24 2017
Library(s) Used:
    slow (File: /theda21_2/CBDK_IC_Contest/cur/SynopsysDC/db/slow.db)
    sram_16384x8 (File: /users/student/mr105/wuhoward/IClab/final/sram_16384x8_slow_syn.db)
Number of ports:
                                        13207
Number of nets:
Number of cells:
Number of combinational cells:
                                        10442
Number of sequential cells:
Number of macros/black boxes:
Number of buf/inv:
Number of references:
Combinational area:
                                119301.758674
Buf/Inv area:
                                 14451.663653
Noncombinational area:
                                 51108.712418
Macro/Black Box area:
                                438436.062500
Net Interconnect area:
                               1432394.027039
Total cell area:
                                608846.533591
                               2041240.560630
```

APR

經過多次嘗試後發現若 floorplan 時的寬度給太小,會容易再線路與 SRAM 相皆的地方產生 DRC violation,因此將 SRAM 往旁邊擺, Die 寬度稍微使用寬一點。



violation report

```
# Generated by: Cadence Encounter 13.24-s026_1
# OS: Linux x86_64(Host ID ic28.cs.nthu.edu.tw)
# Generated on: Thu Jan 12 06:49:36 2017
# Design: SAO
# Command: violationBrowserReport -all -no_display_false -report ...
******* ENCOUNTER Violation Browser Report *******
Report File Name : SAO.viols.rpt
************ Report Summary **********
Num Violation Total
********* End Report Summary *********
clock period: 6 ns
time: 160165418 ps
die area: 1172361 um^2
# Generated by: Cadence Encounter 13.24-s026_1
                 Linux x86 64(Host ID ic28.cs.nthu.edu.tw)
# Generated on: Thu Jan 12 06:53:21 2017
# Design: SAO
# Command: analyzeFloorplan
********************* Analyze Floorplan ******************
                       : 1172361.122400
   Die Area(um^2)
   Core Area(um^2)
                         : 1045000.000000
   Chip Density (Counting Std Cells and MACROs and IOs): 85.249%
   Core Density (Counting Std Cells and MACROs) : 95.639%
   \begin{array}{lll} \mbox{Average utilization} & : 100.000\% \\ \mbox{Number of instance(s)} & : 29496 \end{array}
   Number of Macro(s)
                         : 1
   Number of IO Pin(s) : 45
   Number of Power Domain(s): 0
********************** Estimation Results ***************
```