Trabalho 3 – Sistemas Digitais – 2016/2

Projeto Multiplicação de Matrizes

Do fluxograma ASM ao VHDL

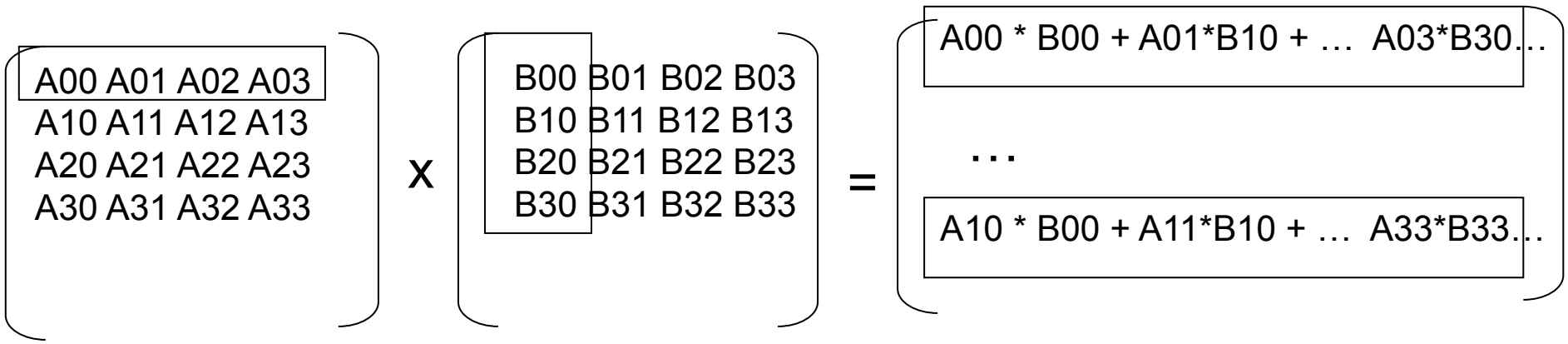
PC-PO e implementação na placa

Objetivo

- Comparar dados de area, frequencia e tempo de execução de 3 diferentes implementações de um algoritmo de multiplicação de matrizes 4x4.

Multiplicação de matrizes

Matrizes A e B 4x4 cada com dados de 4 bits



Exemplo do algoritmo MxM

```
programa multiplica_matrizes;
  matriz mat1, mat2, mat3;
  inteiro linha, coluna, i, acumula;
  "leia mat1";
  "leia mat2";
  "verifique se mat1 é compativel com mat2";
  para linha de 1 até "numero de linhas de mat1" faça
    para coluna de 1 até "numero de colunas de mat2" faça
      acumula=0;
      para i de 1 até "numero de colunas de mat1" faça
        acumula=acumula+mat1[linha][i]*mat2[i][coluna];
      fimpara;
      mat3[linha][coluna]=acumula;
    fimpara;
  fimpara;
  imprima mat3;
fim programa;
```

Dados de entrada

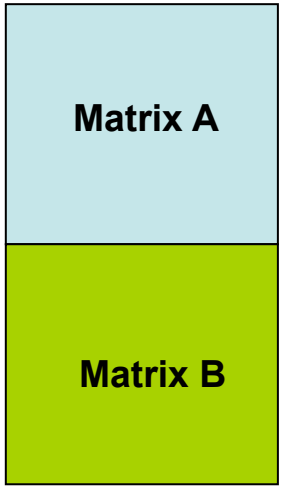
- Cada matriz tem 16 dados de 4 bits que podem ser organizados em:
  - 16 endereços de memoria com 1 dado de 4-bits em cada end.

  ou seguindo outra organização de memoria, como por exemplo armazenando toda uma linha e coluna da matriz em um unico endereço.

Memoria pode ser single ou dual port para possibilitar a leitura da memoria A e memoria B em paralelo e/ou pode-se usar mais de uma memoria…

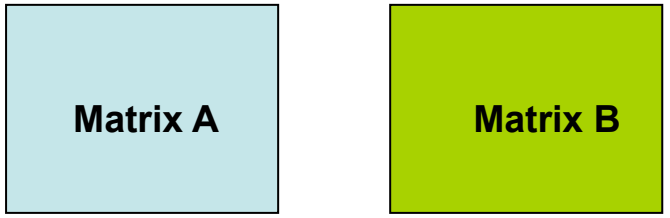
Organização dos dados de entrada

1 BRAM



Dual port

2 BRAM



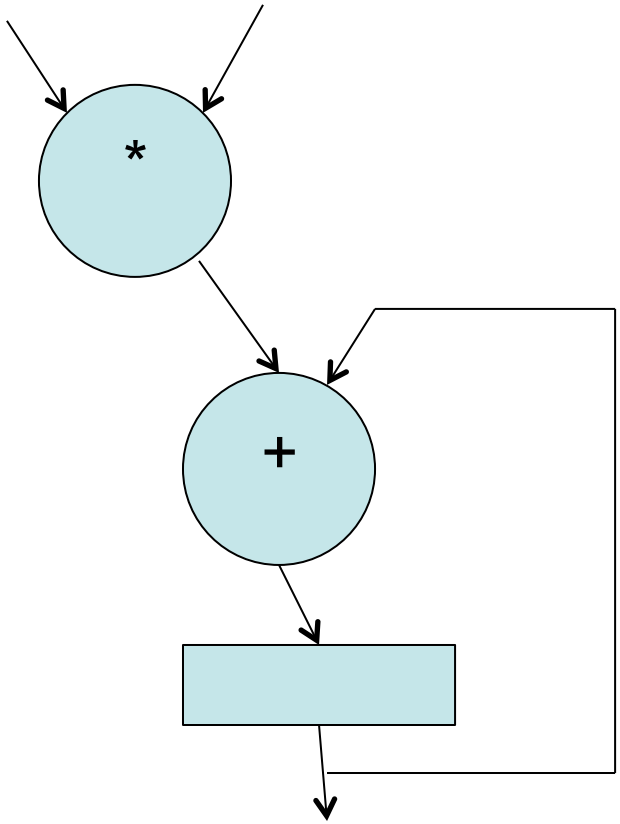
Single port

Ou outra organização que preferirem.

Projeto PC-PO

$A_{00}*B_{00}$
+
$A_{01}*B_{10}$
+
$A_{02}*B_{20}$
+
$A_{03}*B_{30}$
+
$A_{04}*B_{40}$
+
$A_{05}*B_{50}$
+
$A_{06}*B_{60}$
+
$A_{07}*B_{70}$
+
$A_{08}*B_{80}$
+
$A_{09}*B_{90}$

Processamento do Datapath seguinto uma abordagem mais sequencial



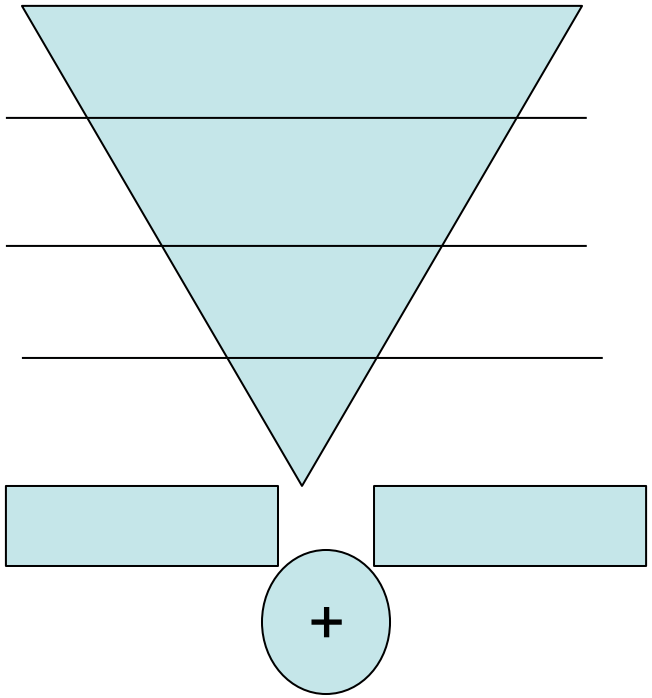
1 multiplicadores
1 somadores

Projeto PC-PO

Processamento do Datapath seguindo uma abordagem mais paralela e com possibilidade de inserir pipeline.

$A_{00}*B_{00} + A_{01}*B_{10} + A_{02}*B_{20} + A_{03}*B_{30} + A_{04}*B_{40}$
+
$A_{05}*B_{50} + A_{06}*B_{60} + A_{07}*B_{70} + A_{08}*B_{80} + A_{09}*B_{90}$

pipeline



5 multiplicadores
4/5 somadores

Metricas a serem apresentadas

- Area (# de LUTs, ffps, MULT, BRAM)
- Desempenho em Frequencia (MHz)
- Desempenho em tempo de resposta (em ns)

3 diferentes implementações

- Pode usar o HLS tool para implementar 2 das 3 implementações.
- Implementação 1: pipeline
- Implementação 2: multi-ciclo
- Implementação 3: Livre (a mão) de um fluxograma ASM projetado.

Apresentação

Deve conter:

1) Fluxograma ASM do algoritmo usado (implemetação 3)
2) Desenho da arquitetura PO-PC (implementação 3)
3) Simulações sem e com atraso de todas as implementações
4) Metricas
5) Video que mostra a implementação na placa com uso de interfaces a escolher.

Pontuação

- Apresentação e qualidade da mesma (2 pontos)
- Fluxograma ASM (1 ponto) da implementação 3
- VHDL funcionando na simulação sem atraso das implementações (4 pontos)
- Simulação com atraso funcionando das implementações (1 ponto)
- Implementação na placa (2 pontos)

- Grupo com menor area +1 ponto
- Grupo com menor tempo de execução +1 ponto