

Herstellungsprozess von PCB Empty

Ilfa,
Häusermann
Fels Multiprint

Fachhochschule Kärnten / Carinthia University of Applied Sciences

<http://www.ilfa.de/>

<http://www.haeusermann.at/>

<http://www.fels-multiprint.com/>

Offer from outer space (sic)

- Dear Madam or Sir
Nice day,
- Thank you very much for your time, we are pleased to know that you are in the PCB market, we specialize in the manufacture of prototype ,medium-size and small volume of HDI in China, we have over 10 year's experience in the industry.
- We will :
Respond to RFQ on questions within 1 hours.
World class manufacturing facility, which is able to meet most of your challenges.
Re-engineering services to lower manufacturing cost and to correct flaws of existing designs.
Quick turn manufacturing of highly complex PCB.
Top professional engineering team(ensure our quality product)
- Our General Capabilities:
Layer Count: 8-40 Layers
Material: FR-4, 170TG, 180Tg, Rogers, ISOLA Taconic Arlon, NELCO
Min Plated Thru Holes: 0.004" (0.10 mm)
Plated Thru Holes Tolerance: +/- 0.002" (0.05 mm)
Min Aspect Ratio: 20:1 (THK:DHS)
Copper: 10 oz Outer
Routing Tolerance: +/- 0.004"(0.1mm)
Min Trace/Space: 0.003"/0.003" (0.076/0.076mm)
Thickness: 0.008"/0.275"
Finish: HASL, Lead-free HASL, Hard Gold, Immersion Gold, Immersion Silver, OSP
Options: Gold Tabs, Selective Au, Carbon Ink, Peelable Mask, Micro Via, Controlled Impedance, Score, LASER Drill, Blind Vias and Buried Vias.
- Please feel free to contact me anytime if any further question, sincerely looking forward to your RFQ.
- Thanks & best regards,
Matt
Have a nice day!
SHENZHEN TOPTECHPCB ELECTRONIC LIMITED
Sales Department
• Tel: 0086-755-29754520
• Fax: 0086-755-29754520
• E-mail: matt@toptechpcba.com
• Web: www.toptechpcba.com

Ger_Entw_Foliensatz 3

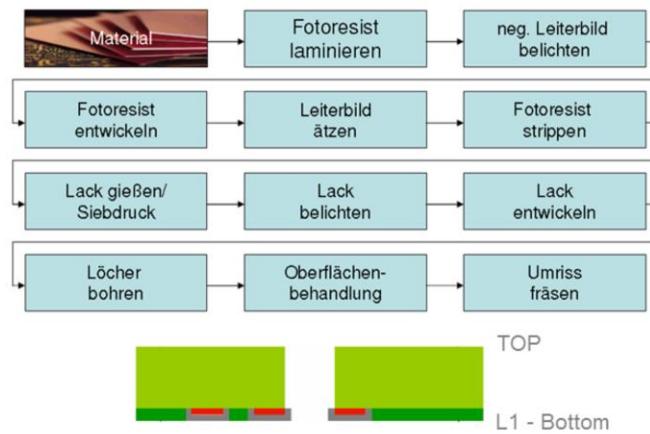
Fachhochschule Kärnten / Carinthia University of Applied Sciences
Haselberger

2

RFQ...Request for Quotation

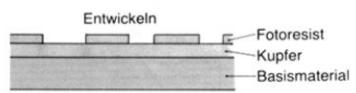
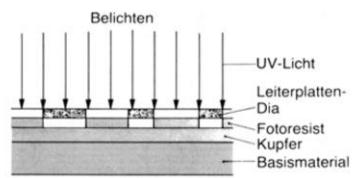
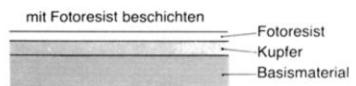
Fertigungsschritte

• Einseitige PCB



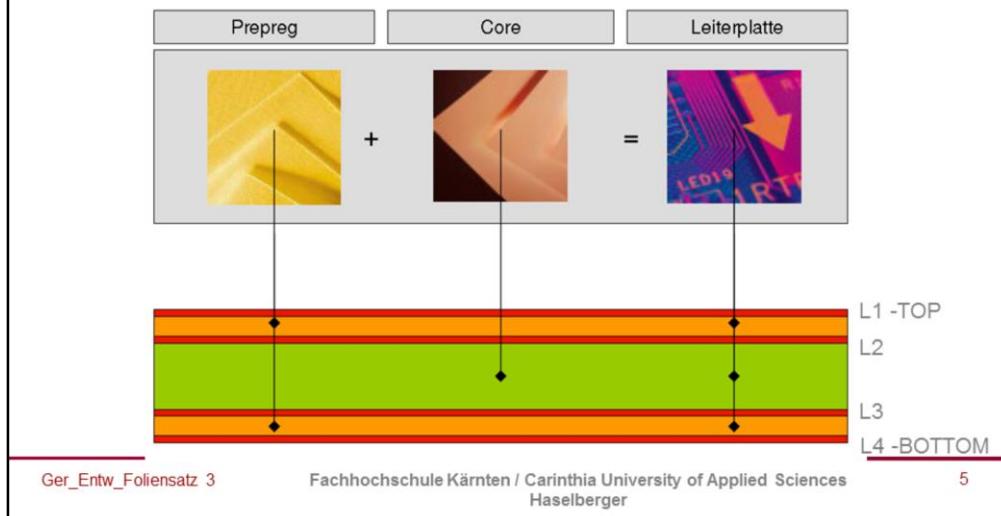
Ätzprozess

- Fotoresist: lichtempfindlich (300 bis 400 nm)
- auflaminierte Folien
- Entwickler (wässrig-alkalisch)



Aufbau und Materialien

- Bsp.: 4-lagige PCB



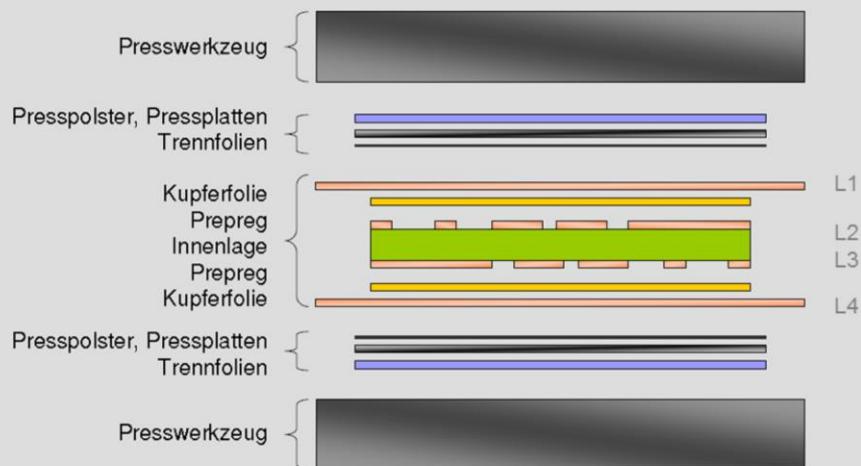
Pre-preimpregnated laminate resin

Prepregs: der eine Bestandteil von Multilayern

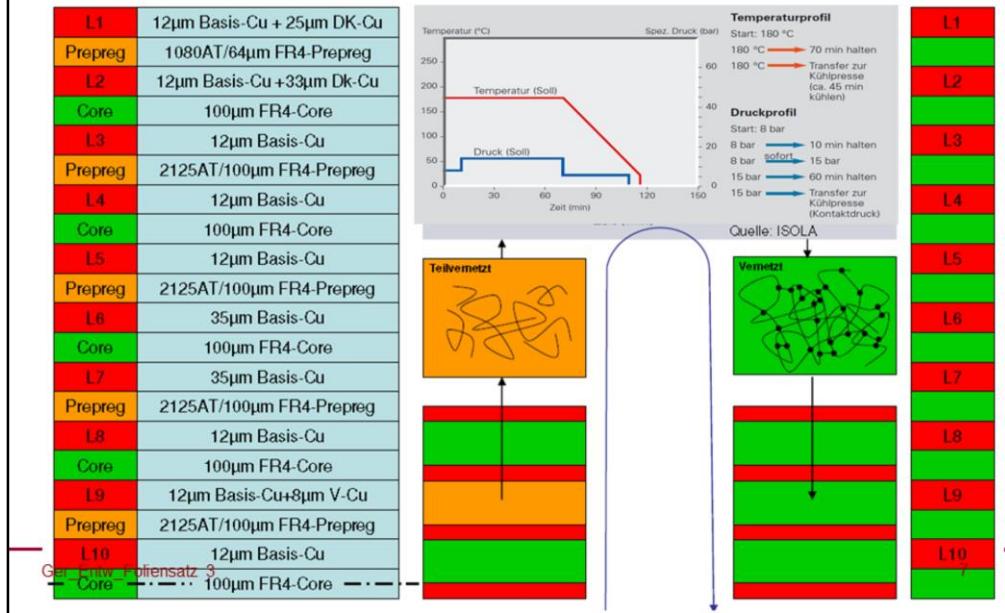
Bei der Herstellung von FR4-Basismaterial wird zuerst das Glasgewebe mit dem Epoxydharz getränkt. Das Ergebnis sind „Prepregs“, ein Kunstwort, das für „Preimpregnated“ steht und darauf hinweisen soll, dass die Epoxydharzmatrix zwar angetrocknet aber noch nicht ausgehärtet ist. Jedes Prepreg besteht aus genau einem Glasgewebetyp, der mit einer Nummer angegeben wird, zum Beispiel 106, 1080, 2116 oder 7628. Früher war diese Typenbezeichnung mit Bezug auf die Prepregdicke sehr verbreitlich. Das 106er war zirka 50µm dick, das 1080er zirka 60µm, das 2116er zirka 115µm und das 7628er zirka 180µm. (Quelle: Elektronik Praxis, Wiemers,A.)

Presspaket zB.: 4-lagige PCB

Mehrlagen-Leiterplatten (Multilayer): Presspaket



Übergang Prepreg zu FR4



Teilvernetzte Harz-Molekülketten (Prepreg) werden durch Druck (15bar) und Temperatur (170°C) nach und nach (100Minuten) vernetzen (FR4);
Als Beispiel wird eine 10-lagige Multilayer-PCB gezeigt;

Prepreg Standarddicken

DURAVER®-E-Cu Qualität 104 ML Standard-Laminataufbauten

Nominaldicke (Substrat ohne Cu)		Dickentoleranz		Aufbau	Mittlerer Harzgehalt
mm	inch	IPC-4101A Kl. B	IPC-4101A Kl. C		%
0,075	0,003	± 0,018	± 0,013	1 x 1080	63
0,100	0,004	± 0,018	± 0,013	1 x 2116	45
0,125	0,005	± 0,025	± 0,018	1 x 2165	49
0,150	0,006	± 0,025	± 0,018	1 x 2157	47
0,200	0,008	± 0,038	± 0,025	1 x 7628M	44
0,250	0,010	± 0,038	± 0,025	2 x 2165	49
0,300	0,012	± 0,050	± 0,038	2 x 2157	47
0,360	0,014	± 0,050	± 0,038	2 x 7628M	39
0,410	0,016	± 0,050	± 0,038	2 x 7628M	44
0,460	0,018	± 0,050	± 0,038	1 x 7628 + 1 x 2125 + 1 x 7628	42
0,510	0,020	± 0,064	± 0,050	3 x 7628	39
0,560	0,022	± 0,064	± 0,050	3 x 7628M	39
0,610	0,024	± 0,064	± 0,050	3 x 7628M	44
0,710	0,028	± 0,064	± 0,050	4 x 7628M	39
0,760	0,030	± 0,064	± 0,050	4 x 7628M	42
0,900	0,035	± 0,100	± 0,075	5 x 7628M	39
1,000	0,039	± 0,100	± 0,075	5 x 7628M	44
1,080	0,042	± 0,130	± 0,075	6 x 7628M	39
1,200	0,047	± 0,130	± 0,075	6 x 7628M	44

Andere Dicken auf Anfrage.
Ger_Entw_Foliensatz_3

Fachhochschule Kärnten / Carinthia University of Applied Sciences
Haselberger

Prepreg Material Duraver 104 von Isola entspricht dem fertigen FR4

Laminatdicke versus Cu-Höhe

Laminat	Kupfer				
	5ym	17ym	35ym	70ym	105ym
0.050mm	●	●	●	○	○
0.075mm	□	●	●	○	○
0.100mm	●	●	●	○	○
0.200mm	□	●	●	○	○
0.360mm	□	●	●	○	○
0.460mm	●	●	●	○	○
0.710mm	□	●	●	○	○
0.930mm	□	●	●	●	○
1.000mm	●	●	●	●	○
1.130mm	□	●	●	○	○
1.430mm	●	●	●	●	○
1.860mm	□	□	□	●	○
1.930mm	□	□	●	○	○
2.330mm	□	□	●	●	○

● vorhanden

○ herstellbar

□ auf Anfrage

Quelle: Ilfa

Multilayer Dickenkalkulation

Allgemeines

Die kalkulierte Dicke von Multilayerleiterplatten hängt im Wesentlichen von folgenden Faktoren ab:

- Eingesetzte Materialien und deren Toleranzen
- Prozessparameter beim Verpressen
- Eindringtiefe des Leiterbildes (Signallagen, Powerlagen) in das Harzsystem

Materialien

In nachfolgenden Tabellen sind die typischen Materialtoleranzen am Beispiel der Firma Isola aufgelistet.

Multilayer Dickenkalkulation

Kupferfolien

Nach IPC-6012 gelten für die Kupferfolien die Werte nach folgender Tabelle

Weight	Starting Thickness	Minimum External Layer	Minimum Inner Layer
1/8 oz	5 µm	20.0 µm	3.5 µm
1/4 oz	9 µm	22.0 µm	6.0 µm
3/8 oz	12 µm	25.0 µm	8.0 µm
1/2 oz	17 µm	33.0 µm	12.0 µm
1 oz	35 µm	46.0 µm	25.0 µm
2 oz	70 µm	76.0 µm	56.0 µm
3 oz	105 µm	107.0 µm	91.0 µm
4 oz	140 µm	137.0 µm	122.0 µm

Quelle: IPC-6012

Quelle: IPC6012, Table 3.8;

Cu-Dicke der beiden äußersten Leiter (TOP und BOTTOM) wegen Plating (Durchkontaktierprozess liefert ca. 15µm in der Dicke zum Laminat-Cu dazu) bei dünnen Laminaten um vieles Dicker;

17µm und 35µm sind die am häufigsten verwendeten Cu-Dicken,

Multilayer Dickenkalkulation

Toleranzberechnungen

Berechnung der nominalen Dicke

$$T_{\text{nom}} = \sum (T_{\text{nom Lam}} + T_{\text{nom Prepr.}} + T_{\text{nom Basis Cu}} + T_{\text{Galv. Cu}} + T_{\text{Met. x}} \cdot T_{\text{Eindring Cu}})$$

T_{nom}	Nominale Gesamtdicke
$T_{\text{nom Lam}}$	Nominale Laminatdicke
$T_{\text{nom Prepr.}}$	Nominale Prepregdicke
$T_{\text{nom Basis Cu}}$	Nominale Basis Kupferdicke
$T_{\text{Galv. Cu}}$	Galvanisch Kupfer
$T_{\text{Met. x}}$	Sonstige Metallisierung
T_{Eindring}	Eindringtiefe des Leiterbildes

Berechnung der minimalen und der maximalen Dicke

$$T_{\text{min/max}} = \sum (T_{\text{Lam min/max}} + T_{\text{Prepr. min/max}} + T_{\text{Basis Cu min/max}} + T_{\text{Galv. Cu min/max}} + T_{\text{Met. x min/max}} \cdot T_{\text{Eindring Cu}})$$

Die minimalen und maximalen Werte für die einzelnen Terms sind aus den obigen Tabellen zu entnehmen.

[Ger_Entw_Foliensatz_3](#)

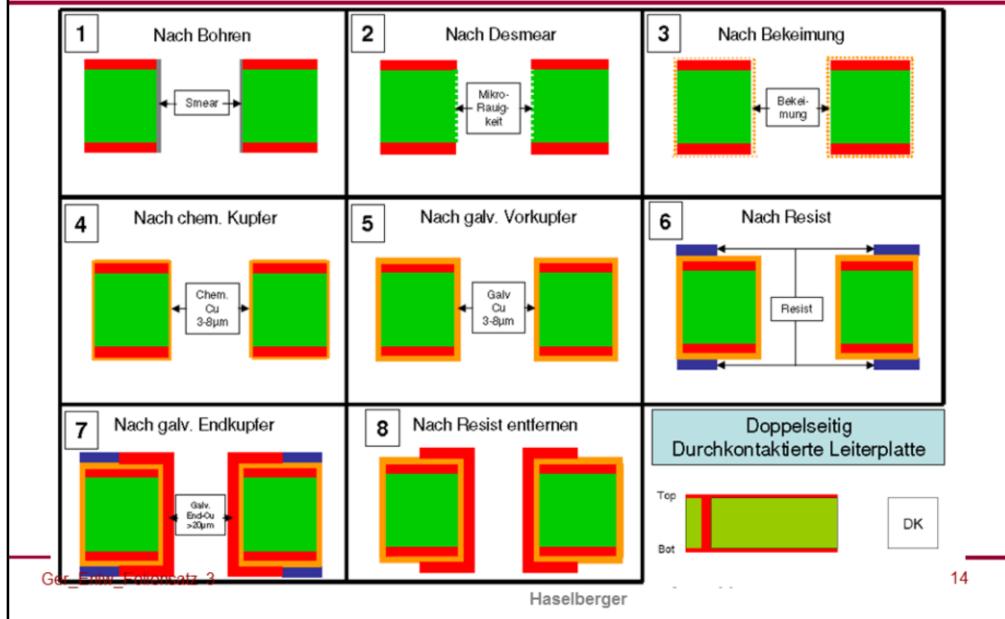
Multilayer Dickentoleranz

Regel:

$$T_{\min/\max} = T_{\text{nom}} - T_{\text{Eindring. Cu}} \pm 10\%$$

Die Eindringtiefe des Kupfers in das Prepreg ist von der nominalen Dicke abzuziehen, weil dieser Wert die Dicke immer nach unten beeinflusst und bei extrem dicken Kupferfolien (70 μ Cu, 105 μ Cu) diese Regel nach oben zu einer falschen Berechnung des Toleranzfeldes führt.

Bohren und Durchkontaktieren

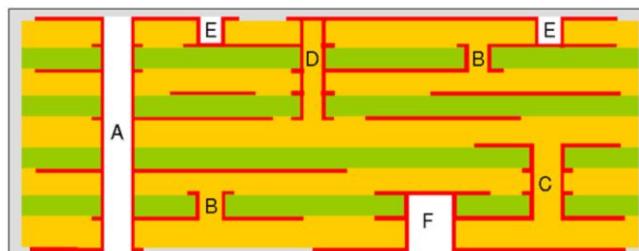


Bekeimung: ein Katalysator wird aufgebracht, welcher die Kupferionen aufnimmt;

DK...Durchkontakt;

Via-Typen, Bsp. 10 lagige PCB

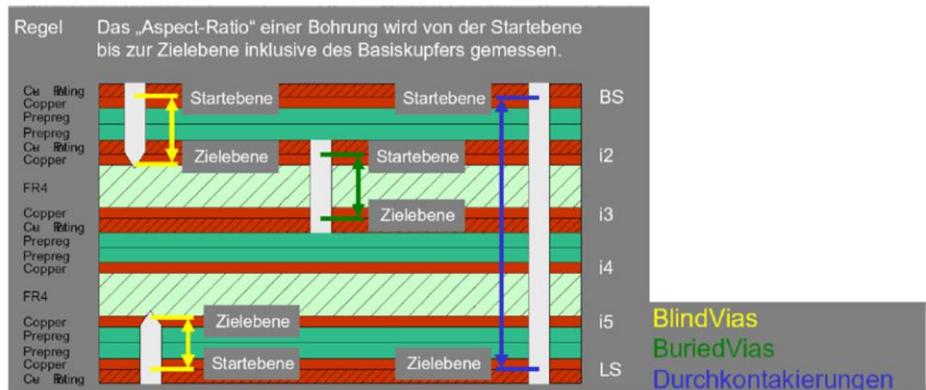
- Via
- Buried Via
- Blind Via



Typ	Bezeichnung
A	Durchgangsloch → AR 1:8
B	Innenliegendes Loch (2 Lagen) → buried via
C	Innenliegendes Loch (4 Lagen) → buried via
D	Innenliegendes Loch (5 Lagen) → buried via
E	Microvia $\leq 100\mu\text{m}$ ø → AR 1:1 → blind via
F	Sackloch $> 100\mu\text{m}$ ø → AR 1:1 → blind via

HDI, Aspect Ratio

- bei HDI darf nichts dem Zufall überlassen werden



Quelle: Ilfa

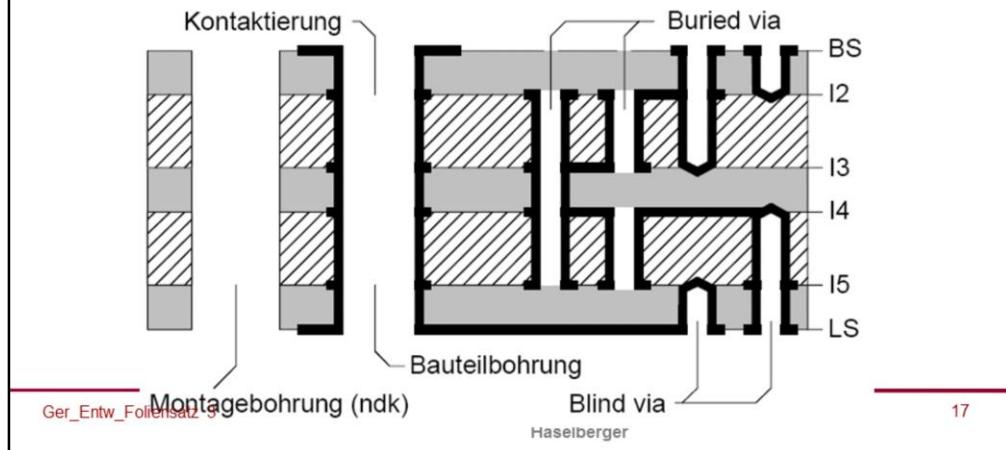
HDI...High Desity Interconnect

AR...Das „Aspect-Ratio“ ist das mathematische Verhältnis des Bohrwerkzeugdurchmessers zur kontaktierbaren Bohrtiefe

Bsp: AR von 1:8 bedeutet, dass ein Bohrer von 0,2mm eine Tiefe von 1,6mm schafft;

Durchkontaktierung

- Kontaktierung: Drill plated
- Montagebohrung: Drill unplated



Quelle: Ilfa

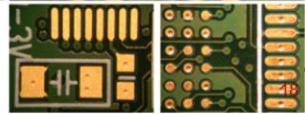
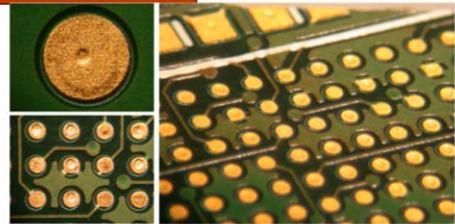
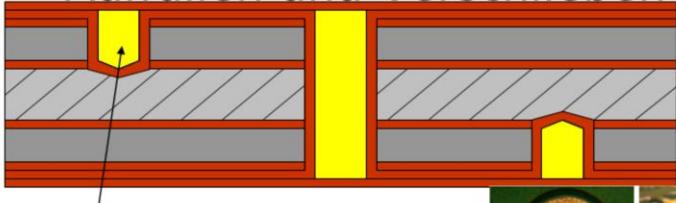
BS...Bauteilseite (TOP)

LS...Lötseite(BOTTOM)

Ndk...nicht durchkontakteert;

Pluggen von Vias

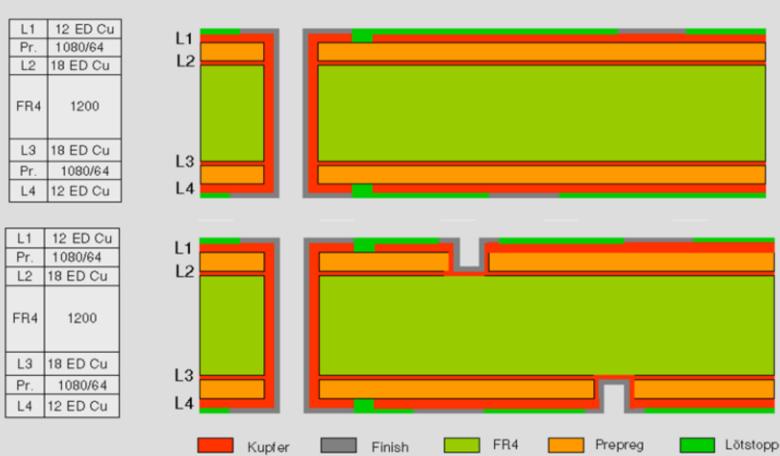
- Auffüllen und Verschließen der Vias



Pluggen bedeutet das Verschließen des Vias;

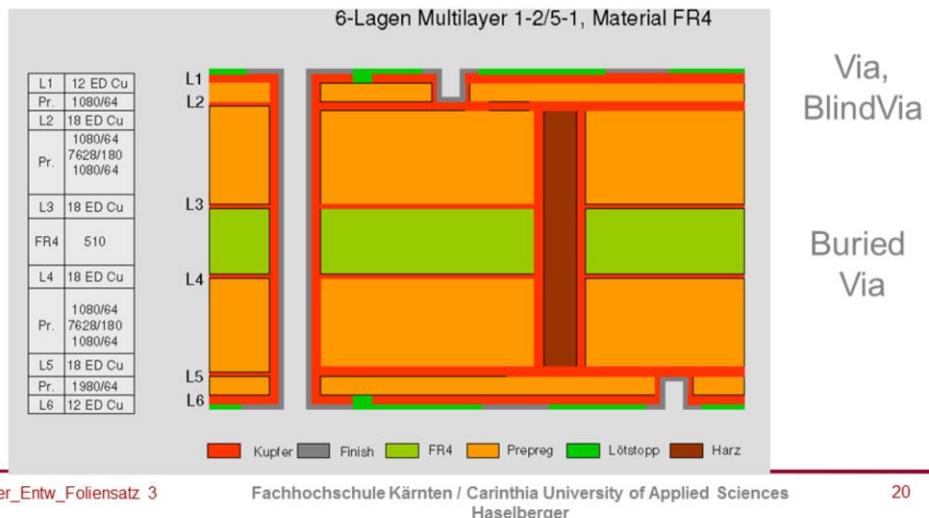
Multilayeraufbau 4 Lagen

- FR4 als Corematerial



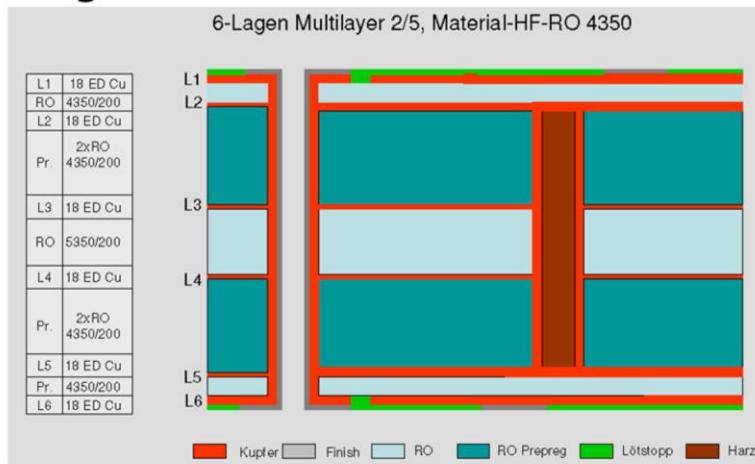
Multilayeraufbau 6 Lagen

- FR4 als Corematerial



Multilayeraufbau 6 Lagen

- Rogers als Corematerial



Ger_Entw_Foliensatz 3

Fachhochschule Kärnten / Carinthia University of Applied Sciences
Haselberger

21

Rogers: Keramikmaterial, wird im HF-Bereich verwendet zur Impedanz kontrollierten Leiterplatte (definierter Wellenwiderstand der Leitung)

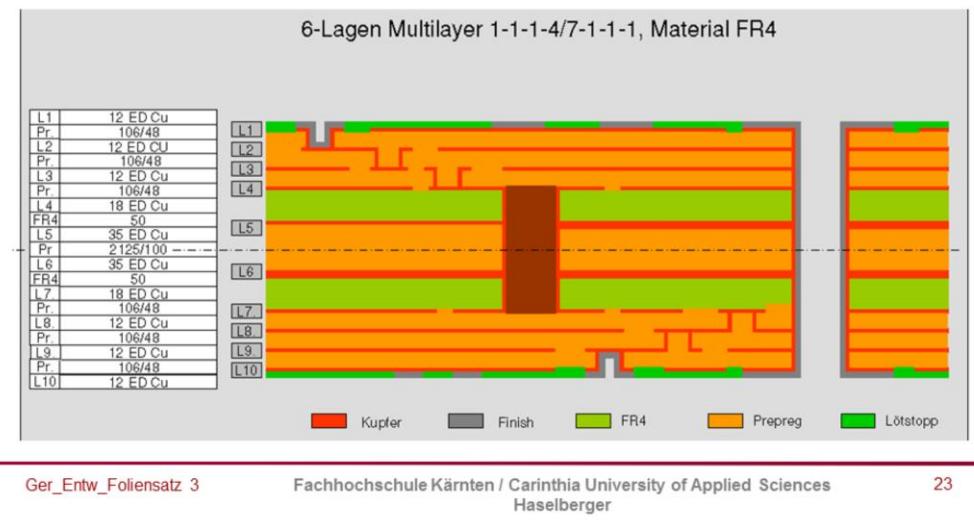
Multilayeraufbau 6 Lagen

- Rogers und FR4 als Corematerial



Multilayeraufbau 10 Lagen

- FR4 als Corematerial

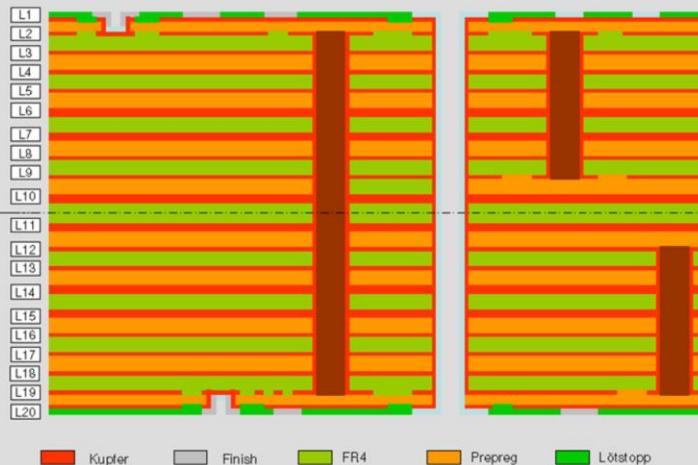


Multilayeraufbau 20 Lagen

L1	12 ED Cu
Pr	1080/64
L2	18 ED Cu
FR4	100
L3	18 ED Cu
Pr	2125/100
L4	12 ED Cu
FR4	100
L5	12 ED Cu
Pr	2125/100
L6	35 ED Cu
FR4	100
L7	35 ED Cu
Pr	2125/100
L8	12 ED Cu
FR4	100
L9	12 ED Cu
Pr	2125/100
L10	12 ED Cu
FR4	100
L11	12 ED Cu
Pr	2125/100
L12	12 ED Cu
FR4	100
L13	12 ED Cu
Pr	2125/100
L14	35 ED Cu
FR4	100
L15	35 ED Cu
Pr	2125
L16	12 ED Cu
FR4	100
L17	12 ED Cu
Pr	2125/100
L18	18 ED Cu
FR4	100
L19	18 ED Cu
Pr	1080/64
L20	12 ED Cu

Multilayeraufbauten

20-Lagen Multilayer 1 - 2/19 - 2/9 - 19/12 - 1/20 Material FR4



Ger_Entw_Foliensatz_3

Haselberger

24

Layoutklassen versus Cu-Dicke

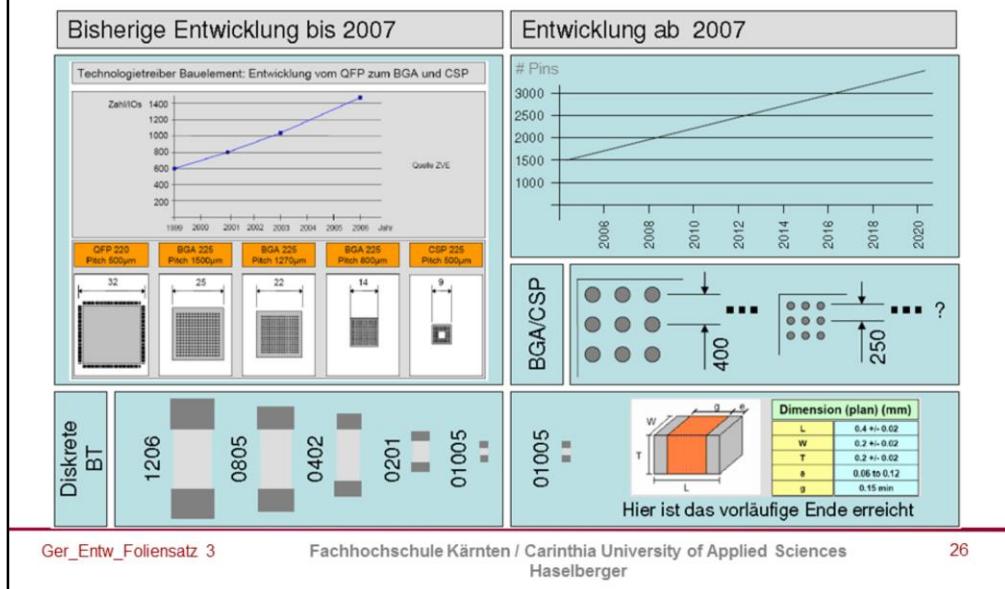
Ätzbarkeit von Leiterbildstrukturen

Layoutklasse	Kupfer				
	Sym	17ym	35ym	70ym	105ym
Frei $\geq 300\text{ym}$	●	●	●	●	○
Toleranz +10% -20%	+10% -20%	$\pm 10\%$	$\pm 10\%$	$\pm 10\%$	+10% -50%
Resist	Foto	Foto	Foto	Foto	PbSn
Standard $\geq 200 < 300\text{ym}$	●	●	●	○	—
Toleranz +10% -20%	+10% -20%	$\pm 10\%$	$\pm 10\%$	$\pm 10\%$	—
Resist	Foto	Foto	Foto	PbSn	—
Feinleiter $\geq 180 < 200\text{ym}$	●	●	●	—	—
Toleranz +10% -20%	+10% -20%	$\pm 10\%$	$\pm 10\%$	—	—
Resist	Foto	Foto	Foto	—	—
Feinstleiter $\geq 150 < 180\text{ym}$	●	●	●	—	—
Toleranz +10% -20%	+10% -20%	$\pm 10\%$	$\pm 10\%$	—	—
Resist	Foto	Foto	Foto	—	—
Mikrofeinleiter $\geq 90 < 150\text{ym}$	●	●	—	—	—
Toleranz +10% -20%	+10% -20%	$\pm 10\%$	—	—	—
Resist	—	—	—	—	—
Mikrofeinstleiter $\geq 60 < 90\text{ym}$	●	—	—	—	—
Toleranz +10% -20%	+10% -20%	Foto	—	—	—
Resist	—	—	—	—	—

● Ätzen ist möglich
○ Ätzen ist mit Einschränkung möglich
— Nur nach Rückfrage



Beinchenabstand = Pitch



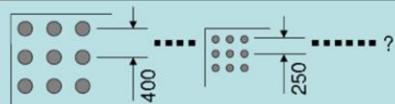
QFP...Quad Flatpack Plastic

BGA... Ball Grid Array

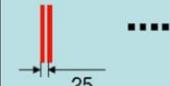
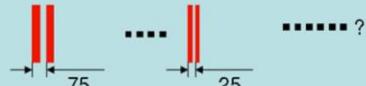
CSP...Chip Scale Package, vgl. dazu www.intel.com

Line/Space

Szenario 1 → Raster CSP



Szenario 2 → Raster Bar-Die



Ab hier regelt sich das
nur noch mit
Fan – Out - Geometrien

Wir dürfen gespannt sein, ob die Bauelementeindustrie irgendwann durch immer höhere
Miniaturisierung der Raster die Bauelemente wegen des Überschreitens der unteren
machbaren Grenzen nicht mehr zum Einsatz bringen kann.

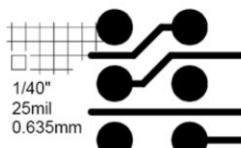
Bisher wurden die Herausforderungen bei den Substraten noch angenommen, weil in der
Substrattechnologie immer noch etwas „Luft“ übrig blieb.

Die Grenzen werden bei Line/Space mit 25µm/25µm erreicht sein

CSP...Chip Scale Package

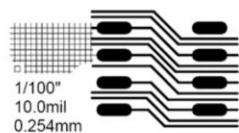
Grenze bei 25µm: Belichtung setzt ein Ende;

Design Rules



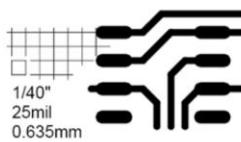
Standard

Raster : 1/40"
Leiterbahn : $\geq 200\text{ym}$
Abstände : $\geq 200\text{ym}$
Via : $\geq 0.6\text{mm}$



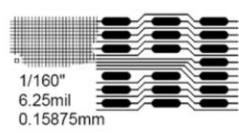
SMD-Mikrofeinleiter

Raster : 1/100"
Leiterbahn : $\geq 90 < 150\text{ym}$
Abstände : $\geq 90 < 150\text{ym}$
Via : $\geq 0.2 < 0.3\text{mm}$



SMD-Standard

Raster : 1/40"
Leiterbahn : $\geq 200\text{ym}$
Abstände : $\geq 200\text{ym}$
Via : $\geq 0.6\text{mm}$



SMD-Mikrofeinstleiter

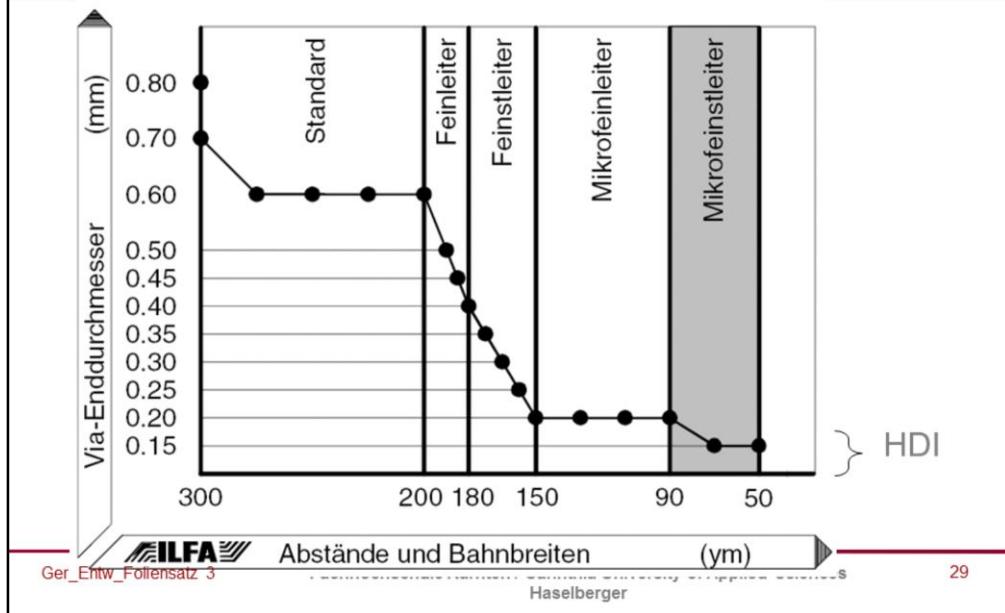
Raster : 1/160"
Leiterbahn : $\geq 50 < 90\text{ym}$
Abstände : $\geq 50 < 90\text{ym}$
Via : $\geq 0.1 < 0.3\text{mm}$



HDI

Design Rules müssen beim jeweiligen Hersteller angefragt werden; viele Hersteller bieten für das verwendete CAD-System eine Design Rules Datei mit den notwendigen Parametern zum Download an;

Design Rules



Beachte auch das Aspect Ratio

Designrules HDI

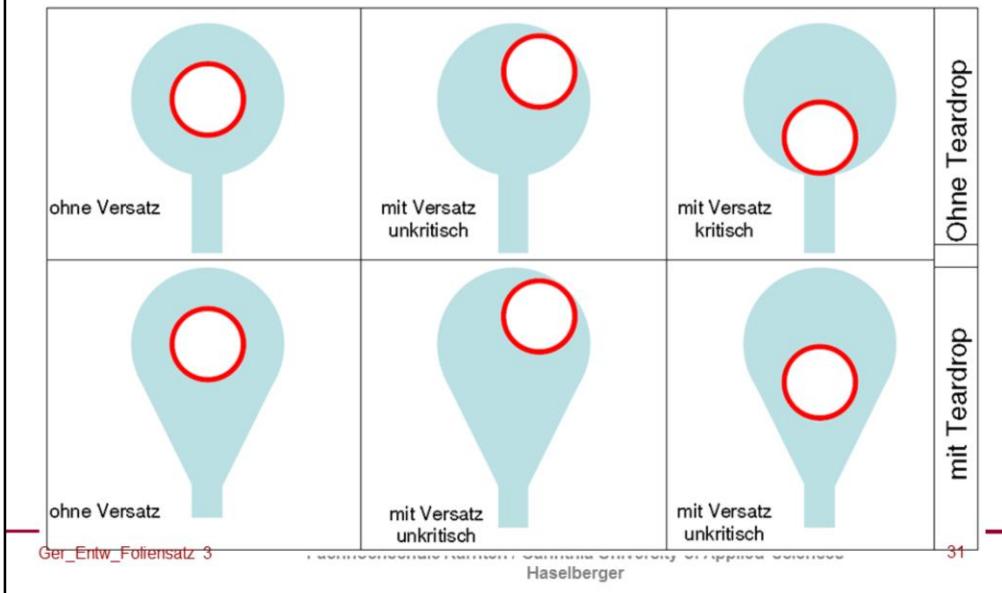
Aspekt-Ratio AR		
$AR = d/t$		
A-D	Durchgangslöcher	Aspekt-Ratio $\geq 1:8$ Fertigloch ≥ 200 Restring ≥ 150
F	Micro Via	Aspekt-Ratio $\geq 1:1$ Fertigloch ≤ 100 Restring ≥ 75
G, H Ger_Entw_Foliensatz_3	Leiter - Außenlagen - - Innenlagen -	Breite ≥ 75 Abstand ≥ 75
K	Leiter/Pad/Antipad zur Durchkontaktierung	Abstand ≥ 300
J	Leiter/Pad zur Fräskante	Abstand ≥ 300
L	Lötstopplack	Aussparung 50 umld. Stegbreite ≥ 75 30
M		

Haselberger

HDI...High Desity Interconnect

AR=Bohrlochdurchmesser/Tief der Bohrung;

Bohrung: Versatz und Rest Ring



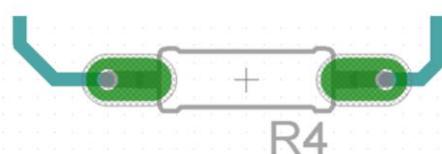
Teardrop Pads werden auch bei der automatischen Bestückung benötigt;

Routing

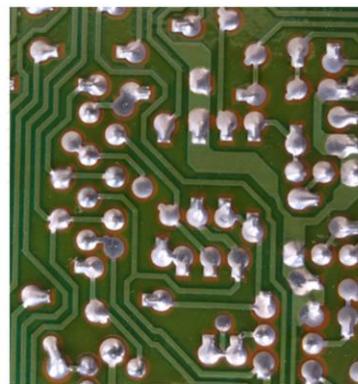
DESIGN RULES

Lötstellen mit Teardrop Option

- OffsetPad in EAGLE;



- Teardrop in PADS



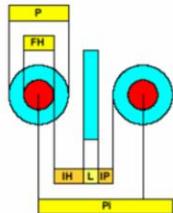
Teardrop Pad insbesondere bei einseitigen Leiterplatten notwendig; ergibt bei automatischer Bestückung von THT-Bauelementen

- a.) eine bessere Toleranz bei Bohrlochversatz vgl. vorherige Folie;
- b.) eine sehr gute mechanische Festigkeit des Lötprozesses und erhöht signifikant die Ausfallszuverlässigkeit =Reduktion der Kontaktprobleme (kalte Lötstelle) über die Lebensdauer des Gerätes;

Quelle: Philips

Design Beispiel 1

Beispiel 1: BGA/1000µm PitchV1 Leitung 127µm/Pad600µm/Loch300µm/Dicke 1800µm/
Mat. FR4



IH	Isolation Hole - Line
IP	Isolation Pad - Line
Pi	Pitch
FH	Finish Hole
S	Space
L	Line
P	Pad

$$IH = \frac{Pi - L - FH}{2}$$

$$IP = \frac{Pi - L - P}{2}$$

LP-TYP	Pi	S	L	FH	P	IH	IP	LP-Gr.
A91234	1000		127	300	600	286	136	x 316 mm y 367 mm

Alle Maße in µm

Ergebnis: Bei der Leiterplattengröße von 367 mm und einer Ausdehnung der kritischen Struktur über eine Strecke von mehr als 300 mm (wie im Falle der Lp. S58892-01-6-261) wird eine Isolation zum Fertigloch von 350µm in den Innenlagen benötigt. Die Leiterbahnbreite in den Innenlagen wird auf 100µm verringert. Die Isolation zum Loch von jetzt 300µm bedeutet zwar schon eine eingeschränkte Fertigungsmöglichkeit, ist aber innerhalb der machbaren Grenzen.

Ger_Entw_Foliensatz 3

Fachhochschule Kärnten / Carinthia University of Applied Sciences
Haselberger

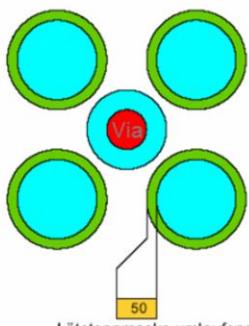
34

Leitung zwischen den Beinchen gibt die Technologie vor: ist es noch Standard oder schon Fein- oder Feinstleitertechnologie;

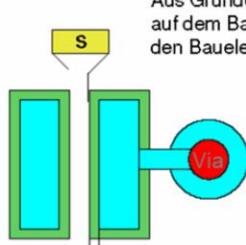
Design Beispiel 2

Lötstoppmaske

BGA



QFP



Aus Gründen der Haftfestigkeit der Lötstoppmaske auf dem Basismaterial muss die Stegbreite S zwischen den Bauelementeanschlüssen $\geq 80\mu\text{m}$ betragen

Lötstoppmaske umlaufend 50μm größer als das Pad

Ger_Entw_Foliensatz 3

Alle Maße in μm

35

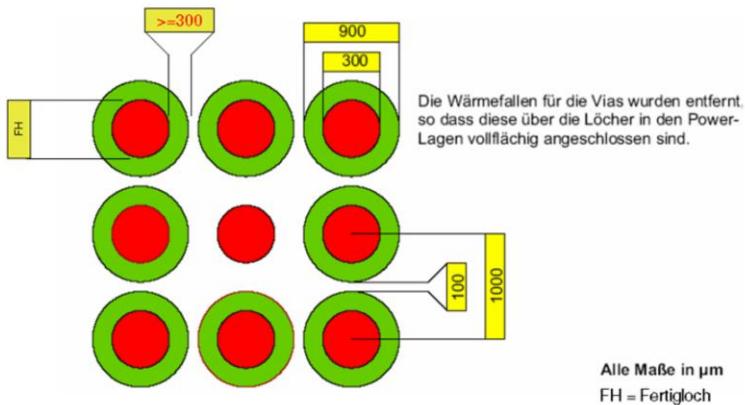
BGA...Ball Grid Array – Gehäusetyp;

QFP...Quad Flatpack Plastic – Gehäusetyp;

Lötstoppmaske: dies ist eine dünne Metallfolie, welche den Lötlack bei den Pads und Vias freistellt

Design Beispiel 3

Die Isolation zum nächsten Metall in Innenlagen beträgt ausgehend vom Fertigloch $\geq 300\mu\text{m}$

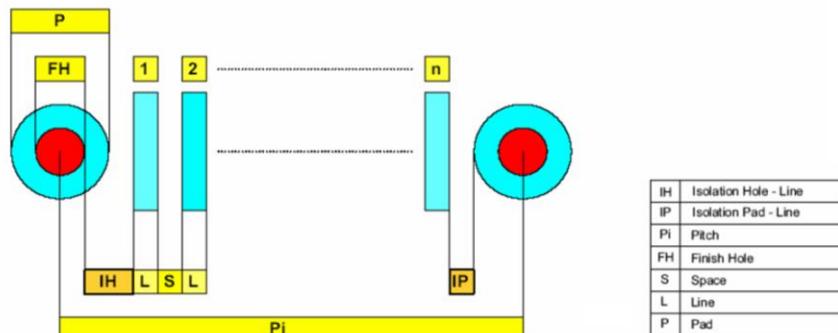


Isolation

Für den zulässigen Isolationsabstand in den Innenlagen zur Hülse der Bohrungen gilt im Design gegenüber dem Fertigloch ein festgelegtes Mindestmaß **IH** von 300µm, bei eingeschränkter Fertigungstoleranz gilt ein Maß von 250µm, bei einer Bohrzugabe von 50µm. Dieses Maß gilt für jede Art von Struktur, für das Leiterbild und Antipads in Power-lagen gleichermaßen.

Das Maß **IP** weist den Isolationsabstand zum Pad aus und ist mit $\geq 75\mu\text{m}$ festgelegt.

Für von Lötzopplack freigelegte Pads gilt für IP das Maß $\geq 100\mu\text{m}$.



FH...Fertigloch

Impedanzkontrollierter Aufbau

The diagram shows a cross-section of a symmetrical stripline structure. It consists of two vertical columns of layers labeled L1 through L8. Layer L1 is green, L2 is orange, L3 is green, L4 is orange, L5 is green, L6 is orange, L7 is green, and L8 is orange. Between these columns is a central vertical brown layer. Below the structure is a horizontal cross-section labeled 'A'. This cross-section has a total width W , a central gap width W_1 , and a height H . The bottom layer is orange.

Symmetrical Stripline

Polar

Height (H):	200
Width (W):	70
Width1 (W1):	75
Thickness (T):	12
Dielectric Constant (ϵ_r):	4.2

Polar

Impedance Calculated:	50.31
Delay (ps/in):	173.64

Ger_Entw_Foliensatz 3

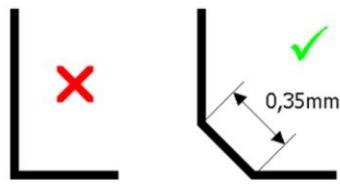
FACHHOCHSCHULE KÄRNTEN / CARINIA UNIVERSITY OF APPLIED SCIENCES
Haselberger

38

Vgl. Foliensatz 5 und 6 in dieser Lehrveranstaltung

Ecken in Kupferbahnen vermeiden

- Chamfering,
Mitering,
Bending
 - verhindert Unterätzung beim Ätzprozess
 - Reduktion der Leiterbahnkapazität C'

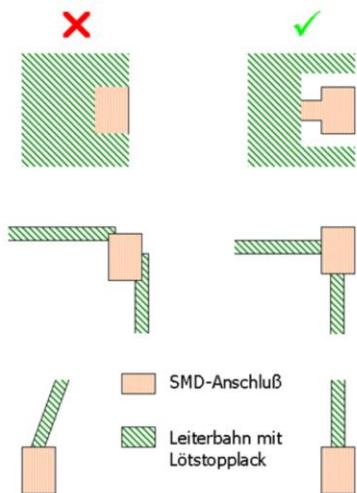


muss im CAD-Prozess berücksichtigt werden

Gestaltung der Footprints

- Abmessungen und Toleranzen
- Genauigkeit der PCB-Maße
- Positionsgenauigkeit der Bestückung (im Verhältnis zum Kupfer)
- Genauigkeit der Lotpastenschablone (Reflow) und des Lötstopplacks
- Lötprozessparameter
- Bestückungsparameter

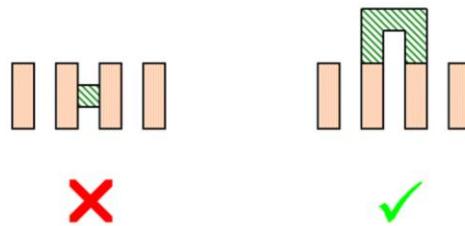
Verbindung Leiterbahnen - SMD



- starke Wärmeableitung beim Löten
Abhilfe: Thermal- und Annulus- Pads
- keine effektive Vergrößerung durch Leiterbahnen
- rechter Winkel bei An schlüssen

es sollen keine optisch auffälligen Leiterbahnverlegungen gestaltet werden, da sonst bei der optischen Inspektion verzweifelt wird;

Verbindung von IC-Anschlüssen

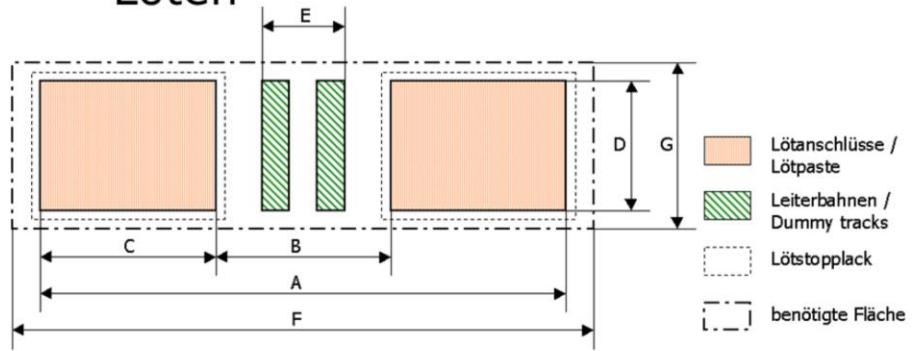


- Leiterbahnen immer an der Schmalseite ankoppeln
- Grund: Stabilität im Lötprozess und versehentliche Kurzschlüsse

es sollen keine optisch auffälligen Leiterbahnverlegungen gestaltet werden, da sonst bei der optischen Inspektion verzweifelt wird;

Footprint-Definitionen

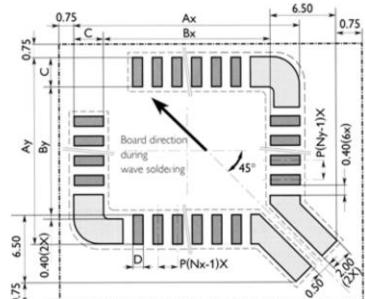
- Lotpastenfläche nur bei Reflow-Löten



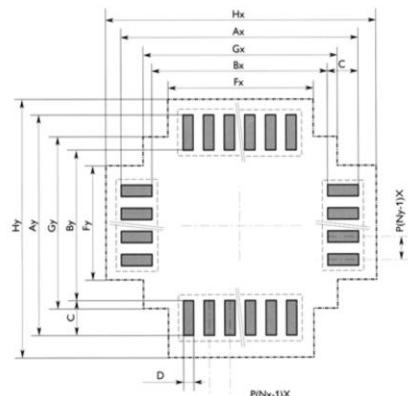
Dummy tracks: damit immer die gleichen Klebebedingungen herrschen, egal ob unter dem Bauelement zwei Leitungen benötigt werden;

Footprint-Design

- abhängig von Löttechnologie



Wellenlöten

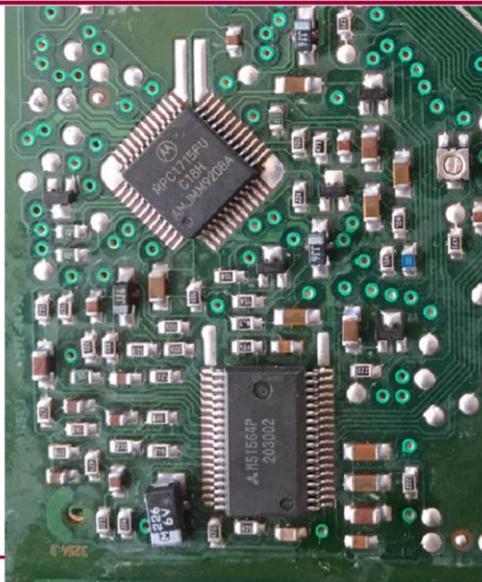


Reflowlöten

Wellenlötbad: wegen Adhäsion des Lötzinns wird Lot durch LongPads abgeführt; reduziert die Kurzschlussgefahr

Quelle: Philips

Footprint-Design für Wellenlöten



Haselberger

45

somit dürfen QFP bei Wellenlöten nur im 45° Winkel eingebaut werden;
Bei Reflow ist ein anderer Footprint notwendig!

Quelle: Philips

8 Tips, um bei Leiterplatten und Multilayer Geld zu sparen!!

- 1) Benutzung **digitaler** Layoutdaten.
- 2) **Kerbfräsen** (Ritzen, V-cut) ist billiger als Ausfräsen.
- 3) Vermeiden Sie nicht durchkontakteerte (**NdK**) Bohrungen.
- 4) Nehmen Sie bei Leistungs-PCB's nicht 70 sondern **55µm Cu**.
- 5) Legen Sie Ihre Pads immer **0,6mm** größer als die Bohrungen aus.
- 6) Ndk-Schlitzte und Ausfräslungen immer **>=2,00 mm** auslegen.
- 7) Benutzen Sie gelben Kennzeichnungs-/ bzw. Bestückungsdruck.
- 8) Beim Layouten der PCB's immer auf **Maximalumrisse** achten.

Fertigungs-nutzen -Panel	Einseitige PCB		Zweiseitig-durchkontakteerte PCB		Multilayer PCB	
	Länge	Breite	Länge	Breite	Länge	Breite
Format 1 (mm)	584	436	584	436	574	414
Format 2 (mm)	614	508	614	508	600	493

Quelle: www.MicroCirtec.eu

1) Benutzung digitaler Layoutdaten

Technische Zeichnungen oder geklebte Daten müssen gescannt werden. HPGL-Files sprengen unsere Rechner und sind ein Hort latenter Fehler. Doch gibt es ein neues Format, das uns regelrecht Freude bereitet: **ODB++**.

2) Kerbfräsen (Ritzen) ist billiger als Ausfräsen

Falls Ihre Platine rechteckig ist frei von Ausbrüchen ist, versuchen Sie es mit Ritzen. Ist billiger als Fräsen und – noch viel wichtiger – die Platinen liegen im „0“-Abstand aneinander. Das spart teures Basismaterial.

3) Vermeiden Sie NdK- Bohrungen (Nicht durchkontakteerte Bohrungen)

Glauben Sie nicht, dass durch das Einsparen von Zinn in Ndk-Bohrungen die Platine billiger wird. Vor allem das eingesparte Geld durch das Kerbfräsen ist wieder für die Katz, da nun doch noch gebohrt werden muss.

4) Nehmen Sie bei Leistungs-PCB's nicht 70 µm sondern 55 µm Kupfer

Warum müssen Leistungsplatinen 70 my Kupferstärke haben? Reichen

nicht vielleicht garantierte 55 µm? Basismaterial mit 70 µm Kupfergrundstärke ist sagenhaft teuer und verkompliziert den Lötstoppdruckprozess.

5) Legen Sie Ihre Pads immer 0,6 mm größer als die Bohrungen aus

Sind die Restringe um eine Bohrung kleiner, muss die Paketstärke beim Bohrprozess zurückgenommen werden. Ansonsten vermindert der natürliche Bohrerabdrift die Restringbreite zu stark. Eine Reduzierung der Paketstärke von einem 4er Paket auf ein 3er Paket bedeutet eine 25%ige Verlängerung des CNC-Prozesses.

6) Ndk-Schlitte und Ausfräslungen immer >= 2,00 mm auslegen.

Die Gründe sind die ähnlichen wie bei Punkt 5: Die Paketstärke muss beim Bohren reduziert werden.

7) Benutzen Sie gelben Kennzeichnungs-/ bzw. Bestückungsdruck

Da wir Multipanel benutzen (mehrere Platinen auf einen Nutzen), haben wir uns für Gelb als Standardfarbe entschieden. Legen Sie bsp. Wert auf Weiß, ist diese kostensparende Fertigungstechnik unmöglich.

8) Beim Layouten der PCB`s immer auf Maximalumrisse achten !

Da wir nur zwei Nutzenformate in der Fertigung benutzen, kann schon ein Millimeter große Materialverschwendungen sein. Versuchen Sie, sich den Teilen der folgenden Maße anzunähern, sie aber niemals zu überschreiten!