

## Materialien und Technologien von PCBs

Isola, Rogers, Ventec,  
Arlon, CCI-Eurolam,  
Elite Material Co,...

[http://www.eetimes.com/author.asp?section\\_id=216&doc\\_id=1325596&](http://www.eetimes.com/author.asp?section_id=216&doc_id=1325596&)

Fachhochschule Kärnten / Carinthia University of Applied Sciences

2

<http://www.isola.de>

<http://www.rogerscorp.com/index.aspx>

<http://www.ccieurolam.com/cms/>

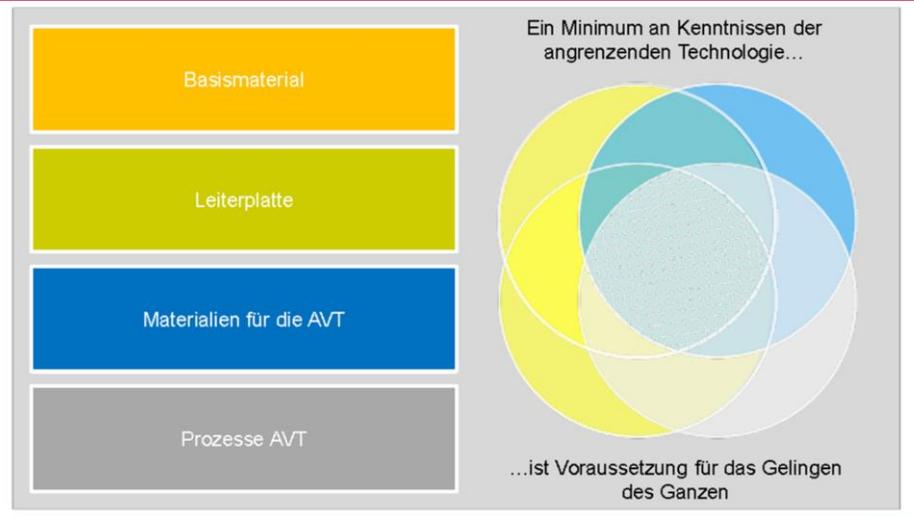
<http://www.arlon-med.com/>

<http://www.ventec-europe.com>

<http://www.emctw.com/index-e.html>

[http://www.eetimes.com/author.asp?section\\_id=216&doc\\_id=1325596&](http://www.eetimes.com/author.asp?section_id=216&doc_id=1325596&) Ed Murphy's claim to fame

# Motivation



Quelle: <https://www.ksg-pcb.com/>  
AVT...Aufbau- und Verbindungstechnik

## Inquiry from Cozyhardware.com

Hi Sir,

This is Andrew from PCB/PCBA manufacturer in China.

We mainly produce PCB/PCBA goods.

FR4,Aluminium,Rogers,NanYa,ShengYi,Arlon,FR408,EMC,PCB/PCBA,Flex FPC/FPCA,Flex-Rigid project goods.

We can offer the good quality (microseation report) good solderability report.

Our solderability is 280-288 degree,10s each time.

Good lamination tech,as 8 layers circuit pcb project.

1 0.5 6 6 6 0.5 1 oz copper thickness.

The Mix lamination tech is acceptable,as FR4+Rogers

We also have PCB file design service.

We have Ukraine,Peru pcb file,design engineers.

If you are interested in our goods,Please visit our web [Check here](#)

more feedback will be appreciated.

we await your soonest news.

ein EMAIL aus FarEast...

## PCB-Basismaterial Anforderungen

- elektrischer Isolator;
- bruchfest, hohes Elastizitätsmodul;
- thermische Beständigkeit (Löten);
- Brandhemmend V0,V1,V2;
- resistent gegen Prozess-Chemie;
- HF-Eigenschaften;
- Preiswert;

**UL 94 V0/V1/V2** Auszug aus Brandschutznorm **UL94** (Tests zur Brennbarkeit von Kunststoffen für Teile in Geräten und Anwendungen) Verfahren zur Beurteilung und Klassifizierung der Brennbarkeit von Kunststoffen.

Die Tests werden mit offener Flamme (Bunsenbrenner) durchgeführt. Die Zündquelle weist je nach angestrebter Klassifizierung eine Leistung von 50 Watt (20 mm hohe Flamme) oder 500 Watt auf. Sie wirkt bei der HB-Prüfung 30 s oder bis zum Erreichen der Startmarke, bei der V-Prüfung zweimal 10 s und bei der 5V-Prüfung fünfmal 5 s auf den Probekörper ein und wird anschließend wieder entfernt. Dabei werden die Brennzeit und bei den V-Prüfungen auch das Abfallen brennender Teile mit Hilfe eines Wattebausches, welcher sich unter dem Probekörper befindet, bewertet.

Die Klassifizierung erfolgt für die geprüfte Probekörperdicke in die Stufen HB (Horizontalbrennprüfung) sowie V-0, V-1, V-2, 5VA und 5VB (Vertikalbrennprüfung). Diese stehen - geordnet nach der Höhe der Anforderung - im Einzelnen für:

HB: langsames Brennen einer horizontal eingespannten Probe (Selbstverlöschen oder bei Dicke V-2: Verlöschen einer vertikal eingespannten Probe innerhalb von 30 Sekunden).

V-1: wie V-2, jedoch kein brennendes Abtropfen von Kunststoffschmelze zulässig.  
V-0: wie V-1, jedoch Verlöschen der Flamme innerhalb von 10 Sekunden.

Kunststoffe, die mindestens die Klassifizierung V-2 erfüllen, können zusätzlich mit der 500-Watt-Flamme (125 mm Flammhöhe) geprüft werden.

## Feature List

- Beispiel eines Basismaterials

 <p><b>Spec</b></p> <p> Adobe Acrobat-Dokument</p>	<p><b>Features</b></p> <ul style="list-style-type: none"> <li>• High Thermal Performance           <ul style="list-style-type: none"> <li>► Tg – 140°C (DSC)</li> <li>► Td – 320°C (TGA @ 5% wt loss)</li> <li>► Superior performance through multiple thermal excursions</li> <li>► Resistance to measling</li> <li>► Extended capabilities</li> </ul> </li> <li>• T260: 30 minutes</li> <li>• T288: &gt;5 minutes</li> <li>• RoHS Compliant</li> <li>• UV Blocking and AOI Compatible           <ul style="list-style-type: none"> <li>► Increased throughput and accuracy</li> <li>► Compatible with all AOI equipment</li> </ul> </li> <li>• Standard FR-4 Processing</li> <li>• Standard Availability           <ul style="list-style-type: none"> <li>► Thickness: 0.002" (.05 mm) to 0.125" (3.2 mm)</li> <li>► Available in full size sheet or panel form</li> </ul> </li> </ul>
--	--

Fachhochschule Kärnten / Carinthia University of Applied Sciences  
Haselberger

2.5

Quelle: <http://www.isola-group.com/wp-content/uploads/2013/08/FR402-Tetrafunctional-Epoxy-Laminate-and-Prepreg-Data-Sheet.pdf>

Quelle: Arlon

- Tg...Glass transition temperature; Glasübergangstemperatur, gemessen über eine thermisch-analytische Methode  
DSC...Differential Scanning Calorimetry; ab Tg beginnt das Material zu erweichen; Above Tg, thermosetting polymers such as epoxies may soften measurably and can start to lose their bond.  
Copper pads can be easily lifted off an epoxy board during rework or field solder repair, while polyimides, which rarely exceed their Tg temperature during soldering, do not normally exhibit this problem. The use of newer, lead-free solder systems only serve to exacerbate this issue which is often critical when attempting to remove and reattach devices on the board
- Comparative Tracking Index (CTI) -Klasse ist für Luftstrecken-Kriechwegbestimmung wichtig;
- Td...decomposition temperature, Material beginnt zu zerfallen, zu gasen; gemessen über Gewichtsverlust in einer bestimmten Zeit über die Temperatur TGA...Thermo Gravimetric Analysis;
- Dk...Permittivity at x MHz; Permittivität  $\epsilon_r$
- DF...Loss tangent at x MHz; Verlustwinkel  $\tan \delta$
- AOI...Automatical Optical Inspection, eine Kamera erfasst die Oberfläche und checkt alle Leitungen, Pads, Vias, Bohrungen;

## Standard-Basismaterialien

Gruppe	Zusammensetzung	Tg in °C	$\epsilon_r$	$\tan \delta$	relative Kosten
BT	Bismaleinimid-Triazinharz mit Quarzglas	180-220	3,9-4,9	0,003	5,3
CE	Cyanesther mit Quarzglas	230	3,6	0,003	4,5
CEM1	Hartpapierkern mit FR4-Außenlage	130	4,7	0,031	0,95
CEM3	Glasvlieskern mit FR4-Außenlage	130	5,2	0,016	0,95
FR2	Phenolharzpapier	105	4,7	0,05	0,73
FR3	Hartpapier	110	4,9	0,041	0,85
FR4	Epoxid-Glashartgewebe	135-170	4,7	0,019	1 (REF)
FR5	Epoxid-Glashartgewebe mit vernetztem Harzsystem	160	4,6	0,016	1,4
PD	Polyimidharz mit Aramid-Verstärkung	260	3,5	0,004	6,5
PTFE	Polytetrafluoräthylen (Teflon) mit Glas oder Keramik	240-280	2,2-10,2	0,0002	32 - 78
CHn	Hochvernetzte Kohlenwasserstoffe mit Keramik	300	4,5-9,8	0,0003	90

Fachhochschule Kärnten / Carinthia University of Applied Sciences  
Haselberger

2.6

Quelle: Cobham, Ilfa

$T_g$ : Glass transition temperature, Erweichungspunkt in °C

$\epsilon_{r...}$  Permittivitätskonstante

$\tan \delta...$  Verlustwinkel der Impedanz der Leiterplatte  $Z(j\omega)$ :  $\tan \delta = \text{Re}\{Z(j\omega)\}/\text{Im}\{Z(j\omega)\}$ ;

FR...flame retardant (Flammhemmend)

Harz: en. Resin

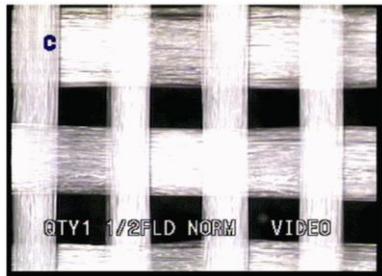
CEM...Composite paper with Epoxy resin Material

# Material und weltweiter Anteil

Material	Anwendungsbereiche	Anteil
FR4 (Tg 120°C)	DB -40°C...85°C	80%
FR4 (Tg 170°C)	DB -40°C... 140°C	5%
Polyimid	Flexleiterplatten(Kleberbehaftet DB 85°C/Kleberlos DB -40...190°C)	5%
Polyimid-Glas	Hochtemperaturanwendungen DB -40 ...190°C	<1%
Teflon gefüllt	HF - Anwendungen	<1%
Teflon ungefüllt	HF - Anwendungen	<1%
FR4 halogenfrei	„Grüne Elektronik“ (Markt!)	<1%
FR2/FR3	Konsumgüterindustrie (Weiße u. Braune Ware)	<1%
Polyester	Flexverbinder im unteren Preissegment( Löten nur bedingt möglich)	<1%
div. Kleber	Verbundwerkstoffe für unterschiedlichste Anwendungen	

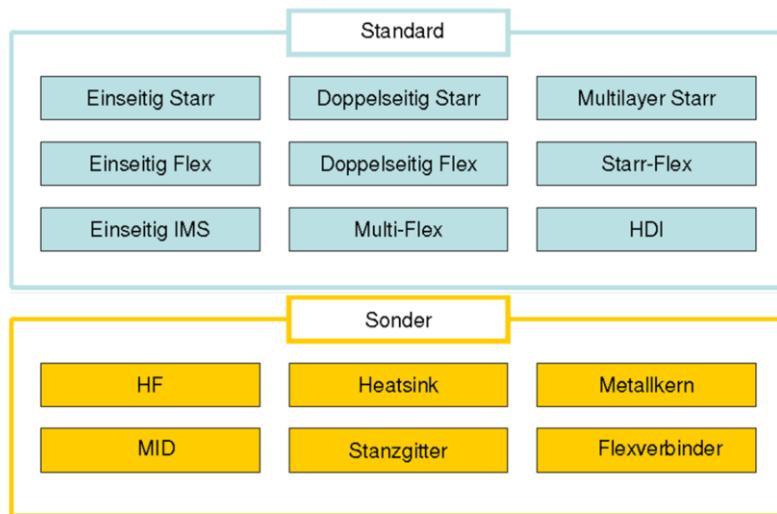
DB.. Design Bereich,  
HF...Hochfrequenz

## Glasgewebetypen



Quelle: Isola

# Typen von PCB



Starr: starre PCB, en. rigid PCB;  
 HDI...High Density Interconnect  
 IMS...Insulate Metallic Substrate  
 HF...Hochfrequenz, Rogers-Material;  
 MID...Moulded Interconnect Device

## Lagenaufbau: einseitig Starr



1930 erste einseitige Leiterplattensubstrate aus FR1: **Phenolharz–Hartpapier** (Bakelit, Pertinax)

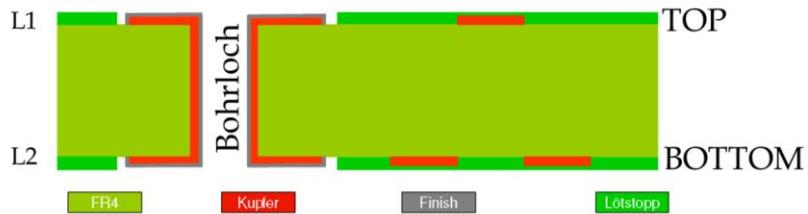
Heute Low Cost aus: FR2 → Phenolharz – Hartpapier  
 FR3 → Epoxidharz – Hartpapier  
 FR4 → Epoxidharz – Glasgewebe

Serienproduktion einseitiger Leiterplatten heute überwiegend aus Niedriglohnländern

Es gibt aber auch anspruchsvolle einseitige Leiterplatten mit Strukturen 50µm Line/Space aus dem Bereich der Sensorik mit hochwertigen Materialien.

PCB single side rigid;  
 TOP...Bauteilseite  
 BOTTOM...Lötseite

## Zweiseitig durchkontaktiert Starr



1950 erste zweiseitige Leiterplattensubstrate aus FR4: Epoxidharz – **Glasgewebe**

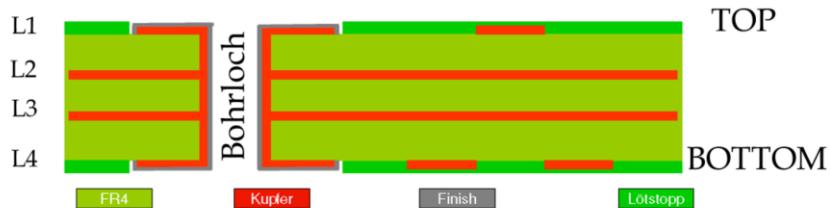
Heute Low Cost aus: FR2 → Phenolharz – Hartpapier  
 FR3 → Epoxidharz – Hartpapier  
 FR4 → Epoxidharz – **Glasgewebe**

Serienproduktion in allen Regionen, aber Massenprodukte aus Niedriglohnländern

Die doppelseitig durchkontakteierte Leiterplatte erlebt wegen des heute hohen Feinheitsgrades ein großes Feld an Anwendungen, die bezüglich Miniaturisierung teilweise höchste Ansprüche erfüllt. Design Rules: Lochdurchm. 150µm/Line-Space 50µm/Lp-Dicke 100µm

PCB Double side rigid, drills plated

## Multilayer Starr, 4 Lagen



1960 erste 4-Lagen Multilayer: FR4: Epoxidharz – Glasgewebe

Die Multilayertechnologie bedient sich heute für unterschiedlichste Anwendungen aller verfügbaren Materialien, angefangen bei FR4 über Polyimid-Glas, Polyimid, Teflon-Compositen, HF-Materialien sowie Materialien mit besonderen physikalischen Eigenschaften.

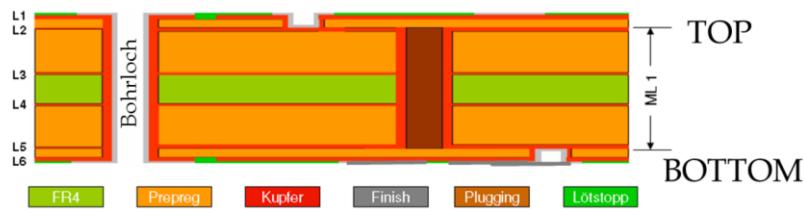
Europa hat für die Produktion hochwertiger Multilayer einen hohen Stellenwert.

Die Vielfalt der Aufbauten ist faszinierend



Aufbautenvielfalt: vgl. Kapitel 3: blind via, buried via, drill plated, drill unplated;

## HDI Multilayer Starr, 6 Lagen



1985 HDI – Multilayer (Micro-Via 80µm, Line/Space 75µm)

Der Siegeszug des Microvias ist nicht mehr aufzuhalten. Ein Wettlauf zwischen Japan und Europa beginnt Ende der 80er Jahre. Beide sind bald gleichauf. Heute dominiert die HDI-Technologie den hochwertigen Leiterplattenmarkt. China zieht mit einigen Produktionsstätten mit.

China expandiert auch hier, Europa gewinnt aber zunehmend Terrain zurück.

Die Vielfalt der Aufbauten  
ist faszinierend

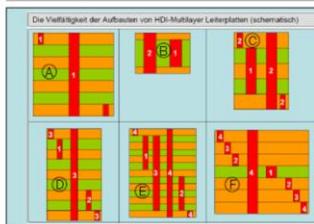


HDI...High Density Interconnect

ML1...Multilayer Stack 1,

Aufbautenvielfalt: vgl. Kapitel 3: blind via, buried via, drill plated,  
drill unplated;

## HDI Historie



A	1/2 – 2/8 – 8/7	1 x P	1 x G
B	1/4 – 2/3	1 x P	2 x G
C	1/2 – 2/5 – 6/5	2 x P	2 x G
D	1/2 – 2/4 – 2/9-7/9 – 10/9	3 x P	3 x G
E	1/2 – 2/7 – 2/13 – 1/14 – 8/13 – 14/13	4 x P	4 x G
F	1/2 – 2/3 – 3/4 – 1/8 – 6/5 – 7/6 – 8/7	3 x P	4 x G

1990: Bloß nicht, weil zu teuer und zu wenig verfügbar

1995: Wenn es hilft, dann vielleicht ja / Wenn es gar nicht mehr anders geht, dann sowieso ja.

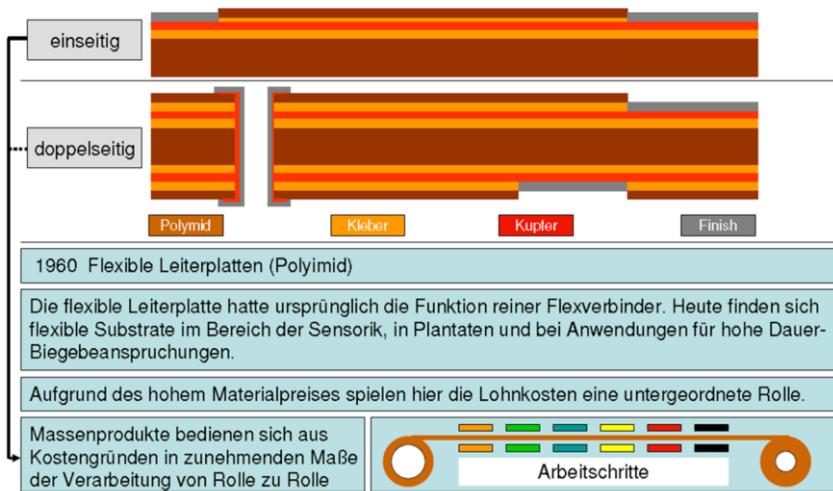
2000: Die Vernunft, dass HDI nicht nur hilft, sondern auch noch Miniaturisierung und HF-Eigenschaften fördert und nicht einmal extrem teuer sein muss, setzt sich langsam durch.

2005: HDI-Leiterplatten sind heute bei vielen professionellen Anwendungen eher die Normalität, als die Leiterplatten ohne HDI.

Vias:  $\leq 80\mu\text{m}$ , Line/Space  $\leq 75\mu\text{m}$

Aufbautenvielfalt: vgl. Kapitel 3: blind via, buried via, drill plated, drill unplated;

## Flexible PCB, Flex



Hersteller von Polyimid: Arlon, Nelco, Hitachi, Isola

# Flexible PCB, Flex

## • Aufbau

### Deckfolie

Deckfolie		12,5	25	50/125
Acryl-Kleber		20	25/50/75	25

### Kleber

Acryl-Transferkleber		25/50
----------------------	---	-------

Acryl-Kleber		25/50
Verbundfolie		25
Acryl-Kleber		25/50

Bondply		35/50
---------	---	-------

Die thermisch schlechteren Eigenschaften der Klebesysteme bei Flex- und Starrflexaufbauten machen die guten thermischen Eigenschaften des Polyimid häufig in der Anwendung zunichte;

Arlon EP2, Arlon 33N, Arlon 35N, Arlon 37N, Arlon 38N, Arlon 85N, Arlon 84N, Arlon HF-50, Nelco N7000-1, Nelco N7000-2, Nelco N7000-3, Isola P95, Isola P25, Isola P96, Isola P26, Isola P97, Isola P27, Hitachi MCL-I-671

## Flexible PCB, Flex

- Impedanzkontrollierte 2-Lagen-Flex

	Lage	Dicke
Deckfolie		25 µm
Acrykleber		25 µm
ED-Kupfer	L1 GND	18 µm
Polyimid (kleberlos)		25 µm
Acrykleber		25 µm
Verbundfolie		25 µm
Acrykleber		25 µm
Polyimid (kleberlos)	L2 SIG	25 µm
ED-Kupfer		18 µm
Acrykleber		25 µm
Deckfolie		25 µm
	Summe	420 µm

Impedanzberechnung (Polar):

Berechnungsgrundlage: Microstrip,  $Z=50 \Omega$ ,  
Laminatabstand  $h = 125 \mu\text{m}$ ,  $t = 17 \mu\text{m}$ ,  $\epsilon_r = 3,8$

Bei Verwendung von kleberfreiem Material oder von dünneren kleberhaltigen Materialien sinkt die Leiterbreite auf nicht fertigbare Maße:

Kupfer	18 µm	
Polyimfolie	50 µm	SA 18-50-18 ME
Kupfer	18 µm	

Impedanzberechnung (Polar):

Berechnungsgrundlage: Microstrip,  $Z = 50 \Omega$ , Laminatabstand  $h = 50 \mu\text{m}$ ,  $t = 17 \mu\text{m}$ ,  $\epsilon_r = 3,8$   
→ Leiterbreite  $w = 38 \mu\text{m}$  (nicht fertigbar)

2.17

# Starr-Flex PCB

## Anwendungsgebiete

- Medizintechnik
- Luft- und Raumfahrt
- Meßtechnik / Regeltechnik
- EDV
- Automotive
- Audio / Video-Technik

## Vorteile

### Miniaturisierung

Flexible und starrflexible Leiterplatten können optimal den konstruktiven Gegebenheiten und Gehäuseformen angepasst werden. Sie ermöglichen einen äußerst platzsparenden Einbau bei gleichzeitiger Gewichtsreduzierung.

### Zuverlässigkeit

Durch den Wegfall von Steckverbindern und Lötstellen sowie den Einsatz neuer Leiterplattenmaterialien mit verbesserten mechanischen, thermischen, elektrischen und chemischen Eigenschaften (Polyimid) wird besonders bei



- bewegten elektrischen Verbindungen
- bei hoher Biegebeanspruchung
- dem Einsatz der Schaltung bei Vibration.

## Höhere Zuverlässigkeit

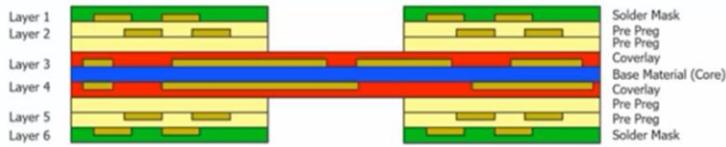
2.18

Haselberger

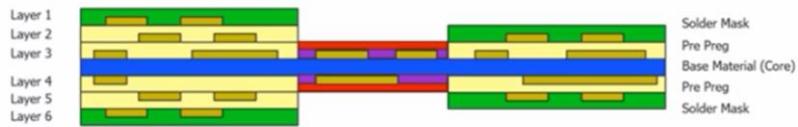
Quelle: Nike

# Starr Flex

- Embedded cover layer is where the cover layer is laminated into the rigid section



- "Bikini"-cover layer where the cover layer is only applied to the flexible regions  
Also called "Partial" or "Selective" -cover layer



Quelle: Mentor – Pads

Webinar unter:

<https://www.pads.com/multimedia/player/pcb-pads-why-consider-rigid-flex-next-pcb-design-webinar-4e529c3d-5ee0-47f5-afad4-8bb07da3aed1>

# Achtung: Produktplatzierung!

In gewohnter Würth-Qualität

## Starrflex- und TWINflex-Leiterplatten online bestellen

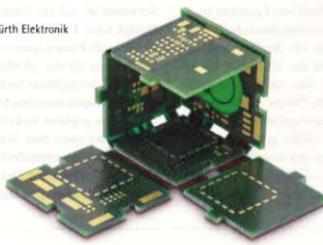
**A**b sofort sind Starrflex- und TWINflex-Leiterplatten von Würth Elektronik als Muster und Prototypen auch im Online-Shop WEdirekt [www.wedirekt.de](http://www.wedirekt.de) erhältlich. Dabei gelten die bekannten Features des Shops auch für die beiden „Neulinge“: rund um die Uhr selbst konfigurieren, Preise erhalten und online bestellen.

Die Starrflex-Technologie gibt es bis sechs Lagen (1F-xRi), TWINflex bis zwei Lagen (xF-Ri). Immer kleiner werdende Leiterplatten erfordern eine effiziente Nutzung der vorhandenen Fläche. Dabei erweisen sich die beiden Technologien als besonders nützlich. Durch eine dreidimensionale Verdrahtung ergibt sich ein geringerer Platzbedarf und die Notwendigkeit zusätzlicher Bauteile wie Stecker und Verbindungsleitung entfallen. Verbesserte Signalaübertragung durch Wegfall von Leiterquer-

schmittsänderungen, Gewichtsreduzierung und Verringerung des logistischen Aufwands sind weitere Vorteile.

Viel Wert auf Qualität legt Würth auch beim Online-Vertriebsweg: WEdirekt produziert 95% der Bestellungen im Prototypenwerk in Rot am See, so auch die Muster und Prototypen der Starrflex-Leiterplatten. Ist die Nachfrage nach größeren Mengen vorhanden, so sollen diese dann im neuen Werk in Niedernhall produziert werden. Die WEdirekt-Leiterplatten durchlaufen denselben zertifizierten Fertigungsprozess der Würth Elektronik wie die Aufträge der „klassischen“ Vertriebsschiene. Die Fertigung erfolgt also nach IPC A-600 Klasse 2. »Die Fertigungsdaten werden einem Design-Rule-Check unterzogen. Dabei prüfen wir die Daten auf ihre technische Machbarkeit. Alle wichtigen Informationen zur Tech-

Bild: Würth Elektronik



nologie sind in unserem neuen Design Guide hinterlegt«, erklärt WEdirekt auf Nachfrage von Markt&Technik.

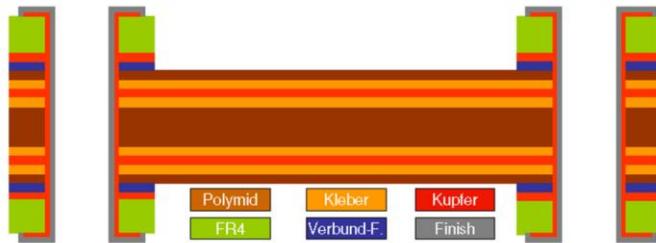
Bislang waren die beiden Technologien dem „Offline-Vertrieb“ vorbehalten – der enormen Nachfrage folgend habe sich Würth entschlossen, diese auch online anzubieten, so ein Würth-Sprecher weiter: »Der Unterschied von

Starrflex Leiterplatten zum „klassischen“ Vertrieb besteht lediglich darin, dass der Kunde im Moment nur drei Aufbauvarianten wählen kann und der Flexbereich einlagig ist.« Mögliche Aufbauvarianten sind: 1F-1Ri in den Dicken 1,00 mm und 1,55 mm / 1F-3Ri in den Dicken 1,00 mm und 1,55 mm / 1F-5Ri in den Dicken 1,00 mm und 1,55 mm. (zü)

FACHHOCHSCHULE KÄRNTEN / CARINTHIA UNIVERSITY OF APPLIED SCIENCES  
Haselberger

20

## Starr-Flex PCB



1965 Starr-Flexible Leiterplatten (Polyimid)

Die Starr-Flex Leiterplatte ersetzte im Ursprung Steckverbinder zwischen Starren Leiterplatten. Starrflex hat heute vor allem zusätzliche Bedeutung für sicherheitsrelevante Anwendungen, der Medizintechnik, der Luft- und Raumfahrt und im Bereich der Miniaturisierung.

Diese Technologie ist eher technologiegetrieben als aus Kostengründen (**Preis®**).

Die Vielfalt der Aufbauten ist faszinierend



## Starr-Flex

### • Vollkostenbetrachtung

#### Kostenreduktion

Die Komplettverdrahtung elektrischer Geräte innerhalb einer Leiterplatte führt zur Kostenreduktion bei der Baugruppe, bei der Weiterverarbeitung, bei Einbau, Test und Service. Es entfallen die Beschaffung sowie das aufwändige Handling und die Montage von Steckern, Kabelsträngen und weiterem notwendigen Zubehör.

Logistik, Handling, Montage, Stecker, Kabel, Zubehör

#### Definierte elektrische Eigenschaften

Die Alterung von Löt- oder Kontaktstellen wird ausgeschlossen. Durch den gewählten Aufbau kann die Funktion der Baugruppe im Bezug auf definierter Abschirmung, Isolationsabstand, Stromdichte (Leiterquerschnitt), Impedanz und Kapazität optimal berücksichtigt werden. Die verwendeten Materialien (Polyimid) bieten darüber hinaus eine Reihe weiterer verbesserter elektrischer Eigenschaften, wie z. B. Oberflächenwiderstand und Isolation.

Alterung der Lötstelle, Definierte Signalqualität, Impedanz, Def. I, R, U

# Starr-Flex

- Verfügbare Materialien

## Kupferkaschierte Laminate

## Stärke [µm]

### mit Kleber

RA-Kupfer	18	18	35	35	70	70
Acryl-Kleber	25	25	25	25	25	25
Polyimid-Träger	25/50	25/50	25/50	25/50/75	25	50/75
Acryl-Kleber	-	25	-	25	-	25
RA-Kupfer	-	18	-	35	-	70

### kleberlos

Kupfer	12 ED	18 ED	18 ED	35 ED	35 RA	35 RA	70 RA
Polyimid-Träger	25/50	25/50	25	25	25	50	50
Kupfer	12 ED	18 ED	-	35 ED	-	35 RA	70 RA

# HOCHSTROM, TERMPERATUR

Fachhochschule Kärnten/Carinthia University of Applied Sciences  
Haselberger

2.24

# Hochstrom und Erwärmung

- TREND

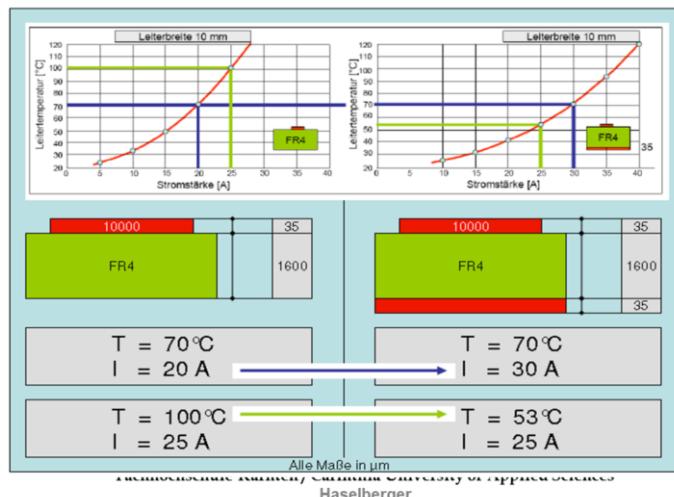
- zu Bauelementen auch Hochstrom (>1A);
  - Packungsdichte steigt, Temperaturanstieg;
  - Taktfrequenz verdoppelt sich alle vier Jahre, Stromdichte steigt, Erwärmung steigt;

- PCB-Technologie

- muss gleichermaßen hohe Ströme als auch hohe Temperaturen realisieren;
  - Hochstromintegration in PCB muss einfach sein;
  - Wirtschaftlichkeit und ökologische Verträglichkeit ist Voraussetzung;
  - Berechnungs- und Simulationsprogramme sind Anwendungsvoraussetzung;
  - Effekte durch Wirbelströme;

## Hochstrom versus Temperatur

- Optimieren der Schichten

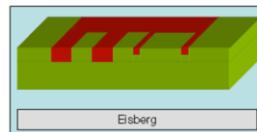
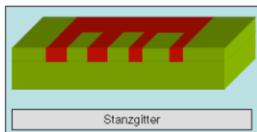
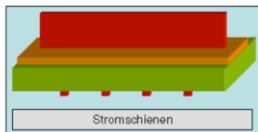


2.26

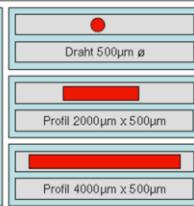
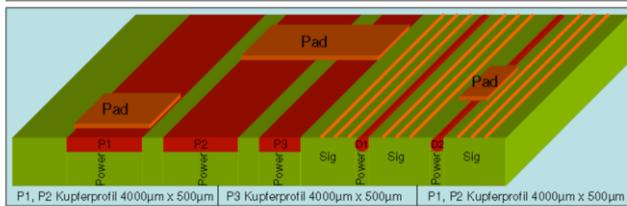
die Cu-Plane an der gegenüberliegenden Seite verteilt die Wärme über ihre Fläche;

## Hochstrom

- Gegenüberstellung PCB Technologien

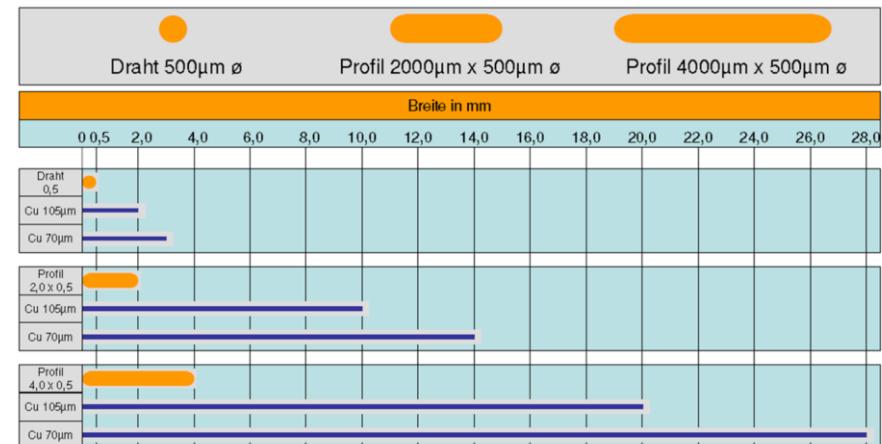


Werden 5% für hohe Ströme tragendes Kupfer in einer Leiterplatte gebraucht, dann sollten auch nur 5% Kupfer für diese Leiterplatte zum Einsatz kommen.

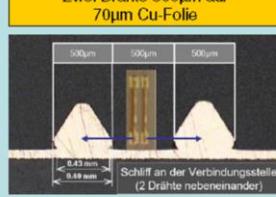
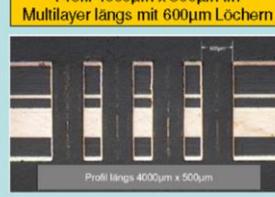
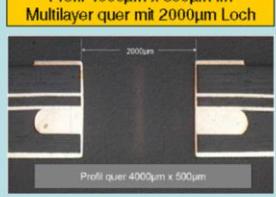
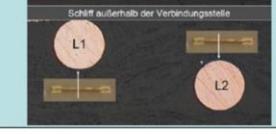


## Hochstrom, Platzbedarf

- Gegenüberstellung Draht, Profil, Cu-Folie



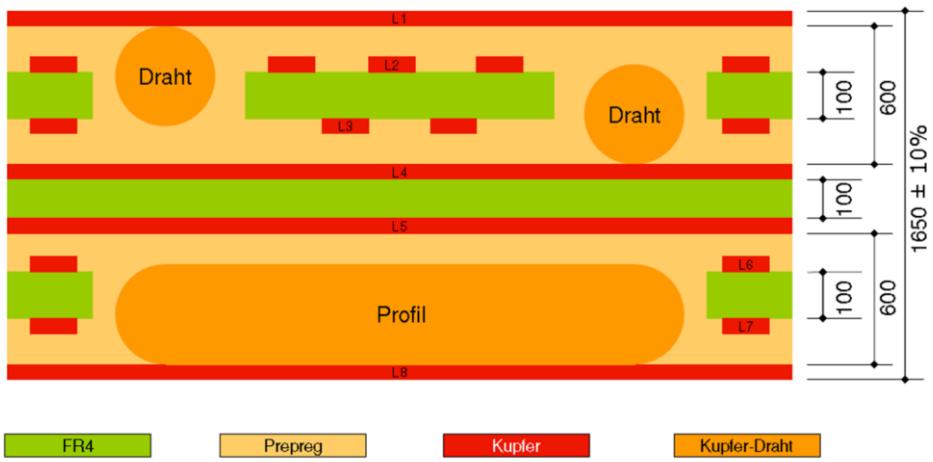
# Hochstrom

Draht 500µm ø	Profil 2000µm x 500µm ø	Profil 4000µm x 500µm ø
Zwei Drahre 500µm auf 70µm Cu-Folie 	Profil 4000µm x 500µm im Multilayer längs mit 600µm Löchern 	Profil 4000µm x 500µm im Multilayer quer mit 2000µm Loch 
Ultraschall -Verbindung am Beispiel 500µm – Draht und 4000µm x 500µm Profil		
Schliff außerhalb der Verbindungsstelle 	Profil Innen 500µm 	Schliff an der Verbindungsstelle 

Fachhochschule Kärnten/Carinthia University of Applied Sciences  
Haselberger

2.29

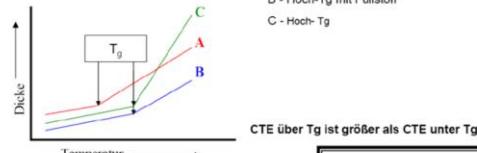
# Hochstrom



# Problem bei Hochstrom (1)

- Thermische Expansion in Z-Richtung

Z-Achsenausdehnung (CTE)

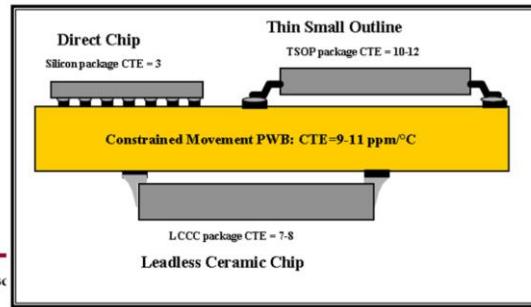


A - Mittel Tg mit Füllstoff  
B - Hoch-Tg mit Füllstoff  
C - Hoch-Tg

CTE über Tg ist größer als CTE unter Tg

Fachhochsc

2.31



- Quelle: Ventec
  - CTE...Coefficient of Thermal Expansion in ppm/K
- ICs haben einen anderen CTE als die Leiterplatte; somit entsteht durch den Erwärmungszyklus mechanische Verspannung zwischen PCB und Bauteil; dies kann zum Bruch der Lötverbindung führen;

Why is the CTE of a MLB (multi Layer Board) so important?

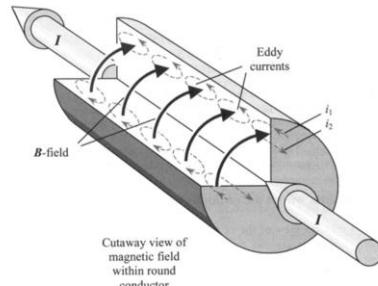
In the case of the ceramic chip carrier (CTE 6 ppm/ $^{\circ}$ C) mounted on a conventional printed circuit board (CTE 17-18 ppm/ $^{\circ}$ C), when the chip carrier is large enough, the mismatch in expansion will cause shear stresses within the solder joint that mounts the device on the board. A sufficient number of thermal test cycles (typically -65 $^{\circ}$ C to +125 $^{\circ}$ C) will eventually lead to work hardening of the solder and cracking of the solder joint itself. The resulting intermittent electrical discontinuity is entirely unacceptable in high reliability electronics applications regardless of their application. In the case of stacked dies and direct chip attach, the requirements become even more critical since CTE values for die materials can be between 3-4.5 ppm/ $^{\circ}$ C and the mismatch is even more critical than for leadless ceramic packages. The diagram below illustrates the expected average movement in

ppm/ $^{\circ}\text{C}$  for various kinds of surface attached devices compared with the movement of a typical constrained movement PWB. A normal laminate with a CTE of 17-18 ppm/ $^{\circ}\text{C}$  could result in excessive strain on solder joints and subsequent work hardening and cracking.

## Problem bei Hochstrom (2)

Skineffekt:

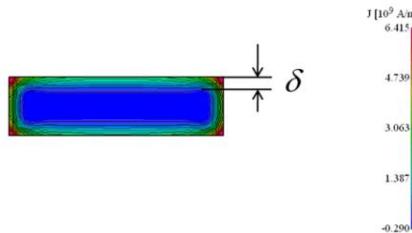
Widerstandsbelag  $R'$  wächst infolge Stromverdrängung, bei hohen Frequenzen proportional  $\sqrt{f}$



Bildquelle: High speed signal propagation, Graham/Johnson

# Skineffekt 1 - Stromverdrängung

bei Hochstrom



**Skin - Tiefe  $\delta$ :**  
**(99% der Elektronen)**

$$\delta = \sqrt{\frac{1}{\rho \pi \mu_0 \mu_r f}} \text{ in m}$$

Bsp. 50Hz:  $\delta \approx 1\text{cm}$

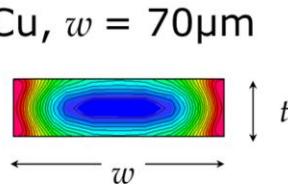
(vgl. Eindringtiefe.xls)

- Skineffekt verdrängt Strom in die Außenhülle des Leiters und erhöht somit den ohmschen Widerstand  $R$  der Leitung, da das Kupfer in der Mitte des Leiters wirkungslos ist ( um Cu zu sparen kann man Hohlleiter einsetzen, oder statt eines Einzel-Cu-Blocks viele Einzellitzen);

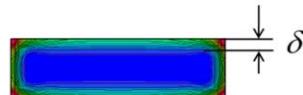
## Skineffekt 2 - Stromdichte

### Signalleitung - Stromdichte $J$

– Bsp.  $t = 17\mu\text{m}$  Cu,  $w = 70\mu\text{m}$   
bei 100MHz



bei 1GHz



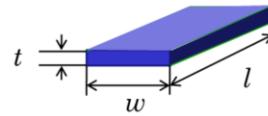
Fachhochschule Kärnten/Carinthia University of Applied Sciences  
Haselberger

- Geometrie: Leiterbahnbreite: 0.07mm,  $17\mu\text{m}$ -Cu-Dicke;
- Quelle: Sterner Hermann, Elefant-2D
- $\delta$  gibt an, dass 99% der Elektronen sich im Verdrängungsbereich aufhalten;
- $\sigma$ ...Leitfähigkeit in S/m, bei Cu:  $\sigma=5,8 \cdot 10^7 \text{ S/m}$  oder  $\rho=1/\sigma$ ;
- $\mu_0$ ..Permeabilität des freien Raumes:  $\mu_0=4\pi \cdot 10^{-7} \text{ H/m}$ ;
- $\mu_r$ ...relative Permittivität des Materials, bei Cu:  $\mu_r \approx 1$ ;
- $f$ ...sinusförmige Frequenz in Hz;
- Der Strom bekommt bei höheren Frequenzen ein negatives Vorzeichen, da durch den Wirbelstrom (Eddy Current) sich der Strom im Innenleiter umdreht;

## Skineffekt 2 – ohmscher Widerstand

- Trace

$$R_{DC} = \frac{\rho \cdot l}{w \cdot t} \quad R_{AC} = \frac{\sqrt{\rho \pi \mu f} \cdot l}{2(w+t)}$$



(Maße in m)

$$R = \sqrt{R_{DC}^2 + R_{AC}^2} \quad \text{in } \Omega$$

$$\rho_{Cu} = 1,72 \cdot 10^{-8} \Omega \cdot m$$

Geometrie:  $w=1,016\text{mm}$ ;  $t=17\mu\text{m}$ ;  $l=33\text{cm}$  bei 40MHz

$$R_{DC} = \frac{1,72 \cdot 10^{-8} \cdot 0,33}{0,001016 \cdot 17 \cdot 10^{-6}} \quad R_{AC} = \frac{\sqrt{1,72 \cdot 10^{-8} \cdot \pi \cdot 1,257 \cdot 10^{-6} \cdot 40 \cdot 10^6} \cdot 0,33}{2(0,001016 + 17 \cdot 10^{-6})}$$

$$R = \sqrt{0,32^2 + 0,79^2} = 0,85 \Omega @ 40\text{MHz}$$

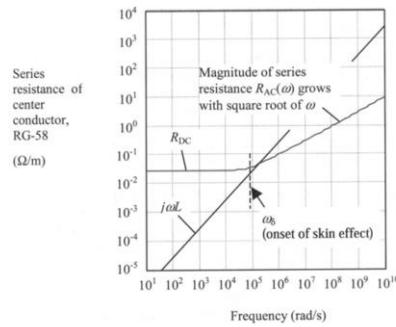
Quelle: Collins 1992,

$\rho = 1,72 \cdot 10^{-8} \Omega \cdot m$  oder  $\rho = 1/\sigma$ ;

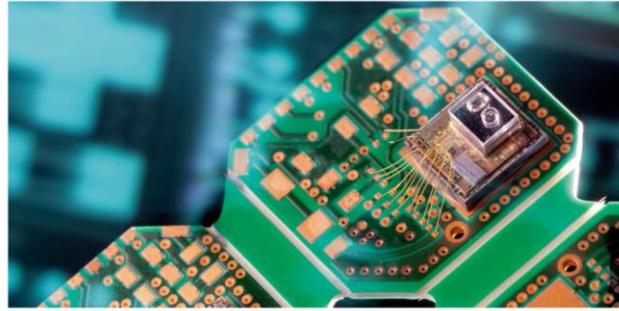
der berechnete Widerstand ist dann der ohmsche Widerstand der Leitung bei der jeweiligen Frequenz;

## Skineffekt 2 – ohmscher Widerstand

- Koaxialkabel RG-58 mit  $l=1\text{m}$



(vgl. Eindringtiefe.xls)



Source: Fraunhofer IAF

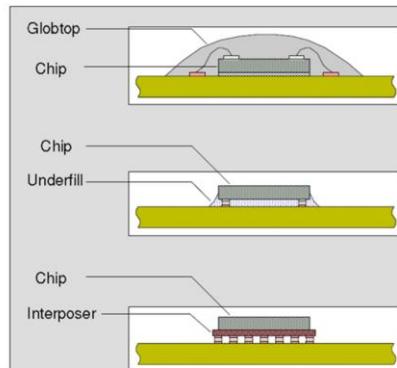
CoP, CSP, SoP, SiP

## COMPONENTS ON/IN PCB

Quelle: Elektronik Praxis , Nov 2017

# Chip on PCB

- CTE Si: 4ppm/K
- CTE FR4: 14ppm/K



Chip on Board

Flip Chip

Chip Scale Package

CTE...Coefficient of Thermal Expansion, Thermischer Ausdehnungskoeffizient in ppm/K

COB...Chip on Board

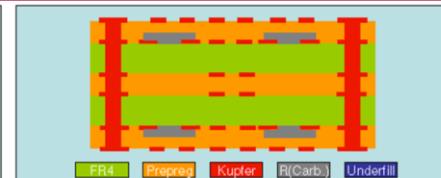
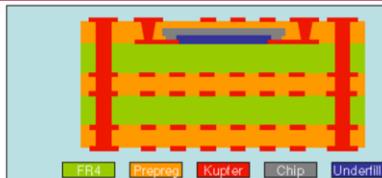
FC...Flip Chip

CSP...Chip Scale Package,

<http://www.intel.com/content/dam/www/public/us/en/documents/packaging-databooks/packaging-chapter-15-databook.pdf>

ICs haben einen anderen CTE als die Leiterplatte; somit entsteht durch den Erwärmungszyklus mechanische Verspannung zwischen PCB und Bauteil; dies kann zum Bruch der Lötverbindung führen;

# Bauelemente in PCB integriert



## Integration von Chips:

- Bar-Dies „dick“, geklebt, Stut-Bumps, Underfill, Flip-Chip
- Bar-Dies „gedünnt“, geklebt, Ankontaktierung mittels Microvias, Fan-Out

## Integration von Diskreten BT:

- Gedruckte Widerstände
- Geätzte Widerstände → Omegaply
- Chip-BT

Die Integration von Bauteilen in die Substrate verschiebt einen Teil der Wertschöpfungskette vom Bestücker zum Substrathersteller. Hier verlagert sich nicht nur die Bestückung, sondern ein Teil der Systemintegration.

Hier ist die Frage erlaubt: Wer verlagert bei diesem Szenario was wohin?

hat den Nachteil,

1. Preis
2. dass dies nur wenige Hersteller schaffen und man somit von diesem abhängig ist wegen fehlendem Second Sourcing;

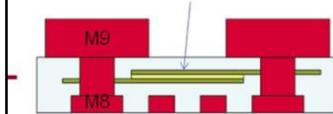
## Beispiel Intel Haswell-Prozessor

- Integrierte Bauelemente, Baugruppen

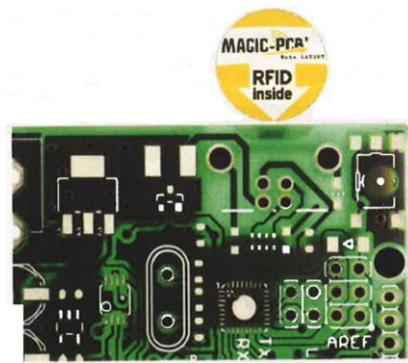


$$C = (20 \dots 30) \text{ fF}/\mu\text{m}$$

"sandwich" capacitor between 2 metal layers



MIM-Kondensatoren (Metal-Insulator-Metal) nutzen die Kapazität zwischen zwei Metalllagen im CPU-Die.



a University of Applied Sciences

2.40

Quelle: <http://www.heise.de/newsticker/meldung/Intel-verraet-Tricks-der-in-Haswell-Prozessoren-eingebauten-CPU-Spannungswandler-2110901.html>

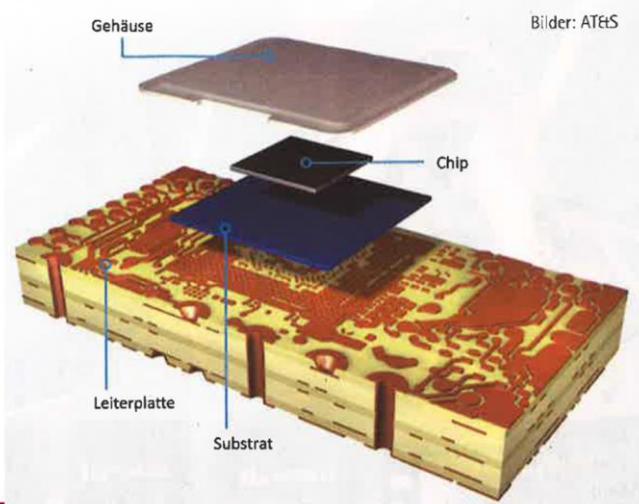
Der Fully Integrated Voltage Regulator (FIVR) nutzt Spulen, die aus Durchkontaktierungen (PTH) und Leiterbahnen im Die Carrier bestehen.

Nun zeigt Intel, dass die Spulen im Die Carrier stecken. Mit letzterem ist eine spezielle Platine gemeint, die das sogenannte Silizium-Die trägt, also den eigentlichen Prozessor. Der Die Carrier bildet die Unterseite des Prozessorgehäuses und besitzt entweder Pins, Kontaktflächen (etwa für die LGA1150-Fassung) oder Lotkugeln (BGA-Gehäuse zum Auflöten).

Das Die ist kopfüber (Flip-Chip) mit dem Die Carrier verlötet (C4-Verfahren). Der Die Carrier hat viele Metalllagen. Die "kernlosen" Luftspulen (Air Core Inductors, ACI) bestehen nun schlichtweg aus Durchkontaktierungen (Plated Through-Hole, PTH) und speziell geformten Leiterbahnstücken in inneren Lagen des Die Carriers.

Schließlich war es laut Intel dank FIVR auch möglich, die Taktfrequenz und somit auch die Leistungsfähigkeit des eingebauten Grafikkerns deutlich zu steigern, ohne die Anforderungen an den Spannungswandler auf dem Mainboard hochschrauben zu müssen.

## Gehäuse – Substrat PCB



Bilder: ATeS

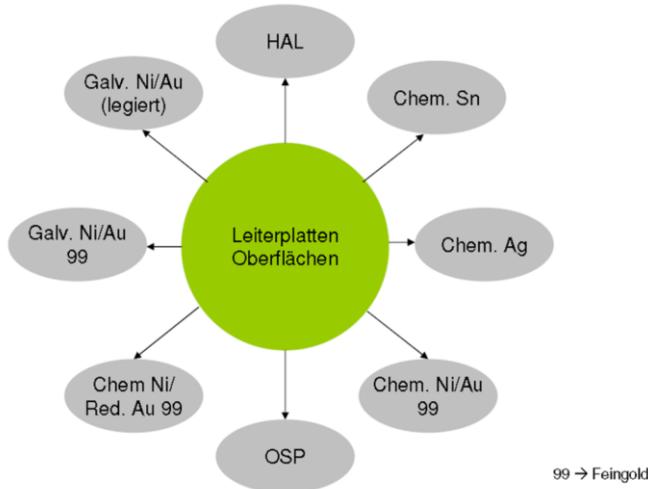
Finishing

# OBERFLÄCHEN- VEREDELUNG

Fachhochschule Kärnten/Carinthia University of Applied Sciences  
Haselberger

2.42

# Oberflächenschutz von Lötflächen



HAL, HASL...Hot Air Solder Level Process; Materialien: Zinn/Blei mit Silber oder Wismut wird als Lötpaste über eine Schablone aufgebracht und dann in heißer Umgebung mit dem Kupfer-PAD verschmolzen;

OSP...Organic Solderability Protection; in der Natur vorkommende Azole (Imidazole)

Chem... Tauchbad;

Galv... elektrogalvanisch;

# Oberflächenveredelung

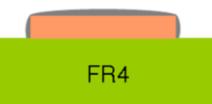
Auswahlkriterien	Oberfläche für das Löten	Tendenz
Auswahlkriterien	HAL	↖
• Planarität • Zuverlässigkeit • Kosten • Anzahl der Lötprozesse • Verfügbarkeit • Lagerzeit • Lotmaterial • RoHS-Konformität • Funktion	Chemisch Zinn	↗
	Chemisch Silber	→
	Chem. Ni/Au (99)	↗
	Organische Passivierung OSP	→
	Chem. Ni/Reduktiv Au (99)	→
	Galv.Ni/Galv.Au (99)	→
	Galv.Ni/Galv.Au (legiert)	→

FACHHOCHSCHULE KÄRNTEN / Carinthia University of Applied Sciences  
Haselberger

2.44

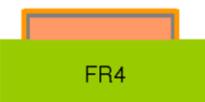
Quelle: <http://www.fed.de/downloads/Vortrag-Haeusermann-Leiterplattenoberflächen022013.pdf>

# Hot Air Solder Leveling, HAL, HASL

	<p>Die Heißverzinnung ist der Klassiker Nr. 1 aus den 60er Jahren. In Hochzeiten hatte diese Oberfläche einen Anteil von bis 70%. Verbreitet wird ein eutektisches Sn/Pb (60/40 oder 63/37) verwendet. HAL RoHS-Konform bedient sich in der Regel der Legierung SnCu3,5Ni0,1. HAL ist z. Z. rückläufig.</p>	
Schichtdicke	Vorteile	Nachteile
Kante $\geq$ 500nm	- bekannter Prozess	- nicht bondbar
Pad min 8 $\mu$ m	- bekannte Oberfläche	- therm. Stress der LP
Pad max 30 $\mu$ m	- gute Lötabilität	- schlechte Koplanarität
Lagezeit	- gute Einpresseigensch.	- für Feinpitch nur bedingt geeignet
>12 Monate	- preiswert	
	- lange Lagerzeit	

Wegen steigender HDI Technologie reduziert sich HAL (oder HASL);

## Chemisch Nickel/Gold (ENEPIG)



FR4

Chem. Ni/Au ist der Klassiker Nr. 2. Entstanden ist diese Oberfläche aus der Technologie des Aluminium-Draht-Bondens. Die hierbei qualifizierten Schichtdicken haben sich auf Leiterplattensubstraten als gut benetzbare und zuverlässige Oberfläche für den Lötprozess erwiesen.

Schichtdicke
Nickel 4 – 6µm
Au 50 -150nm
Pd Gehalt 6 – 10%
Lagezeit
> 12 Monate

### Vorteile

- bekannter Prozess
- Koplanare Oberfläche
- Al-Draht bondbar
- gute Lötabilität
- lange Lagerzeit

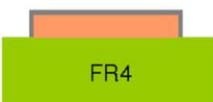
### Nachteile

- Preis
- geringere Benetzungsfähigkeit als HAL und chem. Sn
- Ni-Sprödigkeit
- Reduzierte Zuverlässigkeit der Lötfestigkeiten (bei erhöhtem thermomechanischen Stress)

Technologie nennt sich auch ENEPIG Electroless Nickel Electroless Palladium Immersion Gold (NiPdAu)

Immersion: Tauchvorgang;

# Chemisch Zinn



FR4

Die Versuche mit einer chemischen Sn-Schicht eine preiswerte Oberfläche auf Leiterplatten zu schaffen sind Jahrzehnte alt. Erst in den letzten Jahren ist es gelungen, eine genügend dicke Schicht mit einer konstanten Duktilität zu applizieren, die einen Mehrfachlötprozess zulässt. Die Phasenbildung zwischen Sn und Cu ist bezüglich der zeitlichen Abläufe unter Temperatur relativ genau zu planen.

Schichtdicke
$\geq 1\mu\text{m}$
Lagezeit
12 Monate

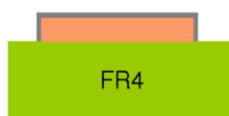
## Vorteile

- bekannter Prozess
- koplanare Oberfläche
- gute Lötabilität
- gute Eimpresseigensch.
- Preis

## Nachteile

- nicht bondbar
- Cu-Sn-Diffusion

## Zinn-Kupfer Diffusion



Das Wachstum der Sn-Cu Diffusion ist eine Funktion aus der Zeit ( $t$ ) und der Temperatur ( $T$ )

$$d = f(t, T)$$

Zeit	Temperatur
1 μm in 2.5 Jahre	20 °C
1 μm / Jahr	40 °C
1 μm / Monat	80 °C
1 μm / Tag	140 °C
1 μm / Stunde	190 °C
1 μm / Minute	260 °C
1 μm / Sekunde	330 °C (Handlöten!)

# Chemisch Silber

FR4	<p>Die chemisch Ag-Oberfläche ist fast zeitgleich mit der chemisch Sn-Oberfläche zur Marktreife entwickelt worden, wobei diese Oberfläche bei der Leiterplattenherstellung fast ausschließlich in Fernost und in den USA appliziert wird. Die Mehrfachlötbareit dieser Oberfläche ist problematisch und erfordert eine gute zeitliche Planung.</p>	
Schichtdicke	Vorteile	Nachteile
200 – 400nm	- gute Koplanarität	- kaum verfügbar in Europa
	- Preis	
	- bedingt bondbar	- Lötabilität eingeschränkt
Lagezeit		- Lagerzeit eingeschränkt
6 Monate		

# Organische Passivierung

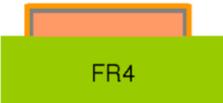
FR4	Für die Massenproduktion einfacher Leiterplatten wurde diese Oberfläche vor allem entwickelt. Eine Mehrfachlötfähigkeit ist kaum möglich, wenn notwendig mit sehr engem Prozessfenster. Für professionelle Baugruppentecnologien hat diese Oberfläche keine Bedeutung.	
Schichtdicke	Vorteile	Nachteile
200-600nm	- Preis	- Mehrfachlöten ist problematisch
	- koplanare Oberfläche	- elektrischer Test vor OSP-Prozess
Lagezeit		
6 Monate		

Fachhochschule Kärnten / Carinthia University of Applied Sciences  
Haselberger

2.50

Oxidation des Basis-Kupfers durch Verbrauch der Schutzschicht  
OSP...Organic Passivation Process

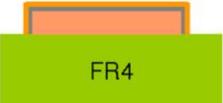
# Chemisch Nickel/Reduktivgold (ENIG)

 <b>FR4</b>	<p>Chemisch Nickel-Reduktivgold ist ein katalytisch nicht anodisch angebundenes Dickgold von <math>\geq 500\text{nm}</math> für das Thermosonic-Bonden, teilweise als Kontaktgold, wenn keine besondere Anforderungen an die Härte dieser Oberfläche gestellt werden. Wegen der Bildung einer eigenen intermetallischen Phase des Lotes mit der dicken Au-Schicht kommt diese Oberfläche für das Löten nicht in Frage.</p>	
Schichtdicke	Vorteile	Nachteile
Nickel $4 - 6\mu\text{m}$	- Au-Draht bondbar	- Preis
Au $\geq 500\text{nm}$	- bedingt kontaktfähig	- spröde Sn-Au-Phase
	- koplanare Oberfläche	- wenig verfügbar
		- kein Löten
Lagezeit		
Kein Löten		

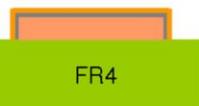
Technologie nennt sich auch ENIG Electroless Nickel Immersion Gold (NiAu)

Immersion: Tauchvorgang

## Galvanisch Nickel/Galvanisch Gold

 <p><b>FR4</b></p>	<p>Galvanisch Ni/ galvanisch Weichgold ist anodisch angebundenes Dickgold von <math>\geq 500\text{nm}</math> für das Thermosonic-Bonden, teilweise als Kontaktgold, wenn keine besondere Anforderungen an die Härte dieser Oberfläche gestellt werden. Wegen der Bildung einer eigenen intermetallischen Phase des Lotes mit der dicken Au-Schicht kommt diese Oberfläche für das Löten nicht in Frage.</p>	
<b>Schichtdicke</b>	<b>Vorteile</b>	<b>Nachteile</b>
Nickel 4 – 6 $\mu\text{m}$	- Au-Draht bondbar	- Preis
Au $\geq 500\text{nm}$	- bedingt kontaktfähig	- spröde Sn-Au-Phase
		- wenig verfügbar
		- kein Löten
<b>Lagezeit</b>		
Kein Löten		

# Galvanisch Nickel / Galv. Hartgold



Die Galv. Ni/galv. Au Schichten auf Leiterplatten sind ausschließlich als Kontaktgold für den elektrischen nicht stoffschlüssigen Kontakt, für Schleifer und Direktsteckverbinder vorgesehen. Diese Au-Schicht weist durch Legierung mit Nickel eine höhere Härte als die übrigen Au-Schichten auf.

Schichtdicke
Nickel 4 – 6µm
Au 1 – 3µm
Lagezeit
Kein Löten

## Vorteile

- kontaktfähig
- 
- 
- 
- 
- 

## Nachteile

- Preis
- kein Löten
- 
- 
- 
-

# Oberfläche versus Eigenschaften

- Matrix

		Verfügbare Oberflächen												
		Oberfläche	RohHS-Konform	Löteln	Bonden AuDruckt	Bonden Golddruckt	BoAs	Flex/Startflex	Eingravestechnik	steckkleisten (PCh)	Schleifkontakte	Dicke	Lagerfähigkeit	Reflow Cycles
	HAL SnPB		✓					✓				> 5µm	ca. 12 Monate	5
Zinn	HAL Bleifrei	✓	✓					✓				> 5µm	ca. 12 Monate	5
	Chemisch Zinn	✓	✓					✓				> 1µm	ca. 6 Monate	2
Silber	Chemisch Silber	✓	✓	✓				✓				0,2 - 0,3µm	ca. 12 Monate	5
	Chemisch Gold (ENIG)	✓	✓	✓		✓	✓	✓				3-8µm Ni 0,025-0,1µm Au	ca. 12 Monate	5
Gold	ENEPIG (Ni/Pd/Au)	✓	✓	✓	✓	✓	✓	✓				3-8µm Ni 0,05-0,15µm Pd 0,05-0,1µm Au	ca. 12 Monate	-
	Galvanisch Softgold	✓	✓		✓							4-6µm Ni > 1µm Au	ca. 12 Monate	-
	Galvanisch Hartgold	✓							✓	✓		4-6µm Ni 0,1µm Au - 2µm Au*	ca. 12 Monate	-
Fach	Die Angaben zur Lagerfähigkeit und den Reflow Cycles verstehen sich als Richtlinie des Prozessherstellers!													2.54

Quelle: Häusermann

US...Ultrasonic Wedge Wedge Bonding Process;

TS...Thermosonic Ball Wedge Bonding Process;

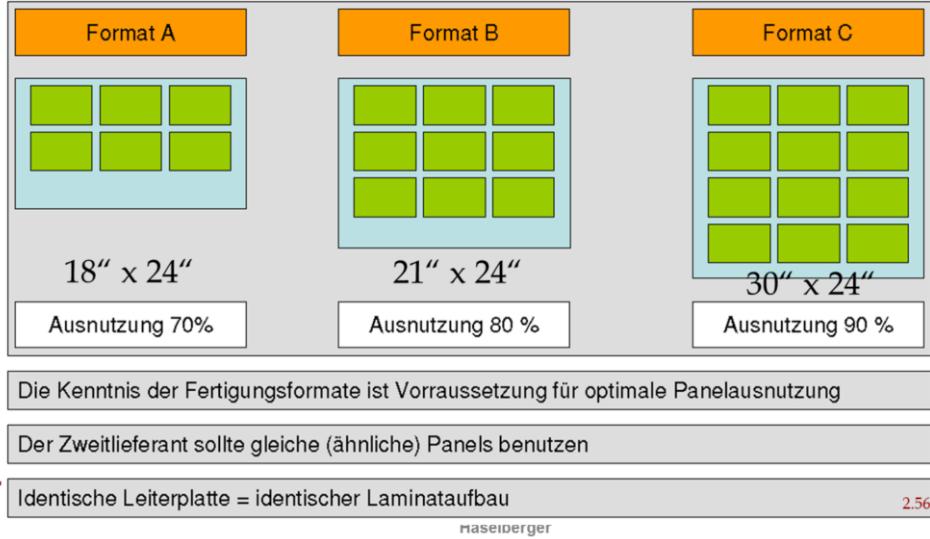
<http://www.multi-circuit-boards.eu/leiterplatten-design-hilfe/oberflaechen.html>

Cavity, Panel Size, V-Cut, Milling

## NUTZEN, VEREINZELN

# Panel, Nutzen, Cavity

Optimierung am Beispiel von Fertigungsformaten beim Leiterplattenhersteller



Die Kenntnis der Fertigungsformate ist Voraussetzung für optimale Panelausnutzung

Der Zweitlieferant sollte gleiche (ähnliche) Panels benutzen

Identische Leiterplatte = identischer Laminataufbau

2.56

Maseidberger

IPC-Panel Size Standard:

18" x 24": (457,2 x 609,6)mm with usable area of 16" x 18": (406,4 x 457,2)mm

Other sizes:

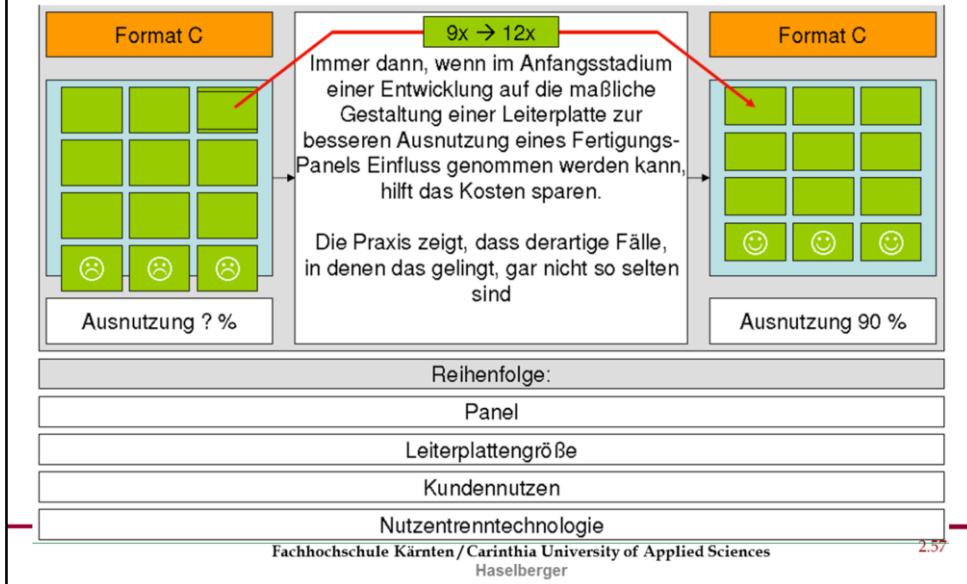
21"x24"; 24"x32"; 24" x 30" ; 36" x 48"

but watch usable handling area at surrounding;

Panel Size ISOLA:

- 1070mm x 1165mm (42" x 46")
- 1225mm x 1070mm (48" x 42")
- 1225mm x 925mm (48" x 36")
- 1070mm x 1285 mm(42" x 51")

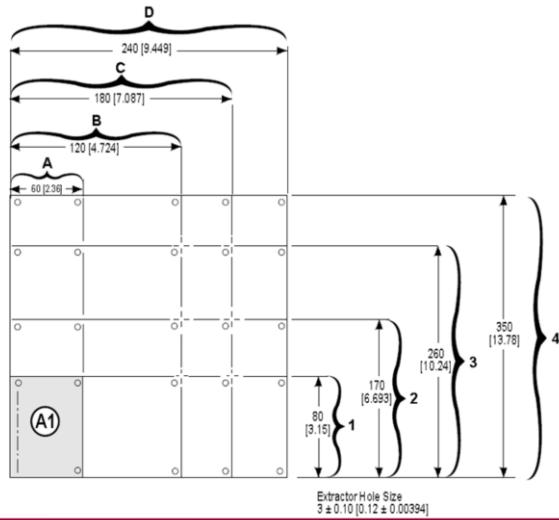
## Optimierung Nutzen, Format C



schon am Beginn des Designprozesses sollte die Größe der PCB feststehen, da der Einzelpreis der PCB sich durch Ausnutzung schnell erhöhen kann;

## Vorschlag IPC für Einzelgröße in mm

Nr.	Größe ± 0,4mm		
A1	60	x	80
A2	60	x	170
A3	60	x	260
A4	60	x	350
B1	120	x	80
B2	120	x	170
B3	120	x	260
B4	120	x	350
C1	180	x	80
C2	180	x	170
C3	180	x	260
C4	180	x	350
D1	240	x	80
D2	250	x	170
D3	240	x	260
D4	240	x	350



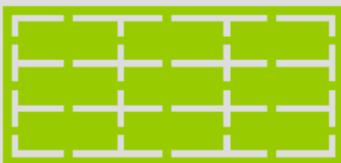
Fachhule Kärnten/Carinthia University of Applied Sciences  
Haselberger

2.58

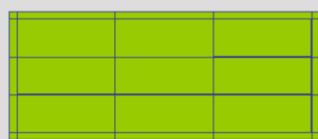
Quelle: IPC 2221A

# Optimierung Nutzen

Nutzen mit Stegen



Nutzen mit Ritzen



Nur durch Berücksichtigung aller Aspekte und Kosten gelang man zu einer optimalen Lösung bei der Nutzengestaltung.

Kosten Fräsen/Ritzen bei Leiterplattenhersteller

Kosten Nutzentrennung beim Anwender

Bearbeitung der Kontur nach Nutzentrennung: Ja/nein

Storage

# LAGERUNG

# Lagerung

## Mindestanforderungen an die Lagerung und die Verpackung

### 1. Lagerung

- Die Lagerung erfolgt im verpackten Zustand
- Das Lagerklima ist geregelt
- Der Lagerort ist frei von die Kontamination begünstigender Atmosphäre
- Auch nach der Entnahme von Teilmengen werden die verbleibenden Leiterplatten wieder verpackt.
- Die Primärverpackung bestimmt in der Regel der Leiterplattenhersteller

### 2. Verpackung:

- Die Primärverpackung ist frei von flüchtigen Stoffen.
- Leiterplatten für den Bondprozess beinhalten innerhalb der Verpackung Silikagel (optional).
- Alle Verpackungsmaterialien sind frei von Säuren und Säure bildenden Stoffen.
- Die Stückzahl ist in Absprache pro Verpackungseinheit limitiert.

Die Verpackung ist an jedem Ort und zu jeder Zeit lückenlos geregelt.

# Hygroskopie

Die Feuchtigkeitsaufnahme von Kunststoffen ist eine Funktion der Temperatur und der Feuchtigkeit in der Umgebung.

$$m_{H_2O} = f(t, RF)$$

## Feuchtigkeitsaufnahme einiger Materialien

### Feuchtigkeitsaufnahme Material

Material	max. Wasseraufn. (Gew. %)
FR4 (ungefüllt)	0,8
FR4 (gefüllt)	0,8...1,2
Polyimid	2,0...3,0
Kleber	2,0...4,0

## Lagerung

### Norm Lager Klima

Attribut	Wert
Temperatur	20 + 5 [°C]
Feuchte	50 ± 10[%]

Unzulässig hohe Feuchteaufnahme im Laminat ist ein Hauptindikator für die Delamination im Verbund

## Lagerung >12Monate

Die Verpackung erfolgt in Licht undurchlässigen Verpackungseinheiten, denn: Licht (UV-Licht) verändert nicht nur die Farbe der Kohlenwasserstoffe, sondern in Nuancen auch deren Eigenschaften.

Die maximal zulässigen Lagerzeiten der jeweiligen Endoberflächen bestimmen die Gesamtlagerzeit.

Wird die maximal zulässige Lagerzeit überschritten, ist primär die Funktionalität der Oberfläche für die vorgesehenen Prozesse der AVT zu überprüfen

## Zukunftstrends

- Reduktion Raster der Bauelemente;
- Reduktion Line/Space → HDI
- Integration von Bauelementen in PCB
- Materialien mit besseren Eigenschaften zu verträglichen Kosten

BE...Bauelemente