



Universidad
Nacional
de San Martín

Electrónica digital 1
Trabajo práctico final
Voltímetro digital

AUTOR:

Lautaro José Aguzin Parrilli

DOCENTES:

Miguel Angel Sagreras, Nicolas Alvarez.

1er cuatrimestre 2023

VOLTÍMETRO DIGITAL

Aguzin Parrilli, Lautaro José

Escuela de Ciencia y Tecnología, Universidad Nacional de San Martín, 25 de Mayo y Francia, 1650 San Martín, Buenos Aires, Argentina
ljaguzinparrilli@estudiantes.unsam.edu.ar

Resumen

En el siguiente trabajo se diseñó la arquitectura de un voltímetro digital con salida VGA en una FPGA de la familia Arty A7-35, en el lenguaje de programación de hardware VHDL.

Introducción

Para la realización del diseño del kit de desarrollo se utilizó un flip flop D para implementar un conversor A/D Sigma-Delta, cuya salida Q será la que proporcione la secuencia de unos que ingresará al bloque de procesamiento de datos y control, mientras que $\neg Q$ será la conexión a masa del circuito que irá conectada a la VGA. Por otra parte, se debió ajustar la frecuencia de clock de la FPGA de 100MHz a 25MHz, para que sea la misma que la del controlador VGA. Esto se logró utilizando un contador de 2 bits, donde el bit más significativo tiene una frecuencia de $\frac{1}{4}$ veces la frecuencia de clock.

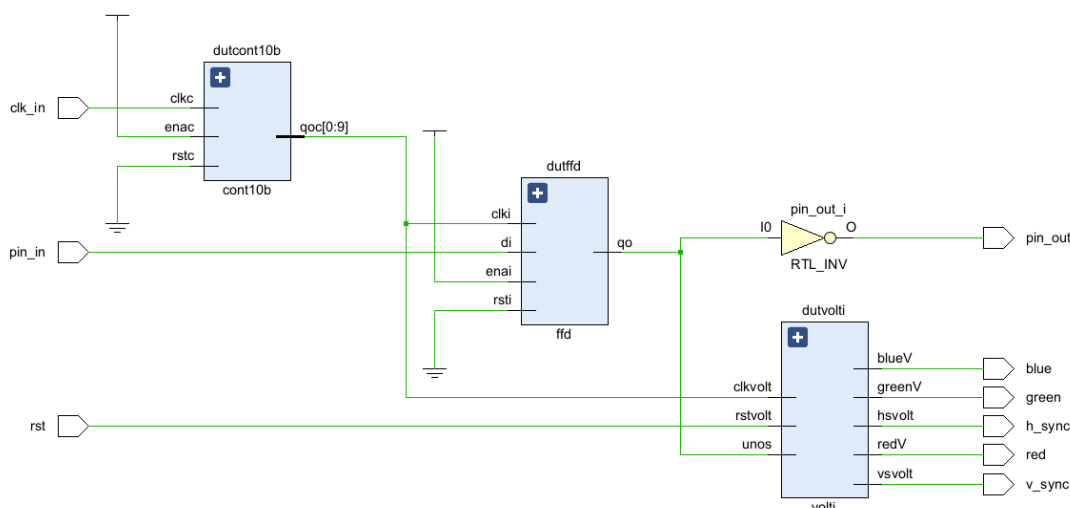


Figura 1: Diagrama de bloques del kit de desarrollo.

Por otra parte, el bloque de procesamiento de datos y control tendrá 3 entradas; el clock de 25MHz, la secuencia de unos y un reset, que en nuestro caso se dejará como constante en "0", y tendrá como salida las conexiones VGA de los pulsos de sincronismo horizontales y verticales junto con las configuraciones de píxeles RGB.

Este bloque estará compuesto por un contador BCD de 5 dígitos, que se incrementa a partir de la secuencia de unos ingresada, un contador binario que, una vez llegado al valor 33000, resetea el BCD y habilita un registro de 3 dígitos donde se guardaran los valores más significativos del mismo. Luego un multiplexor seleccionara, dependiendo la posición horizontal de la pantalla, las direcciones de memoria de los dígitos almacenados junto con las direcciones de un caracter “V” y un punto. Una memoria ROM almacenara en una matriz de 8 x 104 el diseño de cada uno de los dígitos junto con una “V” y un punto. Finalmente, un Controlador VGA tomara los bits de la salida de la ROM y a partir del mismo, la salida RGB será modificada, además aquí se encontraran el contador horizontal y vertical de la pantalla y de esta forma se generaran tanto los pulsos de sincronismo como los de vidon.

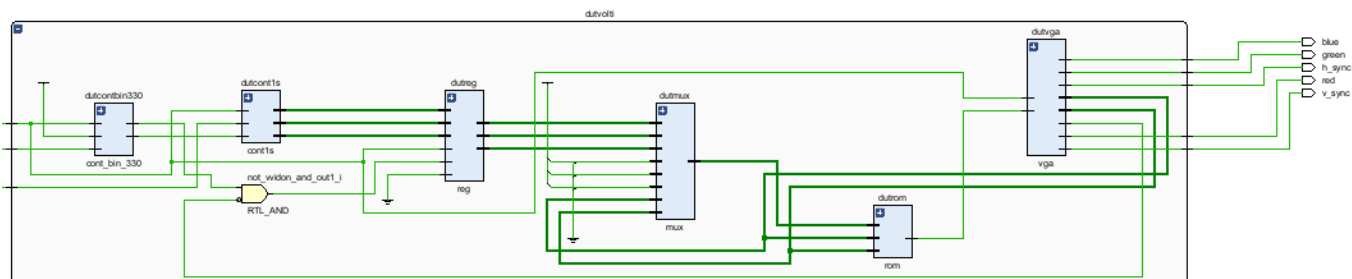


Figura 2: diagrama de bloques del bloque de procesamiento y control de datos

Implementación

Contador de unos

Para el habilitador del contador de unos se utilizará la secuencia de unos obtenida a partir del conversor A/D Sigma-Delta. Este contador está compuesto por 5 contadores BCD cuya habilitación está dada por una conexión en serie escalonada dada por el habilitador general y el flag del BCD anterior, el cual se activa cada vez que el mismo llega a “9”. En la figura 3 se muestra la forma en la que se habilitan los BCDS del contador de unos.

Por otra parte, solo serán tomados en cuenta los 3 dígitos más significativos, esto se determino de esta manera para mejorar la resolución del voltímetro y a su vez evitar que se muestre en pantalla el ruido generado por el circuito en sí.

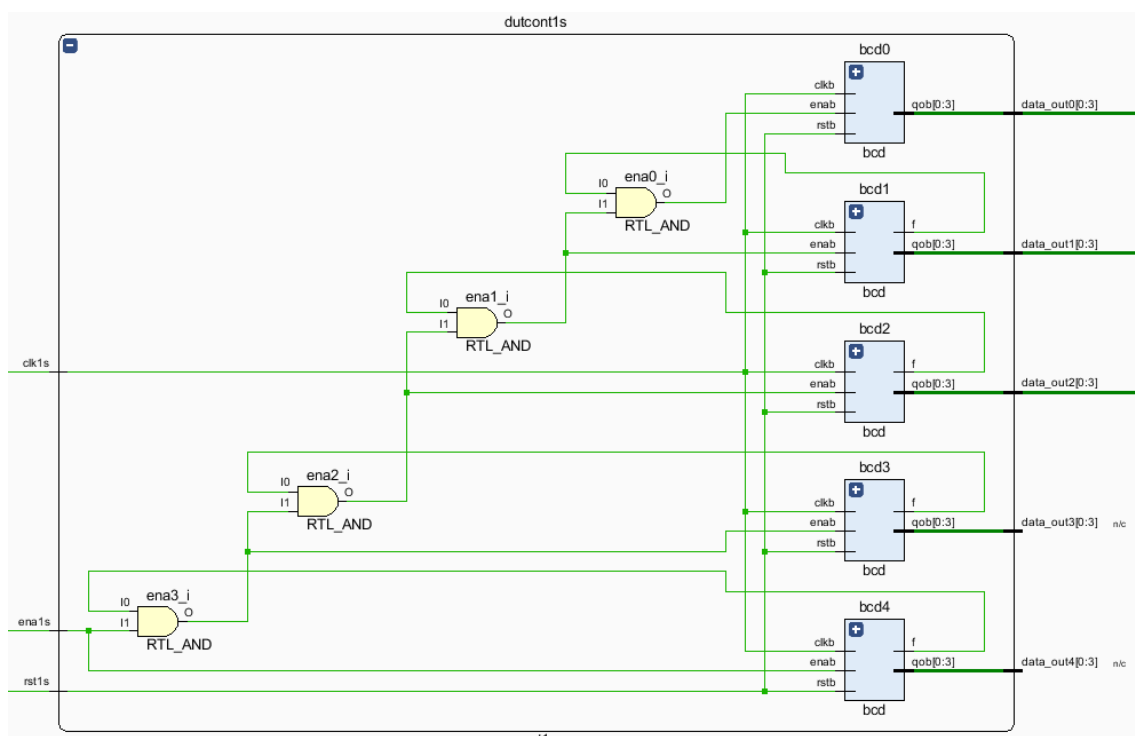


Figura 3: Diagrama de bloques del contador de 1s

Contador binario

El contador binario está diseñado para que se reinicie una vez que el mismo llega al número 33000, este está compuesto por un contador binario de 16 bits de modo que se pueda comprender el rango requerido. Por otra parte, este consta de dos salidas, out1 y out2, la primera es un bit que se activa una vez que se reinicia el contador, mientras que el segundo corresponde a la salida out1 retrasada un ciclo de reloj, esto último se consigue utilizando un flip flop D.

La primera salida irá conectada al habilitador del registro, mientras que la segunda funcionará de reset para el contador de unos.

Registro

El registro está compuesto por 3 registros de 4 bits, en donde se almacenarán momentáneamente los 3 dígitos más significativos del contador de unos. Tanto las entradas como las salidas de estos registros son paralelas y cada uno está conectado al mismo habilitador, este habilitador está dado por una AND entre out1 y la sección no visible del contador vertical de la pantalla para obtener mejor resolución.

Multiplexor

El multiplexor será el que dependiendo de en qué posición horizontal de la pantalla se encuentra, será la dirección de memoria que enviará a la ROM, este está compuesto

por 6 entradas, los 3 dígitos del contador de unos sumado al código “1010” correspondiente a la dirección de memoria del punto, “1011” correspondiente a la dirección de memoria del carácter “V” y “1100” correspondiente a la dirección de memoria del espacio y una salida correspondiente a la dirección de memoria que ira a la ROM.

Los 3 bits más significativos del contador horizontal funcionaran de selector en el multiplexor, de modo que “000” corresponde al dígito más significativo, “001” al punto, “010” al segundo bit más significativo, “011” al tercero y “100” a la “V”.

ROM

La memoria ROM esta compuesta por una matriz de 8 x 104 donde se almacenan los diseños de cada número y cada carácter que se utilizara en el voltímetro digital.

Como se menciona anteriormente las entradas de esta serán por una parte, la dirección de memoria, y por otra los bits 3,5 y 6 de los contadores horizontales y verticales, esto es para dividir el espacio de la pantalla en cuadros de 128 x 128 pixeles y así observar 5 cuadros por fila y 3 cuadros por columna dado que la resolución VGA es 640 x 480.

Para recorrer la matriz se concatenará la dirección de memoria de 4 bits con los 3 bits del contador vertical de modo que la dirección de memoria se mantenga constante a medida que se recorren las filas y las columnas de un diseño utilizando los 3 bits del horizontal.

Para generar los índices de la matriz fue necesaria una función que transforme los valores de binario en enteros.

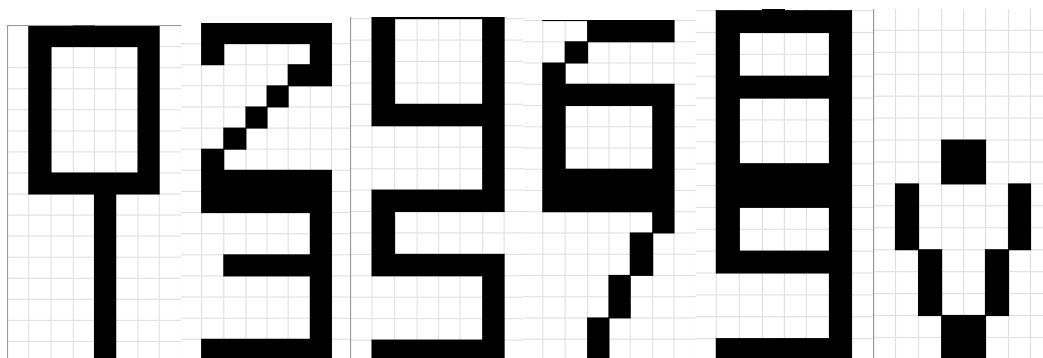


Figura 4: Diseño de números y caracteres de la ROM

Controlador VGA

Para la implementación del controlador VGA, se utilizó un generador de píxeles, para generar las salidas RGB y un generador de pulsos del cual salen los contadores horizontal y vertical, los pulsos de sincronismo horizontal y vertical y los pulsos de vidon y vidon vertical (el cual es utilizado en el habilitador del registro).

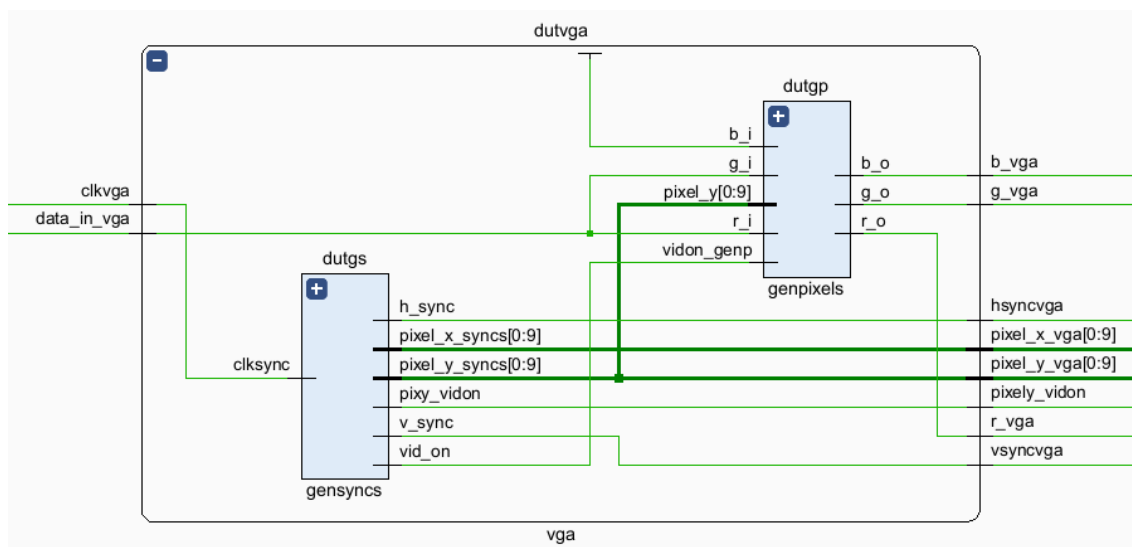


Figura 5: Diagrama de bloques del controlador VGA

Para el caso del generador de píxeles, este tiene como entrada el bit proveniente de la ROM conectada a la entrada “Red” y “Green”, mientras que el “blue” se hardcodeó para que quede constante en “1”, de esta manera, el número se verá de color blanco y el fondo de color azul. Vale la pena mencionar que el pulso de vidon es una entrada ya que el RGB debe funcionar únicamente en la parte visible, mientras que por otra parte el contador vertical será utilizado para que los rojos y los verdes se activen únicamente cuando los 3 bits más significativos estén en 0, y así observar la salida del voltímetro en la primera fila de la pantalla.

Por otra parte, el generador de pulsos está compuesto por 2 contadores, el horizontal, el cual está compuesto por un contador binario de 10 bits que se resetea en 799 y un contador vertical con las mismas características pero con el reset en 524, los pulsos de sincronismo, donde el horizontal se activa cuando su contador se encuentra entre 655 y 743, y el vertical cuando el suyo se encuentra entre 490 y 492 y finalmente el pulso de vidon, el cual se activa siempre y cuando el contador horizontal esté entre 0 y 639 y el vertical entre 0 y 479.

Simulación

Como se mencionó anteriormente, la simulación se realizó con una FPGA de la familia Arty A7-35, donde en el archivo de restricciones del mismo se realizaron las siguientes modificaciones:

PUERTO	PIN
CLOCK	E3
RESET	D9
PIN_IN	D4
NOT_UNOS	F3
H_SYNC	D12
V_SYNC	K16
R	G13
G	B11
B	A11

Tabla 1: Modificaciones realizadas en el archivo de restricciones

Por otra parte, para generar la secuencia de unos se implemento el siguiente circuito analógico adjuntado al bloque de control y procesamiento de datos, el flip flop D y el generador del clock de 25MHz:

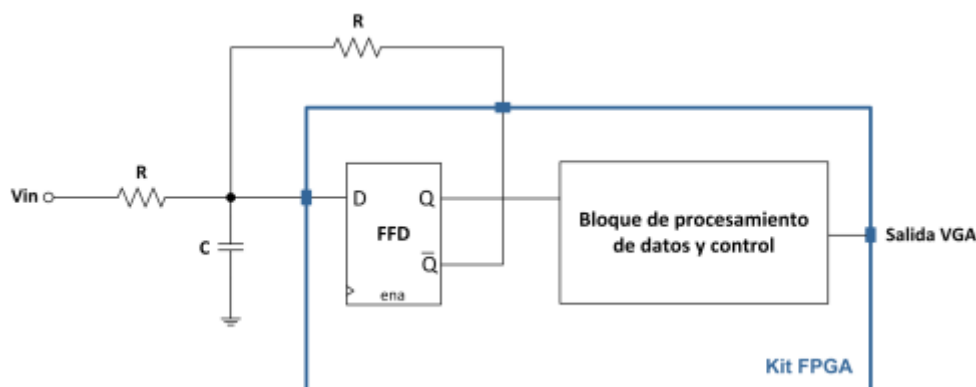


Figura 6: Diagrama del circuito analógico creado

En donde las resistencias son de $10\text{ K}\Omega$ y el capacitor de $C = 100\text{ nF}$. Por otra parte, el pin que se conecta con el D del flip flop D corresponde al pin “PIN_IN” y la que sale de $\neg Q$, “NOT_UNOS”.

Finalmente, el conector VGA fue conectado a la FPGA, siguiendo el siguiente esquema:

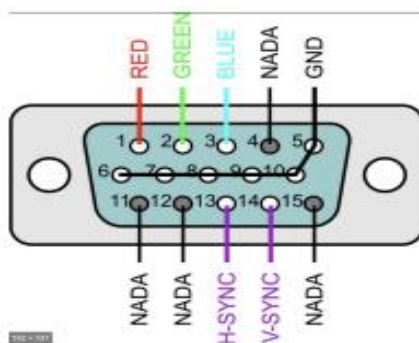


Figura 7: Señales VGA en el conector



Figura 8: Comportamiento del voltímetro conectado al monitor

Conclusiones

A modo de conclusión se puede determinar que el trabajo se realizó con éxito ya que se corroboró que el voltímetro funciona correctamente.

Se obtuvo que para la secuencia máxima de unos (330), se observó en pantalla de forma estable el valor 3.29V, mientras que al conectarlo a 0 volts se obtuvo un valor de 0.68V debido al offset generado por el circuito analógico, finalmente se generó una secuencia de unos en aumento y se observó un incremento del voltaje en pantalla a hasta llegar a 3.29V.

A modo de resumen, en este trabajo se implementó la arquitectura de un voltímetro digital a través de una FPGA y se comprendió el funcionamiento de cada uno de sus componentes junto con el funcionamiento de un monitor con entrada VGA y resolución 640 x 480.