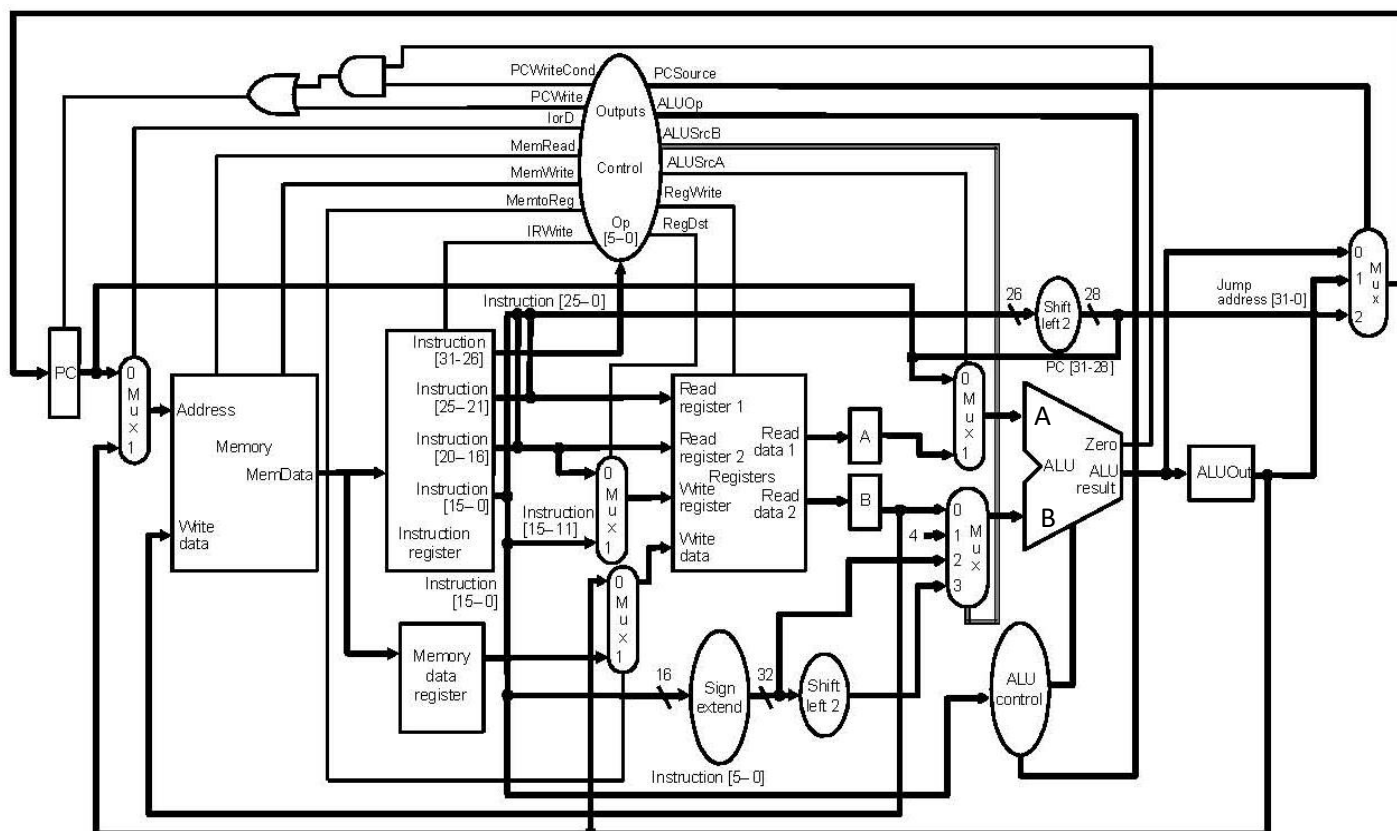


Nom: .....

### Problema 1. Arquitectura MIPS (2,5)



Memòria	Mux de 4 a 1	Mux de 2 a 1	Registres	ALU	Ext. signe	Desp. 2 bits esq.	Unitat control	Control ALU	Reg A, B, MDR, PC, ir i ALUOut
200 ps	20 ps	20 ps	100 ps	60 ps	10 ps	0 ps	20 ps	20 ps	10 ps

- 1) És un processador monocicle, multicicle o segmentat? (0,25)

## Multicycle

- 2) Si els blocs tenen el temps d'execució màxim de la taula, quina serà la màxima freqüència del processador? (indiqueu els blocs utilitzats per determinar la freqüència) (0,5)

S'ha de comptar el temps màxim de cadascuna de les etapes

Etapa 1: Fetch (PC+ memòria + mux) = 10 + 200 ps + 20 ps = 230 ps

Etapa 2: Accés al banc de registres (IR + Mux + Registres) = 10 + 20 + 100 = 130 ps

PC + extensió del signe (IR+ALU+Mux4+Shift+Sign) = 10 + 60 + 20 + 0 + 10 = 100 ps

Etapa 3: Operació (Tipus R) (B+Mux 4 + ALU) = 10 + 20 + 60 = 90 ps

Referència a memòria (Sign + Mux 4 + ALU) = 10 + 20 + 60 = 90 ps

Etapa 4: Referència a memòria (ALUOut+Mux2+memòria) = 10 + 20 + 200 = 230 ps

Guardar a registre (Mux 2)= 20 ps

Etapa 5: de MRD a Reg (MDR+Mux 2) = 10 + 20 = 30 ps

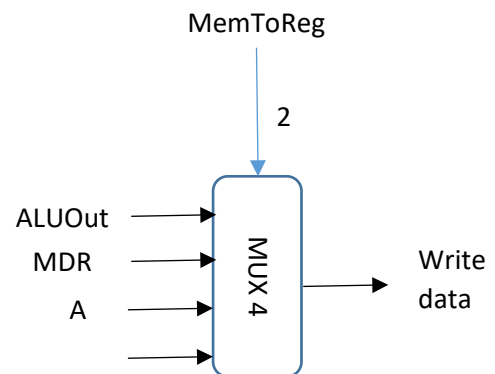
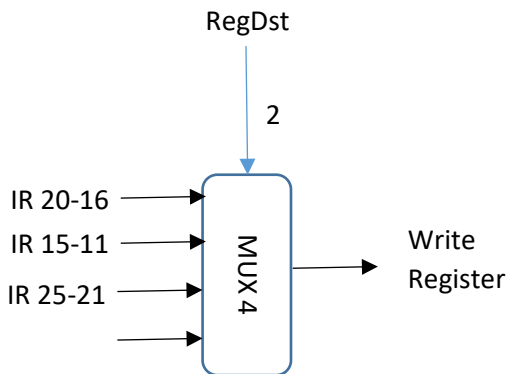
La freqüència màxima estarà limitada pel temps més gran: 230 ps => 4,247 GHz

- 3) Es vol afegir la instrucció SWAP per intercanviar el contingut de dos registres de 32 bits.
- a) Especifiqueu el format que utilitzarà per codificar la instrucció (R, I o J) i quina informació es codificarà en cada camp. (0,25)

Tipus R

co	rs	Rt	-	-	funct
----	----	----	---	---	-------

- b) Dibuixeu les modificacions que creieu que s'han de fer al processador de la figura, per tal de poder realitzar aquesta nova instrucció. (0,5)



- c) Indiqueu ordenadament els senyals de control que s'han d'activar per executar la instrucció. (0,75)

	Fetch	Reg	A -> rt	ALUOut -> rs
RegDst		X	10	00
MemToReg			10	00
RegWrite			1	1
ALUSrcA			X	X
ALUSrcB			00	X
ALUOp			B -> S	x

Rs i Rt direccionen els dos registres que s'han d'intercanviar. Al final del cicle d'accés als registres tenim els valors dels registres als registres temporals A i B

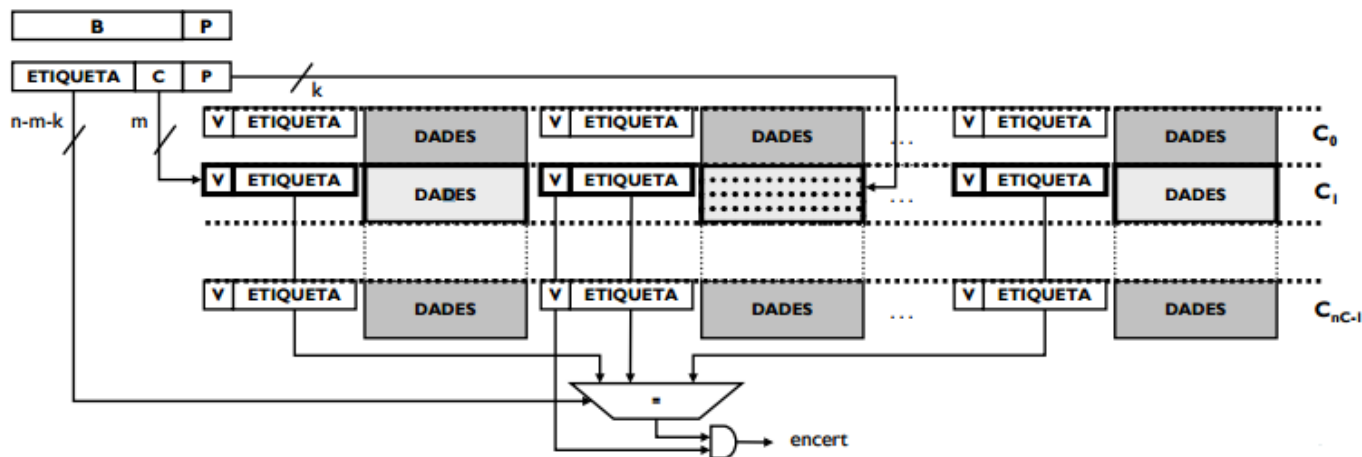
- d) Després d'aquesta modificació, quina serà la freqüència màxima? (0,25)

El mateix

## Problema 2. Memòries cau (2)

Es disposa d'un computador amb una memòria cau amb una mida de 256 KBytes per guardar instruccions o dades dels processos. La grandària de la línia és de 64 bytes. La memòria cau té un temps d'accés de 20 ns i un temps de penalització per fallada de 120 ns. La memòria cau és associativa per conjunts de quatre vies. Es demana:

1. El nombre total de línies de memòria cau: 4 K línies
2. El nombre de conjunts que té la memòria cau: 1 K conjunts
3. El nombre de línies per conjunt: 4
4. Feu un dibuix amb l'estructura de la memòria cau i defineix els camps de l'adreça



$P = 6$  bits i  $C = 10$  bits;  $E = ?$

5. Quant de temps tardarà en aconseguir una dada si es produeix una fallada a la memòria cau?

$$120 \text{ ns} + 20 \text{ ns} = 140 \text{ ns}$$

### Problema 3. Representació numèrica (1p)

Representeu en hexadecimal l'estàndard IEEE 754 de simple precisió el valor -36.

Signe = 1

Exponent = 132 ( 10000100 ) ;  $127 + 5 = 132$

Mantissa = 36 -> 100100 -> 1.00100 (S'ha desplaçat 5 bits) : 00100....0

Queda: 11000010000100000000000000000000 -> 0xc2100000

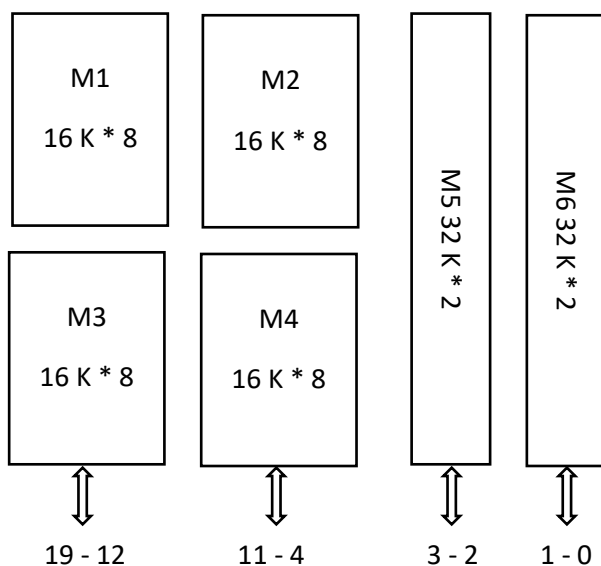
### Problema 4. Memòries (1 p)

Dissenyeu un sistema de memòria de  $64 \text{ K} * 20$  bits a partir de xips de memòria RAM de  $16 \text{ K} * 8$  bits i  $32 \text{ K} * 2$  bits.

15 línies d'adreces

Necessitem 4 xips de  $16 * 8$  bits i 2 de  $32 * 2$  bits

Estructura:



Descodificació:

$$OE_{M1} = OE_{M2} = BA_{14}$$

$$OE_{M3} = OE_{M4} = BA_{14}$$

$$M1 = M2 = M3 = M4 = BA_{13-0}$$

$$M5 = M6 = BA_{14-0}$$

### Problema 5. Processadors segmentats (1,5 p)

El següent tros de codi s'executa sobre un processador segmentat de 5 etapes (**IF**:Fetch, **LR**:Lectura registres, **AL**:Operació de l'ALU, **MD**: Accés a la memòria de dades, **WR**: Escriptura al registre).

Suposant que la dada es pot escriure en el banc de registres i llegir el seu valor en el mateix cicle:

- 1) Representeu el diagrama de cicles de rellotge del programa amb les dependències i els cicles d'espera que s'han d'afegir.

I1:	lw	f6, x(r1)	; f6 = Mem(r1+x)
I2:	lw	f2, y(r1)	; f2 = Mem(r1+y)
I3:	mult	f0, f2, f4	; f0 = f2 * f4
I4:	sub	f8, f6, f2	; f8 = f6 – f2
I5:	div	f6, f0, f6	; f6 = f0 / f6
I6:	add	f2, f8, f6	; f2 = f8 + f6
I7:	sw	f2, z(r1)	; Mem(r1 + z) = f2

		0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24
lw f6, x(r1)	I1	IF	LR	AL	MD	WR																				
lw f2, y(r1)	I2		IF	LR	AL	MD	WR																			
mult f0, f2, f4	I3			IF	-	-	LR	AL	MD	WR																
sub f8, f6, f2	I4						IF	LR	AL	MD	WR															
div f6, f0, f6	I5							IF	-	LR	AL	MD	WR													
add f2, f8, f6	I6								IF	-	-	LR	AL	MD	WR											
sw f2, z(r1)	I7											IF	-	-	LR	AL	MD	WR								

- 2) Quins riscos hi ha? En quines instruccions?

RAW: I1 -> I4, I5 i I6; I2 -> I3, I4; I3 -> I5; I4 -> I6; I5 -> I6; I6 -> I7

WAR: I5 -> I4; I5 -> I5

WAW: I1 -> I5; I2 -> I6 i I7; I6 -> I7

- 3) Calculeu el nombre de cicles que es necessiten per executar aquest tros de codi.

18 cicles

- 4) Creieu que es pot afegir algun curtcircuit per millorar el rendiment? Quins creieu que poden ser? (descriuiu-los). Quants cicles tardaria amb els curtcircuits que hi heu afegit?

Un curtcircuit molt simple, és afegir un camí entre la sortida de l'ALU i l'entrada de l'ALU per les instruccions aritmètiques i lògiques. Amb aquest curtcircuit aconseguim estalviar-nos el cicle d'accés a memòria i al final del cicle de l'ALU podem portar el resultat directa a l'entrada corresponent.

Aconseguim estalviar-nos un cicle en totes les dependències que s'han vist a la taula.

A I3, només ens em d'esperar un cicle, a I5 cap, a I6 només un.

Si posem un curtcircuit entre el registre que guarda la sortida de l'ALU i l'entrada de dades de la memòria de dades, també podem estalviar-nos dos cicles a I7.

El temps d'execució seria de 13 cicles

### Problema 6. Entrades i sortides (2 p)

Una targeta de vídeo està connectada a un ordinador mitjançant un bus d'entrada/sortida dedicat de 64 línies per adreces i 64 línies per dades. Transmetre una adreça o una dada consumeix un cycle de bus. Llegir o escriure a memòria suposa una latència de 4 cycles. A partir del sisè cycle el sistema de memòria pot llegir o escriure fins a 8 paraules a raó de dues paraules per cycle de bus. Per les escriptures son necessaris dos cycles addicionals pel codi de correcció d'errors. La freqüència de funcionament del sistema és de 200 MHz.

1. Determineu l'ample de banda màxim en bytes per segon, si el 75% de les peticions són lectures i 25% són escriptures, per blocs de 8 paraules.

Una lectura de un bloc de 8 paraules tarda: 1 cycle per l'adreça + 4 cycles de latència + 4 de les 8 paraules = 9 cycles

En 9 cycles es llegeixen 4 paraules

Una escriptura: 1 cycle per l'adreça + 4 de latència + 4 de dades + 2 de CRC = 11 cycles

En 11 cycles s'escriuen 4 paraules

$$BW = 4 \text{ bytes} / \text{paraula} / ((9 \text{ cycles} * 0,75 + 11 \text{ cycles} * 0,25) \text{ Hz} / 8 \text{ paraules}) * 200 \text{ MHz/s} =$$

$$BW = 32 * 200 * 10^6 / (9,5) \text{ Bytes/s} = 673.684,210, 5263 \text{ Bytes/s} = 642,475 \text{ MBytes/s}$$

2. Si cada vegada que es reben 32 bytes es produeix una interrupció, el tractament consumeix 2 cycles, calculeu el percentatge de temps que el processador dedica a tractar les interrupcions.

Si es reben 32 bytes -> és un cycle de lectura.

S'ha de buscar l'ample de banda de les lectures

$$BW_L = 32 \text{ bytes} * 200 \text{ MHz} / 9 \text{ cycles} = 711.111.111,111 \text{ Bytes/s} = 678,168 \text{ MBytes/s}$$

Si cada 32 bytes genera una interrupció ->

$$N^\circ \text{ d'int} = 678,168 \text{ MBytes/s} / 32 \text{ bytes/Int} = 22.222.222,2 \text{ Int/s}$$

Si cada interrupció necessita 2 cycle:

$$N^\circ \text{ de cycles} = 22.222.222,222 \text{ Int/s} * 2 \text{ cycles /Int} = 44.444.444,4 \text{ Hz} = 44,4 \text{ MHz}$$

$$\% \text{ d'ocupació} = 44,4 \text{ MHz} / 200 \text{ MHz} * 100 = 22,2 \%$$

3. Si es programa el controlador DMA, per fer transferències de 12 Kbytes, calculeu el percentatge de temps que el processador roman ocupat sabent que es consumeixen 150 cycles en inicialitzar i 300 cycles en el tractament de la interrupció que marca el final de la transferència.

$$BW_L = 678,168 \text{ MBytes/s}$$

Si cada 12 KBytes genera una transferència per DMA ->

$$N^\circ \text{ de DMA} = 678,168 \text{ MBytes/s} / 12 \text{ KBytes/DMA} = 57.870,37 \text{ DMA/s}$$

Si cada DMA necessita 450 cycles:

$$N^\circ \text{ de cycles} = 57.870,37 \text{ DMA/s} * 450 \text{ cycles /DMA} = 26.041.666,666 \text{ Hz} = 26,041 \text{ MHz}$$

$$\% \text{ d'ocupació} = 26,041 \text{ MHz} / 200 \text{ MHz} * 100 = 13,0208 \%$$

Nota: les paraules son de 32 bits.