

# Processadors actuals

Introducció

ARM i MIPS

# Processadors RISC (ARM)

- Processadors arm (<http://www.arm.com>)
- Es una arquitectura llicenciable de 32 bits desenvolupada per ARM Holdings.
- Son processadors relativament simples idonis per aplicacions de baixa potència.
- Dominen el mercat de l'electrònica mòbil i integrada: PDAs, tablets, telèfons mòbils, videoconsoles, calculadores, reproductors digitals de música i mitjans com fotos, vídeos, .. i perifèrics d'ordinador com discos durs i routers. El 2009 tenien el 90 % dels processadors RISC de 32 bits encastats.
- Història:
  - El crea l'any 1983 l'empresa Acrom Computers, amb un disseny similar al MOS 6502.



ARM family	Feature	<a href="#">Cache</a> (I / D), <a href="#">MMU</a>	Typical <a href="#">MIPS</a> @ <a href="#">MHz</a>
ARM1	First implementation	None	
ARM2	Integrated <a href="#">MEMC</a> (MMU), graphics and I/O processor. ARMv2a added the SWP and SWPB (swap) instructions	None, MEMC1a	7 MIPS @ 12 MHz
ARM3	First integrated memory cache	4 <a href="#">KB</a> unified	12 MIPS @ 25 MHz 0.50 DMIPS/MHz
<a href="#">ARM7</a>	As ARM710 (Von Neumann)	8 KB unified	40 MHz
ARM8	5-stage pipeline, static branch prediction, double-bandwidth memory	8 KB unified, MMU	84 MIPS @ 72 MHz 1.16 DMIPS/MHz
<a href="#">ARM11</a>	8i 9-stage pipeline, <a href="#">SIMD</a> , Thumb, Jazelle DBX, (VFP), Enhanced DSP instructions (Harvard)	Variable, MMU	740 @ 532–665 MHz (i.MX31 SoC), 400–528 MHz
<a href="#">Cortex-M</a>	Microcontroller profile, Thumb / Thumb-2 / DSP / optional VFPv5 single and double precision <a href="#">FPU</a> , hardware multiply and divide instructions	0-64 KB I-cache, 0-64 KB D-cache, 0-16 MB I-TCM, 0-16 MB D-TCM (all these w/optional ECC), optional MPU with 8 or 16 regions	2.14 DMIPS/MHz
<a href="#">Cortex-R</a>	Real-time profile, Thumb / Thumb-2 / DSP / optional VFPv3 FPU and precision, hardware multiply and optional divide instructions, optional parity & ECC for internal buses / cache / TCM, 11-stage pipeline dual-core running lock-step with fault logic / out-of-order execution / dynamic <a href="#">register renaming</a> / optional as 2 independent cores, low-latency peripheral port (LLPP), ACP <a href="#">[21]</a>	0–64 KB / 0–64 KB, ? of 0–128 KB TCM, opt MPU with 16 regions	
<a href="#">Cortex-A (32-bit)</a>	Application profile, ARM / Thumb / Thumb-2 / DSP / VFPv4 FPU / NEON / integer divide / fused MAC / Jazelle RCT / hardware virtualization, <a href="#">out-of-order speculative issue superscalar</a> , 1–4 SMP cores, MPCore, Large Physical Address Extensions (LPAE), snoop control unit (SCU), generic interrupt controller (GIC), ACP	32 KB L1, 256 KB-8 MB L2 w/optional ECC	2.8 DMIPS/MHz

- Thumb: Instruccions de 16 bits
- Jazelle: Pot executar java directament

# Processadors RISC (MIPS)

- Processadors mips (<https://www.imgtec.com/>)
- Es una arquitectura llicenciable de 32 i 64 bits desenvolupada per MIPS Technologies.
- S'expliquen en molts cursos d'arquitectura de computadors al disposar d'un conjunt d'instruccions molt complert i didàctic.
- Actualment, és el més important en la fabricació de televisors digitals, accés a banda ampla, sintonitzadors de TV, gravadors de DVD, DVD HD i veu IP. A més a més va agafant mercat en la fabricació de videojocs, consoles, càmeres digitals productes d'oficina, WiFi i mòdems.
- Història:
  - L'any 1981 a la universitat d'Stanford es crea el primer MIPS, amb l'idea de millorar el rendiment amb la segmentació.
  - A principis dels 90 es comencen a vendre llicències a tercers fabricants. Per la senzillesa del nucli s'utilitza en moltes aplicacions substituint processadors CISC.

### MIPS Microprocessors

MIPS instruction set	Microarchitecture	Frequency (MHz)	D. cache (KB)	I. cache (KB)	L2 cache	L3 cache	Features
MIPS I	R2000	8 to 16.67	64 external	64 external	none	none	5 stage pipelines, FPU: 2010; Sony PlayStation
MIPS II	R6000	60 to 66	external	external	none	none	32-bit register size, 36-bit physical address
MIPS III	R4000/R4700	100 to 200	8 a 16	8 a 16	External	none	
MIPS IV	R5000/R18000	150 to 1000	16 a 64	16 a 64	512 KB – 16 MB external	none	
MIPS32	24K	400 (130 nm) 750 (65 nm) 1468 (40 nm)	0 to 64	0 to 64	4–16 MB external	none	
MIPS32	1074K	1500				none	
MIPS32	1074Kf					none	Floating point
MIPS32	microAptiv		8 to 64	8 to 64		none	
MIPS32	interAptiv		4 to 64	4 to 64	up to 8 MB internal	none	
MIPS32	proAptiv		32 or 64	32 or 64	up to 8 MB internal	none	
MIPS64	5K						
MIPS64	20K						