

Nom:.....

1) (1) Segui el següent programa en **Llenguatge Assemblador** de la **MSI**:

@		Contingut	@	Dada
0	add	101, 100	100	1
1	beq	3	101	65535
2	mov	100, 102	102	0
3	beq	0		

Quantes vegades s'executa la instrucció de l'adreça 2?

I la de l'adreça 1?

Descriu el cicle d'execució de la instrucció que hi ha a l'adreça 3 la primera i la segona vegada que s'executa.

2) (1) Donades les següents declaracions de variables globals, emmagatzemades a memòria a partir de l'adreça 0x10010000:

- a: .byte 3
 b: .half -2
 c: .word 0xAABBCCDD
 e: .byte 0x04
 f: .word 0x05

Accés a la memòria: Little endian

Ompleu la següent taula amb el contingut de la memòria en hexadecimal, byte per byte, deixant en blanc els bytes no inicialitzats:

Adreça	Dada	Adreça	Dada	Adreça	Dada	Adreça	Dada
10010000		10010004		10010008		1001000C	
10010001		10010005		10010009		1001000D	
10010002		10010006		1001000A		1001000E	
10010003		10010007		1001000B		1001000F	

3) (2,5) Considereu un computador amb un processador que té una amplada de dades i d'adreces de 64 bits, i una memòria cau de dades amb les següents característiques:

- 512 blocs, amb 2 paraules per bloc (paraules de 64 bits)
- Correspondència directa
- Escripura immediata sense assignació
- Temps d'accés en cas d'encert: $t_h = 1$ cicle
- Temps de lectura/escripura de blocs a memòria principal: $t_{block} = 99$ cicles

Quina és la capacitat en bytes de la memòria cau de dades?

Quin serà el format de les adreces?

Etiqueta	Conjunt	Paraula

El següent programa en alt nivell s'executa en aquest computador:

Tenint en compte que el vector V està emmagatzemat a partir de l'adreça 0, indiqueu la seqüència d'adreces (en hexadecimal) dels accessos a memòria de dades que genera l'execució del programa, especificant per a cadascuna: si és lectura o escriptura (L/E) i si produeix un encert o fallada (Enc/Fal) a la cau:

(Ompleu la taula començant per la columna de l'esquerra)

```
int V[6]; /* un int ocupa 64 bits */
main() {
    int i, tmp; /* variables ubicades als registres */
    tmp = V[0];
    for (i=1; i < 6; i++) V[i-1] = V[i];
    V[5] = tmp;
}
```

@ (hex)	L/E	Enc/Fal	@ (hex)	L/E	Enc/Fal

Suposem ara que executem un altre programa, del qual s'obté la següent informació:

- Taxa de fallades: 0,10
- 1/3 part de les referències a memòria són escriptures, la resta lectures.

Calculeu el temps mitjà d'accés a memòria de dades (t_{am}) en l'execució d'aquest programa.

4) (1,5) Un processador que treballa a 200 MHz i que totes les seves instruccions necessiten 4 cicles de rellotge per executar-se disposa d'un sistema d'interrupcions amb un temps de reconeixement d'interrupció de 100 ns. Aquest processador es connecta a un disc magnètic amb 128 sectors/pista i 1024 bytes/sector mitjançant un sistema d'interrupcions. A cada interrupció es transmeten 8 byte mitjançant una rutina de servei d'interrupcions que executa 20 instruccions. Quina és la capacitat d'entrada de dades (ample de banda) màxima en MBytes/s mitjançant el sistema d'interrupcions?

5) (1,5) Un controlador de DMA transmet paraules a memòria de forma transparent. Quan la CPU disposa en exclusiu del bus, les instruccions utilitzen 4 cicles de rellotge i dos d'ells no utilitzen els busses. El controlador de DMA tarda un cicle de rellotge en transmetre una paraula. Si la freqüència de rellotge del computador és de 100 MHz/s, quant de temps tardarà el controlador de DMA a moure un bloc de dades de 10^7 paraules?

6) (2,5) MIPS multimèdia. Es vol afegir la instrucció MAC (multiplicar i acumular) per accelerar el filtrat de senyals digitals pel procés de dades multimèdia.

$$\text{Acumulador} = \text{Cte} * \text{Dada} + \text{Acumulador}$$

Tant la dada com l'acumulador seran registres del banc del MIPS i la constant serà un nombre de 16 bits. Si es produeix un desbordament tant a la multiplicació com a la suma, s'ha de menysprear.

Per implementar aquesta instrucció es disposa de registres, multiplexors i un multiplicador de 32 bits.

Es demana:

1. Indiqueu quin format d'instrucció dels suportats pel MIPS farà servir per codificar la instrucció i quins elements de l'equació codificarà en cadascun dels camps.
2. Modifiqueu el camí de dades del MIPS perquè es pugui executar aquesta instrucció.
3. Escriviu el valor que han de tenir els senyals de control per executar la instrucció. Només heu d'indicar les fases relacionades amb l'execució de la instrucció, sense incloure la fase de càrrega (fetch) i de descodificació. En el cas del multiplicador podeu suposar que necessita dos cicles de rellotge per obtenir el resultat.

