



Arquitectura de computadors

Pràctica 1

24 de febrer de 2016

Disseny de la unitat Aritmètica i Lògica (ALU)

Antoni Escobet

PRÀCTICA 1 – Disseny de la Unitat Aritmètica i Lògica

1. Objectius

En aquesta practica es pretén:

- Repassar els conceptes relacionats amb la unitat aritmètica i lògica del processador MIPS vist a la classe de teoria.
- Dissenyar una ALU de 32 bits per nombres sencers.
- Amplia els coneixements sobre el llenguatge VHDL i l'edició esquemàtica de circuits amb QUARTUS II.

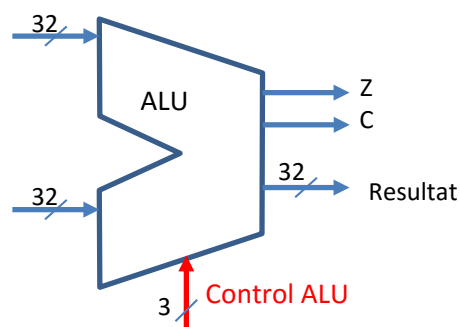
2. Material

L'únic material necessari per la realització d'aquesta pràctica és el paquet de programari d'ALTERA, el Quartus II web edition instal·lat als ordinadors del laboratori, i que us podeu descarregar gratuïtament de la pàgina web d'Altera (<http://www.altera.com>).

La simulació del vostre disseny s'ha de fer amb el simulador "ModelSim" que proporciona el mateix paquet de programari d'Altera

3. Problema proposat

En aquesta primera pràctica s'ha de realitzar el disseny de la unitat aritmètica i lògica pel processador que s'ha vist a teoria.



El disseny del processador monocicle vist a classe, amb el seu camí de dades i la seva unitat de control permet executar un conjunt reduït d'instruccions relacionades amb la unitat aritmètica i lògica:

add, sub, and, or, slt

És a dir, que pot realitzar sumes i restes de nombres sencers de 32 bits, i les operacions lògiques AND i OR sobre 32 bits. També pot comparar dos operants per saber si un és més gran que l'altre.

Per tal de poder fer els salts condicionals, serà necessari que l'ALU proporcionï a la unitat de control, l'indicador de si el resultat de l'operació val zero (Z) i si ens en portem un en una operació aritmètica (C).

4. Descripció de la practica

La unitat aritmètic lògica tindrà la següent definició d'entrades i sortides:

```
entity ALU32 is
  Port (
    Op1 : in  STD_LOGIC_VECTOR (31 downto 0);
    Op2 : in  STD_LOGIC_VECTOR (31 downto 0);
    Operacio : in  STD_LOGIC_VECTOR (2 downto 0);
    Result : out STD_LOGIC_VECTOR (31 downto 0);
    Z : out STD_LOGIC;
    C : out STD_LOGIC);
end ALU32;
```

on **OP1** i **OP2** són els dos operands, **Result** és, com el seu nom indica, el resultat de l'operació a realitzar, **Z** és la sortida zero que valdrà 1 si el resultat és zero, **C** és el bit de “carry” i **Operacio** són les línies de control que li indicaran a la unitat aritmètic i lògica el tipus d'instrucció a realitzar. A la Taula es mostren els codis que indiquen el tipus d'operació a realitzar per l'ALU.

Operacio	Funció
0 0 0	AND
0 0 1	OR
0 1 0	Suma
1 1 0	Resta
1 1 1	Activar si menor que

4.1. Funcions

4.1.1. AND

Fa l'operació lògica I entre els dos operands d'entrada. Modifica la sortida Z depenen del resultat. La sortida C sempre val zero.

Result = OP1 *and* OP2

4.1.2. OR

Fa l'operació lògica O entre els dos operands d'entrada. Modifica la sortida Z depenen del resultat. La sortida C val zero.

Result = OP1 *or* OP2

4.1.3. Suma

Fa l'operació aritmètica *suma* entre els dos operands d'entrada. Modifica les sortides Z i C depenen del resultat.

Result = OP1 + OP2

4.1.4. Resta

Fa l'operació aritmètica *resta* entre els dos operands d'entrada. Modifica les sortides Z i C depenen del resultat.

Result = OP1 - OP2

4.1.5. Activar si menor que (*set-on-less-than*).

Aquesta operació genera 1 si $R_s < R_t$, i 0 en qualsevol altre cas. Exemple:

```
slt $1,$2,$3 significa que
    if ($2 < $3) then $1 = 1;
    else $1 = 0;
```

Per tant, la instrucció *activar si menor que* (slt) posarà el bit menys significatiu del resultat a 0 o 1 depenent del resultat de la comparació (la resta de bits, de l'1 al 31, es deixaran a zero).

5. Realització pràctica

5.1. Disseny de l'ALU de 32 bits

Realitzeu el disseny corresponent a l'ALU de 32 bits explicat i verifiqueu el seu correcte funcionament amb el simulador.

5.2. Símbol de l'ALU de 32 bits

Amb el disseny de l'ALU creat a l'apartat anterior creeu un símbol nou. Amb l'editor d'esquemàtics del "Quartus" dissenyeu un esquema que utilitzi aquest nou component (només l'heu de connectar a unes entrades i sortides) i verifiqueu el seu correcte funcionament amb el "ModelSim".

En tots els apartats, és aconsellable fer un joc de proves el més complert possible.

Presentació de la practica: Aquesta practica està pensada per que la comenceu a fer en un sessió de laboratori. Al realitzar-se totalment sobre programari que el podeu aconseguir fàcilment, la resta de la practica l'haureu d'acabar vosaltres en altres hores.

S'ha d'ensenyar que funciona correctament a la propera sessió de pràctiques (el dia 9 de març).

6. Preguntes

- Heu pogut fer la simulació dels dos dissenys de la mateixa forma? Quines heu utilitzat i per quin motiu?
- Hi ha un temps mínim per poder fer modificacions als senyals d'entrada?
- Quin és el temps de resposta dels senyals de sortida?

S'ha de fer una memòria amb els esquemes comentats del programa de VHDL i unes pantalles amb els resultats de la simulació. També s'han de respondre les tres qüestions plantejades a l'apartat 6.

Les pràctiques s'han de realitzar pels dos integrants del grup i la nota serà per tant la mateixa per a tots dos.

La nota de cada pràctica s'avalua segons els tres punts següents:

- Treball previ (si n'hi ha)
- Funcionament correcte.
- Documentació.

Per poder realitzar la pràctica en el temps previst és necessari que l'alumne realitzi el treball previ, quan així ho estableixi la pràctica. A l'inici de cada sessió de laboratori el professor recollirà aquest treball previ per a la seva avaluació (el que implica que l'alumne ha de tenir una còpia d'aquest treball per utilitzar-lo durant la sessió). Aquesta part valdrà el 20% de la nota.

És imprescindible per aprovar el Laboratori haver realitzat totes les pràctiques assignades, i tenir en cadascuna d'elles una puntuació mínima de 5. En el cas de suspendre una pràctica l'alumne tindrà una setmana per fer les correccions pertinents.

La durada de cada pràctica serà d'una sessió tret que s'indiqui el contrari. La memòria de la pràctica es lliurarà al professor com a màxim en començar la següent sessió de laboratori. A efectes de càlcul de la nota mitjana final, una setmana de demora significarà que la nota es dividirà per 2, si la demora és més gran la nota serà de zero punts. El fet de superar les dues setmanes de demora no exclou el lliurar i aprovar la pràctica. A més, cal lliurar obligatòriament totes les pràctiques.

Algunes de les pràctiques contenen un apartat opcional de caràcter voluntari que donarà l'oportunitat a l'alumne d'augmentar la nota obtinguda en els apartats obligatoris de la pràctica, sempre que aquesta sigui superior a 5.

NORMES GENERALS PER A LA REDACCIÓ DE LA DOCUMENTACIÓ

1. La documentació ha de ser concisa i clara.
2. Seguir el guió de la pràctica però sense copiar l'enunciat, excepte de forma esquemàtica.
3. Per les pràctiques en el laboratori d'ordinadors, recordeu que tots els arxius generats s'esborren en finalitzar la sessió. Es recomana crear una carpeta, per exemple a l'escriptori, per emmagatzemar aquests arxius i copiar en finalitzar la sessió a un disc USB. S'obtindrà còpia impresa només dels fitxers font: esquemes i codi VHDL.
4. Si s'inclouen diagrames temporals han de tenir la mateixa escala de temps i estar sincronitzats entre si.

NORMES D'ÚS DEL LABORATORI

1. Preparar la pràctica abans d'anar al laboratori, segons les indicacions de cada pràctica.
2. Urbanitat: neteja, nivell de soroll baix, etc.
3. El lloc de treball serà fix i es faran servir els aparells correctament, guardant a l'armari en finalitzar el seu ús.
4. Forma part de la pràctica descobrir els possibles errors en el material utilitzat, així com en els components i circuits integrats emprats en la realització de la mateixa.
5. Per si es penja l'ordinador, és recomanable fer còpia de seguretat de tant en tant en un disc USB.
6. No introduir programes per evitar virus informàtics ni navegar per Internet sense autorització expressa del professor.
7. Està prohibit menjar, beure, fumar i jugar (amb l'ordinador o sense) al laboratori.