

- 1) (1 p) En una màquina MIPS multicicle, tenim la instrucció *j dir1*, que està emmagatzemada a l'adreça de memòria *dir1 - 4*. Quin valor contindrà el registre d'instrucció (IR) i el comptador de programa (PC), immediatament després de la seva fase de cerca de la instrucció (fetch) i immediatament després de la seva fase d'execució?

	Fetch	Execució
IR	j dir1	j dir1
PC	dir1	dir1

- 2) (1 p) Si tenim una memòria de 8 bits d'amplada (cada posició de memòria és d'un byte). A partir de l'adreça 0x43A8F4FE hi ha emmagatzemats els bytes 0x5E, 0xA2, 0x06, 0x73, 0xA1 i 0x9C. Quina és la paraula a l'adreça 0x43A8F500 segons si el computador és 'big-endian' o 'little endian'?

	Paraula
big-endian	0x 06 73 A1 9C
little endian	0x 9C A1 73 06

- 3) (1 p) El fragment de codi s'executa sobre la màquina segmentada de 5 etapes vista a classe. Indiqueu les dependències i el seu tipus, indicant el registre que té la dependència i les instruccions que la generen:

	Tipus de dependència	Sobre quin registre?	Quines instruccions fan la dependència
I1: lw \$1, 40(\$6)	RAW	\$1	I3
I2: add \$6, \$2, \$2	WAR	\$6	I1
I3: sw \$6, 50(\$1)	WAW / WAR	\$6 / \$1	I2 / I1

- 4) (2 p) Un computador MIPS de **32 bits** té una memòria cau L1 compartida per a dades i codi. Aquesta memòria accelera l'accés a una memòria principal de 4 GBytes. L1 té una capacitat de 1 Mbyte i utilitza els quatre últims bits de les adreces sol·licitades per trobar la paraula dins del bloc. L'ordinador incorpora a més una memòria cau L2 de 2 MBytes, amb correspondència associativa per conjunts de quatre vies i la mateixa mida de bloc (línia) de L1.

Si P és la paraula dins del bloc, C és el conjunt i E és l'etiqueta, responeu a les següents qüestions:

- a. (0.5) Indiqueu raonadament en quins camps es divideixen les adreces sol·licitades pel processador a la memòria cau L1, suposant que és de correspondència directa.

L1: 1MByte => 256 Kparaules => 2^{18} paraules

17	4	3	0
C (línia) (14)	P (4)		

29	18	17	4	3	0
E (12)	C (14)	P (4)			

- b. (0.5) Repetiu l'apartat 1, suposant que la memòria cau L1 és de correspondència associativa.

17	4	3	0
E (14)	P (4)		

29	4	3	0
E (26)	P (4)		

- c. (1 p) Amb les dues caus fredes (buides), s'executa el fragment de programa emmagatzemat a partir de l'adreça 0x1234caf0. Mostra detalladament l'evolució de les caus L1 i L2 per a cada un dels cinc accessos a memòria que produeix aquest tros de codi, i suposant que les escriptures es fan a través del mecanisme d'escriptura immediata

```
main:  addi $t0, $zero, 255
      lw  $t1, 25($t0)
      sw  $t1, 25($t0)
```

Ins	Dada	L1			L2					
		Conjunt	Etiqueta	Comentari	Conjunt	V0	V1	V2	V3	Comentari
I1		0x132b	0x123	Fallada. Es porta el bloc a L1	0x132B	0x246				Fallada. Es porta el bloc a L2
I2		0x132b	0x123	Encert	0x132B	0x246				Encert
	0x118	0x4	0x0	Fallada. Es porta el bloc a L1	0x4	0x0				Fallada. Es porta el bloc a L2
I3		0x132B	0x123	Encert	0x132B	0x246				Encert
	0x118			Encert. Es guarda la dada a L1						Encert. Es guarda la dada a L2 i a la memòria principal

L2: 2 MBytes => 512 K Paraules => 2^{19} Paraules

16	4	3	0
E (13)	P (4)		

4 línies per conjunt

29	17	16	4	3	0
E (13)	C (13)	P (4)			

0x1234caf0

	1	2	3	4	C	A	F	0
	0001	0010	0011	0100	1100	1010	1111	0000
L1	0001 0010 0011 0x123			01 0011 0010 1011 0x132B			1100 0xC	00
L2	0 0010 0100 0110 0x0236			1 0011 0010 1011 0x132B			1100 0xC	00

Adreça de memòria: $255+25 = 280 \Rightarrow 0x118$

0x

	0	0	0	0	0	1	1	8
	0000	0000	0000	0000	0000	0001	0001	1000
L1	0000 0000 0000 0x0			00 0000 0000 0100 0x4			0110 0x6	00
L2	0 0000 0000 0000 0x0			0 0000 0000 0100 0x4B			0110 0x6	00

- 5) Es disposa d'un disc dur que transfereix dades en blocs de 4 paraules de 32 bits a una velocitat de transferència de 8MB/s, i d'un processador amb un rellotge de 600 MHz. L'entrada/sortida es realitza per interrupcions: la sobrecàrrega per a cada transferència, inclosa la interrupció, és de 400 cicles de rellotge. Trobeu la proporció de temps de processador consumida per la transferència de dades, si el disc dur transfereix dades només el 5% del temps.

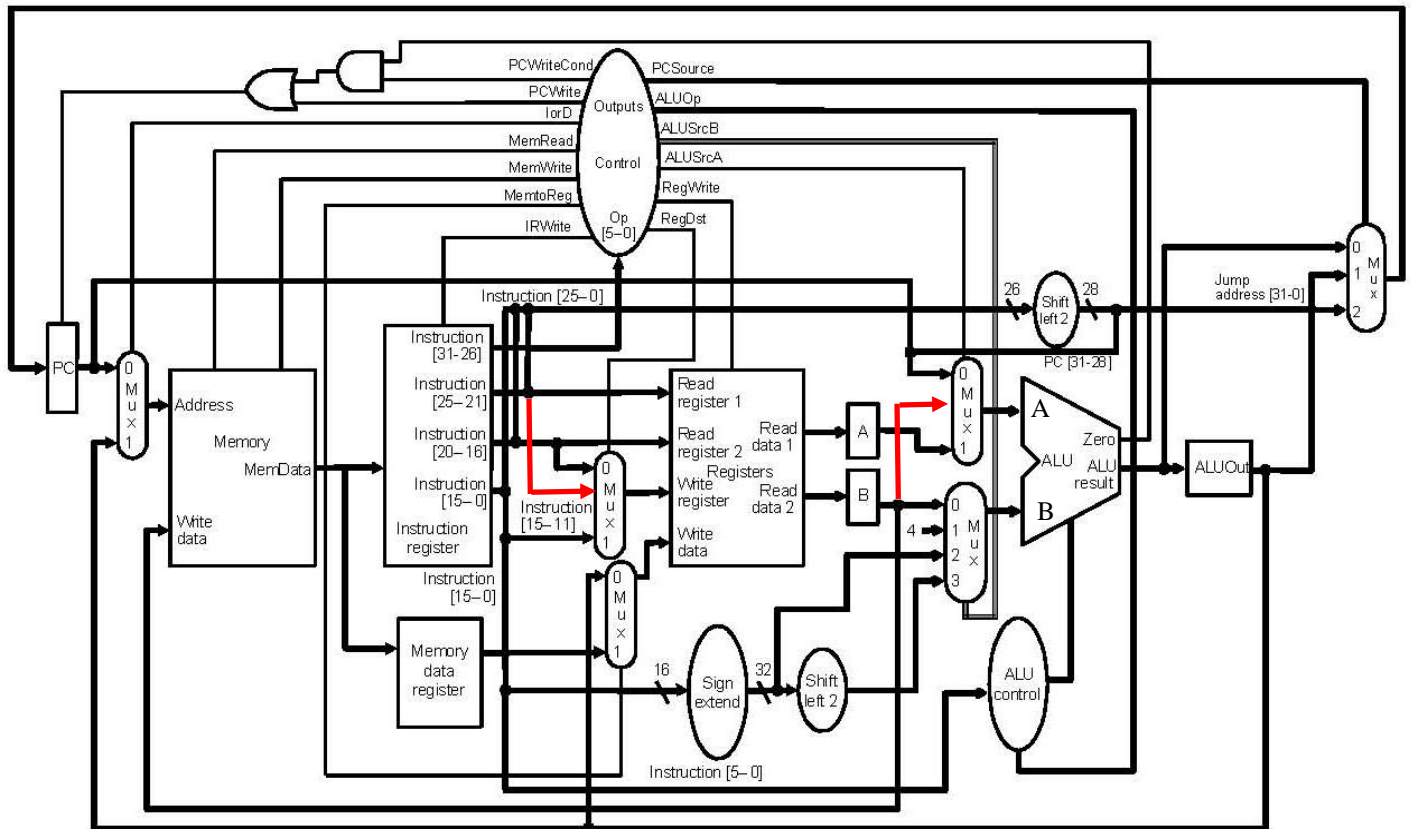
Quantitat de blocs per segon: $8\text{MB/s} / 16\text{Bytes/bloc} = 2^{23} \text{ Bytes/s} / 2^4 \text{ Bytes/bloc} = 2^{19} \text{ blocs/s}$

S'han de transferir 2^{19} blocs per segon, que representa que hi hauran 2^{19} interrupcions per segon.
 $2^{19} \text{ interrupcions/s} * 400 \text{ cicles/interrupció} = 200 * 2^{20} \text{ cicles/s (per E/S)}$

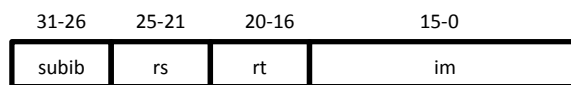
$200 * 2^{20} \text{ cicles_E/S/s} / 600 * 10^6 \text{ Hz} = 0.349525333(\text{E/S}) \Rightarrow 34,95253 \%$

5 % de 34,95253) = 1.747626 % (del temps del processador per E/S)

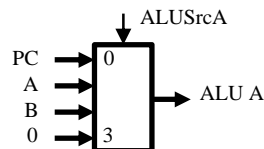
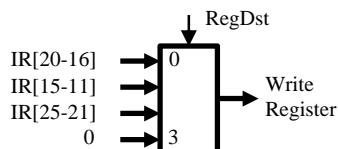
- 7) (3 p) Donada la instrucció *subib rs, rt, im* del tipus I, que resta del valor del registre *rt* el valor immediat *im*, i deixa el resultat al registre *rs*. Quines modificacions del camí de dades i del control cal fer perquè el processador multicicle de la figura pugui executar aquesta instrucció? (Recordeu que: ALUOp: 01: Resta -> A - B)



Si el format de la instrucció, és:



- c. (1.5 p) Quines modificacions creieu que s'han de fer al camí de dades: (Es pot comentar o dibuixar les parts afegides)



- d. (1.5 p) Tenint en compte que els dos primers estats que s'executen, son: L'estat 0, que és la cerca de la instrucció (fetch) i l'estat 1, corresponent a la descodificació i accés als registres, quins estats necessita i que ha de fer cadascun d'ells per poder implementar aquesta nova instrucció?. (Només heu d'indicar els senyals que s'activen)

Estat X (Sortint de l'estat 1 amb una instrucció *subib*)

ALUSrcA = 2; ALUSrcB = 2; ALUOp = 01

Estat X + 1

RegDst = 2; MemToReg = 0; Activar RegWrite