

Nom: .....

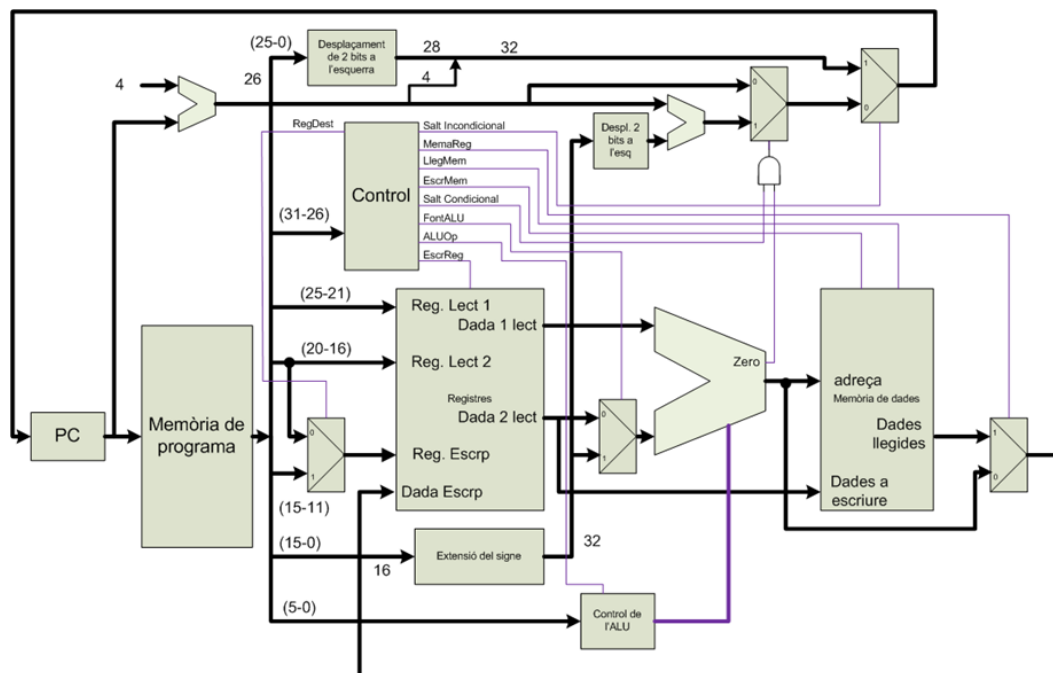
**Problema 1. Arquitectura MIPS (2,5)**

Figura 1: Processador

Taula 1

Mem. de programa	$\Sigma$ PC + 4	Mux de 2 a 1	Banc de registres	ALU	Ext. signe	Desp. 2 bits esq.	Mem. de dades	Unitat control	Control ALU
200 ps	100 ps	20 ps	100 ps	60 ps	10 ps	0 ps	200 ps	20 ps	20 ps

Preguntes sobre el processador de la figura 1

- 1) És un processador monocicle, multicicle o segmentat?
- 2) Si els blocs tenen el temps d'execució màxim de la taula 1, quina serà la màxima freqüència del processador? (indiqueu els blocs utilitzats per determinar la freqüència)
- 3) Es vol afegir la instrucció MAC  $rs, rt, valor$  (multiplicar i acumular)  $\rightarrow rt = rs * valor + rt$ . Per poder-ho fer es disposa d'un nou bloc per multiplicar (MUL), que té dues entrades (A i B) de 32 bits i una sortida (C) de 32 bits. Aquest nou bloc necessita 200 ps per poder realitzar el producte.
  - a) Dibuixeu les modificacions que creieu que s'han de fer al processador de la figura 1, per tal de poder realitzar aquesta nova instrucció.
  - b) Indiqueu ordenadament els senyals de control que s'han d'activar per executar la instrucció.
  - c) Després d'aquesta modificació, quina serà la freqüència màxima?

**Problema 2. Memòries cau (2,5)**

Es disposa d'un sistema fet amb un processador MIPS de 32 bits amb una cau L1 compartida per dades i codi. Aquesta cau accelera l'accés a una memòria principal de 4 GBytes. La memòria cau té 2 MByte de capacitat i els blocs estan formats per 8 paraules. L'ordinador incorpora a més una memòria cau L2 de 4 MBytes, amb correspondència associativa i la mateixa mida de bloc que la memòria cau L1. Les paraules són de 32 bits (4 bytes).

Responen a les següents qüestions:

- 1) Indiqueu raonadament en quins camps es divideixen les adreces sol·licitades pel processador a la memòria cau L1, suposant que la memòria cau L1 és de correspondència directa. Quantes línies té?
- 2) Feu el mateix per L2.
- 3) Amb les dues caus fredes (buides), s'executa un fragment de programa, emmagatzemat a partir de l'adreça 0x1234caf0. Mostreu detalladament l'evolució de les caus L1 i L2 per a cada un dels cinc accessos a memòria que produeix aquest fragment de programa, i suposant que les escriptures es realitzen a través del mecanisme d'escriptura immediata.

```
main:  addi $t0, $zero, 255
        lw  $t1, 25($t0)
        sw  $t1, 25($t0)
```

### Problema 3. Memòries (1 p)

Dissenyeu un sistema de memòria de 512 KBytes (448 KBytes de RAM y 64 KBytes de ROM) accessible a nivell de byte, utilitzant xips de memòria SRAM de 64Kx8 i xips de ROM de 32Kx8. Si el bus d'adreces és de 19 bits, situeu

### Problema 4. Processadors segmentats (2 p)

El següent tros de codi s'executa sobre un processador segmentat de 5 etapes (IF:Fetch, LR:Lectura registres, AL: Operació de l'ALU, MD: Accés a la memòria de dades, WR: Escriptura al registre).

Suposant que la dada es pot escriure en el banc de registres i llegir el seu valor en el mateix cicle:

- 1) Representeu el diagrama de cicles de rellotge del programa amb les dependències i els cicles d'espera que s'han d'afegir.
- 2) Quins riscos hi ha? En quines instruccions?
- 3) Calculeu el nombre de cicles que es necessiten per executar aquest tros de codi.
- 4) Creieu que es pot afegir algun curtcircuit per millorar el rendiment? Quins?

```
addi r1, r0, #0 ; r1 = r0 + 0
lw r2, 0(r1) ; r2 = Mem(r1+0)
addi r1, r1, #4 ; r1 = r1 + 4
add r3, r2, r4 ; r3 = r2 + r4
lw r4, 0(r1) ; r4 = Mem(r1 + 0)
addi r1, r1, #4 ; r1 = r1 + 4
sw 0(r1), r3 ; Mem(r1 + 0) = r3
```

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19
addi r1, r0, #0																				
lw r2, 0(r1)																				
addi r1, r1, #4																				
add r3, r2, r4																				
lw r4, 0(r1)																				
addi r1, r1, #4																				
sw 0(r1), r3																				

### Problema 5. Entrades i sortides (2 p)

Una empresa necessita escanejar documents de mida A4 a una resolució de 300ppp (punts per polzada lineal) en escala de grisos de 16 bits (nivells de gris de 0 a 65535). El document A4 té una mida de 8 ¼ polzades d'ample i 11 ¾ de llarg. Es barregen dues possibilitats per comprar l'escàner, que estarà connectat a un processador a 2 GHz:

- i) Pel port paral·lel, que té una velocitat de 1 MBytes per segon.
- ii) Pel port USB 2.0, amb una velocitat de 280 Mbits per segon.

Tenint en compte aquestes dades, es vol saber:

- a) Quant de temps trigarà a escanejar una pàgina un escàner connectat per cada port i) i ii)?
- b) Si el port paral·lel es programa per interrupcions en la què es processa un sol byte. Cada interrupció requereix de 200 cicles per ser processada. Quin percentatge de CPU es dedica a l'E/S en aquest cas?
- c) En el port USB s'utilitza el DMA. El controlador USB té un buffer de 128 bytes, que s'utilitza per fer les transferències per DMA. El temps de programar el DMA per a cada transferència és de 500 cicles, i el de tractar la interrupció de finalització és de 200 cicles. Quin percentatge de CPU es dedica a l'E/S en aquest cas?
- d) Finalment es proposa una altra estratègia: Enquesta. Cada cert temps la CPU pregunta a l'escàner si té un byte disponible. Cadascuna d'aquestes preguntes li porten al processador 50 cicles. Independentment de la connexió, es vol que mentre s'escaneja un document, el processador no passi més d'un 10% servint el procés d'enquesta de l'E/S. Quant trigarà llavors a escanejar una pàgina A4?