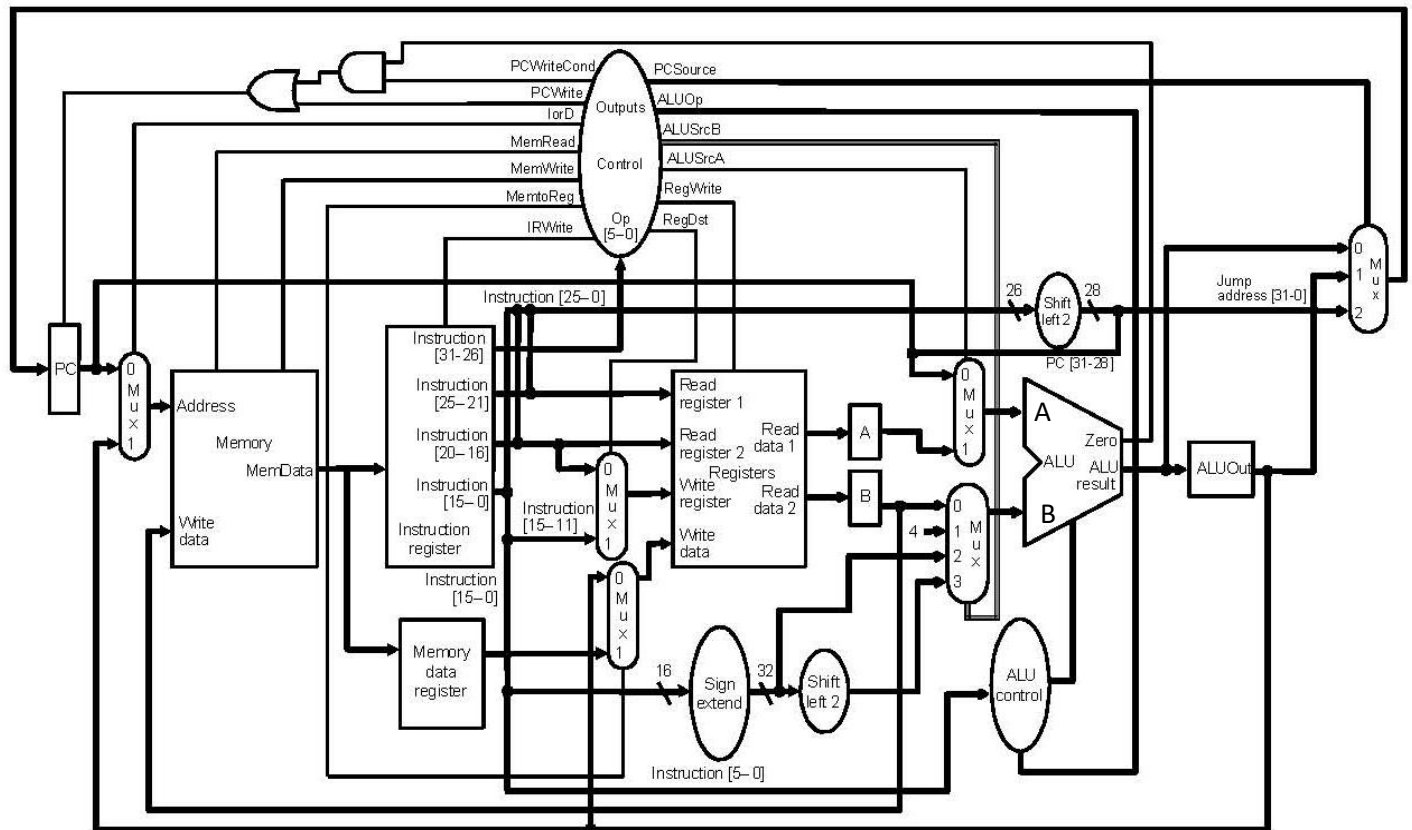


Nom: .....

**Problema 1. Arquitectura MIPS (2,5)**

Memòria	Mux de 4 a 1	Mux de 2 a 1	Registres	ALU	Ext. signe	Desp. 2 bits esq.	Unitat control	Control ALU	Reg A, B, MDR i ALUOut
200 ps	20 ps	20 ps	100 ps	60 ps	10 ps	0 ps	20 ps	20 ps	10 ps

- 1) És un processador monocicle, multicicle o segmentat? (0,25)
- 2) Si els blocs tenen el temps d'execució màxim de la taula, quina serà la màxima freqüència del processador? (indiqueu els blocs utilitzats per determinar la freqüència i justifiqueu la resposta) (0,5)
- 3) Es vol afegir la instrucció SWAP per intercanviar el contingut de dos registres de 32 bits.
  - a) Especifiqueu el format que utilitzarà per codificar la instrucció (R, I o J) i quina informació es codificarà en cada camp. (0,25)
  - b) Dibuixeu les modificacions que creieu que s'han de fer al processador de la figura, per tal de poder realitzar aquesta nova instrucció. (0,5)
  - c) Indiqueu ordenadament els senyals de control que s'han d'activar per executar la instrucció. (0,75)
  - d) Després d'aquesta modificació, quina serà la freqüència màxima? (0,25)

**Problema 2. Memòries cau (2)**

Es disposa d'un computador amb una memòria cau amb una mida de 256 KBytes per guardar instruccions o dades dels processos. La grandària de la línia és de 64 bytes. La memòria cau té un temps d'accés de 20 ns i un temps de penalització per fallada de 120 ns. La memòria cau és associativa per conjunts de quatre vies. Es demana:

1. El nombre total de línies de memòria cau
2. El nombre de conjunts que té la memòria cau.
3. El nombre de línies per conjunt
4. Feu un dibuix amb l'estructura de la memòria cau i defineix els camps de l'adreça
5. Quant de temps tardarà en aconseguir una dada si es produeix una fallada a la memòria cau?

### Problema 3. Representació numèrica (1p)

Representeu en hexadecimal l'estàndard IEEE 754 de simple precisió el valor -36.

### Problema 4. Memòries (1 p)

Dissenyeu un sistema de memòria de 32 K \* 20 bits a partir de xips de memòria RAM de 16K \* 8 bits i 32K \* 2 bits.

### Problema 5. Processadors segmentats (1,5 p)

El següent tros de codi s'executa sobre un processador segmentat de 5 etapes (IF:Fetch, LR:Lectura registres, AL: Operació de l'ALU, MD: Accés a la memòria de dades, WR: Escriptura al registre).

Suposant que la dada es pot escriure en el banc de registres i llegir el seu valor en el mateix cicle:

- 1) Representeu el diagrama de cicles de rellotge del programa amb les dependències i els cicles d'espera que s'han d'afegir.
- 2) Quins riscos hi ha? En quines instruccions?
- 3) Calculeu el nombre de cicles que es necessiten per executar aquest tros de codi.
- 4) Creieu que es pot afegir algun curtcircuit per millorar el rendiment? Quins creieu que poden ser? (descriviu-los). Quants cicles tardaria amb els curtcircuits que hi heu afegit?

I1:	lw	f6, x(r1)	; f6 = Mem(r1+x)
I2:	lw	f2, y(r1)	; f2 = Mem(r1+y)
I3:	mult	f0, f2, f4	; f0 = f2 * f4
I4:	sub	f8, f6, f2	; f8 = f6 - f2
I5:	div	f6, f0, f6	; f6 = f0 / f6
I6:	add	f2, f8, f6	; f2 = f8 + f6
I7:	sw	f2, z(r1)	; Mem(r1 + z) = f2

		0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24
lw f6, x(r1)	I1																									
lw f2, y(r1)	I2																									
mult f0, f2, f4	I3																									
sub f8, f6, f2	I4																									
div f6, f0, f6	I5																									
add f2, f8, f6	I6																									
sw f2, z(r1)	I7																									

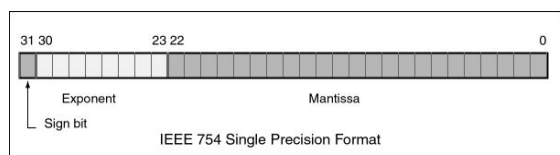
### Problema 6. Entrades i sortides (2 p)

Una targeta de vídeo està connectada a un ordinador mitjançant un bus d'entrada/sortida dedicat de 64 línies per adreces i 64 línies per dades. Transmetre una adreça o una dada consumeix un cicle de bus. Llegir o escriure a memòria suposa una latència de 4 cicles. A partir del sisè cicle el sistema de memòria pot llegir o escriure fins a 8 paraules a raó de dues paraules per cicle de bus. Per les escriptures son necessaris dos cicles addicionals pel codi de correcció d'errors. La freqüència de funcionament del sistema és de 200 MHz.

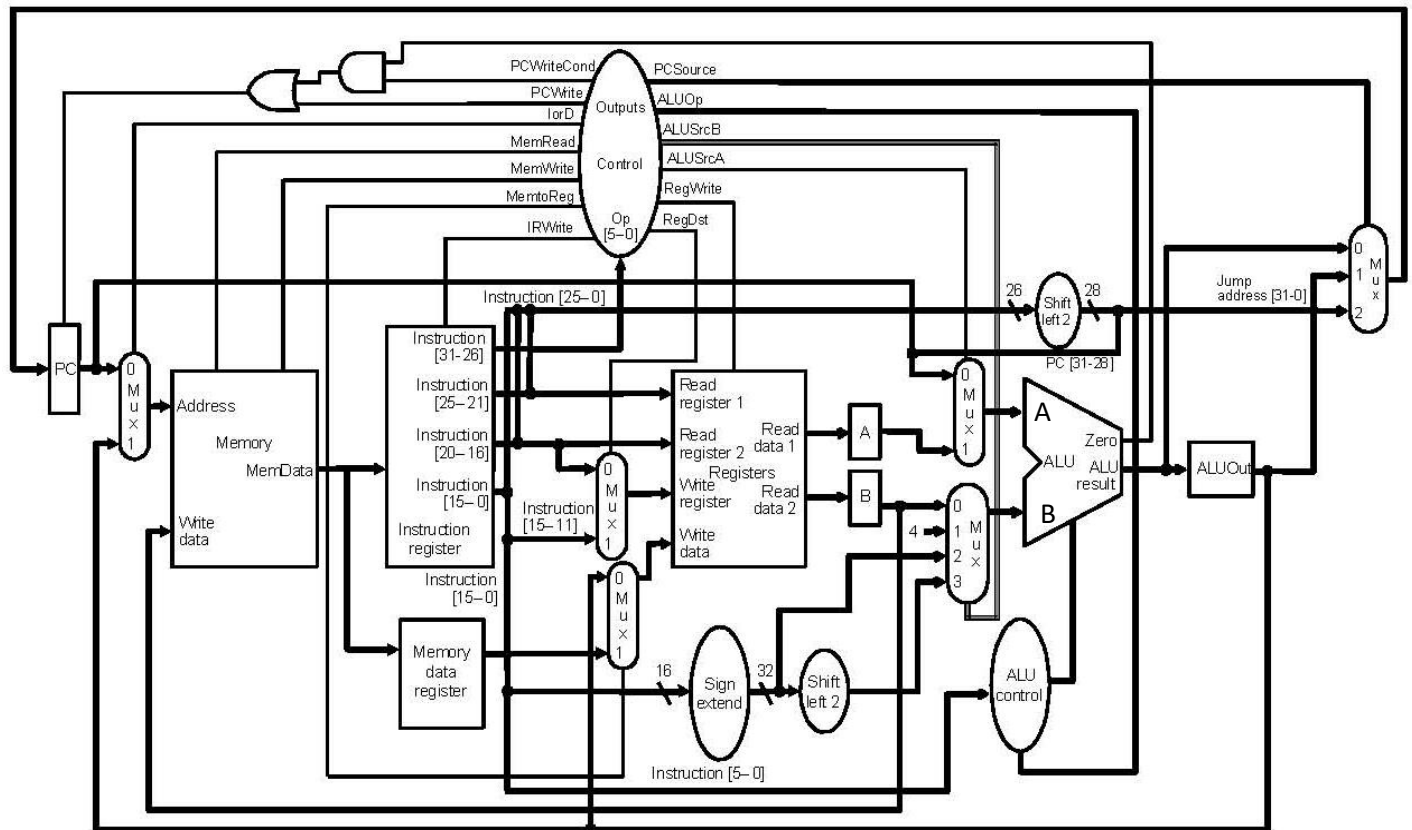
1. Determineu l'ample de banda màxim en bytes per segon, si el 75% de les peticions són lectures i 25% són escriptures, per blocs de 8 paraules.
2. Si cada vegada que es reben 32 bytes es produeix una interrupció, el tractament consumeix 2 cicles, calculeu el percentatge de temps que el processador dedica a tractar les interrupcions.
3. Si es programa el controlador DMA, per fer transferències de 12 Kbytes, calculeu el percentatge de temps que el processador roman ocupat sabent que es consumeixen 150 cicles en inicialitzar i 300 cicles en el tractament de la interrupció que marca el final de la transferència.

Nota: les paraules son de 32 bits.

Recordeu que:



Nom: .....

**Problema 1. Arquitectura MIPS (2,5)**

Memòria	Mux de 4 a 1	Mux de 2 a 1	Registres	ALU	Ext. signe	Desp. 2 bits esq.	Unitat control	Control ALU	Reg A, B, MDR i ALUOut
175 ps	20 ps	20 ps	125 ps	60 ps	10 ps	0 ps	20 ps	20 ps	10 ps

- 1) És un processador monocicle, multicicle o segmentat? (0,25)
- 2) Si els blocs tenen el temps d'execució màxim de la taula, quina serà la màxima freqüència del processador? (indiqueu els blocs utilitzats per determinar la freqüència i justifiqueu la resposta) (0,5)
- 3) Es vol afegir la instrucció SWAP per intercanviar el contingut de dos registres de 32 bits.
  - a) Especifiqueu el format que utilitzarà per codificar la instrucció (R, I o J) i quina informació es codificarà en cada camp. (0,25)
  - b) Dibuixeu les modificacions que creieu que s'han de fer al processador de la figura, per tal de poder realitzar aquesta nova instrucció. (0,5)
  - c) Indiqueu ordenadament els senyals de control que s'han d'activar per executar la instrucció. (0,75)
  - d) Després d'aquesta modificació, quina serà la freqüència màxima? (0,25)

**Problema 2. Memòries cau (2)**

Es disposa d'un computador amb una memòria cau amb una mida de 512 KBytes per guardar instruccions o dades dels processos. La grandària de la línia és de 64 bytes. La memòria cau té un temps d'accés de 25 ns i un temps de penalització per fallada de 140 ns. La memòria cau és associativa per conjunts de quatre vies. Es demana:

1. El nombre total de línies de memòria cau
2. El nombre de conjunts que té la memòria cau.
3. El nombre de línies per conjunt
4. Feu un dibuix amb l'estructura de la memòria cau i defineix els camps de l'adreça
5. Quant de temps tardarà en aconseguir una dada si es produeix una fallada a la memòria cau?

### Problema 3. Representació numèrica (1p)

Representeu en hexadecimal l'estàndard IEEE 754 de simple precisió el valor -39.

### Problema 4. Memòries (1 p)

Dissenyeu un sistema de memòria de 64 K \* 18 bits a partir de xips de memòria RAM de 32 K \* 8 bits i 64 K \* 1 bit.

### Problema 5. Processadors segmentats (1,5 p)

El següent tros de codi s'executa sobre un processador segmentat de 5 etapes (IF:Fetch, LR:Lectura registres, AL: Operació de l'ALU, MD: Accés a la memòria de dades, WR: Escriptura al registre).

Suposant que la dada es pot escriure en el banc de registres i llegir el seu valor en el mateix cicle:

- 5) Representeu el diagrama de cicles de rellotge del programa amb les dependències i els cicles d'espera que s'han d'afegir.
- 6) Quins riscos hi ha? En quines instruccions?
- 7) Calculeu el nombre de cicles que es necessiten per executar aquest tros de codi.
- 8) Creieu que es pot afegir algun curtcircuit per millorar el rendiment? Quins creieu que poden ser? (descriuiu-los). Quants cicles tardaria amb els curtcircuits que hi heu afegit?

I1:	lw	f6, x(r1)	; f6 = Mem(r1+x)
I2:	lw	f2, y(r1)	; f2 = Mem(r1+y)
I3:	mult	f0, f2, f6	; f0 = f2 * f6
I4:	sub	f8, f6, f2	; f8 = f6 - f2
I5:	div	f6, f0, f8	; f6 = f0 / f6
I6:	add	f2, f8, f6	; f2 = f8 + f6
I7:	sw	f2, z(r1)	; Mem(r1 + z) = f2

		0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24
lw f6, x(r1)	I1																									
lw f2, y(r1)	I2																									
mult f0, f2, f6	I3																									
sub f8, f6, f2	I4																									
div f6, f0, f8	I5																									
add f2, f8, f6	I6																									
sw f2, z(r1)	I7																									

### Problema 6. Entrades i sortides (2 p)

Una targeta de vídeo està connectada a un ordinador mitjançant un bus d'entrada/sortida dedicat de 64 línies per adreces i 64 línies per dades. Transmetre una adreça o una dada consumeix un cicle de bus. Llegir o escriure a memòria suposa una latència de 4 cicles. A partir del sisè cicle el sistema de memòria pot llegir o escriure fins a 8 paraules a raó de dues paraules per cicle de bus. Per les escriptures son necessaris dos cicles addicionals pel codi de correcció d'errors. La freqüència de funcionament del sistema és de 400 MHz.

4. Determineu l'ample de banda màxim en bytes per segon, si el 75% de les peticions són lectures i 25% són escriptures, per blocs de 8 paraules.
5. Si cada vegada que es reben 32 bytes es produeix una interrupció, el tractament consumeix 2 cicles, calculeu el percentatge de temps que el processador dedica a tractar les interrupcions.
6. Si es programa el controlador DMA, per fer transferències de 24 Kbytes, calculeu el percentatge de temps que el processador roman ocupat sabent que es consumeixen 150 cicles en inicialitzar i 300 cicles en el tractament de la interrupció que marca el final de la transferència.

Nota: les paraules son de 32 bits.

Recordeu que:

