

# Simulació d'un projecte de QUARTUS II

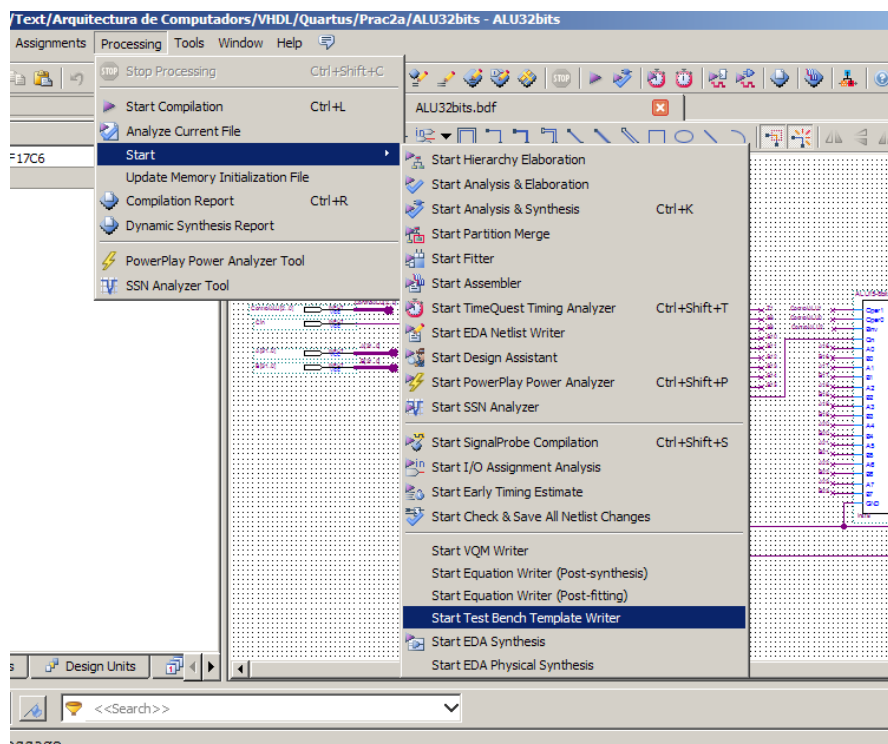
Abans d'implantar físicament un circuit en una FPGA, s'ha de simular el seu funcionament amb ajuda de l'entorn Quartus II i de ModelSim

## Generació del fitxer de vectors de prova

Per simular qualsevol sistema o circuit, cal generar el conjunt de patrons dels senyals d'entrada que permeten avaluar el funcionament del nostre sistema digital el més complet possible. La generació d'aquest conjunt de patrons és conegut com a vectors de prova o banc de proves (testbench). El simulador ModelSim està preparat per proporcionar aquests patrons de prova a través d'un fitxer VHDL. Aquest fitxer de proves es genera al Quartus II després d'haver compilat el disseny del nostre circuit digital. Aquest fitxer s'ha de completar afegint una descripció de com volem que evolucionin en el temps els senyals d'entrada o d'excitació. A partir d'aquest fitxer, el meu circuit és capaç de simular el seu comportament i verificar que l'evolució dels senyals és correcta. Per això, s'introdueixen els vectors de prova, és a dir els senyals d'entrada i la seva temporització, que permetin comprovar el bloc subjecte a simulació.

Per generar aquest fitxer, aneu al menú principal (Il·lustració 1).

**Processing -> Start -> Start Test Bench Template Writer**



Il·lustració 1

La plantilla d'aquest fitxer es crea a la carpeta de treball dins del directori simulation / modelsim / <Nom\_projecte>.vht

## Vectors de prova

El procés següent a la generació d'aquest fitxer de vectors de prova és l'edició dels estímuls que ens permetin simular el circuit. Abans d'això veurem les característiques d'aquest fitxer. Té l'aspecte del text que es mostra a continuació on es poden veure diversos blocs:

- Un bloc amb les llibreries utilitzades a la simulació.
- Un bloc d'entitat amb el nom donat per defecte: ENTITY <nom\_projecte>\_vhd\_tst.
- Un bloc d'arquitectura amb els senyals d'entrada i sortida del nostre circuit a simular.
- Els components a simular (<Nom\_projecte>), al qual se li assigna la instància (i1) i les seves connexions.
- Finalment els processos (PROCESS) que contenen els vectors de prova. És en aquesta secció on descriurem els nostres senyals d'entrada per simular tots els casos possibles que permetin comprovar el nostre circuit. És important obtenir una combinació el més completa possible dels senyals d'entrada per verificar que el circuit funciona correctament sota qualsevol circumstància.

```

-- *****
-- This file contains a Vhdl test bench template that is freely editable to
-- suit user's needs .Comments are provided in each section to help the user
-- fill out necessary details.
-- *****
-- Generated on "03/19/2013 16:33:56"

-- Vhdl Test Bench template for design : ALU32bits
--
-- Simulation tool : ModelSim-Altera (VHDL)
--

LIBRARY ieee;
USE ieee.std_logic_1164.all;

ENTITY ALU32bits_vhd_tst IS
END ALU32bits_vhd_tst;
ARCHITECTURE ALU32bits_arch OF ALU32bits_vhd_tst IS
-- constants
-- signals
SIGNAL A : STD_LOGIC_VECTOR(31 DOWNT0 0);
SIGNAL B : STD_LOGIC_VECTOR(31 DOWNT0 0);
SIGNAL Cin : STD_LOGIC;
SIGNAL ControlALU : STD_LOGIC_VECTOR(2 DOWNT0 0);
SIGNAL Cout : STD_LOGIC;
SIGNAL S : STD_LOGIC_VECTOR(31 DOWNT0 0);
SIGNAL Z : STD_LOGIC;
COMPONENT ALU32bits
    PORT (
        A,B : IN STD_LOGIC_VECTOR(31 DOWNT0 0);
        Cin : IN STD_LOGIC;
        ControlALU : IN STD_LOGIC_VECTOR(2 DOWNT0 0);
        Cout : OUT STD_LOGIC;
        S : OUT STD_LOGIC_VECTOR(31 DOWNT0 0);
        Z : OUT STD_LOGIC );
END COMPONENT;
BEGIN
    i1 : ALU32bits
        PORT MAP (
-- list connections between master ports and signals
        A => A,
        B => B,
        Cin => Cin,
        ControlALU => ControlALU,
        Cout => Cout,
        S => S,
        Z => Z
        );
    init : PROCESS
-- variable declarations
    BEGIN
        -- code that executes only once
    WAIT;
    END PROCESS init;
    always : PROCESS
-- optional sensitivity list
-- ( )
-- variable declarations
    BEGIN
        -- code executes for every event on sensitivity list
    WAIT;
    END PROCESS always;
END ALU32bits_arch;

```

Amb aquest fitxer estem ja preparats per generar el procés d'edició de vectors de prova i simulació.

## Editant el fitxer de TEST

Perquè la simulació tingui efecte, cal introduir els estímuls al fitxer de test (ALU32bits.vht). Per això el podem editar des del QuartusII.

**File -> Open ->** clic al directori *simulation* -> clic a *modelsim*

Trieu el tipus de fitxer: *Test Bench Output Files (\*.vht \*.vt)*

Seccioneu el vostre fitxer (En aquest exemple: ALU32bits.vht)

El fitxer s'obre a la finestra d'edició de Quartus II. Es poden editar els estímuls i la seva forma d'ona per simular el vostre circuit digital. El fitxer que es genera automàticament, el podeu veure complet a l'apartat anterior. Per aquesta mostra de la simulació, editarem el fitxer i introduïrem uns quants vectors de prova a les entrades A i B, per tal de fer algunes (poques) combinacions. També serà important indicar l'operació que volem realitzar per l'entrada de control de l'ALU (*ControlALU*). És a dir, per comprovar el circuit, li direm en forma de text que els senyals A<sub>0</sub>, A<sub>1</sub>, B<sub>0</sub> i B<sub>1</sub>, canviïn en el temps.

Per això, i com estem editant el fitxer <Nom\_projecte>.vht (ALU32bits.vht), introduïm aquests valors en la secció PROCESS. Cada 100 nanosegons farem que canviï de valor un dels senyals de manera que es representin diferents combinacions i en conseqüència veure el valor de les sortides per a totes aquestes combinacions a l'entrada. Acabem d'introduir els vectors de prova segons el diagrama i guardem el fitxer amb el mateix nom.

```
always : PROCESS
-- optional sensitivity list
-- ( )
-- variable declarations
BEGIN
-- code executes for every event on sensitivity list
A <= "00000000000000000000000000000000";
B <= "00000000000000000000000000000000";
Cin <= '1';
ControlALU <= "110"; -- Operació de suma
wait for 1 us;
A <= "00000000000000000000000000000001";
B <= "00000000000000000000000000000000";
wait for 1 us;
A <= "00000000000000000000000000000010";
B <= "00000000000000000000000000000000";
wait for 1 us;
A <= "00000000000000000000000000000011";
B <= "00000000000000000000000000000000";
wait for 1 us;
wait;
```

El pas per simular és al menú principal:

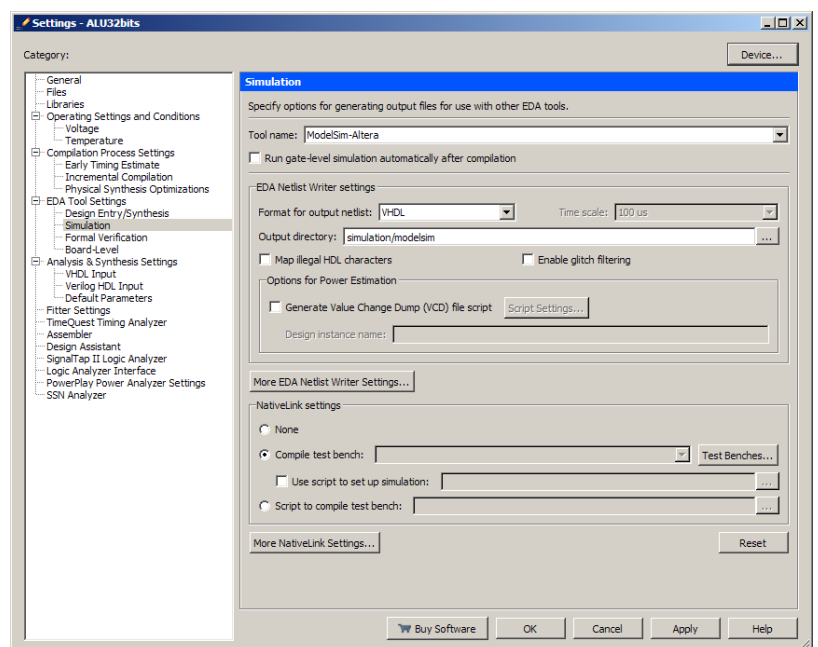
**Assignments -> Settings -> (Premier) Simulation**

Que obre el següent quadre de diàleg (Il·lustració 2).

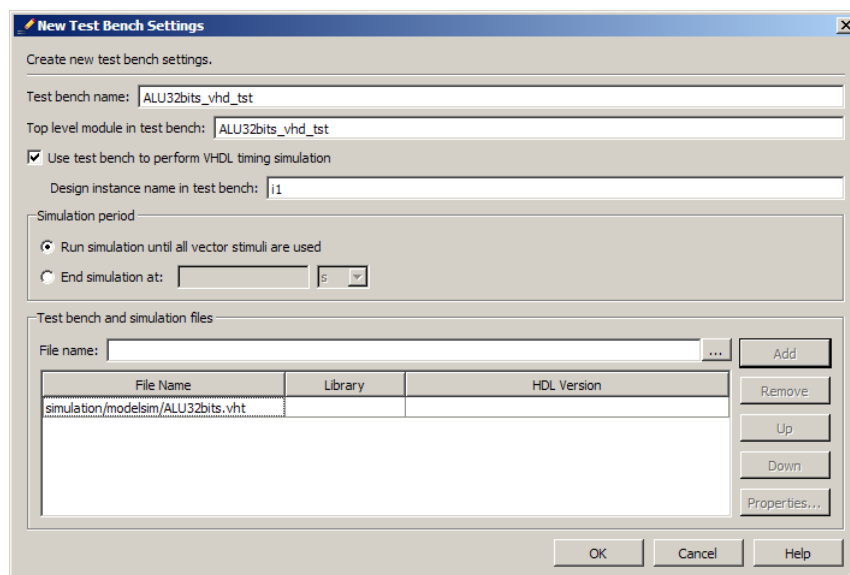
Ha d'estar indicat en el requadre **Tool name**, l'opció **ModelSim-Altera**. Si ho heu indicat a l'hora de fer la generació del projecte, estarà fet, sinó, podeu obri el requadre i posi aquesta opció. A continuació feu clic a l'opció **Compile test bench** i feu clic a **Test Benches**. S'obre un altre quadre de diàleg, que ens permet seleccionar el fitxer de test que farem servir. Premeu a **New**. Aquest últim pas ens obre la finestra figura 3. S'han d'omplir els camps mostrats a la figura, tenint especial cura en posar els noms del test bench i de la instància (**i1**) correctament.

**Test bench name:** es el nom de l'entitat que apareix al principi del fitxer (Il·lustració 3).

S'ha de seleccionar **"Use test bench to perform VHDL timing simulation"** i en el requadre **"Design instance name in test bench"** heu de posar **i1**.



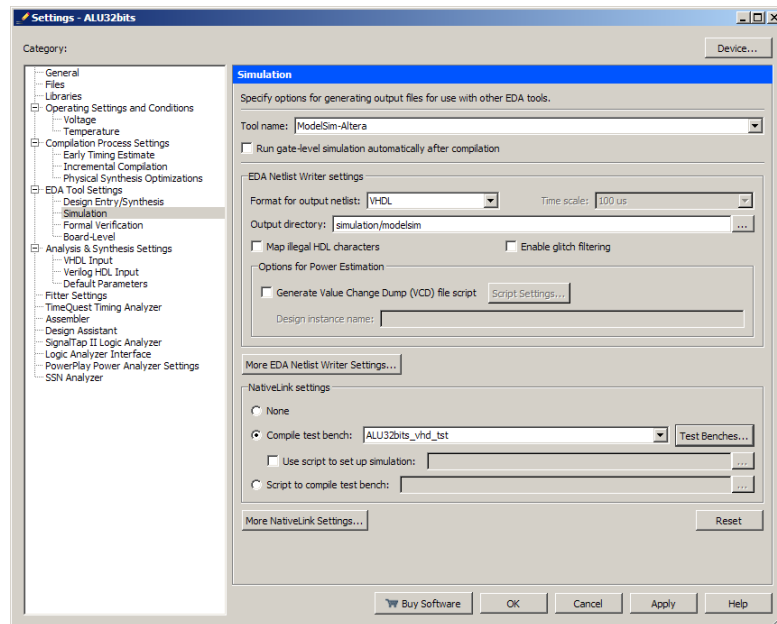
Il·lustració 2



Il·lustració 3

Ompliu el quadre de la figura anterior (Il·lustració 3) tal com s'ha indicat. El paràmetre **Test bench name**, de la primera línia posant el nom del fitxer <Nom\_projecte>\_vhd\_tst (ALU32bits\_vhd\_tst). Clic al requadre **Use test bench to perform VHDL timing simulation**, per activar-lo i poseu el nom de la instància (**i1**) a la línia. El quadre queda emplenat tal com la figura. Per finalitzar premeu **OK**. Per tornar a la finestra anterior amb els paràmetres del test i del fitxer de simulació prémer **OK**.

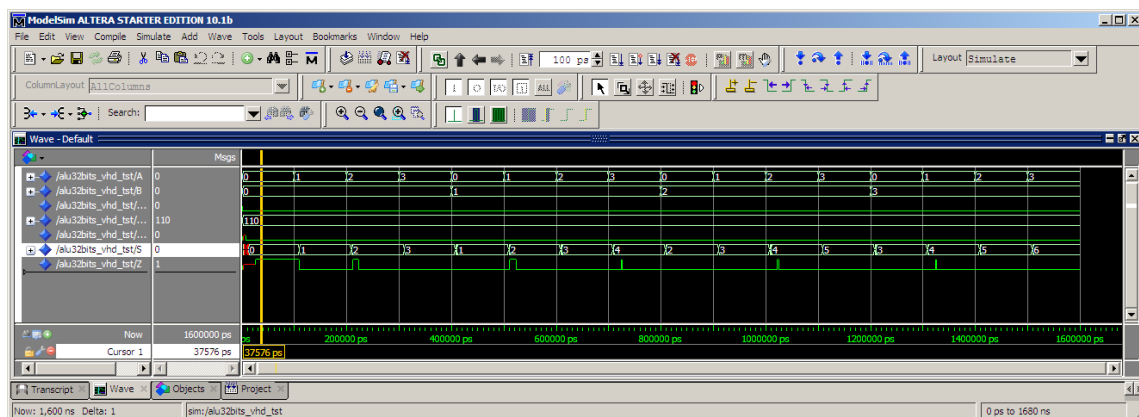
Es finalitza la configuració (Il·lustració 4) de la simulació prement **OK** en el requadre **Simulation**.



Il·lustració 4

Un cop s'ha acabat d'editar i configurar, podem passar a cridar el simulador *ModelSim*. Introduïu al menú principal l'opció **Tools -> Run EDA Simulation Tool -> RTL Simulation**.

Aquest procés arrenca el simulador *ModelSim* amb el fitxer de *testbench* i una sèrie de finestres en el simulador, segons estigui configurat en el menú **View** (del menú principal). A la vista clàssica es poden observar tres finestres, la primera indica quins components de la llibreria es simulen (dalt esquerra). Una altre amb els objectes, que representen els senyals del circuit (a baix esquerra) i la de formes d'ona (Wave) a la dreta de la imatge.



Il·lustració 5

La finestra més important (Il·lustració 5) que ens interessa comprovar és la finestra de forma d'ona (**Wave**). S'hi reflecteixen les entrades i sortides del circuit simulat. Les entrades tenen l'aspecte que se'ls ha donat en el fitxer de test bench. A la figura, també es pot veure un conjunt de barres amb icones (**Toolbar**). Aquestes barres d'icones es treuen o posen, seleccionant al menú principal **Window -> Toolbars**.

## Simulant i visualitzant senyals

Per iniciar una nova simulació, es selecciona des del menú principal en **Simulate -> Start simulation**. Aquesta opció obre una finestra per seleccionar el circuit i testbench que volem simular. Seleccionem **gate\_work -> <Nom\_projecte>\_vhd\_tst**. Clic **OK**. El que reinicia el simulador.

En aquest moment, l'arrencada del simulador amb les finestres i barres d'eines seleccionades. A la finestra **Wave** anem a afegir els senyals que volem simular. Per això, seleccionem de la finestra d'objectes, els senyals d'entrada i sortida i arrosseguem a la finestra **Wave**. O, feu clic amb el botó dret del ratolí i seleccionem l'opció **Add-> To wave-> Selected signals**. Apareixen ara els senyals a la

finestra **Wave**. Estem ja a punt per llançar els vectors de simulació, aneu a: **Simulate-> Run-All**. Aquesta opció llança tots els vectors de test del fitxer de testbench durant el temps que s'ha especificat en el fitxer.

La barra d'eines de simulació conté aquestes mateixes opcions. En aquest, es poden observar a l'esquerra del quadre de *100 ps*, l'opció *Restart*, que permet reinicar la simulació. A continuació *Run*, que llança la simulació el temps indicat en el requadre, a continuació *ContinueRun*, *Run-All* i *Break*. Un cop completada la simulació s'ha de verificar si el circuit es comporta correctament, comprovant que les sortides compleixen correctament.

## Editant d'estímul i compilant

El procés normal que segueix la simulació d'un circuit, és un procés iteratiu de comprovació i depuració, de manera que és normal que es necessiti canviar, ampliar o modificar els estímuls a la simulació, bé sigui per canvis en el circuit a simular o per visualitzar altres senyals, etc. Per això, podem editar el fitxer d'estímuls des del *ModelSim*, anant a **File -> Open**, obre un quadre de diàleg, on hem de seleccionar el tipus de fitxer Tipus-> *VHDL Files*. Apareix llavors <Nom\_projecte>.vht. Seleccionem aquest fitxer. Apareix una nova finestra amb el fitxer de textbench per poder-lo editar. S'executen els canvis o modificacions, en aquest exemple, canvieu el temps entre les transicions dels senyals, en lloc de 100ns. poseu 200 ns., i deseu el fitxer.

Abans de tornar a simular, cal compilar el fitxer editat. Es pot fer, des de l'editor del fitxer, a la barra d'eines amb la icona de compilació, o des de la finestra *Library* fent clic al botó dret del ratolí el que obre una finestra amb l'opció **recompile**.

Recompilar el fitxer de test, es reinicia el simulador. Això es pot fer amb el botó o fent clic a **Simulate-> Restart**. Estem ja a punt per tornar a simular, fent clic al botó Run o fent clic a **Simulate-> Run-> Run-All**. Podeu guardar les simulacions dels vostres dissenys.

## Simulació amb el ModelSim

Després de la compilació del vostre disseny, podeu passar a la fase de simulació amb el ModelSim-Altera.

La simulació es pot fer de dues formes:

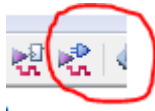
- RTL Simulation
- Gate Level Simulation

El primer és el que ja s'ha explicat i serveix per veure els senyals externs del vostre disseny.

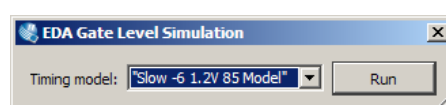
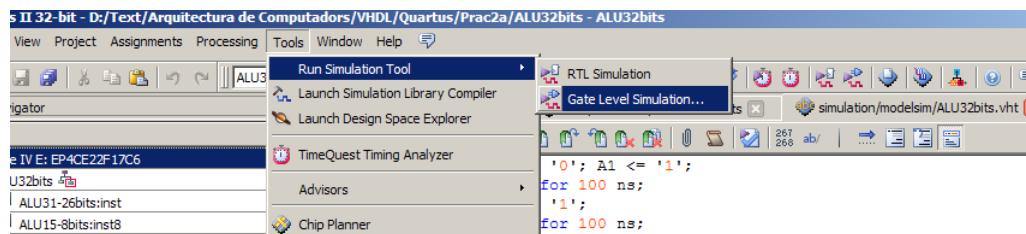
El segon, fa la simulació completa i ens permet visualitzar els senyals interns del nostre disseny.

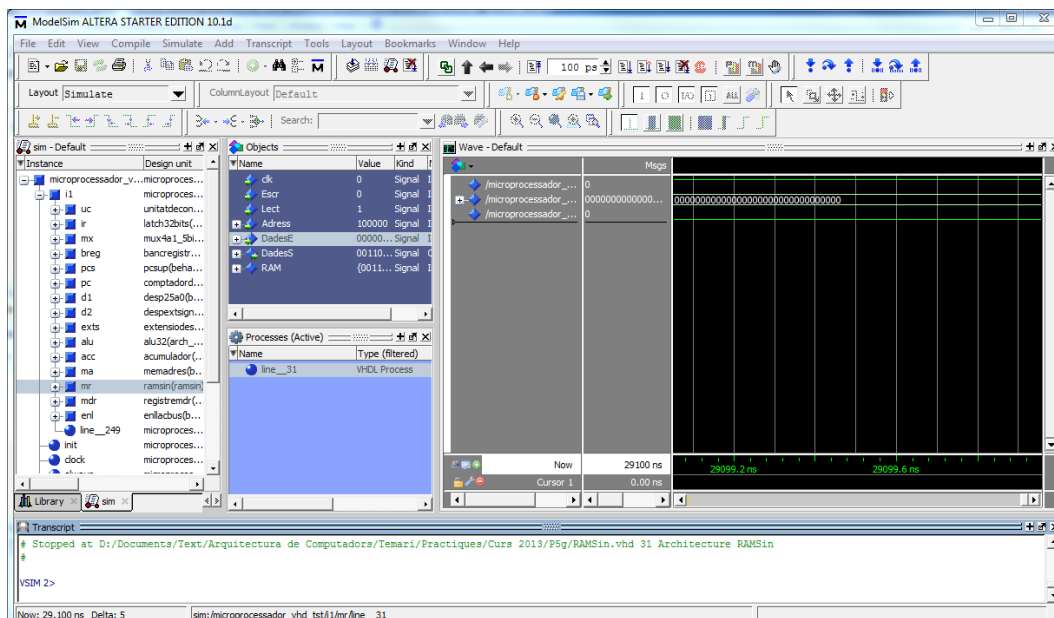
Per fer la simulació amb el Gate Level Simulation, es pot fer de dues formes:

- Amb la icona



- Tools / Run Simulation tools / Gate Level Simulation



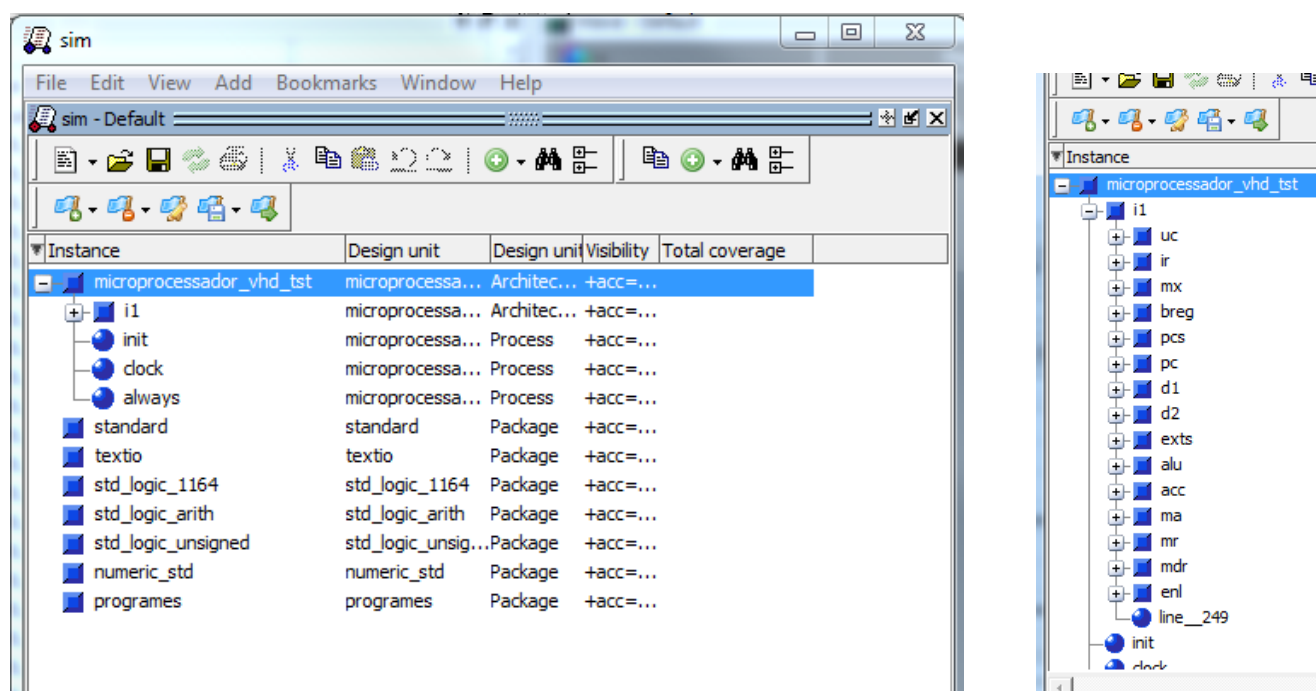


Il·lustració 6

Per defecte s'obren moltes finestres (Il·lustració 6), entre elles:

- Wave: On hi ha la visualització dels senyals. Per defecte només hi ha les entrades i sortides proposades en el test.
- Transcrip: És l'editor de comandes. Es poden enviar ordres al simulador (S'ha de conèixer el llenguatge de programació. És força fàcil i només cal mirar al manual).
- Objecs: Ens mostra els objectes que tenim disponibles.
- Proces: Mostra els processos planificats que s'han d'executar en la simulació
- Instances: Mostra totes les instàncies de classes.

Aquesta ultima és la que necessitem per afegir els senyals que volem visualitzar.



Il·lustració 7

Entre totes les instàncies, ens interessa la que hem dissenyat (Il·lustració 7) (en el meu cas: microprocessador i dins seu, hi ha totes les classes que podem visualitzar. La que ens interessa en aquest cas, és la que hem anomenat (en el Settings del quartus), i1.

Si obrim "i1" ens ha de mostrar tots els objectes creats en el nostre disseny: uc (unitat de control), ir (registre d'instrucció), ...

Ara, l'únic que s'ha de fer, és seleccionar l'objecte que volem visualitzar i afegir-lo a la finestra de visualització. Per fer-ho, cal posar-se sobre l'objecte i prémer el botó dret del ratolí. Que s'obre una finestra i ens deixa triar entre tot un seguit d'opcions. La que ens interessa per afegir-lo, és " add Wave " o ctrl + W.

Un cop s'ha afegit, es poden visualitzar a la pantalla "Wave" tots els senyals de l'element afegit.

Val la pena fer una tria dels senyals i eliminar els repetits i els que creieu que no us han de servir per res.

Un cop hageu afegit tots els senyals que us interessa visualitzar, s'ha de repetir la simulació del sistema.

Per repetir la simulació, primer s'ha de fer una inicialització mitjançant la comanda “restart “ que és pot localitzar:

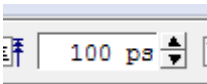
- Amb la icona:
- Simulate / Restart



Amb qualsevol de les dues, s'obre una finestra on ens demana que volem reiniciar. Podeu deixar-ho tot seleccionat (opció per defecte) i acceptar-ho amb “ Ok “. Automàticament s'esborra tota la simulació que teníeu a la pantalla “Wave”.

El següent pas, és inicia una nova simulació, per fer-ho, primer s'ha de dir, durant quant de temps volem fer aquesta simulació.

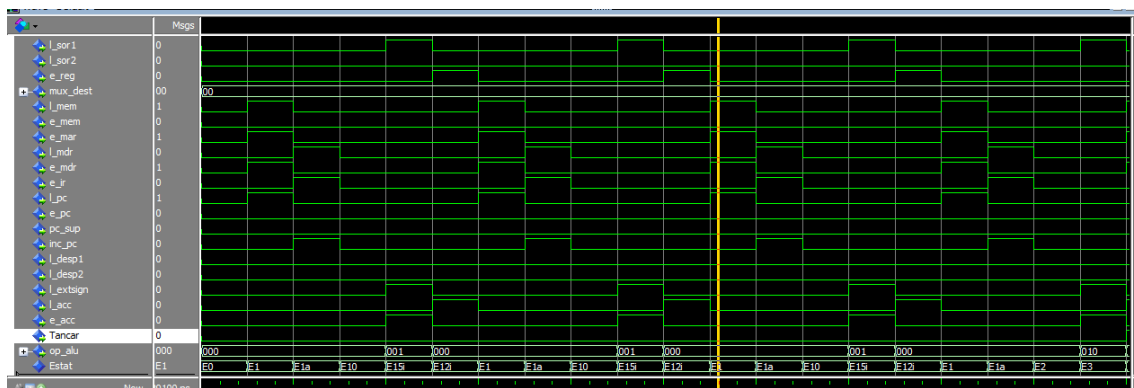
Hi ha diferents formes de fer-ho:

- Si a la configuració del simulador li heu dit que volíeu fer la simulació durant un temps concret, n'hi prou amb dir-li que repeteixi la simulació (Run – All)
- Si voleu imposar un nou temps de simulació, podeu editar el temps que us interessa al icona . Per exemple podeu posar-hi 3000 ns o 3 us. I a continuació cal prémer el icona “Run” o F9.

També es pot fer amb la finestra de configuració de la simulació que s'obre amb: simulate / Runtime Options.

A partir d'aquest punt, es tracta d'analitzar els senyals que es mostren i intentar esbrinar que està passant en la simulació.

Us aconsello que visualitzeu el senyal “estat” de la unitat de control, per saber en quin estat esteu en cada cicle de rellotge.



Il·lustració 8