

1. 微电子封装通常有四种功能：传递电能、信号传输、散热通道、机械支撑。①.传递电能，主要是指电源电压的分配和导通。②.信号传输，主要是将电信号的延迟尽可能地减小，在布线时应尽可能使信号线与芯片的互连路径及通过封装 I/O 引出的路径达到最短。③.散热通道，主要是指各种微电子封装都要考虑器件、部件长期工作时如何将聚集的热量散出的问题。④.机械支撑，主要是指微电子封装可以为芯片和其他部件提供牢固可靠的机械支撑，并能适应各种工作环境和条件的变化。

2. 传统微电子封装技术的基本工艺流程：硅片减薄→硅片切割→芯片贴装→芯片互连→成形技术→去飞边毛刺→切筋成形→上焊锡→打码等。

3. 从由硅圆片制作出各类芯片开始，微电子封装可以分为四个层次：①第一层次，又称为芯片层次的封装，即用封装外壳将芯片封装成单芯片组件（Single Chip Module, SCM）和多芯片组件的一级封装，是指把集成电路芯片与封装基板或引脚架之间的粘贴固定、电路连线与封装保护的工艺，使之成为易于取放输送，并可与下一层次组装进行连接的模块元器件；②第二层次，将数个第一层次完成的封装与其他电子元器件组合成一个电路卡的工艺；③第三层次，将数个第二层次完成的封装组装成的电路卡组装在一个主电路板上，使之成为一个部件或子系统的工艺；④第四层次，将数个第三层次组装好的子系统再组装成一个完整电子产品的工艺过程。

4. 塑料封装优点：低成本、薄型化、工艺简单、适合自动化生产、应用范围极广；缺点：散热性、耐热性、密封性不好、可靠性不高。

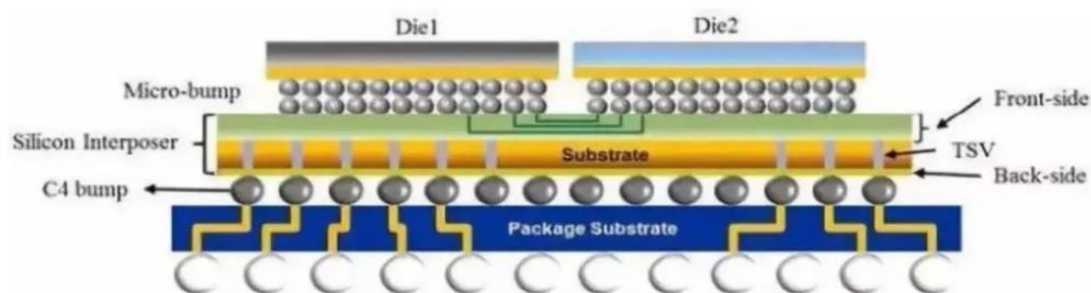
5. 陶瓷封装优点：能提供 IC 芯片气密性的密封保护，使其具有优良的可靠度；陶瓷被用做集成电路芯片封装的材料，是因为在热、电、机械特性等方面极稳定，而且陶瓷材料的特性可通过改变其化学成分和工艺的控制调整来实现，不仅可作为封装的封盖材料，它也是各种微电子产品重要的承载基板。陶瓷封装缺点：①与塑料封装比较，陶瓷封装的工艺温度较高，成本较高；②工艺自动化与薄型化封装的能力逊于塑料封装；③陶瓷材料具较高的脆性，易致应力损害；④在需要低介电常数与高连线密度的封装中，陶瓷封装必须与薄膜封装竞争。

6. 先进封装定义：采用了先进的设计思路和先进的集成工艺，对芯片进行封装级重构，并且能有效提高系统功能密度的封装，我们称之为先进封装。

7. 现阶段先进封装主要指：倒装焊(FlipChip)、晶圆级封装(WLP)、2.5D 封装(Interposer、RDL)、3D 封装。

8. 先进封装的特点：

1) 不采用传统的封装工艺，例如：无 Bonding Wire；2) 封装集成度高，封装体积小；3) 内部互联短，系统性能得到提升；4) 单位体积内集成更多功能单元，有效提升系统功能密度；

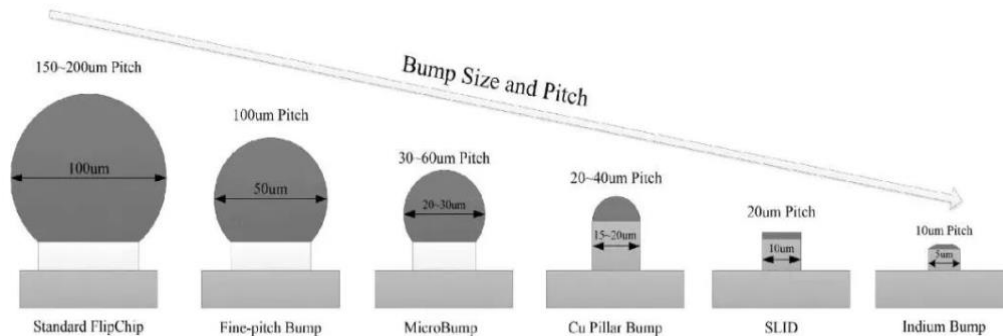


9. 先进封装的四要素：Bump、RDL、Wafer、TSV

10. Bump 是一种金属凸点，从倒装焊 FlipChip 出现就开始普遍应用了，Bump 的形状也有多种，最常见的为球状和柱状，也有块状等其他形状。

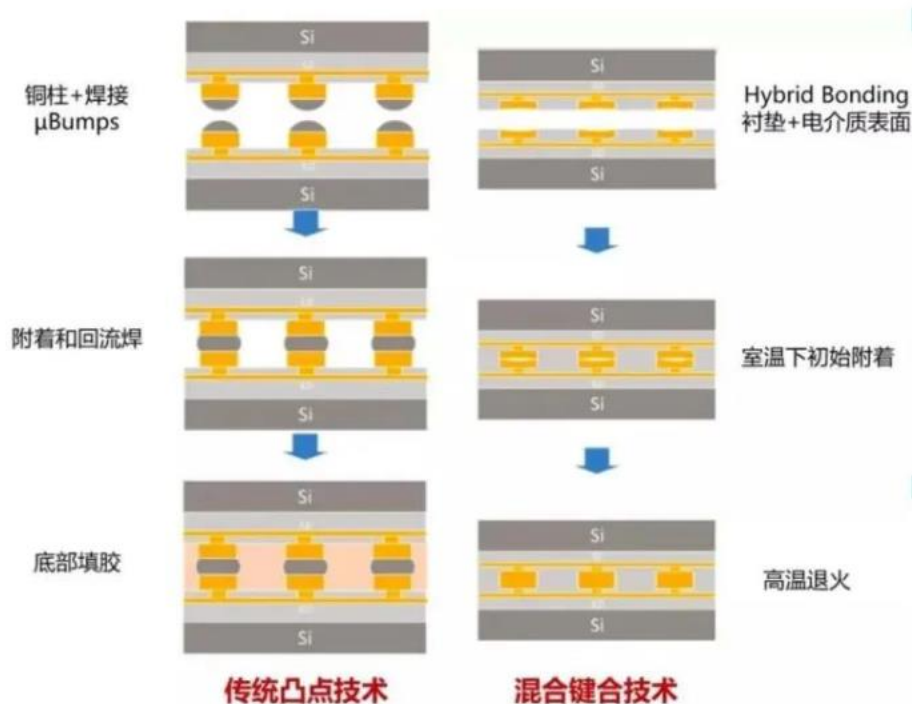
Bump 起着界面之间的电气互联和应力缓冲的作用，从 Bond wire 工艺发展到 FlipChip 工艺的过程中，Bump 起到了至关重要的作用。

随着工艺技术的发展，Bump 的尺寸也越来越小，下图显示的是 Bump 尺寸的变化趋势。会不会有一天，Bump 小到不再需要了呢？混合键合 Hybrid Bonding 最鲜明的特点就没有凸点(no-Bump)的键合结构，该技术具有更高的集成密度。



11. 混合键合技术没有突出的凸点，特别制造的电介质表面非常光滑，实际上还会有一个略微的凹陷。在室温将两个芯片附着在一起，再升高温度并对它们进行退火，铜这时会膨胀，并牢固地键合在一起，从而形成电气连接。

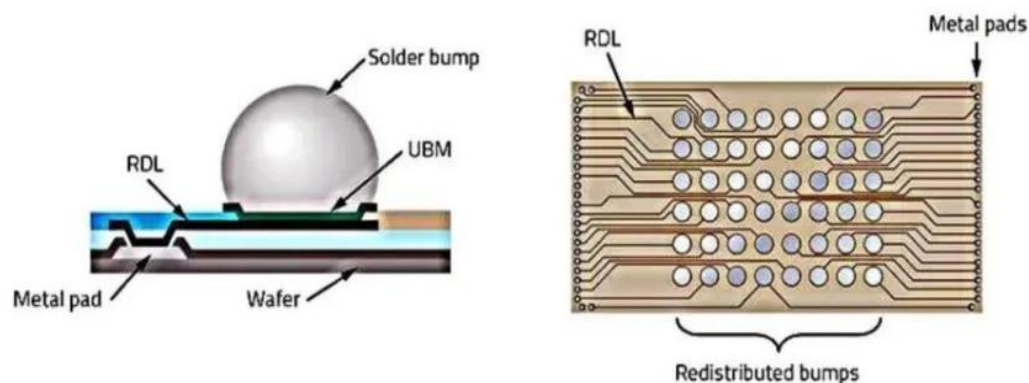
混合键合技术的优势包括：有更高的电流负载能力，可扩展的间距小于 1 微米，并且具有更好的热性能。



12. RDL (ReDistribution Layer)重布线层，XY 平面电气延伸和互联。

在芯片设计和制造时，IO Pad 一般分布在芯片的边沿或者四周，这对于

BondWire 工艺来说自然很方便,但不适合于 Flip Chip。因此, RDL 就派上用场了,在晶元表面沉积金属层和相应的介质层,并形成金属布线,对 IO 端口进行重新布局,将其布局到新的,占位更为宽松的区域,并形成面阵列排布,如下图所示。



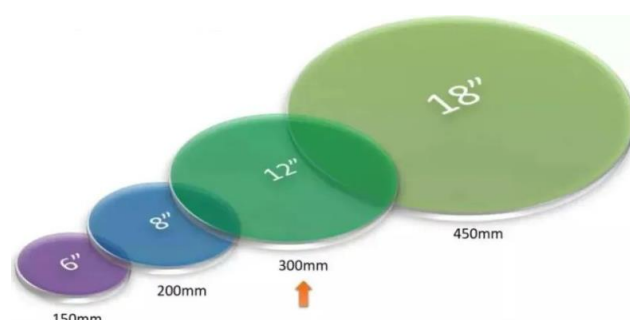
13. RDL 的应用:1)在先进封装的 FIWLP (Fan-In Wafer Level Package), FOWLP (Fan-Out Wafer Level Package)中, RDL 是最为关键的技术,通过 RDL 将 IO Pad 进行扇入 Fan-In 或者扇出 Fan-Out,形成不同类型的晶圆级封装。2)在 2.5D IC 集成中,除了硅基板上的 TSV, RDL 同样不可或缺,通过 RDL 将网络互联并分布到不同的位置,从而将硅基板上芯片的 Bump 和基板下方的 Bump 连接。3)在 3D IC 集成中,对于上下堆叠是同一种芯片,通常 TSV 就可以直接完成电气互联功能了,而堆叠上下如果是不同类型芯片,则需要通过 RDL 重布线层将上下层芯片的 IO 进行对准,从而完成电气互联。



14. Wafer 晶圆在当今半导体行业具有广泛的用途:(1)可以作为芯片制造的基底;(2)可以在 Wafer 上制作硅基板实现 2.5D 集成;(3)同时可用于 WLP 晶圆级封装,作为 WLP 的承载晶圆。

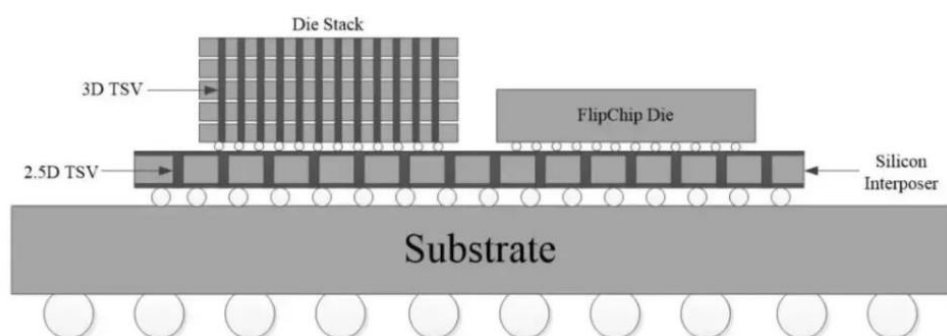
15. 传统封装是先进进行裸芯片的切割分片,然后进行封装,而晶圆级封装 WLP 是在 Wafer 基础上先封装,然后切割分片。这就提高了封装效率,节省了成本,从而得到了广泛的应用。

Wafer 从早先的 6 英寸到 8 英寸到现在普遍应用的 12 英寸以及将来要广泛应用 18 英寸,尺寸越来越大。



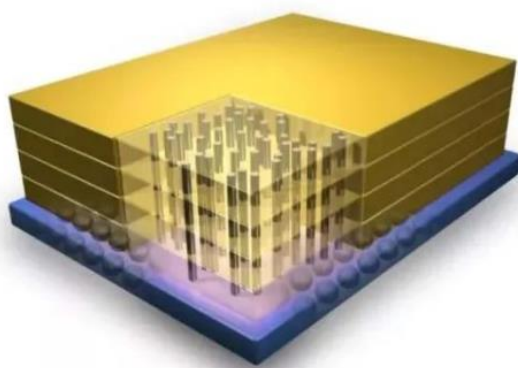
16. TSV (Through Silicon Via)硅通孔，主要功能是 Z 轴电气延伸和互联。

TSV 按照集成类型的不同分为 2.5DTSV 和 3DTSV, 2.5DTSV 是指的位于硅转接板 Interposer 上的 TSV, 3D TSV 是指贯穿芯片体之中, 连接上下层芯片的 TSV, 如下图所示。

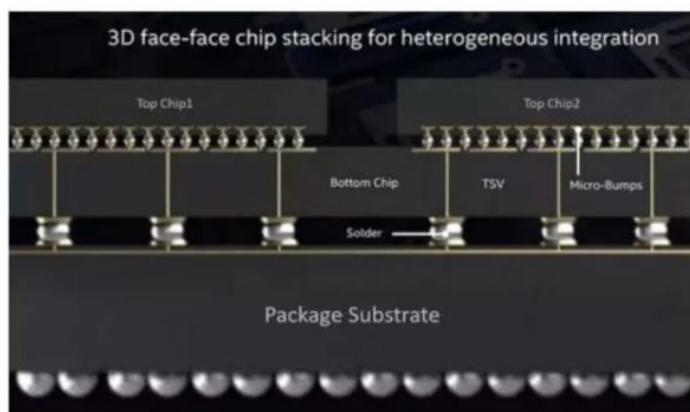


TSV 的制作可以集成到生产工艺的不同阶段，通常放在晶圆制造阶段的叫 Via-first, 放在封装阶段的叫 Via-last。

Via-first TSV 可分为两种阶段:一种是在 Foundry 厂前端金属互连之前进行，实现 core-to-core 的连接。该方案目前在微处理器等高性能器件领域研究较多，主要作为 SoC 的替代方案。另外一种是在 CMOS 完成之后再进行 TSV 的制作，然后完成器件制造和后端的封装。

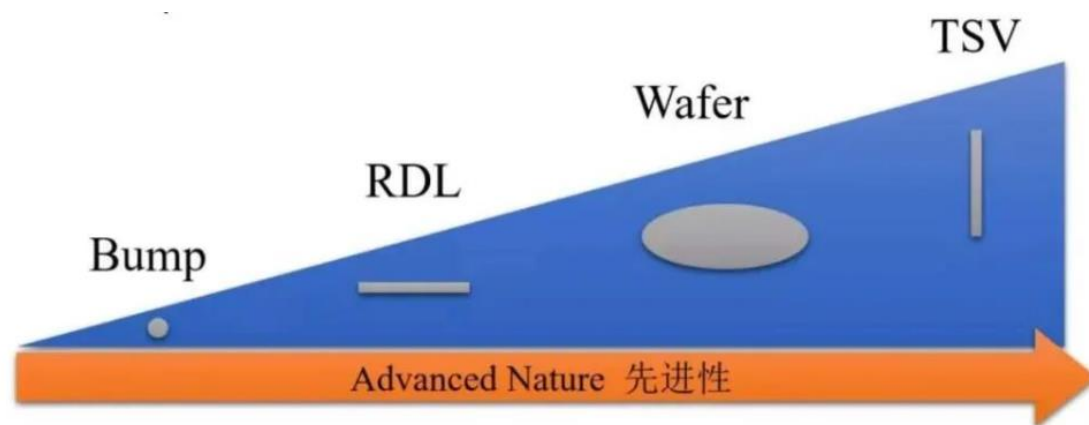


17. 将 TSV 放在封装生产阶段，通常被称作 Via-last，该方案可以不改变现有集成电路流程和设计。目前，业界已开始在高端的 Flash 和 DRAM 领域采用 Via-last 技术，即在芯片的周边进行硅通孔 TSV 制作，然后进行芯片或晶圆的层叠。



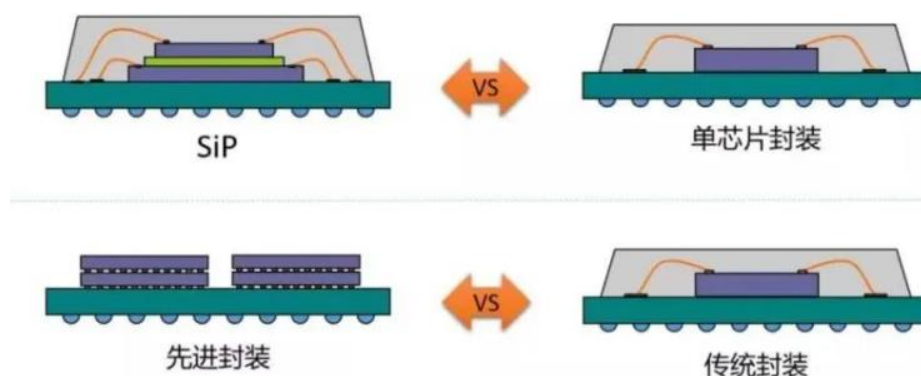
TSV 的尺寸范围比较大，大的 TSV 直径可以超过 100um，小的 TSV 直径小于 1um。随着工艺水平的提升，TSV 可以做的越来越小，密度也越来越大。目前最先进的 TSV 工艺，可以在 1 平方毫米硅片上制作高达 10 万~100 万个 TSV。

18. 四要素内在的先进性做简单排序，大致如下 Bump → RDL → Wafer → TSV。

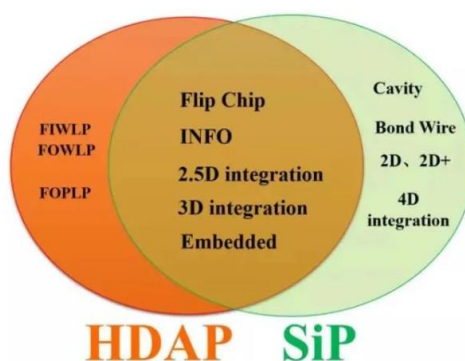


19. 先进封装与 SiP 的异同点：

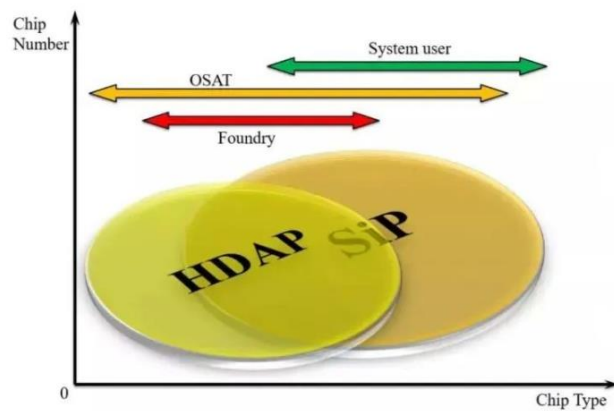
1) 关注点不同：SiP 的关注点在于：系统在封装内的实现，所以系统是其重点关注的对象，和 SiP 系统级封装对应的为单芯片封装；先进封装的关注点在于：封装技术和工艺的先进性，所以先进性的是其重点关注的对象，和先进封装对应的是传统封装。



2) 技术范畴不同：Flip Chip、集成扇外型 封装 INFO (Integrated Fan Out)、2.5D integration、3D integration、Embedded 技术既属于 HDAP 也同样会应用于 SiP；单芯片的 FIWLP、FOWLP、FOPLP (Fan Out Panel Level Package)属于先进封装，但不属于 SiP；



3) 用户群不同: Foundry 主要关注先进封装中密度最高, 工艺难度最高的部分, 例如 2.5D 和 3D ;OSAT 关注面比较广泛,从单芯片的 WLCSP 到复杂的 SiP 都有关注; 系统用户 System user 则对 SiP 关注较多。



20. 先进封装与 SiP 的特点:

先进封装和 SiP 技术受到整个半导体产业链的关注, 其技术优势主要体现在小型化、低功耗、高性能等方面, 它们能解决目前电子系统集成的瓶颈。其技术本身来看目前并没有瓶颈, 只是在裸芯片的供应链和芯片间相关的接口标准需要提升和逐步完善。目前 Chiplet 和异构集成等概念得到业界的积极响应和普遍应用, 裸芯片供应链和芯片之间的接口标准也有望逐渐得到改善。SiP 和先进封装 HDAP 有一定重合, 但并不等同, SiP 重点关注系统在封装内的实现, 而 HDAP 则更专注封装技术和工艺的先进性, 此外, 两者的技术范畴和用户群也不完全相同。

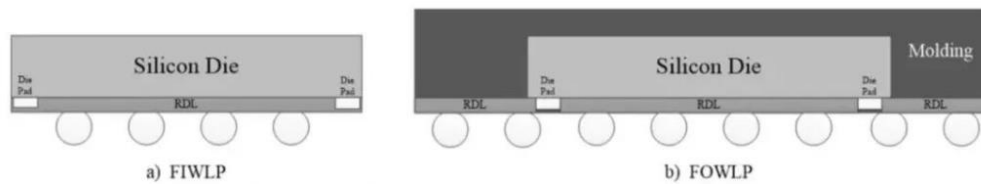
21. 基于 X-Y 平面延伸的先进封装

这里的 XY 平面指的是 Wafer 或者芯片的 XY 平面。这类封装的鲜明特点就是没有 TSV 硅通孔, 其信号延伸的手段或技术主要通过 RDL 层来实现。通常没有基板, 其 RDL 布线时是依附在芯片的硅体上, 或者在附加的 Molding 上。因为最终的封装产品没有基板, 所以此类封装都比较薄, 目前在智能手机中得到广泛的应用。



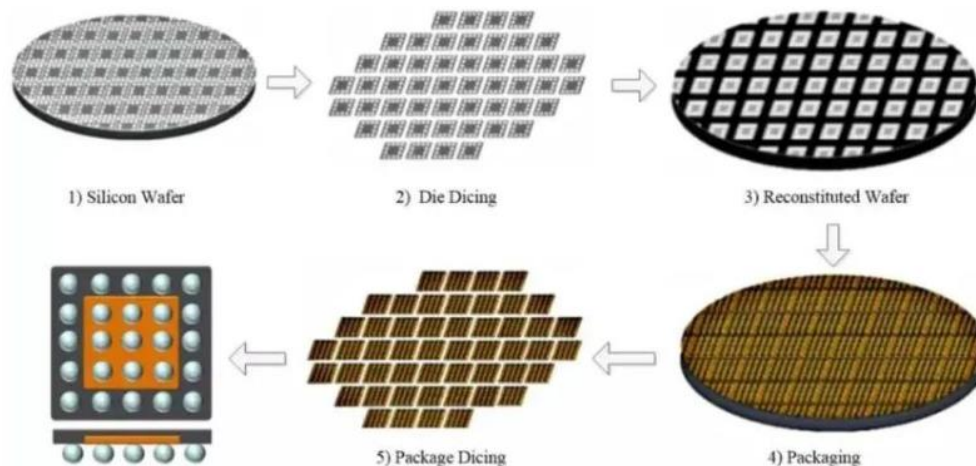
22. FIWLP and FOWLP

WLP 于 2000 年左右问世, 有两种类型: Fan-in (扇入式) 和 Fan-Out (扇出式) WLP。晶圆级封装和传统封装不同, 在封装过程中大部分工艺过程都是对晶圆进行操作, 即在晶圆上进行整体封装 (Packaging), 封装完成后再进行切割分片。开始 WLP 多采用 Fan-in 型态, 可称之为 Fan-in WLP 或者 FIWLP, 主要应用于面积较小、引脚数量少的芯片。随着 IC 工艺的提升, 芯片面积缩小, 芯片面积内无法容纳足够的引脚数量, 因此衍生出 Fan-Out WLP 封装形态, 也称为 FOWLP, 实现在芯片面积范围外充分利用 RDL 做连接, 以获取更多的引脚数。



23. FOWLP

FOWLP,由于要将 RDL 和 Bump 引出到裸芯片的外围,因此需要先进行裸芯片晶圆的划片分割,然后将独立的裸芯片重新配置到 晶圆工艺中,并以此为基础,通过批量处理、金属化布线互连,形成最终封装。FOWLP 封装流程如下图所示。



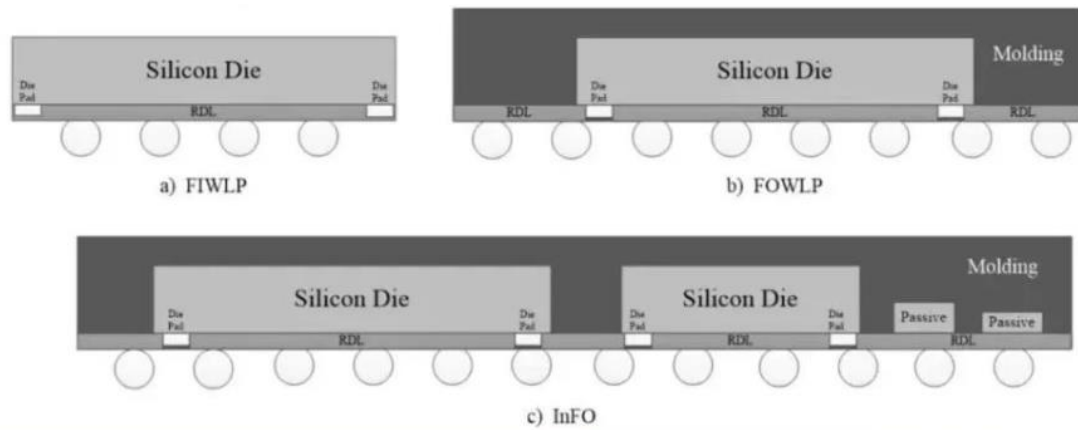
FOWLP 受到很多公司的支持,不同的公司也有不同的命名方法 , 下图所示为各大公司的提供的 FOWLP。

Company	Package
ASE	eWLB
Amkor Technology(including NANIUM)	eWLB/SWIFT
Deca Technologies	M-Series
Huatian Technology	eSiFO
Infineon	eWLB
JCAP	ECP
Nepes(developed originally by Freescale)	RCP
SPIL	TPI-FO
STATS ChipPAC	eWLB
TSMC	InFo-WLP

24. InFO (Integrated Fan-out)

InFO (Integrated Fan-out)是台积电(TSMC)于 2017 年开发出来的 FOWLP 先进封装技术,是在 FOWLP 工艺上的集成,可以理解为多个芯片 Fan-Out 工艺的集成,而 FOWLP 则偏重于 Fan-Out 封装工艺本身。

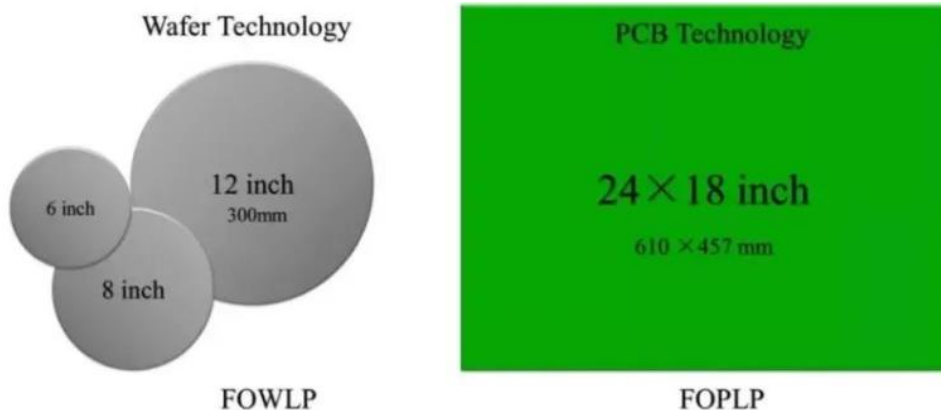
InFO 给予了多个芯片集成的空间,可应用于射频和无线芯片的封装,处理器和基带芯片封装,图形处理器和网络芯片的封装。下图为 FIWLP, FOWLP 和 InFO 对比示意图。



25. FOPLP (Fan-out Panel Level Package)

FOPLP (Fan-out Panel Level Package)面板级封装，借鉴了 FOWLP 的思路和技术，但采用了更大的面板，因此可以量产出 4 倍于 300 毫米硅晶圆芯片的封装产品。

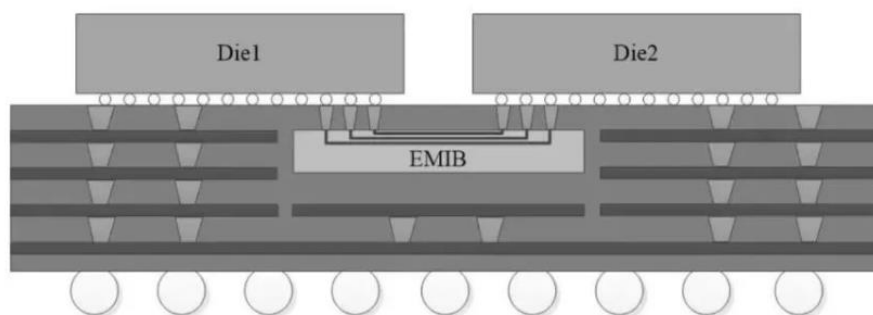
FOPLP 技术是 FOWLP 技术的延伸，在更大面积的方形载板上进行 Fan-Out 制程，因此被称为 FOPLP 封装技术，其 Panel 载板可以采用 PCB 载板，或者液晶面板用的玻璃载板。



26. EMIB (Embedded Multi-Die Interconnect Bridge)

EMIB 嵌入式多芯片互连桥先进封装技术是由英特尔提出并积极应用的，EMIB 是属于有基板类封装，因为 EMIB 也没有 TSV,因此也被划分到基于 XY 平面延伸的先进封装技术。

EMIB 理念跟基于硅中介层的 2.5D 封装类似，是通过硅片进行局部高密度互连。与传统 2.5D 封装的相比，因为没有 TSV,因此 EMIB 技术具有正常的封装良率、无需额外工艺和设计简单等优点。



27. 基于 Z 轴延伸的先进封装技术

基于 Z 轴延伸的先进封装技术主要是通过 TSV 进行信号延伸和互连。

TSV 可分为 2.5DTSV 和 3DTSV,通过 TSV 技术,可以将多个芯片进行垂直堆叠并互连。

在 3DTSV 技术中,芯片相互靠得很近,所以延迟会更少,此外互连长度的缩短,能减少相关寄生效应,使器件以更高的频率运行,从而转化为性能改进,并更大程度的降低成本。

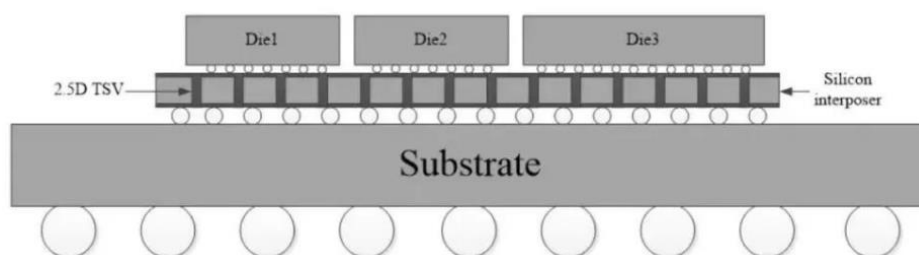
TSV 技术是三维封装的关键技术,包括半导体集成制造商、集成电路制造代工厂、封装代工厂、新兴技术开发商、大学与研究所以及技术联盟等研究机构都对 TSV 的工艺进行了多方面的研发。

此外,需要读者注意,虽然基于 Z 轴延伸的先进封装技术主要是通过 TSV 进行信号延伸和互连,但 RDL 同样是不可或缺的,例如,如果上下层芯片的 TSV 无法对齐时,就需要通过 RDL 进行局部互连。

28. CoWoS (Chip-on-Wafer-on-Substrate)

CoWoS (Chip-on-Wafer-on-Substrate)是台积电推出的 2.5D 封装技术,CoWoS 是把芯片封装到硅转接板(中介层)上,并使用硅转接板上的高密度布线进行互连,然后再安装在封装基板上,如下图所示。

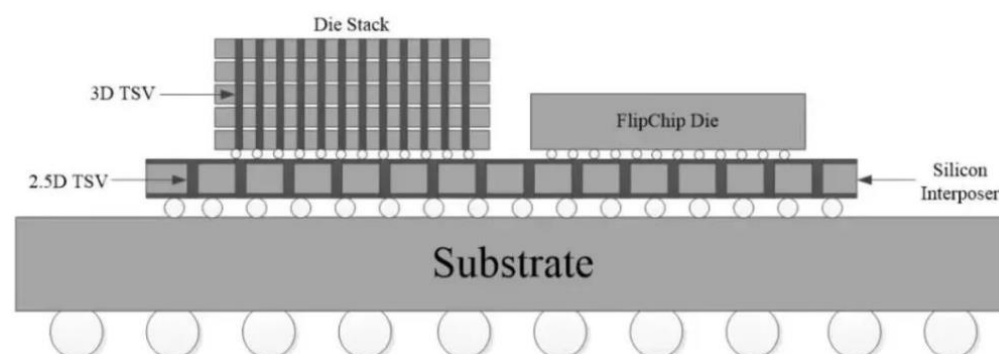
CoWoS 和前面讲到的 InFO 都来自台积电,CoWoS 有硅转接板 Silicon Interposer, InFO 则没有。CoWoS 针对高端市场,连线数量和封装尺寸都比较大。InFO 针对性价比市场,封装尺寸较小,连线数量也比较少。



29. HBM(High-BandwidthMemory)

HBM(High-BandwidthMemory)高带宽内存,主要针对高端显卡市场。HBM 使用了 3DTSV 和 2.5DTSV 技术,通过 3DTSV 把多块内存芯片堆叠在一起,并使用 2.5D TSV 技术把堆叠内存芯片和图形处理器在载板上实现互连。下图所示为 HBM 技术示意图。

AMD、NVIDIA 和海力士主推的 HBM 标准,AMD 首先在其旗舰显卡首先使用 HBM 标准,显存带宽可达 512 GBps, NVIDIA 也紧追其后,使用 HBM 标准实现 1 TBps 的显存带宽。和 DDR5 相比, HBM 性能提升超过了 3 倍,但功耗却降低了 50%。



30. HMC (Hybrid Memory Cube)

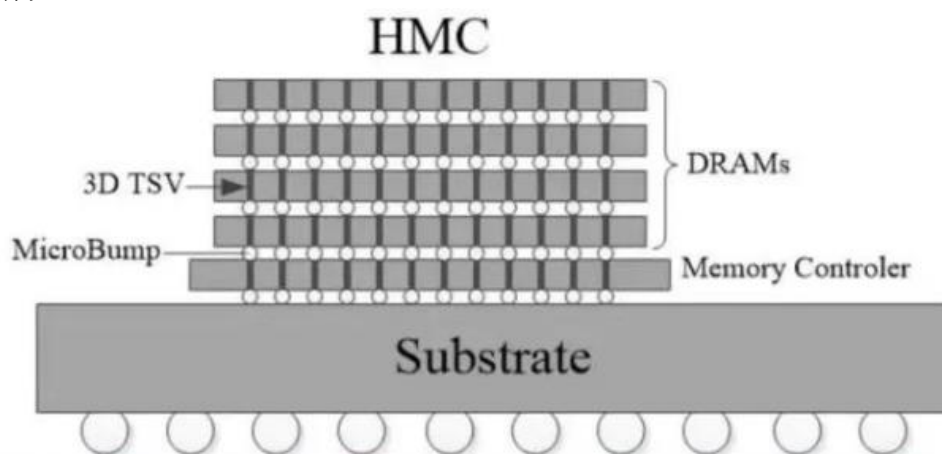
HMC (Hybrid Memory Cube)混合存储立方体，其标准由美光主推。

HMC 使用堆叠的 DRAM 芯片实现更大的内存带宽。另外 HMC 通过 3D TSV 集成技术把内存控制器(Memory Controller)集成到 DRAM 堆叠封装里。

对比 HBM 和 HMC 可以看出，两者很相似，都是将 DRAM 芯片堆叠并通过 3D TSV 互连，并且其下方都有逻辑控制芯片。

两者的不同在于：HBM 通过 Interpose 和 GPU 互连，而 HMC 则是直接安装在 Substrate 上，中间缺少了 Interposer 和 2.5D TSV。

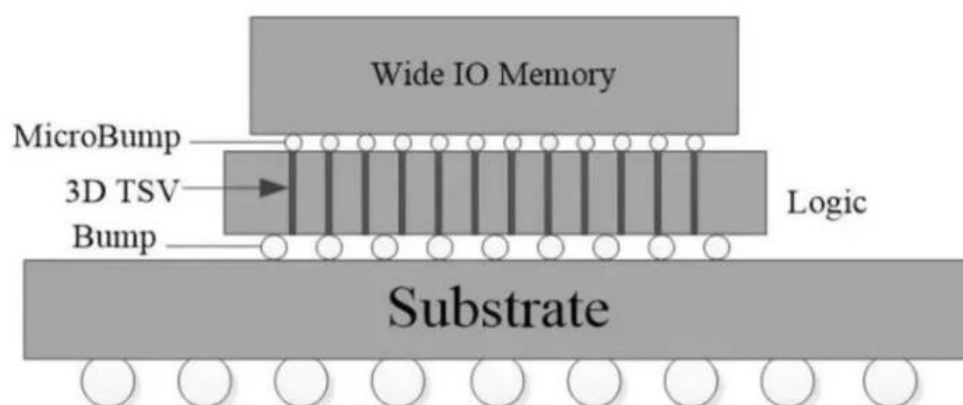
HMC 使用高速串行接口(SerDes)来实现高速接口，适合处理器和内存距离较远的情况。



31. Wide-IO (Wide Input Output)

Wide-IO (Wide Input Output)宽带输入输出技术由三星主推，目前已经到了第二代，可以实现最多 512bit 的内存接口位宽，内存接口操作频率最高可达 1GHz，总的内存带宽可达 68GBps，是 DDR4 接口带宽(34GBps)的两倍。

Wide-IO 通过将 Memory 芯片堆叠在 Logic 芯片上来实现，Memory 芯片通过 3DTSV 和 Logic 芯片及基板相连接，如下图所示。

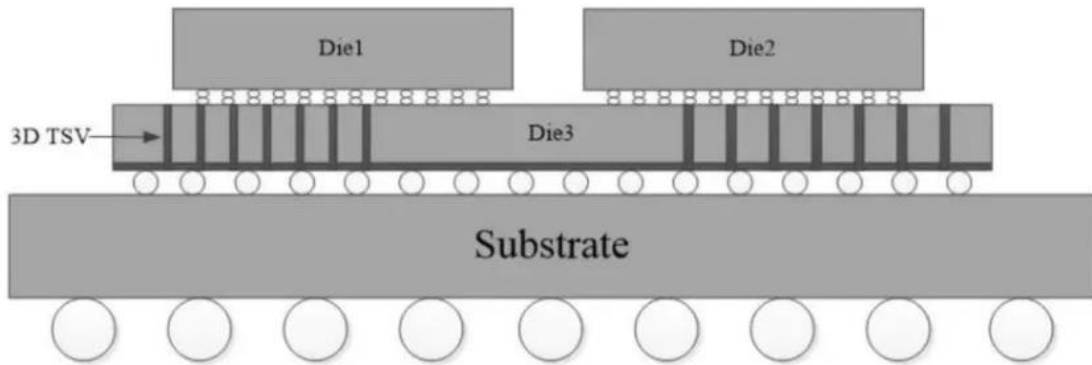


32. Foveros

除了前面介绍过的 EMIB 先进封装之外，Intel 还推出了 Foveros 有源板载技术。在 Intel 的技术介绍中，Foveros 被称作 3D Face to Face Chip Stack for heterogeneous integration, 三维面对面异构集成芯片堆叠。

EMIB 是 2D 封装技术，Foveros 是 3D 堆叠封装技术，Foveros 更适用于小尺寸产品或对内存带宽要求更高的产品，在体积、功耗等方面，Foveros 3D 堆叠的

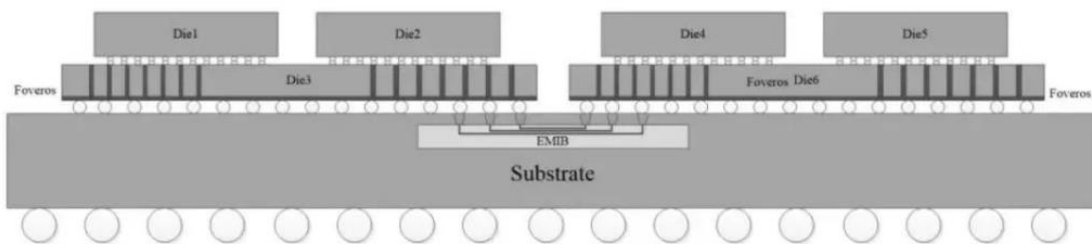
优势就显现了出来。Foveros 每比特传输的数据的功率非常低 Foveros 技术要处理的是 Bump 间距减小、密度增大以及芯片堆叠技术。



33. Co-EMIB (Foveros + EMIB)

Co-EMIB 是 EMIB 和 Foveros 的综合体，EMIB 主要是负责横向的连结，让不同内核的芯片像拼图一样拼接起来，而 Foveros 则是纵向堆栈，就好像盖高楼一样，每层楼都可以有完全不同的设计。

将 EMIB 和 Foveros 合并起来的封装技术被称作 Co-EMIB,是可以具有弹性更高的芯片制造方法，可以让芯片在堆叠的同时继续横向拼接。因此，该技术可以将多个 3D Foveros 芯片通过 EMIB 拼接在一起，以制造更大的芯片系统。

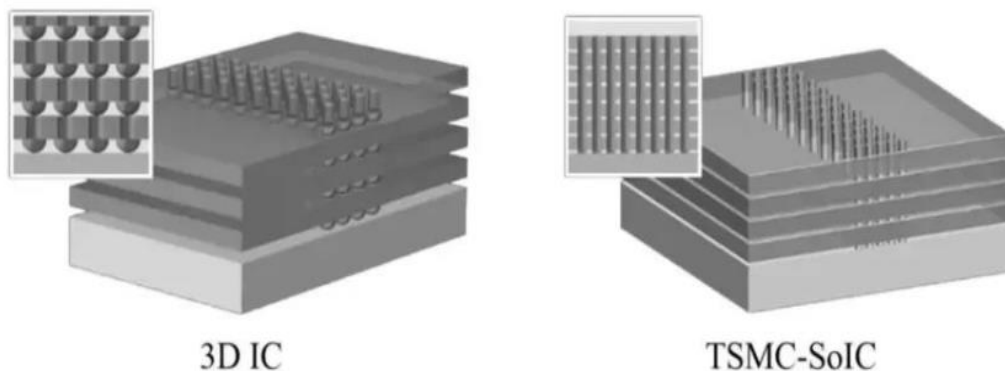


34. SoIC

SoIC 也称为 TSMC-SoIC,是台积电提出的一项新技术—集成片上系统 System-on-Integrated-ChipS。

SoIC 最鲜明的特点是没有凸点(no-Bump)的键合结构，因此具有有更高的 集成密度和更佳的运行性能。

SoIC 包含 CoW (Chip-on-wafer)和 WoW (Wafer-on-wafer)两种技术形态，从 TSMC 的描述来看，SoIC 就一种 WoW 晶圆对晶圆或 CoW 芯片对晶圆的直接键合 (Hybrid Bonding)技术。

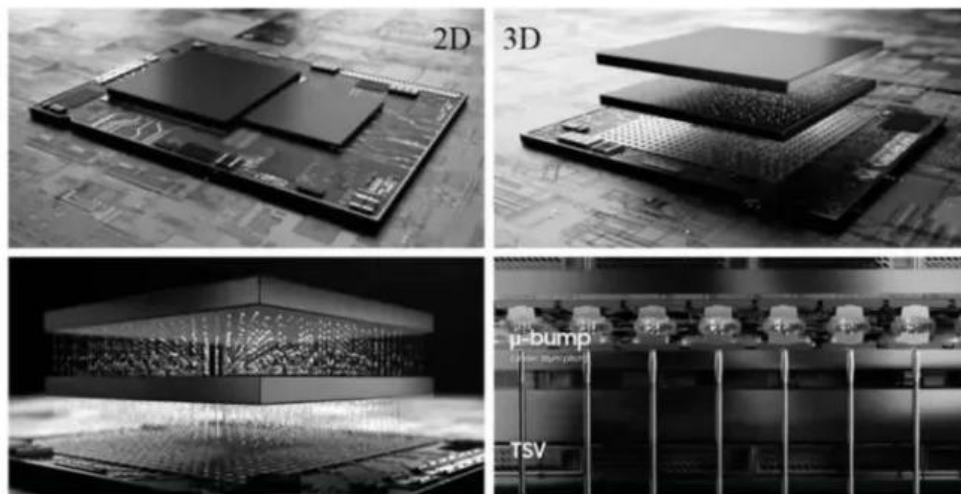


35. X-Cube

X-Cube (eXtended-Cube)是三星宣布推出的一项 3D 集成技术，可以在较小的空间中容纳更多的内存，并缩短单元之间的信号距离。

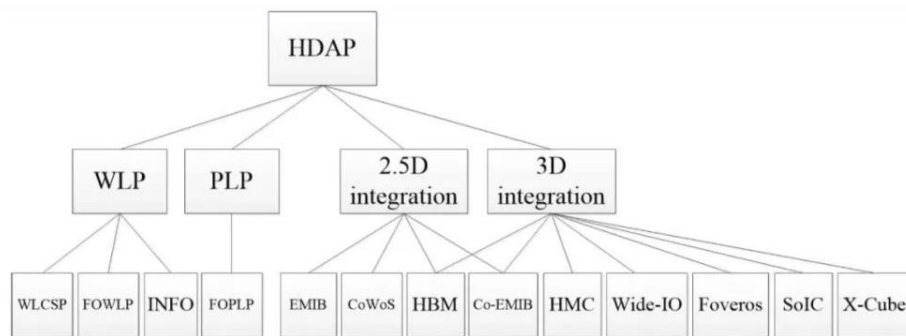
X-Cube 利用 TSV 技术将 SRAM 堆叠在逻辑单元顶部，可以在更小的空间中容纳更多的存储器。

X-Cube 封装允许多枚芯片 3D 堆叠封装，使得成品芯片结构更加紧凑。芯片之间采用了 TSV 技术连接，降低功耗的同时提高了传输的速率。



Advanced Packaging (HDAP)

	Advanced Package	Year	2D/2.5D/3D	Function Density	Applications	Major Manufacturers
1	FOWLP	2009	2D	Low	Smartphones, 5G, AI	Infineon/NXP
2	INFO	2016	2D	Medium	iphones, 5G, AI	TSMC
3	FOPLP	2017	2D	Medium	Mobile devices, 5G, AI	SAMSUNG
4	EMIB	2018	2D	Medium	Graphics, HPC	Intel
5	CoWoS	2012	2.5D	Medium	Hign end Server, Hign end Enterprise, HPC	TSMC
6	HBM	2015	3D+2.5D	High	Graphics, HPC	AMD/ NVIDIA/Hynix/ intel/ SAMSUNG
7	HMC	2012	3D	High	Hign end Server, Hign end Enterprise, HPC	Micron/SAMSUNG/IBM/ARM/ MicroSoft
8	Wide-IO	2012	3D	Medium	Hign end Smartphone	SAMSUNG
9	Foveros	2018	3D	Medium	Hign end Server, Hign end Enterprise, HPC	Intel
10	Co-EMIB	2019	3D+2D	High	Hign end Server, Hign end Enterprise, HPC	Intel
11	TSMC-SoIC	2020	3D	Very High	5G, AI, Wearable or mobile devices	TSMC
12	X-Cube	2020	3D	High	5G, AI, Wearable or mobile devices	SAMSUNG



先进封装: 2.5D, 3D, WLP(PLP) 及其组合

先进封装: WLP (Wafer Level Package)、FIWLP (Fan-in Wafer Level Package)、FOWLP (Fan-Out Wafer Level Package)、eWLB (embedded Wafer Level Ball Grid Array)、CSP (Chip Scale Package)、WLCSP (Wafer Level Chip Scale Package)、CoW (Chip on Wafer)、WoW (Wafer on Wafer)、FOPLP (Fan-Out Panel Level Package)、InFO (Integrated Fan-Out)、CoWoS (Chip-on-Wafer-on-Substrate)、HBM (High-Bandwidth Memory)、HMC (Hybrid Memory Cube)、Wide-IO (Wide Input Output)、EMIB (Embedded Multi-Die Interconnect Bridge)、Foveros、Co-EMIB、ODI (Omni-Directional Interconnect)、3D IC、SoIC、X-Cube, etc...

36. 单片集成(同构集成)

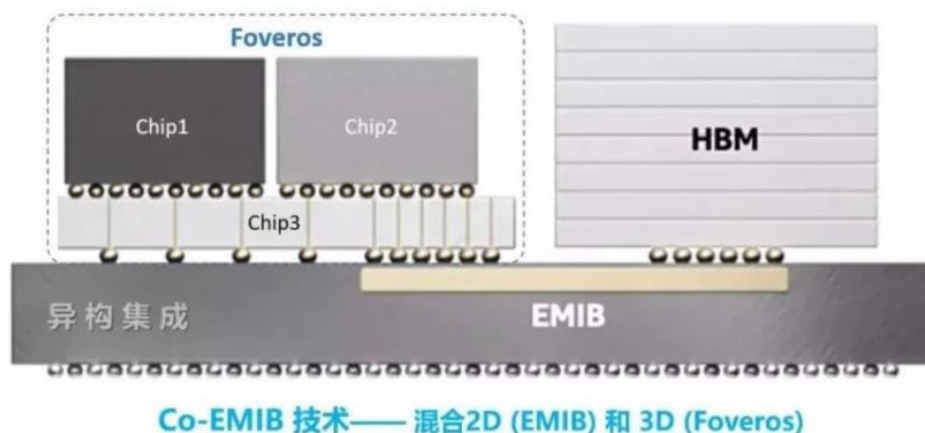
异构集成通常和单片集成电路(monolithic)相对应, 我们常见的芯片都是单片集成电路, 它们属于同构集成(homogeneous Integration), 意味着在同一种材料上制作出所有元件。

这曾经是杰克•基尔比(Jack Kilby)的梦想, 并最终成为现实, 进而推动了信息技术的巨大进步, 对人类文明的进步也产生重大影响。



37. 异构异质集成

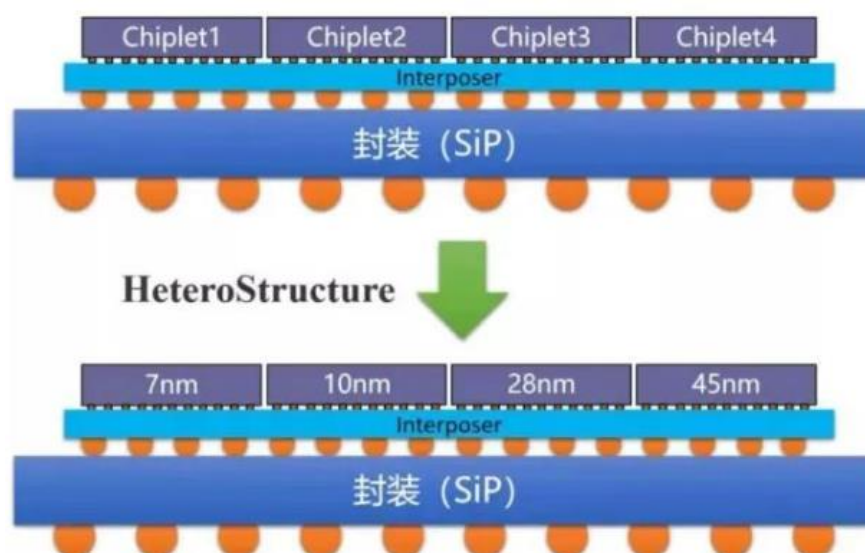
异构集成(Heterogeneous Integration)准确来讲, 全称为异构异质集成, 异构集成可看作是其汉语的简称, 这里, 我们将其分为异构 (HeteroStructure)集成和异质(HeteroMaterial)集成两大类。



38. 异构集成

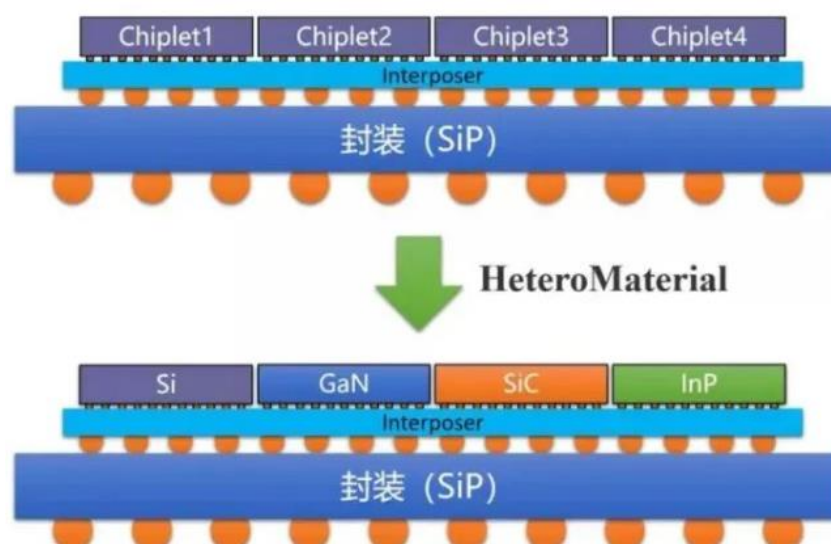
HeteroStructure Integration (异构集成)主要指将多个不同工艺节点单独制造的芯片封装到一个封装内部，可以对采用不同工艺、不同功能、不同制造商制造的组件进行封装。例如将不同厂商的 7nm、10nm、28nm、45nm 的小芯片通过异构集成技术封装在一起。

这里主要以硅材质的芯片为主，工程师可以像搭积木一样，在芯片库里将不同工艺节点的 Chiplet 小芯片通过异构集成技术组装在一起。



39. 异质集成

HeteroMaterial Integration(异质集成)是指将不同材料的 半导体器件集成到一个封装内，可产生尺寸小、经济性好、灵活性高、系统性能更佳的产品。如将 Si、GaN、SiC、InP 生产加工的芯片通过异质集成技术封装到一起 ,形成不同材料的半导体在同一款封装内协同工作的场景。



40. Chiplet 技术

Chiplet 顾名思义就是小芯片，首先将复杂功能进行分解，然后开发出多种具有单一特定功能，可进行模块化组装的“小芯片”(Chiplet),如实现数据存储、

计算、信号处理、数据流管理等功能，并以此为基础，建立一个“小芯片”的集成系统。

简单来说，Chiplet 技术就是像搭积木一样，把一些预先生产好的实现特定功能的芯片裸片(die)通过先进的集成技术封装在一起形成一个系统级芯片，而这些基本的裸片就是 Chiplet。

Chiplet 可以使用更可靠和更便宜的技术制造。较小的硅片本身也不容易产生制造缺陷。此外，Chiplet 芯片也不需要采用同样的工艺，不同工艺生产制造的 Chiplet 可以通过 SiP 技术有机地结合在一起。

41. SoC、SiP 和 Chiplet 技术的比较

将 SoC 分解成 GPU、CPU、IO 芯片，然后通过 SiP 技术将它们集成在一个封装内；通过 Chiplet 技术，更小的区块拥有单独的 IP，并且可以重复使用，根据特定客户的独特需求定制产品。

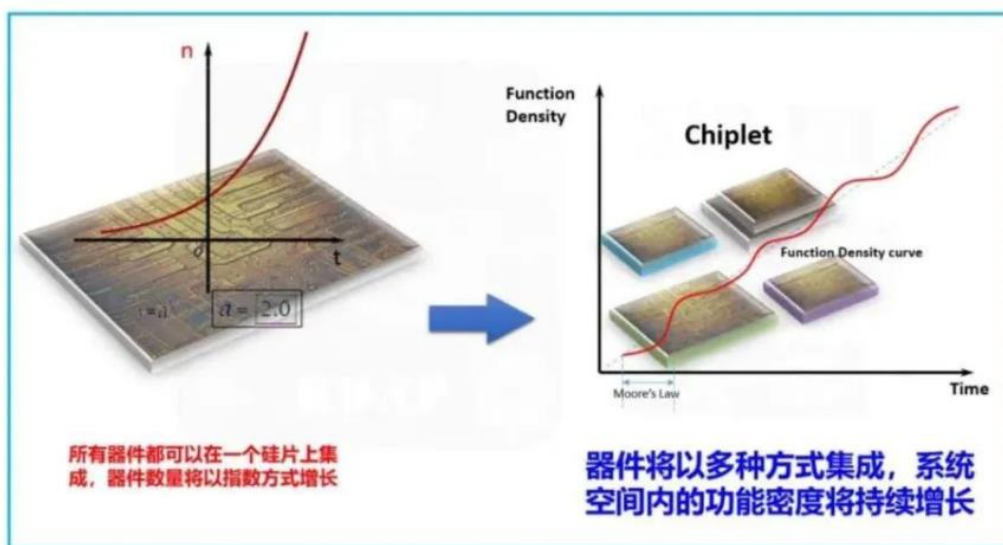
SoC: 全称 System-on-chip，系统级芯片，是芯片内不同功能电路的高度集成的芯片。

SiP: 全称 System-in-package，系统级封装，是将多种功能芯片，包括处理器、存储器等功能芯片集成在一个封装内，从而实现一个基本完整的功能产品。



42. 异构集成和 Chiplet

有了 Chiplet, 器件将以多种方式集成，芯片内部的同构集成、芯片之间的异构集成，系统空间内的功能密度将持续增长。



43. 异构计算 (Heterogeneous Computing)

异构计算是指将 CPU、GPU、FPGA、DSP 等不同架构的运算单元整合到一起进行并行计算。

例如，CPU 擅长管理和调度，比如读取数据，管理文件，人机交互等；GPU 管理弱，运算强，更适合整块数据进行流处理的算法；FPGA 实时性高，能管理能运算，但是开发周期长，复杂算法开发难度大；DSP 适合特定算法的计算等。

当人工智能等海量计算诉求到来之后，GPU、FPGA、DSP 去配合 CPU 进行计算的使命就产生了，这就是异构计算。

异构计算技术从上世纪 80 年代中期产生，由于能有效获取高计算能力、可扩展性好、资源利用率高、发展潜力大，已成为并行计算领域中的研究热点。

44. 异构集成与异构计算的目的

关于异构集成、异构计算、算力三者之间的关系，大致可以用下面的图片来描述三者之间的关系。

异构集成和异构计算追求的目标是使计算任务的执行具有最短时间，也就是拥有最强的算力。



45. 异构集成与异构计算的关系

异构集成主要在封装层面，通过先进封装技术将不同工艺节点、不同材质的芯片集成在一起，异构计算通过整合不同架构的运算单元来进行并行计算，二者的目的都是为了提升算力。

异构计算充分利用各种计算资源的并行和分布计算技术，能够将不同制程和架构、不同指令集、不同功能的硬件进行组合，已经成为解决算力瓶颈的重要方式。而要实现异构计算，异构集成和先进封装技术在其中扮演了关键的角色。异构集成与先进封装技术的进步使在单个封装内构建复杂系统成为了可能，能够快速达到异构计算系统内的芯片所需要的功耗、体积、性能的要求，是目前技术能够实现的最佳解决方案。