

集成电路导论 集成电路入门部分

1 概述

1.1 集成电路的发展

微电子（集成电路）技术专业内涵：建立在以集成电路为核心的各种半导体器件基础上的高新电子技术。

包括：材料制备、器件物理、电路设计、工艺制造、封装技术、系统应用等一系列专门的技术。

它是现代电子工业的心脏和信息技术的基石。已成为衡量一个国家科技进步的重要标志。

三个名词的区别与关联：

半导体

微电子

集成电路

计算机的发展依赖于微电子技术的进步

第一代计算机：电子管计算机

第二代计算机：晶体管计算机

第三代计算机：中小规模集成电路计算机

第四代计算机：大规模、超大规模集成电路计算机

集成电路的发展使得个人计算机(PC)成为可能

1.1.1 什么是集成电路？

IC = integrated circuits

通过一系列特定的加工工艺，将二极管、三极管、场效应管等**有源器件**，以及电阻、电容、电感等**无源器件**，按照一定的**电路互连**，“**集成**”在一块半导体晶片（如Si、GaAs、GaN）上，**封装**在一个外壳内，执行特定的电路或系统**功能**的一种器件。

1.1.2 集成电路的发展

发展史上的几个里程碑：

1963, CMOS, 金属-氧化物-半导体互补对称逻辑门技术

1967, Non-Volatile-Memory 非挥发存储器

1968, Dynamic Random Access Memory, 动态随机存取存储器, 单晶体管DRAM

1971, Intel公司的微处理器——计算机的心脏——4004 CPU

几个核心概念:

集成度 (规模): 每个芯片中包含的元器件的数目

特征尺寸: 一定的集成电路工艺在芯片上所能制作的最小线宽

对于MOS管, 由于MOS的栅极通常采用最窄的线条来实现, 因而特征尺寸往往就是沟道方向上栅极线条的宽度, 即: **栅长**。

微电子的发展规律: **摩尔定律** (Moore's Law)

集成度约3年扩大到原有的4倍, 特征尺寸3年缩小近1倍

从根本上讲, 摩尔定律并不是一个物理定律, 而是一种产业自我激励的机制, 鞭策半导体产业界不断进步, 并努力去实现它。

More than Moore: 扩展摩尔 (横向), 即发展在之前摩尔定律演进过程中所未开发的部分

Beyond Moore: 超越摩尔 (纵向), 即发明在硅基CMOS遇到物理极限时所能倚重的新型器件

1.1.3 集成电路的战略地位

集成电路的战略地位, 首先表现在当代国民经济的“食物链”关系。

集成电路 (1~2元) → 电子产品 (10元) → 国民经济产值 (100元)

进入信息化社会的判据: 半导体产值占工农业总产值的0.5%

其次, 统计数据表明, 发达国家在发展过程中都有一条规律:

集成电路产值的增长率 > 电子工业产值的增长率 > GDP的增长率

1.1.4 当前国际集成电路技术发展趋势

1. 特征尺寸不断缩小, 5nm已经开始走向规模化生产
2. 电路规模: SSI → SoC
3. 晶圆的尺寸增加, 当前的主流晶圆尺寸为12英寸, 正在向18英寸晶圆迈进

4. 集成电路规模不断提高
5. 集成电路速度不断提高
6. 集成电路复杂度不断增加，SoC成为了开发目标
7. 设计能力落后于工艺制造能力
8. 电路设计、工艺制造、封装的分立运行，为发展无生产线（Fabless）、无芯片（Chipless）集成电路设计提供了条件，为微电子领域发展知识经济提供了条件

1.2 无生产线集成电路设计技术

1.2.1 IDM与Fabless集成电路实现

IDM模式：Integrated Device Manufacturer，一体制造模式。

在集成电路发展的前30年中，设计、制造、封装都是集中在半导体生产厂家内进行的。

Fabless模式：无生产线集成电路设计模式。

1990年代以来，电路设计、工艺制造、封装开始分立运行

特点：

设计公司拥有设计人才和设计技术，但不拥有生产线

芯片设计公司不拥有生产线而存在和发展，但芯片制造单位致力于工艺实现（代客户加工，简称代工）

设计单位与代工单位以信息流和物流的渠道建立联系

Fabless vs. Foundry

Fabless: IC Design based on foundries, i.e., IC Design unit without any process owned by itself.

Foundry: IC manufactory purely supporting fabless IC designers, i.e., IC manufactory without any IC design entity of itself.

1.3 多项目晶圆（MPW）技术

许多来自不同项目的IC都放到一个宏IC上，并一起在晶片上被制造出来

掩膜和制造成本由**所有用户分摊**。因此，单个项目支付的成本足够低，特别是对于研发而言

IC研发的**风险降低**

1.4 集成电路的分类

分类类型：器件结构类型、集成电路规模、使用的基片材料、电路功能、应用领域

按器件结构类型分类

双极（BJT, Bipolar Junction Transistor）集成电路：主要由双极晶体管构成。

NPN、PNP型双极集成电路

金属-氧化物-半导体（MOS, Metal-Oxide-Semiconductor）集成电路，主要由MOS晶体管（单极晶体管）构成

NMOS、PMOS、CMOS (Complementary MOS)

双极-MOS (BiMOS) 集成电路：同时包括双极和MOS晶体管的集成电路为BiMOS集成电路，综合了双极和MOS器件两者的优点，但制作工艺复杂

按集成度分类

集成度：每块集成电路芯片所包含的元器件的数目

分为：SSI, MSI, LSI, VLSI等。

按所使用的基片材料分类

单片集成电路：指电路中所有的元器件都制作在同一块半导体基片上的集成电路。

在半导体集成电路中，最常用的半导体材料是Si，除此之外还有GaAs等。

混合集成电路：厚膜集成电路、薄膜集成电路，均以膜的方式，将组成电路的电子元器件，制作在绝缘几篇上所过程的集成电路。厚膜厚度为几微米到几十微米；薄膜厚度为1微米以下。

按电路功能分类

数字集成电路 (Digital IC)：指处理数字信号的集成电路，即采用二进制方式进行数字计算和逻辑函数计算的一类集成电路，如逻辑门、触发器、存储器等。

模拟集成电路 (Analog IC)：指处理模拟信号（连续变化的信号）的集成电路

线性集成电路：又称放大集成电路，如运算放大器、电压比较器、跟随器等

非线性集成电路：如振荡器、定时器等电路

数模混合集成电路 (Digital - Analog IC)：如数模转换器（DAC）和模数转换器（ADC）等

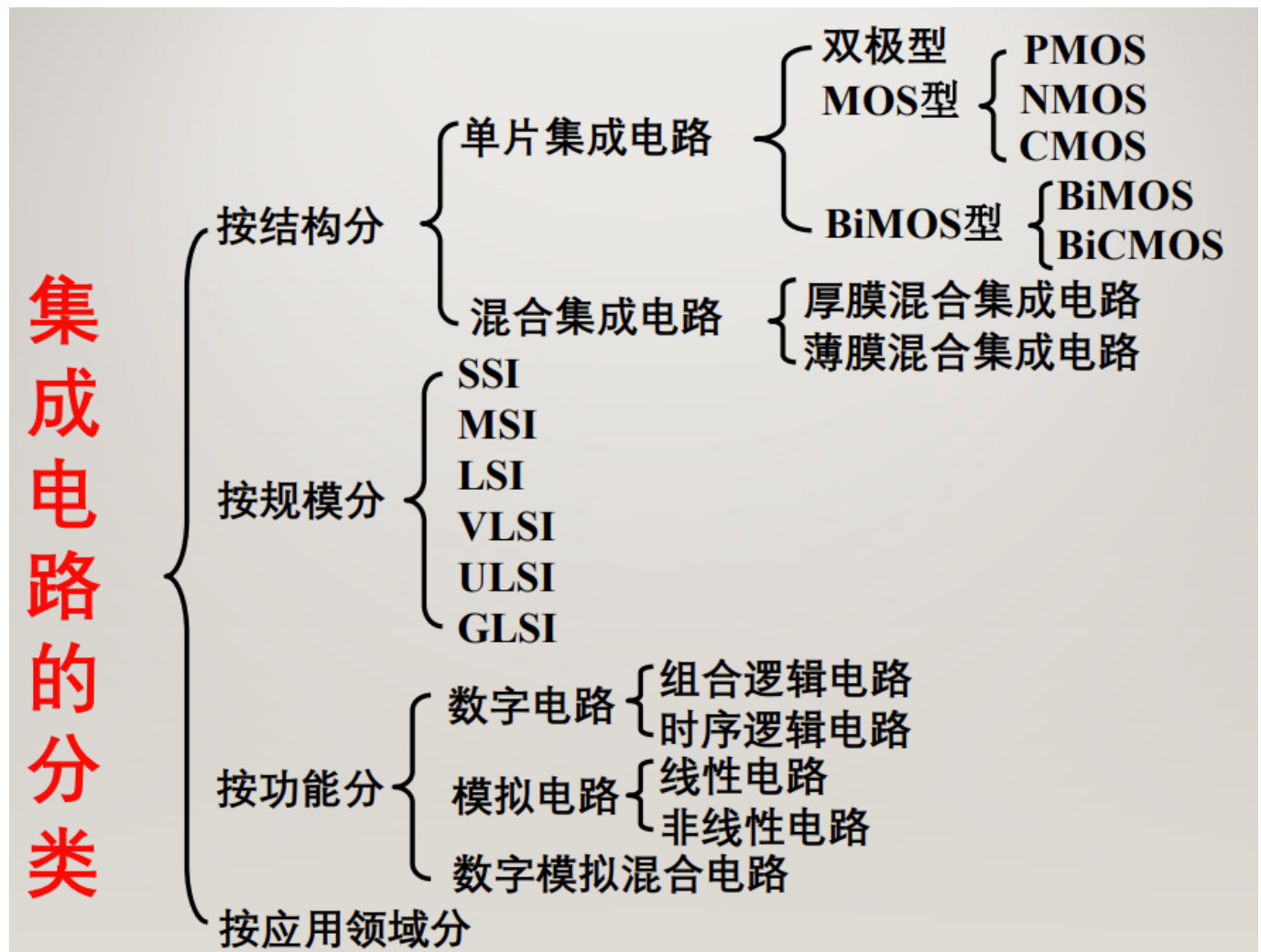
按应用领域分类

标准通用集成电路：不同厂家都在同时生产的、用量极大的标准系列产品

专用集成电路：针对某一应用或某一客户的特殊要求设计的集成电路。

集成度高、批量小、单片功能强、封装形式多样：降低设计开发费用

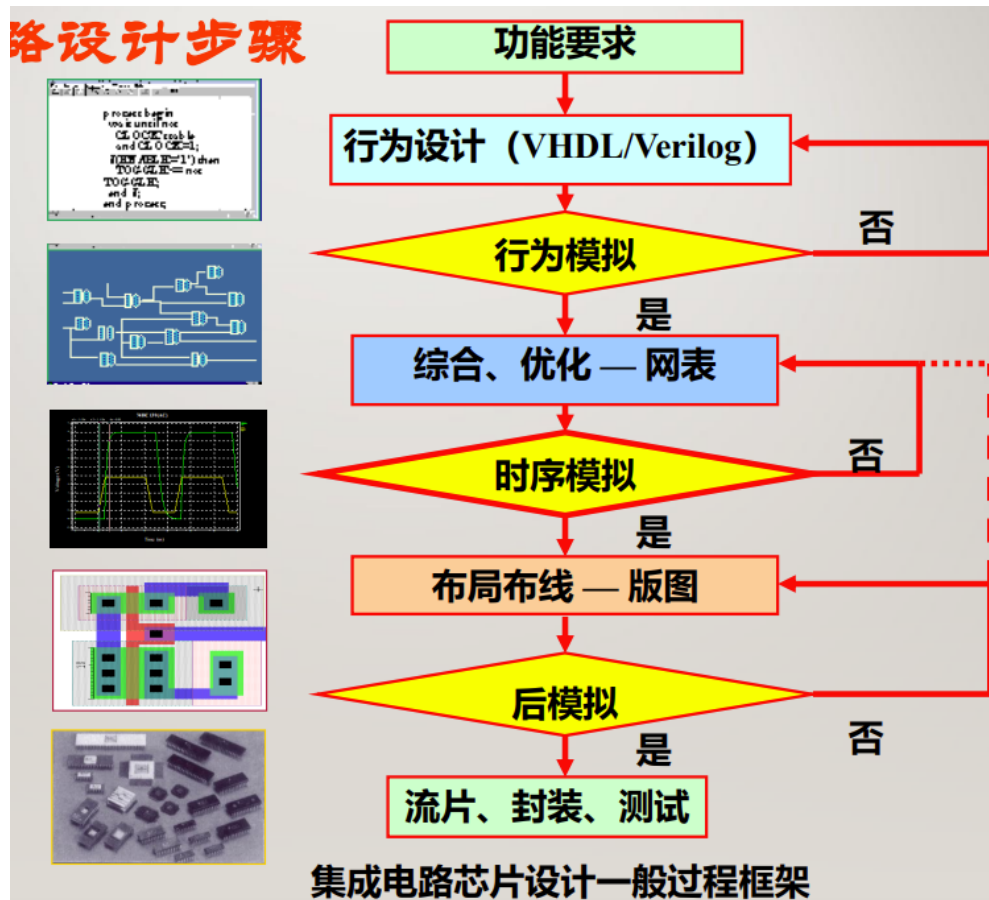
全定制 / 半定制集成电路



1.5 集成电路设计步骤：

功能要求 → 1. 行为设计(Verilog / VHDL) → 行为模拟 → 2. 综合优化 - 网表 → 时序模拟 →

3. 布局布线 - 版图 → 后模拟 → 流片、封装、测试



设计抽象层次：系统、模块、门、电路、晶体管

设计方法：自底向上、自顶向下的设计方法

1.6 EDA（电子设计自动化技术）

EDA技术伴随着计算机、集成电路、电子系统设计的发展，经历了三个阶段：

1. 计算机辅助设计 CAD = computer aided design
2. 计算机辅助工程设计 CAE = computer aided engineering
3. 电子设计自动化 EDA = electronic design automation

1.7 集成电路设计所需要的知识范围

集成电路设计就是对大量集成工程学，折中的有效处理

如何使设计在速度、功耗、面积和可靠性方面取得平衡

如何在时序和功耗的矛盾中折中

如何在系统性能、逻辑设计、电路设计、版图设计、制造工艺、测试技术和成本取得平衡

另外还需要考虑易测性、抗干扰、封装、可靠性、面市时间等等。

2 集成电路材料与器件物理基础

2.1 集成电路材料

按导电能力划分：导体、半导体、绝缘体

分类	材料	电导率 (S/cm)
导体	Al, Au, W, Cu, NiCr等合金, 重掺多晶硅	$< 10^5$
半导体	Si, Ge, GaAs, InP, GaN, SiC	$10^{-9} - 10^2$
绝缘体	SiO ₂ , Si ₃ N ₄ , HfO ₂ , Al ₂ O ₃	$10^{-22} - 10^{-14}$

2.2 PN结

PN结是多数半导体器件的核心单元：

电子器件：整流器、检波器、双极晶体管（BJT）

光电器件：太阳能电池、发光二极管、半导体激光器、光电二极管

PN结的结构：

通过控制施主（donor）与受主（acceptor）浓度的办法，形成分别以电子和空穴为主的两种导电区域，其交界处即被称为P-N结。

根据杂质浓度的分布，可以划分为：突变结、线性缓变结

根据结两边的材料不同，可以划分为：同质PN结、异质PN结

PN结的基本应用

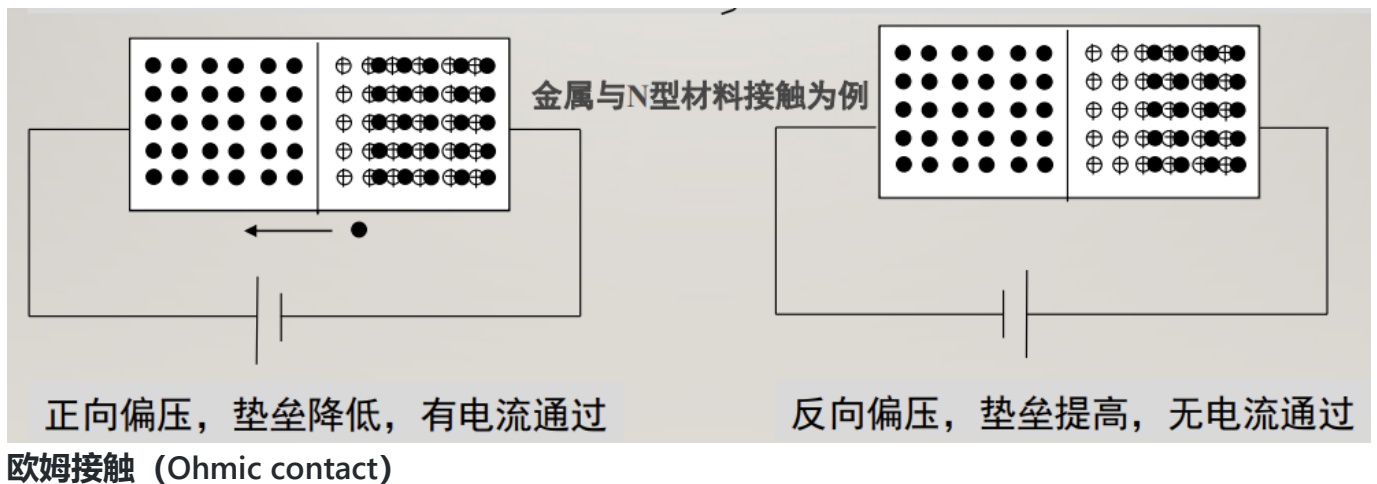
整流：使得一个正弦波流经二极管，只有大于零的正向部分会到达后面的电路，这种滤除负向信号的过程称为整流

电流隔离：电流的单向流动

肖特基接触（Schottky contact）

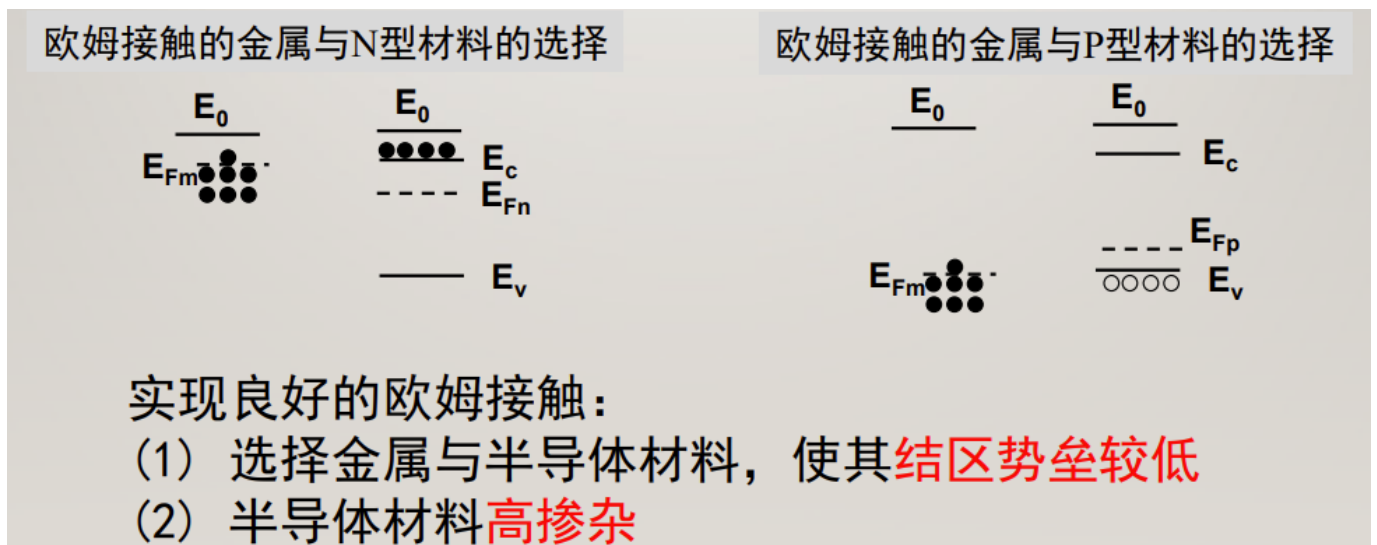
肖特基接触，指的是金属和半导体材料相接触的时候，在界面处半导体的能带弯曲，形成肖特基势垒。

势垒的存在才导致了大的界面电阻。具有肖特基接触的金属和半导体界面形成结二极管。



欧姆接触，指的是金属与半导体的接触，而其接触面的电阻值远小于半导体本身的电阻。

金属作为半导体器件的**电极**，要求具有欧姆接触。



2.3 BJT 双极型晶体管

发射极、基区、集电极、阈值电压、电源电压接入

BJT的工作状态：放大、饱和、截止、反向

2.4 MOS晶体管

MOSFET：金属氧化物半导体场效应晶体管

FET：场效应晶体管

场效应：由于附近电压作用而形成电子或空穴聚积的效应。

常开型晶体管：**耗尽型晶体管**；

常关型晶体管：**增强型晶体管**；

CMOS: Complementary Metal Oxide Semiconductor

栅极多采用掺杂多晶硅，绝缘层采用二氧化硅

增强型MOS晶体管栅区较小，且形状不随电场变化

CMOS电路里，全部采用增强型的NMOS和PMOS

MOS晶体管工作状态：截止区、饱和区、线性区

MOS晶体管输出特性

体效应、背栅效应

沟道长度调制效应、亚阈值导电性

BJT和MOS的区别

BJT	MOS
电流控制	电压控制
双载流子	单载流子
发射结、集电结不可互换	S、D 互换
	工艺简单，面积小，等比例缩小
重要参数： W_B 、 N_E/N_B	L
	R_{in} 大， g_m 小 $\rightarrow A_v$ 小

其他的器件类型：

1. JFET = Junction Gate Field-Effect Transistor

按 $V_{gs} = 0$ 时沟道的开启情况，JFET同样可以分为常开型（耗尽型）和常关型（增强型）。

2. MESFET = Metal Semiconductor Field Effect Transistor

结构、原理与JFET相似，不同的是采用肖特基结（金属 / 半导体）代替PN结。

3. FINFET：鳍式场效应晶体管

4. GAAFET = Gate-All-Around FET 环绕栅极晶体管

5. MBCFET = Multi-Bridge Channel FET 多桥沟道场效应管

3 IC版图设计

3.1 版图概述

版图 (Layout)： 是集成电路设计者将设计并模拟、优化后的电路，转化成一系列几何图形。

它包含了集成电路尺寸大小、各层拓扑定义等器件相关的物理信息。

版图的作用

集成电路制造厂家根据版图提供的信息，来制造掩模 (Mask) 。。

因此，版图是“从设计走向制造的桥梁”。

掩模的作用

掩模用于制造集成电路。掩模上的图形，决定芯片上的器件或连接物理层的尺寸。

因此，版图上的几何图形尺寸与芯片上物理层的尺寸直接相关。

版图的设计流程

步骤1：版图规划

制定并牢记需要进行版图设计的各项要求

1.1 确定电源网格和全局信号

1.2 定义 I/O 信号

1.3 特殊设计考虑

1.4 模块层次划分和尺寸估计

1.5 版图设计完整性检查

步骤2：设计实现

创建单元、布局及进行布线

2.1 设计子模块单元，并对其进行布局

2.2 考虑特殊的设计要求

2.3 完成子模块之间的互连

步骤3：版图验证

进行规则、电气及连接检查

3.1 设计规则检查 DRC

3.2 电路图版图一致性检查 LVS

3.3 电学规则检查 ERC

3.4 人工检查，考虑特殊规则的检查

版图的设计规则

由于器件的**物理特性和工艺限制**，芯片上物理层的尺寸和版图的设计，必须遵守特定的规则。

这些规则是各个集成电路制造厂家根据本身的**工艺特点和技术水平**而制定的。

因此，**不同的工艺，就有不同的设计规则。**

设计规则是版图设计和工艺之间的接口。

厂家提供的设计规则

设计者只能根据厂家提供的设计规则进行版图设计。

严格遵守设计规则可以极大地避免由于短路、断路造成的电路失效和容差，以及寄生效应引起的性能劣化。

3.2 版图几何设计规则

版图几何设计规则可以看作是**对光刻掩模版的制备要求**

这些规则在生产阶段中，为电路的设计师和工艺工程师提供了一种必要的信息联系。

设计规则与性能、成品率之间的关系：

一般而言，设计规则反映了**性能和成品率之间可能的最好的折衷。**

规则越保守，能工作的电路就越多（成品率越高）。

规则越激进，则电路性能改进的可能性越大，这种改进可能是以牺牲成品率为代价的。

从设计的观点出发，设计规则可以分为以下三个部分：

1. 决定**几何特征和图形的几何尺寸**的规定
2. 确定掩模制备和芯片制造中都需要的一组**基本图形部件的强制性要求**

3. 定义设计人员设计时使用的**电参数的范围**

常用的有两种方法可以用来描述设计规则：

1. 微米规则：以微米为分辨单位
2. λ (lambda) 规则：以特征尺寸为基准

设计规则的具体内容主要包括各层的**最小宽度**、层与层之间的**最小间距**、**最小交叠**等。

最小宽度：指封闭几何图形的**内边**之间的距离。

在利用DRC对版图进行几何规则检查时，对于宽度低于规则中指定的最小宽度的几何图形，计算机将会给出错误提示。

最小间距：指各几何图形**外边界**之间的距离

最小交叠：

交叠具有两种形式，

1. 一几何图形内边界到另一图形的内边界长度 (overlap)
2. 一几何图形外边界到另一图形的内边界长度 (extension)

层次：将设计过程抽象成若干易于处理的概念性版图层次，这些层次代表线路转换成硅芯片时所必须的掩模图形。

3.3 电学设计规则

电学设计规则给出的是将具体的工艺参数及其结果**抽象出的电学参数**，是电路与系统设计、模拟的依据。

如果用手工设计集成电路或单元（如标准单元库设计），

几何设计规则是**图形编辑**的依据，电学设计规则是**分析计算**的依据。

在VLSI设计中采用的是计算机辅助和自动设计技术，

几何设计规则是设计系统生成版图和检查版图错误的依据，电学设计规则是设计系统预测电路性能（仿真）的依据。

3.4 晶体管的版图设计

3.4.1 BJT版图设计

设计原则：

划分离区：集成电路里得晶体管、二极管、电阻元件是制作在同一半导体衬底基片上的，由于它们所处的电位各不相同，因此必须进行电性能隔离。最后用铝线互连来构成功能电路。

几何对称设计：使得两个对称的晶体管或两个对称电阻的版图，其大小和形状设计得完全一样，同时版图面积应设计得稍微大些，以减小几何误差。

热对称设计：应以芯片的中心线为对称轴，将对管布放在对称轴的两侧，将驱动管和输出管也对称地布放在对称轴的两侧。

图形尺寸选择原则：合理选择图形尺寸十分重要，要根据制版精度、光刻精度、套版精度，以及电路对元件的要求和成品率等因素来确定。

3.4.2 MOS晶体管的版图设计

MOS管的典型物理表示法包括了两个矩形，代表了为制造这个MOS管所需要的光刻图形。

大尺寸MOS管的版图：用于提供大电流或大功率的输出。它们的版图一般采用**并联晶体管结构**的基本技术，以及减小多晶硅栅电阻的方法。

器件的失配问题：在电路设计中经常要求器件之间应当满足某种配合关系，这些要求必须通过版图设计和工艺过程实现。

在版图设计中要细致地解决两个方面的问题：**总体布局**问题，以及**器件的个体或匹配体**的设计问题。

匹配设计：匹配设计是模拟集成电路设计最重要的一环。

集成电阻和电容的绝对值误差可能高达 20%至30%。

常见的匹配设计：**共轴心、共质心、虚拟晶体管 (dummy)**

e.g. 如连线的匹配设计通常考虑寄生电阻和电容。

3.4.3 版图的布局和布线

布局：将组成集成电路的各部分合理地布置在芯片上

布线：按照电路图给出的连接关系，在版图上布置元器件之间、各部分之间的连接。

连线：包括电源线、信号线，一般通常通过多层金属布线的方式实现。

通孔 (Via)：连接相邻金属层

天线效应：刻蚀过程中，连线上聚集电荷，产生高压、击穿。

解决方法：使用上层金属跳线。

保护环（Guard Ring）：具有屏蔽噪声、保护内部电路的作用，如：同轴线屏蔽

4 集成电路设计仿真程序 SPICE

4.1 SPICE 电路描述语句

标题语句：描述文件的第一行，可以由任意字符串和字母组成。

注释语句：一般形式是“*”后加字符串

电路的描述语句：定义电路拓扑结构和元件类型及其数值。可以出现在文件的第二行到末行结束语句之间的任何地方。

电路特性分析和控制语句：可以对电路的特性进行选择分析，如分析频率特性等，以及对输出等要求的控制语句

结束语句：标志着电路描述语句的结束，格式为“.END(S)”。

SPICE中元器件名称的首字母：

首字母	电路元器件	首字母	电路元器件
B	砷化镓场效应管	L	电感
C	电容	M	MOS场效应晶体管
D	二极管	Q	双极型晶体管
E	电压控制电压源	R	电阻
F	电流控制电流源	S	电压控制开关
G	电压控制电流源	T	传输线
H	电流控制电压源	V	独立电压源
I	独立电流源	W	电流控制开关
J	结型场效应晶体管	X	子电路
K	互感（耦合系数）		

4.2 SPICE的元件描述

1. 电阻 R

`R1 1 2 100` : 电阻名称R1, 处于节点1和2之间, 阻值为100Ω

`R1 12 17 50K TC=0.001,0.015` :

电阻名称R1, 处于节点12、17之间, 阻值为: $50 \times (1 + 0.001 \times (T - 25) + 0.015 \times (T - 25)^2)$ kΩ

TC开头的, 分别为T-25的一次项系数和二次项系数

2. 电容C和电感L

`C1 2 3 100PF IC=3V` : 电容名称C1, 处于节点2(+)和3(-)之间, 电容值100pF。

当t = 0时的电容电压为3V。

`L2 20 30 1NH IC=1MA` : 电感名称L2, 处于节点20(+)和30(-)之间, 电容值为1NH,

当t = 0时的电感电流为1MA。

3. 互感 K

`KOUT LPRI LSEC 0.85` : 互感名称为KOUT, 两个耦合电感名称分别为LPRI和LSEC, 互感系数0.85

4. 理想（无损耗）传输线 T

`TIN 1 0 2 0 Z0=50 TD=100PS`

传输线名: TIN;

"1 0"是传输线端口1的正、负节点;

"2 0"是传输线端口2的正、负节点

Z0=50, 特征阻抗大小50Ω

TD=100PS, 传输线延迟时间100PS

4.3 半导体器件描述语句

通常半导体器件（包括二极管、双极性三极管、场效应管）用一套器件模型参数来定义。因此, 需要用一条独立的 .MODEL语句来定义一套器件模型参数, 并指定一个专用的模型名。

然后, SPICE中的器件描述语句就可以引用这个模型名。

常用的语句格式:

DeviceName NodeNames ModelName ElementParameters

二极管

```
D1 2 10 DIODE
```

```
DCLMP 2 7 DMOD area=3.0 IC=0.2
```

双极型晶体管

```
Qnpn1 14 15 16 NPN area=2
```

```
Qpnp1 13 12 11 PNP area=1.5
```

MOS管

MOS管的构造比较复杂。格式如下：

```
MXXXX ND NG NS NB MNAME L=val W=val AD=val AS=val PD=val PS=val NRD=val NRS=val OFF  
IC=vds,vgs
```

ND、NG、NS、NB分别是漏极、栅极、源极和衬底节点

MNAME：模型名

L和W分别是MOS的栅长和栅宽

AD和AS分别是漏极和源极PN结的扩散面积

PD和PS分别为漏极和源极PN结的周长

NRD和NRS分别是漏极和源极扩散去等效电阻的方块数，默认值为1；

OFF表示在DC分析时，器件上的一个起始条件

IC表示瞬态分析从静态工作点外的某处开始，IC=VDS，VGS为初始条件，但必须和.TRAN语句的UIC选项连用。

示例如下：

```
M1 N3 N2 N1 N4 NMOS L=3u W=15u AD=66p PD=24u AS=66p PS=24u
```

```
M2 N7 N6 N5 N8 PMOS L=2u W=22u AD=66p PD=24u AS=66p PS=24u
```

4.4 电源描述语句

电源描述符号的起始字母：

- V: 独立电压源
- I: 独立电流源
- E: 电压控制电压源
- F: 电流控制电流源
- G: 电压控制电流源
- H: 电流控制电压源

基本格式:

1. 直流源:

VXXXX N+ N- <DC> VALUE

IXXXX N+ N- <DC> VALUE

2. 交流源:

VXXXX N+ N- AC<ACMAG (ACPHASE) >

IXXXX N+ N- AC<ACMAG (ACPHASE) >

直流源示例:

i1 C D 5uA

v2 A B 5.0

交流源示例:

i3 G H 0.0 AC 1.0 0.0 该直流源Vdc=0.0, mag=1.0, phase=0.0

v5 E F 0.0 AC 1.0 0.0 该直流源Idc=0.0, mag=1.0, phase=0.0

3. Pulse-脉冲源

格式: V/IXXXXX N+ N- PULSE (V1 V2 TD TR TF PW PER)

TD: 延迟时间; TR: 上升时间; TF: 下降时间; PW: 脉冲宽度; PER: 周期

示例: VP A GND PULSE (0 5 0 5n 10n 20n 50n)

4. SIN: 正弦波

格式: `V/IXXXX N+ N- SIN (VO VA FREQ TD ALPHA PHASE)`

VO: 偏移值; VA: 幅值; FREQ: 频率; TD: 延迟时间; ALPHA: 阻尼因子; PHASE: 相位延迟

示例: `VS A GND SIN (2 5 20Meg 0 5meg 90)`

波形为:

$$V(t) = VO + VA * \sin[2\pi * (FREQ * (T - TD) + PHASE/360)] * \exp(-(T - TD) * ALPHA)$$
$$= 2 + 5 * \sin[2\pi \times 20 \times 10^6 (t - 0) + 90/360] e^{-(t - 0) * 5 \times 10^6}$$

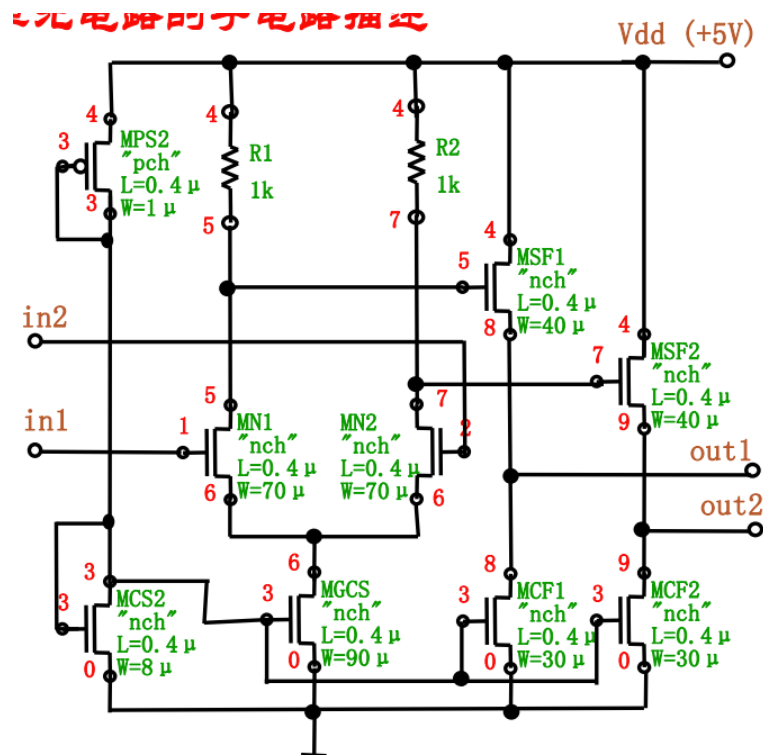
该波形偏移值为2V, 幅值为5V, 频率为20M, 延迟时间TD为0 (余弦), 相位延迟为90度, ALPHA因子为5m。

4.5 子电路描述语句

子电路由一组元件语句来定义, 程序将自动使得这一组语句插入到子电路被调用的地方。电路的大小或复杂性没有限制, 子电路中还可以嵌套其他子电路。

例如: CMOS差分放大单元电路的子电路描述

```
.SUBCKT AMP 1 2 8 9
VDD 4 0 DC 5
MN1 5 1 6 0 NCH L=0.4U W=70U
MN2 7 2 6 0 NCH L=0.4U W=70U
R1 4 5 1K
R2 4 7 1K
MGCS 6 3 0 0 NCH L=0.4U W=90U
MSF1 4 5 8 0 NCH L=0.4U W=40U
MCF1 8 3 0 0 NCH L=0.4U W=30U
MSF2 4 7 9 0 NCH L=0.4U W=30U
MCF2 9 3 0 0 NCH L=0.4U W=30U
MCS2 3 3 0 0 NCH L=0.4U W=8U
MPS2 3 3 4 4 PCH L=0.4U W=1U
.ENDS AMP
```



4.6 扫描语句

直流扫描分析语句：在电路中电感短路和电容开路的情况下，计算电路的静态工作点。

格式： `.DC SRCNAM VSTART VSTOP VINCR <SRC2 START2 STOP2 INCR2>`

SRCNAM：用于扫描的独立电压源或电流源

VSTART：扫描电压（或电流）的起始值

VSTOP：扫描电压（或电流）的结束值

VINCR：增量值

括号 `< >` 内是可以选择的第二个扫描源，若进行了设置，则对第二个扫描源内的每一个扫描值，第一个扫描源都在其范围内进行一次扫描，常用于测试半导体器件的输出特性。

如：NMOS管的直流分析 (I_{ds} vs V_{ds})

```
.DC vds 0 10 0.2 vgs 1 5 1
```

交流特性分析：计算电流在给定的频率范围内的频率响应。格式为：

```
.AC DEC ND FSTART FSTOP
```

```
.AC OCT NO FSTART FSTOP
```

```
.AC LIN NP FSTART FSTOP
```

DEC、OCT、LIN是频率变化的方式，分别对应于十倍频、倍频和线性变频

ND、NO、NP是扫描点数

FSTART、FSTOP分别是起始频率和结束频率

注意：在电路中，需要至少指定一个独立源为交流源，此分析才起到作用

TRAN 瞬态特性分析响应：计算电路的瞬态特性响应，格式为：

```
.TRAN TSTEP TSTOP <TSTART <TMAX>> <UIC>
```

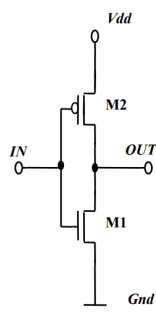
TSTEP：数据输出的时间增量；TSTOP：分析结束时间；TSTART：数据输出的开始时间，默认为0。瞬态分析总是从0开始，但从0到TSTART的计算过不输出，这样可以去除波形中起始段的不规则部分

TMAX：最大运算步长

举例： `.tran 1n 84n start=0`

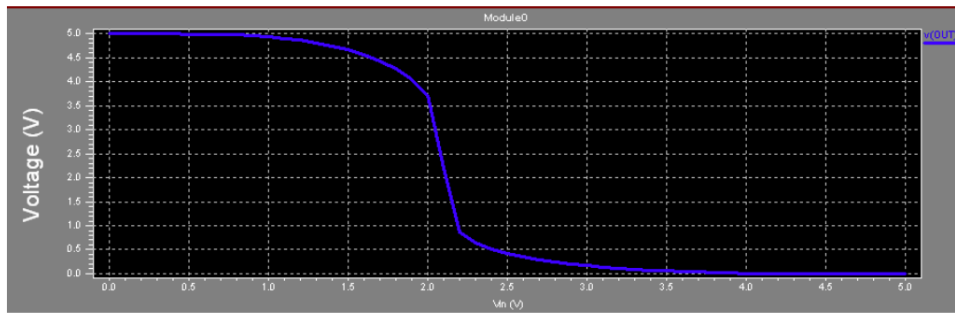
4.7 举例练习：

1. 编写CMOS反相器进行直流转移特性分析(V_{in} vs V_{out})的SPICE描述语句



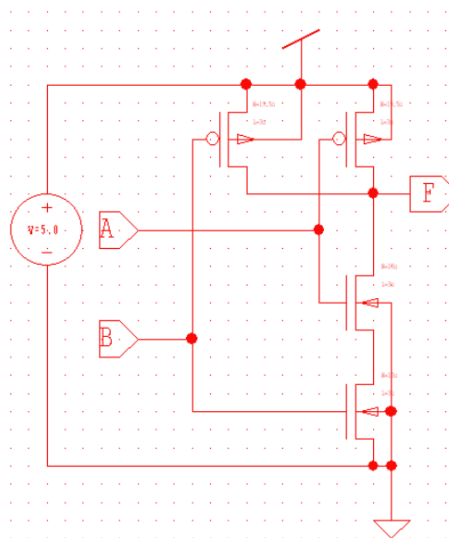
```
(*) inv_dc
.include C:\T-Spice 10.1\models\m15_20.md
M1 OUT IN Gnd Gnd NMOS L=2u W=22u
+ AD=66p PD=24u AS=66p PS=24u
M2 OUT IN Vdd Vdd PMOS L=2u W=22u
+ AD=66p PD=24u AS=66u PS=24u
Vin IN Gnd 5.0
Vvdd Vdd Gnd 5.0
.dc Vin 0.5 0.1
.print dc v(OUT)
```

输出结果



2. 写出与非门的电路描述语句，其中PMOS的W=19.5u, L=3u; NMOS的W=15u, L=3u, 其他参数默认值

```
M1 N2 B Gnd Gnd NMOS L=3u W=15u
M2 F A N2 Gnd NMOS L=3u W=15u
M3 F B Vdd Vdd PMOS L=3u W=19.5u
M4 F A Vdd Vdd PMOS L=3u W=19.5u
v5 Vdd Gnd 5.0
```



给上述电路的A和B输入端设定脉冲电源

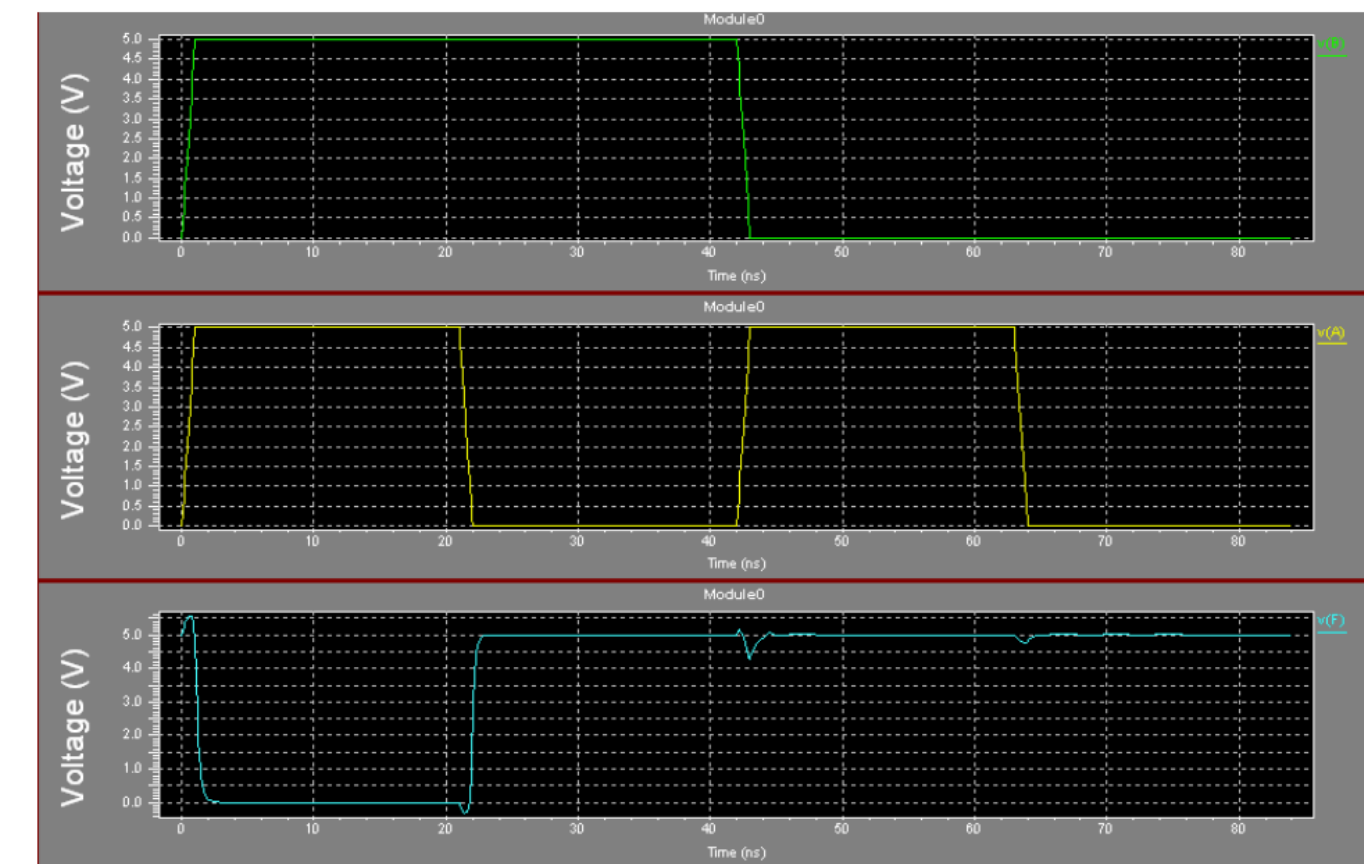
A端脉冲上升时间1ns, 脉冲宽度20ns, 下降时间也为1ns, 周期42ns

B端脉冲上升时间1ns, 脉冲宽度42ns, 下降时间也为1ns, 周期84ns

并进行瞬态分析, 时间增量为1ns, 分析时间为84ns, 无延时, 输出A、B、F端的电压信号

```
VA A Gnd PULSE (0 5 0 1n 1n 20n 42n)
VB B Gnd PULSE (0 5 0 1n 1n 41n 84n)
.tran 1n 84n start=0
.print tran v(F) v(A) v(B)
```

最后根据电路的逻辑关系绘制出输出图像如下图所示：



5 模拟集成电路与数字集成电路介绍

模拟集成电路与数字集成电路区别

项目	模拟集成电路	数字集成电路
处理信号	连续函数形式的模拟信号	离散的数字信号
产品	放大器、信号接口、数据转换、比较器、电源管理等	CPU、微处理器、微控制器、数字信号处理单元、存储器等
技术难度	设计门槛高，平均学习曲线10~15年	电脑辅助设计，平均学习曲线3~5年
设计难点	非理想效应较多，需要扎实的多学科基础知识和丰富的经验，辅助设计工具少	芯片规模大，工具运行时间长，工艺要求复杂，需要多团队共同协作
工艺制程	大量0.18um/0.13um，部分28nm	按照摩尔定律的发展，使用最先进的工艺，目前已达到3~5nm
产品特点	种类多	种类少
生命周期	一般5年以上	1~2年
平均零售价	价格低，稳定	初期高，快速降价

模拟集成电路分类：

一般可以分为信号链模拟电路和电源管理模拟电路。

从功能上，可以划分为放大器、比较器、电源管理电路、模拟开关、数据转换器、射频电路等

从应用角度可以划分为通用电路（运算放大器、电压调整器等），和专用电路（音响电路、电视接收机电路等）

模拟集成电路特点：

- 不追求先进制程
- 生命周期长
- 品类多且复杂

- 设计难度高，人才稀缺
- 下游应用广泛

数字集成电路的介绍：

数字集成电路是处理**离散信号**的集成电路

主要特点：电路的输入和输出是一个或一系列**不连续变化**的数字信号。

数字集成电路设计主要考虑电路的**信号传输速度、信号的延迟、信号的同步与异步处理、信号的冲突**等问题。

与模拟集成电路相比，由于数字集成电路设计更侧重于电路的集成度、工作速度、功耗和噪声容限等性能，因此在设计流程、电路仿真和版图设计方法上，与模拟集成电路晶体管级设计有所不同。

数字集成电路晶体管级设计，主要就是设计数字集成电路中的**非门、与非门、或非门**等基本单元。

数字集成电路的分类：基本电路按有源器件来分类，可以分为双极型晶体管（Bipolar Transistor）和场效应晶体管（FET）两大类。