

Two-stage Amplifier

目錄

1. 硬體設計理由	2
2. 硬體設計架構	5
3. 規格	6
4. 設計思考	10
5. 心得	11

1. 硬體設計理由

本次設計，必須在 $\pm 1.8V$ 的供電條件下，將功耗限制在 $50\mu W$ 以內，同時要達到直流增益超過 70dB 、GBW 高於 5MHz 、Phase Margin 超過 60 度，以及 Slew Rate 超過 $5\text{ V}/\mu\text{s}$ 。若只做 1-stage amplifier，在這麼低的電壓和電流限制下，很難同時滿足這些要求；因此我們選擇兩級放大架構，並在兩級之間加入 Miller 補償電容和補償電阻，以兼顧高增益與穩定性、又能保持足夠的頻寬與 Fast response。

I. 為何使用 2-stage amplifier

第一級採用 PMOS input pair，流過的電流設定在 $10\mu A$ ，目標 V_{ov} 約 $0.1V$ 左右；從 $g_m = \frac{2I}{V_{ov}}$ 來看， g_m 約 $200\text{ }\mu\text{A/V}$ (實際 132)。若想要讓 DC Gain 達到 3162.28 倍(約 70 dB)，單從 g_m 乘以 $R_o||R_o$ 來看，就需要非常大的輸出阻抗。把增益分攤成兩級，每級設為約 $50\sim 60$ 倍左右比較實際；這麼做時，第一級和第二級的 g_m 和輸出阻抗門檻都可降到可行範圍。第二級採 Common-Source 放大，其輸入接第一級輸出，跨導和輸出阻抗的乘積亦設計在 50 至 60 倍。這樣，當兩級增益都約為 56 倍時，總增益約為 56 乘以 56，也就是約 3136 倍，剛好超過 70 dB 的要求。

II. 為何需要 Miller 補償電容(C_C)

僅具備足夠 DC Gain 還不夠。從 S-domain 觀點來看，第一級和第二級各自的輸出節點都會形成一個 Pole。如果不做補償，這兩個 Pole 的頻率可能相近或都落在 U.G.F.附近，當 DC Gain 下降到 1 倍時，Phase 可能已經下降到接近或超過 -180° ，導致不穩定或振盪。為了避免這種情況，我們在兩級之間並聯一個補償電容 C_C ，把第一級的 Pole 大幅下降、變成 Dominant Pole，而把第二級的 Pole 推高，避免在 U.G.F.附近過度相位下降。簡單來說，Miller 補償會使第一級輸出節點看到一個等效電容($\approx C_C(1 + A_2)$)，令第一 Pole 向低頻移動；而第二級節點看到等效電容($\approx C_C \left(1 + \frac{1}{A_2}\right)$)，使第二極點推到高頻，遠離 U.G.F.。這樣，在 DC Gain 降到 1 倍時，系統只經過那個 Dominant Pole，大約帶來 90 度的相位下降，還剩充足的 Phase Margin。(補償電容 C_C 的大小，可依 GBW 初估： $GBW \approx \frac{g_{m1}}{2\pi C_C}$)。

III. 為何需要 Miller 補償電阻(R_C)

但純粹使用補償電容會在第二級輸出節點引入一個右半平面 Zero，其位置大致等於 $\frac{g_{m2}}{C_C}$ 。這個 RHP 零點會使相位再下降，可能抵消掉 Miller 補償給予的優勢，讓 Phase Margin 不足，系統變得難以穩定。要解決這個問題，我們在 C_C 的一端串聯一個補償電阻 R_C ，使原本

位於右半平面的 Zero 移至左半平面，變成 LHP Zero，提供正向相位提升。這個 Zero 的位置大約等於 $-\frac{1}{R_C C_C}$ 出現在左半平面。在設計時，希望這個 Zero 落在或稍高於 U.G.F.，這樣在相頻下降到-90 度之後，跨過 Zero 時相位可回升約 30 到 40 度，使總相位仍保持在-120 度附近，也就是 Phase Margin 約 60 度。計算 R_C 時，我們可以用 $R_C \approx \frac{1}{2\pi * \text{UGF} * C_C}$ ，這樣搭配後，就可讓 Zero 恰好出現在理想頻段，避免相位再度惡化。

從 S-domain 來看，可以理解成：總增益乘上一個左半平面 Zero，再除以兩個 Pole。Dominant Pole 來自第一級輸出節點與 Miller 等效電容，次 Pole 來自第二級輸出節點與其等效負載電容，Zero 則由 C_C 和 R_C 決定。這三者在頻率上的相對位置決定了頻率響應和穩定性。

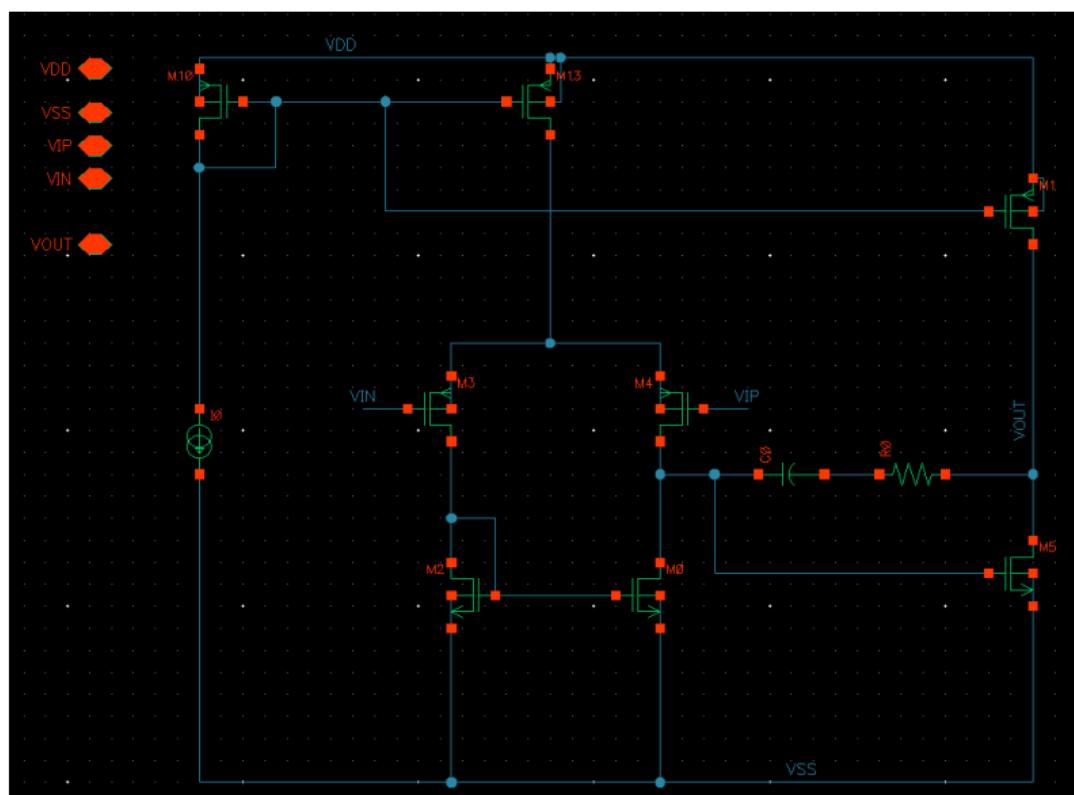
除了頻域分析，我們也必須關注時域大信號行為：當輸入急速變動時，輸出節點的充放電速度受限於補償電容 C_C 和 I 的比值，理論上 Slew Rate 約等於 $\frac{I}{C_C}$ (I 是 PMOS input pair current)。若要提升 Slew Rate，就要減小 C_C 或增加 I，但增加電流代表功耗上升，我們必須權衡。為了在不增加 C_C 的情況下仍保有足夠 Phase Margin，我們用補償電阻 R_C 修正相位，讓系統既穩定又能快速響應。

2. 硬體設計架構

表 1 為電子元件的參數，圖 1 為 MOS 編號：

	W(u)	L(u)	其他電子元件	
PMOS_M10	5.552	0.5	R_c	12K Ω
PMOS_M13	20.572	0.5	C_c	2.5p F
PMOS_M1	9.62	0.5	Ideal Current Source	5u A
NMOS_M3/4	9.318	0.5		
NMOS_M2/0	1.2705	0.5		
NMOS_M5	1.0764	0.5		

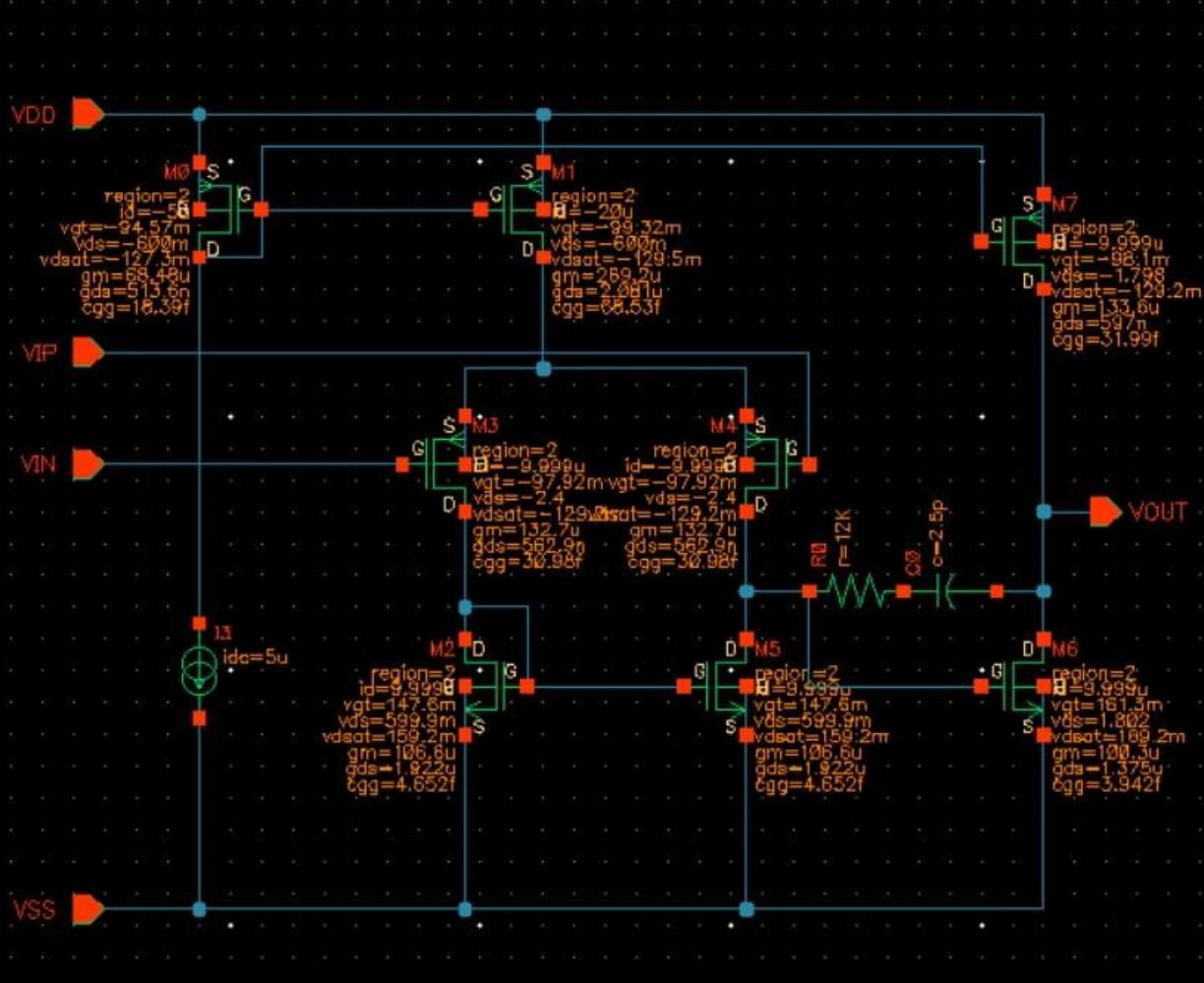
(表 1)電子元件參數



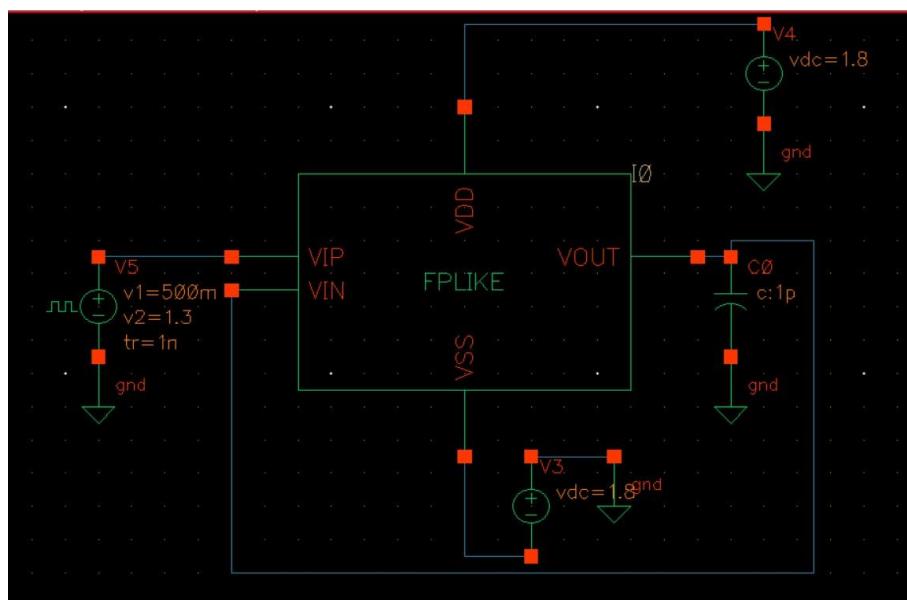
(圖 1)電路編號示意圖

3. 規格

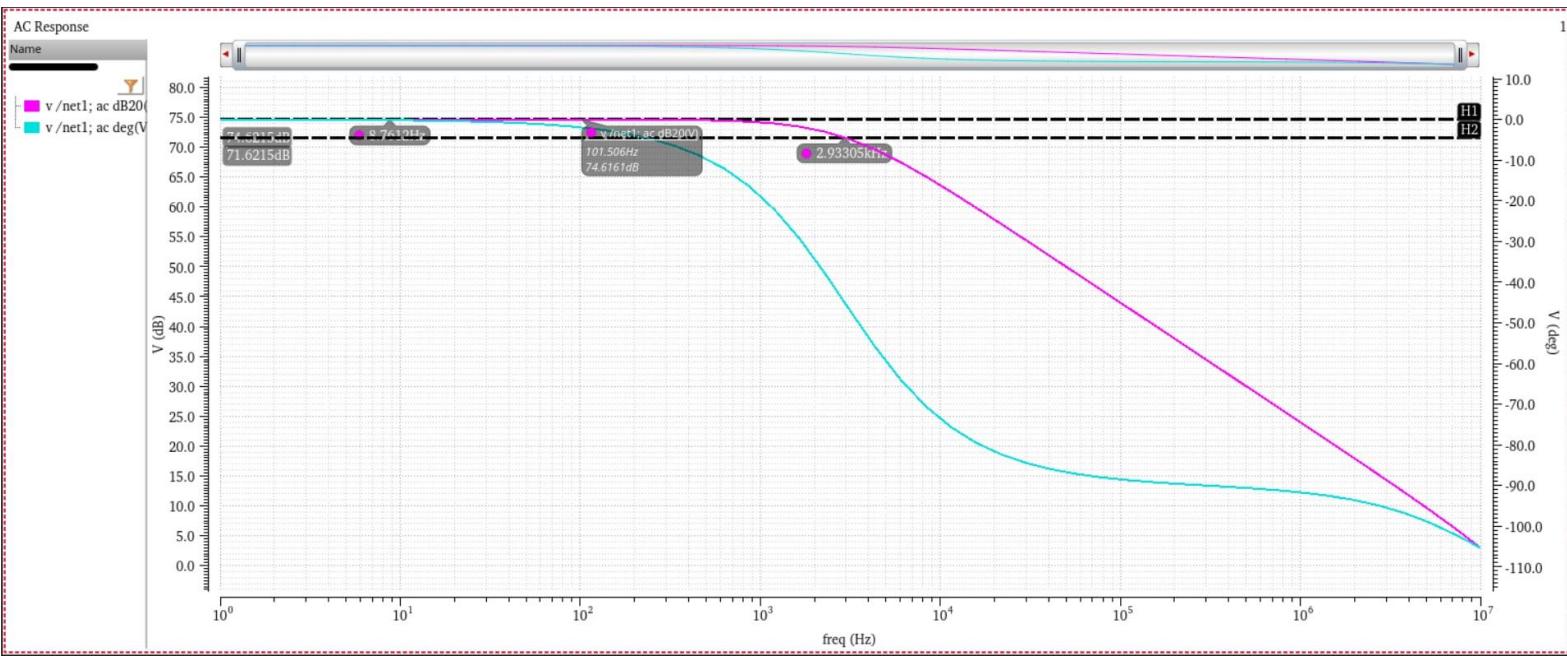
圖 2~圖 3 為設計圖，圖 4~圖 7 為測量結果。



(圖 2)電路架構與模擬參數

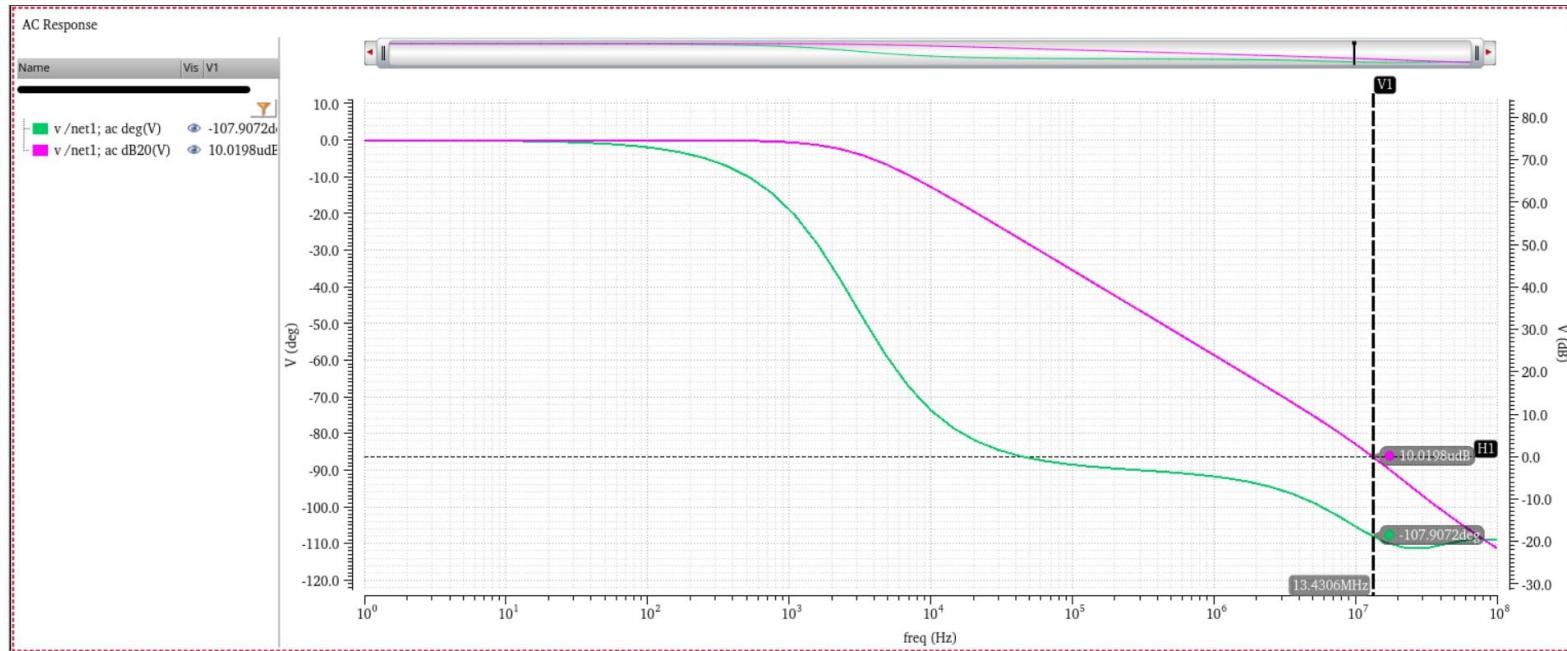


(圖 3)測量 Slew Rate



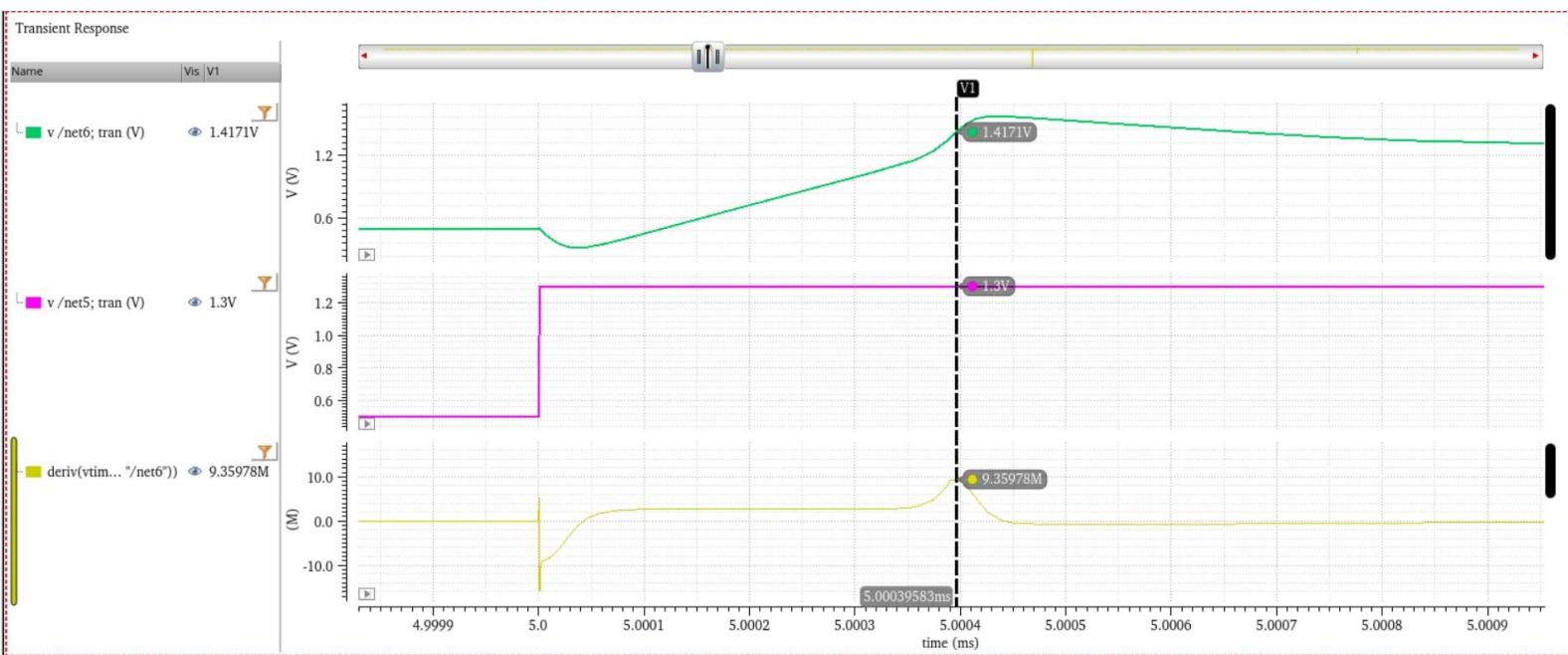
(圖 4)用 AC Sweep 測量小訊號 DC Gain 與 3dB Frequency

$$\begin{cases} \text{DC Gain} = 74.6815 \text{ dB} \approx 5420.9450 \\ 3\text{dB Frequency} = 2.93305 \text{ kHz} \end{cases} \Rightarrow GBW \approx 15.90 \text{ M Hz}$$



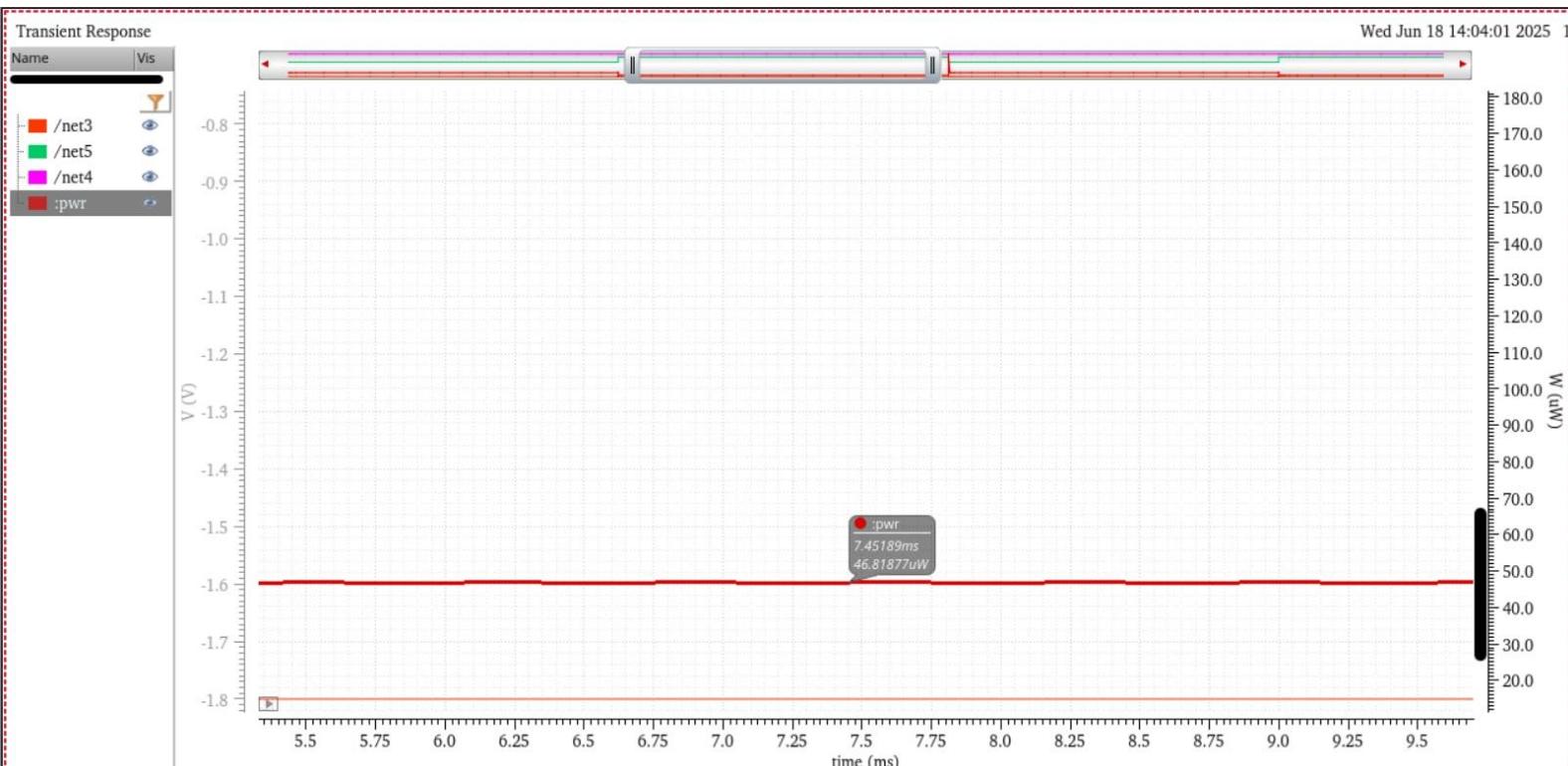
(圖 5)用 AC Sweep 測量 Phase Margin

$$\text{Phase Margin} \approx -107.9072 - (-180) = 72.09^\circ$$



(圖 6)用 Tran 測量 Slew Rate

Slew Rate $\approx 9.35978 \text{ V/us}$



(圖 7)用 Tran 測量 All power

Dissipation $\approx 46.81877 \mu\text{W}$

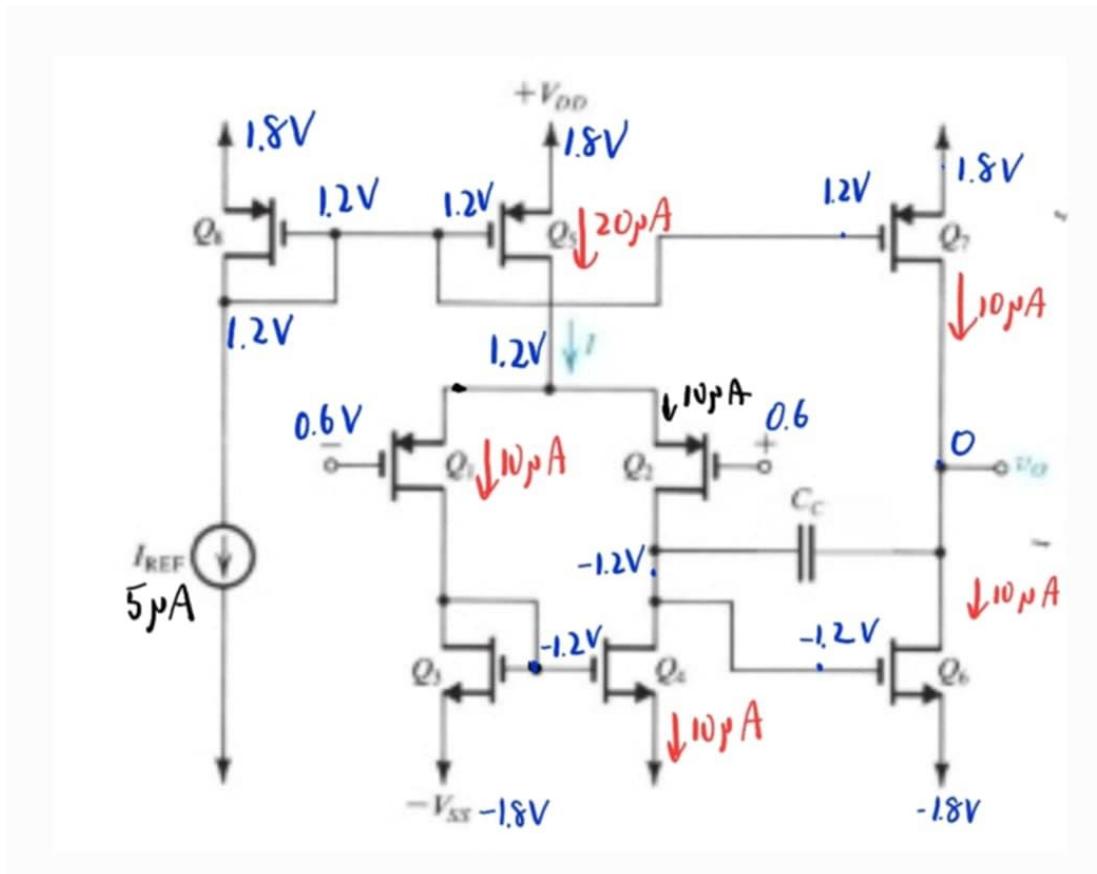
Spec Table 如表 2

	SPEC	This Work	Unit
VDD	1.8	1.8	V
C_L	1	1	pF
DC Gain	>70	74.6815	dB
GBW	>5	15.90	MHz
Phase Margin	≥ 60	72.09	degree
Slew Rate	>5	9.35978	V/us
Power Dissipation	<50	46.81877	uW
FoM	X	25362.39	

(表 2)Performance

4. 設計思考

- a. 先設定各點的電壓(圖 8)，使得 V_{ov} 很小(為了提高 Gain)，又平衡各點偏壓。另外，設定第二級輸出端的偏壓為 0，使得輸出端能有大 Output Range。另外，設定理想電流源為 $5\mu A$ ，其他 PMOS Input Pair 為 $10\mu A$ 、NMOS Output current 為 $10\mu A$ 。
- b. 將各個偏壓點先接上固定偏壓 V_{dc} ，調整 W/L 直到全部 MOS 電流符合設計。
- c. 測量增益。
- d. 計算 R_C 、 C_C ，並微調直到符合 Spec。



(圖 8) 設計各點電壓、電流

5. 心得

在設計 2-stage amplifier 的過程中，我一開始測量 DC Gain 就很煩。當時我把兩個輸入端設定成相同的直流電壓，測出來的增益完全不對，讓我卡很久，後來查看資料才知道：正確的方法是在兩個輸入端上分別加上 $V_{off} \pm V_{small}$ 的小訊號偏移，才能得到真正的小訊號增益。理解這點後，我的直流增益測量才變得正確，要被自己傻住了。

接著在做 DC Sweep 的時候，我又掉入第二個陷阱。起初我使用了過大的電壓 Increment Voltage 來做掃描，結果測得的增益明顯偏低，懷疑人生。起初我還以為是電路本身設計不良，但反覆檢查後發現問題竟然出在模擬設定上。當我把掃描 Increment Voltage 調小後，增益數值立刻回到原本應該的水準，原來誤差完全是因為 Increment Voltage 導致模擬插值誤差。

真正動手配置元件參數時，我感受到將理論與實際的落差。為了達到 Gain、頻寬、Phase Margin、功耗、slew rate 等規格目標，我必須有限制地選擇 MOS 的 W/L 以及各個節點的偏壓和電流值。

最後當模擬結果終於用出來：DC Gain 達到 74.68 dB，GBW 到 15.9 MHz，Phase Margin 為 72 度，轉換速率約 5.4 V/ μ s，這些數值都符合甚至超過預期目標，看到這樣的結果，才鬆口氣。在分析電路

特性時，補償電路蠻酷的：Miller 補償電容讓內部的 Pole 分裂開來，原本存在 RHP 的 Zero 也因串聯補償電阻而被消除，這些效果大幅改善了 Phase Margin。雖然現在的能力尚未無法憑空想像這樣的電路架構，但有體驗到他的威力。