

## nRF24LE1

### 超低功耗无线片上系统解决方案

### 产品说明书 V1.6

#### 关键特征

- | nRF24L01+2.4 Hz 收发器 (250 bps, 1 Mbps, 2 Mbps 空中速率)
- | 集成高速单片机 (兼容 8051)
- | 16 kB 片上程序存储器
- | 1 kB 片上数据存储器
- | 512 字节非易失性数据存储器
- | AES 对称加密硬件加速
- | 16-32 位乘法除法协处理器
- | 6-12 位 ADC
- | 高灵活性输入输出端口
- | 从超低功耗到高效运行的省电模式
- | 4\*4 mm QFN24 5\*5mm QFN32 7\*7mm QFN48 封装
- | 支持硬件调试器
- | 硬件支持固件更新

#### 应用

- | 电脑外设: 鼠标、键盘、远程控制、游戏
- | 高级远程控制: 音频/视频、娱乐中心、家庭应用
- | 有源 RFID、传感网络
- | 安全系统: 支付、报警、访问控制
- | 医疗健康和运动
- | 遥控玩具

nRF24LE1 模块

nRF24LU1 模块

**[mPro 编程器](#) 仅需 88 元!**

支持芯片: **51 AVR STC nRF24LXX PL3K 系列 EEPROM ...**

其他功能: **USB 温湿度计 USB 开发板 USB 转串口 电脑遥控器**

<http://mpro.sinaapp.com>

## 1 简介

nRF24LE1 是一款高性价比且内置微控制器的智能 2.4GHz 射频收发器家族中的一员。nRF24LE1 为提供超低功耗无线应用而作了优化。处理器能力，内存，低功耗晶振，实时时钟，计数器，AES 加密加速器，随机数发生器和节电模式的组合为实现射频协议提供了理想的平台。使用 nRF24LE1 的好处包括严密的协议时序，安全性，低功耗和改善共存的性能。对于应用层，nRF24LE1 提供了一个丰富的外设包括：SPI，IIC，UART，6 至 12 位 ADC，PWM 和一个用于电压等级系统唤醒的超低功耗模拟比较器。

### **nRF24LE1 三种封装的差异**

超紧凑 4\*4mm 24 脚 QFN 封装（7 个通用 IO 引脚），主要用于对大小有严格要求的应用场合，如 穿戴式运动传感器和手册

5\*5mm 32 脚 QFN 封装（15 个通用 IO 引脚）适用于无线鼠标，远程控制和玩具

7\*7mm 48 脚 QFN 封装（31 个通用 IO 引脚）为对 I/O 数量要求很高的产品而设计，如无线键盘

## 2 产品概述

### 2.1 特征

- I 高速 8 位微控制器
  - Ø 兼容 Intel MCS 51 指令集
  - Ø 减小指令周期，是传统 8051 单片机的 12 倍性能
  - Ø 32 位乘-除单元
- I 存储器
  - 16kB 包含安全特性的 Flash 存储器
  - 1 kB 片上 RAM 存储器
  - 1 kB 非易失性数据存储器
  - 512 字节非易失性长期持久性数据存储器
- I 通过可编程多用途输入输出引脚可使用大量片上硬件资源（资源视封装而定）
  - GPIO
  - 主 SPI
  - 从 SPI
  - 2-WIRE 主/从
  - 全双工串口
  - PWM
  - ADC
  - 模拟比较器
  - 外部中断
  - 时钟中断
  - 32.768 KHz 晶振
  - 调试接口
- I 高性能 2.4 GHz 射频收发器
  - 真正的单芯片 GFSK 收发器
  - 增强型突发硬件链路层支持
    - 包装配/解包
    - 地址和 CRC 校验计算
    - 自动应答重传
  - 空中速率支持 250 kbps, 1 Mbps 或 2 Mbps
  - 数字接口（SPI）速率 0-8 Mbps
  - 125 射频频道可选，其中 79 个频道介于 2.400-2.4835 GHz
  - 短暂的切换时间得以允许跳频
  - 射频完全兼容 nRF24LXX
  - 射频兼容 Nrf2401A, nRF2402, nRF24E1, nRF24E2 (250 Kbps 和 1 Mbps 模式)
- AD 转换
  - 6, 8, 10, 12 位分辨率
  - 14 个输入通道
  - 单端或差分输入
  - 量程可通过内部参考电压，外部参考电压或 VDD 设置
  - 2, 4, 8, 16 Kbps 持续采样速率

低电流消耗, 2 Kbps 采样速率下仅 0.1 mA

电压比较器

可用于唤醒

低电流消耗 (典型为 0.75  $\mu$ A)

差分或单端输入

单端输入阈值可编程设置为 VDD 的 25%, 50%, 75%, 100% 或参考电压引脚的任意值

14 通道输入多路选择器

满摆幅输入电压范围

可编程输出极性

加密/解密加速器

使用高速节电的 AES 固件

随机数发生器

基于热噪声的非确认性构架

无需种子数

非重复序列

校正算法保证了均衡的统计分布

数据速率达 10kB 每秒

处理器空闲时操作

系统复位和电源监控视

上电复位和欠压复位

看门狗定时器复位

引脚复位

电源掉电中断通知

片上定时器

3 个以系统时钟运行的 16 位定时/计数器

1 个以 32.768 KHz 为时钟频率的 16 位定时/计数器

片上振荡器

16 MHz 晶体振荡器

16 MHz RC 振荡器

32.768 KHz 晶体振荡器

32.768 KHz RC 振荡器

电源管理功能

支持全静态停止/待机的低功耗设计

可编程时钟频率: 125 KHz 到 16 MHz

片上稳压器支持低功耗模式

看门狗和唤醒功能运行在低功耗模式

片上支持 FS2 或 nRFprobe 硬件调试

完整的可用固件

硬件抽象层函数

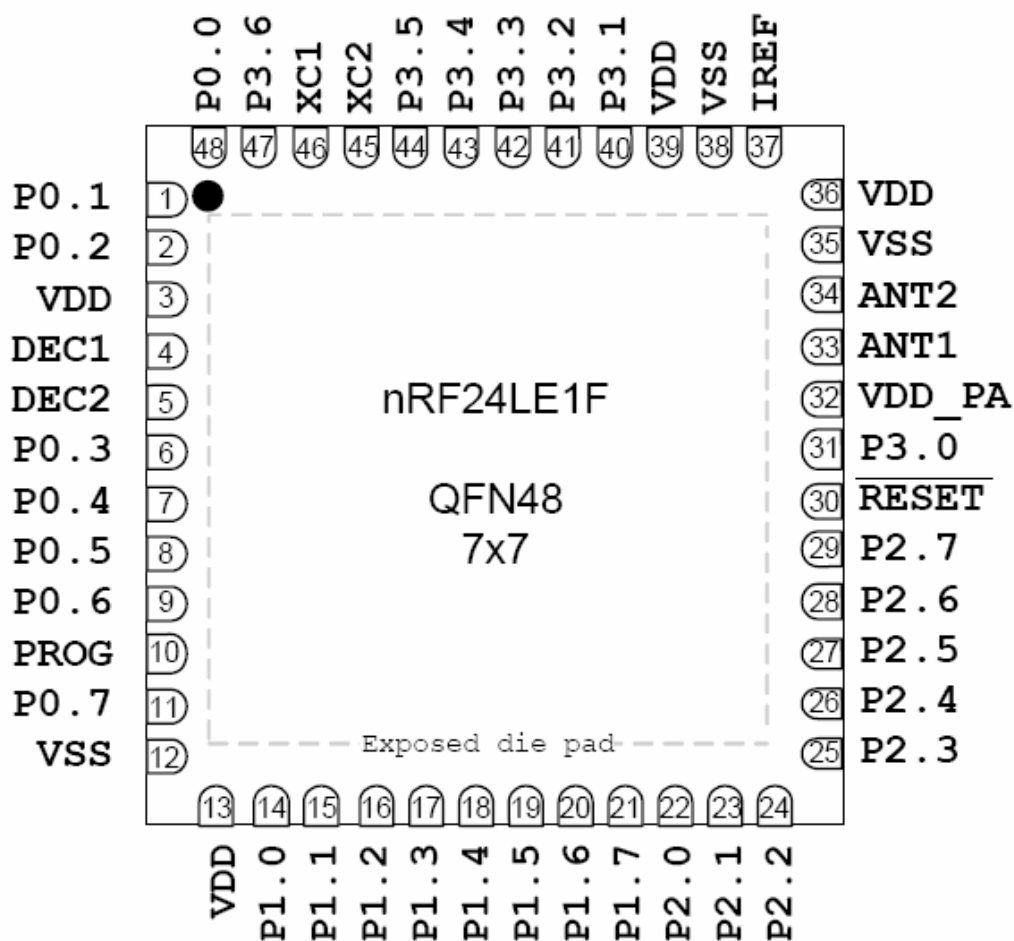
库函数

Gazell 无线协议

应用实例

## 2.2 框图





## 2.4 引脚功能

名称	类型	描述
VDD	电源	供电，直流+1.9V 到 +3.6V
VSS	电源	地（0V）
DEC1 DEC2	电源	去耦合（DEC1 100nF ,DEC2 33nF）
P0.0---P3.6	数字或模拟 IO	通用 IO 引脚，IO 数量与封装有关
PROG	数字	置高进入 FLASH 编程模式
RESET	数字	复位，低电平有效

IREF	模拟输入	设备参考电流输出，接一电阻到 PCB
VDD_PA	电源输出	射频功放电源供应（+1.8V），调试时，只要有发射此引脚就会有一个脉冲
ANT1 ANT2	射频	差分天线连接（发送和接收）
XC1 XC2	模拟输入	连接 16MHz 晶振
衬底	电源/散热	QFN48 和 QFN32 接地，QFN24 不要接地

### 3 射频收发器

nRF24LE1 使用与 nRF24L01+ 同样的内嵌协议引擎的 2.4 GHz GFSK 收发器。射频收发器工作于 2.400—2.4835 GHz 的 ISM 频段，尤其适用于超低功耗无线应用。

射频收发器模块通过映射寄存器进行配置和操作。MCU 通过一个专用的片上 SPI 接口可以访问这些寄存器，无论射频收发器处在何种电源模式。

内嵌的协议引擎（Enhanced ShockBurst）允许数据包通信并支持从手动操作到高级自发协议操作的各种模式。射频收发器模块的数据 FIFOs 保证了射频模块与 MCU 的平稳数据流。

#### 射频收发器特性

##### 常规

工作于 2.4 GHz ISM 频段

收发使用共用的天线

GFSK 调制

250 kbps, 1Mbps, 2Mbps 空中速率

##### 发射器

可编程功耗输出：0, -6, -12, -18 dBm

0dBm 功率输出时电流为 11.1mA

##### 接收器

集成频道过滤（收发必须同一频道才能通信成功）

2 Mbps 速率下电流 13.3mA （高速模式电流大但接收时间短！）

灵敏度：2 Mbps: -82 dBm 1Mbps:-85 dBm 250kbps:-94 dBm

##### 射频合成器

完全集成合成器

1MHz 为间隔可编程分辨率

可使用低成本  $\pm 60$  ppm 的 16 MHz 晶振



1 Mbps 速率下非重叠频道间隔为 1 MHz

2 Mbps 速率下非重叠频道间隔为 2 MHz

增加型突发模式

1-32 字节动态有效载荷长度（即用户要发的数据长度可以 1-32 字节）

包自动处理（封包/解包）

自动包传输处理（自动应答确认，自动重传）

6 个数据通道可用于 6: 1 星型网络

## 3.2 Block diagram

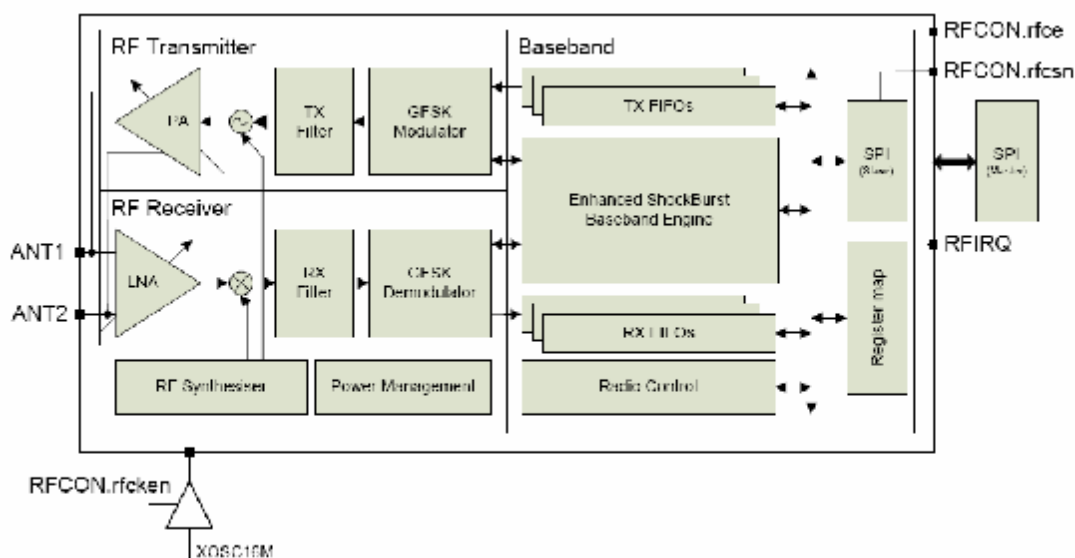


Figure 5. RF transceiver block diagram

### 掉电模式

在掉电模式下，射频收发器各功能关闭，保持电流消耗最小。进入掉电模式后，寄存器内容保持不变且 SPI 可以进行访问。掉电模式由寄存器 CONFIG 中 PWR\_UP 位置低来控制。

#### 3.3.1.3

##### 待机模式 1

通过设置 CONFIG 寄存器 PWR\_UP 位为 1，射频收发器进入待机模式 1。待机模式 1 用于减少电流消耗同时维持较短的启动时间。当 rfce 位置高时进入活动模式，rfce 位为低时由发送或接收模式回到待机模式 1。

##### 待机模式 2

待机模式 2 下额外的时钟缓冲器被启动且相比于待机模式 1 要消耗更多电流。当进行发送操作时，rfce 位置高，此时如果 TX FIFO 为空则进入待机模式 2。如果新的包下载到 TX FIFO，锁相环立即启动同时数据包在经过 130us（PLL 设置延时）的延时后被发出。

两种待机模式下寄存器的值保持不变，且可以通过 SPI 访问。

### 接收模式

通过设置 PWR\_UP 位，PRIM\_RX 位和 rfce 位为高进入接收模式，在此模式下接收器对信

号进行解调，当地址与自身地址一致且 CRC 校验正确时，有效数据被送到 RX FIFOs。如果 RX FIFOs 已满，则数据包被丢弃。

射频收发器保持在接收模式直到 MCU 配置其进入待机模式 1 或掉电模式。如果自动应答特性被开启，则收发器可以进入其他模式，如进入发送模式发送应答确认。

当被过滤后的射频信号高于 -64 dBm 时，PRD 寄存器被置高。PRD 被置高前射频信号必须维持至少 40us

### 发送模式

通过置高 POR\_UP 位，置低 PRIM\_RX 位，TX FIFO 不为空，rfce 位置高 10us 后置低进入发送模式

收发器将保持在发送模式直到数据包发送完毕。如果此时 rfce=0,收发器返回待机模式 1。如果 rfce=1，且 TX FIFO 不为空则收发器继续保留在发送模式且发送下一包数据。如果 TX FIFO 为空，收发器进入待机模式 2。PLL 工作于开环模式。每次不要将收发器置于发送模式超过 4ms。如果开启了 Enhanced ShockBurst 特性，收发器永远不会在发送模式超过 4ms。

模式	PWR_UP	PRIM_RX	CE	FIFO 寄存器状态
接收模式	1	1	1	-
发送模式	1	0	1	数据在 TX FIFO 寄存器中
发送模式	1	0	1→0	停留在发送模式，直至数据发送完
待机模式 II	1	0	1	TX FIFO 为空
待机模式 I	1	-	0	无数据传输
掉电模式	0	-	-	-

### 3.3.1.7 时序信息

掉电模式---à 待机模式 最大 1 微秒

待机模式---à 发送/接收模式 最大 130 微秒

rfce 置高 最小 10 微秒

rfce 上升沿到 rfcsn 置低延时 最小 4 微秒

注意：如果 VDD 关掉，或 nRF24LE1 进入深度睡眠状态或 Memory Retention 模式，寄存器值将丢失，此时要进入发送或接收模式必须先配置收发器。

空中速率

低速率可以得到更好的接收灵敏度，但高速率消耗更少的电流且减小空中碰撞。

空中速率通过 RF\_DR 设置。收发双方必须设置为同一速率。

射频频道

频道决定了收发器的中心频率，250kbps 和 1Mbps 速率下一个频道占用 1 MHz 带宽，在 2Mbps 速率下一个频道占用 2 MHz 带宽。收发器可工作于 2.400 GHz 到 2.525GHz。

频道频率根据以下公式设置 RF\_CH 寄存器：

$$F=2400+RF\_CH \text{ MHz}$$

收发双方必须设置同一频道。

## 功率放大器控制

RF_PWR 设置	输出功率(dBm)	直流电流消耗(mA)
11	0	11.1
10	-6	8.8
01	-12	7.3
00	-18	6.8

条件: VDD=3.0V VSS=0V T=27 摄氏度, 负载阻抗=15 欧+j88 欧

## 收发控制

通过设置 CONFIG 寄存器 PRIM\_RX 位为 1 置为接收模式, 0 为发送模式

## 3.4.1 增强型 ShockBurst

增强型 ShockBurst 使用可靠双向数据链路轻松实现。主发送端发送一个数据包后自动进入接收模式, 主接收端接收到数据后自动发送一个确认应答。主接收端可以将用户数据附加于确认应答帧中。

如果主发送端没有收到确认应答帧则自动重传, 重传延时及重传次数可编程设置

## 3.4.3 增加型 ShockBurst 包格式

同步码 1 字节	地址 3—5 字节	包控制域 9 位	有效负荷	CRC 校验 1-2 字节
----------	-----------	----------	------	---------------

## 3.4.3.1 同步码

同步码为 01010101 或 10101010, 如果地址首位为 1, 则同步头自动设为 10101010, 如果地址首位为 0 同步头自动设为 01010101, 以保证有足够的过渡稳定接收器同步

## 3.4.3.2 地址

地址可通过设置 AW 寄存器设置为 3, 4 或 5 字节长。

不要设置类似于 000FFFFFFF 等只跳变一次的地址, 这个信号在噪声中经常被检测到。也不要设置高低持续变化的地址以名增加包错误率。

## 3.4.3.3 包控制域

有效载荷长度 6 位	PID (包识别码) 2 位	NO_ACK 1 位
------------	----------------	------------

有效载荷长度: 000000=0 仅用于 ACK 包, 100000=32 100001=无效, 此域仅用于动态有效载荷功能开启时。

PID: 用于检测接收到的包是新发送的还是重传的。发送端每发送一次, PIC 增加, 接收端通过 PID 和 CRC 域判断是新发送的包还是重新发送的包。接收到的重复的包将被丢弃。

NO\_ACK: 此标志仅用于自动应答特性开启时。置高表示接收端不用应答。

## 3.4.3.4 有效载荷

增强型 ShockBurst 提供两种可选择的有效载荷长度：静态（通过 RX\_PW\_PX 寄存器设置的）和动态（接收端可通过 R\_RX\_PL\_WID 命令读取有效载荷长度）。

通信双方的有效载荷长度必须一致。

使用动态长度时如果读到的长度大于 32 字节说明包存在错误，此时应该丢弃此数据并执行 Flush\_RX 命令。

要启用动态有效载体长度，可通过请设置 FEATURE 寄存器 EN\_DPL 位为 1 实现。在接收模式中 DYNPD 寄存器必须设置。主发送端则必须设置 DPL\_PO 位。

## 数据及控制接口

通过数据及控制接口，可配置及控制射频收发器。

## 特殊功耗寄存器

地址	名称	位	复位值	读写	描述
0XE4	SPIRCON0	6:0	0X01	读写	主 SPI 配置寄存器 0.保留，不要修改
0Xe5	SPIRCON1	3:0	0X0F	读写	主 SPI 配置寄存器 1
	maskirqRxFifoFull	3	1	读写	1:RX FIFO 满时禁止中断 0: 允许中断
	maskirqTxFifoEmpty	1	1	读写	1:TX FIFO 空时禁止中断 0: 允许中断
	maskirqTxFifoReady	0	1	读写	1:TX FIFO 可用时禁止中断 0: 允许中断
0XE6	spiMasterStatus	3:0	0x03	只读	主 SPI 状态寄存器
	rxFifoFull	3	0	只读	1: RX FIFO 满 0: RX FIFO 可写
	rxDataReady	2	0	只读	1: RX FIFO 中有数据 0: 没数据
	txFifoEmpty	1	1	只读	1: TX FIFO 空 0: 有数据
0XE7	SPIDAT	7:0	0X00	读写	主 SPI 数据寄存器
0XE8	RFCON	7:3			保留
	rfcken	2		读写	射频时钟允许（16MHz）
	rfcsn	1		读写	RF 命令使能 0: 允许
	rfce	0		读写	RF 收发器控制 1: 允许

## SPI 操作

### SPI 命令

每次发送 SPI 命令前，必须将 RFCON 寄存器 rfcsn 清 0;

发送 SPI 命令方法：写 SPIRDAT 寄存器

SPI 命令格式：

<命令字 MSB to LSB >

<数据 LSB to MSB, 其中每个字节开头 MSB 在前>

命令名称	命令字	数据长度	操作
R_REGISTER	000A AAAA	1-5 LSB 在前	读命令与状态寄存器 AAAA 表示 5 位寄存器映射地址

W_REGISTER	001A AAAA	1-5 LSB 在前	写命令与状态寄存器 AAAAA 表示 5 位寄存器映射地址。仅在掉电和待机模式下执行
R_RX_PAYLOAD	0110 0001	1-32 LSB 在前	
W_TX_PAYLOAD	1010 0000	1-32 LSB 在前	
FLUSH_TX	1110 0001	0	
FLUSH_RX	1110 0010	0	
REUSE_TX_PL	1110 0011	0	
R_RX_PL_WID	0110 0000	1	
W_ACK_PAYLOAD	1010 1PPP	1-32 LSB 在前	
W_TX_PAYLOAD_NOACK	1011 0000	1-32 LSB 在前	
NOP	1111 1111	0	

## 4 MCU

nRF24LE1 内含一个执行传统 8051 指令集的快速 8 位 MCU。大多数单字节指令可以一个周期内完成。一个机器周期在一个时钟周期完成，是传统 8051 单片机的 8 倍。

### 4.1 Block diagram

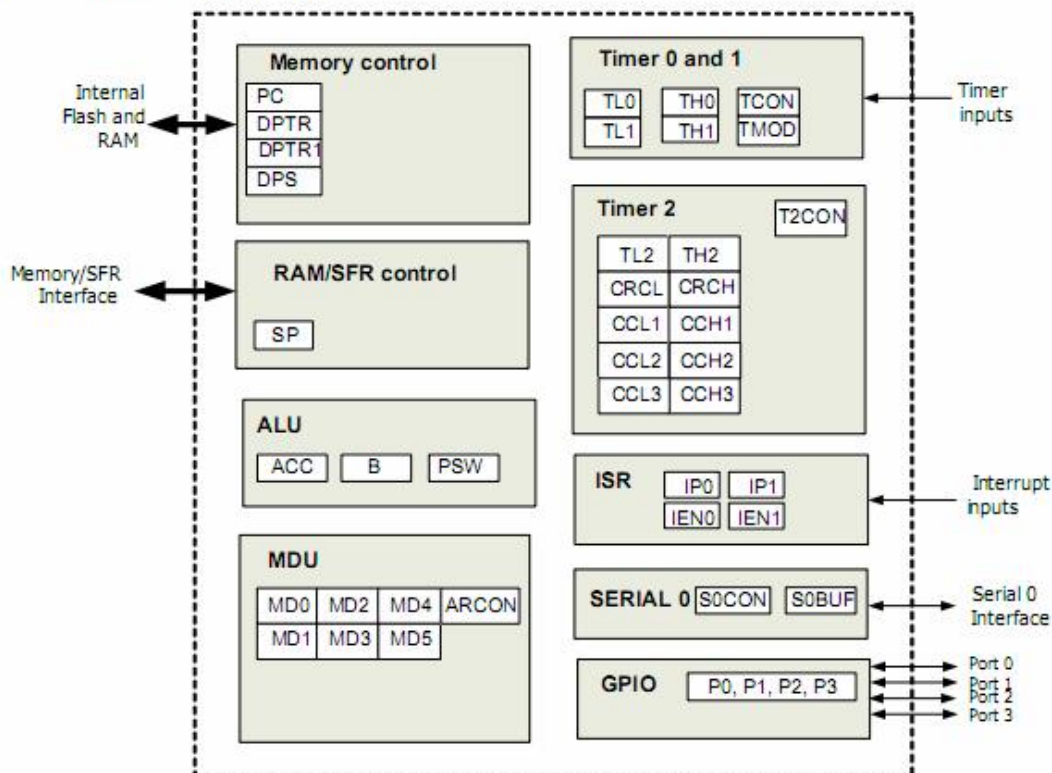


Figure 29. MCU block diagram

### 4.2 特征

#### 控制单元

- 8 位指令解析

- 减小指令周期时间（是标准 8051 的 12 倍）

#### 算术逻辑单元

- 8 位算术和逻辑操作

- 布尔操作

- 8\*8 位乘法器和 8/8 位除法器

- 乘法-除法单元

- 16\*16 位乘法

- 32/16 与 16/16 位除法

- 32 位标准化

- 32 位左/右移位

#### 3 个 16 位计时/计数器

- 类似 8051 的定时器 0 和定时器 1

- 类似 80515 的定时器 2

#### 比较捕捉单元，由定时器 2 决定

- 软件控制捕捉

#### 全双工串口

- 类似 80C51 的串口

- 同步模式，固定波特率

- 8 位通用异步串行模式，可变波特率

- 9 位通用异步串行模式，固定波特率

- 9 位通用异步串行模式，可变波特率

- 波特率发生器

#### 中断控制器

- 包含 13 个中断源的 4 级中断

#### 存储器接口

- 16 位地址总线

- 双数据指针用于数据块传输

#### 硬件支持软件调试

## 5 内存与 IO 组织

MCU 包含 64KB 分离的代码与数据空间，一个 256 字节的内部数据 RAM 区域和一个 128 字节的用于特殊功能寄存器的区域。

Nrf24le1 存储器默认配置为 16KB 程序存储器(FLASH)，1KB 数据存储器（SRAM）和 2 块非易失性数据存储器（FLASH）。

IRAM 低 128 字节空间包含工作寄存器(0x00--0x1F)和可位寻址的寄存器(0x20--0x2F).128 字节以上空间只能间接寻址。

IRAM 四个 BANK 每个 BANK 低 32 字节包含 8 个寄存器(R0 - R7).程序存储器状态字(PSW) 的两位决定了使用哪个 BANK。每个 BANK 紧接着的 16 字节可位寻址寄存器可通过地址

0X00 - 0X7F 寻址。

## 5.2 MCU 特殊功能寄存器

### 5.2.1 ACC

主要用于保存指令操作数和计算结果，汇编指令中使用 A 而不是 ACC 指向此寄存器

### 5.2.2 B

用于乘除运算，也可以用于保存临时数据

### 5.2.3 PSW 程序状态字寄存器

此寄存器反应了 MCU 当前工作状态

地址	位	名称	描述
0xD0	7	cy	进位标志：用于算术与布尔操作
	6	ac	辅助进位标志：BCD 操作中当累加器从第 3 位进位时此位置 1
	5	f0	通用标志 0
	4-3	rs	寄存器 BANK 选择（0x00-0x07,0x08-0x0f,0x10-0x17,0x18-0x1f）
	2	ov	溢出标志位
	1	f1	通用标志位 1
	0	p	校验标志位：ACC 中 1 的个数为偶数时只位置 1(仅硬件可改此位)

### 5.2.4 SP 堆栈指针 地址 0x81

用于保存中断和子函数的返回地址

### 5.2.5 DP 数据指针 DPL:0X82 DPH:0X83

通常用于访问外部代码或数据空间

### 5.2.6 DP1 DPL1:0X84 DPH1:0X85

标准 8051 架构不包含此寄存器。用于加快块数据传输

### 5.2.7 DPS 数据指针选择寄存器

MCU 包含了两组数据指针寄存器，由本寄存器 0 位决定使用哪一组（0 选择 DPH:DPL）

### 5.2.8 PCON

地址	位	名称	描述
0x87	7	smod	串口 0 波特率选择
	6	gf3	通用标志 3
	5	gf2	通用标志 2
	4	pmw	1: MOVX 指令将访问存储器代码空间 0: MOVX 指令将访问存储器数据空间
	3	gf1	通用标志 1
	2	gf0	通用标志 0
	1	-	不使用，必须为 0，读永远为 0
	0	-	不使用，必须为 0，读永远为 0



特殊功能寄存器分布（X0000 列寄存器在 B 寄存器中可位和字节寻址，其他仅字节寻址）

Address	X000	X001	X010	X011	X100	X101	X110	X111
0xF8-0xFF	<a href="#">FSR</a>	<a href="#">FPCR</a>	<a href="#">FCR</a>	Reserved	<a href="#">SPIMCON0</a>	<a href="#">SPIMCON1</a>	<a href="#">SPIM-STAT</a>	<a href="#">SPIMDAT</a>
0xF0-0xF7	<a href="#">B</a>							
0xE8-0xEF	<a href="#">RFCON</a>	<a href="#">MD0</a>	<a href="#">MD1</a>	<a href="#">MD2</a>	<a href="#">MD3</a>	<a href="#">MD4</a>	<a href="#">MD5</a>	<a href="#">ARCON</a>
0xE0-0xE7	<a href="#">ACC</a>	<a href="#">W2CON1</a>	<a href="#">W2CON0</a>	Reserved	<a href="#">SPIRCON0</a>	<a href="#">SPIRCON1</a>	<a href="#">SPIRSTAT</a>	<a href="#">SPIRDAT</a>
0xD8-0xDF	<a href="#">ADCON</a>	<a href="#">W2SADR</a>	<a href="#">W2DAT</a>	<a href="#">COMP-CON</a>	<a href="#">POFCON</a>	<a href="#">CCPDATIA</a>	<a href="#">CCP-DATIB</a>	<a href="#">CCPDATO</a>
0xD0-0xD7	<a href="#">PSW</a>	<a href="#">ADCCON3</a>	<a href="#">ADCCON2</a>	<a href="#">ADCCON1</a>	<a href="#">ADCDATH</a>	<a href="#">ADCDATL</a>	<a href="#">RNGCTL</a>	<a href="#">RNGDAT</a>
0xC8-0xCF	<a href="#">T2CON</a>	<a href="#">MPAGE</a>	<a href="#">CRCL</a>	<a href="#">CRCH</a>	<a href="#">TL2</a>	<a href="#">TH2</a>	<a href="#">WUOPC1</a>	<a href="#">WUOPC0</a>
0xC0-0xC7	<a href="#">IRCON</a>	<a href="#">CCEN</a>	<a href="#">CCL1</a>	<a href="#">CCH1</a>	<a href="#">CCL2</a>	<a href="#">CCH2</a>	<a href="#">CCL3</a>	<a href="#">CCH3</a>
0xB8-0xBF	<a href="#">IEN1</a>	<a href="#">IP1</a>	<a href="#">S0RELH</a>	Reserved	<a href="#">SPISCON0</a>		<a href="#">SPISSTAT</a>	<a href="#">SPISDAT</a>
0xB0-0xB7	<a href="#">P3</a>	<a href="#">RSTREAS</a>	<a href="#">PWM-CON</a>	<a href="#">RTC2CON</a>	<a href="#">RTC2CMP0</a>	<a href="#">RTC2CMP1</a>	<a href="#">RTC2CPT00</a>	
0xA8-0xAF	<a href="#">IEN0</a>	<a href="#">IP0</a>	<a href="#">S0RELL</a>	<a href="#">RTC2CPT01</a>	<a href="#">RTC2CPT10</a>	<a href="#">CLKLFC-TRL</a>	<a href="#">OPMCON</a>	<a href="#">WDSV</a>
0xA0-0xA7	<a href="#">P2</a>	<a href="#">PWMDC0</a>	<a href="#">PWMDC1</a>	<a href="#">CLKCTRL</a>	<a href="#">PWRDWN</a>	<a href="#">WUCON</a>	<a href="#">INTEXP</a>	<a href="#">MEMCON</a>
0x98-0x9F	<a href="#">S0CON</a>	<a href="#">S0BUF</a>	Reserved	Reserved	Reserved	Reserved	<a href="#">P0CON</a>	<a href="#">P1CON</a>
0x90-0x97	<a href="#">P1</a>	free	<a href="#">DPS</a>	<a href="#">P0DIR</a>	<a href="#">P1DIR</a>	<a href="#">P2DIR</a>	<a href="#">P3DIR</a>	<a href="#">P2CON</a>
0x88-0x8F	<a href="#">TCON</a>	<a href="#">TMOD</a>	<a href="#">TL0</a>	<a href="#">TL1</a>	<a href="#">TH0</a>	<a href="#">TH1</a>	Reserved	<a href="#">P3CON</a>
0x80-0x87	<a href="#">P0</a>	<a href="#">SP</a>	<a href="#">DPL</a>	<a href="#">DPH</a>	<a href="#">DPL1</a>	<a href="#">DPH1</a>	Reserved	

### 5.2.10 特殊功能寄存器复位值

寄存器名	地址	复位值	描述
ACC	0XE0	0X00	累加器
ADCCON1	0XD3	0X00	模数转换配置寄存器 1
ADCCON2	0XD2	0X00	模数转换配置寄存器 2
ADCCON3	0XD1	0X00	模数转换配置寄存器 3
ADCDATH	0XD4	0X00	模数转换数据高字节
ADCDATL	0XD5	0X00	模数转换数据低字节
ARCON	0XEF	0X00	运算控制寄存器
B	0XF0	0X00	B 寄存器
CCEN	0XC1	0X00	比较/捕获使能寄存器
CCH1	0XC3	0X00	比较/捕获寄存器 1，高字节
CCH2	0XC5	0X00	比较/捕获寄存器 2，高字节
CCH3	0XC7	0X00	比较/捕获寄存器 3，高字节
CCL1	0XC2	0X00	比较/捕获寄存器 1，低字节
CCL2	0XC4	0X00	比较/捕获寄存器 2，低字节
CCL3	0XC6	0X00	比较/捕获寄存器 3，低字节
CCPDATIA	0XDD	0X00	加密解密加速数据输入寄存器 A



CCPDATIB	0XDE	0X00	加密解密加速数据输入寄存器 B
CCPDATO	0XDF	0X00	加密解密加速数据输出寄存器
CLKLFCtrl	0XAD	0X07	32 KHz 控制
COMPCON	0XA3	0X00	时钟控制
CRCH	0XDB	0X00	捕获/重载/比较寄存器, 高字节
CRCL	0XCA	0X00	捕获/重载/比较寄存器, 低字节
DPH	0X83	0X00	数据指针 0 高字节
DPL	0X82	0X00	数据指针 0 低字节
DPH1	0X85	0X00	数据指针 1 高字节
DPL1	0X84	0X00	数据指针 1 低字节
DPS	0X92	0X00	数据指针选择寄存器
FCR	0XFA		FLASH 命令寄存器
FPCR	0XF9		FLASH 保护配置寄存器
FSR	0XF8		FLASH 状态寄存器
IEN0	0XA8	0X00	中断使能寄存器 0
IEN1	0XB8	0X00	中断优先级寄存喊叫/中断使能寄存器 1
INTEXP	0XA6	0X01	中断扩展寄存器
IP0	0XA9	0X00	中断优先寄存器 0
IP1	0XB9	0X00	中断优先寄存器 1
IRCON	0XC0	0X00	中断请求控制寄存器
MD0	0XE9	0X00	乘/除寄存器 0
MD1	0XEA	0X00	乘/除寄存器 1
MD2	0XEB	0X00	乘/除寄存器 2
MD3	0XEC	0X00	乘/除寄存器 3
MD4	0XED	0X00	乘/除寄存器 4
MD5	0XEE	0X00	乘/除寄存器 5
MEMCON	0XA7	0X00	存储器配置寄存器
MPAGE	0XC9	0X00	PDATA 页起始地址
OPMCON	0XAE	0X00	操作模式控制
P0	0X80	0XFF	端口 P0 值
P0CON	0X9E	0X10	端口 P0 配置寄存器
P0DIR	0X93	0XFF	端口 P0 引脚方向控制
P1	0X90	0XFF	端口 P1 值
P1CON	0X9F	0X10	端口 P1 配置寄存器
P1DIR	0X94	0XFF	端口 P1 引脚方向控制
P2	0XA0	0XFF	端口 P2 值
P2CON	0X97	0X10	端口 P2 配置寄存器
P2DIR	0X95	0XFF	端口 P2 引脚方向控制
P3	0XB0	0XFF	端口 P3 值
P3CON	0X8F	0X10	端口 P3 配置寄存器
P3DIR	0X96	0XFF	端口 P3 引脚方向控制
POFCON	0XDC	0X00	掉电比较器配置寄存器
PSW	0XD0	0X00	程序状态字

PWMCON	0XB2	0X00	PWM 配置寄存器
PWMDC0	0XA1	0X00	PWM 通道 0 周期配置
PWMDC1	0XA2	0X00	PWM 通道 1 周期配置
PWRDWN	0XA4	0X00	掉电控制
RFCON	0XE8	0X02	射频收发器控制寄存器
RNGCTL	0XD6	0X00	随机数发生器控制寄存器
RNGDAT	0XD7	0X00	随机数发生器数据寄存器
RSTREAS	0X		
RSTREAS	0XB1	0X00	复位源寄存器
RTC2CMP0	0XB4	0XFF	RTC2 比较值寄存器 0
RTC2CMP1	0XB5	0XFF	RTC2 比较值寄存器 1
RTC2CON	0XB3	0X00	RTC2 配置寄存器
RTC2CPT00	0XB6	0X00	RTC2 捕获值寄存器 00
RTC2CPT01	0XAB	0X00	RTC2 捕获值寄存器 01
RTC2CPT10	0XAC	0X00	RTC2 捕获值寄存器 10
S0BUF	0X99	0X00	串口 0 数据缓冲寄存器
S0CON	0X98	0X00	串口 0 控制寄存器
S0RELH	0XBA	0X03	串口 0 重载寄存器高字节
S0RELL	0XAA	0XD9	串口 0 重载寄存器低字节
SP	0X81	0X07	堆栈指针寄存器
SPIMCON0	0XFC	0X02	主 SPI 配置寄存器 0
SPIMCON1	0XFD	0X0F	主 SPI 配置寄存器 1
SPIMDAT	0xFF	0X00	主 SPI 数据寄存器
SPIMSTAT	0XFE	0X03	主 SPI 状态寄存器
SPIRCON0	0XE4	0X01	射频收发器主 SPI 配置寄存器 0
SPIRCON1	0XE5	0X0F	射频收发器主 SPI 配置寄存器 1
SPIRDAT	0XE7	0X00	射频收发器主 SPI 数据寄存器
SPIRSTAT	0XE6	0X03	射频收发器主 SPI 状态寄存器
SPISCON0	0XBC	0XF0	从 SPI 配置寄存器 0
SPISDAT	0XBF	0X00	从 SPI 数据寄存器
SPISSTAT	0XBE	0X03	从 SPI 状态寄存器
T2CON	0XC8	0X00	定时器 2 控制寄存器
TCON	0X88	0X00	定时/计数器控制寄存器
TH0	0X8C	0X00	定时器 0, 高字节
TH1	0X8D	0X00	定时器 1, 高字节
TH2	0XCD	0X00	定时器 2, 高字节
TL0	0X8A	0X00	定时器 0, 低字节
TL1	0X8B	0X00	定时器 1, 低字节
TL2	0XCC	0X00	定时器 2, 低字节
TMOD	0X89	0X00	定时器模式寄存器
W2CON0	0XE2	0X80	2-Wire 配置寄存器 0
W2CON1	0XE1	0X00	2-Wire 配置寄存器 0
W2DAT	0XDA	0X00	2-Wire 数据寄存器

W2SADR	0XD9	0X00	2-Wire 从地址寄存器
ADCON	0XD8	0X00	串口 0 波特率选择寄存器（仅使用第 7 位）
WDSW	0XAF	0X00	看门狗起始值寄存器
WUCON	0XA5	0X00	唤醒配置寄存器
WUOPC0	0XCF	0X00	引脚唤醒配置寄存器 0
WUOPC1	0XCE	0X00	引脚唤醒配置寄存器 1

## 6 FLASH 存储器

MCU 可以对 FLASH 进行读写操作，特殊环境下（如固件升级）还可以进行擦除改写操作。

FLASH 存储器对过外部从 SPI 接口进行配置和编程。编程后可进行代码保护防止从外部接口读写 FLASH。

### 6.1 特征

16 KB 代码存储器

1 K 非易失性数据存储器

非易失性数据存储器每页为 512 字节

2 页大小为 256 字节的扩展持久性存储器

32 页主存储区+1 页信息页

至少 1000 次写/擦除操作

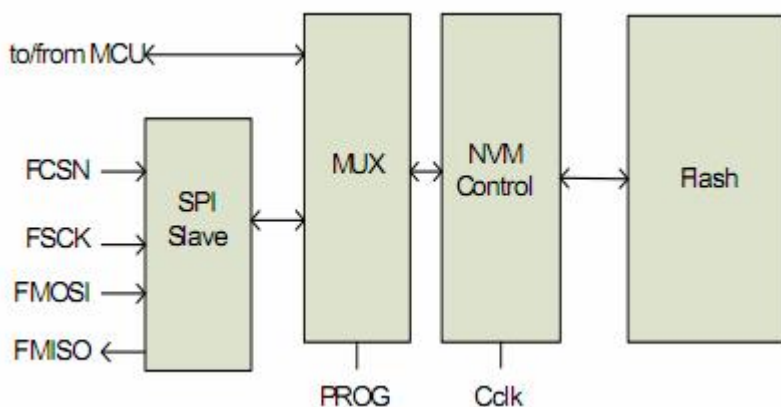
扩展持久性存储器至少 20000 次写/擦除操作

可配置 MCU 对 FLASH 的写权限

读保护

硬件支持固件升级

### 6.2 框图



### 6.3 功能性描述

#### 6.3.1 非易失性数据存储器

Data memory area	MCU address	SPI address	Page no.
Extended endurance data	0xFA00 - 0xFAFF	NA	32
	0xFB00 - 0xFBFF	NA	33
Normal endurance data	0xFC00 - 0xFDFF	0x4400 - 0x45FF	34
	0xFE00 - 0xFFFF	0x4600 - 0x47FF	35

非易失性数据存储器读写时 PCON 寄存器 PWM 位必须清 0，其他与 FLASH 的读写一样。  
非易失性数据存储器只能进行按页写入，写前要擦除整页。

### 6.3.2 FLASH 存储器配置

片上 FLASH 存储器被分为两块：16 KB + 1.5 KB 主存储区(MB)和 512 字节的信息页 (IP)

存储器的配置保存在信息页中并可完成以下配置：

1. 把主存储器分为保护和非保护两块区域（这里的保护指的是禁止 MCU 写）
2. 禁止从外部 SPI 和硬件调试接口读写
3. 允许硬件调试特性（HW debug）

所有对 FLASH 的配置必须通过外部 SPI 接口。对信息页的编程完成后，配置信息即保存在信息页中并且在上电和重启时读到特殊寄存器中。

#### 6.3.2.1 信息页 (infopage) 内容

数据	名称	大小	地址	注释
设备系统	DSYS	32 字节	0X00	保留设备使用。不要擦写
非保护页数 (即保护页 的起始地址)	NUPP	1 字节	0X20	启动时被读到 FPCR 寄存器 NUPP=0XFF 表示所有页不保护
保留		2 字节	0X21	保留，必须为 0XFF
FLASH 主存 储区读保护	RDISMB	1 字节	0X23	0XFF：可从外部接口访问主存储区 其他值：不能从外部接口读/擦除/写主存储区。信息页只读 仅可通过 SPI 命令 RDISMB 改变一次，仅 可通过 SPI 命令 ERASE ALL 复位为 0XFF
使能硬件调 试	ENGEBU G	1 字节	0X24	使能片上硬件调试特性和 JTAG 接口 0XFF:硬件调试特性禁止 其他值：硬件调试特性使能，JTGA 使能
保留		219 字节	0X25	保留，必须为 0XFF
用户数据		256 字节	0X100	自由使用

DSYS 设备系统参数

保护页和数据页

保护页典型应用为固件升级功能。

主存储区被分为 32 页,每页 512 字节。当 NUPP=0XFF 时 32 页都没被保护,如果 NUPPP<32,则 NUPP 的值就是保护区间的首页。例如, NUPP=12,则 0-11 页没保护, 12-31 页被保护。

如果主存储区被分为两块, FSR 寄存器的 STP 位决定了 MCU 首先从哪一块开始运行。正常情况下 STP 为逻辑 0,代码将从 0X0000 开始执行。如果 STP=1,代码将从保护区开始运行。如果 flash 数据存储区最高 16 个地址空间中 1 的个数为偶数, 则 STP 位在复位启动时被置为 1。

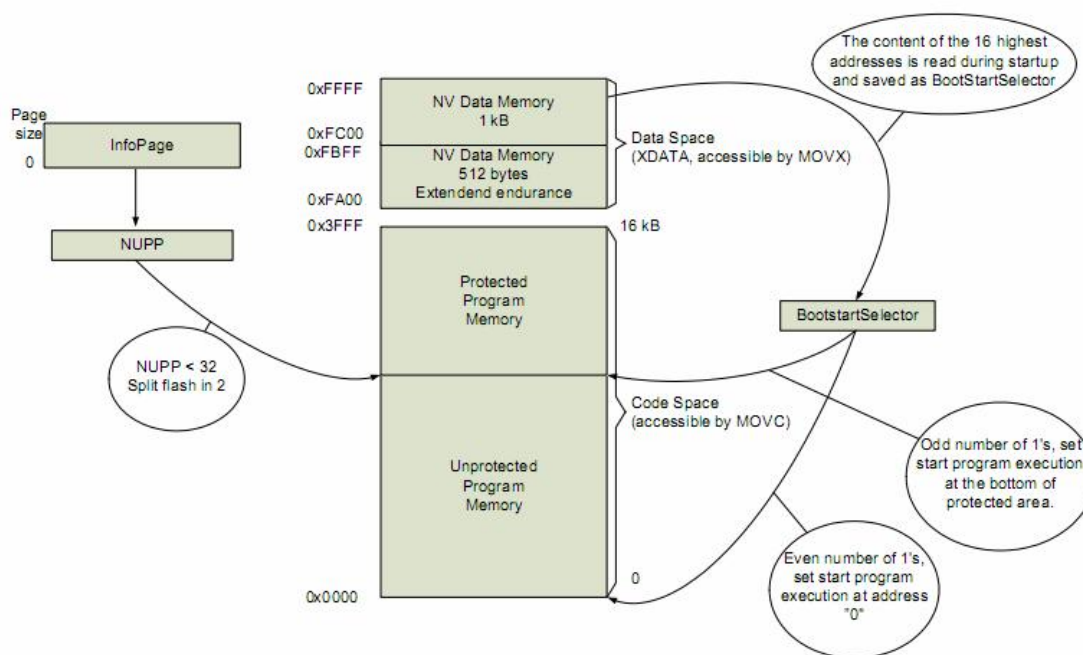


Figure 32. Flash main block protected area

**RDISMB** 禁止读主存储区（即代码加密）

执行 **RDISMB** 命令后,只有 **ERASE ALL** 命令可以修改 **FLASH**。注意,ERASE ALL 会擦除整个信息页,因此执行此操作前应当先把信息页 **DSYS** 的内容读出,写入时 **DSYS** 原样写入,以免出现设备工作不正常。

**ENDEBUD** 使能硬件调试

使能硬件调试后相应引脚将被设置为调试功能,可用 **nRFprobe** 或 **FS2** 硬件调试工作进行调试。

### 6.3.2.2 存储器配置 SFR

地址	记忆符号	位	复位值	SPI 访问	SFR 访问	描述
0XF8	FSR					FLASH 状态寄存器
	ENDEB	7	0	读写	读写	初始值由信息页中 ENDEBUD 字节决

	UG					定。1 表示使能硬件调试 0 则禁。 当 RDISMB=0 时 ENDEBUDG 可以通过写 SFR 寄存器直接设置为 1，但不能被直接清 0。
	STP	6	0	只读	只读	1:NVM 最高 16 字节 1 的个数为奇数， 将从保护区开始执行代码。 0:NVM 最高 16 字节 1 的个数为偶数， 将从 0x0000 开始执行代码。
	WEN	5	0	读写	读写	FLASH 是否可通过外部接口擦写。每次执行 SPI 擦写命令后，此位会被自动清 0，但 MCU 内部擦写则不会清 0。
	RDYN	4	1	只读	只读	FLASH 准备好标志，低有效 MCU 启动将信息页读取完毕后将设置为 1
	INFEN	3	0	读写	读写	FLASH 信息页使能 当使能后 SPI 的读写擦除操作被重定向到信息页（因为信息页的地址与主存储区地址重叠，所以通过此位选择操作对象）
	RDISMB	2	1	读写	只读	0：外部接口可完全访问主存储区 1：禁止从外部接口读/写/擦除主存储区和写/擦除信息页。 仅当执行 SPI 命令 ERASE ALL 后此被位清 0
		0	0	只读	读写	保留
0XF9	FPCR					FLASH 保护配置寄存器
		7	1	只读	只读	保留
	NUPP	6: 0		只读	只读	非保护页数量 此设置（32>NUPP>=0）不管其他设置将始终保留 1K 非易失性存储器最高 16 字节。
0XFA	FCR					FLASH 命令寄存器
	FLASH COMMA ND REGIST ER	7:0	0	-	读写	页擦除时将擦除此寄存器值对应的页（<36 ,其中 32-35 为数据页）

### 6.3.3 Brown-out

电源失效检测器保证了在电源失效时不进行 FLASH 擦写。任何已经开始的写操作将继续完成，擦除操作则被中断。电源失电比较器默认是没开启的，可通过 POFCON 第 7 位设置使能。



如果供电电压低于 1.7V，将发出欠压复位信号（BOR）芯片将被复位。如果在复位前，电压又上升到可工作电压则不会复位。

在电源不稳定情况下，为保证正确的 FLASH 编程，用户应进行如下规划：  
确保没有局部的擦除

如果在擦除时复位，总是认为擦除是不成功的。

如果没复位，擦除周期必须大于 20ms.可参考 NRFGO SDK 中的例子

写入数据后应进行读取比对校验

通过有效的电荷储蓄确保从电源失效到复位的时间大于写操作周期（46us），

### 6.3.4 FLASH 内部编程

#### 6.3.4.1 MCU 对主存储区的写和擦除操作

当 FLASH 写操作发起后，MCU 每写一个字节将停止运行 740 个时钟周期（46 微秒@16 MHz），当页擦除操作发起后，MCU 停止运行 360000 时钟周期（22.5 毫秒@16MHz）。此段时间 MCU 不响应任何中断。固件程序必须保证页擦除操作不会影响到 nRF24LE1 的正常操作。

MCU 擦除和写 FLASH 操作步骤：

1. 设置 FSR 寄存器 WEN 位（第 5 位）为 1 允许 FLASH 的擦除/写。
2. 更新 FLASH 前必须执行擦除操作。一次至少擦除一页，可通过将页地址（0-31）写到 FCR 寄存器实现擦除指定页。
3. 设置 PCON 寄存器 PMW 位（第 4 位）为 1 以使能程序存储器写模式
4. MCU 执行写存储器写操作完成 FLASH 的编程。每个字节按地址被独立写入（地址不会自增）

当自编程代码从 FLASH 执行时，擦写操作是自定时的并且 CPU 会停止直到操作完成。

如果编程代码从 XDATA RAM 执行，代码必须等待操作完成（可通过轮询 FSR 寄存器 RDYN 位变低或循环等待）。在擦写操作完成前不要设置 WEN 为低。

#### 6.3.6 硬件对固件升级的支持

当 FLASH 存储器设置保护区间并且 nRF24LE1 从保护区间启动时，存储器映射使得固件升级更加安全。设置保护区间并重后保护区间被映射到 0X0000.SRAM 块被映射到 0X80000（此特性用于无线升级固件）

此机制使用例子：

应用程序运行在非保护区，保护区中的固件升级程序执行 FLAS 编程操作  
进行无线升级固件

MCU 设置 WEN

编程使得非易失性数据存储器高 16 字节 1 的个数为奇数

此时系统可重启，根据 STP 位将从保护区间启动

此时非保护区间可进行安全的擦写操作

当在升级期间电源失效或系统复位，由于非易失性数据存储器中高 16 位字节 1 的个数还没被改，所以 MCU 仍会从保护区间运行（继续运行固件升级程序）

当固件升级完成后，非易失性数据存储器高 16 字节中编程使得 1 的个数为偶数

此时系统将从非保护区运行新的固件程序

## 7 RAM

NRF24LE1 包含两个分离的 RAM 块，这些块用于保存临时数据或程序

内部 RAM (IRAM) 速度快且灵活，但仅有 256 字节。

另外一块 SRAM 默认在 XDATA 从 0X0000 到 0X03FF 的地址空间中，大小为 1KB(1024\*8 位)。这块 SRAM 的地址可以重新映射。

SRAM 块由两个 512 字节的物理块组成，低 512 字节的块称为 DataRetentive,此块数据在掉电模式下数据仍然保持，高 512 字节的块称为 DataNoneRetentive,此块数据在掉电时数据丢失。

MEMCON 寄存器：

地址	位	读写	功能
0XA7	7:3	-	保留
	2	读写	0: SRAM 块起始地址为 0X0000,1:起始地址为 080000
	1	读写	0: SRAM 高 512 字节映射为数据空间 1: SRAM 高 512 字节映射为代码空间
	0	读写	0: SRAM 低 512 字节映射为数据空间 1: SRAM 低 512 字节映射为代码空间

## 8 定时/计数器

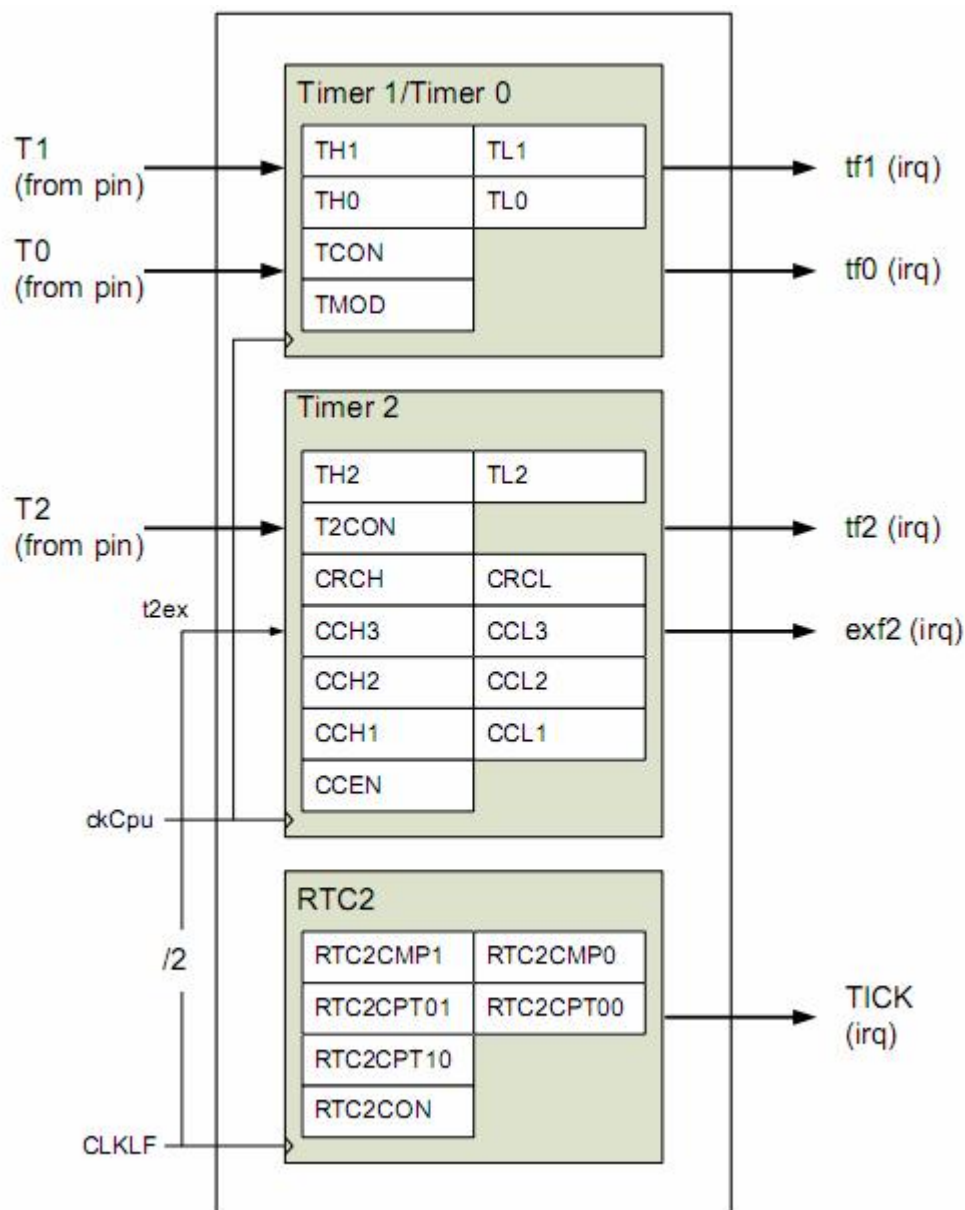
NRF24LE1 包含多个定时器用于计时和重要系统事件。其中的一个定时器(RTC2)在掉电模式下可用，可用来唤醒 CPU。

### 8.1 特征

3 个 16 位定时计数器 (TIMER0 TIMER1 TIMER2),可以从 MCU 提供时钟也可以从外部 引脚提供时钟用于事件计数

RTC2 是一个可配置的线性 16 位实时时钟，具有捕获和比较功能。输入时钟为 32.768 KHz





### 8.3 功能描述

#### 8.3.1 定时器 0 和定时器 1

定时器模式下，定时器 0 和定时器 1 每 12 个时钟周期加 1。

在计数模式下，定时器 0 和定时器 1 在相应的输入引脚（T0 T1）检测到下降沿时加 1

由于需要两个时钟周期才能检测到下降沿，因此输入频率最大为晶振频率的 1/2.占空比没限制，但为了正确检测 0 和 1，输入保持时间至少为 1 个时钟周期。

##### 8.3.1.1 模式 0 和模式 1

模式 0，定时器 0 和定时器 1 配置为使用 13 位寄存器（TL0/TL1=5 位，TH0/TH1=8 位）。高 3 位不使用。

模式 1，定时器 0 被配置为使用 16 位寄存器

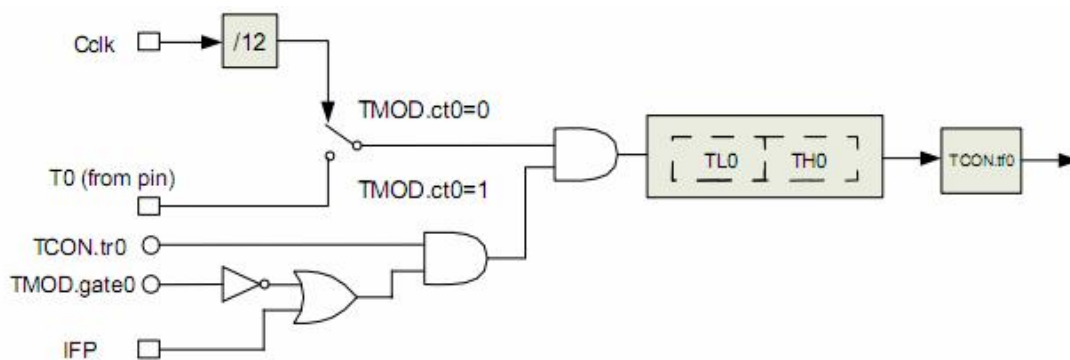


Figure 39. Timer 0 in mode 0 and 1

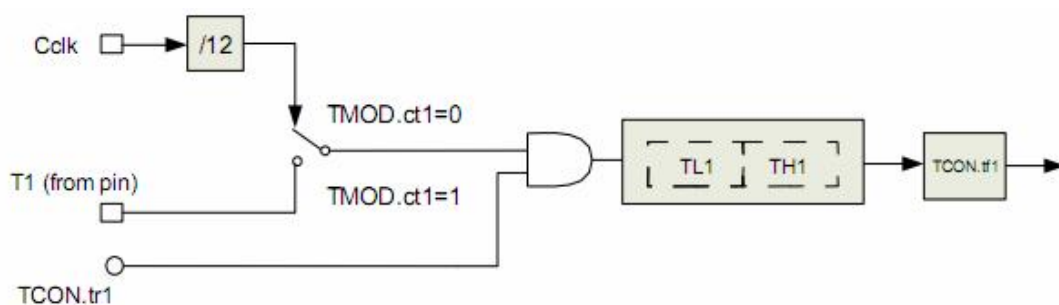


Figure 40. Timer 1 in mode 0 and 1

### 8.3.1.2 模式 2 （8 位自动重载）

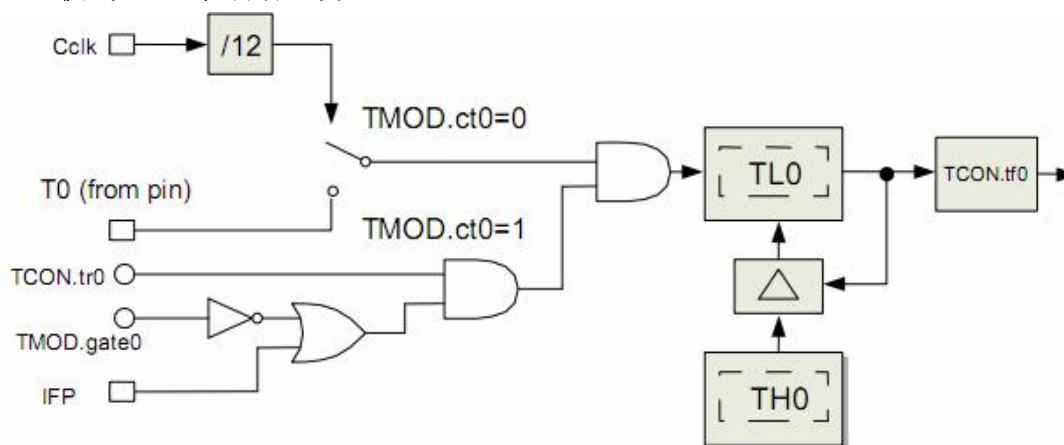


Figure 41. Timer 0 in mode 2

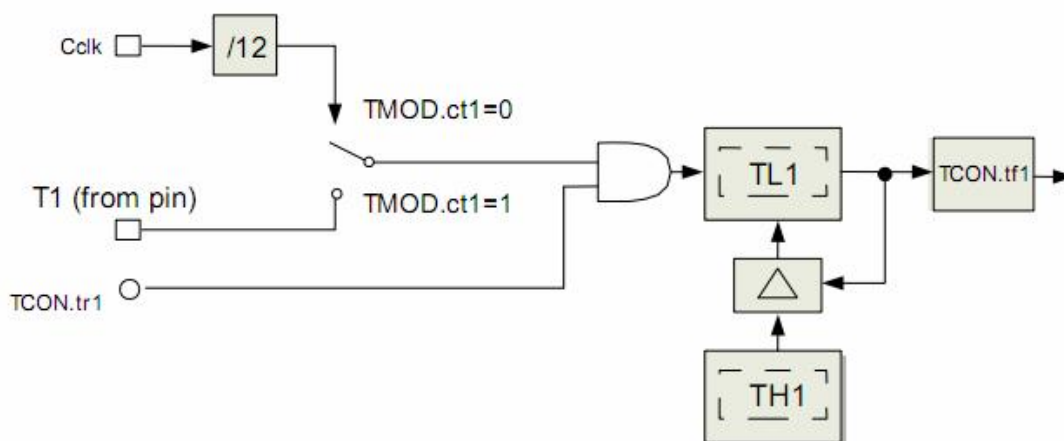


Figure 42. Timer 1 in mode 2

### 8.3.1.3 模式 3

模式 3 中定时器 0 和定时器 1 可配置成一个 8 位定时/计数器和一个 8 位定时器，但定时器 1 在此模式下保存计数值。当定时器 0 工作于模式 3 时，定时器 1 可工作于其他模式，但汪能用于串口波特率发生器，或应用在不需要从定时器 1 中断的应用中。

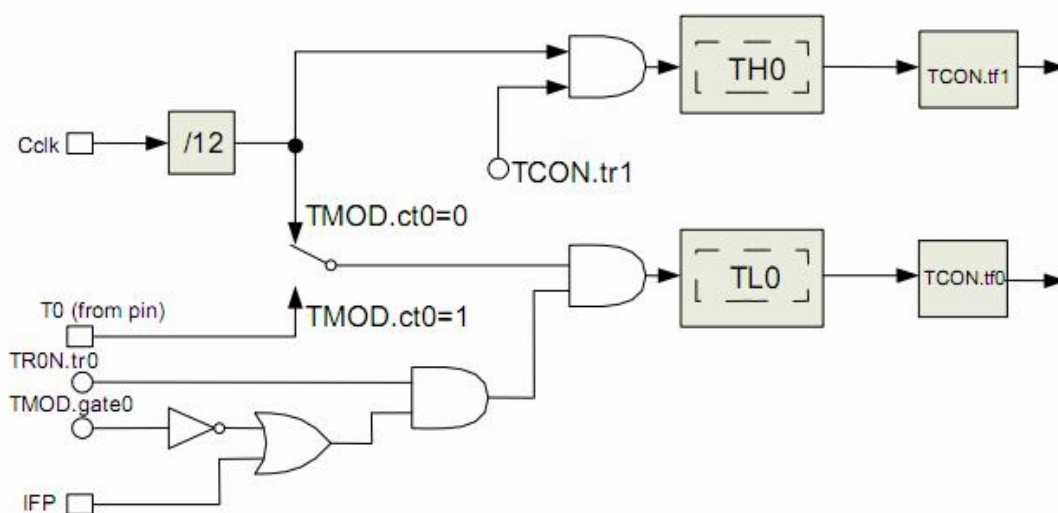


Figure 43. Timer 0 in mode 3

### 8.3.2 定时器 2

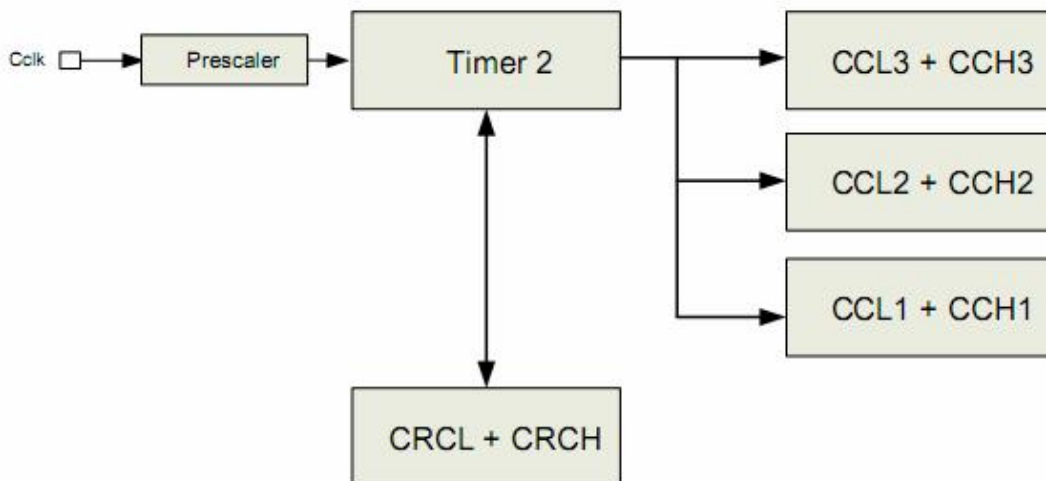


Figure 44. Timer 2 block diagram

### 8.3.2.1 定时器描述

定时器 2 可作为定时器，事件计数器，或门限定定时器

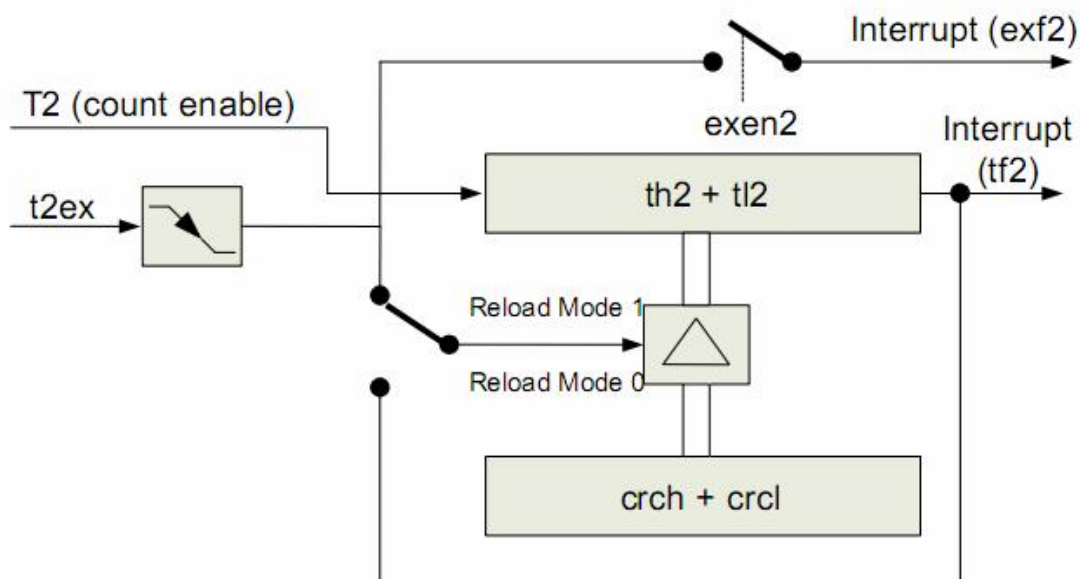


Figure 45. Timer 2 in Reload Mode

### 8.3.2.2 定时器模式

定时器每 12 或 24 个时钟周期加 1，取决于 2:1 预分频器。预分频器通过 T2CON 寄存器 t2ps 位选择分频系数。t2ps=0 时每 12 个时钟周期定时顺加 1。

### 8.3.2.3 事件计数模式

通过设置 T2CON 寄存器 t2i0=0 且 t2i1=1 进入此模式。

定时器 2 在时钟上升沿采样，当检测到下降沿时计数值加 1。

### 8.3.2.4 门控定时器模式

通过设置 T2CON 寄存器 t2i0=1 且 t2i1=1 进入此模式。

当 T2=0 时，定时器 2 停止

### 8.3.2.5 定时器 2 重载

从 CRC 寄存器重载 16 位值可通过以下两种模式完成：

重载模式 0：重载信号通过定时器 2 溢出产生

重载模式 1：重载信号在 t2ex 负跳变时产生（t2ex 连接到内部时钟信号频率为 CLKLF 一半）

## 8.4 特殊功能寄存器

### 8.4.1 定时/计数控制寄存器-TCON （地址：0X88 复位值：0x00）

位	名称	自动清除	描述
7	tf1	是	定时器 1 溢出时由硬件设置此位为 1
6	tr1	否	定时器 1 运行控制，清 0 时定时器 1 停止
5	tf0	是	定时器 0 溢出时由硬件设置此位为 1
4	tr0	否	定时器 0 运行控制，清 0 时定时器 1 停止
3	ie1	是	外部中断 1 标志，由硬件设置
2	it1	否	外部中断 1 类型控制 1：下降沿 0：低电平
1	ie0	是	外部中断 0 标志，由硬件设置
0	it0	否	外部中断 0 类型控制 1：下降沿 0：低电平

当中断服务程序被调用时，tf0 tf1 ie0 ie1 自动清 0

### 8.4.2 定时器模式寄存器 - TMOD (地址：0X89 复位值：0X00)

位	名称	描述
7	gate1	定时器 1 门控控制
6	ct1	定时器 1 定时/计数选择 1：计数器 0:定时器
5-4	mode1	00 模式 0：13 位计数/定时 01 模式 1：16 位计数/定时 10 模式 2：8 位自动重载定时器 11 模式 3：定时器 1 停止
3	gate0	定时器 0 门控控制
2	ct0	定时器 0 定时/计数选择 1：计数器 0:定时器
1-0	mode0	00 模式 0：13 位计数/定时 01 模式 1：16 位计数/定时 10 模式 2：8 位自动重载定时器 11 模式 3：2 个 8 位定时/计数器

### 8.4.3 定时器 0-TH0(0X8C), TL0(0X8A)

### 8.4.4 定时器 1-TH0(0X8D), TL0(0X8B)

### 8.4.5 T2CON 定时器 2 控制寄存器（地址：0XC8 复位值：0X00）

位	名称	描述
7	t2ps	预分频器选择 0:定时器时钟是 CPU 时钟 1/12 1:1/24
6	i3fr	Int3 边沿选择 0：下降沿 1：上升沿

5	i2fr	Int2 边沿选择 0: 下降沿 1: 上升沿
4:3	t2r	定时器 2 重载模式 0X: 重载关闭, 10: 模式 0 11: 模式 1
2	t2cm	定时器 2 比较模式 0: 模式 0 1: 模式 1
1-0	t2i	定时器 2 输入选择 00: 停止 01: f/12 或 f/24 10:T2 下降沿 11: f/12 或 f/24 T2 关闭

#### 8.4.6 定时器 2-TH2(0XCD),TL2(0XCC)

##### 8.4.7 比较/捕获使能寄存器(用于定时器 2) – CCEN

地址	复位值	位	名称	描述
0XC1	0x0	7: 6	coca3	CC3 寄存器 比较捕获模式 00:比较/捕获禁止 01: 保留 10: 保留 11: CCL3 寄存器写操作
		5: 4	coca2	CC2 寄存器 比较捕获模式 00:比较/捕获禁止 01: 保留 10: 保留 11: CCL2 寄存器写操作
		3: 2	coca1	CC1 寄存器 比较捕获模式 00:比较/捕获禁止 01: 保留 10: 保留 11: CCL1 寄存器写操作
		1: 0	coca0	CC0 寄存器 比较捕获模式 00:比较/捕获禁止 01: 保留 10: 保留 11: CCL0 寄存器写操作

#### 8.4.8 捕获寄存器 – CC1, CC2, CC3

CC1 CC2 CC3 是 16 位寄存器，用于 TIMER2 单元。

Address	Register name
0xC2	CCL1
0xC3	CCH1
0xC4	CCL2
0xC5	CCH2
0xC6	CCL3
0xC7	CCH3

*Table 44. Capture Registers - CC1, CC2 and CC3*

#### 8.4.9 比较/重载/捕获 – CRCH, CRCL

Address	Reset value	Register name
0xCA	0x00	CRCL
0xCB	0x00	CRCH

*Table 45. Compare/Reload/Capture register - CRCH, CRCL*

### 8.5 实时时钟 – RTC

RTC2 包含两个可用于捕获定时器的值的寄存器。一个在 32.768 KHz 的上升沿加载，另一个寄存器则由 MCU 提供时钟以获得更高的精度。外部事件来临时两个寄存器被更新。RTC2 也可以以一个预设的时间间隔产生中断。

#### 8.5.2 寄存器

地址	名称	位	复位值	类型	描述
0XB3	RTC2CON	4:0		读写	RTC2 配置寄存器
	sfrCapture	4	0	只写	触发信号 当设置为 1 时，RTC2 将捕获定时器的值保存在 RTC2CPT00 和 RTC2CPT01。另外由 MCU 时钟驱动的计数器从上一个 32768 时钟上升沿开始的计数保存在 RTC2CPT1
	enableExternalCapture	3	0	读写	1:如果无线产生中断请求则捕获定时器的值保存在 RTC2CPT00 和 RTC2CPT01。另外由 MCU 时钟驱动的计数器从上一个 32768 时钟上升沿开始的计数保存在 RTC2CPT1

					0: 禁止无线中断捕获
	compareMode	2:1	00	读写	比较模式 11: 当定时器值与 RTC2CMP1 和 RTC2CMP0 相等时产生中断（中断后定时器复位） 10: 与上面一样除了中断后不复位定时器 0x:禁止比较器
	rtc2Enable	0	0	读写	1: RTC2 使能, RTC2 时钟运行 0: RTC2 禁止, RTC2 时钟仍然运行且定时器被复位
0XB4	RTC2CMP0	7:0	0XFF	读写	RTC2 比较值寄存器 0 (LSB)
0XB5	RTC2CMP1	7:0	0XFF	读写	RTC2 比较值寄存器 1 (MSB)
0XB6	RTC2CPT00	7:0	0X00	只读	RTC2 捕获值寄存器 00(LSB) 分辨率: 30.52 纳秒
0XAB	RTC2CPT01	7:0	0X00	只读	RTC2 捕获值寄存器 01(MSB)
0XAC	RTC2CPT10	7:0	0X00	只读	RTC2 捕获值寄存器 1 包含从 32768 时钟上一个上升沿开始到捕获事件发生之间的时钟计数。(LSB 位被截)。分辨率: 125ns

RTC2 是一个 16 位的以 32.768 KHz 频率往上计数的定时器。当定时器的计数值与 RTC2CMP1 和 RTC2CMP0 的值相等时产生中断。

中断产生时间计算:

$$\left[ \frac{[\text{RTC2CMP1} : \text{RTC2CMP0}] - \text{timer}}{32768}, \frac{[\text{RTC2CMP1} : \text{RTC2CMP0}] - \text{timer} + 1}{32768} \right] [\text{s}]$$

如果使用比较模式 11, RTC2 中断秒数计算如下:

$$\frac{[\text{RTC2CMP1} : \text{RTC2CMP0}] + 1}{32768} [\text{s}]$$

RTC2 比较值在每次 RTC2CMP1 或 RTC2CMP0 写入值时被更新。如果要写入新值应先禁止 RTC2 中断以免产生不需要的中断。

为保证 RTC2 在寄存器保持或存储器保持模式下（定时器开）一切正常，MCU 要预启动。如果使用 XOSC16M，预启动时间应足够长以保证这个时钟在 IRQ 产生前启动并正常运行。如果 RCOSC16M 开启（通过设置 CLKCTRL[5:4]），则它在预启用期间作为时钟源。为了省电用户应该选择进入待机模式并等待 IRQ。如果仅开启了 RCOSC16M，预启动时间比较短。



## 9 中断

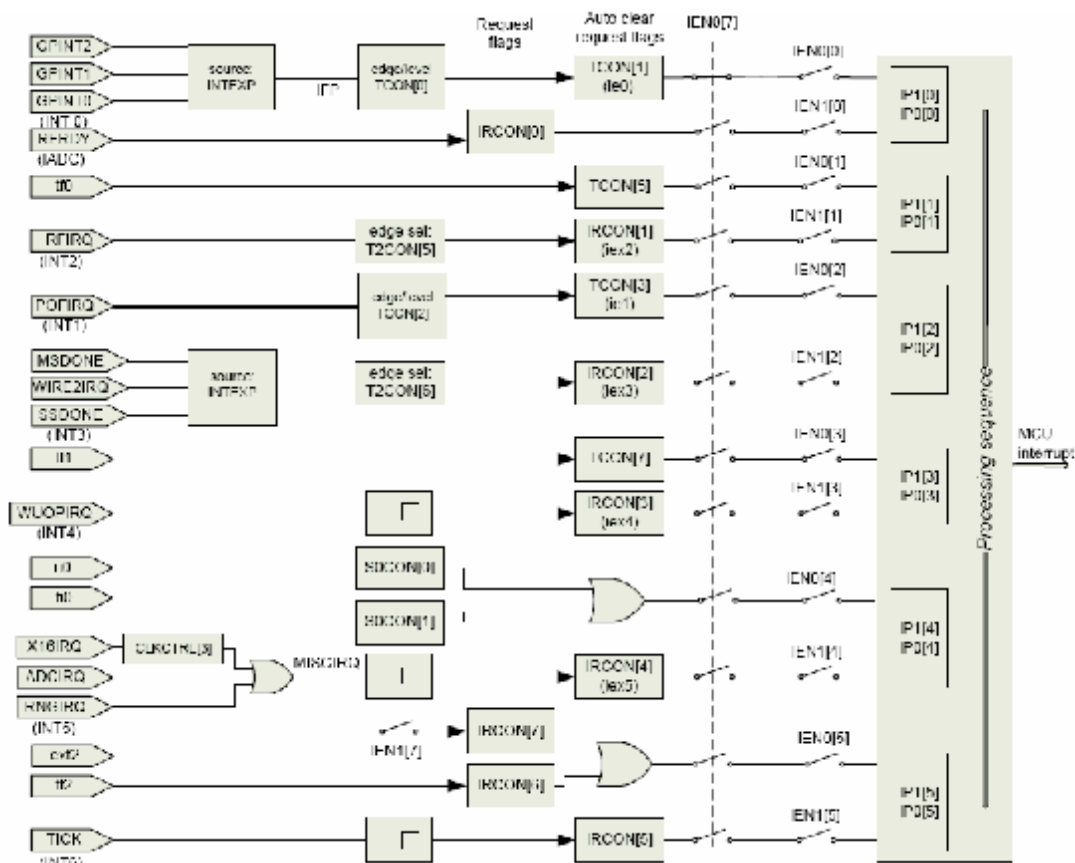
nRF24LE1 有一个包含 18 个中断源的高级中断控制器。

### 9.1 特征

18 个中断源，4 级优先级

中断请求标志

引脚中断（可配置）



### 9.3 功能描述

高优先级中断可打开正在执行的中断服务程序

中断源	向量	极性	描述
IFP	0X0003	低/下降沿	引脚 GP INT0,GP INT1 GP INT2 其中的一个，具体哪一个由 INTEXP 特殊功能寄存器 3, 4, 5 位决定，这 3 个位同一时刻只能有一个可设置为 1
tf0	0x000B	高	定时器 0 溢出
POFIRQ	0x0013	低/下降沿	掉电中断
tf1	0x001B	高	定时器 1 溢出
ri0	0x0023	高	串口接收中断
ti0	0x0023	高	串中发送中断
tf2	0x002B	高	定时器 2 溢出

exf2	0x002B	高	定时器外部重载
RFRDY	0x0043	高	射频 SPI 接口就绪
RFIRQ	0x004B	低/上升沿	射频中断
MSDONE	0x0053	低/上升沿	主 SPI 传输完成
WIRE2IRQ	0x0053	低/上升沿	2-Wire 传输完成
SSDONE	0x0053	低/上升沿	从 SPI 传输完成
WUOPIRQ	0x005B	上升沿	引脚唤醒中断
MISCIRQ	0x0063	上升沿	其他中断： XOSC16M 开启 ADC 就绪 RNG 就绪
TICK	0x006B	上升沿	内部唤醒（RTC2）中断

注：RFIRQ,WUOPIRQ,MISCIRQ,TICK 默认不激活，可通过 WUCON 设置激活

## 9.4 特殊功能寄存器

### 9.4.1 IEN0 中断使能寄存器 0

地址	位	描述
0XA8	7	1:全局中断开 0: 禁止所有中断
	6	不使用
	5	1: 允许定时器 2(tf2/exf2)中断
	4	1: 允许串口（ri0/ti0）中断
	3	1: 允许定时器 1 溢出（tf1）中断
	2	1: 允许掉电（POFIRQ）中断
	1	1: 允许定时器 0 溢出（tf0）中断
	0	1: 允许引脚（IFP）中断

### 9.4.2 IEN1 中断使能寄存器 1

地址	位	描述
0XB8	7	1: 允许定时器 2 外部重载(exf2)中断
	6	不使用
	5	1: 允许内部唤醒（TICK）中断
	4	1: 允许其他中断（MISCIRQ）中断
	3	1: 允许引脚（WUOPIRQ）中断
	2	1: 允许 2-Wire 完成（WIRE2IRQ）中断,主从 SPI 完成（MSDONE/SSDONE）中断
	1	1: 允许射频（RFIRQ）中断
	0	1: 允许射频 SPI 就绪（RFRDY）中断

2-WIRE 主 SPI 和从 SPI 共享中断行

地址：0XA6	7:6	不使用
复位值：0X01		1: 允许 GP INT2 中断

		1: 允许 GP INT1 中断
		1: 允许 GP INT0 中断
		1: 允许 2-Wire 完成中断
		1: 允许主 SPI 完成 (MSDONE) 中断
		1: 允许从 SPI 完成 (SSDONE) 中断

#### 9.4.3 中断优先级寄存器-IP0,IP1

14 个中断源被分为 6 组，每一组可设置 4 级优先级

IP0 地址	位	描述
0XA9	7: 6	不使用
	5: 0	中断优先级。每一位与 IP1 寄存器相应位决定相应组的优先级

IP1 地址	位	描述
0XB9	7: 6	不使用
	5: 0	中断优先级。每一位与 IP0 寄存器相应位决定相应组的优先级

组	中断位	优先级组		
0	IP1[0],IP0[0]	IFP	RFRDY	
1	IP1[1],IP0[1]	tf0	RFIRQ	
2	IP1[2],IP0[2]	POFIRQ	MSDONE	SSDONE
3	IP1[3],IP0[3]	tf1	WUOPIRQ	
4	IP1[4],IP0[4]	ri0	ti0	MISCIRQ
5	IP1[5],IP0[5]	tf2/exf2	TICK	

IP1[X]	IP0[X]	优先级
0	0	0 级 (最低)
0	1	1 级
1	0	2 级
1	1	3 级 (最高)

X 是优先级组号

#### 9.4.4 IRCON-中断请求控制寄存器 (中断标志)

地址	位	自动清 0	描述
0XC0	7	否	定时器 2 外部重载 (exf2) 中断标志
	6	否	定时器 2 溢出 (tf2) 中断标志
	5	是	内部唤醒 (TICK) 中断标志
	4	是	其他 (MISCIRQ) 中断标志
	3	是	引脚唤醒 (WUOPIRQ) 中断标志
	2	是	2-Wire 完成 (WIRE2IRQ) 中断标志, 主从 SPI 完成 (MSDONE/SSDONE) 中断标志
	1	是	射频 (RFIRQ) 中断标志
	0	否	射频 SPI 就绪 (RFRDY) 中断标志

## 10 看门狗

### 10.1 特征

32.768 KHz

16 位定时器

最小超时时间：7.8125 毫秒

最大超时时间：512 秒

### 10.2 框图

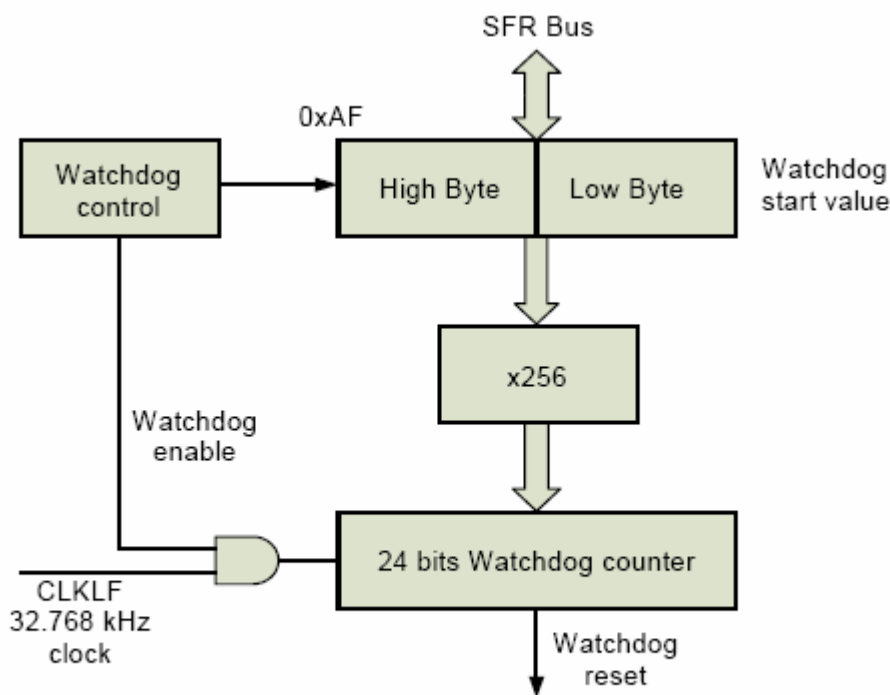


Figure 47. Watchdog block diagram

### 10.3 功能描述

看门狗控制寄存器

地址	名称	位	复位值	类型	描述
0XAF	WDSV	15: 0	0X0000	读写	看门狗起始值

高低字节分别读写，低字节先读写，高低字节必须紧接着写，中间不能有读操作。读此寄存器返回的是初始设置值而不是当前计数值。

复位后，看门狗默认是禁止的。当WDSV高低字节写入内容后看门狗激活。此时看门狗从WDSV\*256到0往下计数，计数到0时，CPU和外设被复位。看门狗复位与上电复位和外部引脚复位具有同样的效果。为防止系统复位，软件每过一段时间必须重载WDSV的值。

看门狗使用32.768 KHz低频时钟，因此32.768KHz 时钟源必须激活。

看门狗超时计算公式：(WDSV\*256)/32768 秒

当WDSV写入0X0000时，看门狗超时时间为512秒

看门狗启动后，仅能通过复位系统或进入Register retention and Memory retention节电模式时禁止看门狗。请参考OPMCON位0

## 11 电源和时钟管理

### 11.1 框图

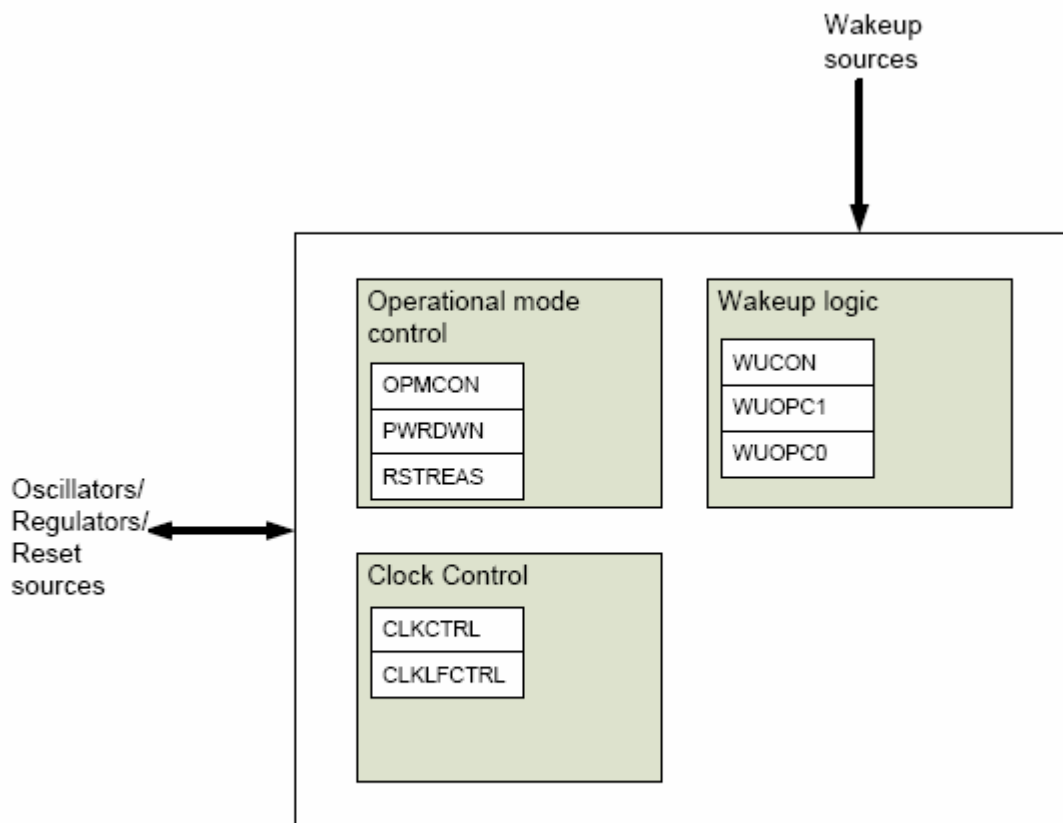


Figure 48. Block diagram of power and clock management

### 11.2 工作模式

nRF24LE1 复位或上电后进入活动模式且功能可通过软件控制，要进入节电模式 PWRDWN 寄存器必须写入所选择的工作模式（值）。要重新进入活动模式唤醒源比较激活。

工作模式	简述
深度睡眠	有供电的功能：能唤醒的引脚 唤醒源：引脚 启动时间：<100 微秒（RCOSC16M） 注释：

	从引脚唤醒后系统将复位，从复位中断向量地址开始执行
存储器保持，定时器停止	<p>有供电的功能：能唤醒的引脚，电源管理，IRAM 和 512 字节数据存储器 (DataRetentive SRAM)</p> <p>唤醒源：引脚</p> <p>启动时间：&lt;100 微秒 (RCOSC16M)</p> <p>注释： 从引脚唤醒后系统将复位，从复位中断向量地址开始执行</p>
存储器保持，定时器工作	<p>有供电的功能：能唤醒的引脚，电源管理，IRAM 和 512 字节数据存储器 (DataRetentive SRAM), XOSC32K 或 RCOSC32K, RTC2 和看门狗 32KHZ 时钟，定时器</p> <p>唤醒源：引脚唤醒，定时器 TICK 唤醒，模拟比较器唤醒</p> <p>启动时间： 引脚唤醒 &lt;100 微秒 (RCOSC16M)</p> <p>定时器 TICK 唤醒：为了省电，当 MCU 被唤醒后用户可选择进入标准掉电模式并等待 TICK 中断。</p> <p>注释： 从引脚唤醒后系统将复位，从复位中断向量地址开始执行</p>
寄存器保持，定时器停止	<p>有供电的功能：能唤醒的引脚，电源管理，IRAM 和 512 字节数据存储器 (DataRetentive SRAM), XOSC32K 或 RCOSC32K, RTC2 和看门狗 32KHZ 时钟，所有寄存器，SRAM，XOSC16M (可选择开关)</p> <p>唤醒源：引脚唤醒，定时器 TICK 唤醒，模拟比较器唤醒</p> <p>启动时间： 引脚唤醒 &lt;100 微秒 (RCOSC16M)</p> <p>定时器 TICK 唤醒：为了省电，当 MCU 被唤醒后用户可选择进入标准掉电模式并等待 TICK 中断。</p> <p>注释： 唤醒后不重启，紧接着原来的位置继续运行</p>
寄存器保持，定时器工作	<p>有供电的功能：能唤醒的引脚，电源管理，IRAM 和 512 字节数据存储器 (DataRetentive SRAM), XOSC32K 或 RCOSC32K, RTC2 和看门狗 32KHZ 时钟，所有寄存器，SRAM，XOSC16M (可选择开关)</p>

	<p>唤醒源：引脚唤醒，定时器 TICK 唤醒，模拟比较器唤醒</p> <p>启动时间：</p> <p>引脚唤醒 &lt;100 微秒 (RCOSC16M)</p> <p>定时器 TICK 唤醒：为了省电，当 MCU 被唤醒后用户可选择进入标准掉电模式并等待 TICK 中断。</p> <p>注释：</p> <p>唤醒后不重启，紧接着原来的位置继续运行</p>
待机 (Standby)	<p>有供电的功能：能唤醒的引脚，电源管理，IRAM 和 512 字节数据存储器 (DataRetentive SRAM), XOSC32K 或 RCOSC32K, RTC2 和看门狗 32KHZ 时钟，所有寄存器，SRAM，XOSC16M，VREG，程序和数据存储器</p> <p>唤醒源：引脚唤醒，定时器 TICK 唤醒，模拟比较器唤醒，RFIRQ 和 MISCIRQ 唤醒（模拟比较器唤醒在此模式下不支持）</p> <p>启动时间：约 100 纳秒</p> <p>注释：</p>
活动	所有外设都有供电

注：nRF24LE1 进入深度睡眠模式前 16MHZ RC 振荡器必须开启

#### 11.3.1 时钟控制、

MCU 时钟可从片内 RC 振荡器或晶体振荡器获得。

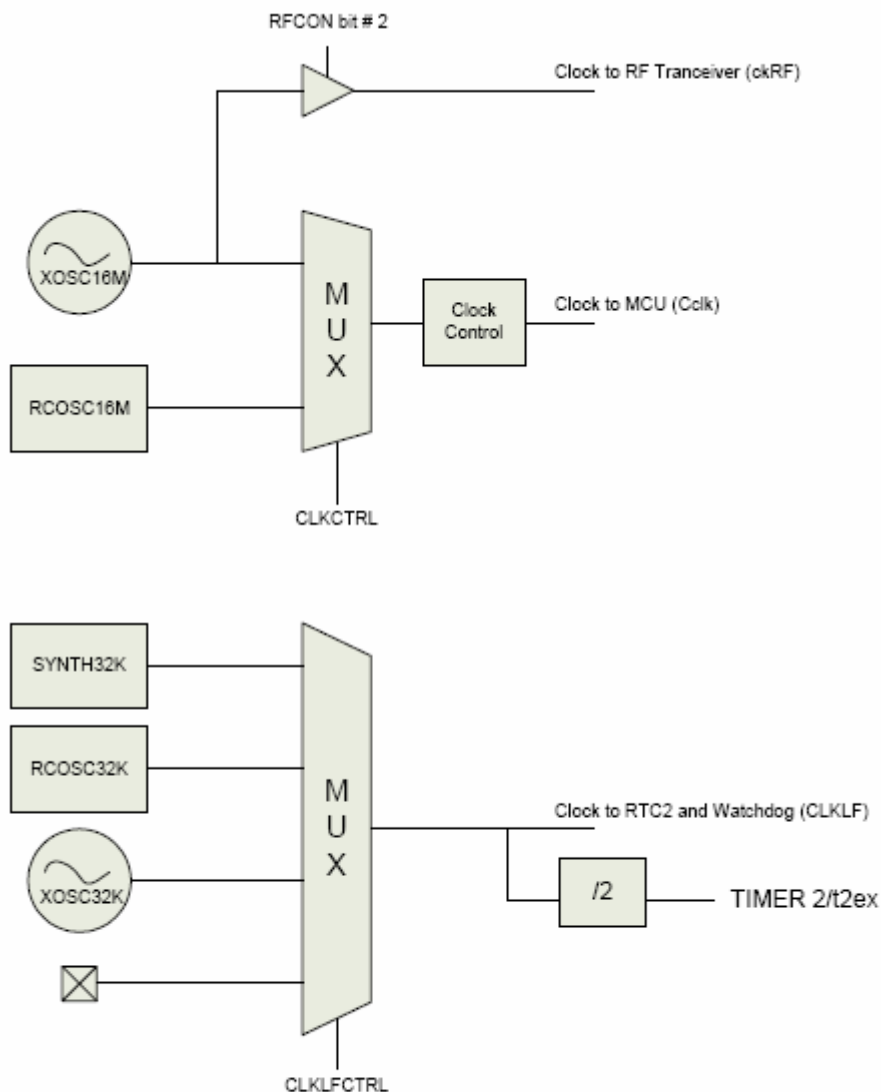


Figure 49. nRF24LE1 clock system

系统时钟源和频率由 CLKCTRL 寄存器控制

地址	位	类型	功能	复位值: 0X00
0XA3	7	读写	1: 寄存器保持模式下保持 XOSC16M 开启	
	6	读写	1: 时钟从 XC1 引脚输入, 忽略振荡器 0: XOSC16M 或 RCOSC16M 作为时钟	
	5:4	读写	00: XOSC16M 和 RCOSC16M 都开启 01: 仅开启 RCOSC16M 10: 仅开启 XOSC16M 11: 保留	
	3	读写	1: XOSC16M 被开启后允许唤醒和中断 (X16IRQ) 1: XOSC16M 被开启后禁止唤醒和中断 (X16IRQ)	
	2:0	读写	系统时钟频率: 000: 16MHz	



			001: 8MHz 010: 4MHz 011: 2MHz 100: 1MHz 101: 500KHz 110: 250KHz 111: 125KHz
--	--	--	---

32KHz 时钟 (CLKLF) 由寄存器 CLKLFCTRL 控制

地址	位	类型	功能	复位值: 0X07
0XAD	7	只读	1: 读 CLKLF	
	6	只读	1: CLKLF 已准备就绪	
	5	-	保留	
	4	-	保留	
	3	只读	1: 系统时钟源是 XOSC16M 0: 系统时钟源是 RCSC16M	
	2:0	读写	CLKLF 时钟源 000: XOSC32K 001: RCSC32K 010: XOSC16M 合成 (XOSC16M 如果没激活则不工作) 011: XC1 XOSC32K 引脚作为时钟 100: IO 引脚输入作为时钟 (数字全摆幅信号) 101: 保留 110: 保留 111: 不选择	

注意: 如果 CLKLF 时钟源已选择, 则 MCU 直到 CLKLF 可操作时才会启动。例如如果选择了外部 IO 作为时钟源, 外部时钟必须激活系统才会从存储器保持模式下唤醒。

### 11.3.2 掉电控制 – PWRDWN

地址	位	类型	功能	描述
0XA4	7	只读	指示是否设置了从引脚唤醒, 读寄存器后或进入掉电模式后此位清 0	
	6	只读	指示是否设置了从 TICK 唤醒, 读寄存器后或进入掉电模式后此位清 0	
	5	只读	指示是否设置了从比较器唤醒, 读寄存器后或进入掉电模式后此位清 0	
	4: 3		保留	
	2: 0	读写	001: 设置系统进入深度睡眠模式	

			<p>写操作：</p> <p>010：设置系统进入存储器保持，定时器关闭模式</p> <p>011：设置系统进入存储器保持，定时器开启模式</p> <p>100：设置寄存器进入寄存器保持模式</p> <p>101：保留</p> <p>110：保留</p> <p>111：设置系统进入待机模式（MCU 时钟停止）</p> <p>读操作：</p> <p>000：停电</p> <p>001：深度睡眠</p> <p>010：存储器保持，定时器停止</p> <p>011：存储器保持，定时器开启</p> <p>100：寄存器保持</p> <p>101：保留</p> <p>110：保留</p> <p>111：待机</p>
--	--	--	--

注：一旦从掉电模式唤醒，PWRDWN 寄存器应复位为 0X00。如果需要可先读出此寄存器值

### 11.3.3 操作模式控制 – OPMCON

地址	位	类型	功能	复位值：0X00
0XAE	7:3	读写	保留，总应写 0	
	2	读写	1：唤醒引脚的子集低电平有效 0：所有唤醒引脚高电压有效	
	1	读写	0：锁存器开-通过 1：锁在器关 为保持某些设置，例如引脚方向，需要在系统进入深度睡眠和存储器保持节电模式前锁住锁存器。在唤醒后打开锁存器前必须重新设置这些寄存器。	
	0	读写	看门狗复位使能 0：如果看门狗使能则在非深度睡眠下会保持运行 1：如果在存储器保持和寄存器保持模式下看门狗将进入复位状态。	

注：如果看门狗使能位被使能，则在进入寄存器保持或存储器保持模式前必须在 CLKLF 使能后等待 LCKLF 的第一个负边沿。如果看门狗不使能或进入的是其他的掉电模式则不必等待。

### 11.3.4 复位结果 – RSTREAS

有 4 个复位源，这些复位源的复位操作序列是一样的  
片内复位

外部引脚复位  
看门狗复位  
硬件调试复位

RSTREAS 保存复位的原因，如果所有位为 0 则表示由芯片内部复位。写此寄存器会清 0 所有位。除非读后清 0，否则 RSTREAS 寄存器的值是累积的。也就是说如果调试器复位后紧接着看门狗也复位，则寄存器的值是 ‘110’。

地址	位	类型	功能
0XB1	7:3	-	未使用
	2:0	只读	000: 芯片内部复位 001: 外部引脚复位 010: 看门狗复位 100: 硬件调试器复位

### 11.3.5 唤醒配置寄存器 – WUCON

地址	位	类型	功能	复位值:0x00
0XA5	7:6	读写	00: 允许 RFIRQ 唤醒 (如果 IEN1.1=1) 01: 保留, 未使用 10: 允许 RFIRQ 唤醒 11: 忽略 RFIRQ	
	5:4	读写	00: 允许 TICK(RTC2)唤醒 (如果 IEN1.5=1) 01: 保留, 未使用 10: 允许 TICK 唤醒 11: 忽略 TICK	
	3:2	读写	00: 允许 WUOPIRQ 唤醒 (如果 IEN1.3=1) 01: 保留, 未使用 10: 允许 WUOPIRQ 唤醒 11: 忽略 WUOPIRQ	
	1:0	读写	00: 允许 MISCIRQ 唤醒 (如果 IEN1.4=1) 01: 保留, 未使用 10: 允许 MISCIRQ 唤醒 11: 忽略 MISCIRQ	

MISCIRQ 会在以下情况发生时置 1:

XOSC16M 启动并就绪  
ADC 完成转换, 结果数据可读  
RNG 完成, 新的随机数可读出

### 11.3.6 引脚唤醒配置寄存器

地址	名称	位	复位值	类型	描述
0XCE	WUOPC1	7:0	0X00	读写	n=1:允许从引脚唤醒

					n=0:禁止从相应的引脚唤醒
0XCF	WUOPC0	7:0	0X00	读写	n=1:允许从引脚唤醒 n=0:禁止从相应的引脚唤醒

WUOPCX 寄存器的功能与封装有关:

WUOPC bit	nRF24LE1-Q48 wakeup pins	nRF24LE1-32 wakeup pins	nRF24LE1-Q24 wakeup pins
WUOPC1(7)	P1.7	Not used	Not used
WUOPC1(8)	P3.6	P1.6	Not used
WUOPC1(5)	P3.5	P1.5	Not used
WUOPC1(4)	P3.4	P1.4*	Not used
WUOPC1(3)	P3.3	P1.3	Not used
WUOPC1(2)	P3.2	P1.2*	Not used
WUOPC1(1)	P3.1	P1.1	Not used
WUOPC1(0)	P3.0	P1.0	Not used
WUOPC0(7)	P2.7	P0.7	Not used
WUOPC0(6)	P2.6*	P0.6*	P0.6*
WUOPC0(5)	P2.5	P0.5	P0.5
WUOPC0(4)	P2.4	P0.4	P0.4
WUOPC0(3)	P2.3	P0.3	P0.3
WUOPC0(2)	P2.2*	P0.2	P0.2
WUOPC0(1)	P2.1	P0.1	P0.1
WUOPC0(0)	P2.0	P0.0	P0.0

Table 65. Configuration of pin wakeup

如果从 SPI 使能, 即 SPISCON0 寄存器位 0 被置位, 则 spiSlavdCsn 信号也是一个低电平有效的唤醒源。

## 12 电源管理

电源管理在上电时初始化系统, 为可能的电源失效提供预先警报, 并在供电电压太低不能够保证安全操作时重启系统。

### 12.1 特征

上电延时复位

所有系统模式下掉电复位

可编程设置阈值和中断的电源失效警告, 对程序存储器的数据进行硬件保护。

### 12.2 框图

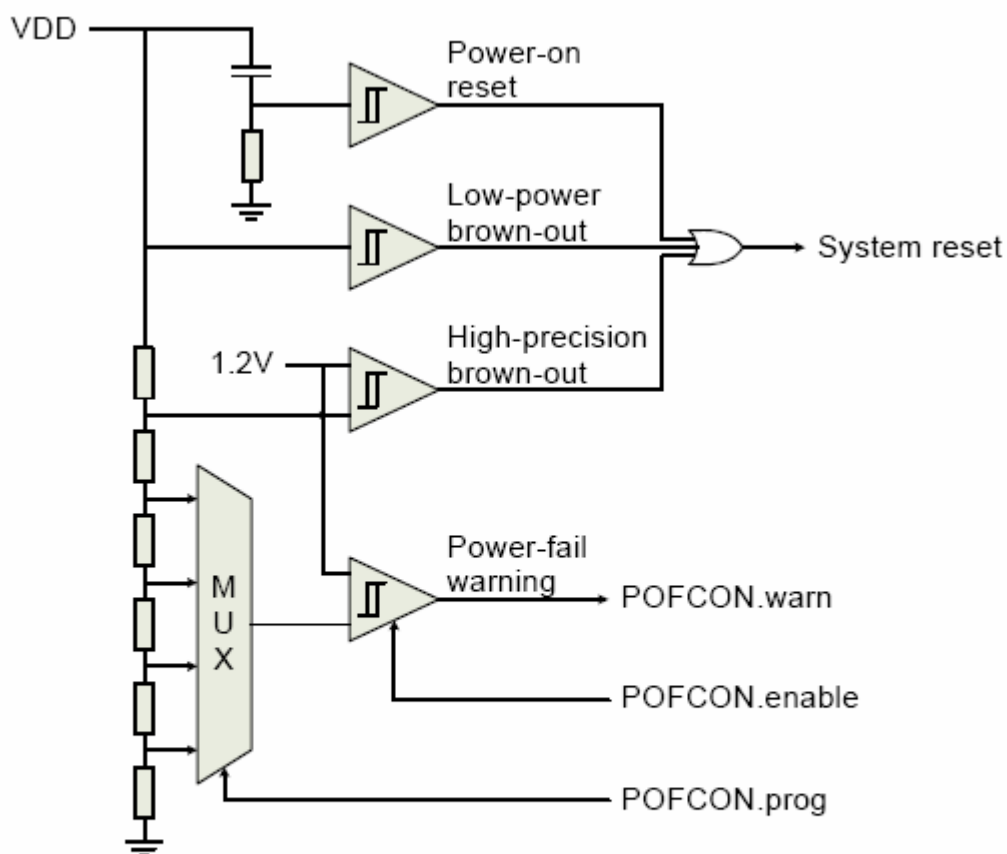


Figure 50. Block diagram of power supply supervisor

## 12.3 功能描述

### 12.3.1 上电复位

上电复位原理基于一个 RC 网络和一个比较器，如图 50 所示。为使操作正常，供电电压应单调上升且上升时间应符合表 112 的要求。系统在供电电压达到最小的可操作电压 1.9V 后至少保持 1 毫秒复位状态。

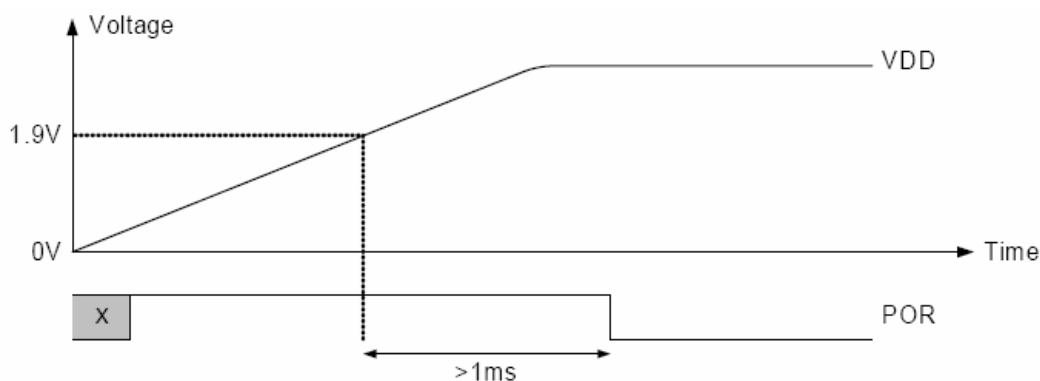


Figure 51. Power-on reset

### 12.3.2 掉电复位 (BOR)

掉电复位使供电电压低于 BOR 阈值值使系统进入复位状态。它由一个高精度（运行于激活或待机模式）比较器和一个低精度（可运行于各种模式）的比较器构成。这个模型有一个大约 1.7 V 的阈值电压，大约有 70mV 的滞后，这意味着如果供电电压低于 1.7V 时触发复位信号，供电电压必须在 nRF24LE1 可操作前必须升到 1.77V。这个滞后阻止了在 VDD 接近阈值时比较器输出的振荡。低电压比较器的典型阈值电压是 1.5V。

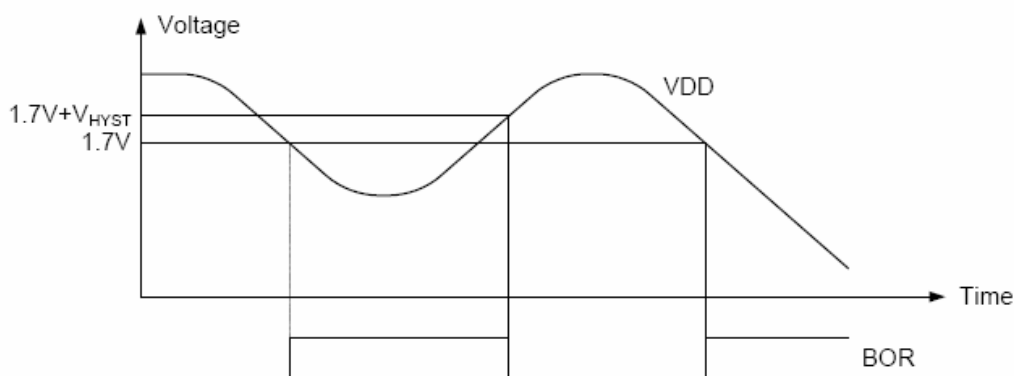


Figure 52. Brown-out reset

### 12.3.3 电源失效比较器 POF

POF 比较器为即将发生的电源失效提供预警。它不会复位系统，但为 MUC 提供时间准备有序的掉电。它也会阻止写指令执行以保护程序存储器的数据。

POF 比较器通过写 POFCON 寄存器 enable 位来使能或禁止。如果供电电压低于可设置的阈值时 warn 位被置为 1，同时会产生 POFIRQ 中断。只要 warn 位为 1，写指令就不会被执行。使用 prog 位配置想要设置的阈值电压：2.1, 2.3, 2.5, 2.7V。比较器有一个 0.1V 的滞后电压。

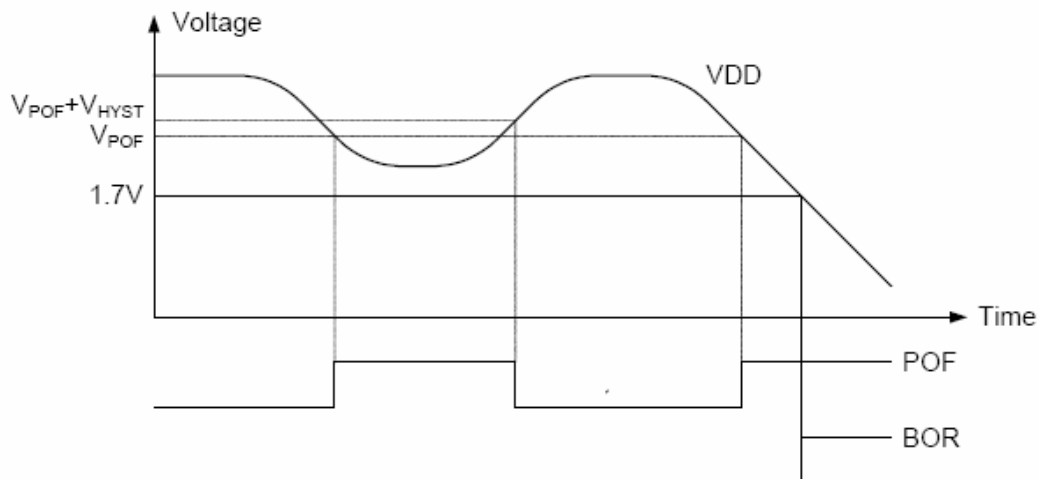


Figure 53. Power-fail comparator

## 12.4 特殊功能寄存器

地址	位	名称	类型	功能	复位值: 0x00
0XDC	7	enable	读写	0: 禁止 POF 比较器 1: 使能 POF 比较器	
	6:5	prog	读写	POF 阈值 00: 2.1V 01: 2.3V 10: 2.5V 11: 2.7V	
	4	warn	只读	0: VDD 大于阈值电压 1: VDD 低于阈值电压	
	3:0	-	-	未使用	

## 13 片内振荡器

nRF24LE1 包含两个高速和两个低速振荡器。主要的高频时钟源是 16MHz 晶体振荡器。同时也有一个可快速启动的 16MHz RC 振荡器，主要用于等待晶体振荡器启动时为系统提供高速时钟。低速时钟可以是 32.768 的晶体振荡器或 32.768KHz 的 RC 振荡器。也可以使用外部的 16MHz 和 32.768 KHz 时钟。

### 13.2 框图



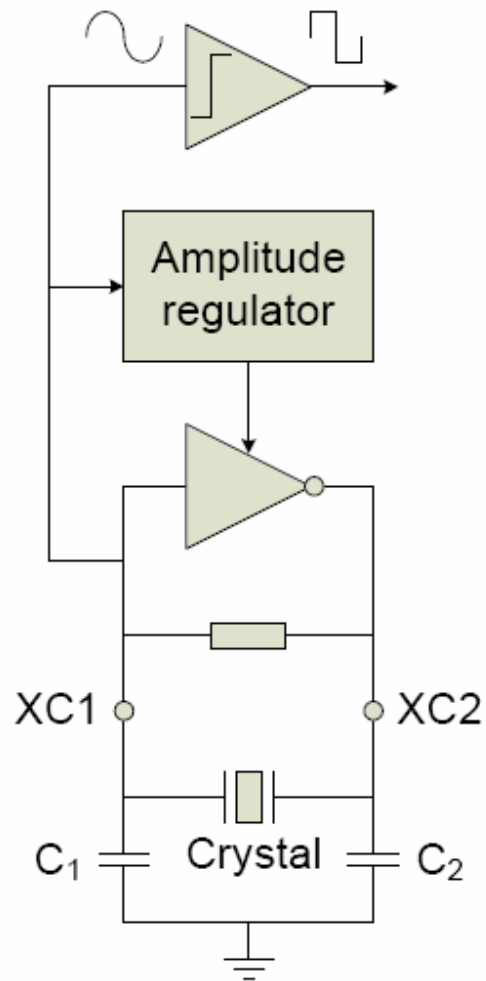


Figure 54. Block diagram of 16 MHz crystal oscillator

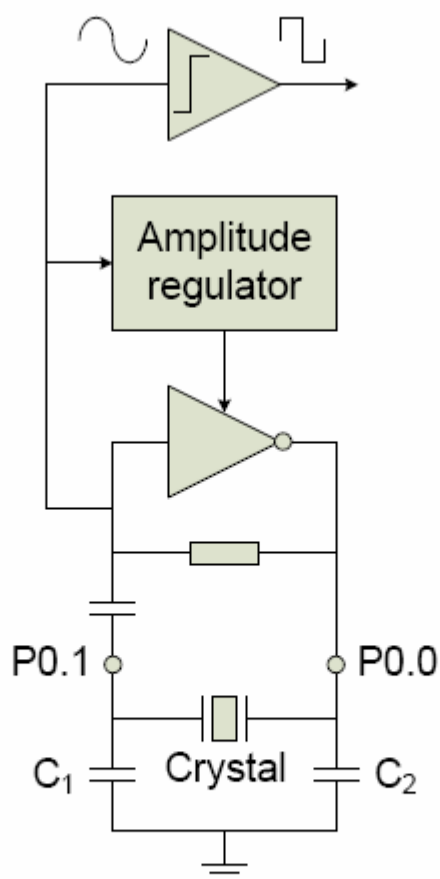


Figure 55. Block diagram of 32.768 kHz crystal oscillator

### 13.3 功能描述

#### 13.3.1 16 MHz 晶体振荡器

16 MHz 晶体振荡器被设计成以 AT 截法的并行共振模式。为获得准确的振荡频率，负载电容必须符合晶振手册的要求。

负载电容计算：

$$C_{LOAD} = \frac{C_1' \cdot C_2'}{C_1' + C_2'}$$

$$C_1' = C_1 + C_{PCB1} + C_{PIN}$$

$$C_2' = C_2 + C_{PCB2} + C_{PIN}$$

C1 C2是连接晶振与 VSS 的贴片陶瓷电容;CPCB1 和 CPCB2表示 PCB 寄生电容;CPIN 是 XC1 XC2 输入引脚上的电容，典型值为 1pF; C1 和 C2 的值应该一样或尽量接近。

为保证射频链路正常频率精确度应该为 $\pm 60\text{ppm}$ 或更高的精度。晶振的公差，温漂，老化和由于不合适的负载电容造成的频率牵引必须加以考虑。为了可靠的工作，晶振负载电容，寄生电容，等效串联电阻和驱动电平必须遵循 182 页（原手册）表格 114 的规定。如果负载电容值较大，推荐使用较小串联等效电阻的晶振。这将使启动更快同时消耗更少的电流。

对于负载电容为  $9\text{pF}$ ，等效串联电阻规格最大为  $60\ \Omega$  的晶振启动时间典型值为  $1\ \text{ms}$ ，这个值是针对  $3.2 \times 2.5$  大小的晶振来说的。如果你使用的晶振小于这个尺寸如  $2.0 \times 2.5$ ，则要注意晶振的启动时间。这些晶振的启动时间比尺寸大的晶振启动时间要长。为保证启动时间小于  $1.5\ \text{ms}$  可使用负载电容为  $6\text{pF}$  的晶振。低负载电容的晶振不仅启动时间较短且消耗的电容也较小。如果想了解更多关于怎样测量晶振启动时间的细节，请查看 nAN24-13 应用笔记。

晶振通常仅在系统活动或待机模式下才运行。如果希望进入寄存器保持模式下能在  $5\ \text{ms}$  内唤醒可以设置 CLKCTRL 寄存器第 7 位为 1 使得晶振在此模式仍然运行。这样做的原因是晶振重启需要额外的时间从而消耗电流。

### 13.3.2 16MHz RC 振荡器

16MHz RC 振荡器（RCOSC16M）主要用于在晶振启动时为系统提供高速的时钟。它能在几毫秒内启动并且频率精确在 $\pm 5\%$ 。

默认情况下  $16\ \text{MHz}$  RC 振荡器和晶振是同时启动的。在晶振稳定前由 RC 振荡器提供时钟。系统会自动切换到晶振振荡器时钟并关闭 RC 振荡器以节电。通过 CLKCTRL 第 3 位可以查询目前是哪个振荡器在提供高速时钟。

通过 CLKCTRL 第 4 和第 5 位可配置系统仅启动 2 个  $16\text{MHz}$  时钟的其中一个。注意如果高速时钟由 RC 振荡器提供则射频收发器是不可用的并且 ADC 的性能也会降低。

### 13.3.3 外部 16 MHz 时钟

nRF24LE1 可以通过 XC1 脚从外部输入  $16\ \text{MHz}$  的时钟。如果使用外部输入的时钟则设置 CLKCTRL 寄存器第 6 位为 1（这通常用于测试和开发，正常情况下此位必须清 0）。输入信号也可以是来自如微控制器的晶振的模拟信号，此时 nRF24LE1 的晶体振荡器必须开启以反模拟信号转为数字时钟信号。为使能振荡器 CLKCTRL 寄存器第 6 位必须为 0，第 5 和第 4 位必须 ‘10’。输入的信号峰峰值最好大于  $0.8\text{V}$  以获得更小的电流消耗和更好的信噪比。直流电平并不重要，只要不高于 VDD 和低于 VSS。XC1 引脚将使微控制器晶振除了 PCB 布线因素外增加  $1\text{pF}$  的电容，XC2 不应该连接。

注：晶振的精度应高于等于  $\pm 60\ \text{ppm}$ 。

### 13.3.4 32.768 KHz 晶体振荡器

$32.768\ \text{KHz}$  晶体振荡器在除了深度睡眠和存储器保持，定时器关闭的所有其他模式下可工作。它通过 CLKCTRL[2:0] 设置为 ‘000’ 使能。

晶振连接于 P0.0 和 P0.1 引脚，一时振荡器被使能这两个脚自动配置为晶振引脚。为获得正确的振荡频率，负载电容必须符合晶振的数据手册上的要求。

$$C_{LOAD} = \frac{C_1' \cdot C_2'}{C_1' + C_2'}$$

$$C_1' = C_1 + C_{PCB1} + C_{PIN}$$

$$C_2' = C_2 + C_{PCB2} + C_{PIN}$$

C1 C2 是连接晶振与 VSS 的贴片陶瓷电容;CPCB1 和 CPCB2 表示 PCB 寄生电容;CPIN 是 P0.0 和 P0.1 输入引脚上的电容, 典型值为 3pF; C1 和 C2 的值应该一样或尽量接近。振荡器振幅与 16 MHz 晶振的要求类似。为了可靠的操作, 晶振的公差, 温漂, 老化和由于不合适的负载电容造成的频率牵引必须加以考虑。为了可靠的工作, 晶振负载电容, 寄生电容, 等效串联电阻和驱动电平必须遵循规定。如果负载电容值较大, 推荐使用较小串联等效电阻的晶振。这将使启动更快同时消耗更少的电流。

对于负载电容为 9pF, 寄生电容为 1pF, 串联等效电阻 ESR 为 50K 欧姆的晶振启动时间通过小于 0.5 秒。可通过查询 CLKLFCTRL 寄存器第 6 位检测振荡器是否已就绪。

### 13.3.5 32.768 KHz RC 振荡器

如果时钟频率精度要求在+10%以内则低频时钟可以通过 32.768 KHz RC 振荡器产生而不是晶体振荡器产生。这样做可以节省晶振的费用并且 P0.0 和 P0.1 引脚也可以用于其他用途。32.768 KHz RC 振荡器通过设置 CLKLFCTRL[2:0]为'001'使能。典型启动时间小于 0.5 毫秒。CLKLFCTRL 寄存器第 6 位可用于检测振荡器是否已就绪。

### 13.3.6 合成 32.768 KHz 时钟

低频时钟也可以通过 16 MHz 晶体振荡器合成。这可以通过设置 CLKLFCTRL[2:0]为'010'完成。合成时钟仅可以在 16 MHz 晶体振荡器激活的情况下可用(这可能是寄存器保持, 待机, 活动模式)

### 13.3.7 外部 32.768 KHz 时钟

nRF24LE1 可使用从 P0.1 引脚输入的外部 32.768 KHz 时钟。如果外部时钟是全摆幅数字信号则设置 CLKLFCTRL[2:0] 为 '100', 如果是来自于类似微控制器的晶振的模拟信号, 则设置为 '011'。模拟输入信号的幅度峰值必须大于等于 0.2V。直流电平并不重要只要不超过 VDD 不低于 VSS。P0.1 将使晶振在不考虑 PCB 布局的因素增加大约 3pF 的电容。

## 14 乘除单元 - MDU

乘除单元是一个片上算术协处理器, 可提高 32 位除法, 16 位乘法, 移位等操作的速度。它通过 MD0...MD5 和 ARCON 寄存器进行控制

### 14.2 框图

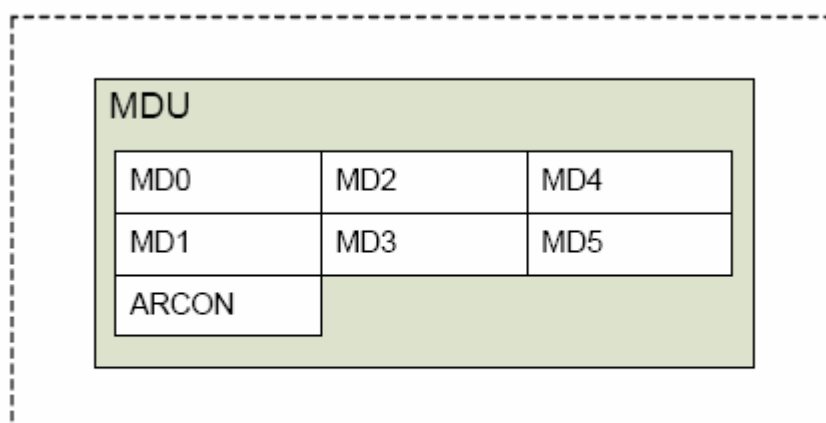


Figure 56. Block diagram of MDU

### 14.3 功能描述

所有操作为无符号整数操作。操作数和结果保存在 MD0...MD5 寄存器。所有计算会覆盖操作数。

MDU 不允许代码重入并且不能在主程序和中断程序中同时使用。使用 NOMDU\_R515 编译指示禁止 MDU 操作以避免可能的冲突。

### 14.4 特殊功能寄存器

地址	寄存器名
0XE9	MD0
0XEA	MD1
0XEB	MD2
0XEC	MD3
0XED	MD4
0XEE	MD5

#### ARCON 寄存器控制并指示 MDU 的状态

地址	复位值	位	名称	描述
0XEF	0X00	7	mdef	MDU 出错标志 MDEF, 表明包含不正确的执行操作 (当一个操作被重启或启动新的操作)
		6	mdov	MDU 溢出标志 MDOV
		5	slr	移位方向 0: 左移 1: 右移
		4:0	sc	移位位数

MDU 操作包含以下阶段:

#### 14.4.1 加载 MDX 寄存器

Operation	32 bit/16 bit		16 bit / 16 bit		16 bit x 16 bit		Shift/normalize
first write	MD0 (lsb)	Dividend	MD0 (lsb)	Dividend	MD0 (lsb) Num1	MD0 (lsb)	Number
	MD1		MD1 (msb)		MD4 (lsb) Num2		
	MD2					MD1	
	MD3 (msb)					MD2	
						MD3 (msb)	
last write	MD4 (lsb)	Divisor	MD4 (lsb)	Divisor	MD1 (msb) Num1	ARCON	
	MD5 (msb)		MD5 (msb)		MD5 (msb) Num2		

Table 69. MDU registers write sequence

- 1.写 MD0 开启任意操作
- 2.写操作类型
- 3.写 MD5 或 ARCON 开始操作

在写 MD0 和最后写 MD5 之间写 MD2 或 MD3 时，则认为是 32/16 位除法操作

在写 MD5 前写 MD4 或 MD1，则认为是 16/16 位除法或 16\*16 位乘法操作。其中写 MD4 认为是 16/16 位除法操作，写 MD1 表示 16\*16 乘法操作。

#### 14.4.2 执行计算

执行操作期间，MDU 与 MCU 是并行工作的

Operation	Number of clock cycles	
Division 32bit/16bit	17 clock cycles	
Division 16bit/16bit	9 clock cycles	
Multiplication	11 clock cycles	
Shift	min. 3 clock cycles (sc = 01h)	max 18 clock cycles (sc = 1Fh)
Normalize	min. 4 clock cycles (sc <= 01h)	max 19 clock cycles (sc <= 1Fh)

Table 70. MDU operations execution times

#### 14.4.3 从 MDX 读结果

Operation	32 bit/16 bit		16 bit / 16 bit		16 bit x 16 bit		Shift/normalize
first read	MD0 (lsb)	Quotient	MD0 (lsb)	Quotient	MD0 (lsb)	Product	Number
	MD1		MD1 (msb)		MD1		
	MD2				MD2		
	MD3 (msb)						
last read	MD4 (lsb)	Remainder	MD4 (lsb)	Remainder	MD3 (msb)		
	MD5 (msb)		MD5 (msb)				

Table 71. MDU registers read sequence

先读哪个寄存器不关键，但最后一个读操作（读 MD5-除法 读 MD3-乘法，移位或正常操作）决定了整个计算的结束。

#### 14.4.5 移位操作

移位操作中保存在 MD0...MD3 中的 32 位整数被左移或右移。移位操作期间，右移操作 0 进入 MD3 最左端，左移操作则 0 进入 MD0 最后端。（即空出位补 0）

#### 14.4.6 mdef 标志

mdef 错误标志表明有不正确的执行操作。此机制在第一次写入 md0 时自动允许并在第三阶段最后一个读指令执行后禁止。

以下两种情况会设置错误标志

- 1.在 MDU 第二个阶段操作期间写 MD0...MD5
- 2.MDU 两个阶段间读 MDX 寄存器。这种情况下错错误标志被设置但不会打断计算

错误标志仅在读 ARCON 寄存器后被复位，此标志位只读。

#### 14.4.7 mdov 标志

mdov 溢出标志在以下情况会被设置：

1. 除数为 0
- 2.乘法操作结果大于 0000 FFFFh
- 3.MD3.7=1 时开启规格化（normalizing）操作

任何不符合以上条件的操作会清除此溢出标志。这个标志是由硬件设置的，不可以由软件设置。

## 15 加密解密加速器

加密解密加速器能使加密解密速度加快并省电。加速器是一个 8 by 8 的有限域的倍加器，共有 8 位输出。使用的多项式是  $m(x)=x^8+x^4+x^3+x+1$ ，这也是 AES 加密标准使用的多项式。

### 15.1 特征

Nordic 提供固件

输入数据后一个时钟周期就可得到结果

### 15.2 框图

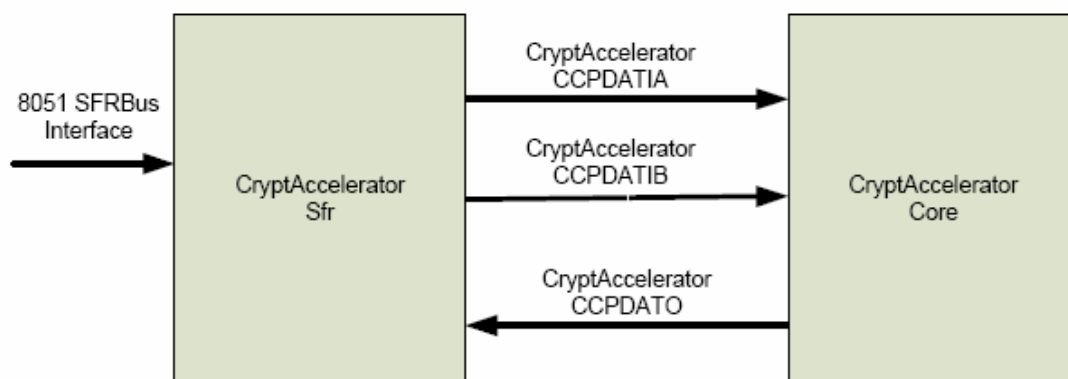


Figure 57. Encryption/decryption accelerator

### 15.3 功能描述

地址	名称	位	复位值	类型	描述
----	----	---	-----	----	----

0XDD	CCPDATIA	7:0	0X00	读写	数据输入寄存器 A
0XDE	CCPDATIB	7:0	0X00	读写	数据输入寄存器 B
0XDF	CCPDATIC	7:0	0X00	只读	数据输出寄存器

数据输入寄存器中的一个数据变化后一个时钟周期 CCPDATO 将更新。

## 16 随机数发生器

nRF24LE1 内嵌一个使用热噪声产生非确认性比特流的随机数发生器。采用了数字校正算法使得输出的比特流均衡分布。比特位进入一个 8 位的寄存器并被并行读出。

### 16.1 特征

- 基于热噪声的非确认性架构
- 不需要随机数种子
- 不会产生重复的序列
- 校正算法保证了随机数的均衡分布
- 数据速率达 10KB 每秒
- 处理器待机时运行

### 16.2 框图

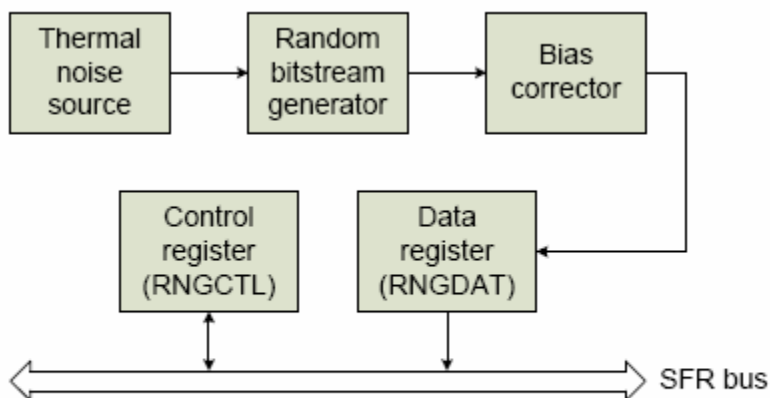


Figure 58. Block diagram of RNG

### 16.3 功能描述

通过写 1 到 powerUp 控制位启动发生器, 当有可数据可从 RNGDAT 寄存器读出时 resultReady 状态位置 1. 每一个新字节产生时也会产生一个中断信号 (RNGIRQ). 如果 RNG 电源没有启动则数据寄存器和结果状态位的内容是无效的。当上电并置位电源控制位后, 数据寄存器和结果状态位的内容被清空, 不管是否已读。

可通过清空 correctorEn 位关闭数据校正器以获取实质性的速度优势, 但这样将使随机数据不能完全均衡分布。

随机数产生的时间是不可预测的, 尤其是数据校正器启用后。在关闭数据校正器的情况下产



生一个字节随机数平均需要 0.1 毫秒，如果启用数据校正器，时间将是 4 倍。随机数发生器启动电源后产生第一个字节有约 0.25 毫秒的延时。

## 16.4 特殊功能寄存器

### RNGCTL

地址	位	名称	类型	描述
0XD6	7	powerUP	读写	上电控制
	6	correctorEn	读写	使能数据校正器
	5	resultReady	只读	数据就绪标志 当 RNGDAT 寄存器有新的数据时置 1， 当数据被读出和从失电到上电时被清 0
	4:0			不使用

### RNGDAT

地址	位	名称	类型	描述
0XD7	7:0	data	只读	随机数数据

## 17 通用 IO 和引脚分配

nRF24LE1 的 IO 引脚默认是作为通用 IO 用的,IO 的数量 QFN 24 是 7,QFN32 是 15,QFN48 是 31. IO 引脚与其他如 SPI 的外设是复用的。

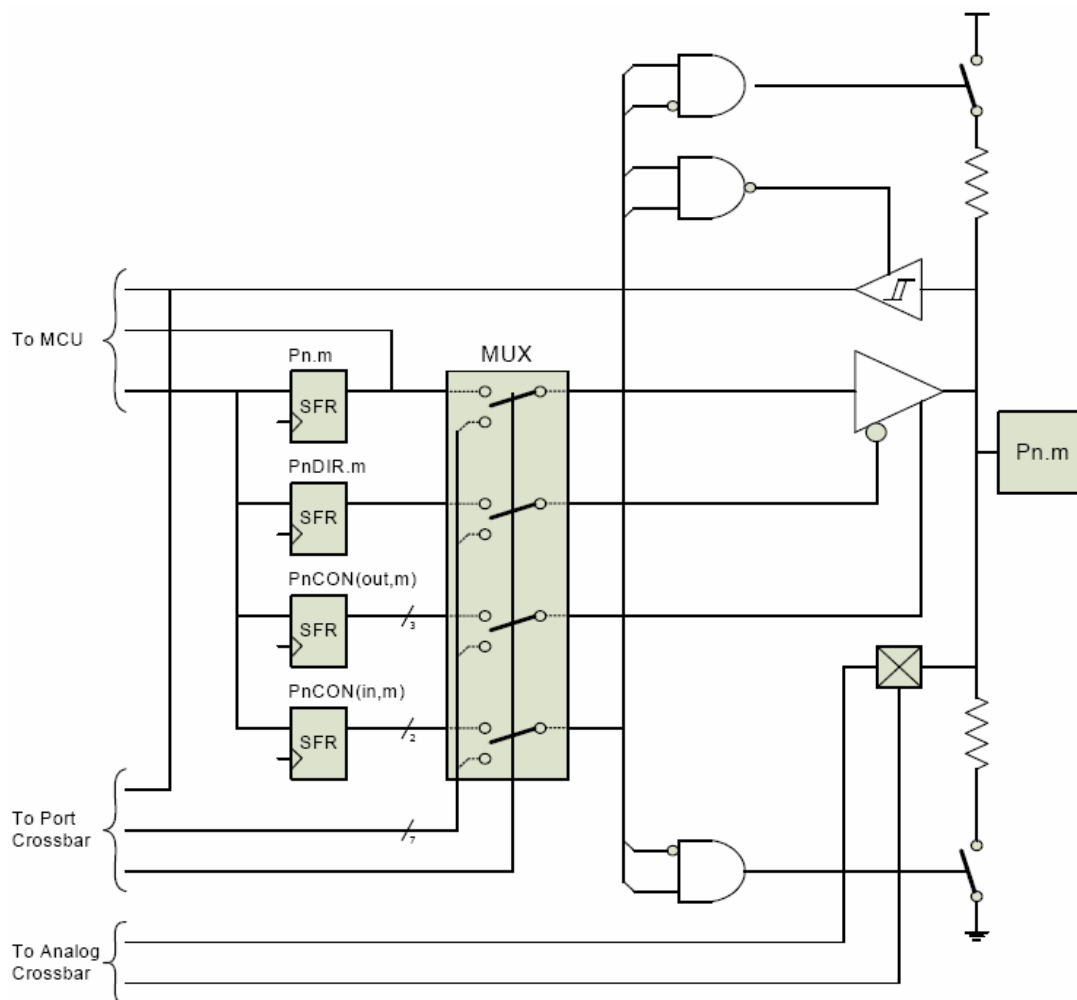


Figure 59. IO pin circuitry block diagram

## 17.2 功能描述

### 17.2.1 通用 IO 引脚功能

引脚特性:

数据或模拟

方向可配置

驱动能力可配置

上拉下拉可配置

nRF24LE1 的引脚默认是连到与 GPIO 寄存器相连的多路多路器 (MUX) 的.寄存器 Pn.m(n 表示端口号, m 表示位)包含了 GPIO 的数据, PDIRn.m 寄存器控制输入输出方向。PCONn.m 寄存器控制驱动能力和每个引脚的上拉下拉电阻。

当外设启用时, 引脚多路器被交叉开关模块控制从而设置方向和引脚特性。

如果引脚是作为模拟输入使用, MCU 必须分别设置 PDIR 寄存器和 PCON 寄存器以防止引脚和模拟外设的冲突。

每个端口有一个 **Pn.m**, **PnDIRm** 和 **PnCONn**. **Pn.m** 和 **PnDIRm** 仅控制各自的参数, 这意味着一次读写操作是直接控制/读引脚状态。然而控制或读一个引脚的状态你要每次使用 **PnCONm** 去读写一个引脚。

可用的特性:

- 输出缓冲开, 正常驱动
- 输出缓冲开, 强驱动
- 输入缓冲开, 没有上拉/下拉电阻
- 输入缓冲开, 上拉电阻
- 输入缓冲开, 下拉电阻
- 输入缓冲关

例: 如果端口 3 的 4 个引脚被设置为带上拉电阻的输入引脚, 那么可通过以下操作完成: 写一次 **P3DIR** 寄存器和写 4 次 **P3CON**, 并且每次写要更新 **P3CON** 中的引脚地址。

## 17.2.2 端口交叉开关功能

### 17.2.2.1 动态分配引脚

端口交叉开关根据系统需要动态改变连接, 通常小封装会有引脚分配冲突的情况, 可通过为每个外设模块分配一个优先集解决。

### 17.2.2.2 数字模块动态引脚分配

当一个数字模块使能时, 如果没有比它更高优先级的模块被使能, 则这些引脚分配给这个模块。如果两个模块仅有部分引脚冲突, 那么仍按优先级把所有引脚分配给高优先级的模块。

### 17.2.2.3 模拟模块动态引脚分配

模拟 IO 的分配与数据 IO 分配类似, 但模拟引脚分配仅分配真正使用到的输入引脚, 不会像数字模块那样把模块相关的引脚全部保留。

注: 此实现并不会防止数字和模拟模块同时使用一个引脚产生的冲突。如果一个引脚被作为模拟输入引脚, 通常要关闭与该引脚相连的数字 IO 缓冲和数字外设模块。模拟模块之间的冲突按优先级决定。

**XOSC32K** 对 IO 的分配需求也是在运行时编程设定。

如果一个引脚被设定为模拟功能, 则该引脚的数字部分配置不用修改或禁用。有些模拟引脚正常工作要配置一些特殊的数字输入或输出设置, 则必须在模拟模块使能前分别在 **PxCON** 和 **PxDIR** 寄存器分别进行配置。

### 17.2.2.4 默认引脚分配

系统重启后所有 IO 配置为数字输入。

引脚的特性与引脚方向设置也有关, 如 **QFN24** 引脚 **P0.6** 设置为输入, 则它可以作为通用输入和 **UART** 接收。如果 **P0.5** 被配置为输出, 则它可以作为通用输出但也可以有条件地通

过一个与门从 UART/TXD 发出。

### 17.3 IO 引脚映射

以下惯例用于所有引脚映射

数字外设模块的动态连接，每个引脚的方向以接口名+in 或 out 或 inout

模拟模块的动态连接以 ana 表示

存在潜在冲突的数字外围模块 IO 以蓝背景高亮表示

以绿背景标注的块，可能与其他绿和蓝色的设备存在冲突，是否会冲突由配置决定。

表头列出了数字外设模块的相关优先级

#### 17.3.1 24 脚封装的引脚分配

SMISO 引脚驱动仅在 SCSN 脚本激活时被使能。

Pin	Default connections		Dynamically enabled connections						
	Inputs <sup>a</sup>	Outputs <sup>a</sup>	XOSC32K	SPI Master	Slave/Flash SPI	HW Debug	2-Wire	PWM	ADC/COMP
P0.6	p0Di.6 UART7 RXD	p0Do.6	priority 1	priority 2	priority 3	priority 4	priority 5	priority 6	priority 7
P0.5	p0Di.5 UART7 TXD	p0Do.5			SCSN <sup>b</sup> FCSN <sup>b</sup>	in in	OCITD0 out	W2SDA inout	PWM1 out AIN5 ana
P0.4	p0Di.4 T0	p0Do.4		MMISO <sup>c</sup> in	SMISO <sup>c</sup> out	OCITD1 in			AIN4 ana
P0.3	p0Di.3	p0Do.3		MMOSI <sup>c</sup> out	SMOSI <sup>c</sup> in	OCITMS in		PWM0 out	AIN3 ana
P0.2	p0Di.2 GPIN11	p0Do.2		MSCK <sup>c</sup> out	SSCK <sup>c</sup> in	OCITCK in			AIN2 ana
P0.1	p0Di.1	p0Do.1	CLKLFC <sup>d</sup>						AIN1 ana
P0.0	p0Di.0 GPIN10	p0Do.0	CLKLFD <sup>d</sup> ana						AIN0 ana
Conflict exists, use priorities to determine IO allocation									
Conflict may exist depending on device configuration. In the case of a conflict, use priorities to determine IO allocation									

注：

- 前缀 p<x>Di 和前缀 p<x>Do 表明了正常情况下引脚的功能
- BFLASH 的 SPI 接口仅在 PROG 为高时激活，在运行时不存在冲突
- 连接由 CLKLFCTRL[2:0]决定
  - CLKLFCTRL[2:0]=000:连接到 P0.0 P.1 晶振
  - CLKLFCTRL[2:0]=011:CLKLF 低幅度时钟源从模拟引脚 P0.1 输入
  - CLKLFCTRL[2:0]=100:CLKLF 数字时钟源
- 连接取决于 CLKLFCTRL[2:0]
  - CLKLFCTRL[2:0]=000:连接到 P0.0 P.1 晶振

#### 17.3.2 32 脚封装引脚分配

pin	Default connections		Dynamically enabled connections								
	Inputs	Outputs	XOSC32K	SPI Master	Slave/Flash SPI		PWM	ADC/COMP		HW Debug	2-Wire
			priority 1	priority 2	priority 3		priority 4	priority 5		priority 6	priority 7
P1.6	p1Di.6	p1Do.6		MMISO in							
P1.5	p1Di.5	p1Do.5		MMOSI out							
P1.4	p1Di.4	p1Do.4		MSCK out							
P1.3	p1Di.3	p1Do.3							OCITO	out	
P1.2	p1Di.2	p1Do.2						AIN10	ana	OCITDO	out
P1.1	p1Di.1	p1Do.1			SCSN	in		AIN9	ana	OCITDI	in
					FSOSN <sup>a</sup>	in					
P1.0	p1Di.0	p1Do.0			SMISO	out		AIN8	ana	OCITMS	in
	T1				FMISO <sup>a</sup>	out					
P0.7	p0Di.7	p0Do.7			SMOSI	in		AIN7	ana	OCITCK	in
	T0				FMOSI <sup>a</sup>	in					
P0.6	p0Di.6	p0Do.6						AIN6	ana		
	GPINT1										
P0.5	p0Di.5	p0Do.5			SSCK	in		AIN5	ana		W2SDA in/out
	GPINT0				FSCK <sup>a</sup>	in					
P0.4	p0Di.4	p0Do.4						AIN4	ana		W2SCL in/out
	UART/RXD										
P0.3	p0Di.3	p0Do.3					PWM1	out	AIN3	ana	
	UART/TXD										
P0.2	p0Di.2	p0Do.2					PWM0	out	AIN2	ana	
P0.1	p0Di.1	p0Do.1	CLKLF <sup>b</sup>						AIN1	ana	
P0.0	p0Di.0	p0Do.0	CLKLF < ana						AIN0	ana	
	Conflict exists, use priorities to determine I/O allocation										
	Conflict may exist depending on device configuration. In the case of a conflict, use priorities to determine I/O allocation										

### 17.3.3 48 引脚封装引脚分配

Pin	Default connections		Dynamically enabled connections							
	Inputs	Outputs	XOSC32K	ADC/COMP	SPI Master	Slave/Flash SPI	PWM	HW Debug	2-Wire	
			priority 1	priority 4	priority 2		priority 6	priority 5	priority 7	
P3.6	p3Di.6	p3Do.6								
P3.5	p3Di.5	p3Do.5								
P3.4	p3Di.4	p3Do.4								
P3.3	p3Di.3	p3Do.3								
P3.2	p3Di.2	p3Do.2								
P3.1	p3Di.1	p3Do.1								
P3.0	p3Di.0	p3Do.0								
P2.7	p2Di.7	p2Do.7								
P2.6	p2Di.6	p2Do.6								
P2.5	p2Di.5	p2Do.5								
P2.4	p2Di.4	p2Do.4								
P2.3	p2Di.3	p2Do.3								
P2.2	p2Di.2	p2Do.2								
P2.1	p2Di.1	p2Do.1								
P2.0	p2Di.0	p2Do.0				FSOSN <sup>a</sup> in				
P1.7	p1Di.7	p1Do.7								
	T2									
P1.6	p1Di.6	p1Do.6				FMISO <sup>a</sup> out				
	T1									
P1.5	p1Di.5	p1Do.5		AIN13 ana		FMOSI <sup>a</sup> in		OCITO out		
P1.4	p1Di.4	p1Do.4		AIN12 ana				OCITDO out		
	GPINT2									
P1.3	p1Di.3	p1Do.3		AIN11 ana				OCITDI in	W2SDA inout	
	GPINT1									
P1.2	p1Di.2	p1Do.2		AIN10 ana		FSCK <sup>a</sup> in		OCITMS in	W2SCL inout	
	GPINT0									
P1.1	p1Di.1	p1Do.1		AIN9 ana				OCITCK in		
	UART/RXD									

p1.0 p1Di.0	p1Do.0 UAR1/1XD		AIN8	ana	MMISO	in		
p0.7 p0Di.7	p0Do.7		AIN7	ana	MMOSI	out	PWM0	out
p0.6 p0Di.6	p0Do.6		AIN8	ana	MOSCK	out	PWM1	out
p0.5 p0Di.5	p0Do.5		AIN5	ana			SCSN	in
p0.4 p0Di.4	p0Do.4		AIN4	ana			SMISO	out
p0.3 p0Di.3	p0Do.3		AIN3	ana			SMOSI	in
p0.2 p0Di.2	p0Do.2		AIN2	ana			SSCK	in
p0.1 p0Di.1	p0Do.1	CLKLF <sup>h</sup>	AIN1	ana				
p0.0 p0Di.0	p0Do.0	CLKLF <sup>s</sup>	AIN0	ana				

Conflict may exist depending on device configuration. In the case of a conflict, use priorities to determine IO allocation.

### 17.3.4 可编程寄存器

P0DIR 地址:0X93 复位值:0XFF

位	名称	类型	功能
7: 0	dir	读写	P0.0-P0.7 方向设置 0 表示输出 1 表示输入 P0.7 仅在 32 脚和 48 脚封装中存在

P1DIR 地址:0X94 复位值:0XFF

位	名称	类型	功能
7: 0	dir	读写	24 脚封装没有 P1 端口 P1.0-P1.7 方向设置 0 表示输出 1 表示输入 P1.7 仅在 48 脚封装中存在

P2DIR 地址:0X95 复位值:0XFF

位	名称	类型	功能
7: 0	dir	读写	P2.0-P2.7 方向设置 0 表示输出 1 表示输入 端口 2 仅在 48 脚封装中存在

P3DIR 地址:0X96 复位值:0XFF

位	名称	类型	功能
7: 0	dir	读写	P3.0-P0.6 方向设置 0 表示输出 1 表示输入 端口 3 仅在 48 脚封装中存在

PxCON 寄存器用于设置每个引脚的输入输出选项。配置每个引脚都要写一次 PxCON 寄存器。要读一个引脚的当前输入输出选项，首先要进行一次写操作以检索想要读的位地址和选项类型（输入或输出）。例如，要读 P0.5 的输出模式：写二进制地址值 101，一个读地址值 1 和一个输入输出值 0 到 P0CON，然后从 P0CON 读数据，读到的数据中 7: 5 位则是引脚 5 的输出模式。

P0CON 地址: 0X9E 复位值: 0X00

位	名称	类型	功能
7: 5	pinMode	读写	P0.0-P0.7 的输入或输出模式 inOut 决定是输入或输出模式，bitAddr 决定读写哪个脚  7: 5 输出模式： 000 数字输出缓冲正常驱动 011 数字输出缓冲强驱动 其他值非法

			6: 5 输入模式: 00 数字输入缓冲开, 没有上拉/下拉电阻 01 数字输入缓冲开, 有下拉电阻 10 数字输入缓冲开, 有上拉电阻 11 数字输入缓冲关																																				
4	inOut	写	0: 读写输出配置 1: 读写输入配置																																				
3	readAddr	写	1: 当前写操作是提供位地址, 结果 bitAddr 值被保存, inOut 的值是否被保存取决于要读的是输入还是输出模式。当 readAddr=1 时 pinMode 的值意义, 如果 readAddr=0, 引脚模式被更新, inOut 决定了要更新的是输入还是输出模式																																				
2: 0	bitAddr	写	如果 readAddr=1, bitAddr 的值被保存, 随后的读操作这个值决定了读哪个引脚  <table border="1"> <thead> <tr> <th></th> <th>7×7mm</th> <th>5×5mm</th> <th>4×4mm</th> </tr> </thead> <tbody> <tr> <td>bitAddr = 000</td> <td>- P0.0</td> <td>P0.0</td> <td>P0.0</td> </tr> <tr> <td>bitAddr = 001</td> <td>- P0.1</td> <td>P0.1</td> <td>P0.1</td> </tr> <tr> <td>bitAddr = 010</td> <td>- P0.2</td> <td>P0.2</td> <td>P0.2</td> </tr> <tr> <td>bitAddr = 011</td> <td>- P0.3</td> <td>P0.3</td> <td>P0.3</td> </tr> <tr> <td>bitAddr = 100</td> <td>- P0.4</td> <td>P0.4</td> <td>P0.4</td> </tr> <tr> <td>bitAddr = 101</td> <td>- P0.5</td> <td>P0.5</td> <td>P0.5</td> </tr> <tr> <td>bitAddr = 110</td> <td>- P0.6</td> <td>P0.6</td> <td>P0.6</td> </tr> <tr> <td>bitAddr = 111</td> <td>- P0.7</td> <td>P0.7</td> <td>reserved</td> </tr> </tbody> </table>		7×7mm	5×5mm	4×4mm	bitAddr = 000	- P0.0	P0.0	P0.0	bitAddr = 001	- P0.1	P0.1	P0.1	bitAddr = 010	- P0.2	P0.2	P0.2	bitAddr = 011	- P0.3	P0.3	P0.3	bitAddr = 100	- P0.4	P0.4	P0.4	bitAddr = 101	- P0.5	P0.5	P0.5	bitAddr = 110	- P0.6	P0.6	P0.6	bitAddr = 111	- P0.7	P0.7	reserved
	7×7mm	5×5mm	4×4mm																																				
bitAddr = 000	- P0.0	P0.0	P0.0																																				
bitAddr = 001	- P0.1	P0.1	P0.1																																				
bitAddr = 010	- P0.2	P0.2	P0.2																																				
bitAddr = 011	- P0.3	P0.3	P0.3																																				
bitAddr = 100	- P0.4	P0.4	P0.4																																				
bitAddr = 101	- P0.5	P0.5	P0.5																																				
bitAddr = 110	- P0.6	P0.6	P0.6																																				
bitAddr = 111	- P0.7	P0.7	reserved																																				

以下寄存器

P1CON (地址 0X9F 复位值: 0X00)

P2CON (地址 0X97 复位值: 0X00)

P3CON (地址 0X8F 复位值: 0X00)

请参考 P0CON

当 IO 端口被用作 GPIO 时, 引脚值通过 P3—P0 寄存器读取和控制

地址	名称	位	复位值	类型	描述
0XB0	P3	7:0	0XFF	读写	P3 端口值
0XA0	P2	7:0	0XFF	读写	P2 端口值
0X90	P1	7:0	0XFF	读写	P1 端口值
0X80	P0	7:0	0XFF	读写	P0 端口值

## 18 SPI

nRF24LE1 有一个双缓冲串行外围设备接口 (SPI), 支持四种 SPI 模式, 默认为模式 0.

主 SPI 不会自动产片选信号 (CSN), 通常由使用一个数字 IO 口作为片选信号。

## 18.1 特征

- 双缓冲 FIFO
- 全双工操作
- 支持 4 种 SPI 模式
- 数据端序可配置（先发高位还是低位）
- 主 SPI 有 4 个中断源，从 SPI 有 3 个中断源

## 18.2 框图

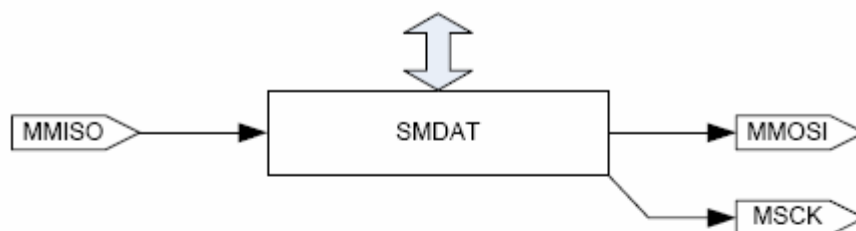


Figure 60. SPI Master

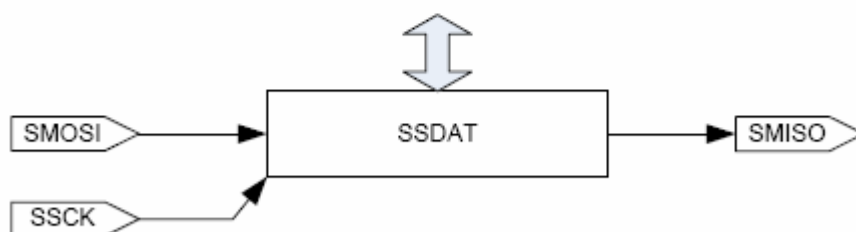


Figure 61. SPI Slave

## 18.3 功能描述

### 18.3.1 主 SPI

地址	名称	位	复位值	类型	描述
0XFC	SPIMCON0	6:0	0X20	读写	主 SPI 配置寄存器 0
	clockFrequency	6:4	01	读写	主 SPI 时钟频率(ckMCU:MCU 时钟) 000:1/2*ckMCU 001:1/4*ckMCU 010:1/8*ckMCU 011:1/16*ckMCU



					100:1/32*ckMCU 101:1/64*ckMCU 110:1/64*ckMCU 111:1/64*ckMCU
	dataOrder	3	0	读写	1: LSB 在前, MSB 在后 0: MSB 在前, LSB 在后
	clockPolarity	2	0	读写	1: MSCK 低有效 0: MSCK 高有效
	clockPhase	1	0	读写	1: MSCK 下降沿采样数据, 上升沿移位数据 0: MSCK 上升沿采样数据, 下降沿移位数据
	spiMasterEnable	0	0	读写	1: 主 SPI 开启, SPI 时钟运行 0: 主 SPI 禁止, SPI 仍运行
0XFD	SPIMCON1	3:0	0X0F	读写	主 SPI 配置寄存器 1
	maskIrqRxFifoFull	3	1	读写	1: RX FIFO 满时禁止中断 0: RX FIFO 满时允许中断
	maskIrqRxDataReady	2	1	读写	1: RX FIFO 有数据时禁止中断 0: RX FIFO 有数据时允许中断
	maskIrqTxFifoEmpty	1	1	读写	1: TX FIFO 中无数据时时禁止中断 0: TX FIFO 中无数据时允许中断
	maskIrqTxFifoReady	0	1	读写	1: TX FIFO 可写数据时时禁止中断 0: TX FIFO 可写数据时允许中断
0XFE	SPIMSTAT	3:0	0X03	读	主 SPI 状态寄存器
	rxFifoFull	3	0	读	1: RX FIFO 满 0: RX FIFO 未满
	rxDataReady	2	0	读	1: RX FIFO 中有数据 0: RX FIFO 中无数据
	txFifoEmpty	1	1	读	1: TX FIFO 为空 0: TX FIFO 中有数据
	txFifoReady	0	1	读	1: TX FIFO 可写数据 0: TX FIFO 已满
0XFF	SPIMDAT	7:0	0X00	读写	主 SPI 数据寄存器, 两字节深

### 18.3.2 从 SPI

地址	名称	位	复位值	类型	描述
0XBC	SPISCON0	6:0	0X70	读写	从 SPI 配置寄存器 0
	maskIrqCsnHigh	6	1	读写	1: 片选信号变高时禁止中断 1: 片选信号变高时允许中断
	maskIrqCsnLow	5	1	读写	1: 片选信号变低时禁止中断 1: 片选信号变低时允许中断
	maskIrqSpiSlaveDone	4	1	读写	1: 传输完成禁止中断 1: 传输完成允许中断

	dataOrder	3	0	读写	1: LSB 在前, MSB 在后 0: MSB 在前, LSB 在后
	clockPolarity	2	0	读写	1: 片选信号低有效 0: 片选信号高有效
	clockPhase	1	0	读写	1: 时钟下降沿采样, 上升沿移入数据 0: 时钟上升沿采样, 下降沿移入数据
	spiSlaveEnable	0	0	读写	1: 从 SPI 开启 0: 从 SPI 禁止
0XBE	SPISTAT	5:0	0X00	只读	从 SPI 状态寄存器
	csnHigh	5	0	只读	1: 检测到片选信号上升沿 0: 没检测到片选信号上升沿 (读后清 0)
	csnLow	4	0	只读	1: 检测到片选信号下降沿 0: 没检测到片选信号下降沿 (读后清 0)
	保留	3:1	-	只读	
	spiSlaveDone	0	0	只读	1: 从 SPI 传输完成 0: 从 SPI 传输未完成 (读后清 0)
0XBF	SPIDAT	7:0	0X00	读写	从 SPI 数据寄存器

MCU 可以最多写入两字节数据到 SPIDAT, 但 SCSN 片选信号变低前仅可写入一个字节。为了得到最高的数据吞吐量, 第一字节传输完毕后软件必须保证 TX 中总有两个字节, 一个字节正在传输, 另一个字节在管道中。有两种实现方式:

1. 预加载两个发送数据, 每次传输完成中断写入一字节。
2. 预加载一个发送数据, 在传输完成中断中加载两字节数据, 然后每次中断加载一个字节数据。

### 18.3.3 从 SPI 时序

SPI 模式	时钟极性	时钟相伴	移位边沿		采样边沿	
0	0	0	后沿	下降沿	前沿	上升沿
1	0	1	前沿	上升沿	后沿	下降沿
2	1	0	后沿	上升沿	前沿	下降沿
3	1	1	前沿	下降沿	后沿	上升沿

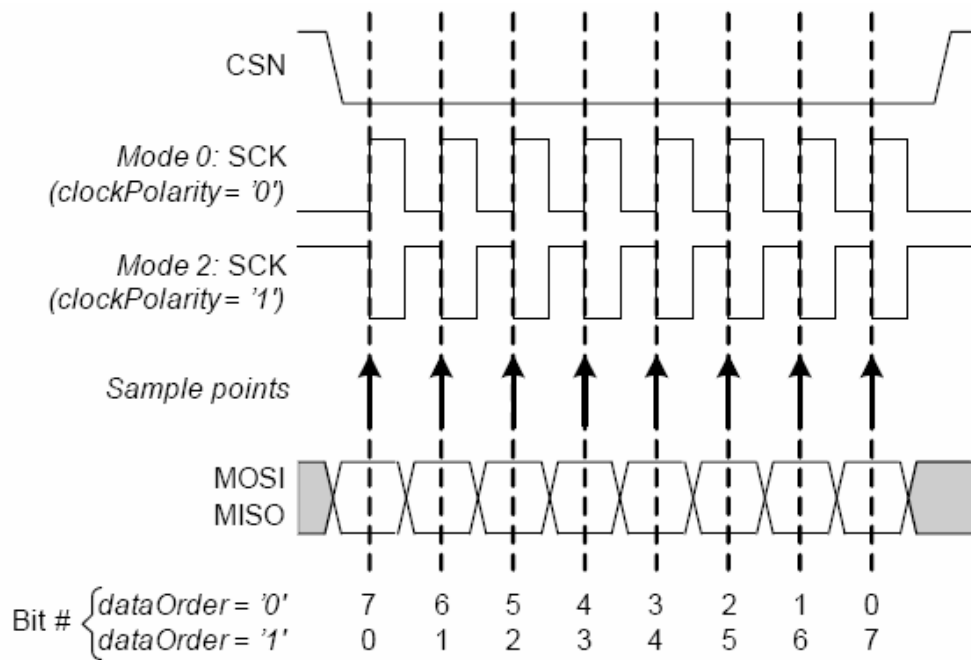


Figure 62. SPI Modes 0 and 2: clockPhase = '0'. One byte transmission.

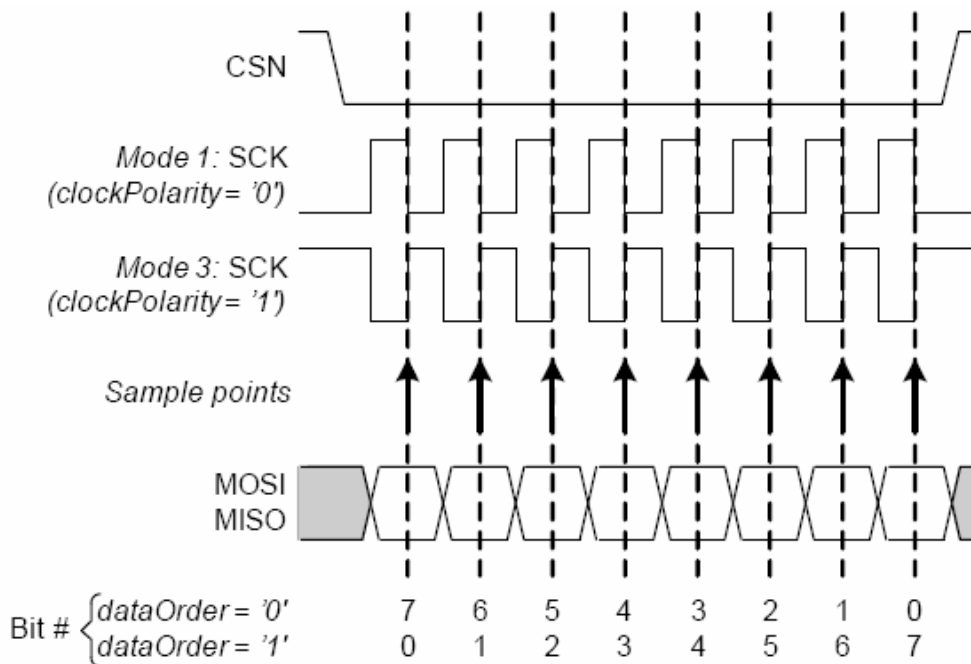


Figure 63. SPI Modes 1 and 3: clockPhase = '1'. One byte transmission.

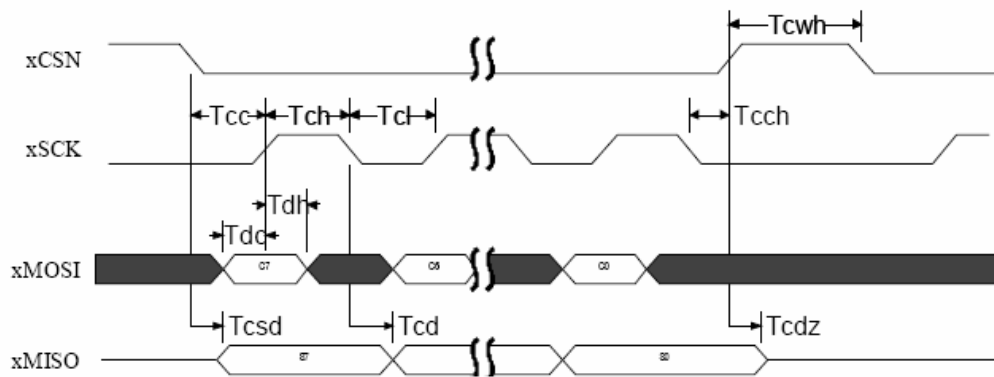


Figure 64. SPI timing diagram. One byte transmission.

Parameters	Symbol	Min	Max	Units
Data to SCK Setup	Tdc	2		ns
SCK to Data Hold	Tdh	2		ns
CSN to Data Valid	Tcsd		38	ns
SCK to Data Valid	Tcd		55	ns
SCK Low Time	Tcl	40		ns
SCK High Time	Tch	40		ns
SCK Frequency	Fsck	0	8	MHz
SCK Rise and Fall	Tr,Tf		100	ns
CSN to SCK Setup	Tcc	2		ns
SCK to CSN Hold	Tcch	2		ns
CSN Inactive time	Tcwh	50		ns
CSN to Output High Z	Tcdz		38	ns

Table 90. SPI timing parameters ( $C_{Load} = 5pF$ )

Parameters	Symbol	Min	Max	Units
Data to SCK Setup	Tdc	2		ns
SCK to Data Hold	Tdh	2		ns
CSN to Data Valid	Tcsd		42	ns
SCK to Data Valid	Tcd		58	ns
SCK Low Time	Tcl	40		ns
SCK High Time	Tch	40		ns
SCK Frequency	Fsck	0	8	MHz
SCK Rise and Fall	Tr,Tf		100	ns
CSN to SCK Setup	Tcc	2		ns
SCK to CSN Hold	Tcch	2		ns
CSN Inactive time	Tcwh	50		ns
CSN to Output High Z	Tcdz		42	ns

Table 91. SPI timing parameters ( $C_{Load} = 10pF$ )

## 19 串口 (UART)

nRF24LE1 包含一个与标准 8051 操作完全相同的串口。RXD 脚必须设置为输入，TXD 必须设置为输出。

### 19.1 特征

- 同步模式，固定波特率
- 8 位异步模式，波特率可变
- 9 位异步模式，波特率可变
- 9 位异步模式，固定波特率
- 额外的波特率发生器

注：不推荐使用定时器 1 溢出作为波特率发生器

### 19.2 框图

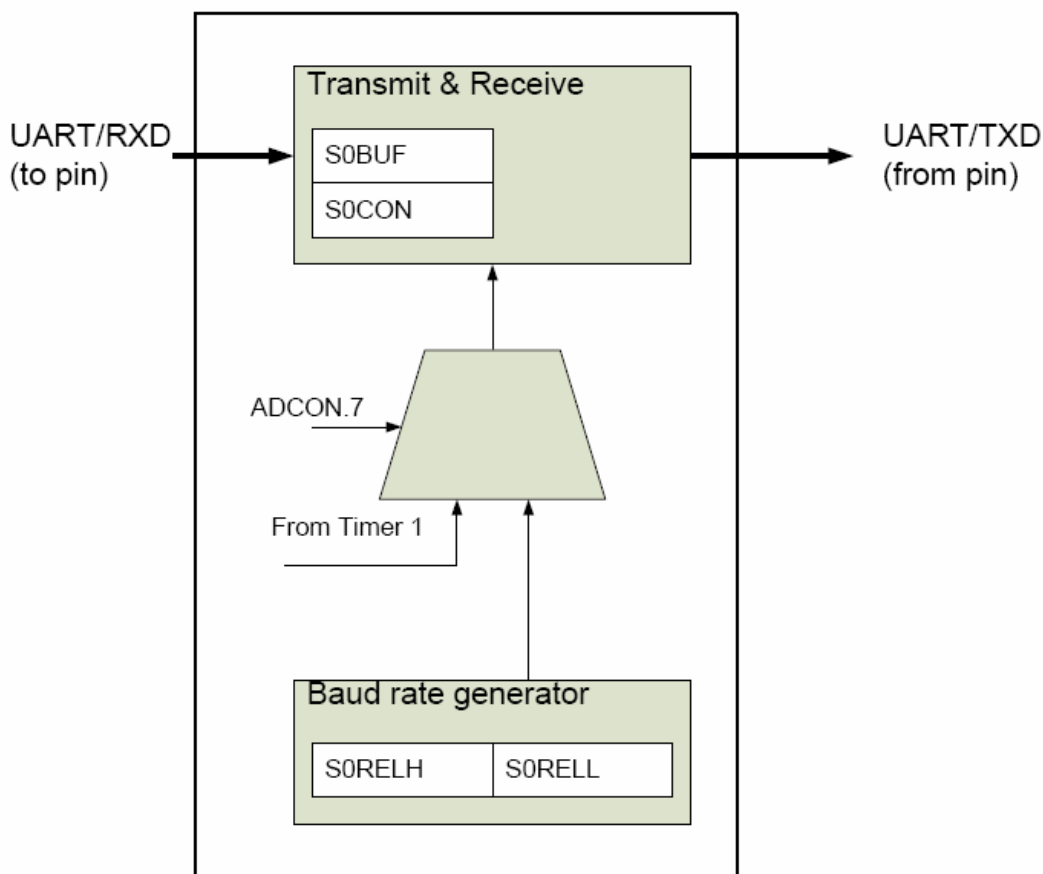


Figure 65. Block diagram of serial port

### 19.3 功能描述

串口通过 S0CON 控制，实际数据传输通过读写 S0BUF 寄存器实现。传输速度（波特率）由寄存器 S0RELL, S0REXH 和 ADCON 设置。

#### 19.3.1 S0CON 串口 0 控制寄存器

地址 0X98 复位值 0X00

位	名称	描述
7: 6	sm0:sm1	模式选择 00: 模式 0 – 波特率为 $ck_{Cpu}/12$ 01: 模式 1 – 8 位异步模式 10: 模式 2 – 9 位异步模式，波特率为 $ck_{Cpu}/32$ (SMOD=1) 或 $ck_{Cpu}/64$ 11: 模式 3 – 9 位异步模式
5	sm20	允许多点通信
4	ren0	1:允许串口接收
3	tb80	用于模式 2 和 3（校验和多机通信），对应于第 9 位数据，由软件设置
2	rb80	用于模式 2 和 3（校验和多机通信），对应于接收到的第 9 位数据
1	ti0	发送中断标志，由硬件设置，但必须由软件清 0

0	ri0	接收中断标志，由硬件设置，但必须由软件清 0
---	-----	------------------------

#### 常用波特率设置常数

波特率	Cclk	SMOD	s0rel
600	16MHz	1	0X00BF
1200	16MHz	1	0X025F
2400	16MHz	1	0X0330
4800	16MHz	1	0X0398
9600	16MHz	1	0X03CC
19200	16MHz	1	0X03E6
38400	16MHz	1	0X03F3

#### 波特率计算公式

for bd (adcon [7]) = 0 :

$$\text{baud rate} = \frac{2^{\text{SMOD}} * \text{ckCpu}}{32} * (\text{Timer 1 overflow rate})$$

for bd (adcon [7]) = 1:

$$\text{baud rate} = \frac{2^{\text{SMOD}} * \text{ckCpu}}{64 * (2^{10} - \text{s0rel})}$$

Figure 66. Equation of baud rate settings for Serial Port 0

SMOD(PCON[7]): 串口 0 波特率选择标志

S0RE: S0REL 寄存器值

bd( adcon[7] ): ADCON MSB

串口 0 数据缓冲 – SOBUF 地址: 0X99 复位值: 0X00

发送串口数据则写此寄存器，接收则读此寄存器

### 19.3.2 串口 0 重载寄存器 - S0RELH, S0RELL

用于串口 0 波特率产生。仅使用 10 位，S0RELL 用了 8 位，S0RELH 用了两位

地址	复位值	寄存器名
0XAA	0XD9	S0RELL
0XBA	0X03	S0RELH

### 19.3.3 串口 0 波特率选择寄存器 – ADCON

地址	复位值	位	名称	描述
0XD8	0X00	7	bd	1:使用其他内部波特率发生器 0: 定时器 1 溢出作为波特率发生器
		6-0		保留

## 20 2-Wire

nRF24LE1 有一个单缓冲的 2 线接口，可配置从主或从设备，并配置不同的速度。2-Wire 不兼容 CBUS。2 线接口对应引脚 W2SDA W2SCL

### 20.1 特征

- 兼容 I2C
- 单缓冲
- 半双工
- 支持主从收发
- 支持标准速率（100 Kbit/s）和快速模式（400 Kbits/s）
- 支持广播
- 支持 7 位寻址
- 支持从机时钟停止

### 20.2 功能描述

#### 20.2.1 推荐用法

首先通过 2 次写 W2CON0[0] 以请允许 2-Wire

如果使用了时钟停止特性，时钟停止位（W2CON0[6]）在发送前必须置 1。在时钟停止模式下，所有接收到的数据从 W2DAT 读出，即使是地址，以避免使总线停

发送前应更新 maskIrq 配置位（W2CON0[5]）

一旦 xStart 位（W2CON0[4]）或 xStop 位（W2CON0[5]）置 1，用户不应该试图取消请求而清空这些位

#### 20.2.2 主发送器/接收器

要进入接收模式，MCU 必须写入自己的地址到 W2DAT[7:1]，并置方向位 W2DAT[0] 为 1。数据然后就会发送给从设备。如果没有屏蔽，在发送数据的最后一位时 SCL 的上升将发出中断请求。如果没屏蔽每个字节都会产生中断。确认信息(ACK)保存在 W2CON1[1]

要重新启动或停止传输，MCU 在接收到第二到最后一个字节后设置 W2CON0[5]。这使得主机发送完最后一个字节后发送一个 NOACK 信号，强制从机释放总线控制权。接收完最后一个字节后，主机可通过写一个新的从机地址和方向位到 W2DAT 重新启动。

#### 20.2.3 从发送器/接收器

2 线从机检测到一个起始条件后将进入接收模式并等待主机发来第一个数据。当第一字节传完后，从机对比 W2SADR 与 W2DAT[7:1] 中的数据以确认是否要回复。W2DAT[0] 决定是否停留在接收（‘0’）或发送模式（‘1’）。

以下 3 种情况从机会产生中断请求（这些中断请求可以屏蔽）

##### 1. 地址匹配



2. 发送完或接收到一个字节数据
3. 检测到停止信号

如果从机不足够快处理数据，从机可以通过设置 W2CON0[6: 1]停止传输。在发送模式下，这将强制 SCL 在发送完毕到写入新的数据前为低。在接收模式下，SCL 在接收完成后保持为低直到新的数据到达。

在 SCL 下一个下降沿之前，新的发送数据必须写入 W2DAT 寄存器  
接收中断后在下一个时钟上升沿前必须将接收到的数据读出

### 20.2.3.1 2-Wire 时序

Symbol	Parameter (CK = 16 MHz)	Standard		Fast		Unit
		Min	Max	Min	Max	
$f_{CK}$	System clock frequency.	16		16		MHz
CKPERIOD	System clock period.	62.5		62.5		ns
SCLPERIOD	SCL clock period.	10000		2500		ns
$t_{STA2SCL0}$	Time from start condition to SCL goes 'low'.		4700		940	ns
$t_{SCL0F}$	SCL 'low' time after start condition.	5000		1250		ns
$t_{DSETUP}$	Data setup time before positive edge on SCL.	4400		800		ns
$t_{DHOLD}$	Data hold time after negative edge on SCL.	$3 \cdot CK_P$	560	$3 \cdot CK_P$	440	ns
$t_{SCL0L}$	SCL 'low' time after last bit before stop condition.	5000		1250		ns
$t_{SCL12STOP}$	Time from SCL goes 'high' to stop condition.	5000		1300		ns
$t_{STOP2START}$	Time from stop condition to start condition.	4700		1000		ns
$t_{REL}$	Time from change on SDA until SCL is released when the module is a Slave that forces SCL 'low'.	1400		1400		ns
WIRQ	Width of IRQ signal.	$4 \cdot CK_P$		$4 \cdot CK_P$		ns
P2IRQ	Time from positive edge on SCL to IRQ signal.	$9 \cdot CK_P$		$8 \cdot CK_P$		ns

Table 98. Timing (16 MHz system clock)

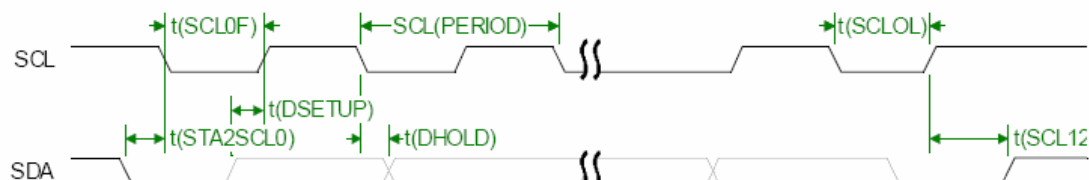


Figure 67. Timing SCL/SDA

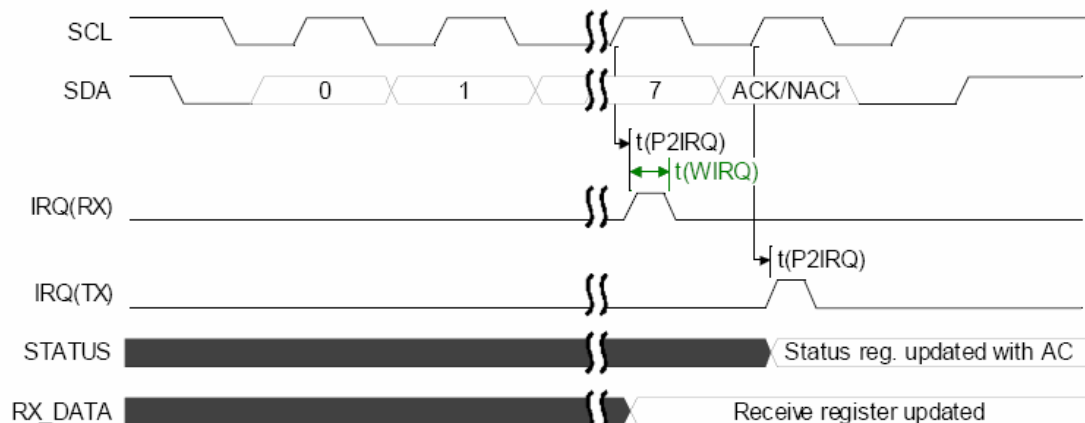


Figure 68. Interrupt request timing towards MCU

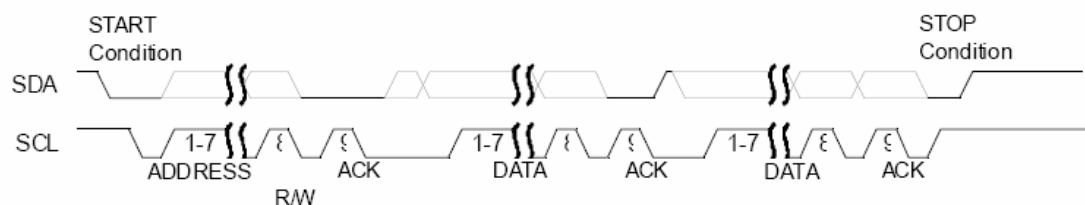


Figure 69. Complete data transfer

### 20.3 特殊功能寄存器

地址	名称	位	复位值	类型	描述
0XE2	W2CON0	7:0	0X80	读写	2-Wire 配置寄存器 0
	broadcastEnable	7	1	读写	仅用于从机时： 1: 响应地址 0X00 和 WIRE2ADR 中定义的地址 0: 仅响应 WIRE2ADR 中定义的地址
	clockStop	6	0	读写	仅用于从机时： 1: SCL 在字节传输间被从机保持置低 发送模式下数据写入 W2DAT 后 SCL 释放, 接收模式下数据从 W2DAT 被读出后 SCL 马上释放。 注：任何传输前应更新此位 0: 从机没改变时钟
	xStop	5	0	读写	仅用于主机： 1: 传输结束条件：（1）接收模式下正在接收的数据收完毕 （2）发送模式下数据发送完毕 注：不要试图写 0 到此位清空停止位 0: 没有发送停止位  仅用于从机： 1: 检测到停止条件时禁止中断 0: 检测到停止条件时允许中断

	xStart	4	0	读写	仅用于主机： 1：发送起始条件信号 0：没有起始条件信号要发  仅用于从机： 1：地址匹配时禁止中断 0：地址匹配时允许中断
	clockFrequency	3:2	00	读写	SCL 时钟频率 00：空闲 01：100 KHz (系统时钟至少 4M) 10：400 KHz (系统时钟至少 8M) 11：保留
	masterSlect	1	0	读写	1：选择主模式 0：选择从模式
	wire2Enable	0	0	读写	1：允许 2-Wire( 在其它操作前此位必须置 1) 0：禁止 2-Wire
0XE1	W2CON1	5:0	0X00	读写	2-Wire 配置寄存器 1/状态寄存器
	maskIrq	5		读写	1：禁止所有中断 0：允许所有中断
	broadcast	4		只读	仅用于从机： 1：最后接收到的地址是广播地址(0X00) 0：最后接收到的不是广播地址 读 W2CON1 时此位清 0
	stop	3		只读	仅用于从机： 1：中断由停止条件引起 0：停止条件没有引起中断 读 W2CON1 时此位清 0
	addressMatch	2		只读	仅用于从机： 1：地址匹配引起中断 0：地址匹配没有引起中断 读 W2CON1 时此位清 0
	ack_n	1		只读	仅用于发送模式： 1：NACK 0：ACK 此位包含接收到的确认信息 读 W2CON1 时此位清 0
	dataReady	0		只读	1：传输/接收完毕引起中断 0：传输/接收完毕没有引起中断 读 W2CON1 时此位清 0
0XD9	W2SADR	6:0	0X00	读写	从机地址寄存器
0XDA	W2DAT	7:0	0X00	读写	数据寄存器（1 字节深）

## 21 ADC 模数转换

nRF24LE1 包含一个多达 14 通道（与封装有关）的通用 ADC，ADC 内置 1.2V 参考电压，也可以以外部参考电压或 VDD 作为参考电压。它可以在软件的控制下单步工作，也可以设置一个采样速率让其连续进行采样转换。

### 21.1 特征

- 6, 8, 10, 12 位分辨率
- 多达 14 输入通道
- 单端或差分输入
- 内部参考电压，外部参考电压或 VDD
- 单步模式转换时间小于 3 微秒
- 持续模式可设置为 2, 4, 8 或 16 Kbps 采样速率
- 低电流消耗，2 kbps 速率下仅 0.1 毫安

### 21.2 框图

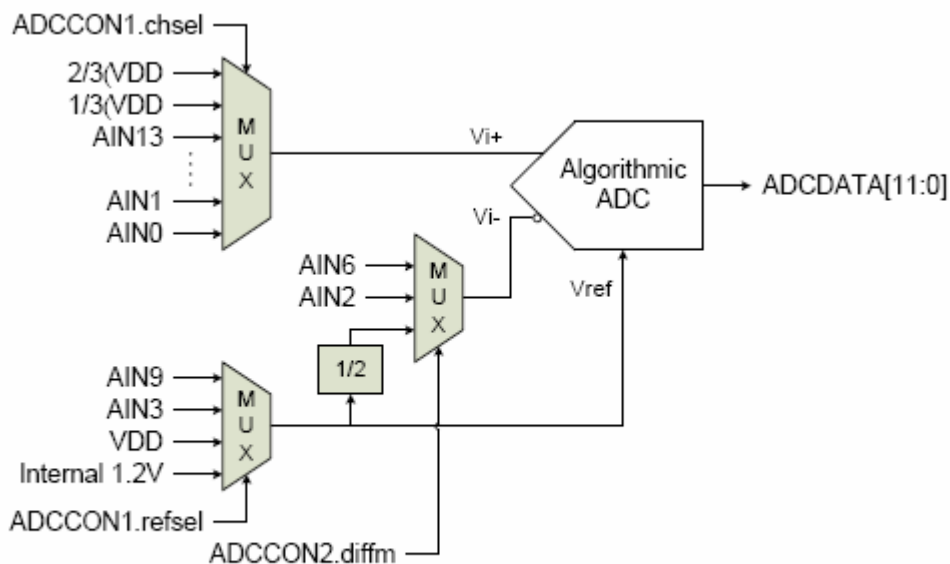


Figure 70. Block diagram of ADC

### 21.3 功能描述

#### 21.3.1 激活

通过写寄存器 ADCCON1 的 pwrup 位为 1，转换将自动进行。如果 ADC 正忙，未完成的转换将被打断而开始新的转换。设置 ADCCON2 和 ADCCON3 可以打断转换，但不建议这么做。

#### 21.3.2 输入选择

ADC 支持多达 14 个外部输入通道和 2 个内部输入通道，并可配置为单端或差分输入。输入通道通过 chsel 位选择。通道 0-13 (AIN0-AIN13) 通过外部引脚相连，通道 14 和 15 的输入为 1/3 VDD 和 2/3VDD，外部输入通道数与封装有关。

通过配置 `diffm` 选择单端或差分输入模式。单端输入的范围是 0V 到参考电压，差分输入模式下输入范围是 正负二分之一参考电压。AIN2 到 AIN16 都可以用作差分输入。非反相输入通过 `chsel` 选择。正常模式下电压应该介于 VDD 的 25% 到 75%。

内部输入的两个通道可用于供电电压测量或用于校正补偿和增益误差的标准。

### 21.3.3 参考电压选择

测量范围由 `refse` 位控制。可设置为内部参考电压（1.2V）或 VDD。外部参考电压从 AIN3 或 AIN9 输入，且必须介于 1.15V 到 1.5V。它通过一个高输入内阻很高的 CMOS 缓冲器作为缓冲。

### 21.3.4 分辨率

通过配置 `resol` 位设置 ADC 的岔道率为 6，8，10 或 12

### 21.3.5 转换模式

通过配置 `cont` 位选择单步或持续转换模式。

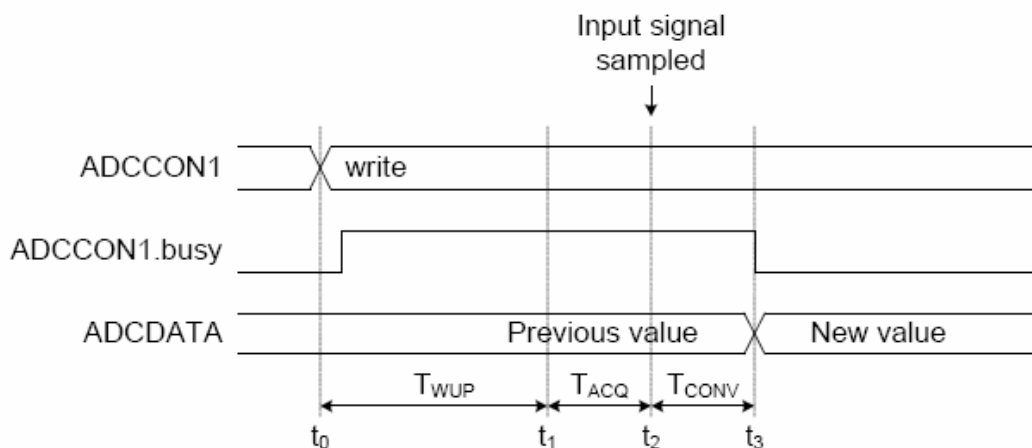


Figure 71. Timing diagram for single step conversion

图 71 阐明了单步转换的时序。转换从写 `ADCCON1` 寄存器开始。正在转换时 `busy` 位为 1，当转换完后结果可从 `ADCDATH/ADCDATL` 寄存器读出，且 `busy` 被清 0。转换完成后也会产生 `ADCIRQ` 中断信号。

默认情况下转换完成后 ADC 马上掉电。也可以在转换完成后进入标准模式，并在可设置的延时后转换到完全掉电状态。这个延时可减短唤醒时间如果一个新的转换被初始化。注意自动掉电模式不会清空 `pwrup` 位，并且选择的引脚仍然被配置为模拟输入直到 `pwrup` 位被软件清 0。

一次转换可分为 3 个阶段：唤醒，信号获取和转换。唤醒时间取决于 ADC 是个掉电模式还是标准模式。如果是在掉电模式需要 15 微秒唤醒时间，否则需要 0.6 微秒。

采样电容在唤醒后到信号获取阶段边到模拟输入引脚。采样持续时间通过 `tacq` 位选择为

0.75, 3, 12 或 36 微秒。

最后一个阶段 ADC 转换模拟采样数据为数字表示。这个阶段时间由分辨率决定，6, 8, 10, 12 位分辨率采样的时间分别是 1.7, 1.9, 2.1 和 2.3 微秒。

T <sub>ACQ</sub>	Starting from standby mode				Starting from power-down				Unit
	6-bit	8-bit	10-bit	12-bit	6-bit	8-bit	10-bit	12-bit	
0.75	3.0	3.2	3.4	3.6	17.4	17.6	17.8	18.0	μs
3	5.3	5.4	5.6	5.8	19.7	19.9	20.1	20.3	μs
12	14.3	14.4	14.6	14.8	28.7	28.9	29.1	29.3	μs
36	38.3	38.4	38.6	38.8	52.7	52.9	53.1	53.3	μs

Table 100. Single step conversion time



Figure 72. Timing diagram for continuous conversion

持续转换模式操作类似于单步模式，除了新的转换会以可编程的速率自动开启外。两次转换之间会进入掉电模式以节省电流消耗。采样率由 rate 位决定可设置为 2, 4, 8 或 16 kbps.

### 21.3.6 输出数据编码

单端转换采用二进制编码直接输出。输入电压小于 0 用全 0 表示，输入电压大于参考电压用全 1 表示，中间值由一个 1 后接全 0 表示 (100...00)

ADCCON3 寄存器包含 3 个溢出位；当 ADC 在输入下限时 uflow 被置 1，当 ADC 在输入上限时 oflow 被置 1.range 则是 uflow 和 oflow 的逻辑或。

### 21.3.7 模拟输入驱动

模拟输入引脚在每次转换瞬间吸收一小部分电流，电路驱动输入应解决这些干扰。除非输入由快速 OP 放大器驱动，否则有必要选择比最小采集时间长的采样时间以保证正确的采样。但这又会增加电流消耗。

图 73 根据信号源内阻和电容量给出推荐的采样时间，假设条件是一个正信号源和 10 位分辨率转换。例如信号源内阻为 100k 欧姆，模拟输入引脚上的电容是 10pF,从图中可知推荐的采样时间是 12 微秒

作为选择，可在模拟输入引脚和 VSS 之间连接一个大电容。它将提供所有电流给采样电容以获取最小的采样时间即使信号源内阻很大。这个电容的值推荐为 33nF 或更高。

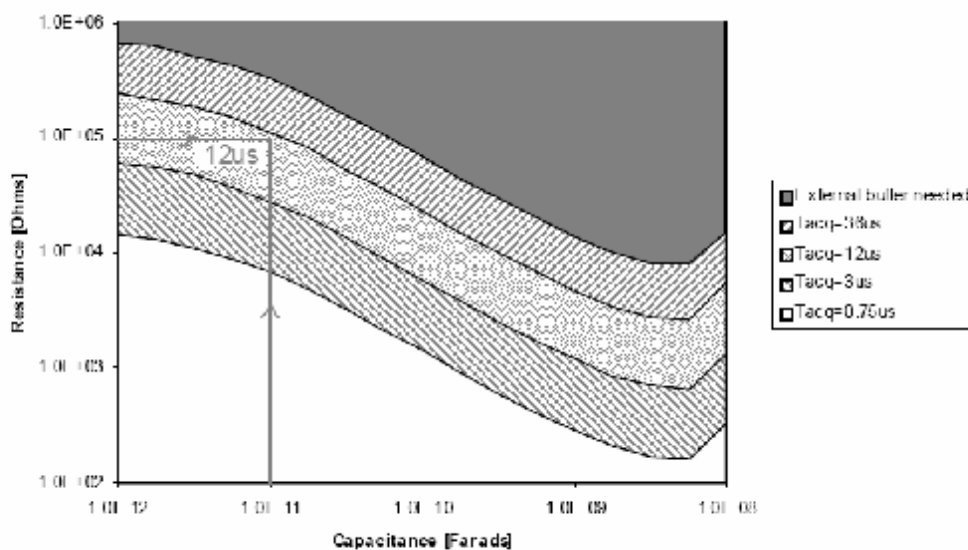


Figure 73. Recommended acquisition time versus source resistance and capacitance (10-bit conversions)

### 21.3.8 特殊功能寄存器

	位	名称	类型	描述
名称: ADCCON1 地址: 0XD3 复位值: 0X00	7	pwrap	读写	0: ADC 掉电 1: ADC 上电并配置所选择的引脚作为模拟输入
	6	busy	只读	0: 没有在转换 1: 正在转换
	5:2	chsel	读写	0000: AIN0 0001: AIN1 . . 1101: AIN13 1110: 1/3 VDD 1111: 2/3 VDD
	1:0	refsel	读写	00: 内部 1.2V 参考电压 01: VDD 10: AIN3 输入的外部参考电压 11: AIN9 输入的外部参考电压
名 称 : ADCCON2 地址: 0XD2 复位值: 0X00	7:6	diffm	读写	00: 单端输入 01: 差分输入, AIN2 反相输入 10: 差分输入, AIN6 反相输入 11: 没使用
	5	cont	读写	0: 单步转换模式 1: 持续转换模式
	4:2	rate	读写	持续转换速率 000: 2ksps 001: 4ksps

				010:8ksps 011:16ksps 1xx:保留  单步模式下掉电延时 000: 0 微秒 001: 6 微秒 010: 24 微秒 011: 无穷大 (清 pwrup 进入掉电) 1XX: 保留
	1: 0	tacq	读写	输入持续采样时间: 00: 0.75 微秒 01: 3 微秒 10: 12 微秒 11: 36 微秒
ADCCON3 地址: 0XD1 复位值: 0X00	7: 6	resol	读写	分辨率: 00: 6 位 01: 8 位 10: 10 位 11: 12 位
	5	rljust	只读	选择 ADCDATH/ADCDATL 中的数据对齐方式 0: 左对齐 1: 右对齐
	4	uflow	只读	转换结果全为 0
	3	oflow	只读	转换结果全为 1
	2	range	只读	uflow 与 oflow 的逻辑或
	1: 0	-	-	未使用
ADCDATH 地址: 0XD4 复位值: 0X00	7:0	-	只读	ADCDATA MSB
ADCDATL	7:0	-	只读	ADCDATA LSB

rljust	resol	ADCDATH[7:0]	ADCDATL[7:0]
0	00	ADCDATA[5:0]	0
0	01	ADCDATA[7:0]	0
0	10	ADCDATA[9:0]	0
0	11	ADCDATA[11:0]	0
1	00	0	ADCDATA[5:0]
1	01	0	ADCDATA[7:0]
1	10	0	ADCDATA[9:0]
1	11	0	ADCDATA[11:0]

Table 106. Left or right justified output data



## 22 模拟比较器

模拟比较器用于唤醒源。当作用于单端或差分模拟输入引脚上的电平达一定值时就会唤醒系统。比较器消耗的电流非常低且可工作于寄存器保持模式和存储器保持模式。

### 22.1 特征

低电流消耗（典型为 0.75 微安）

差分或单端输入阈值可编程设置为 VDD 的 25%，50%，75%或 100%或根据参考电压输入引脚的电压值设置为任意值。

14 通道输入多工器

可编程输出极性

### 22.2 框图

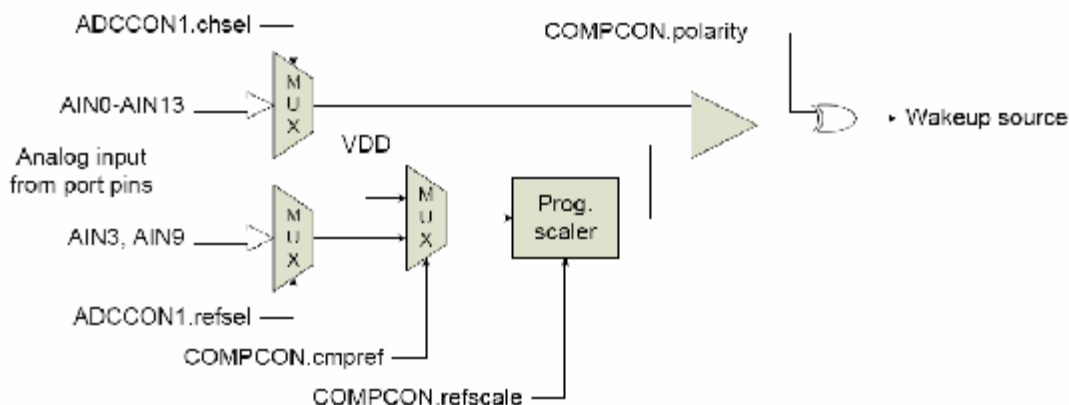


Figure 74. Block diagram of analog comparator

### 22.3 功能描述

#### 22.3.1 激活

使能比较器可通过设置 COMPCON 寄存器 enable 位为 1.当系统进入寄存器保持模式或存储器保持模式（定时器开）比较器将被激活。为使用比较器 32KHz 的时钟源必须被激活。

#### 22.3.2 输入选择

配置 ADCCON1 寄存器 chsel 位选择 AIN0-AIN13 中的一个作为输入。注意‘1110’和‘1111’是非法值。如果没有特别规定，非反相输入将会悬空。ADCCON1 寄存器 pwrap 位不一定要置 1。

#### 22.3.3 参考源选择

比较器反相输入引脚可连接到 VDD 的 25%，50%，75%，100%或 AIN3 和 AIN9 引脚上的参考电压。配置 COMPCON 寄存器 refscale 位选择比例因数。如果使用 VDD 作为参考电压，则设置 cmref 为 0.如果要使用任意电压值，设置 cmpref 为 1 并配置 ADCCON1 寄存器 refsel

位选择 AIN3 还是 AIN9 作为参考电压。注意 refsel 位 '00' 和 '01' 是非法值;如果有规定反相输入端将会悬空。

差分输入模式通过配置 refscale 为 100% 并选择 AIN3 或 AIN9 作为反相输入。

### 22.3.4 输出极性

比较器输出极性可编程。默认情况下非反相端高于反相输入时会触发唤醒。如果设置了 polarity 位为 1 则在非反相输入低于反相输入是时触发唤醒。

### 22.3.5 输入电压范围

AIN0-AIN13 引脚上的输入电压范围为 VSS 到 VDD+100mV,但输入电压必须低于 3.6V。

### 22.3.6 配置例子

唤醒标准	ADCCON1		COMPCON		
	chsel	refsel	polarity	refscale	cmpref
AIN0>0.25VDD	0000	XX	0	00	0
AIN13<0.5VDD	1101	XX	1	01	0
AIN2>0.75AIN3	0010	10	0	10	1
AIN3<AIN9	0011	11	1	11	1

### 22.3.7 模拟输入驱动

比较器有一个频率为 32KHz 的开关电容。推荐在模拟输入引脚和 VSS 之间连接一个 330pF 旁路电容以减小电压瞬间被开关吸入。如果信号源输出电阻小于 100K 欧姆则电容可以省略。比较器输入偏置电流通常低于 100nA。

### 22.3.8 特殊功能寄存器

地址	位	名称	类型	功能	复位值: 0X00
0XDB	7:5	-	-	未使用	
	4	polarity	读写	输出极性: 0: 不反相 1: 反相	
	3: 2	refscale	读写	参考电压范围 00: 25% 01: 50% 10: 75% 11: 100%	
	1	cmpref	读写	参考源选择 0: VDD 1: AIN3 或 AIN9	
	0	enable	读写	0: 禁止比较器 1: 使能比较器并配置所选择引脚为模拟输入	

## 23 PWM

nRF24LE1 包含一个两通道的脉宽调制模块。两个通道（PWM0 和 PWM1）使用同样的可编程的频率和分辨率寄存器但可分别控制工作周期。

### 23.1 特征

两个通道输出

频率范围从 4KHz 到 254KHz(MCU 时钟为 16MHz)

使用很少的寄存器进行控制

### 23.2 框图

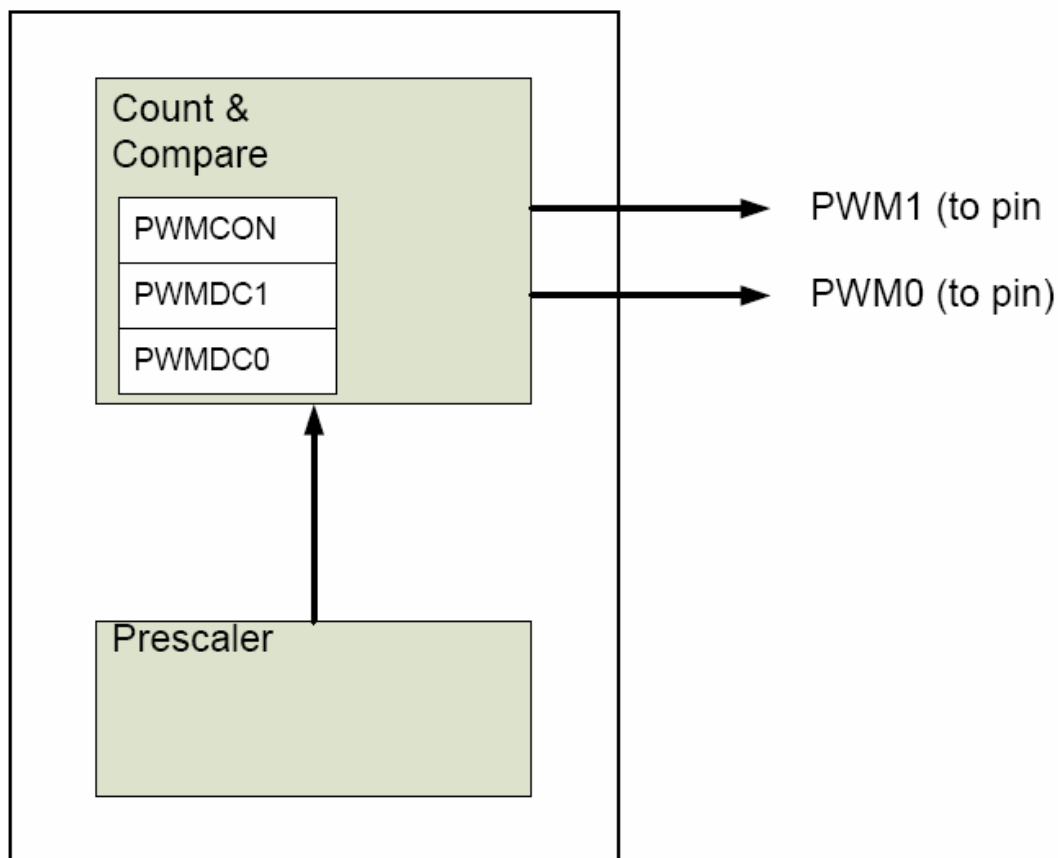


Figure 75. Block diagram of PWM

### 23.3 功能描述

PWM 共有 3 个寄存器，PWMCON 使能 PWM 并设置周期长度，即一个 PWM 周期时钟的个数。PWMDC0 和 PWMDC1 控制两个通道的工作周期，当这些寄存器被改后，相应的 PWM 信号马上被改变。一个 PWM 周期内可进行四次改变，但过渡期在旧的采样和新的采样之间有包含“直流值”。

PWMCON 7:6 (Number of bits)	PWM frequency	PWM duty cycle
00 (5)	$Cclk \cdot \frac{1}{31(PWMCON[5:2]+1)}$	$\frac{PWMDC[4:0]}{31}$
01 (6)	$Cclk \cdot \frac{1}{63(PWMCON[5:2]+1)}$	$\frac{PWMDC[5:0]}{63}$
10 (7)	$Cclk \cdot \frac{1}{127(PWMCON[5:2]+1)}$	$\frac{PWMDC[6:0]}{127}$
11 (8)	$Cclk \cdot \frac{1}{255(PWMCON[5:2]+1)}$	$\frac{PWMDC}{255}$

Table 109. PWM frequency and duty-cycle setting

PWMCON 地址: 0XB2 复位值: 0X00

位	类型	描述
7-6	读写	00: 周期长度为 5 位 01: 周期长度为 6 位 10: 周期长度为 7 位 11: 周期长度为 8 位
5-2	读写	PWM 预分频系数选择, 请参考上面的表格
1	读写	0: PWM1 禁止 1: PWM1 使能
0	读写	0: PWM0 禁止 1: PWM0 使能

PWMDC0 地址: 0XA1 PWM 通道 0 工作周期 (5-8 位)

PWMDC1 地址: 0XA2 PWM 通道 1 工作周期 (5-8 位)

## 23 极限参数

操作条件	最小值	最大值	单位
供电电压			
VDD	-0.3	+3.6	V
VSS		0	V
IO 引脚电压			
Vio	-0.3	VDD+0.3 (<3.6)	V
温度			

工作温度	-40	+85	摄氏度
储存温度	-40	+125	摄氏度

## 24 操作条件

参数	最小	典型值	最大值	单位
供电电压	<b>1.9</b>	<b>3.0</b>	<b>3.6</b>	<b>V</b>
0V-1.9V 上升时间	1 微秒		50 毫秒	us ms
工作温度		-40	+85	摄氏度

注：如果供电电压上升时间超过此范围则片内复位电路可能不能正常复位

## 25 电气参数

Conditions: VDD = 3.0V, T<sub>A</sub> = -40°C to +85°C (unless otherwise noted)

Symbol	Parameter (condition)	Notes	Min.	Typ.	Max.	Units
V <sub>IH</sub>	Input high voltage		0.7·VDD		VDD	V
V <sub>IL</sub>	Input low voltage		VSS		0.3·VDD	V
V <sub>OH</sub>	Output high voltage (std. drive, 0.5 mA)		VDD-0.3		VDD	V
V <sub>OH</sub>	Output high voltage (high-drive, 5 mA)	a	VDD-0.3		VDD	V
V <sub>OL</sub>	Output low voltage (std. drive, 0.5 mA)		VSS		0.3	V
V <sub>OL</sub>	Output low voltage (high-drive, 5 mA)	a	VSS		0.3	V
R <sub>PU</sub>	Pull-up resistance		11	13	16	kΩ
R <sub>PD</sub>	Pull-down resistance		11	13	16	kΩ

a. Maximum number of pins with 5mA high drive is 3.

Table 113. Digital inputs/outputs

Symbol	Parameter (condition)	Notes	Min.	Typ.	Max.	Units
<b>General RF conditions</b>						
f <sub>OP</sub>	Operating frequency	a	2400		2525	MHz
PLL <sub>res</sub>	PLL Programming resolution			1		MHz
f <sub>XTAL</sub>	Crystal frequency			16		MHz
Δf <sub>250</sub>	Frequency deviation @ 250 kbps			±160		kHz
Δf <sub>1M</sub>	Frequency deviation @ 1 Mbps			±160		kHz
Δf <sub>2M</sub>	Frequency deviation @ 2 Mbps			±320		kHz
R <sub>CFSK</sub>	Air data rate	b	250		2000	kbps
F <sub>CHANNEL 1M</sub>	Non-overlapping channel spacing @ 250 kbps/1 Mbps)	c		1		MHz
F <sub>CHANNEL 2M</sub>	Non-overlapping channel spacing @ 2 Mbps			2		MHz
<b>Transmitter operation</b>						
P <sub>RF</sub>	Maximum output power	d		0	+4	dBm
P <sub>RFC</sub>	RF power control range		16	18	20	dB
P <sub>RFCR</sub>	RF power accuracy				±4	dB

$P_{BW2}$	20dB bandwidth for modulated carrier (2 Mbps)			1800	2000	kHz
$P_{BW1}$	20dB bandwidth for modulated carrier (1 Mbps)			950	1100	kHz
$P_{BW250}$	20dB bandwidth for modulated carrier (250 kbps)			700	800	kHz
$P_{RF1.2}$	1 <sup>st</sup> Adjacent Channel Transmit Power 2 MHz (2 Mbps)				-20	dBc
$P_{RF2.2}$	2 <sup>nd</sup> Adjacent Channel Transmit Power 4 MHz (2 Mbps)				45	dBc
$P_{RF1.1}$	1 <sup>st</sup> Adjacent Channel Transmit Power 1 MHz (1 Mbps)				-20	dBc
Symbol	Parameter (condition)	Notes	Min.	Typ.	Max.	Units
$P_{RF2.1}$	2 <sup>nd</sup> Adjacent Channel Transmit Power 2 MHz (1 Mbps)				40	dBc
$P_{RF1.250}$	1 <sup>st</sup> Adjacent Channel Transmit Power 1 MHz (250 kbps)				-25	dBc
$P_{RF2.250}$	2 <sup>nd</sup> Adjacent Channel Transmit Power 2 MHz (250 kbps)				-10	dBc
Receiver operation						
$RX_{MAX}$	Maximum received signal at < 0.1% BER			0		dBm
$RX_{SENS}$	Sensitivity (0.1% BER) @ 2 Mbps			-82		dBm
$RX_{SENS}$	Sensitivity (0.1% BER) @ 1 Mbps			-85		dBm
$RX_{SENS}$	Sensitivity (0.1% BER) @ 250 kbps	e		-94		dBm

**RX selectivity according to ETSI EN 300 440-1 V1.3.1 (2001-09) page 27**

$C/I_{CO}$	C/I co-channel (2 Mbps)		7		dBc
$C/I_{1ST}$	1 <sup>st</sup> ACS (Adjacent Channel Selectivity), C/I 2 MHz (2 Mbps)		3		dBc
$C/I_{2ND}$	2 <sup>nd</sup> ACS, C/I 4 MHz (2 Mbps)		-17		dBc
$C/I_{3RD}$	3 <sup>rd</sup> ACS, C/I 6 MHz (2 Mbps)		-21		dBc
$C/I_{Nth}$	N <sup>th</sup> ACS, C/I $f_f > 12$ MHz (2 Mbps)	f	-40		dBc
$C/I_{Nth}$	N <sup>th</sup> ACS, C/I $f_f > 36$ MHz (2 Mbps)		-43		dBc
$C/I_{CO}$	C/I co channel (1 Mbps)		9		dBc
$C/I_{1ST}$	1 <sup>st</sup> ACS, C/I 1 MHz (1 Mbps)		8		dBc
$C/I_{2ND}$	2 <sup>nd</sup> ACS, C/I 2 MHz (1 Mbps)		-20		dBc
$C/I_{3RD}$	3 <sup>rd</sup> ACS, C/I 3 MHz (1 Mbps)		-30		dBc
$C/I_{Nth}$	N <sup>th</sup> ACS, C/I $f_f > 6$ MHz (1 Mbps)		-40		dBc
$C/I_{Nth}$	N <sup>th</sup> ACS, C/I $f_f > 25$ MHz (1 Mbps)	f	-47		dBc
$C/I_{CO}$	C/I co-channel (250 kbps)		12		dBc
$C/I_{1ST}$	1 <sup>st</sup> ACS, C/I 1 MHz (250 kbps)		-12		dBc
$C/I_{2ND}$	2 <sup>nd</sup> ACS, C/I 2 MHz (250 kbps)		-33		dBc
$C/I_{3RD}$	3 <sup>rd</sup> ACS, C/I 3 MHz (250 kbps)		-38		dBc
$C/I_{Nth}$	N <sup>th</sup> ACS, C/I $f_f > 6$ MHz (250 kbps)		-50		dBc

$C/I_{Nth}$	$N^{th}$ ACS, C/I $f_i > 25$ MHz (250 kbps)	-60	dBc
<b>RX selectivity with nRF24LU1 equal modulation on interfering signal (Pin = -67dBm for wanted signal)</b>			
$C/I_{CO}$	C/I co-channel (2 Mbps) (modulated carrier)	11	dBc
$C/I_{1st}$	1 <sup>st</sup> ACS (Adjacent Channel Selectivity), C/I 2 MHz (2 Mbps)	4	dBc
$C/I_{2nd}$	2 <sup>nd</sup> ACS, C/I 4 MHz (2 Mbps)	-18	dBc
$C/I_{3rd}$	3 <sup>rd</sup> ACS, C/I 6 MHz (2 Mbps)	-24	dBc
$C/I_{Nth}$	$N^{th}$ ACS, C/I $f_i > 12$ MHz (2 Mbps)	-40	dBc
$C/I_{Nth}$	$N^{th}$ ACS, C/I $f_i > 36$ MHz (2 Mbps)	-48	dBc
$C/I_{CO}$	C/I co-channel (1 Mbps)	12	dBc
$C/I_{1st}$	1 <sup>st</sup> ACS, C/I 1 MHz (1 Mbps)	8	dBc

Symbol	Parameter (condition)	Notes	Min.	Typ.	Max.	Units
$C/I_{2nd}$	2 <sup>nd</sup> ACS, C/I 2 MHz (1 Mbps)			-21		dBc
$C/I_{3rd}$	3 <sup>rd</sup> ACS, C/I 3 MHz (1 Mbps)			-30		dBc
$C/I_{Nth}$	$N^{th}$ ACS, C/I $f_i > 6$ MHz (1 Mbps)			-40		dBc
$C/I_{Nth}$	$N^{th}$ ACS, C/I $f_i > 25$ MHz (1 Mbps)			-50		dBc
$C/I_{CO}$	C/I co-channel (250 kbps)			7		dBc
$C/I_{1st}$	1 <sup>st</sup> ACS, C/I 1 MHz (250 kbps)			-12		dBc
$C/I_{2nd}$	2 <sup>nd</sup> ACS, C/I 2 MHz (250 kbps)			-34		dBc
$C/I_{3rd}$	3 <sup>rd</sup> ACS, C/I 3 MHz (250 kbps)			-39		dBc
$C/I_{Nth}$	$N^{th}$ ACS, C/I $f_i > 6$ MHz (250 kbps)			-50		dBc
$C/I_{Nth}$	$N^{th}$ ACS, C/I $f_i > 25$ MHz (250 kbps)			-60		dBc

**RX intermodulation performance in line with Bluetooth specification version 2.0, 4<sup>th</sup> November 2004, page 42**

P_IM(6) @ 2Mbps	Input power of IM interferers at 6 and 12 MHz distance from wanted signal	g	-42	dBm
P_IM(8) @ 2Mbps	Input power of IM interferers at 8 and 16 MHz distance from wanted signal	g	-38	dBm
P_IM(10) @ 2Mbps	Input power of IM interferers at 10 and 20 MHz distance from wanted signal	g	-37	dBm
P_IM(3) @ 1Mbps	Input power of IM interferers at 3 and 6 MHz distance from wanted signal	g	-36	dBm
P_IM(4) @ 1Mbps	Input power of IM interferers at 4 and 8 MHz distance from wanted signal	g	-36	dBm
P_IM(5) @ 1Mbps	Input power of IM interferers at 5 and 10 MHz distance from wanted signal	g	-36	dBm
P_IM(3) @ 250kbps	Input power of IM interferers at 3 and 6 MHz distance from wanted signal	g	-36	dBm
P_IM(4) @ 250kbps	Input power of IM interferers at 4 and 8 MHz distance from wanted signal	g	-36	dBm
P_IM(5) @ 250kbps	Input power of IM interferers at 5 and 10 MHz distance from wanted signal	g	-36	dBm

ADC		h				
DNL	Differential nonlinearity.	j	0.5	LSB		
INL	Integral nonlinearity.	k	0.75	LSB		
V <sub>OS</sub>	Offset error.	l	1.3	% FS		
% <sub>G</sub>	Gain error.	m	-2.5	% FS		
SINAD	Signal-to-noise and distortion ratio (f <sub>IN</sub> = 1 kHz, f <sub>S</sub> = 16 ksp/s).	i	57	dB		
SFDR	Spurious free dynamic range (f <sub>IN</sub> = 1 kHz, f <sub>S</sub> = 16 ksp/s).	i	65	dB		
V <sub>REF_INT</sub>	Internal reference voltage		1.2	V		
TC <sub>REF_INT</sub>	Internal reference voltage drift		300	ppm/°C		
V <sub>REF_EXT</sub>	External reference voltage	1.15	1.5	V		
Analog comparator						
V <sub>OS</sub>	Input offset voltage	n	-50	+50	mV	
Program memory and non-volatile data memory						
T <sub>PROG</sub>	Byte write time		40	μs		
Symbol	Parameter (condition)	Notes	Min.	Typ.	Max.	Units
N <sub>LNDUR</sub>	Endurance		1000			cycles
T <sub>RET</sub>	Data retention (T <sub>A</sub> = +25°C)		100			years
Extended endurance non-volatile data memory						
T <sub>PROG_EXT</sub>	Byte write time				100	μs
N <sub>ENDUR</sub>	Endurance		20000			cycles
T <sub>RLT</sub>	Data retention (T <sub>A</sub> = +25°C)		5			years
16 MHz crystal						
f <sub>NOM</sub>	Nominal frequency (parallel resonant)			16.000		MHz
f <sub>TOL</sub>	Frequency tolerance	o p			±60	ppm
C <sub>L</sub>	Load capacitance			12	16	pF
C <sub>0</sub>	Shunt capacitance			3	7	pF
ESR	Equivalent series resistance			50	100	Ω
P <sub>D</sub>	Drive level				100	μW
L <sub>S</sub>	Equivalent serial inductance	q		30		mH
32 kHz crystal						
f <sub>NOM</sub>	Crystal frequency (parallel resonant)			32.768		kHz
C <sub>L</sub>	Load capacitance			9	12.5	pF
C <sub>0</sub>	Shunt capacitance			1	2	pF
ESR	Equivalent series resistance			50	80	kΩ
P <sub>D</sub>	Drive level				1	μW
16 MHz RC oscillator						
f <sub>NOM</sub>	Nominal frequency			16		MHz
f <sub>TOL</sub>	Frequency tolerance			±1	±5	%
32 kHz RC oscillator						
f <sub>NOM</sub>	Nominal frequency			32.8		kHz
f <sub>TOL</sub>	Frequency tolerance			±1	±10	%
Power-Fail Comparator						
V <sub>POF</sub>	Nominal thresholds (falling supply voltage)			2.1, 2.3, 2.5, 2.7		V
V <sub>TOL</sub>	Threshold voltage tolerance				±5	%
V <sub>HYST</sub>	Threshold voltage hysteresis			100		mV

## 26 功耗



Conditions: VDD = 3.0V, IA = +25°C

Symbol	Parameter (condition)	Notes	Min.	Typ.	Max.	Units
	<b>Core functions<sup>a</sup></b>					
	Deep sleep mode			0.5		μA
	Memory retention mode, timers off			1.0		μA
	Memory retention mode, timers on (CLKLF from XOSC32K)			1.6		μA
	Memory retention mode, timers on (CLKLF from RCOSC32K)			1.8		μA
	Register retention mode, timers off			2.0		μA
	Register retention mode, timers on (CLKLF from XOSC32K)			3.0		μA
	Register retention mode, timers on (CLKLF from RCOSC32K)			3.2		μA
	Register retention mode, timers on (CLKLF from XOSC32K, XOSC16M running)			0.05		mA
	Register retention mode, timers on (CLKF synthesized from XOSC16M)			87		μA
	Standby mode (XOSC16M running)			1		mA
	Active mode (8 MHz MCU clock, 4 MIPS)			2.5		mA
	<b>Peripherals</b>					
	Flash byte write			1.8		mA
	Flash page erase	b		1.0		mA
	Flash mass erase			0.8		mA
	RF transceiver in TX mode (P <sub>OUT</sub> = 0 dBm)	c		11.1		mA
	RF transceiver in TX mode (P <sub>OUT</sub> = -6 dBm)			8.8		mA
	RF transceiver in TX mode (P <sub>OUT</sub> = -12 dBm)			7.3		mA
	RF transceiver in TX mode (P <sub>OUT</sub> = -18 dBm)			6.8		mA
	RF transceiver in TX mode (P <sub>OUT</sub> = -6 dBm)	d		0.12		mA
	Average current with ShockBurst™					

Symbol	Parameter (condition)	Notes	Min.	Typ.	Max.	Units
	RF transceiver during TX settling	e		7.8		mA
	RF transceiver in RX mode (2 Mbps)			13.3		mA
	RF transceiver in RX mode (1 Mbps)			12.9		mA
	RF transceiver in RX mode (250 kbps)			12.4		mA
	RF transceiver during RX settling	f		8.7		mA
	ADC when busy			1.5		mA
	ADC in standby mode			0.6		mA
	ADC in continuous mode @ 2 ksps (average current)	g		0.1		mA
	Random number generator			0.5		mA
	Analog comparator			0.8		μA

## 27 硬件调试支持

nRF24LE1 支持 JTAG 调试器: nRFProbe, System Navigator

当在信息页中允许硬件调试特性时, OCITO, OCTMS, OCITDO, OCITDI, OCITCK 将作为调试用引脚。

### 27.1 特性

读写的数据寄存器, 特殊功能寄存器, 程序和数据存储器

处理器运行控制（运行/中断）

C 源代码指令单步调试

4 个独立的硬件执行断点

支持 KEIL 调试接口

#### keil 调试器特性:

加载 HEX 或 OMF51 文件格式

符号调试

加载符号，包括代码，变量和变量类型

支持 C 和汇编源码

源代码窗口可显示 C 源码和混合的代码

源代码窗口支持执行控制，go halt ;go to cursor ,step over/into call

源代码窗口可以设置和清除断点

## 27.2 功能描述

要启用 JTAG 硬件调试接口，只需把信息页 0X24 地址的内容改为非 0XFF 值即可

各个封装的对应 JTAG 引脚

	24 pin 4×4	32 pin 5×5	48 pin 7×7
OCITO	P0.6	P1.3	P1.5
OCITDO	P0.5	P1.2	P1.4
OCITDI	P0.4	P1.1	P1.3
OCITMS	P0.3	P1.0	P1.2
OCITCK	P0.2	P0.7	P1.1

## 28 机械尺寸规格

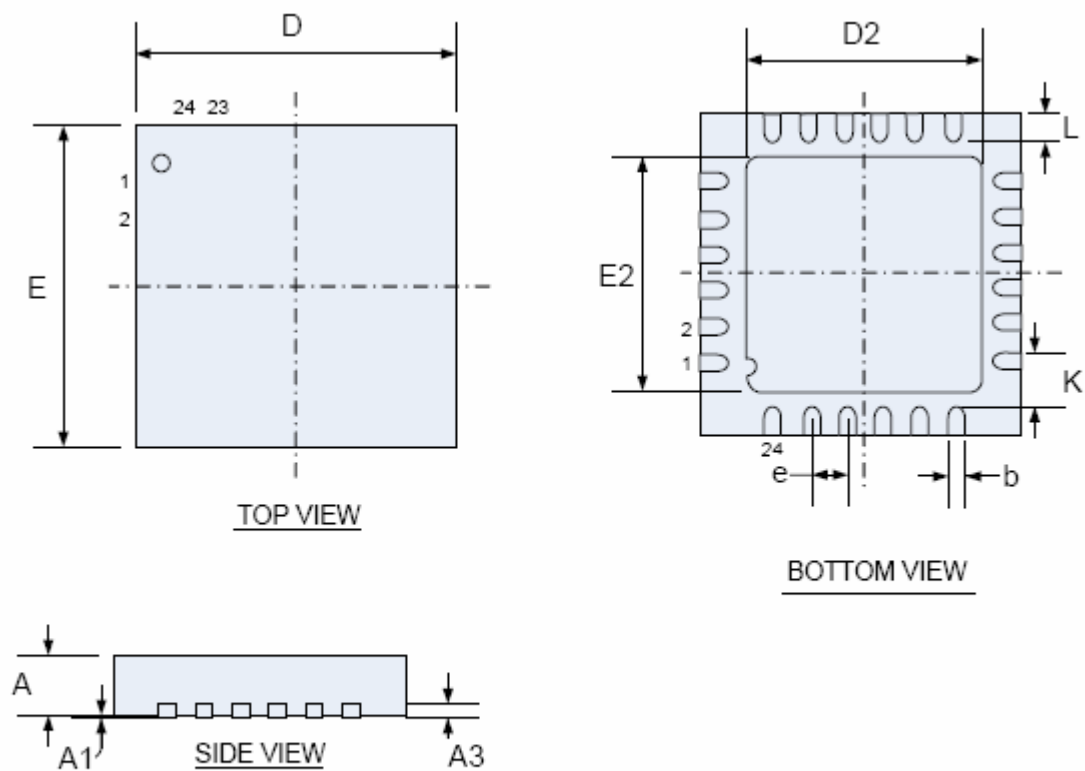


Figure 76. QFN24 pin 4x4mm

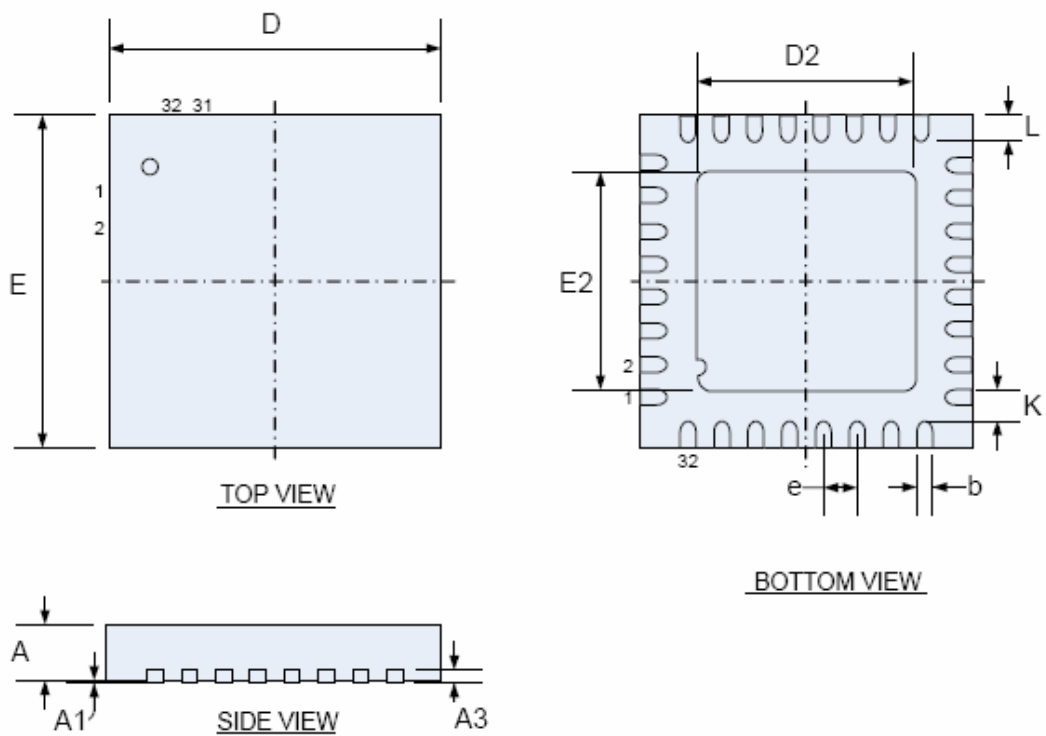


Figure 77. QFN32 pin 5x5mm

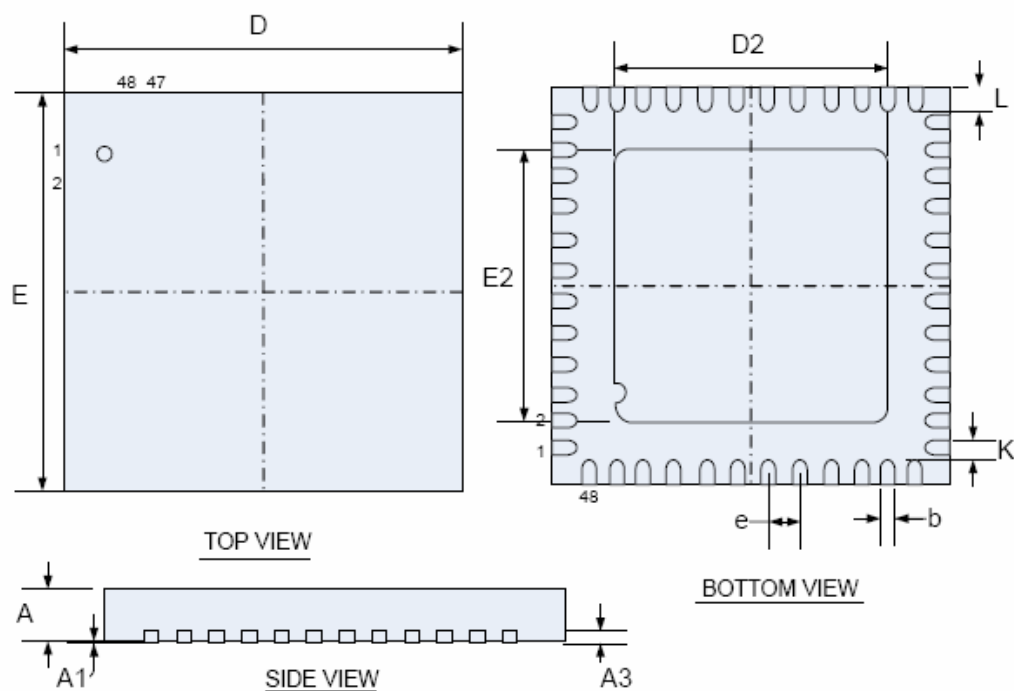


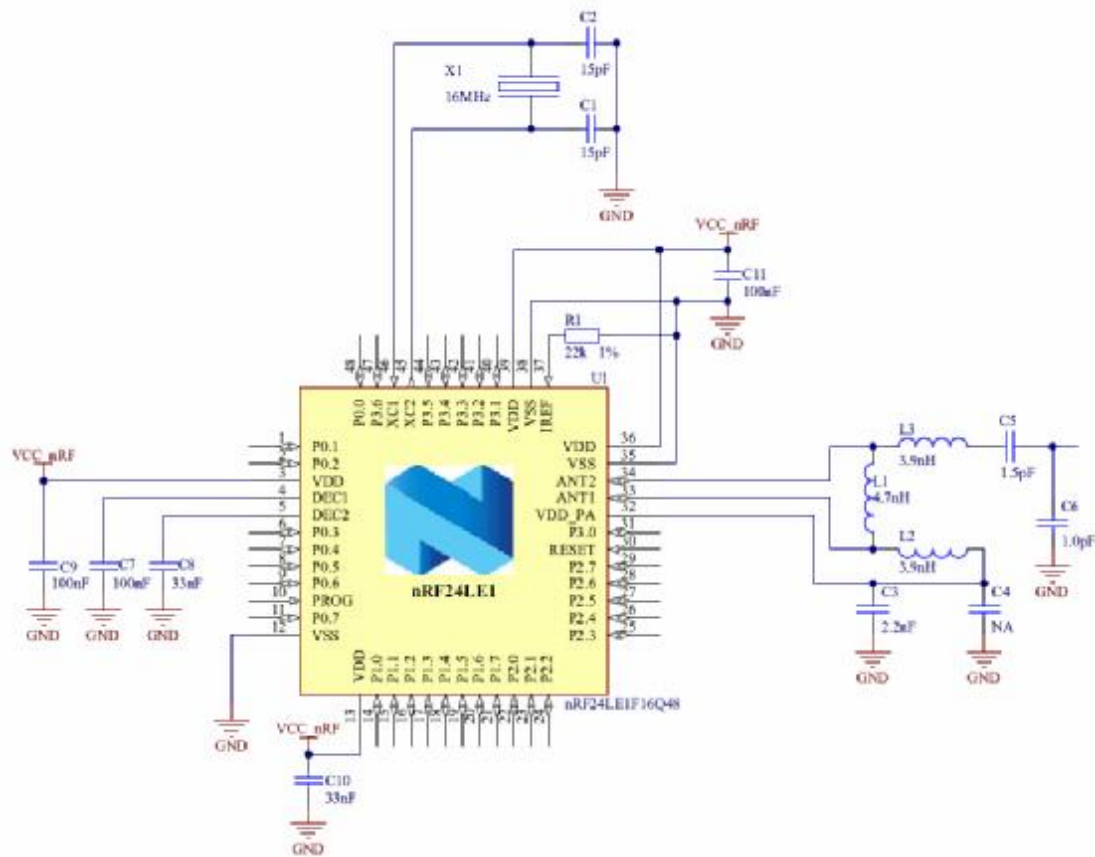
Figure 78. QFN48 pin 7×7mm

Package	A	A1	A3	b	D, E	D2, E2	e	K	L	
QFN24	0.80	0.00		0.18	3.9	2.60		0.20	0.35	Min
	0.85	0.02	0.203	0.25	4.0	2.70	0.5		0.40	Typ
	0.90	0.05		0.30	4.1	2.80			0.45	Max
QFN32	0.80	0.00		0.18	4.9	3.50		0.20	0.35	Min
	0.85	0.02	0.20	0.25	5.0	3.60	0.5		0.40	Typ
	0.90	0.05		0.30	5.1	3.70			0.45	Max
QFN48	0.80	0.00		0.18	6.9	3.90		0.20	0.35	Min
	0.85	0.02	0.203	0.25	7.0	4.00	0.5		0.40	Typ
	0.90	0.05		0.30	7.1	4.10			0.45	Max

Table 117. QFN24/32/48 dimensions in mm

## 29 参考电路

### 29.1 Q48 应用实例

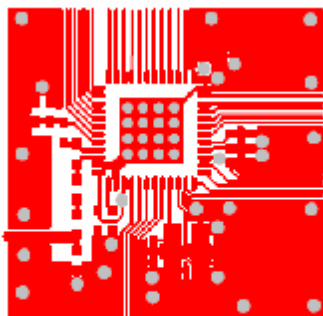


### 29.1.2 布局

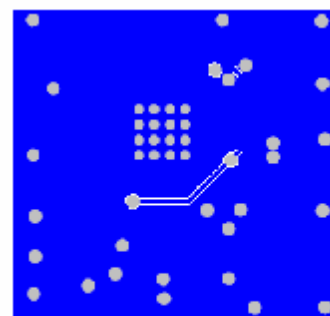


Top silk screen

No components  
in bottom layer



Top view



Bottom view

### 29.1.3 BOM

Designator	Value	Footprint	Comment
C1, C2	15pF	0402	NP0 +/- 2%
C3	2.2nF	0402	X7R +/- 10%
C4	Not mounted	0402	
C5	1.5pF	0402	NP0 +/-0.1pF
C6	1.0pF	0402	NP0 +/-0.1pF
C7, C9, C11	100nF	0402	X7R +/- 10%
C8, C10	33nF	0402	X7R +/- 10%
L1	4.7nH	0402	High frequency chip inductor +/-5%
L2, L3	3.9nH	0402	High frequency chip inductor +/-5%
R1	22k	0402	1%
U1	nRF24LE1F16Q48	QFN48	QFN48 7x7 mm package
X1	16 MHz	3.2x2.5mm	SMD-3225, 16 MHz, CL=9pF, +/-60 ppm
PCB substrate	FR4 laminate	20.8 x 19.9mm	2 layer, thickness 1.6mm

Table 118. nRF24LE1, 7x7mm QFN48 Bill Of Materials

### 29.2 Q32 应用例子

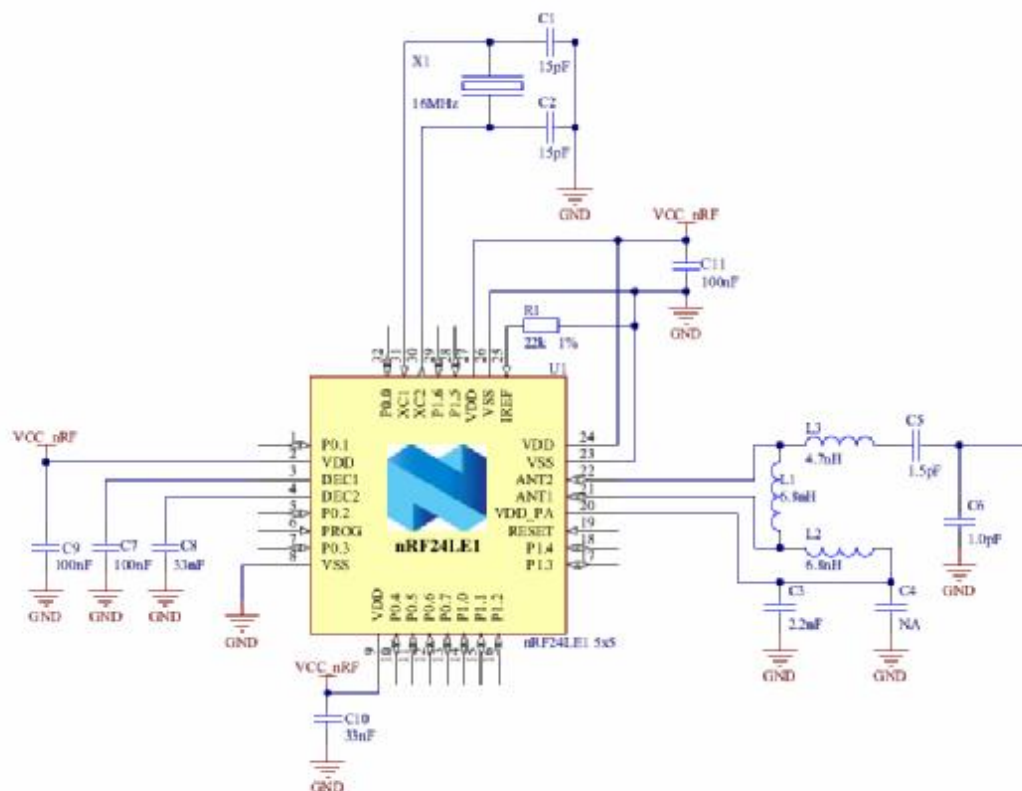
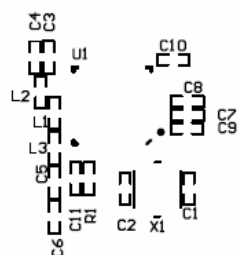


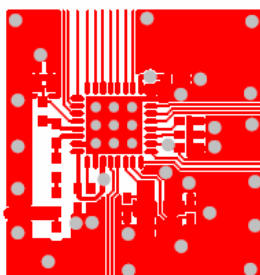
Figure 80. nRF24LE1, 5x5mm QFN32 schematic

## 29.2.2 Layout

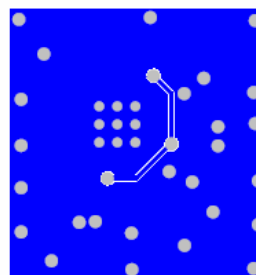


Top silk screen

No components  
in bottom layer



Top view



Bottom view

## 29.2.3 Bill Of Materials (BOM)

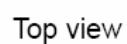
Designator	Value	Footprint	Comment
C1, C2	15pF	0402	NP0 +/- 2%
C3	2.2nF	0402	X7R +/- 10%
C4	Not mounted	0402	
C5	1.5pF	0402	NP0 +/-0.1pF
C6	1.0pF	0402	NP0 +/-0.1pF
C7, C9, C11	100nF	0402	X7R +/- 10%
C8, C10	33nF	0402	X7R +/- 10%
L1, L2	6.8nH	0402	High-frequency chip inductor +/-5%
L3	4.7nH	0402	High-frequency chip inductor +/-5%
R1	22k	0402	1%
U1	nRF24LE1F16Q32	QFN32	QFN32 5x5mm package
X1	16 MHz	3.2 x 2.5 mm	TSX-3225, 16 MHz, CL=9pF, +/-60 ppm
PCB substrate	FR4 laminate	16.0 x 17.8 mm	2 layer, thickness 1.6mm

Table 119. nRF24LE1, 5x5mm QFN32 Bill Of Materials

## 29.3 Q24 应用例子



No components  
in bottom layer





### 29.3.3 Bill Of Materials (BOM)

Designator	Value	Footprint	Comment
C1, C2	15pF	0402	NP0 +/- 2%
C3	2.2nF	0402	X7R +/- 10%
C4	Not mounted	0402	
C5	1.5pF	0402	NP0 +/-0.1pF
C6	1.0pF	0402	NP0 +/-0.1pF
C7, C9, C11	100nF	0402	X7R 1+/-10%
C8, C10	33nF	0402	X7R +/-10%
L1, L2	6.8nH	0402	High-frequency chip inductor +/-5%
L3	5.6nH	0402	High-frequency chip inductor +/-5%
R1	22k	0402	1%
U1	nRF24LE1F16 Q24	QFN24	QFN24 4x4mm package
X1	16 MHz	3.2x2.5mm	TSX-3225, 16MHz, CL=9pF, +/-60 ppm
PCB substrate	FR4 laminate	14.8x16.6mm	2 layer, thickness 1.6mm

Table 120. nRF24LE1, 4x4mm QFN24 Bill Of Materials

## 30 订货信息

### 30.1 Package marking

N	R	F		B	X
2	4	L	E	1	Z
Y	Y	W	W	L	L

#### 30.1.1 缩略语

缩略语	定义
24LE1	产品号
B	产品生产地，封装类型及测试平台唯一编码
X	X 等级
WW	第几周生产
LL	晶片批号代码
Z	封装类型 D=24 脚 E=32 脚 F=48 脚
YY	哪年生产

#### 30.2 产品选择

Ordering code	Package	Container	MOQ
nRF24LE1-F16Q24-T	4×4mm 24-pin QFN, lead free (green)	Tray	490
nRF24LE1-F16Q24-R7	4×4mm 24-pin QFN, lead free (green)	Tape-and-reel	1500
nRF24LE1-F16Q24-R	4×4mm 24-pin QFN, lead free (green)	Tape-and-reel	4000
nRF24LE1-F16Q24-SAMPLE	4×4mm 24-pin QFN, lead free (green)	Sample box	5
nRF24LE1-F16Q32-T	5×5mm 32-pin QFN, lead free (green)	Tray	490
nRF24LE1-F16Q32-R7	5×5mm 32-pin QFN, lead free (green)	Tape-and-reel	1500
nRF24LE1-F16Q32-R	5×5mm 32-pin QFN, lead free (green)	Tape-and-reel	4000
nRF24LE1-F16Q32-SAMPLE	5×5mm 32-pin QFN, lead free (green)	Sample box	5
nRF24LE1-F16Q48-T	7×7mm 48-pin QFN, lead free (green)	Tray	490
nRF24LE1-F16Q48-R7	7×7mm 48-pin QFN, lead free (green)	Tape-and-reel	1500
nRF24LE1-F16Q48-R	7×7mm 48-pin QFN, lead free (green)	Tape-and-reel	4000
nRF24LE1-F16Q48-SAMPLE	7×7mm 48-pin QFN, lead free (green)	Sample box	5

Table 122. nRF24LE1 RF silicon options

### 30.2.2 开发工具

Type Number	Description
nRF6700	nRFgo Starter Kit
nRF24LE1-F16Q24-DK	nRFgo Development Kit for nRF24LE1 4×4mm 24 pin QFN (requires nRFgo Starter Kit)
nRF24LE1-F16Q32-DK	nRFgo Development Kit for nRF24LE1 5×5mm 32 pin QFN (requires nRFgo Starter Kit)
nRF24LE1-F16Q48-DK	nRFgo Development Kit for nRF24LE1 7×7mm 48 pin QFN (requires nRFgo Starter Kit)

Table 123. nRF24LE1 solution options

## 31 术语

Term	Description
ACK	Acknowledgement
ADC	Analog to digital converter
ART	Auto Re-Transmit
BOR	Brown-Out Reset
CE	Chip Enable
CLK	Clock
CRC	Cyclic Redundancy Check
CSN	Chip Select NOT
ESB	Enhanced ShockBurst™
GFSK	Gaussian Frequency Shift Keying
IRQ	Interrupt Request
ISM	Industrial-Scientific-Medical
LNA	Low Noise Amplifier
LSB	Least Significant Bit
LSByte	Least Significant Byte
Mbps	Megabit per second
MCU	Microcontroller
MOQ	Minimum Order Quantity
MISO	Master In Slave Out
MOSI	Master Out Slave In
MSB	Most Significant Bit
MSByte	Most Significant Byte
NV	Non-Volatile (memory)
PCB	Printed Circuit Board
PER	Packet Error Rate
PID	Packet Identity Bits
PLD	Payload
POF	Power Fail
POR	Power On Reset
PRX	Primary RX
PTX	Primary TX
PWR_DWN	Power Down
PWR_UP	Power Up
RCOSC16M	16 MHz RC oscillator
RCOSC32K	32 KHz RC oscillator
RNG	Random Number Generator
RX	Receive
RX_DR	Receive Data Ready
SPI	Serial Peripheral Interface
TX	Transmit
TX_DS	Transmit Data Sent
XOSC16M	16 MHz crystal oscillator
XOSC32K	32 KHz crystal oscillator