

**Федеральное государственное автономное образовательное
учреждение
высшего образования
"Национальный исследовательский университет
"Высшая школа экономики"**

Дисциплина: «Теория автоматов и управление»

Домашняя работа

Студент: Камаров Лазизбек Шухрат угли

Группа: БИВ201

Вариант: 8

Преподаватель: Бирюков Игорь Иванович

Дата сдачи отчёта: 13.05.2022

МОСКВА 2022

Задание

1. Количество десятичных разрядов сумматора: 3.
2. Двоично-десятичный код: 8421+3.
3. Система логических элементов: ИЛИ-НЕ, ИЛИ.
4. Критерий оптимальности: минимальное количество связей между ПЭ.
5. Триггер для схем управления: двухтактный синхронный D-триггер.
6. Время задержки в любом ЛЭ: 1 нс.
7. Импульсы синхронизации длительности 2 нс со скважностью 2.

Разработка алгоритма выполнения арифметических операций многоразрядных чисел в заданном коде

Сложение двоично-десятичных чисел в коде 8421+3.

8421+3	0	1	2	3	4	5	6	7	8	9
	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100
0	0011	0100	0101	0110	0111	1000	1001	1010	1011	1100
0011	0110	0111	1000	1001	1010	1011	1100	1101	1110	1111
	1101	1101	1101	1101	1101	1101	1101	1101	1101	1101
1	0100	0101	0110	0111	1000	1001	1010	1011	1100	0100.0011
0100	0111	1000	1001	1010	1011	1100	1101	1110	1111	1.0000
	1101	1101	1101	1101	1101	1101	1101	1101	1101	0011
2	0101	0110	0111	1000	1001	1010	1011	1100	0100.0011	0100.0100
0101	1000	1001	1010	1011	1100	1101	1110	1111	1.0000	1.0001
	1101	1101	1101	1101	1101	1101	1101	1101	0011	0011
3	0110	0111	1000	1001	1010	1011	1100	0100.0011	0100.0100	0100.0101
0110	1001	1010	1011	1100	1101	1110	1111	1.0000	1.0001	1.0010
	1101	1101	1101	1101	1101	1101	1101	0011	0011	0011
4	0111	1000	1001	1010	1011	1100	0100.0011	0100.0100	0100.0101	0100.0110
0111	1010	1011	1100	1101	1110	1111	1.0000	1.0001	1.0010	1.0011
	1101	1101	1101	1101	1101	1101	0011	0011	0011	0011
5	1000	1001	1010	1011	1100	0100.0011	0100.0100	0100.0101	0100.0110	0100.0111
1000	1011	1100	1101	1110	1111	1.0000	1.0001	1.0010	1.0011	1.0100
	1101	1101	1101	1101	1101	0011	0011	0011	0011	0011
6	1001	1010	1011	1100	0100.0011	0100.0100	0100.0101	0100.0110	0100.0111	0100.1000
1001	1100	1101	1110	1111	1.0000	1.0001	1.0010	1.0011	1.0100	1.0101
	1101	1101	1101	1101	0011	0011	0011	0011	0011	0111
7	1010	1011	1100	0100.0011	0100.0100	0100.0101	0100.0110	0100.0111	0100.1000	0100.1001
1010	1101	1110	1111	1.0000	1.0001	1.0010	1.0011	1.0100	1.0101	1.0110
	1101	1101	1101	0011	0011	0011	0011	0011	0111	0111
8	1011	1100	0100.0011	0100.0100	0100.0101	0100.0110	0100.0111	0100.1000	0100.1001	0100.1010
1011	1110	1111	1.0000	1.0001	1.0010	1.0011	1.0100	1.0101	1.0110	1.0111
	1101	1101	0011	0011	0011	0011	0011	0111	0111	0111
9	1100	0100.0011	0100.0100	0100.0101	0100.0110	0100.0111	0100.1000	0100.1001	0100.1010	0100.1011
1100	1111	1.0000	1.0001	1.0010	1.0011	1.0100	1.0101	1.0110	1.0111	1.1000
	1101	0011	0011	0011	0011	0011	0111	0111	0111	0011

1. Корректный результат сложения соответствующих двоично-десятичных чисел;
2. Результат сложения соответствующих двоично-десятичных чисел по правилам двоичной арифметики;
3. Корректирующая величина.

Пусть

$$T(A) = \alpha_8 \alpha_4 \alpha_2 \alpha_1$$

$$T(B) = \beta_8 \beta_4 \beta_2 \beta_1$$

$$T(C) = \chi_8 \chi_4 \chi_2 \chi_1$$

Так же

Π_{i-1} – перенос из предыдущего десятичного разряда (тетрады)

Π_i – перенос в следующий десятичный разряд (тетраду)

Коррекция вводится в двух случаях:

$$1) T(A) + T(B) < 10_{10}$$

$P_i = 0$ и применяется код 1101

$$2) T(A) + T(B) \geq 10_{10}$$

$P_i = 1$ и применяется код 0011

1) Сложение двух положительных чисел в прямом коде без переполнения разрядной сетки

+	111	0.0100.0100.0100
+	111	0.0100.0100.0100
+	222	0.1000.1000.1000
		1101.1101.1101
		0.0101.0101.0101

2) Сложение положительного (прямой код) и отрицательного (обратный код) числа, ответ получается в прямом коде. Появляется единица переноса в знак. разряд, единица из знакового разряда идет в младший разряд первой тетрады.

+	222	0.0101.0101.0101
-	111	1.1011.1011.1011
+	111	10.0001.0001.0000
		0011.0011.0011
		10.0100.0100.0011
		0.0100.0100.0100

3) Сложение двух отрицательных чисел в обратном коде, ответ в обратном коде. Появляется единица переноса в знак. разряд, единица из знакового разряда идет в младший разряд первой тетрады.

-	111	1.1011.1011.1011
-	111	1.1011.1011.1011
-	222	1.0111.0111.0110
		0100.0100.0100
		1.1010.1010.1010

4) Сложение положительного (прямой код) и отрицательного (обратный код) числа, ответ получается в обратном коде (ответ отрицательный).

+	111	0.0100.0100.0100
-	222	1.1010.1010.1010
<hr/>		
-	111	1.1110.1110.1110
<hr/>		
		0011.0011.0011
<hr/>		
		1.1011.1011.1011

5) При сложении двух положительных чисел в прямом коде, ответ отрицательный, значит, мы получили переполнение разрядной сетки.

+	501	0.1000.0011.0100
+	501	0.1000.0011.0100
<hr/>		
+	1002	1.0000.0110.1000
<hr/>		
		+ 0011.1101.1101
<hr/>		
		1.0011.0011.0101

6) При сложении двух отрицательных чисел в обратном коде, ответ положительный, значит, мы получили переполнение разрядной сетки. Ответ записан в обратном коде.

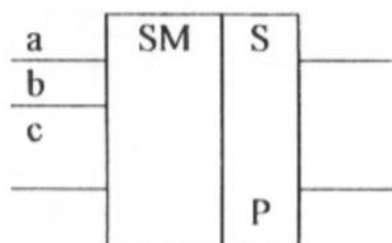
-	501	1.0111.1100.1011
-	501	1.0111.1100.1011
<hr/>		
-	1554	10.1111.1001.0110
<hr/>		
		+ 0011.1101.0011
<hr/>		
		10.0111.0111.0111
<hr/>		
		10.0111.0111.1000

В клетках таблицы содержится следующая информация:

- Результат сложения соответствующих десятичных чисел, переведенный в данный код
- Результат сложения соответствующих двоичных чисел в данном коде
- Корректирующая величина

3. Проектирование логической схемы одноразрядного двоичного сумматора

Сумматор:



- a - первое слагаемое,
- b - второе слагаемое,
- c - перенос из соседнего (младшего разряда),
- s - сумма в данном разряде,
- p - перенос в соседний старший разряд

Таблица истинности, описывающая работу сумматора:

a	b	c	S	P
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Диаграмма Вейча для функции S:

	a		\bar{a}
b		1	
\bar{b}	1		1
	\bar{c}	c	\bar{c}

Диаграмма Вейча для функции P:

	a		\bar{a}
b	1	1	1
\bar{b}		1	
	\bar{c}	c	\bar{c}

После минимизации:

$$P = ab + ac + bc$$

$$S = abc + a\bar{b}\bar{c} + \bar{a}b\bar{c} + \bar{a}\bar{b}c$$

Диаграмма Вейча для функции \bar{P} :

	a		\bar{a}
b	1		1
\bar{b}		1	
	\bar{c}	c	\bar{c}

Функция P в базисе ИЛИ-НЕ, ИЛИ:

$$P = (\bar{a} + \bar{b}) + (\bar{a} + \bar{c}) + (\bar{c} + \bar{b}) - 7 \text{ ЛЭ (1 ЛЭ «ИЛИ», 6 ЛЭ «ИЛИ-НЕ»)}$$

$$P = \left((\bar{a} + \bar{b}) + (\bar{b} + \bar{c}) + (\bar{a} + \bar{c}) \right) - 4 \text{ ЛЭ «ИЛИ-НЕ»}$$

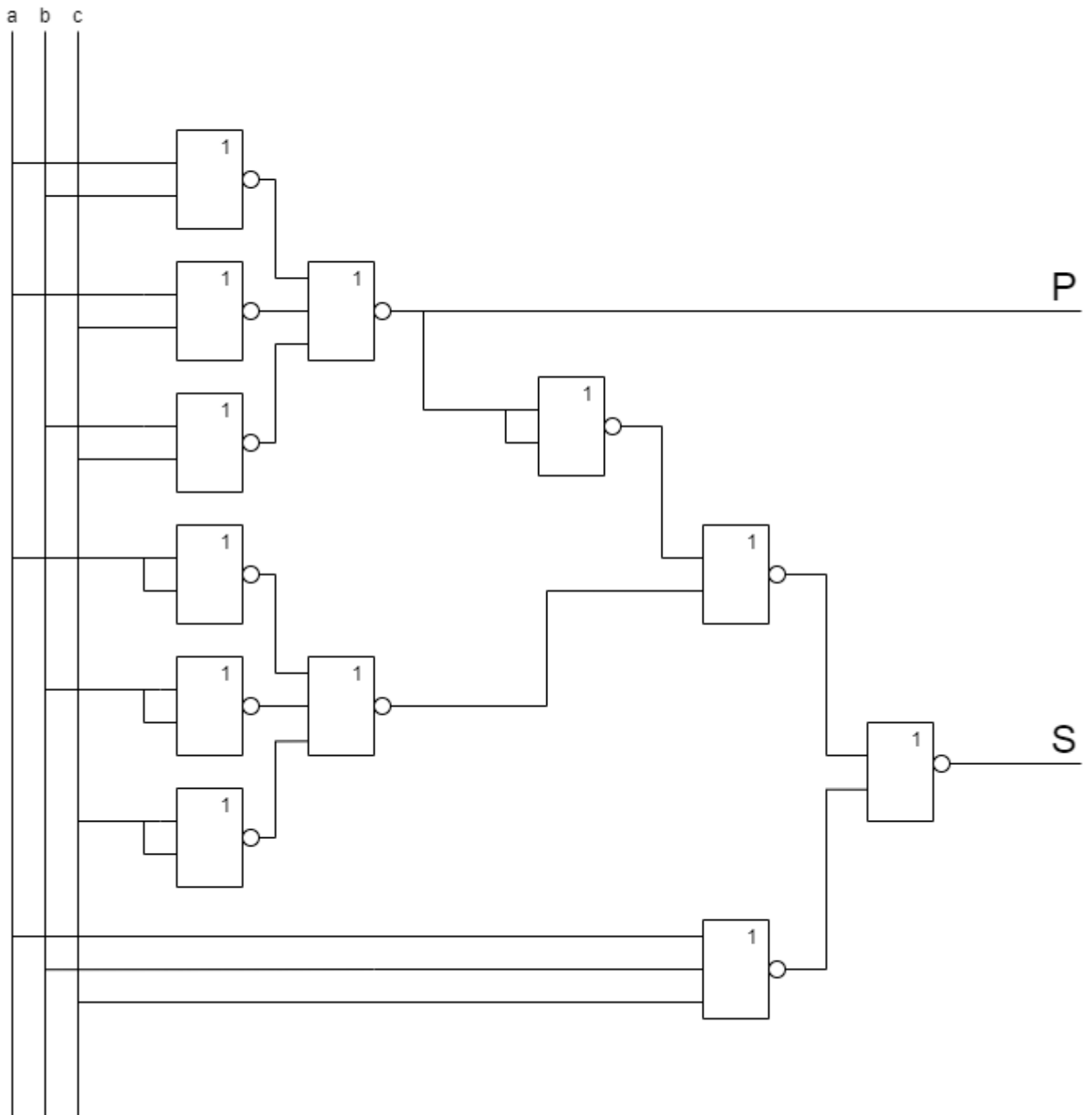
Можно заметить, что S можно выразить через P:

$$S = (\bar{P} + abc) - \overline{abc} = (\bar{P} + abc)(a + b + c)$$

Функция S в данном базисе:

$$S = \overline{(\bar{P} + abc)} + \overline{(a + b + c)} = \overline{(\bar{P} + (\bar{a} + \bar{b} + \bar{c}))} + \overline{(a + b + c)} - 8 \text{ ЛЭ «ИЛИ-НЕ»}$$

Логическая схема одnorазрядного двоичного сумматора в базисе «ИЛИ», «ИЛИ-НЕ»:



4. Проектирование логической схемы одnorазрядного десятичного сумматора

Пусть

$$T(A) = \alpha_8 \alpha_4 \alpha_2 \alpha_1$$

$$T(B) = \beta_8 \beta_4 \beta_2 \beta_1$$

$$T(C) = \chi_8 \chi_4 \chi_2 \chi_1$$

При этом:

Π_{i-1} – перенос из предыдущего десятичного разряда (тетрады);

Π_i – перенос в следующий десятичный разряд (тетраду);

Функция корректности вводится, если:

$$T(A) + T(B) < 10_{10}$$

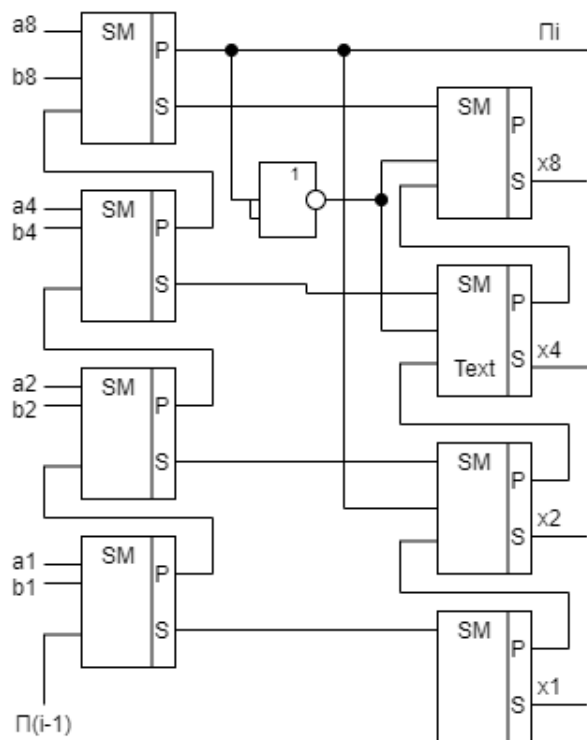
В этом случае $\Pi_i = 0$ и применяется код 1101

$$T(A) + T(B) \geq 10_{10}$$

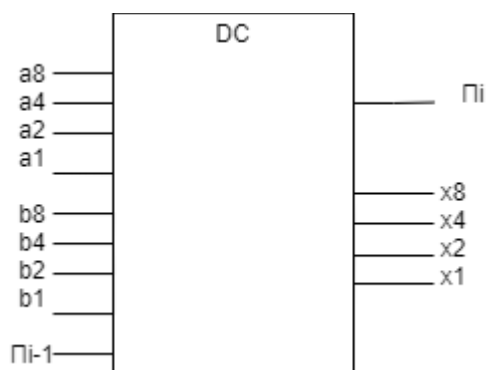
В этом случае $\Pi_i = 1$ и применяется код 0011

Π_i	K8	K4	K2	K1
0	1	1	0	1
1	0	0	1	1

Схема одноразрядного десятичного сумматора



Условное обозначение одnorазрядного десятичного сумматора



5. Проектирование дополнительных схем

a_0 – знак числа, a_8, a_4, a_2, a_1 – само число, $\tilde{a}_8, \tilde{a}_4, \tilde{a}_2, \tilde{a}_1$ – обратный код.

a_0	a_8	a_4	a_2	a_1	\tilde{a}_8	\tilde{a}_4	\tilde{a}_2	\tilde{a}_1
0	0	0	0	0	X	X	X	X
0	0	0	0	1	X	X	X	X
0	0	0	1	0	X	X	X	X
0	0	0	1	1	0	0	1	1
0	0	1	0	0	0	1	0	0
0	0	1	0	1	0	1	0	1

0	0	1	1	0	0	1	1	0
0	0	1	1	1	0	1	1	1
0	1	0	0	0	1	0	0	0
0	1	0	0	1	1	0	0	1
0	1	0	1	0	1	0	1	0
0	1	0	1	1	1	0	1	1
0	1	1	0	0	1	1	0	0
0	1	1	0	1	X	X	X	X
0	1	1	1	0	X	X	X	X
0	1	1	1	1	X	X	X	X
1	0	0	0	0	X	X	X	X
1	0	0	0	1	X	X	X	X
1	0	0	1	0	X	X	X	X
1	0	0	1	1	1	1	0	0
1	0	1	0	0	1	0	1	1
1	0	1	0	1	1	0	1	0
1	0	1	1	0	1	0	0	1
1	0	1	1	1	1	0	0	0
1	1	0	0	0	0	1	1	1
1	1	0	0	1	0	1	1	0
1	1	0	1	0	0	1	0	1
1	1	0	1	1	0	1	0	0
1	1	1	0	0	0	0	1	1
1	1	1	0	1	0	0	1	0
1	1	1	1	0	0	0	1	1
1	1	1	0	1	X	X	X	X
1	1	1	1	0	X	X	X	X
1	1	1	1	1	X	X	X	X

Все числа, которые приходят на входы сумматора, представлены в прямом коде. Для выполнения операции сложения (вычитания) с этими величинами необходимо представить их в обратном коде. Для этого необходимо разработать

преобразователь чисел из прямого кода в обратный. Причем преобразователь из обратного кода в прямой будет иметь ту же схему.

Пусть на вход преобразователя приходят одноразрядные десятичные числа, закодированные с помощью двоичных символов и имеющие условные обозначения a_0 —знак числа, $a_8 a_4 a_2 a_1$ — само число.

На выходе будет a_0 —знак числа (он не изменяется), $a_8 a_4 a_2 a_1$.

Зная правила записи числа в обратном коде, составим таблицу истинности преобразователя.

Для построения схемы получим МКНФ всех переключательных функций с помощью диаграмм Вейча:

1) \tilde{a}_8

	a_0	$\overline{a_0}$	a_0	$\overline{a_0}$	
a_8	1	x	1	1	$\overline{a_2}$
	1	x	1	x	a_2
$\overline{a_8}$		1	1	x	$\overline{a_2}$
	x	1	x	1	a_2
	$\overline{a_4}$	a_4	$\overline{a_4}$	a_4	$\overline{a_4}$

$$\tilde{a}_8 = a_0 * a_8 + \overline{a_0} * \overline{a_8} = \overline{a_0 + a_8} + \overline{\overline{a_0} + \overline{a_8}}$$

2) \tilde{a}_4

	a_0	$\overline{a_0}$	a_0	$\overline{a_0}$	
a_8	x	x	1	1	$\overline{a_2}$
	x	x	1	x	a_2
$\overline{a_8}$	1	1	x	1	$\overline{a_2}$
	x	1	x	1	a_2
	$\overline{a_4}$	a_4	$\overline{a_4}$	a_4	$\overline{a_4}$

$$\tilde{a}_4 = a_0 * a_4 + \overline{a_0} * \overline{a_4} = \overline{a_0 + a_4} + \overline{\overline{a_0} + \overline{a_4}}$$

3) \tilde{a}_2

		x	x	1				1	1	$\overline{a^2}$
a^8										
	1	x	x		1	x	x			a^2
	1	1			x	1			x	
$\overline{a^8}$										
	x		1	x	x		1	x		$\overline{a^2}$
	$\overline{a^4}$	a^4	$\overline{a^4}$	$\overline{a^4}$	a^4	$\overline{a^4}$	a^4	$\overline{a^4}$	$\overline{a^4}$	

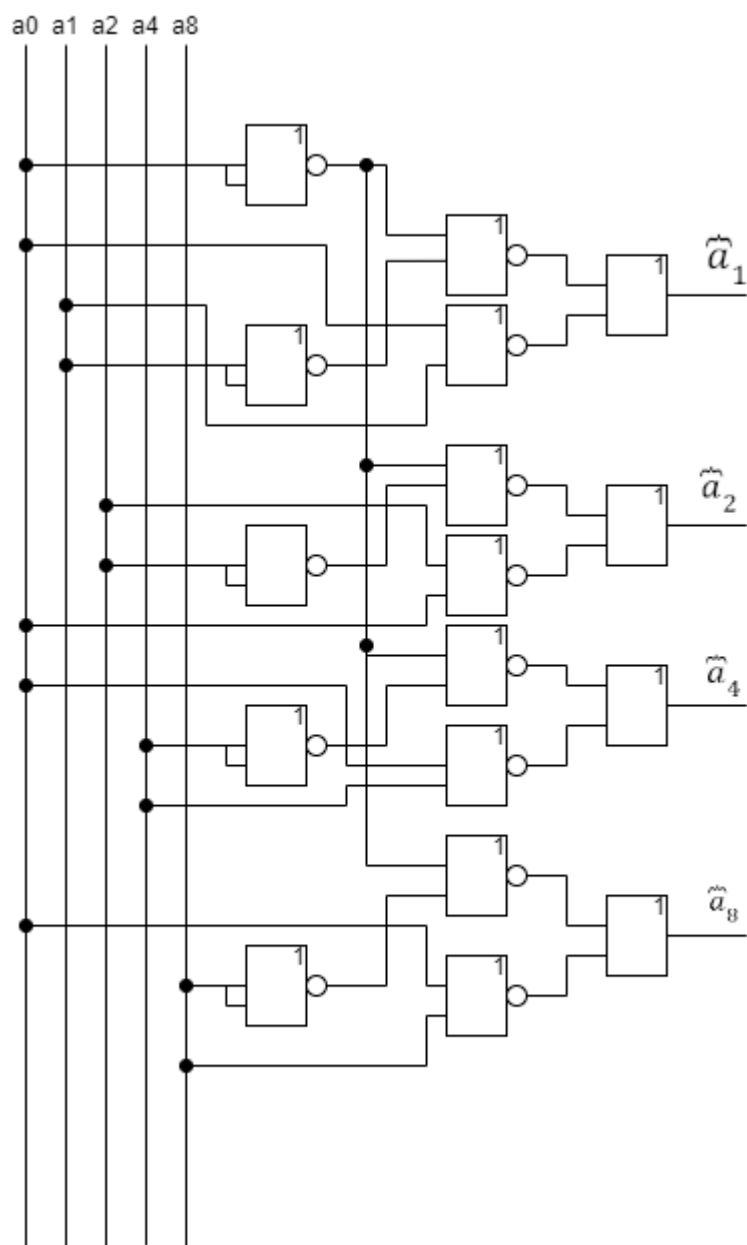
$$\tilde{a}_2 = a_0 * a_2 + \overline{a_0} * \overline{a_2} = \overline{a_0 + a_2} + \overline{\overline{a_0} + \overline{a_2}}$$

$$4) \quad \hat{a}_1$$

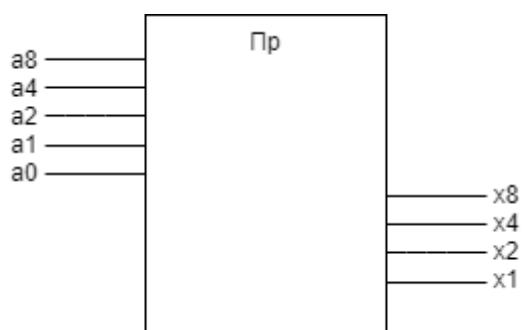
	a0	$\overline{a0}$	a0	$\overline{a0}$	
a8	1	x	x		$\overline{a2}$
	1	x	x	x	a2
$\overline{a8}$	1	1		x	$\overline{a2}$
	x	1	x	x	$\overline{a2}$
	$\overline{a4}$	a4	$\overline{a4}$	a4	

$$\tilde{a}_1 = a_0 * a_1 + \overline{a_0} * \overline{a_1} = \overline{a_0 + a_1} + \overline{\overline{a_0} + \overline{a_1}}$$

Схема преобразователя в заданном базисе



Условное обозначение преобразователя



6. Схемы переполнения

При наступлении переполнения разрядной сетки результат получается неправильным. Чтобы фиксировать наступление переполнения необходимо спроектировать специальную схему. В основу проектирования этой схемы положено

правило наступления переполнения разрядной сетки. Оно гласит - переполнение наступает если:

- при сложении двух положительных величин результат получается отрицательным;

- при сложении двух отрицательных величин результат получается положительным.

Обозначим: a_0 и b_0 - знаки слагаемых; c_0 - знак результата; φ - знак переполнения.

По правилам переполнения составим таблицу истинности для переключательной функции φ .

Таблица истинности для функции переполнения

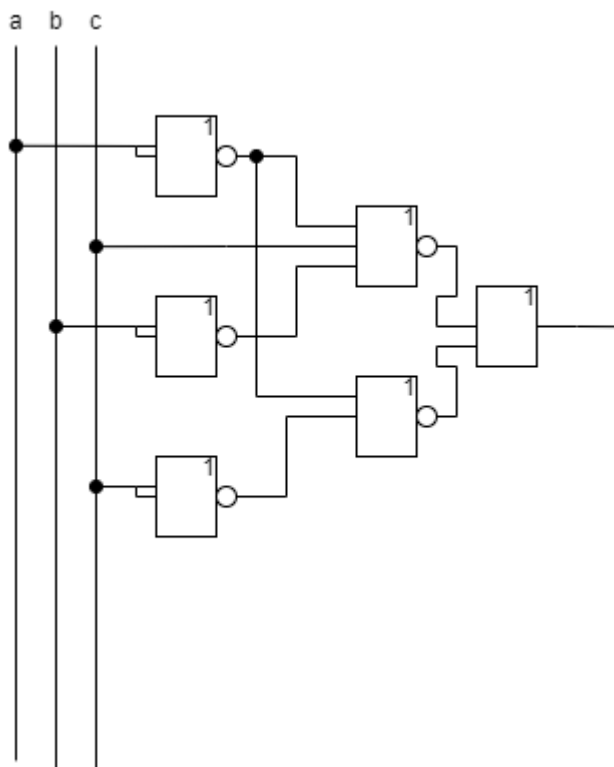
a_0	b_0	c_0	φ
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	0

Диаграмма Вейча для функции φ

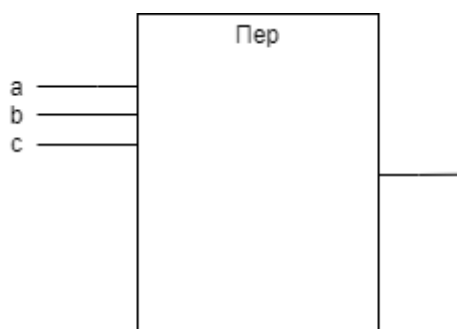
	a	\overline{a}	
b	1		
\overline{b}			1
	\overline{c}	c	\overline{c}

$$\varphi = abc + a\overline{b}c = \overline{\overline{a} + \overline{b} + c} + \overline{\overline{a} + b + \overline{c}}$$

Схема переполнителя



Условное обозначение переполнителя



7. Трехразрядный десятичный сумматор

Обозначим слагаемые, поступающие на вход сумматора

$A = a_0 a_1 a_2 a_3$; где a_0 — знак числа, a_i — десятичная цифра, которая представляется в двоично-десятичном коде следующим образом: $a_i = \alpha_i 8 \alpha_i 4 \alpha_i 2 \alpha_i 1$;

$B = b_0 b_1 b_2 b_3$; где b_0 — знак числа, $b_i = \beta_i 8 \beta_i 4 \beta_i 2 \beta_i 1$;

Результат от сложения обозначим:

$C = c_0 c_1 c_2 c_3$; где c_0 — знак суммы, $c_i = \gamma_i 8 \gamma_i 4 \gamma_i 2 \gamma_i 1$.

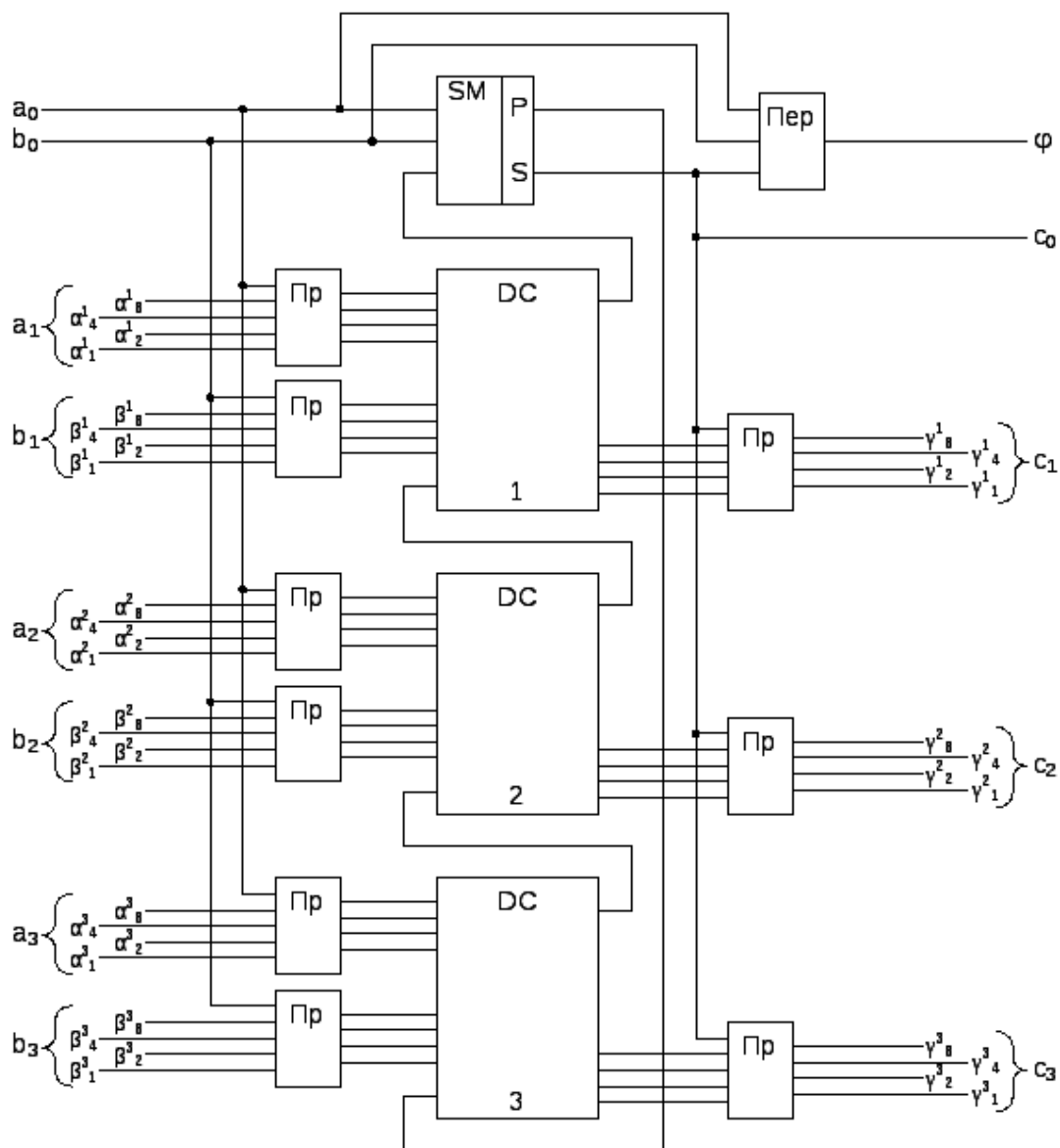
На вход сумматора поступают два трехразрядных десятичных числа. Каждая тетрада этих чисел по отдельности проходит через преобразователь, и каждые две соответствующие тетрады обоих чисел поступают на входы одноразрядных

десятичных сумматоров. Эти сумматоры соединены последовательно, аналогично соединению двоичных сумматоров. Кроме того, выход Π_i первого сумматора подводится на вход схемы, учитывающей знак суммы. Сигнал с входа P этой схемы подводится на вход первого одноразрядного десятичного сумматора Π_{i-1} . Этим достигается прибавление 1 к младшему разряду при сложении в обратном коде.

Получившиеся на выходах одноразрядных десятичных сумматоров значения пропускаются через преобразователи, и на их выходах получают значащие разряды искомого числа (суммы). Знак суммы вырабатывается «схемой, учитывающей знак суммы».

Знак суммы, а также знаки входных чисел, поступают на «схему, фиксирующую переполнение».

Схема трехразрядного десятичного сумматора



8. Устройство управления многоразрядным сумматором

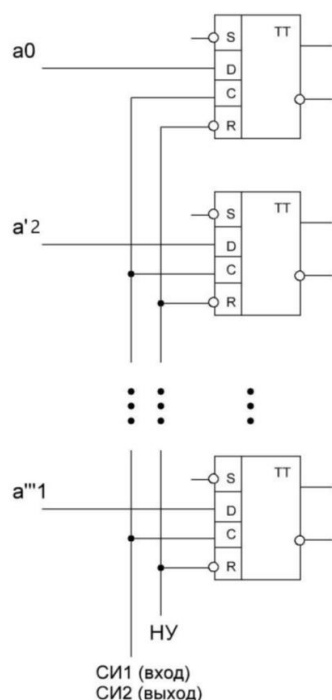
Для правильного функционирования полученной схемы трехразрядного десятичного сумматора необходимо зафиксировать величины, которые участвуют в сложении, величину полученного результата и признаки результата. Это можно сделать, используя входные и выходные регистры и регистр признаков. Однако, кроме регистров, необходимо устройство, которое будет синхронизировать работу этих регистров и осуществлять остановку после получения результата.

Это устройство вырабатывает 4 синхроимпульса с различными временными задержками между ними (СИ1, СИ2, СИ3 и СИ4). Первый импульс позволяет записать два операнда во входные регистры. Как только эта информация будет записана, величины появляются на входах сумматора, и сумматор начинает производить обработку информации. Второй импульс позволяет записать информацию в выходной регистр, когда результат получен. Третий импульс позволяет получить в регистре признаков все признаки результатов. И четвертый импульс останавливает процесс вычислений. Между импульсами существуют временные интервалы, во время которых обрабатывается информация.

9. Разработка входных и выходных регистров хранения числовой информации, участвующей в операции сложения

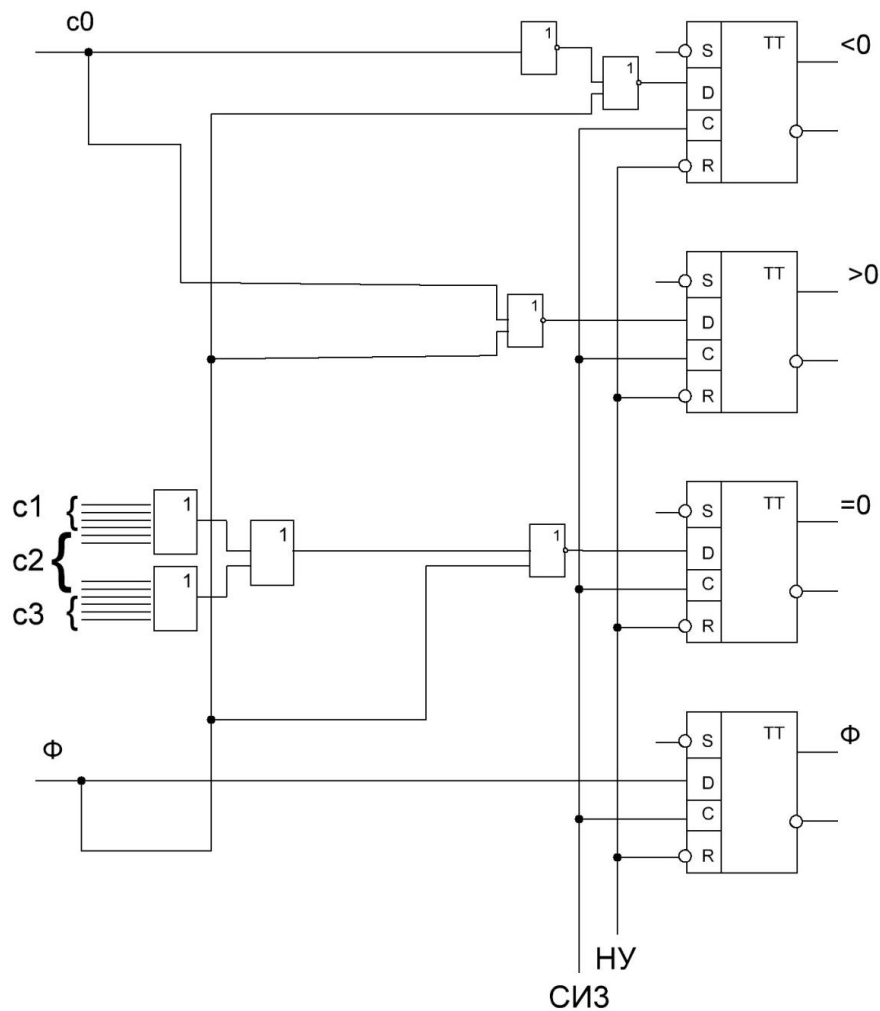
Регистры входов и выхода имеют одинаковую структуру и строятся на синхронных двухтактных D триггерах с асинхронными установочными входами R и S. Каждый регистр содержит по 13 триггеров (12 для 3-х тетрад и один знаковый).

Функциональная схема регистров



Регистр признаков хранит информацию о результате работы устройства. Регистр состоит из 4 триггеров. Первый содержит 1, если результат отрицательный, второй – положительный, третий – 0. Четвертый триггер переходит в единичное состояние при возникновении переполнения разрядной сетки.

Логическая схема регистра признаков



10. Проектирование распределителя сигналов

T1 — характеризуется временем работы трехразрядного десятичного сумматора комбинационного типа. Для определения этой величины надо определить время задержки сигналов по каждой схеме, которая входит составной частью в общую схему.

Получилось 45нс (2нс Пр + 8нс DC + 8нс DC + 8нс DC + 2нс SM + 15нс DC + 2нс ПР). Так как T1 должно быть кратно 4, то получаем, что T1 = 48нс.

Временной интервал T2 определяется задержкой сигнала во входных цепях регистра признаков. Комбинационная схема на входе триггера, отвечающего за признак равенства нулю результата, поэтому T2 = 4нс.

Величина T3 также равна 4нс, так как сигнал останова СИ4 идет непосредственно за сигналом СИ3.

Имея временные интервалы между выходными сигналами в распределителе сигналов, можно приступить к проектированию данного устройства. Распределитель сигналов является генератором следующих четырехразрядных двоичных чисел:

0001, 0000, ... , 0000, 0010, 0100, 1000

11 раз

Кол-во наборов для таблицы переходов = 15

Таблица переходов

	Такт n				Такт n+1				Ф-ии переходов				Синхроимпульсы			
	Q_4^n	Q_3^n	Q_2^n	Q_1^n	Q_4^{n+1}	Q_3^{n+1}	Q_2^{n+1}	Q_1^{n+1}	F ₄	F ₃	F ₂	F ₁	СИ4	СИ3	СИ2	СИ1
0	0	0	0	0	0	0	0	1	0	0	0	▲	0	0	0	1
1	0	0	0	1	0	0	1	0	0	0	▲	▼	0	0	0	0
2	0	0	1	0	0	0	1	1	0	0	1	▲	0	0	0	0
3	0	0	1	1	0	1	0	0	0	▲	▼	▼	0	0	0	0
4	0	1	0	0	0	1	0	1	0	1	0	▲	0	0	0	0
5	0	1	0	1	0	1	1	0	0	1	▲	▼	0	0	0	0
6	0	1	1	0	0	1	1	1	0	1	1	▲	0	0	0	0
7	0	1	1	1	1	0	0	0	▲	▼	▼	▼	0	0	0	0
8	1	0	0	0	1	0	0	1	1	0	0	▲	0	0	0	0
9	1	0	0	1	1	0	1	0	1	0	▲	▼	0	0	0	0
10	1	0	1	0	1	0	1	1	1	0	1	▲	0	0	0	0
11	1	0	1	1	1	1	0	0	1	▲	▼	▼	0	0	0	0
12	1	1	0	0	1	1	0	1	1	1	0	▲	0	0	1	0
13	1	1	0	1	1	1	1	0	1	1	▲	▼	0	1	0	0
14	1	1	1	0	0	0	0	0	▼	▼	▼	0	1	0	0	0

На 15 наборе неопределенные значения.

F	0	1	▲	▼
D	0	1	1	0

F4

	$Q4$	$\overline{Q4}$		
$Q1$	1	▼		$\overline{Q3}$
	1	x	▲	$Q3$
$\overline{Q1}$	1	1		$\overline{Q3}$
	1	1		$\overline{Q3}$
	$\overline{Q2}$	$Q2$	$\overline{Q2}$	

D4

	$Q4$	$\overline{Q4}$		
$Q1$	1			$\overline{Q3}$
	1	x	1	$Q3$
$\overline{Q1}$	1	1		$\overline{Q3}$
	1	1		$\overline{Q3}$
	$\overline{Q2}$	$Q2$	$\overline{Q2}$	

$$\begin{aligned}
 D4 &= \overline{Q2} * Q4 + \overline{Q1} * Q4 + Q1 * Q2 * Q3 \\
 &= \overline{Q2} + \overline{Q4} + \overline{Q1} + \overline{Q4} + \overline{Q1} + \overline{Q2} + \overline{Q3}
 \end{aligned}$$

F3

	$Q4$	$\overline{Q4}$		
$Q1$	1	▼	1	1
	1	x	▼	1
		▲	▲	
$\overline{Q1}$				
	$\overline{Q2}$	$Q2$	$\overline{Q2}$	
				$\overline{Q3}$
				$Q3$
				$\overline{Q3}$

D3

	$Q4$	$\overline{Q4}$		
$Q1$	1		1	1
	1	x		1
		1	1	
$\overline{Q1}$				
	$\overline{Q2}$	$Q2$	$\overline{Q2}$	
				$\overline{Q3}$
				$Q3$
				$\overline{Q3}$

$$\begin{aligned}
 D3 &= Q1 * \overline{Q2} + Q1 * \overline{Q3} * \overline{Q4} + \overline{Q1} * Q2 * Q3 \\
 &= \overline{Q1} + Q2 + \overline{Q1} + Q3 + Q4 + \overline{Q1} + \overline{Q2} + \overline{Q3}
 \end{aligned}$$

F2

	$Q4$	$\overline{Q4}$		
		▼	1	
$Q1$	▲	x	▼	▲
	▲	▼	▼	▲
$\overline{Q1}$		1	1	
	$\overline{Q2}$	$Q2$	$\overline{Q2}$	
				$\overline{Q3}$
				$Q3$
				$\overline{Q3}$

D2

	$Q4$	$\overline{Q4}$		
		1		
$Q1$	1	x		1
	1			1
$\overline{Q1}$		1	1	
	$\overline{Q2}$	$Q2$	$\overline{Q2}$	
				$\overline{Q3}$
				$Q3$
				$\overline{Q3}$

$$\begin{aligned}
 D2 &= \overline{Q2} * Q3 + Q2 * \overline{Q3} * \overline{Q4} + \overline{Q1} * Q2 * \overline{Q3} \\
 &= \overline{Q2} + \overline{Q3} + \overline{Q2} + Q3 + \overline{Q4} + \overline{Q1} + \overline{Q2} + Q3
 \end{aligned}$$

F1

	$Q4$		$\overline{Q4}$	
	▲		▲	▲
$Q1$	▼	X	▼	▼
	▼	▼	▼	▼
$\overline{Q1}$	▲	▲	▲	▲
	$\overline{Q2}$	$Q2$	$\overline{Q2}$	
				$\overline{Q3}$
				$Q3$
				$\overline{Q3}$

D1

	$Q4$		$\overline{Q4}$	
	1		1	1
$Q1$		X		
$\overline{Q1}$	1	1	1	1
	$\overline{Q2}$	$Q2$	$\overline{Q2}$	
				$\overline{Q3}$
				$Q3$
				$\overline{Q3}$

$$D1 = \overline{Q2} * \overline{Q3} + \overline{Q1} * \overline{Q3} + \overline{Q3} * \overline{Q4} = \overline{Q2 + Q3} + \overline{Q1 + Q3} + \overline{Q3 + Q4}$$

СИ4

	$Q4$	$\overline{Q4}$		
$Q1$	1			$\overline{Q3}$
	x			$Q3$
$\overline{Q1}$				$\overline{Q3}$
	$\overline{Q2}$	$Q2$	$\overline{Q2}$	

$$\text{СИ4} = Q1 * Q2 * Q4 = \overline{\overline{Q1} + \overline{Q2} + \overline{Q4}}$$

СИ3

	$Q4$	$\overline{Q4}$		
$Q1$	1	x		$\overline{Q3}$
				$Q3$
$\overline{Q1}$				$\overline{Q3}$
	$\overline{Q2}$	$Q2$	$\overline{Q2}$	

$$\text{СИ3} = Q1 * Q3 * Q4 = \overline{\overline{Q1} + \overline{Q3} + \overline{Q4}}$$

СИ2

	$Q4$	$\overline{Q4}$		
$Q1$	1			$\overline{Q3}$
		X		$Q3$
$\overline{Q1}$				$\overline{Q3}$
	$\overline{Q2}$	$Q2$	$\overline{Q2}$	

$$\text{СИ2} = Q1 * \overline{Q2} * \overline{Q3} * Q4 = \overline{\overline{Q1} + Q2 + Q3 + \overline{Q4}}$$

СИ1

	$Q4$	$\overline{Q4}$		
$Q1$				$\overline{Q3}$
		X		$Q3$
$\overline{Q1}$				$\overline{Q3}$
	$\overline{Q2}$	$Q2$	$\overline{Q2}$	

$$\text{СИ1} = \overline{Q1} * \overline{Q2} * \overline{Q3} * \overline{Q4} = \overline{Q1 + Q2 + Q3 + Q4}$$

Итого:

$$D4 = \overline{Q2 + \overline{Q4}} + \overline{Q1 + \overline{Q4}} + \overline{Q1 + Q2 + Q3}$$

$$D3 = \overline{\overline{Q1} + Q2} + \overline{\overline{Q1} + Q3 + Q4} + \overline{Q1 + \overline{Q2} + \overline{Q3}}$$

$$D2 = \overline{Q2 + \overline{Q3} + \overline{Q2} + Q3 + Q4 + Q1 + \overline{Q2} + Q3}$$

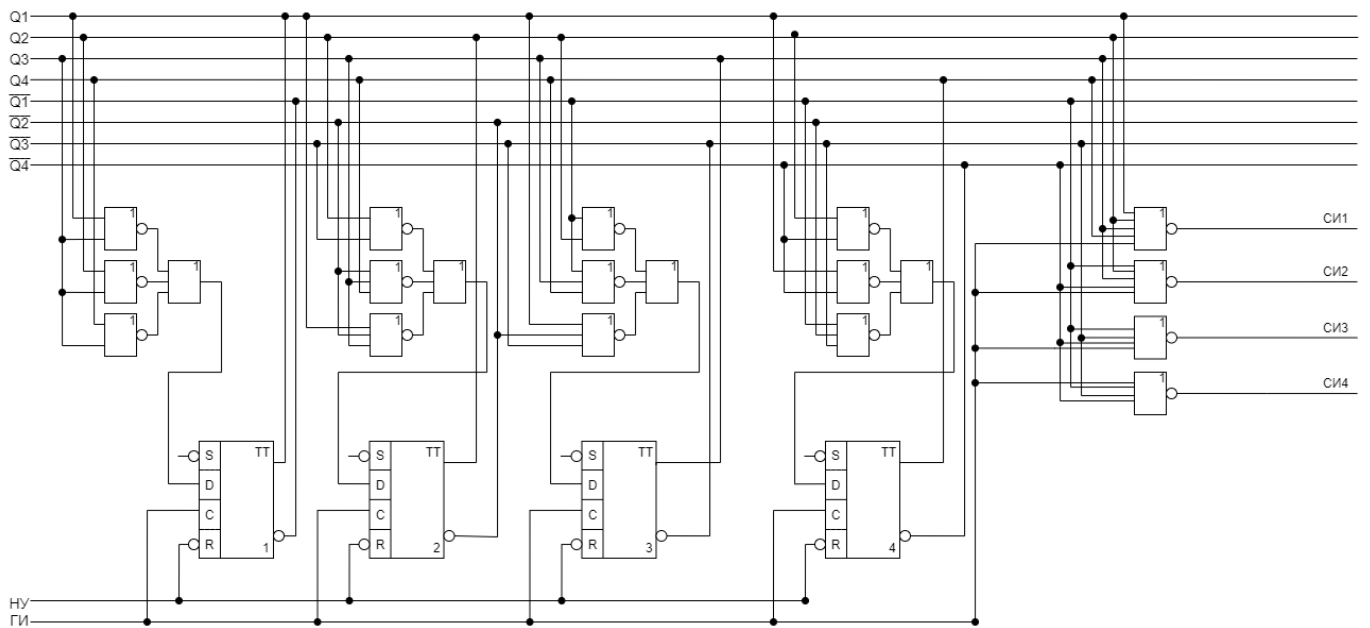
$$D1 = \overline{Q2 + Q3 + Q1 + Q3 + Q3 + Q4}$$

$$CИ4 = \overline{\overline{Q1} + \overline{Q2} + \overline{Q4}}$$

$$CИ3 = \overline{\overline{Q1} + \overline{Q3} + \overline{Q4}}$$

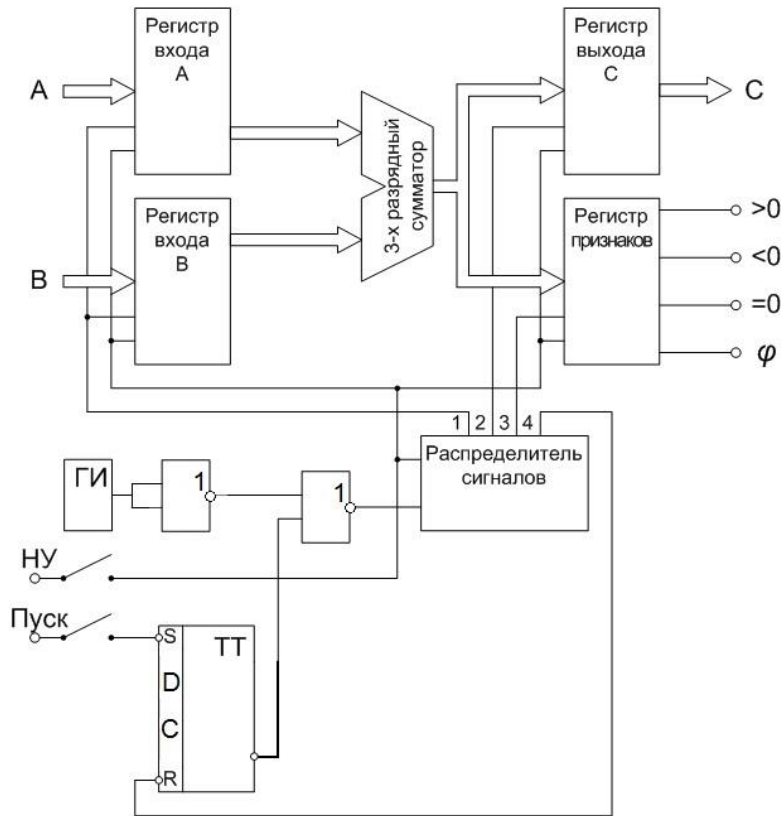
$$CИ2 = \overline{\overline{Q1} + Q2 + Q3 + \overline{Q4}}$$

$$CИ1 = \overline{Q1 + Q2 + Q3 + Q4}$$



11. Получение общей схемы сумматора

Общая структура трехразрядного десятичного сумматора с устройством управления.



По сигналу НУ триггеры регистров и распределителя сигналов устанавливаются в состояние «0». По сигналу «Пуск» триггер пуска устанавливается в состояние «1» и импульсы с ГИ через схему поступают на распределитель сигналов. Последний вырабатывает управляющие сигналы СИ1-4. Сигнал СИ4 устанавливает триггер пуска в состояние «0» и отключает тем самым ГИ от распределителя сигналов.