

BITÁCORA DE TRABAJO

Reunión #1

Fecha: 1-nov-20

Lugar de reunión: Discord

Hora de inicio: 4:30 pm

**Todos los integrantes están presentes.

Actividades realizadas

Asunto a resolver	Responsable	Fecha límite acordada para su cumplimiento
1. Apertura de proyecto: Se compilan en la máquina virtual los programas dados por el profesor para saber que instrucciones son necesarias para la arquitectura. Las instrucciones a implementar son las siguientes: add, sub, lw, lbu, addi, slli, xori, srli, srai, andi, jalr, sb, sw, lui, bne, jal, li, j y nop.	Todos los integrantes	01-nov
2. Acuerdos varios: Investigar acerca de las instrucciones listadas en la compilación y su decodificación.	Todos los integrantes	03-nov

Reunión #2**Fecha:** 3-nov-20**Lugar de reunión:** Discord**Hora de inicio:** 1:00 pm****Todos los integrantes están presentes.****Actividades realizadas**

Asunto a resolver	Responsable	Fecha límite acordada para su cumplimiento
1. Seguimiento de acuerdos: Se recopilaron bibliografías para la investigación y se empezó a dibujar el diagrama del circuito para las instrucciones R, J, I y U. En un documento se redacta el avance entre todos los integrantes y surge la duda de si es necesario utilizar más bloques para manejar todas las instrucciones de memoria necesarias, además se le debe preguntar al profesor sobre cómo implementar los saltos.	Todos los integrantes	03-nov
2. Acuerdos varios: Se designa a cada uno terminar cierta parte del circuito ya que no dio tiempo de terminarlo completo. Se pretende entregar en el primer avance los bloques mencionados en el punto 1.	Todos los integrantes	05-nov

Reunión #3**Fecha:** 26-nov-20**Lugar de reunión:** Discord**Hora de inicio:** 4:00 pm****Todos los integrantes están presentes.****Actividades realizadas**

Asunto a resolver	Responsable	Fecha límite acordada para su cumplimiento
1. Seguimiento de acuerdos: El día de entrega del primer avance el profesor sugirió reducir la cantidad de multiplexores utilizados y aumentarlos en tamaño, también confirmó que faltan bloques para los formatos de memoria. En el diagrama actual solo son posibles las instrucciones sw y lw, por lo que hoy se procede a combinar los multiplexores que se puedan. Además se crean y dibujan los bloques faltantes de Load y Store para Data Memory, de una vez se dibuja el diagrama de tercer nivel de estos bloques.	Todos los integrantes	02-dic

Reunión #4**Fecha:** 02-dic-20**Lugar de reunión:** Meet**Hora de inicio:** 3:15 pm****Todos los integrantes están presentes.****Actividades realizadas**

Asunto a resolver	Responsable	Fecha límite acordada para su cumplimiento
1. Acuerdos varios: Se empieza la implementación de los multiplexores en el ISE de Xilinx.	Henry y Luis Carlos	Sin fecha definida

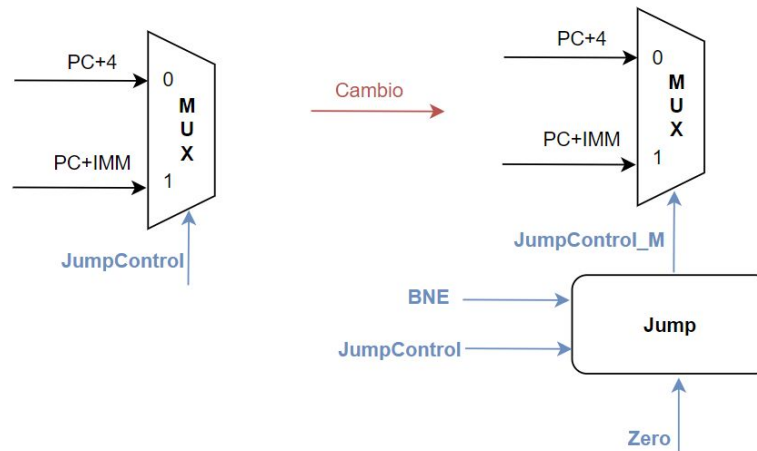
Reunión #5**Fecha:** 27-dic-20**Lugar de reunión:** Discord**Hora de inicio:** 4:00 pm****Sofía y Kaven están presentes.****Actividades realizadas**

Asunto a resolver	Responsable	Fecha límite acordada para su cumplimiento
1. Acuerdos varios: Se crean en un Excel las tablas con las señales de la Unidad de Control y del bloque ALU Control. Esto con el fin de implementarlas en el ISE como una máquina de estados donde para la Unidad de Control la única entrada es el Opcode y todas las señales de salida dependen de ello. Queda pendiente entender como implementar internamente el Immediate Generator porque no se sabe que utilizar de seleccionador.	Sofía y Kaven	29-dic

Reunión #6**Fecha:** 05-ene-21**Lugar de reunión:** Discord**Hora de inicio:** 4:00 pm****Todos los integrantes están presentes.****Actividades realizadas**

Asunto a resolver	Responsable	Fecha límite acordada para su cumplimiento
1. Acuerdos varios: Se revisa la tabla de la unidad de control nuevamente entre todos. Se agrega una nueva columna para la instrucción BNE debido a que esta necesita un control distinto del salto en caso de que no se dé la igualdad. Para manejarlo se crea una unidad llamada Jump que tiene como entrada BNE, JumpControl y una bandera nueva Zero (esta sale de la ALU).	Todos los integrantes	8-ene

Ahora el MUX que tenía como seleccionador JumpControl tiene una señal llamada JumpControl_M para diferenciarla de la señal de la UC. Además se empiezan a repartir entre los integrantes los bloques más grandes a programar en el ISE quedando pendiente la ALU.		
---	--	--



Reunión #7

Fecha: 08-ene-21

Lugar de reunión: Discord

Hora de inicio: 7:30 pm

**Todos los integrantes están presentes.

Actividades realizadas

Asunto a resolver	Responsable	Fecha límite acordada para su cumplimiento
1. Seguimiento de acuerdos: Se ven dudas entre todos respecto a la repartición de los bloques en el ISE de Xilinx. Se concluye que la UC y ALU Control se programan prácticamente del mismo modo y que no se programan como una máquina de estados como se creía. Además se aclaran dudas respecto a los bloques Register File y Data Memory. En la próxima reunión se espera ver los testbench de cada bloque asignado y deben funcionar correctamente.	Todos los integrantes	12-ene

Reunión #8**Fecha:** 12-ene-21**Lugar de reunión:** Discord**Hora de inicio:** 7:45 pm****Todos los integrantes están presentes.****Actividades realizadas**

Asunto a resolver	Responsable	Fecha límite acordada para su cumplimiento
1. Seguimiento de acuerdos: Se revisan los bloques programados junto con los testbench de cada uno, la mayoría funcionó exitosamente quedando pendiente hacer la ALU y el immediate generator; los cuales se reparten entre dos de los integrantes. Deben corregirse el bloque de Data Memory y register file debido a que no están funcionando correctamente. Durante la reunión se termina la programación del bloque JumpControl junto con su testbench. Para la próxima reunión se pretende unir todos los bloques para probar el diseño final y llegar con posibles dudas el día de consulta con el profesor.	Todos los integrantes	14-ene

Reunión #9**Fecha:** 16-ene-21**Lugar de reunión:** Discord**Hora de inicio:** 9:00 pm****Todos los integrantes están presentes.****Actividades realizadas**

Asunto a resolver	Responsable	Fecha límite acordada para su cumplimiento
1. Seguimiento de acuerdos: Se comienzan a unir y cablear todos los bloques del circuito en ISE Xilinx. Al revisar la syntaxis el programa avisa de muchos warnings en los manejos de memoria por lo que se intentan corregir la mayor cantidad para el día de la consulta con el profesor.	Todos los integrantes	18-ene

Reunión #10**Fecha:** 18-ene-21**Lugar de reunión:** Discord**Hora de inicio:** 7:40 pm****Todos los integrantes están presentes.****Actividades realizadas**

Asunto a resolver	Responsable	Fecha límite acordada para su cumplimiento
1. Seguimiento de acuerdos: En la reunión con el profesor el día de hoy se corrigen muchos de los errores o warnings que había con las memorias. Se arreglaron los tamaños de memoria que estaban mal y además se corrigen Warnings por múltiples tipos de errores en el código. Se pretende corregir los warnings y empezar a realizar el testbench del circuito completo.	Todos los integrantes	20-ene

Reunión #11**Fecha:** 20-ene-21**Lugar de reunión:** Discord**Hora de inicio:** 3:15 pm****Todos los integrantes están presentes.****Actividades realizadas**

Asunto a resolver	Responsable	Fecha límite acordada para su cumplimiento
1. Seguimiento de acuerdos: Se realizó el TestBench del circuito completo y se corrigieron los Warnings que se presentaron con respecto a la cantidad de bits que debían tener las señales de PC, PC+4 y PC+IMM de 32 a 10 bits. Se cambia la lógica del módulo Immediate Generator de secuencial a combinacional, además se corrigen	Todos los integrantes	21-ene

problemas de sintaxis que presentaba. El módulo Byte Enable se rediseña ya que estaba mal planteado y ahora las señales si corresponden a little endian. Se corrige un error de sincronía entre PC y la memoria ROM el cual se generaba debido a que la señal RST no funcionaba bien en dichos módulos. Queda pendiente realizar el dump de memoria y la señal GPIO.		
--	--	--

Reunión #12

Fecha: 21-ene-21

Lugar de reunión: Discord

Hora de inicio: 5:00 pm

**Todos los integrantes están presentes.

Actividades realizadas

Asunto a resolver	Responsable	Fecha límite acordada para su cumplimiento
1. Seguimiento de acuerdos: En grupo se investiga cómo hacer el GPIO y el Dump. Se presenta el problema de que al realizar el dump las instrucciones se ven en desorden e incluso algunas faltan, por ello se solicita ayuda al profesor y se logran corregir estos problemas. En el dump se nota que las direcciones de memoria son incorrectas, por lo que se concluye que hay un problema en el manejo de las memorias el cual se intenta corregir.	Todos los integrantes	22-ene

Reunión #13**Fecha:** 22-ene-21**Lugar de reunión:** Discord**Hora de inicio:** 1:00 pm****Todos los integrantes están presentes.****Actividades realizadas**

Asunto a resolver	Responsable	Fecha límite acordada para su cumplimiento
1. Seguimiento de acuerdos: Se sigue intentando implementar correctamente el dump a memoria. Además, se encuentra un error en el generador de inmediatos, en la instrucción SRAI y SRLI con el manejo de bits además que no completaba los 32 bits y LUI debido a que agregaba los ceros en los bits más significativos y no en los menores. Ambos son corregidos. Se afinan detalles para la entrega final del proyecto.	Todos los integrantes	22-ene