

计算机组成原理之机器

第四章（B）小测验

1. 若某种编码的最小距离为四，则其检错能力和纠错能力可能为____
A. 检错两位， 纠错一位 **B.** 检错两位， 纠错两位
C. 检错一位， 纠错两位 **D.** 检错三位， 纠错两位
2. 按配奇原则配置 1100111 的汉明码为____
A. 11101000111 **B.** 无正确答案
C. 11101001101 **D.** 10101000111
3. 设由四个模块组成的四体存储器结构，每个体的存储字长为 16 位，存取周期为 250ns，假设数据总线宽度为 16 位，总线传输周期为 50ns，试求顺序存储和交叉存储的带宽分别为____ bps
A. 6.4×10^7 和 1.6×10^7 **B.** 1.6×10^8 和 6.4×10^7
C. 6.4×10^8 和 1.6×10^8 **D.** 6.4×10^7 和 1.6×10^8
4. 由主存地址映射到 Cache 地址的常见方式不包括____
A. 直接映射 **B.** 全相联映射
C. 分散映射 **D.** 组相联映射
5. 假设 Cache 容量为 16KB，每个字块 16 个字，每个字 16 位，则____
A. 此 Cache 地址有 10 位 **B.** 此 Cache 可容纳 512 个字块
C. 此 Cache 可容纳 1K 个字块 **D.** 此 Cache 地址有 6 位
6. 假设主存容量为 512KB，Cache 容量为 16KB，每个字块 16 个字，每个字 16 位，则____
A. 主存有 16K 字块 **B.** Cache 有 256 字块
C. 主存地址有 18 位 **D.** 主存有 2K 字块
7. 下列用到程序局部性原理的替换算法是
A. 先进先出算法 **B.** 随机法
C. 近期最少使用算法 **D.** 都没用到
8. 假设 CPU 执行某段程序时，共访问 Cache 命中 1000 次，访问主存 20 次。已知 Cache 的存取周期是 20ns，主存的存取周期为 100ns。则 Cache-主存系统的命中效率和平均访问时间分别为
A. 0.9800， 92.73%， 21.568ns **B.** 0.9804， 92.73%， 21.568ns

C. 0.9800, 92.73%, 21.600ns D. 0.9800, 92.59%, 21.600ns

9. 与采用写回法的系统相比, 采用写直达法的算法的特点有____ (多选)

- A. 读操作时涉及到对主存的写操作
- B. Cache 的数据始终与主存保持一致
- C. 写操作的时间就是访问主存的时间
- D. 对 Cache 中一个数据块的多次写操作只需一次写入主存
- E. 增加了 Cache 的复杂性

10. 与主存相比, 辅存的特点为____ (多选)

- A. 容量大
- B. 速度慢
- C. 可脱机保存
- D. 具有非易失性
- E. 位价高

11. 在 Cache 常用的替换算法中, 最好的体现了局部性原理的是____

- A. 先进先出算法 (FIFO)
- B. 随机算法 (RAND)
- C. 都一样
- D. 近期最少使用算法 (LRU)

12. 以下各因素中, 与缓存命中率无关的是____

- A. 主存的存取时间 B. 缓存的替换算法
- C. 主存/缓存的地址映射方式 D. 缓存的容量

13. 某计算机的 Cache 共有 32 块, 采用 4 路组相联映射方式 (即每组 4 块)。每个字块大小为 32 字节, 按字节编址。主存第 128 个字节所在主存块应装入到的 Cache 组号是____

- A. 0 B. 2 C. 4 D. 6

14. 在主存和 Cache 的几种不同的地址映射方式中, Cache 的利用率最高的是____

- A. 直接映射 B. 全相联映射
- C. 组相联映射 D. 都一样

15. 以下关于 Cache 写操作中 “写直达” 法的描述, 正确的是____ (多选)

- A. 写操作时, 数据既写入 Cache 又写入主存
- B. 写操作时间是访问主存的时间
- C. Cache 块被换出时不需要对主存执行写操作

D. 数据只写入 Cache, 不写入主存

E. Cache 块被换出时需要对主存执行写操作

F. 写操作的时间等于访问 Cache 的时间

16. 假设某计算机存储系统的主存的地址编址为 M 个字块, 每个字块含 B 个字。则可推知____

A. Cache 的每个字块有 M 个字

B. Cache 的每个字块有 B 个字

C. Cache 编址为 M 个字块

D. Cache 编址为 B 个字块

17. 假设某计算机的存储系统由 Cache 和主存组成, 某程序执行过程中访存 1000 次, 其中 Cache 未命中 20 次, 则 Cache 的命中率是____

A. 98%

B. 9.8%

C. 2%

D. 95%

18. 在计算机的存储系统中, 主存中的任一主存块都可以映射到 Cache 中的任一缓存块的映射方式是____

A. 直接映射

B. 全相联映射

C. 组相联映射

D. 都可以

19. 缓存的地址映射中, 若主存中的任一块只能固定映射到某一缓存块中, 则称作____

A. 直接映射

B. 全相联映射

C. 组相联映射

D. 任意映射

20. 下列器件中存取速度最快的是____

A. 缓存

B. 主存

C. 寄存器

D. 外存

21. 磁表面存储器的平均寻址时间通常是指____

A. 寻道时间

B. 等待时间

C. 磁头读写时间

D. 寻址时间+等待时间

22. 假设缓存的工作速度为主存的 5 倍, 缓存的命中率为 90%, 则采用缓存后, 存储器的性能提高了____倍

A. 1.75

B. 2.57

C. 4

D. 5

23. 交叉编址的存储器实质能____执行____独立的读写操作

A. 并行, 多个

B. 串行, 多个

C. 并行, 一个

D. 串行, 一个

24. 某存储器容量为 16K*16 位, 则____

A. 地址线为 16 根, 数据线为 32 根

B. 地址线为 15 根, 数据线为 16 根

C. 地址线为 32 根, 数据线为 16 根

D. 地址线为 14 根, 数据线为 16 根

25. 在计算机的存储系统中, Cache 和主存的地址映射方式主要有以下几种____ (多选)

A. 随机映射

B. 混合映射

C. 组相联映射

D. 全相联映射

E. 直接映射

26. 采用八体并行低位交叉存储器, 设每个体的存储容量为 $32K \times 16$ 位, 存取周期为 400ns, 在下列说法中正确的是____

A. 在 100ns 内, 存储器能向 CPU 提供 128 位二进制信息

B. 在 100ns 内, 存储器能向 CPU 提供 256 位二进制信息

C. 在 400ns 内, 存储器能向 CPU 提供 128 位二进制信息

D. 在 400ns 内, 存储器能向 CPU 提供 256 位二进制信息

27. 以下存储设备____按存取时间比主存更快 (多选)

A. 磁盘

B. 磁带

C. 快速缓冲存储器

D. 通用寄存器

E. 输入/输出设备

28. 已知接收到的海明码为 01001111 (按配偶原则配置), 则欲传送的信息是____

A. 0101

B. 0111

C. 0100

D. 0011

29. 设机器字长为 32 位, 存储容量为 16MB, 若按双字编址, 其寻址范围是____

A. 1MB

B. 2MB

C. 4MB

D. 8MB

30. 以下____可以和主存交换信息 (多选)

A. 缓存

B. 辅存

C. CPU

D. 输入设备

E. 输出设备

31. 辅助存储器作为主存的后援设备又称为外部存储器, 简称外存, 它与主存一起组成了存储器系统的主存-辅存层次。目前, 广泛用于计算机系统的辅助存储器有____ (多选)

A. 硬磁盘

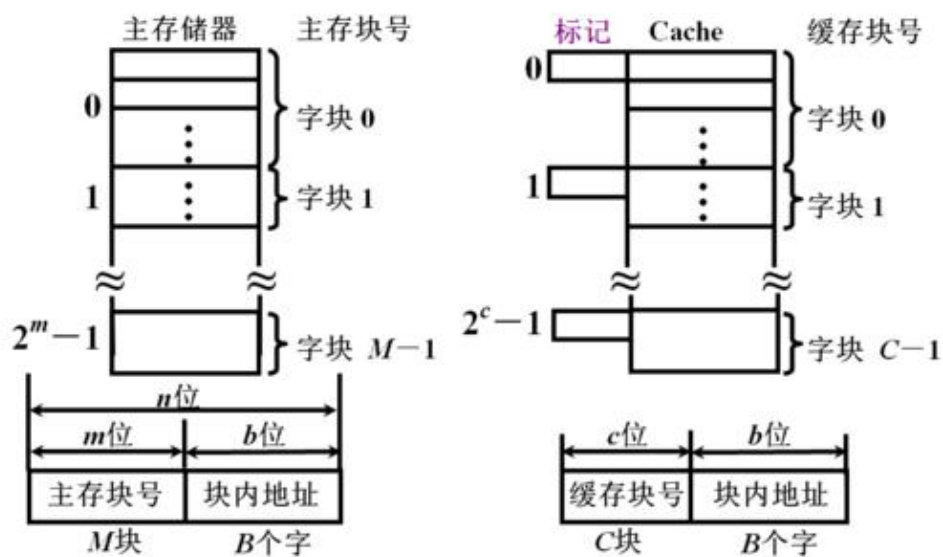
B. 软磁盘

C. 光盘

D. RAM

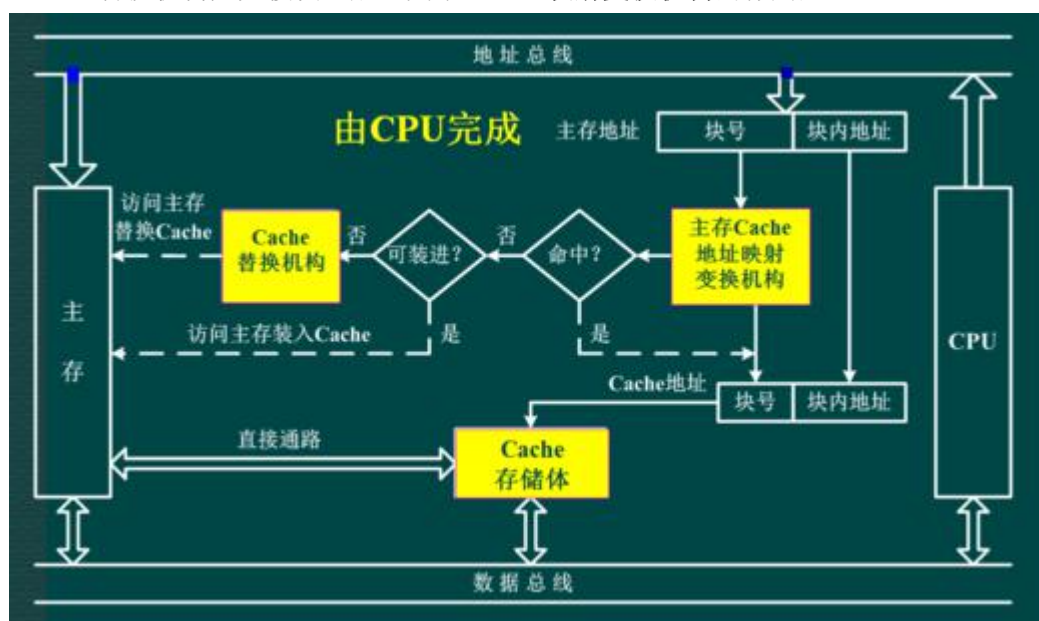
32. 下图是 Cache-主存存储空间的基本结构示意图。

主存由 $2n$ 个可编址的字组成, 每个字有唯一的 n 位地址。为了与 Cache 映射, 将主存与缓存都分成若干块, 每个块内有包含若干个字, 并使它们的块大小相同 (即块内的字数相同)。这就将主存的地址分成两段: 高 m 位表示主存的块地址, 低 b 位表示块内地址, 则 $2^m = M$ 表示主存的块数。同样, 缓存的地址也分为两段: 高 C 位表示缓存的块号, 低 b 位表示块内地址, 则 $2^c = C$ 表示缓存块数。主存与缓存地址中都用 b 位表示其块内字数, 即 $B = 2^b$ 反映了块的大小, 成 B 为块长, 主存的块数 M , 与缓存的块数 C 的关系为____



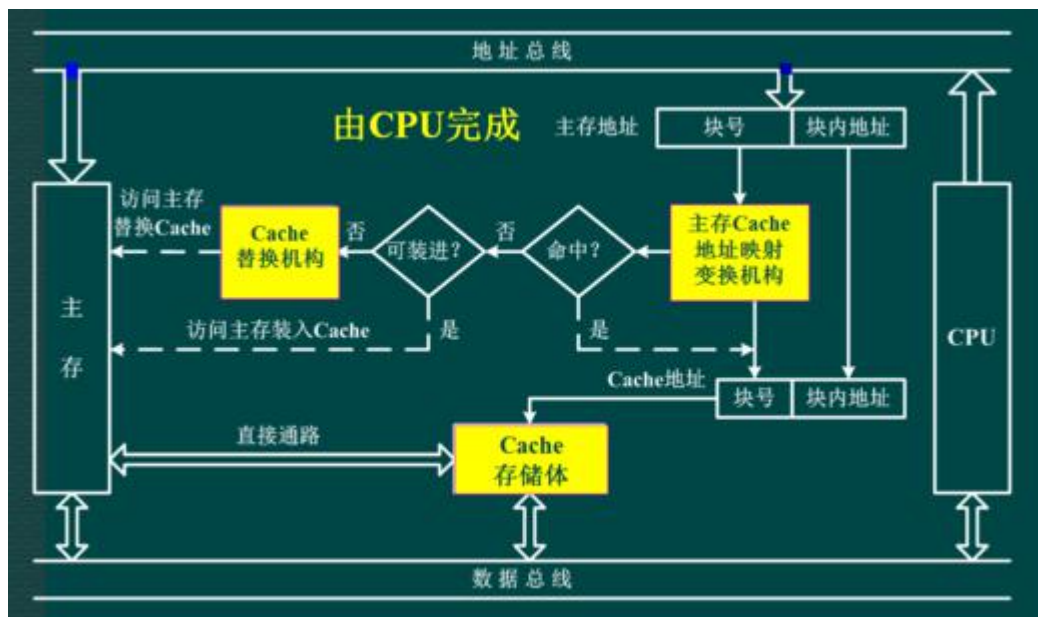
- A. M 略大于 C
- B. M 远大于 C
- C. M 小于 C
- D. M 与 C 之间无固定大小关系
- E. M 与 C 数值必须严格相等

33. Cache 的基本结构原理框图如下所示，它主要由 Cache 存储体，地址映射变换机构，Cache 替换机构几大模块组成。其中，地址映射变换机构的作用是



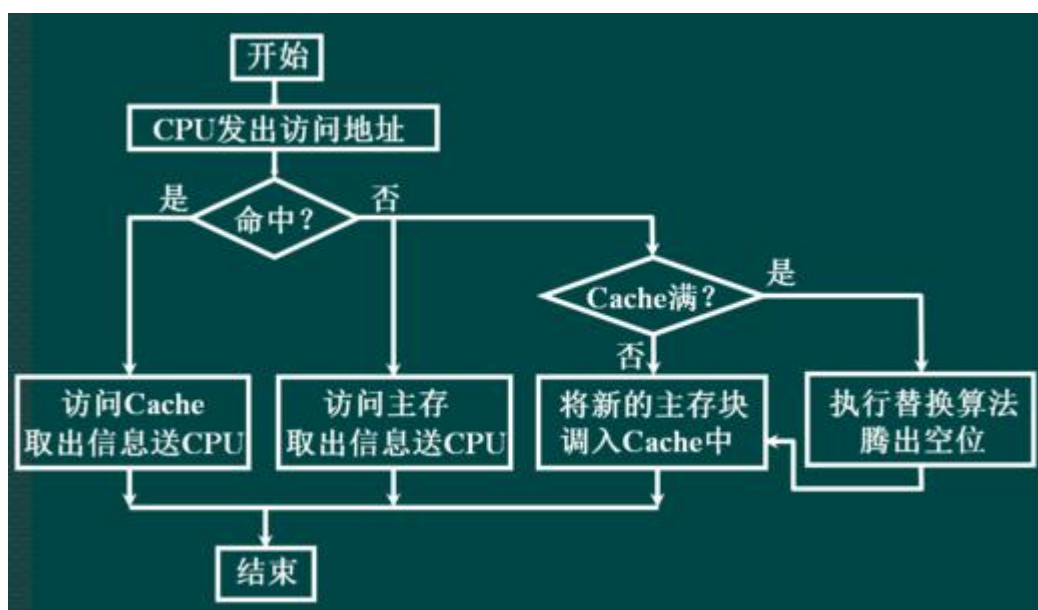
- A. 将 Cache 地址转换为主存地址送到地址总线
- B. 已块为单位存储与主存交换的信息
- C. 按一定的替换算法来确定应从 Cache 内移出哪个块返回主存，把新的主存块调入 Cache
- D. 将 CPU 送来的主存地址转换为 Cache 地址

34. Cache 的基本结构原理框图如下所示，它主要由 Cache 存储体，地址映射变换机构，Cache 替换机构几大模块组成。其中，Cache 替换机构的作用是____



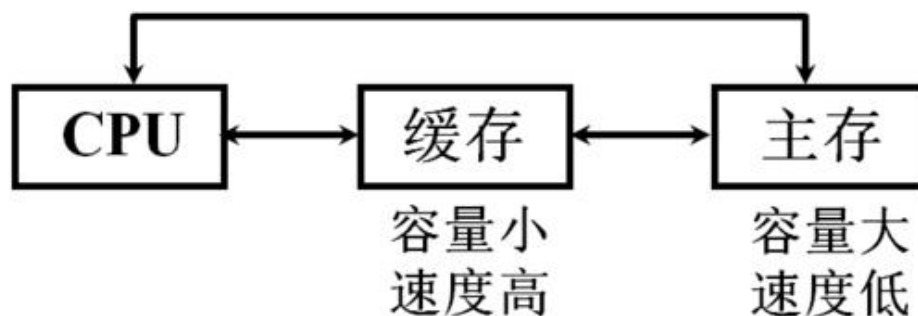
- A. 已块为单位存储与主存交换的信息
- B. 将 Cache 地址转换为主存地址送到地址总线
- C. 将 CPU 送来的主存地址转换为 Cache 地址
- D. 当 Cache 内容已满，无法接受来自主存块的信息时，就有本机构，按一定的替换算法来确定应从 Cache 内移出哪个块返回主存，而把新的主存块调入 Cache

35. Cache 的读操作的过程可用如下流程图来描述。当 CPU 发出主存地址后，首先判断该存储字是否在 Cache 中。若命中，直接访问 Cache，将该字送至 CPU；若未命中，则执行操作____



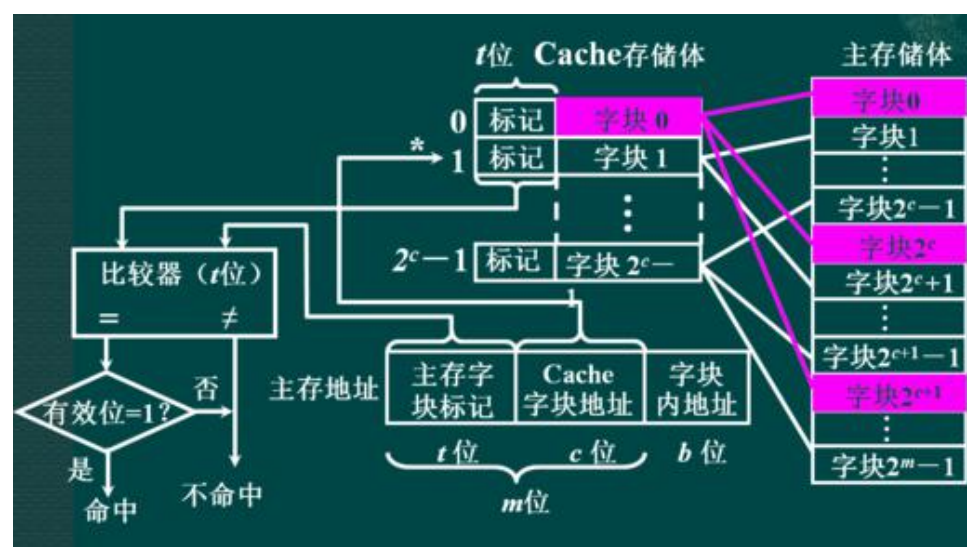
- A. 只访问主存取出信息送 CPU
- B. Cache 向 CPU 发出中断，通知其读操作不合法
- C. 一方面要访问主存，将该字传送给 CPU,与此同时，要将该字所在的主存块装入 Cache,如果此时 Cache 已满，就要执行替换算法，腾出空位
- D. 将该字所在的主存装入 Cache（由 Cache 是否已满，决定是否执行替换算法腾出空位），然后再次访问 Cache 存取出信息送 CPU

36. 在多体并行的存储系统中，为了避免 CPU 与 I/O 设备争抢访存，可在 CPU 与主存之间加一级缓存（参见下图）。高速缓存存储器问题的提出是为了____



- A. 避免 CPU“空等”现象
- B. CPU 与主存(DRAM)的速度差异
- C. 程序访问的局部性原理
- D. 研究人员无聊，自己给自己找事

37. 由主存地址映射到 Cache 地址成为地址映射。地址映射方式很多，有直接映射（固定的映射关系）、全相联映射（灵活性大的映射关系）、组相联映射（上述两种映射的折中）。下图表示出来____方式下，主存与缓存中字块的对应关系



- 38.** 由主存地址映射到 *Cache* 地址成为地址映射。地址映射方式很多，有直接映射（固定的映射关系）、全相联映射（灵活性大的映射关系）、组相联映射（上述两种映射的折中）。

Cache 存储器

$m = t + c$

标记	字块0
标记	字块1
	⋮
标记	字块 $2^c - 1$

主存储器

字块0
字块1
⋮
字块 $2^c - 1$
⋮
字块 $2^m - 1$

主存地址

主存字块标记	字块内地址
--------	-------

$m = t + c$ 位 b 位

- 39.**由主存地址映射到 *Cache* 地址成为地址映射。地址映射方式很多，有直接映射（固定的映射关系）、全相联映射（灵活性大的映射关系）、组相联映射（上述两种映射的折中）。

组 Cache 共 2^{c-r} 组，每组内两块 ($r=1$)

0	标记	字块 0	标记	字块 1
1	标记	字块 2	标记	字块 3
	\vdots	\vdots	\vdots	\vdots
$2^{c-r}-1$	标记	字块 2^c-2	标记	字块 2^c-1

主存地址

主存字块标记	组地址	字块内地址
$s=t+r$ 位	$q=c-r$ 位	b 位
m 位		

主存储器

字块 0
字块 1
\vdots
字块 $2^{c-r}-1$
字块 2^{c-r}
字块 $2^{c-r}+1$
\vdots
字块 $2^{c-1}-1$
\vdots
字块 2^m-1

A. 直接映射

B. 全相联映射

C. 这不是映射关系

D. 组相联映射

第四章 (B) 小测验-答案解析

1. A 2. D 3. D 4. C 5. B 6. A 7. C 8. B 9. B,C
10. A,B,C,D 11. D 12. A 13. C 14. B 15. A,B,C 16. B 17. A
18. B 19. A 20. C 21. D 22. B 23. A 24. D 25. C,D,E 26. C
27. C,D 28. A 29. B 30. A,B,C,D,E 31. A,B,C 32. B 33. D
34. D 35. C 36. A 37. A 38. B 39. D