

计算机组成原理之机器

期末考试

客观题考试试卷：期末考试

总分：20 分

限定时间：120 分钟

1. 随着硬件技术的发展，计算机的电子器件推陈出新，各种类型和用途的计算机也是琳琅满目，但所有种类计算机依然具有“存储程序”的特点，最早提出这种概念的是____

- A. 冯·诺依曼(Von Neumann) B. 贝尔 (Bell)
C. 巴贝奇 (Charles Babbage) 件 D. 图灵 (Alan Mathison Turing)

2. 以小规模集成电路为主要器件的是____

- A. 第一代计算机 B. 第二代计算机
C. 第三代计算机 D. 第四代计算机

3. 下列器件中，____是 16 位处理器

- A. Intel core I7 B. Intel 8086
C. Intel P6000 D. Intel 80486

4. 以下缩写中，不是寄存器的是____

- A. CU B. IR C. ACC D. MQ

5. 已知一个主存储器的 MDR 为 32 位，MAR 为 16 位，则该主存储器的大小是____

- A. $2^{16} * 4b$ B. $2^{32} * 4B$
C. $2^{32} * 4b$ D. $2^{16} * 4B$

6. 现代的计算机结构与典型的冯·诺依曼计算机结构的区别是现代计算机已转化为以____为中心

- A. 运算器 B. 控制器 C. 存储器 D. 外围设备

7. 存放在寄存器 ACC 中的操作数有____（多选）

- A. 减数及差 B. 被加数及和 C. 乘数及乘积高位
D. 被乘数及乘积低位 E. 被除数及余数 F. 商

8. 存放在存储器中的数据按照___访问

- A. 指针 B. 索引 C. 哈希 D. 地址

9. 典型的冯诺依曼及以___为中心

- A. 运算器 B. 内存 C. 存储器 D. 输入设备

10. 将要执行的程序的入口地址，应存放在下列哪个寄存器中___

- A. PC B. IR C. ACC D. MQ

11. 现代计算机由 CPU、I/O 设备及___组成。

- A. 硬盘 B. 主存储器 C. 主机 D. 外部设备

12. 下列语句中，表述错误的是___

- A. $1\text{ KB} = 1024 * 8\text{ b}$ B. $1\text{ MB} = 1024 * 1024\text{ B}$

- C. $1\text{ MB} = 1024\text{ Kb}$ D. $1\text{ KB} = 1024\text{ B}$

13. 主存储器又称___

- A. 硬盘 B. 内存 C. 辅存 D. 控制器

14. 以下哪些术语是用来评价 CPU 的性能___（多选）

- A. MAR B. MB C. MDR
D. MIPS E. CPI F. FLOPS

15. 第一代计算机采用的硬件技术为___

- A. 晶体管 B. 中小规模集成电路
C. 电子管 D. 大规模集成电路

16. 可以直接在机器上运行的语言为___

- A. 机器语言 B. Java 语言 C. C 语言 D. 汇编语言

17. 计算机系统是一个由硬件，软件组成的多级层次结构，它在各个层次上可以抽象为不同的机器，通常可抽象为微程序机器 M0（微指令系统）、传统机器 M1（机器语言机器）、虚拟机器 M2（操作系统机器）、虚拟机器 M3(汇编语言机器)、虚拟机器 M4(高级语言机器)，



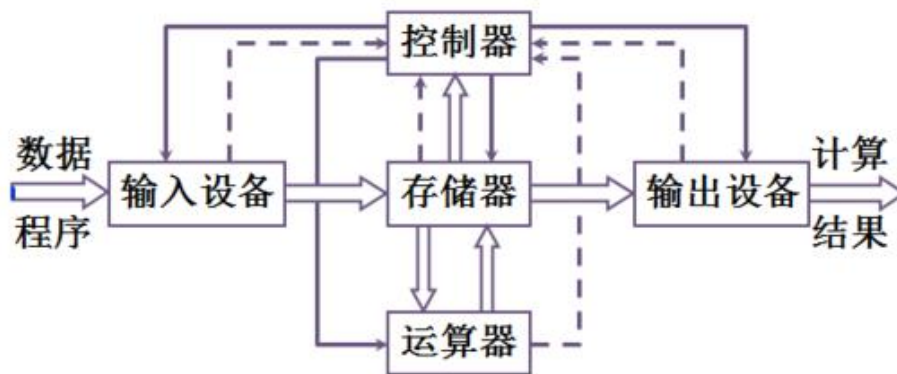
其中微程序机器 M_0 （微指令系统）的执行的功能是： ____

- A. 用微程序解释机器指令
- B. 由硬件直接执行微指令路
- C. 用机器语言解释操作系统
- D. 用汇编程序翻译成机器语言程序

18. 汇编语言与机器语言的对应关系为 ____

- A. 一对多
- B. 一对一
- C. 多对一
- D. 多对多

19. 以存储器为中心的计算机结构框图如下所示，



其中部件**控制器**的功能是： ____

- A. 用来存放数据和程序
- B. 将人们熟悉的信息形式转换为机器能识别的信息形式
- C. 完成算数运算和逻辑运算，并将运算的中间结果暂存在计算器内。
- D. 用来控制、指挥程序和数据的输入、运行以及处理运算结果。

20. MDR 的位数反映了 ____

- A. 存储字长 B. 存储单元的个数
C. 机器字长 D. 存储容量

21. 只有当程序要执行时，它才会将源程序翻译成机器语言，而且一次只能读取、翻译并执行源程序中的一行语句，此程序成为____

- A. 目标程序 B. 编译程序
C. 解释程序 D. 汇编程序

22. 下列哪些是计算机组成讨论的问题？（多选）

- A. 如何取指令 B. 指令集 C. 数据类型
D. 存储器寻址技术 E. I/O 机理 F. 如何实现乘法指令

23. 计算机系统存储系统是指____

- A. RAM 存储器 B. 主存和辅存
C. ROM 存储器 D. 主存

24. 控制器的组成部分有____

- A. 累加器 B. 指令寄存器 C. 乘商寄存器
D. 程序计数器 E. 地址寄存器 F. 控制单元

25. 下列不属于输入设备的是____

- A. 显示器 B. 键盘 C. 无线鼠标 D. 扫描仪

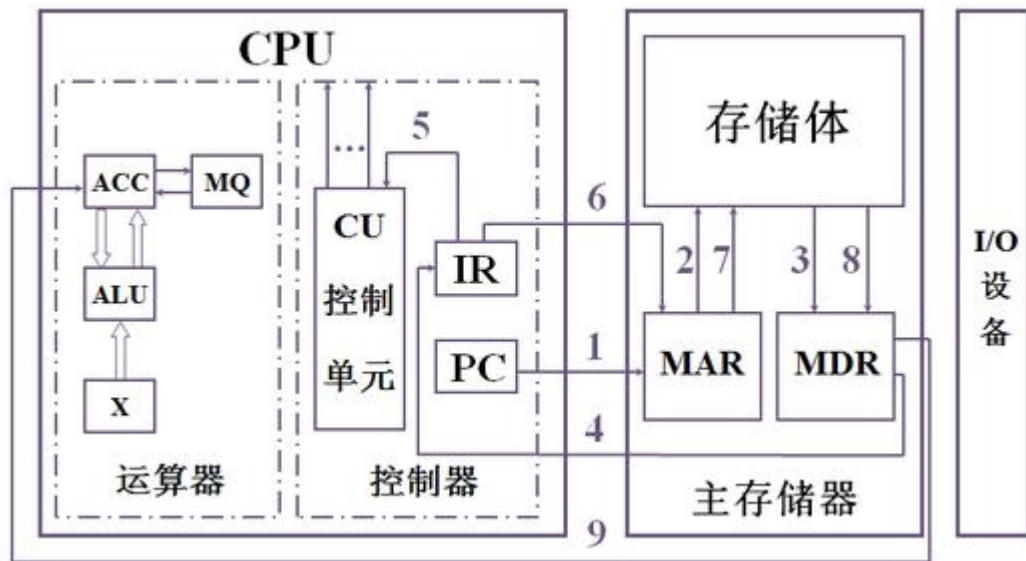
26. 将高级语言程序翻译成机器语言程序需借助于____

- A. 连接程序 B. 编译程序 C. 编辑程序 D. 汇编程序

27. 计算机的运算速度与许多因素有关，如机器的主频、执行什么样的操作等。*MIPS* 是衡量计算机运行速度普遍采用的计量单位。假想，机器 A 每秒能执行 200 万条指令，记做 2*MIPS*，机器 B 每秒能执行 500 万条指令，记做 5*MIPS*。在这两台机器上，运行同一程序时，两条机器上所用时间____

- A. B 机器用的时间短 B. A 机器 B 机器所用时间相同
C. A 机器用的时间短 D. 无法确定

28. 计算机系统有很多条指令,不同指令主机完成一条指令的过程也不尽相同,以下是某指令的执行过程.



上述框图中,是指令____的执行过程。

- A. 加指令 B. 乘指令 C. 取数指令 D. 存数指令

29. 1945 年, 数学家冯·诺依曼提出了“存储程序”的概念, 以此概念为基础的各类计算机统称为冯·诺依曼机。下面关于典型的冯·诺依曼机特点说法正确的是(多选): ____ (多选)

- A. 计算机由运算器、存储器、控制器、输入设备和输出设备五大部件组成。
B. 指令和数据均用二进制数表示
C. 指令由操作码和地址组成, 操作码用来表示操作性质, 地址码用来表示操作数在存储器中的位置
D. 指令在存储器内按顺序存放
E. 指令和数据分开存储于存储器内, 并可按地址寻址
F. 机器以存储器为中心, 输入输出设备可直接与存储器间进行数据传送。

30. 计算机存储数据的基本单位是什么?

- A. 位 B. 字 C. 字节 D. 无正确答案

31. 计算机硬件的主要指标包括(多选)____

- A. 机器字长 B. 存储容量
C. 运算速度 D. 总线宽度

32. 即将执行的指令被存放在哪里?

- A. MDR B. IR C. MAR D. PC

33. 一片 2MB 的磁盘能存储多大的数据?

- A. 10^6 字节 B. $10^{(-6)}$ 字节

C. 2^{21} 位

D. 2^{21} 字节

34. 以下哪一部分能够区分当前存储单元中存放的数据是数据还是指令?

A. 运算器

B. 控制器

C. 存储器

D. 无正确答案

35. 对于 32 位的计算机, 一个字节由几位组成?

A. 8

B. 16

C. 32

D. 无正确答案

36. 以下语言中哪一种在计算机上执行最快?

A. C++

B. python

C. 汇编语言

D. JAVA

37. 计算机中那一部分负责指令译码?

A. 输入输出译码电路

B. 存储器译码电路

C. 算术逻辑单元

D. 控制单元

38. 冯诺依曼机工作方式的基本特点是?

A. 多指令流多数据流

B. 存储器按内容选择地址

C. 堆栈操作

D. 无正确答案

39. 计算机系统的两大组成部分包括____ (多选)

A. 软件

B. 运算器

C. 存储器

D. 控制器

E. 实用程序

F. 硬件

40. CPU 由以下哪些部分组成? (多选)

A. 存储器

B. 控制单元

C. 总线

D. 译码电路

E. 算术逻辑单元

F. 外设

41. DMA 总线用于____之间交换信息

A. 主存与 I/O 设备

B. CPU 与主存

C. CPU 与 I/O 设备

D. I/O 设备间

42. 下列不属于集中控制优先权仲裁方式的为____

A. 计时器定时查询

B. 链式查询

C. 独立请求方式

D. 同步查询

43. 连接 CPU 内各寄存器、控制器及算数逻辑运算单元等部件的总线统称为____

A. 系统总线

B. 片内总线

C. 数据总线

D. 控制总线

44. “BS: 总线忙”信号的建立者是____

A. CPU

B. 获得总线控制权的设备

C. 总线控制器

D. 发起总线请求的设备

45. 在计数器定时查询方式下, 若每次计数都是从 0 开始, 则____
- A. 每个设备的优先级相同 B. 设备号越大优先级越高
- C. 设备号越小优先级越高 D. 无法确定设备优先级
46. 以下几种总线判优控制方式中, 可通过程序对优先次序进行改变的是____
- A. 独立请求方式 B. 链式查询方式
- C. 计数器定时查询方式 D. 都可以
47. 假设某系统总线在一个总线周期中并行传输 8 字节信息, 一个总线周期占用 4 个时钟周期, 总线时钟频率为 10MHz, 则总线带宽是____
- A. 10MB/s B. 20MB/s C. 30MB/s D. 40MB/s
48. 系统总线是连接计算机内各大部件的信息传输线, 该总线按传输内容的不同又分为____
- A. 存储总线 B. 控制总线 C. 地址总线
- D. 数据总线 E. 传输总线
49. 总线特性包括____ (多选)
- A. 机械特性 B. 电气特性 C. 功能特性
- D. 时间特性 E. 信号特性 F. 控制特性
50. 计算机系统的五大部件之间两种互联方式为____
- A. 分散连接和聚集连接 B. 总线连接和分散连接
- C. 总线连接和聚集连接 D. 分散连接和芯片连接
51. 按连接部件不同可以对总线分为三大类, 其中不属于这三类的是____
- A. 片内总线 B. 系统总线 C. 存储总线 D. 通信总线
52. 下列不属于系统总线的为____
- A. 片内总线 B. 数据总线 C. 地址总线 D. 控制总线
53. 相对于单总线结构, 多总线结构解决了____速度不匹配的问题。
- A. 寄存器与 ALU B. I/O 设备间
- C. 地址总线与数据总线 D. CPU、主存与 I/O 设备间
54. 总线通信控制的四种方式不包括____
- A. 同步通信 B. DMA 通信
- C. 异步通信 D. 半同步通信
55. 下列不属于片内总线连接的是____
- A. 寄存器与寄存器间 B. CPU 与内存间
- C. 寄存器与运算单元之间 D. CPU 芯片内部

56. 下列不属于片内总线连接的是___

- A. 链式查询
- B. 计数器式定时查询
- C. 独立请求
- D. 都一样

57. 在三种集中式总线控制中，___方式反应最快。

- A. 链式查询
- B. 计数器式定时查询
- C. 独立请求
- D. 都一样

58. 在异步串行传输系统中，假设每秒传输 120 个数据帧，其字符格式规定包含 1 个起始位，7 个数据位，1 个奇偶校验位，1 个终止位，则波特率为___。

- A. 900bps
- B. 600bps
- C. 800bps
- D. 1200bps

59. 在异步传输系统中，若字符格式为：1 位起始位、8 位数据位、1 位奇偶校验位、1 位终止位，假设波特率为 1200bps，则比特率为___。

- A. 1200bps
- B. 981.81bps
- C. 872.72bps
- D. 1320bps

60. 总线复用方式可以___。

- A. 提高总线的传输带宽
- B. 增加总线的功能
- C. 实现并行传输
- D. 减少总线中信号线的数量

61. 所谓的三总线结构的计算机中的“三总线”包含___。（多选）

- A. DMA 总线
- B. 地址线
- C. I/O 总线
- D. 主存总线
- E. 数据线
- F. 控制线

62. 按连接部件不同，总线通常可分为以下哪些种___。（多选）

- A. 控制线
- B. 片内总线
- C. 系统总线
- D. 地址线
- E. 通信总线
- F. 主存总线

63. 在计算机的总线中，不同信号在同一条信号线上分时传输的方式称为___

- A. 并行传输
- B. 总线复用
- C. 串行传输
- D. 并行或串行传输

64. 总线是连接多个模块的信息传输线，是各部件共享的传输介质。因此在某一时刻允许有___个部件向总线发送信息。

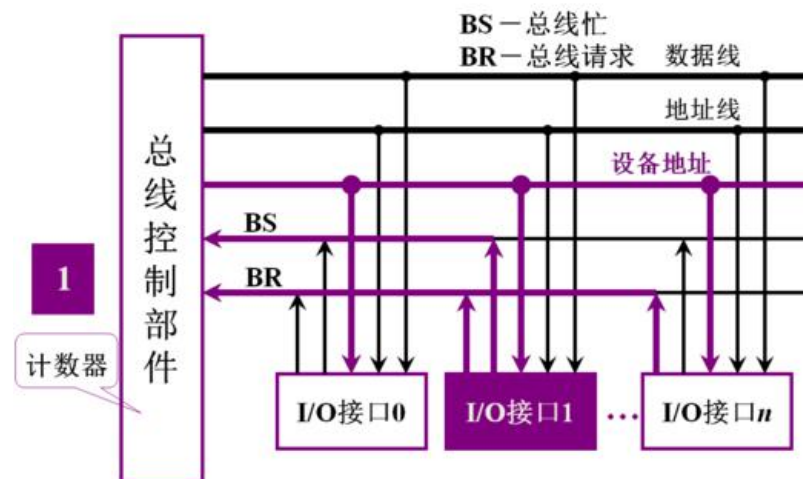
- A. 一个
- B. 两个
- C. 三个
- D. 多个

65. 衡量总线本身所能达到最高传输速率的重要指标是___

- A. 总线宽度 B. 总线复用 C. 总线带宽 D. 信号线数

66. 总线上连接着各类设备，按其对总线有无控制能力可分为主设备和从设备两种。若多个主设备同时要使用总线时，就由总线控制器的判优、仲裁逻辑按照一定的优先等级顺序确定哪个主设备能使用总线。

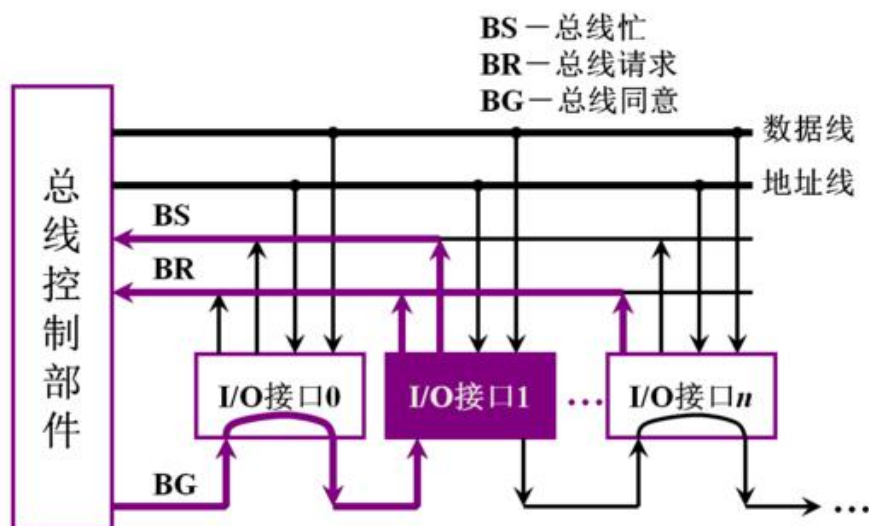
总线判优控制可分集中式和分布式两种，常见的集中控制优先权仲裁方式有三种：链式查询方式、计数器定时查询、独立请求方式。以下为_____总线判优方式的接线图：



- A. 链式查询方式
B. 计数器定时查询
C. 独立请求方式
D. 某种分布式判优

67. 总线上连接着各类设备，按其对总线有无控制能力可分为主设备和从设备两种。若多个主设备同时要使用总线时，就由总线控制器的判优、仲裁逻辑按照一定的优先等级顺序确定哪个主设备能使用总线。

总线判优控制可分集中式和分布式两种，常见的集中控制优先权仲裁方式有三种：链式查询方式、计数器定时查询、独立请求方式。以下为总线判优方式的接线图：



- A. 链式查询方式 B. 计数器定时查询
- C. 独立请求方式 D. 某种分布式判优

68. 下列选项中的英文缩写均为总线标准的是____

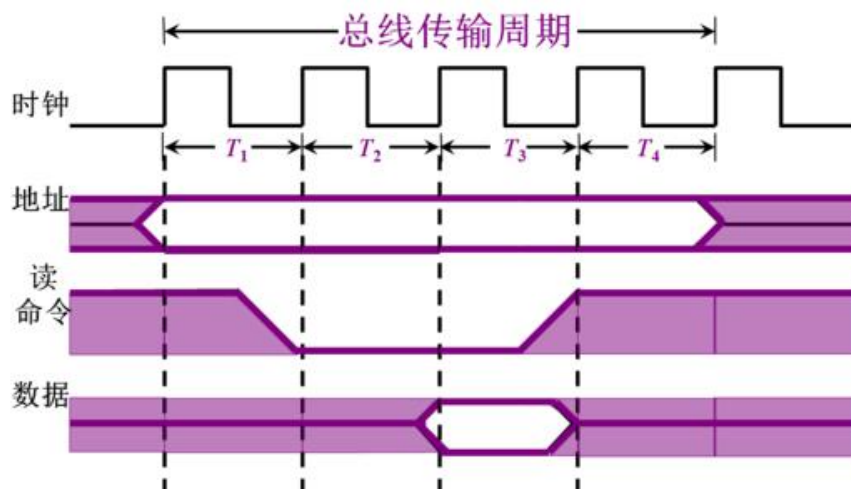
- A. USB B. ISA C. CPI D. PCI E. MIPS

69. 总线通信控制主要解决通信双方如何获知传输开始和传输结束，以及通信双方如何协调如何配合。

通常有四种方式：同步通信、异步通信、半同步通信和分离式通信。

同步通信中，通信双方由统一时钟控制数据传送。下图表示了某输入设备向 CPU 传输数据的同步通信过程。

图中总线传输周期是连接在总线上的两个部件完成一次完整且可靠地信息传输时间，它包含 4 个时钟周期 T_1 、 T_2 、 T_3 、 T_4 。在上图所示读命令中， T_3 时钟周期执行的操作是____



- A. 主模块发出地址
- B. 从模块提供数据

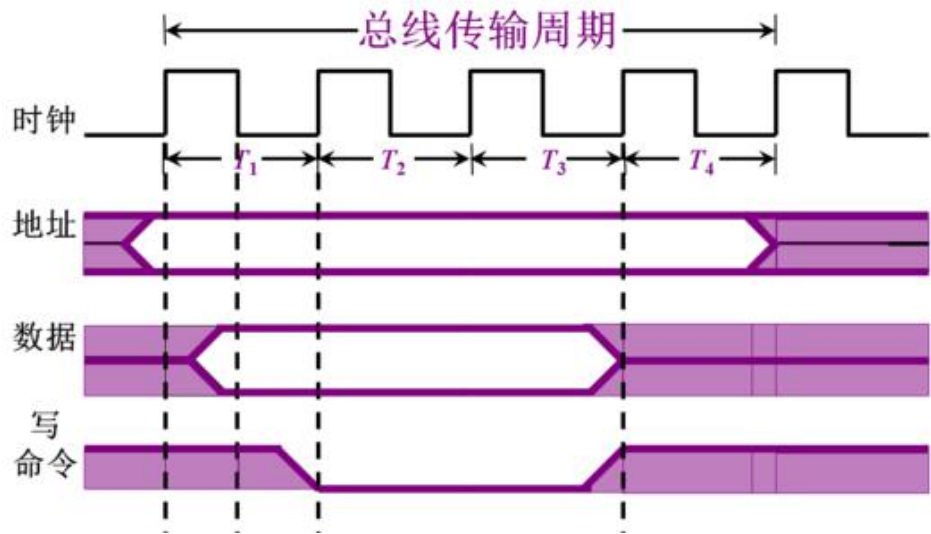
- C. 主模块发读命令
- D. 主模块撤销读命令，从模块撤销数据

70. 总线通信控制主要解决通信双方如何获知传输开始和传输结束，以及通信双方如何协调如何配合。

通常有四种方式：同步通信、异步通信、半同步通信和分离式通信。

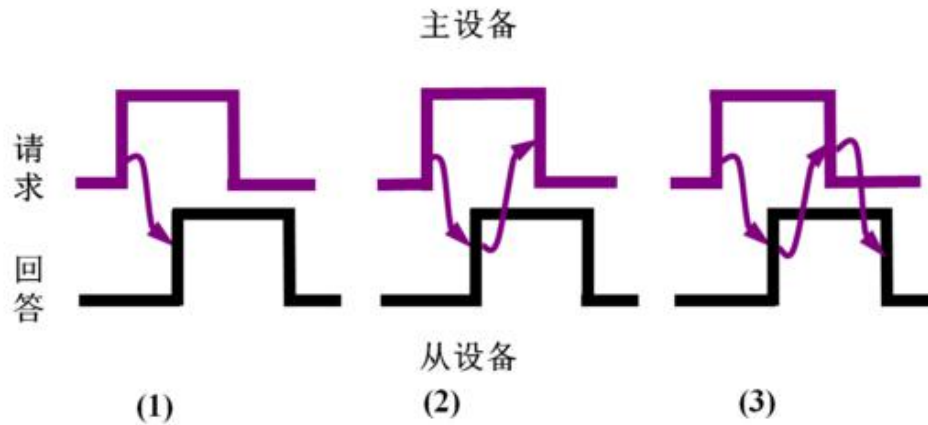
同步通信中，通信双方由统一时标控制数据传送。下图表示了 CPU 向某输设备传输数据的同步通信过程。

图中总线传输周期是连接在总线上的两个部件完成一次完整且可靠地信息传输时间，它包含 4 个时钟周期 T_1 、 T_2 、 T_3 、 T_4 。在上图所示写命令中， T_3 时钟周期执行的操作是_____



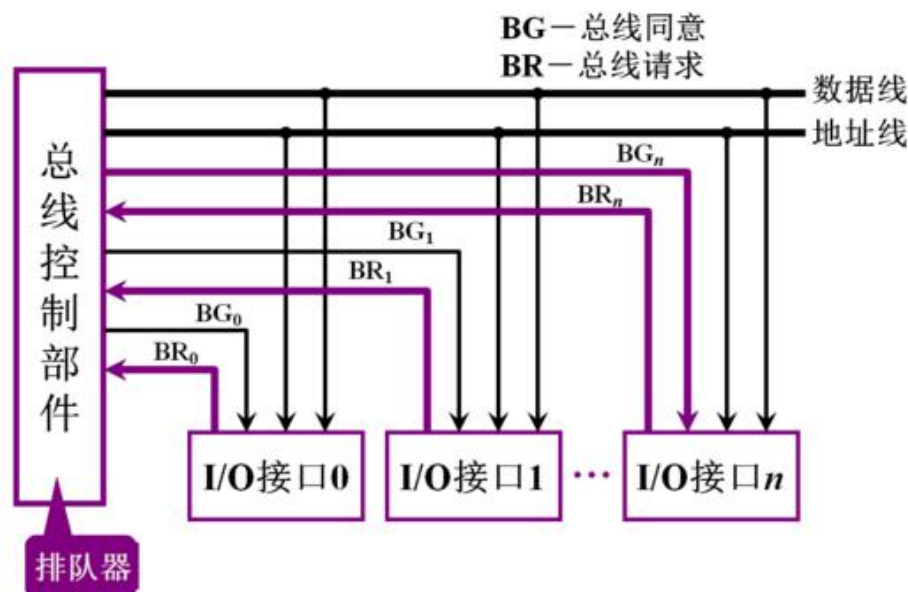
- A. 主模块发出地址
- B. 主模块提供数据
- C. 主模块撤销读命令，从模块撤销数据
- D. 主模块发出写命令，从模块接收到命令后，必须在规定时间内将数据总线上的数据写到地址总线所指明的单元中。

71. 总线通信控制主要解决通信双方如何获知传输开始和传输结束，以及通信双方如何协调如何配合。通常有四种方式：同步通信、异步通信、半同步通信和分离式通信。在异步通信中，应答方式又可分为不互锁、半互锁和全互锁三种类型。下图表示了异步通信中请求与应答的互锁关系，下列说法正确的是_____



- A. (1) 是半互锁 (2) 是不互锁 (3) 是全互锁
 B. (1) 是全互锁 (2) 是不互锁 (3) 是半互锁
 C. (1) 是不互锁 (2) 是半互锁 (3) 是全互锁
 D. (1) 是不互锁 (2) 是全互锁 (3) 是半互锁
72. 一个总线传输周期包括____几个阶段 (多选)
 A. 申请分配阶段 B. 握手阶段 C. 寻址阶段
 D. 传输阶段 E. 结束阶段
73. 控制总线中常见的控制信号包括____ (多选)
 A. 时钟 B. 复位 C. 存储器写
 D. 总线请求 E. 中断请求 F. 传输响应
74. 在各种异步通信方式中, __速度最快。
 A. 全互锁 B. 不互锁 C. 半互锁 D. 都一样
75. 总线的异步通信方式是__。
 A. 不采用时钟信号, 只采用握手信号
 B. 不采用时钟信号, 不采用握手信号
 C. 只采用时钟信号, 不采用握手信号
 D. 即采用时钟信号, 又采用握手信号
76. 在同步通信中, 一个总线周期的传输过程是__。
 A. 只传输数据 B. 先传输地址, 再传输数据
 C. 先传输数据, 再传输地址 D. 只传输地址
77. 总线上连接着各类设备, 按其对总线有无控制能力可分为主设备和从设备两种。若多个主设备同时要使用总线时, 就由总线控制器的判优、仲裁逻辑按照一定的优先等级顺序确定哪个主设备能使用总线。

总线判优控制可分集中式和分布式两种，常见的集中控制优先权仲裁方式有三种：链式查询方式、计数器定时查询、独立请求方式。以下为_____总线判优方式的接线图：



- A. 链式查询方式 B. 计数器定时查询
C. 独立请求方式 D. 某种分布式判优

78. 通常将完成一次总线操作的时间称为总线周期，可以分为4个阶段。1) 申请分配阶段。2) 寻址阶段 3) 传数阶段 4) 结束阶段，一个总线周期各阶段执行的优先次序是

- A. 寻址阶段→申请分配阶段→传数阶段→结束阶段
B. 申请分配阶段→传数阶段→寻址阶段→结束阶段
C. 寻址阶段→申请分配阶段→传数阶段→结束阶段
D. 申请分配阶段→寻址阶段→传数阶段→结束阶段

79. 总线宽度又成总线位宽，它是总线上同时能够传输的数据位数，通常是指_____的根数

- A. 控制总线 B. 地址总线
C. 数据总线 D. 数据总线+控制总线+地址总线

80. 总线标准可视为系统与各模块、模块与模块之间的一个互连的界面标准。这个界面对其它两端的模块都是透明的。下列常用的各种标准中，属于总线标准的是_____（多选）

- A. ISA B. PCI C. EISA
D. VESA E. IEEE 802

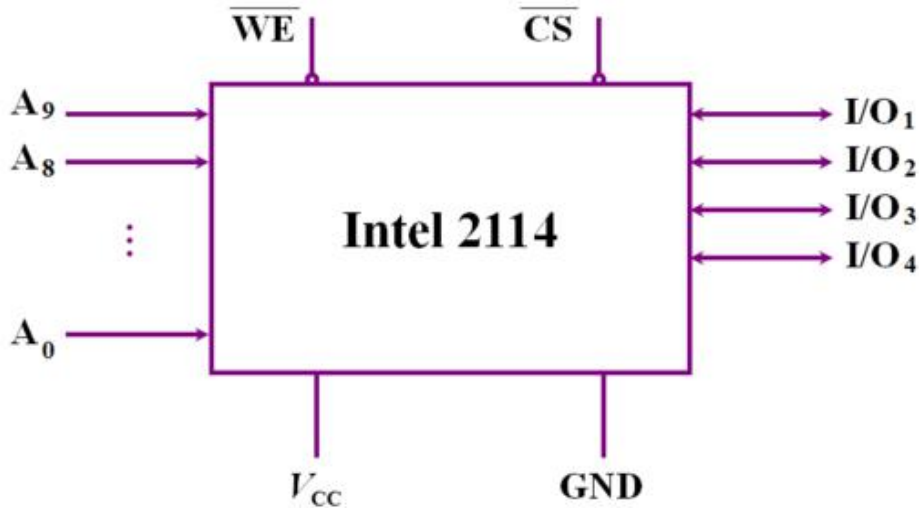
81. 下列哪些是主存和缓存的地址映射方法____（多选）

- A. 直接映射 B. 全相联映射 C. 组相联映射
D. 地址变换 E. 地址替换 F. 无正确答案

82. 随机存储器按其存储信息的原理不同，可以分为静态 RAM 和动态 RAM 两大类。

下图是静态 RAM 芯片 Intel2114 的外特征示意图。图中，A9~A0 为地址输入端；I/O1~I/O4 为数据输入/输出端；CS 为片选信号（低电平有效）；WE 为写允许信（低电平为写，高电平为读）；Vcc 为电源端；GND 为接地端。

由 Intel2114 的外特征图，我们可知其存储容量为_____



- A. $1K \times 4$ 字节 B. $1K \times 4$ 位
C. $1K \times 10$ 位 D. $2K \times 4$ 位

83. 在计算机运行过程中，由于种种原因致使数据在存储过程中可能出现差错。为了能及时发现错误并及时纠正错误，通常可将原数据配成汉明编码。汉明码具有一位纠错能力。

设欲检测的二进制代码为 n 位，为使其具有纠错能力，需增添 k 为检测位，组成 $n+k$ 位的代码，且满足 $2^k \geq n+k+1$ 。 k 的位数确定后，便可由它们所承担的检测任务设定它们在被传送代码中的位置及它们的取值。设 $n+k$ 位代码自左至右依次编码为第 1, 2, 3, ..., $n+k$ 位，而将 k 位检测位记 C_i ($i=1, 2, 4, 8, \dots$)，分别安插在 $n+k$ 位代码编号的第 1, 2, 4, 8, ..., 2^{k-1} 位上。这些检测位分别承担 $n+k$ 为信息中不同数位所组成的“小组”的奇偶检测任务。

配偶原则表示，每个检测位 C_i 应使其负责检测的小组中“1”的个数为偶数。

已知接收到的汉明码为 0100111，（按配偶原则配置）试问要求传送的信息是

- A. 0101 B. 1010
C. 0100101 D. 0110101

84. 活动头磁盘存储器的平均寻址时间是指_____

- A. 平均寻道时间 B. 平均等待时间
C. 平均寻道时间加平均等待时间 D. 平均查找时间

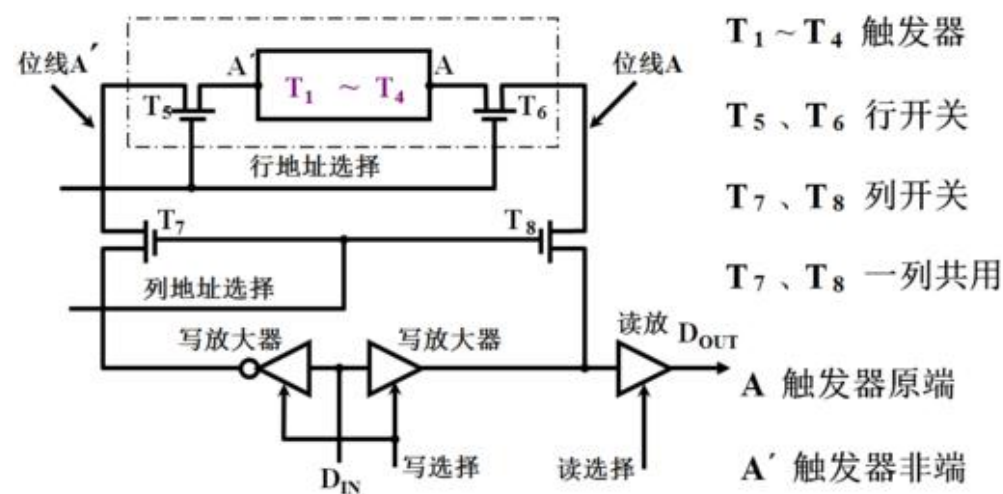
85. 常用的虚拟存储器寻址系统由____两级存储器组成

- A. 缓存-主存 B. 主存-辅存
C. 缓存-辅存 D. 主存-缓存

86. 和辅存相比，主存的特点是____

- A. 容量小，速度快，成本低 B. 容量大，速度快，成本高
C. 容量大，速度快，成本低 D. 容量小，速度快，成本高

87. 随机存储器按其存储信息的原理不同，可以分为静态 RAM 和动态 RAM 两大类。下图是____存储器的基本电路图



- A. 动态 RAM B. 磁盘 C. 静态 RAM D. 相联存储器

88. DRAM 的刷新方式，是以____为单位进行的。

- A. 行 B. 列 C. 行或者列 D. 存储单元

89. 一般的虚拟存储器系统是由____两级存储器构成。

- A. 缓存-主存 B. 主存-辅存
C. 缓存-辅存 D. 寄存器—缓存

90. 计算机的存储系统采用分级方式主要是为了____

- A. 方便程序设计人员编程 B. 方便计算机硬件扩展
C. 方便硬件更新换代 D. 解决容量、速度、价格三者之间的矛盾。

91. 用海明码来对长度为 8 的数据进行检错和纠错时，若想达到纠正一位错误数据的目的，则校验码至少为____位。

- A. 2 B. 3 C. 4 D. 5

92. 下列存储器中，CPU 不能直接访问的是____

- A. 硬盘 B. Cache C. RAM D. 寄存器

93. 以下存储器构成的体系结构中, 存储器存取速度由慢到快的排列顺序是____

- A. 主存—辅存—Cache—寄存器 B. 辅存—主存—Cache—寄存器
C. 辅存—主存—寄存器—Cache D. 辅存—寄存器—主存—Cache

94. 某一 SRAM 芯片, 其容量为 $16K \times 8$ 位, 则其数据线和地址线的条数分别为____

- A. 地址线 16 根, 数据线 8 根 B. 地址线和数据线均为 8 根
C. 地址线和数据线均为 14 根 D. 地址线 14 根, 数据线 8 根

95. DRAM 存储器主要通过____来存储信息。

- A. 电容 B. 触发器
C. 磁介质 D. 寄存器

96. 下列各类存储器中, 属于随机存取存储器的是____

- A. DRAM B. CDROM C. SRAM D. HardDisk

97. 下列各类存储器中, 存储信息在掉电后不易失的是____

- A. PROM B. EPROM C. EEPROM
D. SRAM E. DRAM

98. 从用户角度, 存储器的主要性能指标不包括____。

- A. 速度 B. 容量 C. 每位价格 D. 存取方式

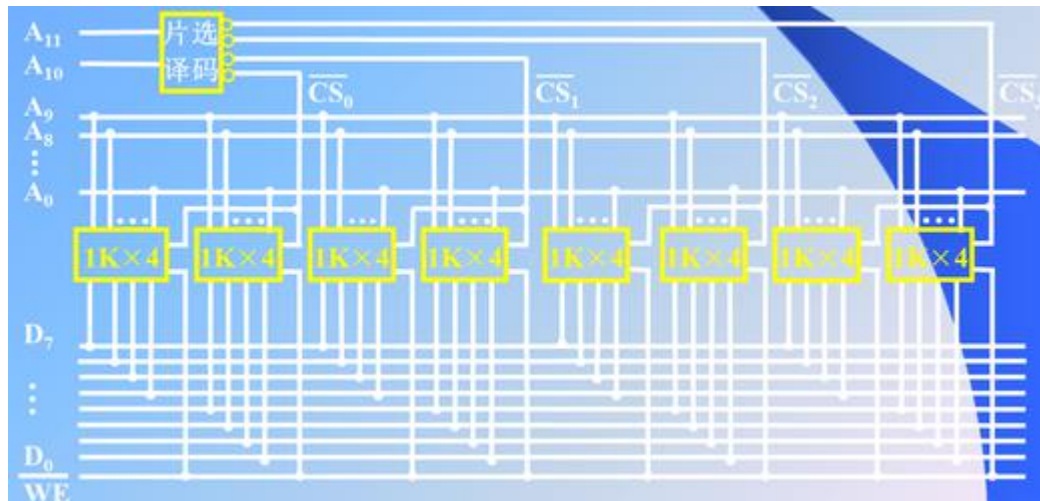
99. 半导体存储芯片的译码驱动方式有两种____

- A. 线选法和片选法
B. 线选法和重合法
C. 片选法和重合法
D. 线选法和复用法

100. 某一 RAM 芯片, 其容量为 $1K \times 4$ 位, 除电源和接地端外, 该芯片引出线的最少数目为:

- A. 10 B. 12 C. 14 D. 16

101. 下图中的存储器为____



- A. $2K \times 8$ 位 B. $16K \times 8$ 位
C. $8K \times 4$ 位 D. $4K \times 8$ 位

102. 为了提高存储器的带宽，可以采用的方式有___（多选）

- A. 增加存储字长 B. 增加存储体 C. 增长存储周期
D. 缩短存储周期 E. 缩短存储字长 F. 减少存储体

103. 与动态 RAM 相比，静态 RAM 的特点有___（多选）

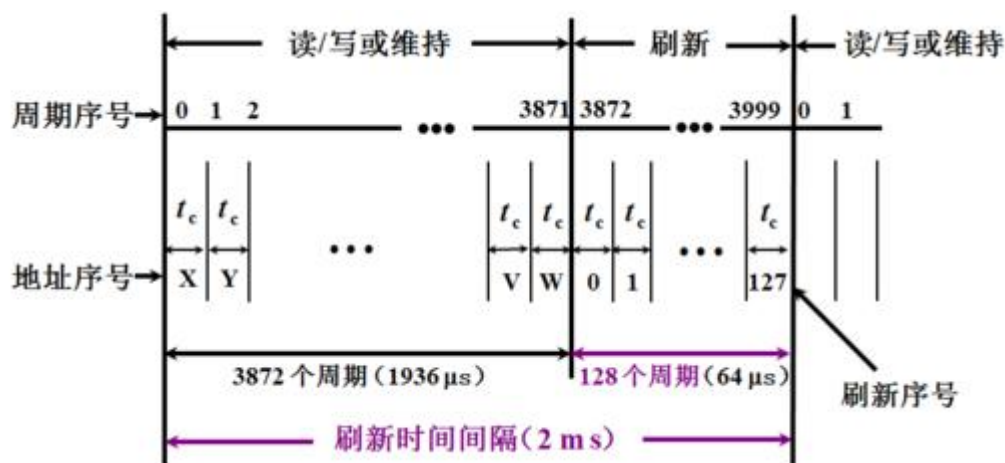
- A. 需要配置再生电路 B. 集成度高 C. 功耗大
D. 速度快 E. 位价高 F. 芯片引脚多

104. 随机存储器按其存储信息的原理不同，可以分为静态 RAM 和动态 RAM 两大类。

动态 RAM 基础电路有三管式和单管式两种，它们的共同特点都是靠电容存储电荷的原理来寄存信息。若电容上存有足够多的电荷表示存“1”，电容上无电荷表示存“0”。电容上的电荷一般只能维持 $1 \sim 2\text{ms}$ ，因此即使电源不掉电，信息也会自动消失。为此，必须在 2ms 内对其所有存储单元恢复一次原状态，这个过程称为再生或刷新。

动态 RAM 的刷新有集中刷新，分散刷新，异步刷新之分。集中刷新是在规定的一个刷新周期内，对全部单元集中一段时间逐行进行刷新，刷新时必须停止读/写操作。在一个刷新周期内不能进行读/写操作的时间称为“死时间”，又称为“死区”，其所占的比率称为“死时间率”。

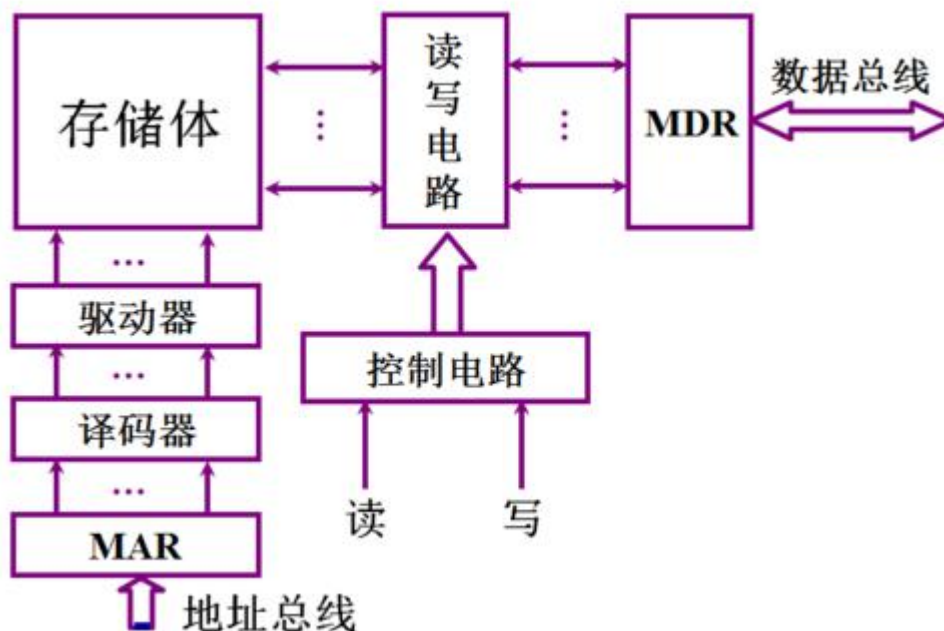
某动态 RAM 的刷新时间分配示意图如下，它的刷新方式为___, 死时间率是___



- A. 分散刷新 3.2% B. 集中刷新 1.2%
- C. 集中刷新 3.2% D. 异步刷新 1.2%

105. 主存的实际结构如图 4.4 所示, 根据 MAR 中的地址访问某个存储单元时, 需经过地址译码、驱动等电路, 才能找到所需访问的单元。读出时, 需经过读出放大器, 才能将被选中单元中存储字送到 MDR。写入时, MDR 中的数据也必须经过写入电路才能真正写入到被选中的单元中。

在现代计算机中, 通常会将图中的____制作在 CPU 芯片中。



- A. MAR 和 MDR B. 地址总线、数据总线
- C. 驱动器、译码器、读写电路 D. 图中所有器件

106. 在计算机运行过程中, 由于种种原因致使数据在存储过程中可能出现差错。为了能及时发现错误并及时纠正错误, 通常可将原数据配成汉明编码。汉明码具有一位纠错能力。

设欲检测的二进制代码为 n 位，为使其具有纠错能力，需增添 k 为检测位，组成 $n+k$ 位的代码，且满足 $2^k \geq n+k+1$ 。 k 的位数确定后，便可由它们所承担的检测任务设定它们在被传送代码中的位置及它们的取值。

设 $n+k$ 位代码自左至右依次编码为第 $1, 2, 3, \dots, n+k$ 位，而将 k 位检测位记作 $C_i (i=1, 2, 4, 8, \dots)$ ，分别安插在 $n+k$ 位代码编号的第 $1, 2, 4, 8, \dots, 2^{k-1}$ 位上。这些检测位分别承担 $n+k$ 为信息中不同数位所组成的“小组”的奇偶检测任务。

配偶原则表示，每个检测位 C_i 应使其负责检测的小组中“1”的个数为偶数。

先想传送信息 0011，按配偶原则配置得其汉明码为____

- A. 0000011
- B. 1000011
- C. 0100011
- D. 0010011

107. ____层次主要解决了 CPU 和主存速度不匹配的问题。

- A. CPU-辅存
- B. 主存-辅存
- C. 无正确答案
- D. 缓存-主存

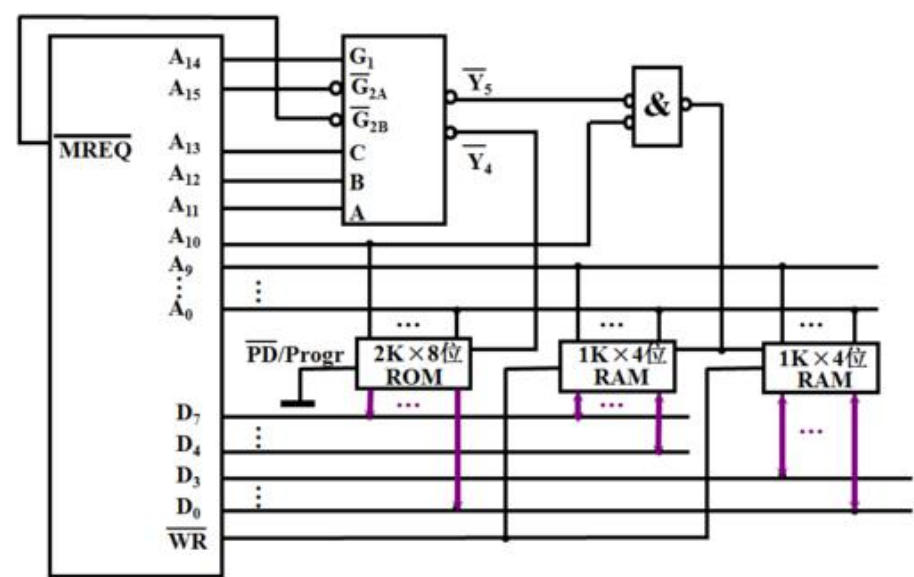
108. 存储字长都取____。

- A. 8
- B. 2 的倍数（如 2,4,6...）
- C. 8 的倍数
- D. 无限制

109. 动态 RAM 常用的三种刷新方式中不包括

- A. 集中刷新址
- B. 分散刷新
- C. 静态刷新
- D. 异步刷新

110. 某种 CPU 与存储器互联的结构如下图所示，以下说法正确的是：（多选）



- A. A15 A14 A13 A12 A11 为 10000 时，会选中 $2K \times 8$ 位的 ROM 芯片
- B. 6000H~67FFH 为系统程序区
- C. 6800H~6BFFH 为系统程序区
- D. A15 A14 A13 A12 A11 为 01000 时，会选中 $2K \times 8$ 位的 ROM 芯片
- E. 6000H~67FFH 为用户程序区
- F. 6800H~6BFFH 为用户程序区

111. 通过下列哪些组合可以通过字扩展和位扩展的方式组成 $3K \times 8$ 位的 RAM ?

- A. 三个 $1K \times 4$ 位 RAM
- B. 两个 $2K \times 8$ 位 RAM
- C. 一个 $1K \times 16$ 位和一个 $2K \times 8$ 位 RAM
- D. 两个 $1K \times 4$ 位和一个 $2K \times 8$ 位 RAM

112. 主存各存储单元的空间位置是由单元地址号来表示的，不同的机器存储字长也不相同，通常用 8 位二进制数表示一个字节，因此存储字长都取 8 的倍数。通常计算机系统即可以按字寻址，也可以按字节寻址。

如下所示，某机器 1 的字长为 32 位，它的每一个存储字包含 4 个可独立寻址的字节，其地址分配如下图（左）所示。某机器 2 的字长为 16 位，字地址是 2 的整数倍，它用低位字节的地址来表示字地址，如下图（右）所示。

以下说法正确的是：____（多选）

高位字节 地址为字地址

字地址	字节地址			
0	0	1	2	3
4	4	5	6	7
8	8	9	10	11

低位字节 地址为字地址

字地址	字节地址	
0	1	0
2	3	2
4	5	4

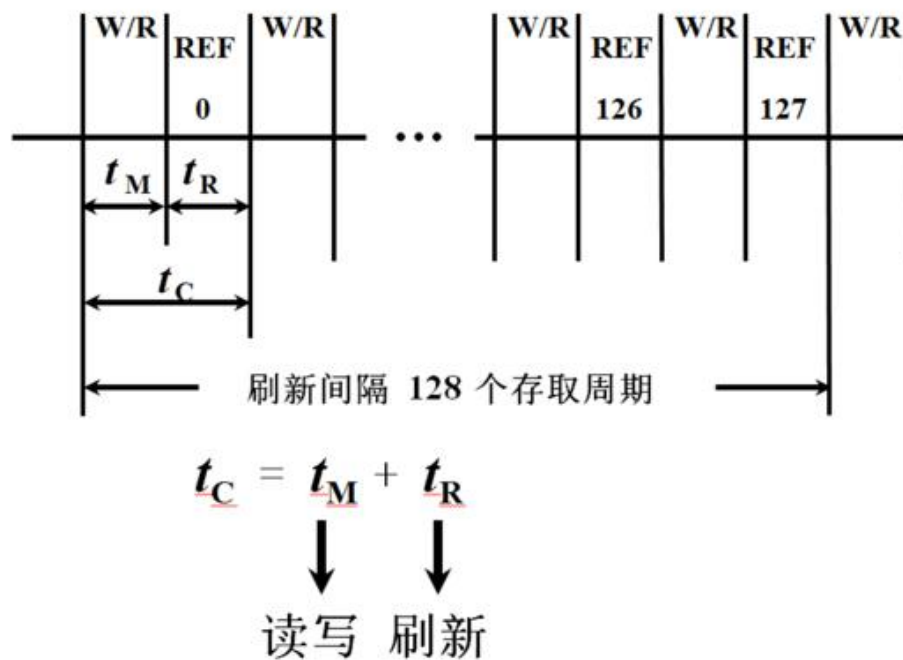
- A. 设地址线 24 根, 对于机器 1, 按字寻址 8M
- B. 设地址线 24 根, 对于机器 2, 按字寻址 4M
- C. 设地址线 24 根, 对于机器 1, 按字节寻址 $2^{24} = 16M$
- D. 设地址线 24 根, 对于机器 2, 按字寻址 8M
- E. 设地址线 24 根, 对于机器 1, 按字寻址 4M

113. 随机存储器按其存储信息的原理不同，可以分为静态 RAM 和动态 RAM 两大类。

动态 RAM 基础电路有三管式和单管式两种，它们的共同特点都是靠电容存储电荷的原理来寄存信息。若电容上存有足够多的电荷表示存“1”，电容上无电荷表示存“0”。电容上的电荷一般只能维持 $1\sim 2\text{ms}$ ，因此即使电源不掉电，信息也会自动消失。为此，必须在 2ms 内对其所有存储单元恢复一次原状态，这个过程称为再生或刷新。

动态 RAM 的刷新有集中刷新，分散刷新，异步刷新之分。

以下为某动态 RAM 的刷新时间分配示意图如下，它的刷新方式为_____



- A. 集中刷新 B. 分散刷新
C. 异步刷新 D. 上图不是刷新时间分配图

114. 磁盘上的磁道是指_____

- A. 无正确答案 B. 记录密度相同的同心圆
C. 一条阿基米德螺线 D. 记录密度不同的同心圆

115. 下列叙述中正确的是_____

- A. 主存可由 RAM 和 ROM 组成
B. 主存只能由 ROM 组成
C. 主存只能由 RAM 组成
D. 主存不是由 RAM 和 ROM 组成的

116. 某存储器容量为 $32\text{K} \times 16$ 位，则_____

- A. 地址线为 32 根，数据线为 16 根

- B. 地址线为 16 根, 数据线为 15 根
- C. 地址线为 15 根, 数据线为 16 根
- D. 地址线为 16 根, 数据线为 32 根

117. 某计算机机器字长为 16 位, 它的存储容量是 128KB, 按字编址, 它的寻址范围是____

- A. 64K
- B. 64KB
- C. 32K
- D. 32KB

118. 一个四体并行低位交叉存储器, 每个模块的容量是 64K*32 位, 存取周期为 200ns, 在下述说法中正确的是____

- A. 在 200ns 内, 存储器能向 CPU 提供 256 位二进制信息
- B. 在 50ns 内, 存储器能向 CPU 提供 32 位二进制信息
- C. 在 100ns 内, 存储器能向 CPU 提供 256 位二进制信息
- D. 在 200ns 内, 存储器能向 CPU 提供 128 位二进制信息

119. 若某种编码的最小距离为四, 则其检错能力和纠错能力可能为____

- A. 检错两位, 纠错一位
- B. 检错两位, 纠错两位
- C. 检错一位, 纠错两位
- D. 检错三位, 纠错两位

120. 按配奇原则配置 1100111 的汉明码为____

- A. 11101000111
- B. 无正确答案
- C. 11101001101
- D. 10101000111

121. 设由四个模块组成的四体存储器结构, 每个体的存储字长为 16 位, 存取周期为 250ns, 假设数据总线宽度为 16 位, 总线传输周期为 50ns, 试求顺序存储和交叉存储的带宽分别为____bps

- A. 6.4×10^7 和 1.6×10^7
- B. 1.6×10^8 和 6.4×10^7
- C. 6.4×10^8 和 1.6×10^8
- D. 6.4×10^7 和 1.6×10^8

122. 由主存地址映射到 Cache 地址的常见方式不包括____

- A. 直接映射
- B. 全相联映射
- C. 分散映射
- D. 组相联映射

123. 假设 Cache 容量为 16KB, 每个字块 16 个字, 每个字 16 位, 则____

- A. 此 Cache 地址有 10 位
- B. 此 Cache 可容纳 512 个字块
- C. 此 Cache 可容纳 1K 个字块
- D. 此 Cache 地址有 6 位

124. 假设主存容量为 512KB, Cache 容量为 16KB, 每个字块 16 个字, 每个字 16 位, 则____

- A. 主存有 16K 字块
- B. Cache 有 256 字块

C. 主存地址有 18 位 D. 主存有 2K 字块

125. 下列用到程序局部性原理的替换算法是

- A. 先进先出算法 B. 随机法
C. 近期最少使用算法 D. 都没用到

126. 假设 CPU 执行某段程序时，共访问 Cache 命中 1000 次，访问主存 20 次。已知 Cache 的存取周期是 20ns，主存的存取周期为 100ns。则 Cache-主存系统的命中效率和平均访问时间分别为

- A. 0.9800, 92.73%, 21.568ns B. 0.9804, 92.73%, 21.568ns
C. 0.9800, 92.73%, 21.600ns D. 0.9800, 92.59%, 21.600ns

127. 与采用写回法的系统相比，采用写直达法的算法的特点有____（多选）

- A. 读操作时涉及到对主存的写操作
B. Cache 的数据始终与主存保持一致
C. 写操作的时间就是访问主存的时间
D. 对 Cache 中一个数据块的多次写操作只需一次写入主存
E. 增加了 Cache 的复杂性

128. 与主存相比，辅存的特点为____（多选）

- A. 容量大
B. 速度慢
C. 可脱机保存
D. 具有非易失性
E. 位价高

129. 在 Cache 常用的替换算法中，最好的体现了局部性原理的是____

- A. 先进先出算法（FIFO）
B. 随机算法（RAND）
C. 都一样
D. 近期最少使用算法（LRU）

130. 以下各因素中，与缓存命中率无关的是____

- A. 主存的存取时间 B. 缓存的替换算法
C. 主存/缓存的地址映射方式 D. 缓存的容量

131. 某计算机的 Cache 共有 32 块，采用 4 路组相联映射方式（即每组 4 块）。每个字块大小为 32 字节，按字节编址。主存第 128 个字节所在主存块应装入到的 Cache 组号是____

A. 0 B. 2 C. 4 D. 6

132. 在主存和 Cache 的几种不同的地址映射方式中, Cache 的利用率最高的是____

- A. 直接映射 B. 全相联映射
C. 组相联映射 D. 都一样

133. 以下关于 Cache 写操作中“写直达”法的描述, 正确的是____ (多选)

- A. 写操作时, 数据既写入 Cache 又写入主存
B. 写操作时间是访问主存的时间
C. Cache 块被换出时不需要对主存执行写操作
D. 数据只写入 Cache, 不写入主存
E. Cache 块被换出时需要对主存执行写操作
F. 写操作的时间等于访问 Cache 的时间

134. 假设某计算机存储系统的主存的地址编址为 M 个字块, 每个字块含 B 个字。则可推知____

- A. Cache 的每个字块有 M 个字 B. Cache 的每个字块有 B 个字
C. Cache 编址为 M 个字块 D. Cache 编址为 B 个字块

135. 假设某计算机的存储系统由 Cache 和主存组成, 某程序执行过程中访存 1000 次, 其中 Cache 未命中 20 次, 则 Cache 的命中率是____

- A. 98% B. 9.8% C. 2% D. 95%

136. 在计算机的存储系统中, 主存中的任一主存块都可以映射到 Cache 中的任一缓存块的映射方式是____

- A. 直接映射 B. 全相联映射
C. 组相联映射 D. 都可以

137. 缓存的地址映射中, 若主存中的任一块只能固定映射到某一缓存块中, 则称作____

- A. 直接映射 B. 全相联映射
C. 组相联映射 D. 任意映射

138. 下列器件中存取速度最快的是____

- A. 缓存 B. 主存 C. 寄存器 D. 外存

139. 磁表面存储器的平均寻址时间通常是指____

- A. 寻道时间 B. 等待时间
C. 磁头读写时间 D. 寻址时间+等待时间

140. 假设缓存的工作速度为主存的 5 倍, 缓存的命中率为 90%, 则采用缓存后, 存储器的

性能提高了___倍

- A. 1.75 B. 2.57 C. 4 D. 5

141. 交叉编址的存储器实质能___执行___独立的读写操作

- A. 并行, 多个 B. 串行, 多个
C. 并行, 一个 D. 串行, 一个

142. 某存储器容量为 $16K \times 16$ 位, 则___

- A. 地址线为 16 根, 数据线为 32 根
B. 地址线为 15 根, 数据线为 16 根
C. 地址线为 32 根, 数据线为 16 根
D. 地址线为 14 根, 数据线为 16 根

143. 在计算机的存储系统中, Cache 和主存的地址映射方式主要有以下几种___(多选)

- A. 随机映射 B. 混合映射 C. 组相联映射
D. 全相联映射 E. 直接映射

144. 采用八体并行低位交叉存储器, 设每个体的存储容量为 $32K \times 16$ 位, 存取周期为 400ns, 在下列说法中正确的是___

- A. 在 100ns 内, 存储器能向 CPU 提供 128 位二进制信息
B. 在 100ns 内, 存储器能向 CPU 提供 256 位二进制信息
C. 在 400ns 内, 存储器能向 CPU 提供 128 位二进制信息
D. 在 400ns 内, 存储器能向 CPU 提供 256 位二进制信息

145. 以下存储设备___按存取时间比主存更快(多选)

- A. 磁盘 B. 磁带 C. 快速缓冲存储器
D. 通用寄存器 E. 输入/输出设备

146. 已知接收到的海明码为 0100111 (按配偶原则配置), 则欲传送的信息是___

- A. 0101 B. 0111 C. 0100 D. 0011

147. 设机器字长为 32 位, 存储容量为 16MB, 若按双字编址, 其寻址范围是___

- A. 1MB B. 2MB C. 4MB D. 8MB

148. 以下___可以和主存交换信息(多选)

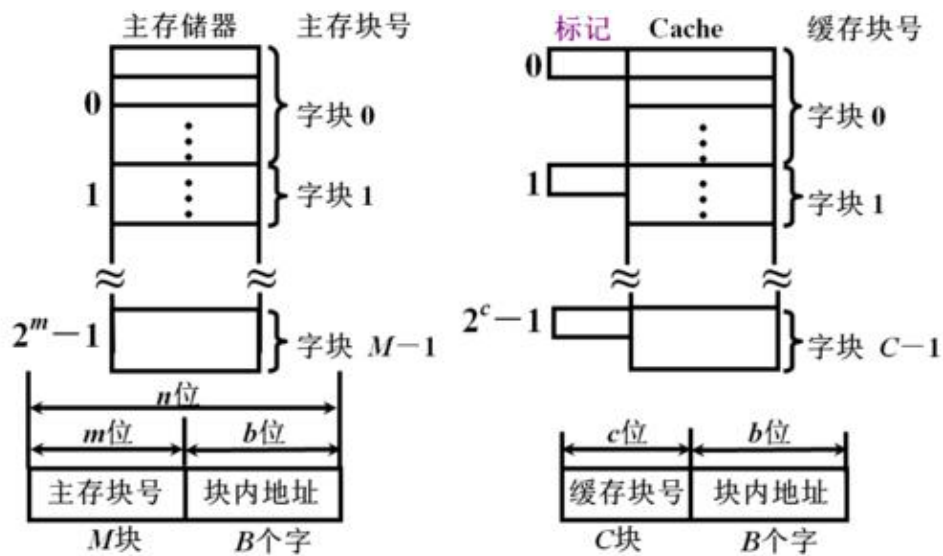
- A. 缓存 B. 辅存 C. CPU
D. 输入设备 E. 输出设备

149. 辅助存储器作为主存的后援设备又称为外部存储器, 简称外存, 它与主存一起组成了存储器系统的主存-辅存层次。目前, 广泛用于计算机系统的辅助存储器有___(多选)

- A. 硬磁盘 B. 软磁盘 C. 光盘 D. RAM

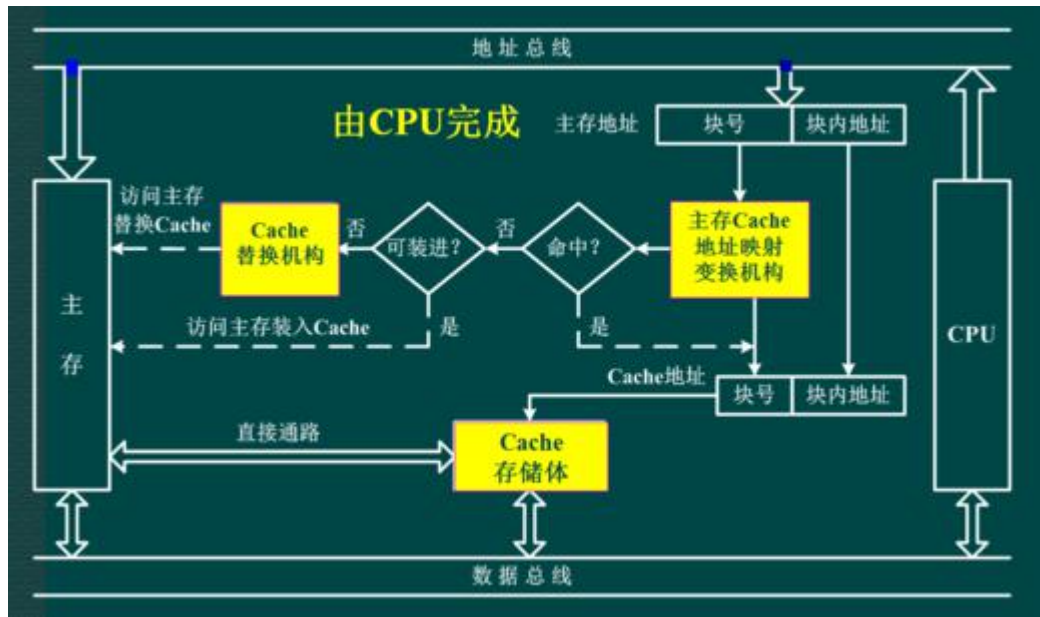
150. 下图是 *Cache*-主存存储空间的基本结构示意图。

主存由 2^n 个可编址的字组成，每个字有唯一的 n 位地址。为了与 *Cache* 映射，将主存与缓存都分成若干块，每个块内有包含若干个字，并使它们的块大小相同(即块内的字数相同)。这就将主存的地址分成两段：高 m 位表示主存的块地址，低 b 位表示块内地址，则 $2^m = M$ 表示主存的块数。同样，缓存的地址也分为两段：高 C 位表示缓存的块号，低 b 位表示块内地址，则 $2^c = C$ 表示缓存块数。主存与缓存地址中都用 b 位表示其块内字数，即 $B = 2^b$ 反映了块的大小，成 B 为块长，主存的块数 M ，与缓存的块数 C 的关系为____



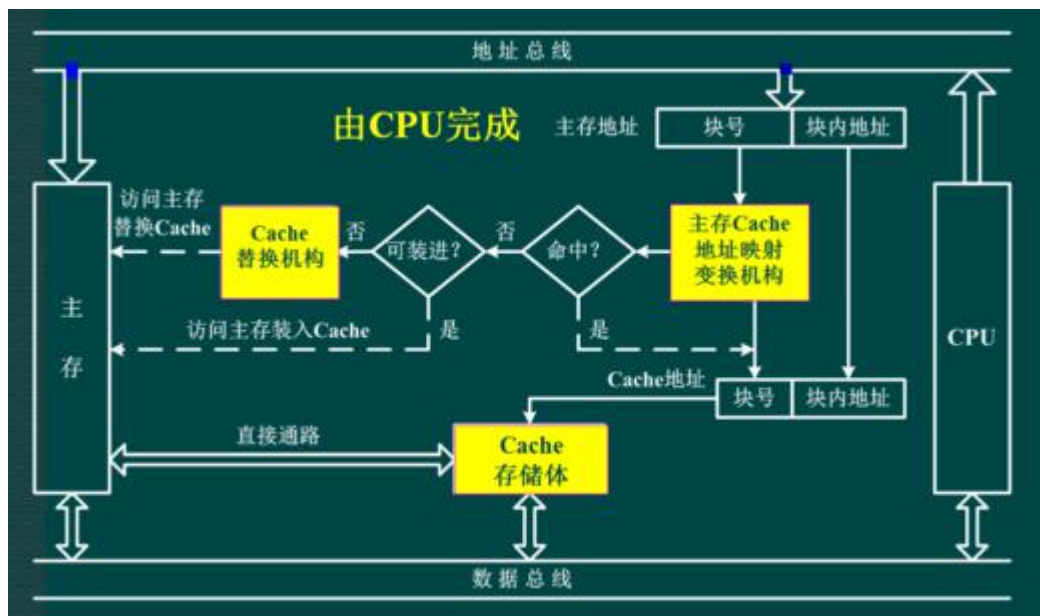
- A. M 略大于 C
 B. M 远大于 C
 C. M 小于 C
 D. M 与 C 之间无固定大小关系
 E. M 与 C 数值必须严格相等

151. *Cache* 的基本结构原理框图如下所示，它主要由 *Cache* 存储体，地址映射变换机构，*Cache* 替换机构几大模块组成。其中，地址映射变换机构的作用是



- A. 将 Cache 地址转换为主存地址送到地址总线
- B. 已块为单位存储与主存交换的信息
- C. 按一定的替换算法来确定应从 Cache 内移出哪个块返回主存，把新的主存块调入 Cache
- D. 将 CPU 送来的主存地址转换为 Cache 地址

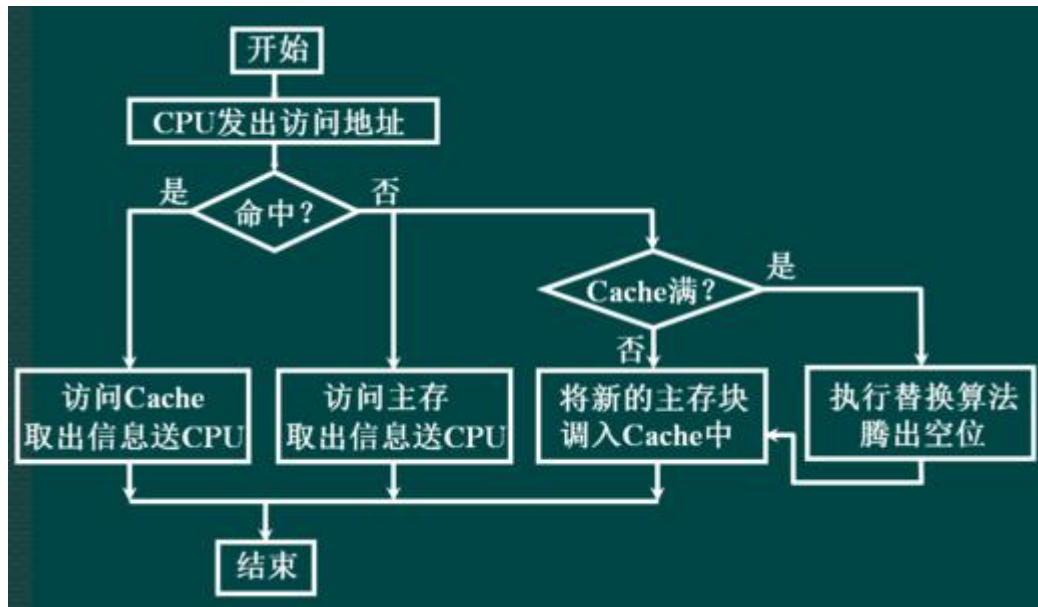
152. Cache 的基本结构原理框图如下所示，它主要由 Cache 存储体，地址映射变换机构，Cache 替换机构几大模块组成。其中，Cache 替换机构的作用是____



- A. 已块为单位存储与主存交换的信息
- B. 将 Cache 地址转换为主存地址送到地址总线
- C. 将 CPU 送来的主存地址转换为 Cache 地址
- D. 当 Cache 内容已满，无法接受来自主存块的信息时，就有本机构，按一定的替换算法来

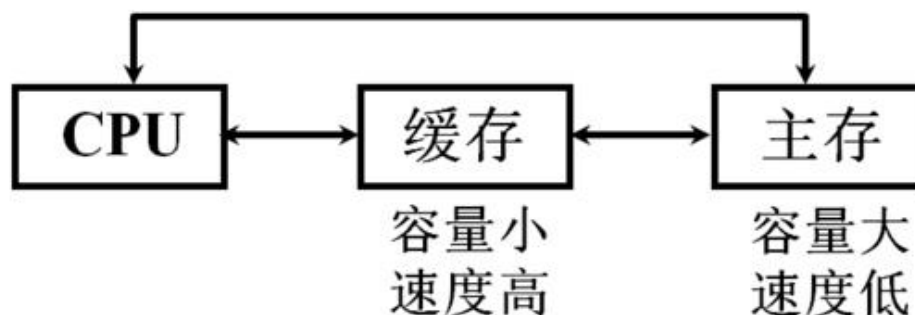
确定应从 Cache 内移出哪个块返回主存，而把新的主存块调入 Cache

153. Cache 的读操作的过程可用如下流程图来描述。当 CPU 发出主存地址后，首先判断该存储字是否在 Cache 中。若命中，直接访问 Cache，将该字送至 CPU；若未命中，则执行操作____



- A. 只访问主存取出信息送 CPU
- B. Cache 向 CPU 发出中断，通知其读操作不合法
- C. 一方面要访问主存，将该字传送给 CPU,与此同时，要将该字所在的主存块装入 Cache,如果此时 Cache 已满，就要执行替换算法，腾出空位
- D. 将该字所在的主存装入 Cache（由 Cache 是否已满，决定是否执行替换算法腾出空位），然后再次访问 Cache 存取出信息送 CPU

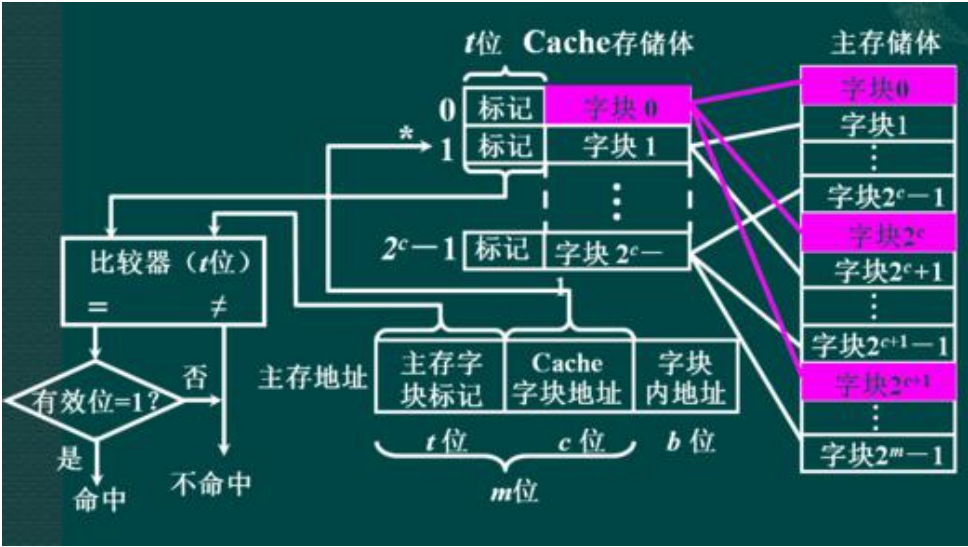
154. 在多体并行的存储系统中，为了避免 CPU 与 I/O 设备争抢访存，可在 CPU 与主存之间加一级缓存（参见下图）。高速缓存存储器问题的提出是为了____



- A. 避免 CPU“空等”现象
- B. CPU 与主存(DRAM)的速度差异

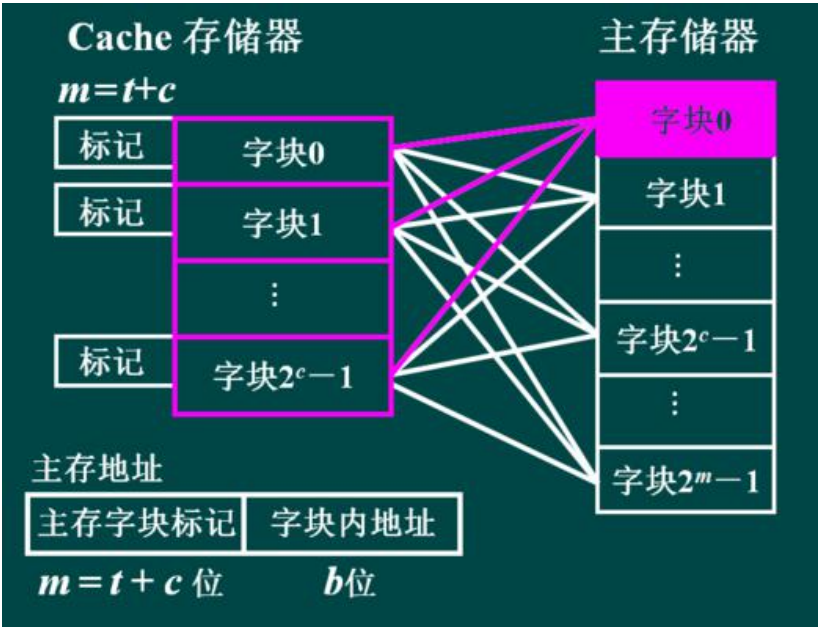
- C. 程序访问的局部性原理
- D. 研究人员无聊，自己给自己找事

155. 由主存地址映射到 *Cache* 地址成为地址映射。地址映射方式很多，有直接映射（固定的映射关系）、全相联映射（灵活性大的映射关系）、组相联映射（上述两种映射的折中）。
 下图表示出来___方式下，主存与缓存中字块的对应关系



- A. 直接映射
- B. 全相联映射
- C. 这不是映射关系
- D. 组相联映射

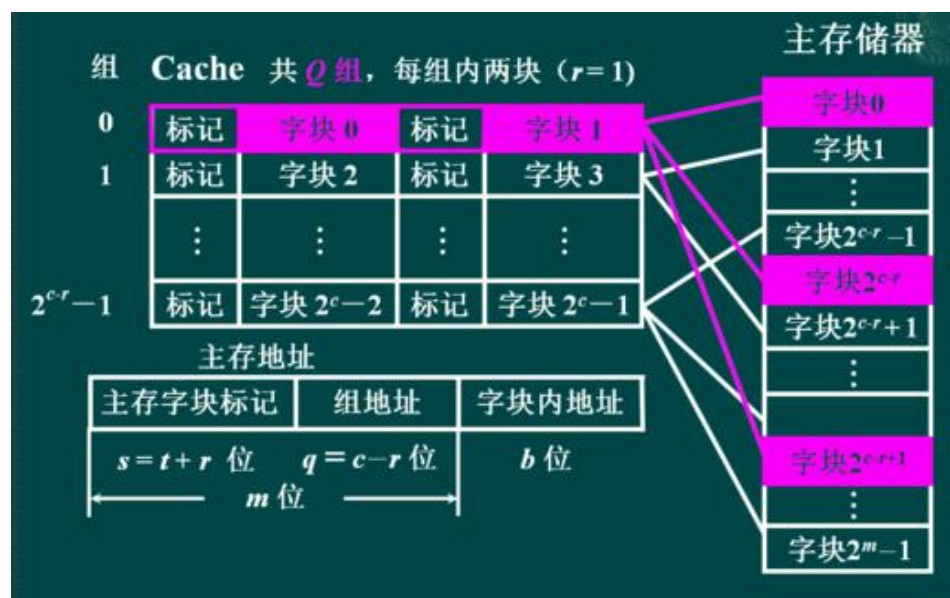
156. 由主存地址映射到 *Cache* 地址成为地址映射。地址映射方式很多，有直接映射（固定的映射关系）、全相联映射（灵活性大的映射关系）、组相联映射（上述两种映射的折中）。
 下图表示出来___方式下，主存与缓存中字块的对应关系



- A. 直接映射
- B. 全相联映射

- C. 这不是映射关系 D. 组相联映射

157. 由主存地址映射到 Cache 地址成为地址映射。地址映射方式很多，有直接映射（固定的映射关系）、全相联映射（灵活性大的映射关系）、组相联映射（上述两种映射的折中）。下图表示出来____方式下，主存与缓存中字块的对应关系

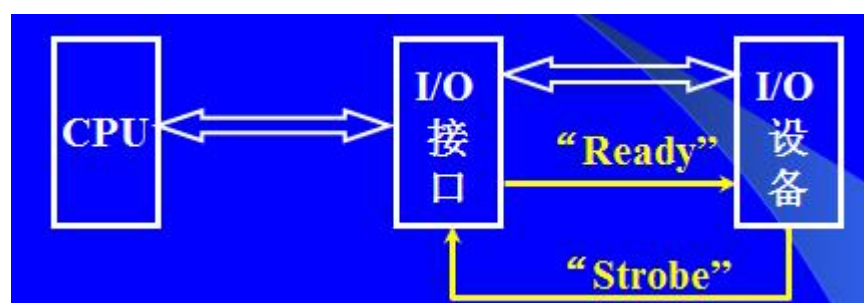


- A. 直接映射 B. 全相联映射
C. 这不是映射关系 D. 组相联映射

158. 中断服务程序的流程可表示为____

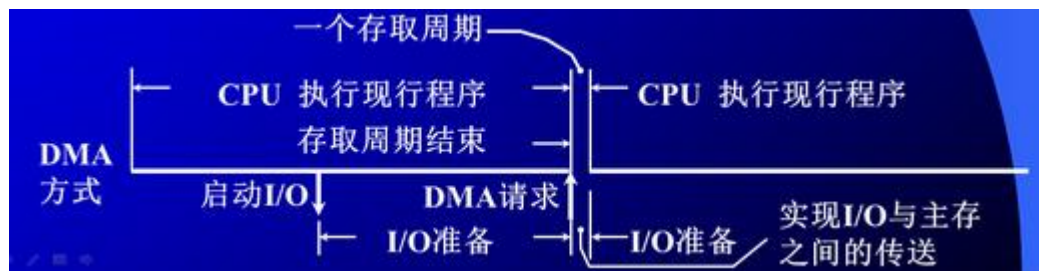
- A. 保护现场→中断服务→恢复现场→中断返回
B. 保护现场→中断服务→中断返回→恢复现场
C. 中断服务→保护现场→恢复现场→中断返回
D. 中断服务→保护现场→中断返回→恢复现场

159. 如图，此 I/O 设备与主机的联系方式为____



- A. 立即响应 B. 异步并行
C. 同步工作 D. 无正确答案

160. 下图可以表示哪种控制方式的 CPU 工作效率？



- A. DMA 方式 B. 程序查询方式
C. 程序中断方式 D. 无正确答案

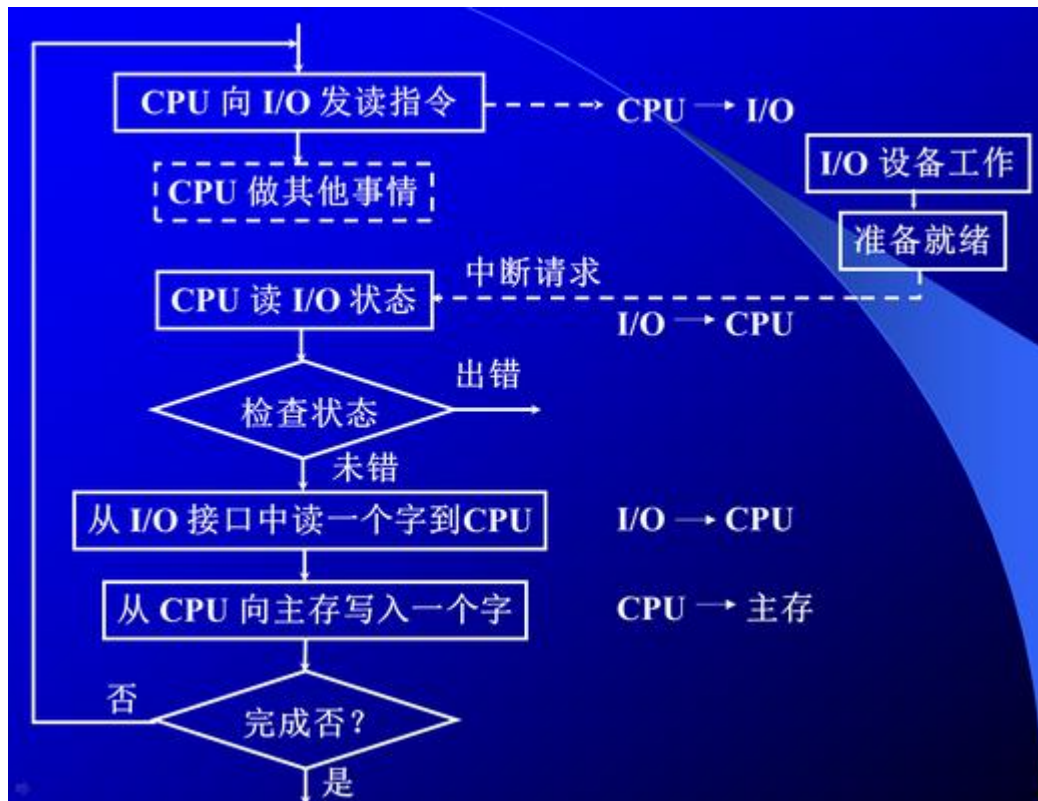
161. 在程序查询方式的输入输出系统中，假设不考虑处理时间，每一次查询操作需要 100 个时钟周期，CPU 的时钟频率为 50MHz。CPU 必须每秒对鼠标进行 60 次查询，则 CPU 对鼠标查询所花时间占用 CPU 时间的比率为____

- A. 0.006% B. 0.024% C. 0.012% D. 0.01%

162. 下列功能不能由中断技术实现的是____

- A. 解决 I/O 设备工作速度较低，无法与 CPU 速度匹配的问题
B. 在突然掉电的瞬间立刻启动备份电源，并做一些必要处理
C. 使 CPU 可以即时相应外部信号
D. 主存和设备交换信息时不通过 CPU

163. 下图表示的 I/O 设备与主机信息传送的控制方式为____



- A. 程序查询 B. DMA
C. 程序中断 D. 无正确答案

164. 下列对程序中断描述错误的是____

- A. 多个中断源向 CPU 提出中断请求时，CPU 可以在某个瞬间接受多个中断源请求
B. 凡能向 CPU 提出中断请求的各种因素统称为中断源
C. 当多个中断源同时提出请求时，CPU 必须对各中断源的请求进行排队，且只能接受级别最高的中断源的请求
D. 中断请求触发器和中断屏蔽触发器在 I/O 接口中是成对出现的

165. I/O 指令的命令码一般可以表述的情况有____（多选）

- A. 将数据从 I/O 设备输入主机 B. 将数据从主机输出至 I/O 设备
C. 状态测试 D. 形成某些操作命令 E. 逻辑运算

166. 下列关于调用中断服务程序和调用子程序的叙述正确的是____（多选）

- A. 中断服务程序与中断时 CPU 正在运行的程序是相互独立的，他们之间没有确定的关系。子程序调用时转入的子程序与 CPU 正在执行的程序段是同一程序的两部分
B. 除了软中断，通常中断产生都是随机的，而子程序调用时由 CALL 指令（子程序调用指令）引起的
C. 中断服务程序的入口地址可以通过硬件向量法产生向量地址，再由向量地址找到入口地

址。子程序调用的子程序入口地址是由 CALL 指令中的地址码给出的

D. 调用中断服务程序和子程序都需保护程序断点,前者是由中断隐指令完成,后者由 CALL 指令本身完成

E. 处理中断服务程序时,对多个同时发生的中断需进行裁决,而调用子程序时一般没有这种操作

F. 在中断服务程序和所调用的子程序中都有保护寄存器内容的操作

167. 当内存和外设之间进行信息传输时,不需要 CPU 参与的控制方式是____

A. 程序查询方式

B. DMA 方式

C. 程序中断方式

D. 三种方式都需要

168. 以下关于通道程序的叙述中,正确的是____

A. 通道程序存放在外设中

B. 通道程序可以存放在主存中

C. 通道程序是由 CPU 执行的

D. 通道程序可以在任何环境下执行 I/O 操作

169. I/O 设备与主机交换信息的常见控制方式不包括____方式

A. 程序查询

B. 中断

C. DMA

D. 随机

170. 在中断响应过程中,保存正在执行程序的程序计数器 PC 的作用是____

A. 使 CPU 可以找到中断处理程序的入口地址

B. 使 CPU 可以和外设并行工作

C. 使中断返回后,该程序可以回到断点位置继续向下执行

D. 为了响应多重中断

171. 以下设备中,属于人机交互设备的是____(多选)

A. 调制解调器

B. 光盘

C. 磁盘

D. 鼠标

E. 显示器

F. 键盘

172. DMA 控制器和 CPU 在竞争内存时,可以使用以下方式____(多选)

A. DMA 与 CPU 同时访问

B. 停止 CPU 访问内存

C. 周期挪用

D. DMA 与 CPU 交替访问

E. 停止 DMA 访问内存

173. 输入输出系统的发展概况可表示为___

- A. 早期阶段—>接口模块和 DMA 阶段—>具有 I/O 处理机的阶段—>具有通道结构的阶段
- B. 早期阶段—>具有通道结构的阶段—>接口模块和 DMA 阶段—>具有 I/O 处理机的阶段
- C. 早期阶段—>具有通道结构的阶段—>具有 I/O 处理机的阶段—>接口模块和 DMA 阶段
- D. 早期阶段—>接口模块和 DMA 阶段—>具有通道结构的阶段—>具有 I/O 处理机的阶段

174. DMA 的数据传送方式，可以是___（多选）

- A. 单元传送方式
- B. 块传送方式
- C. on-the-fly 传送方式
- D. 组合传送方式
- E. 信号传送方式

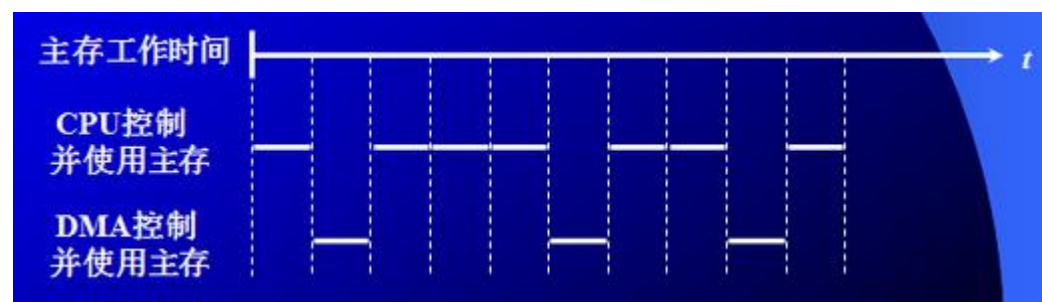
175. 下列有关中断向量地址和终端服务程序的入口地址的描述错误的是___

- A. 在硬件向量法中，中断服务程序的入口地址由硬件电路直接产生
- B. 中断向量地址形成部件的输入来自排队器的输出
- C. 一个中断源对应一个向量地址
- D. 在硬件向量法中，可以通过中断向量地址寻找中断服务程序入口地址

176. 微型机系统中，主机和高速硬盘进行数据交换一般采用___方式

- A. 程序查询
- B. 程序中断
- C. DMA
- D. 无正确答案

177. 在 DMA 方式中，由于 DMA 接口与 CPU 共享主存，这就有可能出现两者争用主存的冲突，为了有效地分时使用主存，通常 DMA 与主存交换数据时采用停止 CPU 访问主存、周期挪用或 DMA 与 CPU 交替访存三种方法，下图所示的方法是___



- A. 停止 CPU 访问主存
- B. 周期挪用
- C. DMA 与 CPU 交替访存
- D. 无正确答案

178. DMA 方式中，周期窃取是窃取一个___（多选）

- A. 指令周期
- B. 存取周期
- C. CPU 周期
- D. 总线周期
- E. DMA 挪用的是主存访问 CPU 的时间，因此是存取周期

179. I/O 与主机交换信息的方式中，DMA 方式的特点是___

- A. CPU 与设备串行工作，传送与主程序串行工作
- B. CPU 与设备并行工作，传送与主程序并行工作
- C. CPU 与设备并行工作，传送与主程序串行工作
- D. CPU 与设备串行工作，传送与主程序并行工作

180. 键盘、鼠标属于___设备

- A. 输入
- B. 输出
- C. 机-机通信
- D. 计算机信息存储

181. 计算机的外部设备是指___

- A. 磁盘机
- B. 电源及空调设备
- C. 键盘显示器
- D. 输入输出设备

182. CPU 对通道的请求形式是___

- A. I/O 指令
- B. 跳转指令
- C. 通道命令
- D. 中断

183. DMA 接口具有的功能有___（多选）

- A. 向 CPU 申请 DMA 传送
- B. 在 CPU 允许 DMA 工作时，处理总线控制权的转交
- C. 在 DMA 期间管理系统总线，控制数据传送
- D. 确定数据传送的起始地址和数据长度
- E. 在数据块传送结束时给出 DMA 操作完成的信号

184. 磁盘适用于___方式实现输入输出操作

- A. I/O 指令
- B. 程序查询
- C. DMA
- D. 中断

185. 当主机发生 I/O 操作时，CPU 和 IO 外设串行工作的控制方式是___

- A. 程序中断方式
- B. 程序查询方式
- C. DMA 方式
- D. 三种方式都是

186. 标准的 ASCII 码是___位

- A. 4
- B. 5
- C. 6
- D. 7

187. 在统一编址方式下，区分 CPU 访问的是内存还是外设是靠___

- A. 不同的地址码
- B. 不同的地址线
- C. 不同的数据线
- D. 不同的控制线

188. 中断发生时，程序计数器内容的保护和更新，是由___完成的

- A. I/O 指令
- B. 硬件

C. 访存指令 D. 进栈指令和转移指令

189. 在程序中断方式下，中断响应发生在____

- A. 一条指令执行结束
- B. 一条指令执行开始
- C. 一条指令执行中间
- D. 一条指令执行的任何时刻

190. 以串行接口对 ASCII 码进行传送，带 1 位奇偶检验位和 2 位停止位，当波特率为 9600 波特时，字符传送率为____字符/s

- A. 480 B. 960 C. 1200 D. 1371

191. 当主机与外设传送数据时，CPU 的效率由高到低依次是____

- A. 程序查询方式、DMA 方式、程序中断方式
- B. 程序中断方式、DMA 方式、程序查询方式
- C. DMA 方式、程序中断方式、程序查询方式
- D. 程序中断方式、程序查询方式、DMA 方式

192. 打印机的分类方法很多，下列是按照打字原理进行分类的是____（多选）

- A. 击打式 B. 非击打式 C. 串行式
- D. 并行式 E. 点阵式 F. 活字式

193. 在程序中断方式中，中断向量可以提供____

- A. 正在执行程序断点的地址
- B. 传送数据的设备地址
- C. 传送数据的起始地址
- D. 中断服务程序的入口地址

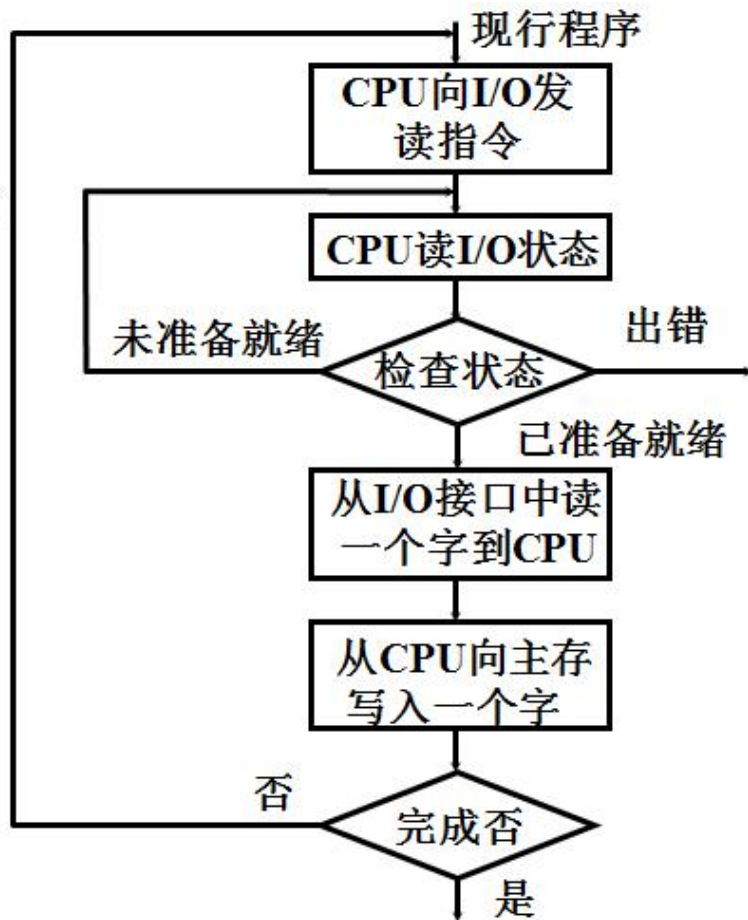
194. I/O 和 CPU 之间不论是采用串行传送还是并行传送，它们之间的联络方式(定时方式)有____（多选）

- A. 异步定时 B. 立即响应 C. 同步定时
- D. 程序查询 E. DMA

195. 在程序中断方式中，将中断允许触发器（EINT）置“1”的操作可由____完成。

- A. 硬件复位 B. 数据预取指令
- C. 开中断指令 D. 关中断指令

196. 程序查询方式是由 CPU 通过程序不断查询 I/O 接口是否已做好准备，从而控制 I/O 设备与主机交换信息。程序查询方式的流程如下所示：



关于程序查询方式的特点，下列说法正确的是____（多选）

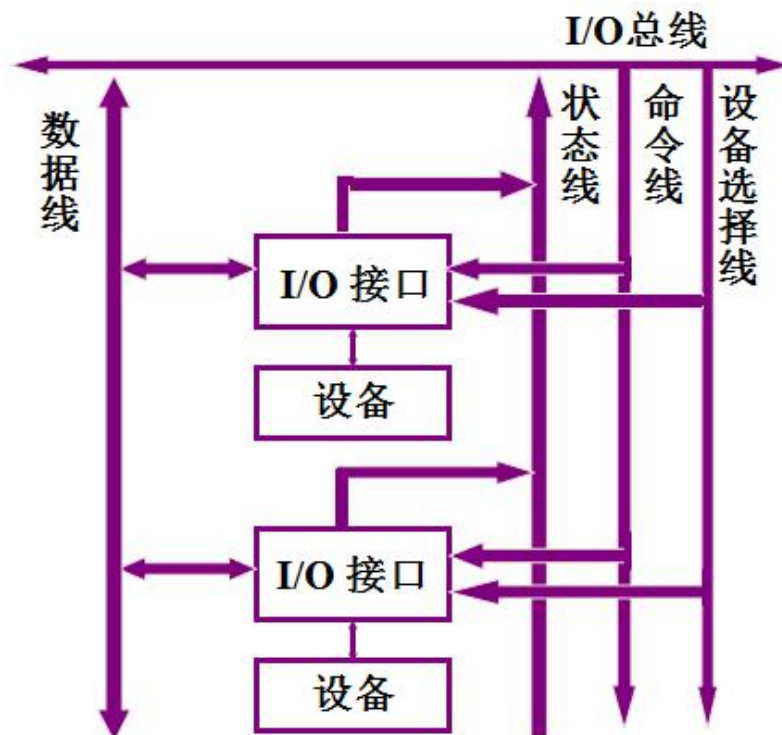
- A. 只要一启动 I/O 设备，CPU 便不断查询 I/O 设备的准备情况，从而终止了原程序的执行。
- B. CPU 在反复查询过程中，犹如就地“踏步”
- C. I/O 设备准备就绪后，CPU 要一个字一个字地从 I/O 设备取出，经 CPU 送至主存，此刻 CPU 也不能执行原程序
- D. CPU 和 I/O 设备处于串行工作状态，CPU 的工作效率不高。
- E. CPU 执行程序与 I/O 设备做准备是同时进行的，不会出现“踏步”现象。

197. 中断服务程序的最后一条指令是____

- A. 出栈指令
- B. 入栈指令
- C. 中断返回指令
- D. 转移指令

198. 接口可以看做是两个系统或两个部件之间的交换部分，它既可以是两种硬件设备之间的连接电路，也可以是两个软件之间的共同逻辑边界。I/O 接口通常是指主机与 I/O 设备之间设置的一个硬件电路及其相应的软件控制

下图展示了总线连接方式的 I/O 接口电路。如下图所示的总线结构计算机，每一台 I/O 设备都是通过 I/O 接口挂到系统总线上的。图中的 I/O 总线包括数据线、设备选择线、命令线和状态线。



下面____是对**数据线**的描述

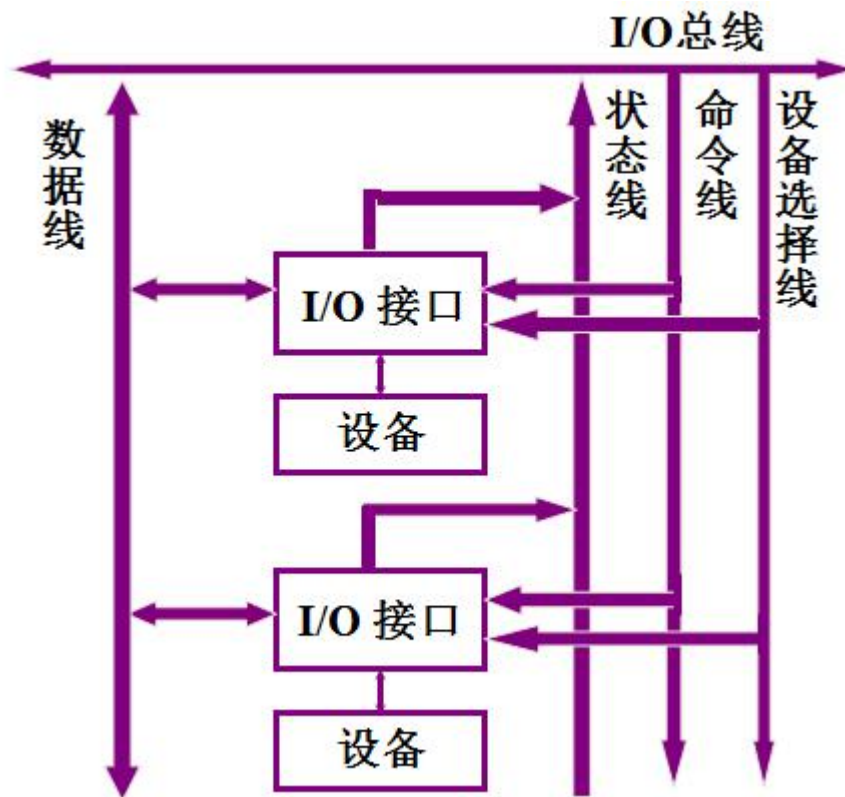
- A. 主要用以传输 CPU 向设备发送的各种命令信号，如启动、清除、屏蔽、读、写等。它是一组单线总线，其根数与命令信号多少有关。
- B. 是用来传送设备码的，它的根数取决于 I/O 指令中设备码的位数。
- C. 是将 I/O 设备的状态向主机报告的信号线，例如，设备是否准备就绪，是否向 CPU 发出中断请求等。它也是一组单线总线。
- D. 是 I/O 设备与主机之间数据代码的传送线，其根数一般等于存储字长的位数或字符的位数，它通常是双向的，也可以是单向的。

199. 中断系统是由____实现的。

- A. 仅由硬件
- B. 仅由软件
- C. 软件和硬件的结合
- D. 仅由硬件或者仅由软件

200. 接口可以看做是两个系统或两个部件之间的交换部分，它既可以是两种硬件设备之间的连接电路，也可以是两个软件之间的共同逻辑边界。I/O 接口通常是指主机与 I/O 设备之间设置的一个硬件电路及其相应的软件控制

下图展示了总线连接方式的 I/O 接口电路。如下图所示的总线结构计算机，每一台 I/O 设备都是通过 I/O 接口挂到系统总线上的。图中的 I/O 总线包括数据线、设备选择线、命令线和状态线。



下面____是对设备选择线的描述。

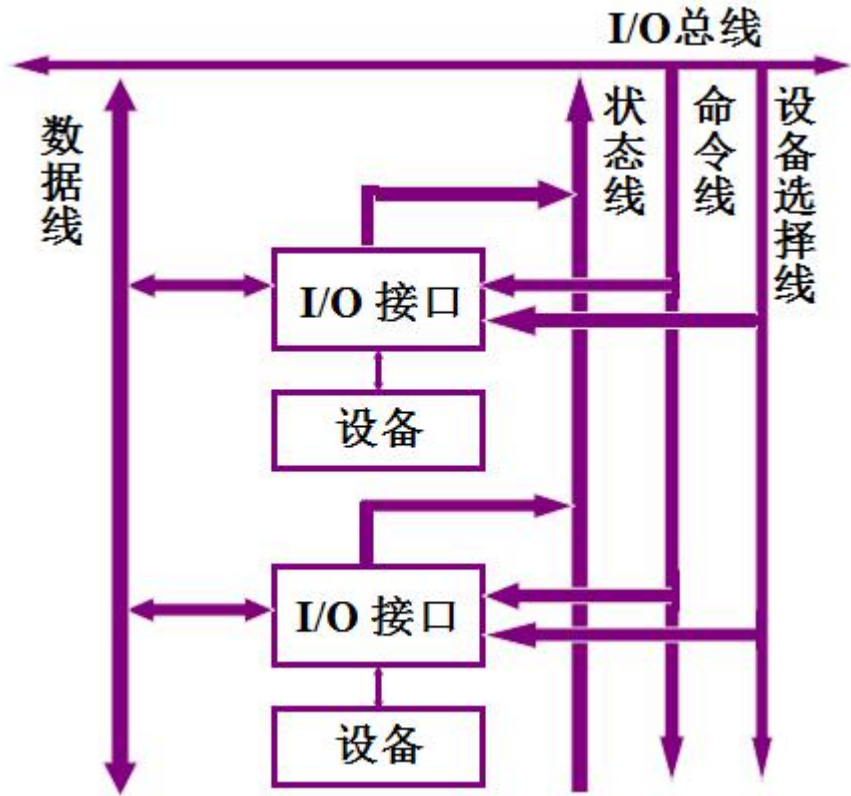
- A. 是 I/O 设备与主机之间数据代码的传送线，其根数一般等于存储字长的位数或字符的位数，它通常是双向的，也可以是单向的。
- B. 是用来传送设备码的，它的根数取决于 I/O 指令中设备码的位数。
- C. 主要用以传输 CPU 向设备发送的各种命令信号，如启动、清除、屏蔽、读、写等。它是一组单线总线，其根数与命令信号多少有关。
- D. 是将 I/O 设备的状态向主机报告的信号线，例如，设备是否准备就绪，是否向 CPU 发出中断请求等。它也是一组单线总线。

201. 主机的 I/O 接口可分为多种类型，按数据的传送方式不同进行分类的是____

- A. 并行接口和串行接口
- B. 可编程接口和不可编程接口
- C. 通用接口和专用接口
- D. 中断接口和 DMA 接口

202. 接口可以看做是两个系统或两个部件之间的交换部分，它既可以是两种硬件设备之间的连接电路，也可以是两个软件之间的共同逻辑边界。I/O 接口通常是指主机与 I/O 设备之间设置的一个硬件电路及其相应的软件控制

下图展示了总线连接方式的 I/O 接口电路。如下图所示的总线结构计算机，每一台 I/O 设备都是通过 I/O 接口挂到系统总线上的。图中的 I/O 总线包括数据线、设备选择线、命令线和状态线。



下面____是对**命令线**的描述。

- A. 是用来传送设备码的，它的根数取决于 I/O 指令中设备码的位数。
- B. 是 I/O 设备与主机之间数据代码的传送线，其根数一般等于存储字长的位数或字符的位数，它通常是双向的，也可以是单向的。
- C. 主要用以传输 CPU 向设备发送的各种命令信号，如启动、清除、屏蔽、读、写等。它是一组单线总线，其根数与命令信号多少有关。
- D. 是将 I/O 设备的状态向主机报告的信号线，例如，设备是否准备就绪，是否向 CPU 发出中断请求等。它也是一组单线总线。

203. 通道程序是由____组成

- A. I/O 指令
- B. 通道指令
- C. 通道状态字
- D. 通道请求

204. 接口可以看做是两个系统或两个部件之间的交换部分，它既可以是两种硬件设备之间的连接电路，也可以是两个软件之间的共同逻辑边界。I/O 接口通常是指主机与 I/O 设备之间设置的一个硬件电路及其相应的软件控制。

接口通常应具有选址、传送命令、传送数据、反应 I/O 设备状态等功能。关于**选址功能**，下面描述正确的是_____

- A.** 由于接口处于主机与 I/O 设备之间，因此数据必须通过接口才能实现主机与 I/O 设备之间的传送。为实现此功能，要求接口中具有数据通路，这种数据通路还应具有缓冲能力，即将数据暂存在接口内。
- B.** 由于 I/O 总线与所有设备的接口电路相连，此功能是用以确定 CPU 究竟选择哪台设备，通过设备选择线上的设备码来确定。
- C.** 此功能是为了使 CPU 能及时了解各 I/O 设备的工作状态，接口内必须设置一些反映设备工作状态的触发器。
- D.** 当 CPU 向 I/O 设备发出命令时，要求 I/O 设备能做出响应，如果 I/O 接口不具备此功能，那么设备将无法响应，故通常在 I/O 接口中设有存放命令的命令寄存器以及命令译码器。

205. 在程序查询的输入输出系统中，假设不考虑处理时间，每一个查询操作需要 100 个时钟周期，CPU 的时钟频率为 50MHz。CPU 对鼠标每秒进行 30 次查询，则 CPU 对鼠标查询所花费的时间比率为_____

- A.** 0.06% **B.** 0.001% **C.** 0.01% **D.** 0.006%

206. 接口可以看做是两个系统或两个部件之间的交换部分，它既可以是两种硬件设备之间的连接电路，也可以是两个软件之间的共同逻辑边界。I/O 接口通常是指主机与 I/O 设备之间设置的一个硬件电路及其相应的软件控制。

接口通常应具有选址、传送命令、传送数据、反应 I/O 设备状态等功能。关于**传送命令功能**，下面描述正确的是_____

- A.** 由于 I/O 总线与所有设备的接口电路相连，此功能是用以确定 CPU 究竟选择哪台设备，通过设备选择线上的设备码来确定。
- B.** 由于接口处于主机与 I/O 设备之间，因此数据必须通过接口才能实现主机与 I/O 设备之间的传送。为实现此功能，要求接口中具有数据通路，这种数据通路还应具有缓冲能力，即将数据暂存在接口内。
- C.** 当 CPU 向 I/O 设备发出命令时，要求 I/O 设备能做出响应，如果 I/O 接口不具备此功能，那么设备将无法响应，故通常在 I/O 接口中设有存放命令的命令寄存器以及命令译码器。
- D.** 此功能是为了使 CPU 能及时了解各 I/O 设备的工作状态，接口内必须设置一些反映设备工作状态的触发器。

207. I/O 编址方式可分为统一编址和不统一编址，下列对这两种方法叙述正确的是

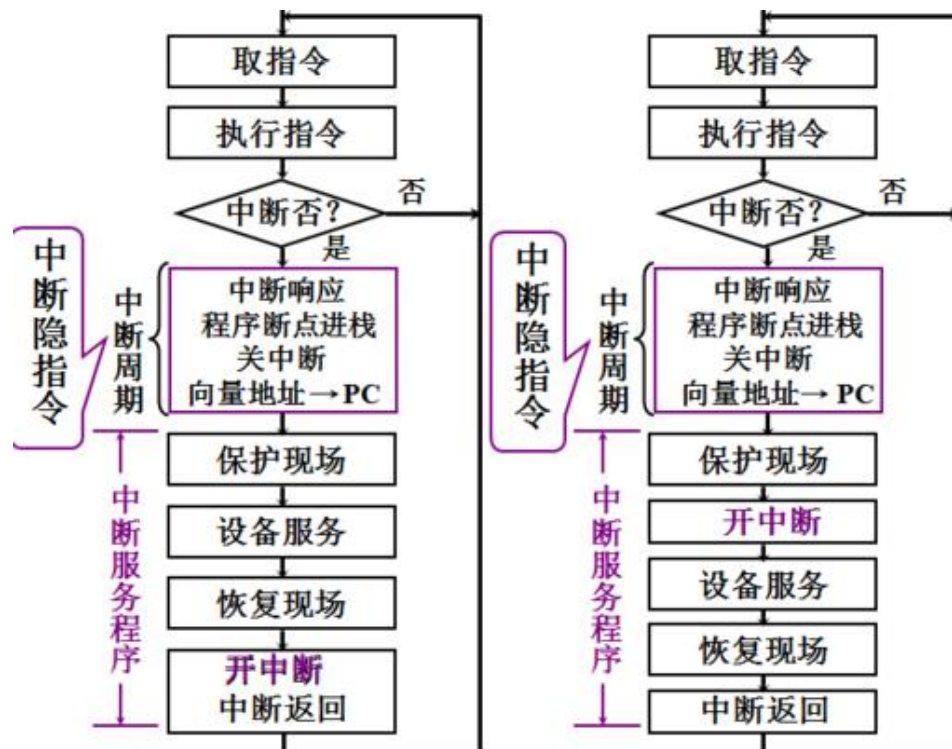
- A.** 不统一编址是指 I/O 地址和存储器地址是分开的，所以对 I/O 访问必须有专门的 I/O 指令

B. 统一编址就是将 I/O 地址看作是存储器地址的一部分，可用专门的 I/O 指令对设备进行访问

C. 统一编址是指 I/O 地址和存储器地址是分开的，所以可用访存指令实现 CPU 对设备的访问

D. 不统一编址是指将 I/O 地址看作是存储器地址的一部分，可用专门的 I/O 指令对设备进行访问

208. 在计算机处理中断的过程中，有可能出现新的中断请求，此时如果 CPU 暂停现行的中断服务程序，转去处理新的中断请求，这种现象称为中断嵌套，或多重中断。倘若 CPU 在执行中断服务时，对新的中断请求不予理睬，这种中断称为单重中断。这两种处理方式的中断服务程序略有区别。



上图表示单重中断和多重中断服务程序流程，下面说法正确的是_____

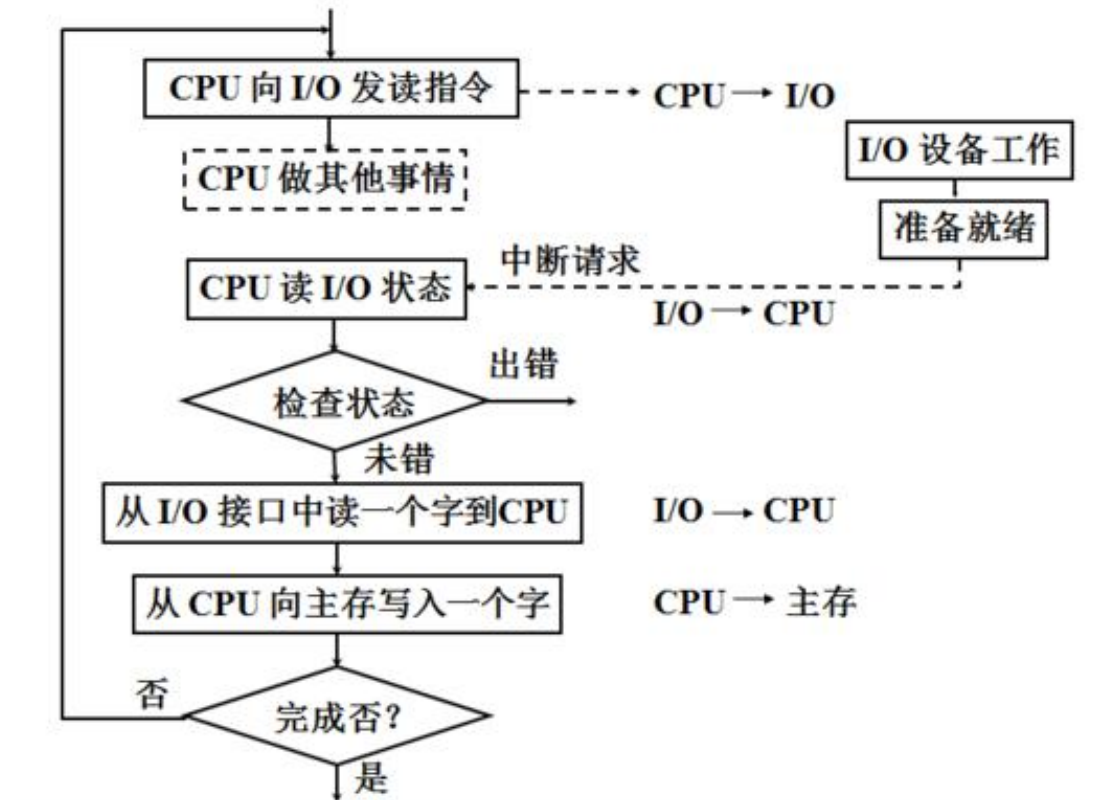
A. 左右两图都是多重中断的服务流程

B. 左图是多重中断的服务流程，右图是单重中断的服务流程

C. 左图是单重中断的服务流程，右图是多重中断的服务流程

D. 左右两图都是单重中断的服务流程

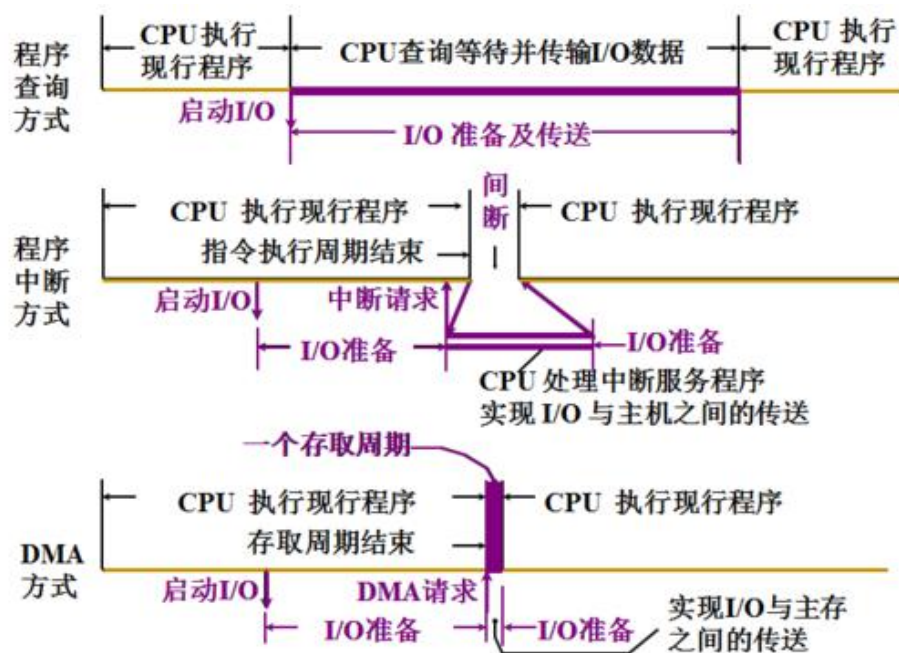
209. 程序中断方式在 CPU 启动 I/O 设备后，不查询设备是否已准备就绪，继续执行自身程序，只是当 I/O 设备准备就绪并向 CPU 发出中断请求后才予以响应，这大大提高 CPU 的工作效率。下图示意了采用程序中断方式从 I/O 设备读数据块到主存的程序流程。



观察上述流程图，下列说法正确的是____（多选）

- A. CPU 和 I/O 设备处于串行工作状态，CPU 的工作效率不高。
- B. 采用程序中断方式，CPU 和 I/O 不仅在硬件方面需增加相应的电路，而且在软件方面还必须编制中断服务程序。
- C. 在此方式下，CPU 不必时刻查询 I/O 设备的准备情况，不出现“踏步”现象。
- D. 当 I/O 设备向 CPU 发出请求后，CPU 才从 I/O 接口读一个字经 CPU 送至主存（这是通过执行中断服务程序完成的）。
- E. CPU 向 I/O 设备发读指令后，仍可以处理其他事情（如继续在算题）

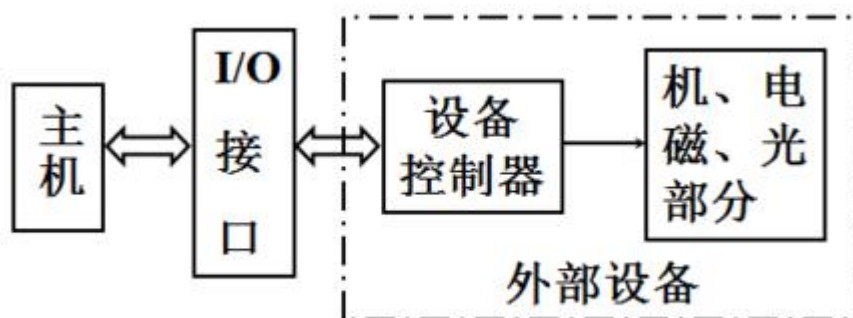
210. I/O 设备与主机交换信息时，共有 5 中控制方式：程序查询方式、程序中断方式、直接存取方式（DMA）、I/O 通道方式、I/O 处理机方式。下图，对前三种方式的 CPU 工作效率进行了比较。



参考上图，我们可知程序查询方式、程序中断方式、DMA 方式中，____方式对 CPU 的利用率最高。

- A. 程序查询方式
- B. 程序中断方式
- C. DMA 方式
- D. 三种方式一样高，因为交换 I/O 设备信息到主存，用不到 CPU。

211. 随着计算机技术的发展，I/O 设备在计算机系统中地位越来越重要，I/O 设备的组成通常可以用下图点画线框内的结构来描述。下图中，设备控制器用来控制 I/O 设备的具体动作，不同的 I/O 设备完成的控制功能不同。机、电、磁、光部件与具体的 I/O 设备有关，即 I/O 设备的结构大致与机、电、磁、光的工作原理有关。



I/O 设备通常可以分为三类，是____

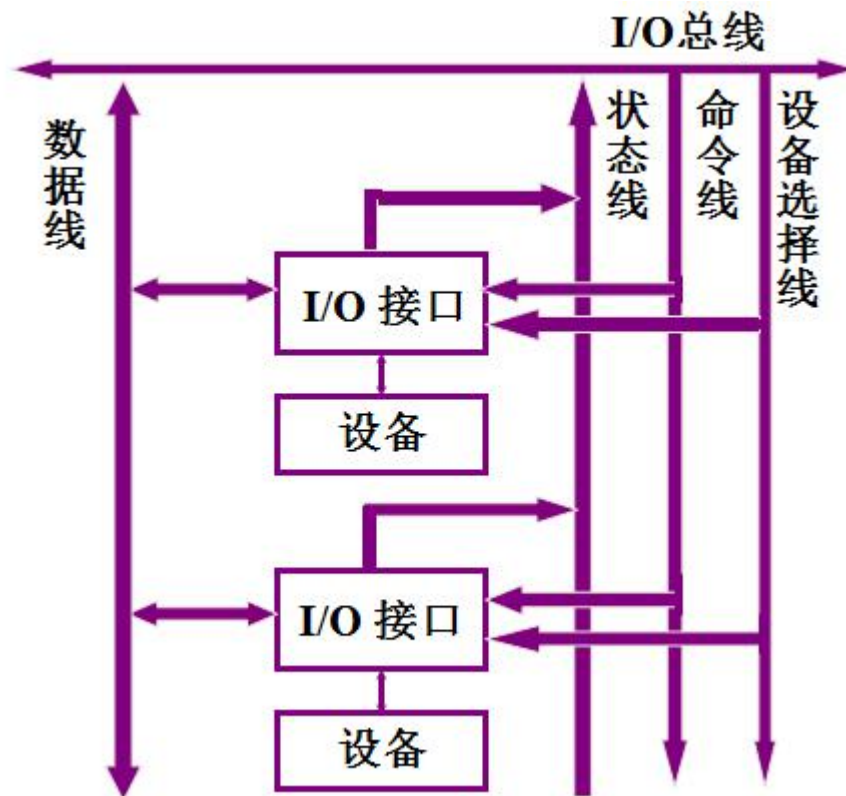
- A. 硬件层、内核层、应用层
- B. TCP\IP 、Socket、MAC

C. 字符设备、块设备、网络设备

D. 人机交互设备、计算机信息的存储设备、机—机通信设备

212. 接口可以看做是两个系统或两个部件之间的交换部分，它既可以是两种硬件设备之间的连接电路，也可以是两个软件之间的共同逻辑边界。I/O 接口通常是指主机与 I/O 设备之间设置的一个硬件电路及其相应的软件控制。

下图展示了总线连接方式的 I/O 接口电路。如下图所示的总线结构计算机，每一台 I/O 设备都是通过 I/O 接口挂到系统总线上的。图中的 I/O 总线包括数据线、设备选择线、命令线和状态线。



下面____是对**状态线**的描述。

A. 是 I/O 设备与主机之间数据代码的传送线，其根数一般等于存储字长的位数或字符的位数，它通常是双向的，也可以是单向的。

B. 是用来传送设备码的，它的根数取决于 I/O 指令中设备码的位数。

C. 是将 I/O 设备的状态向主机报告的信号线，例如，设备是否准备就绪，是否向 CPU 发出中断请求等。它也是一组单线总线。

D. 主要用以传输 CPU 向设备发送的各种命令信号，如启动、清除、屏蔽、读、写等。它是一组单线总线，其根数与命令信号多少有关。

213. 接口可以看做是两个系统或两个部件之间的交换部分，它既可以是两种硬件设备之间

的连接电路，也可以是两个软件之间的共同逻辑边界。I/O 接口通常是指主机与 I/O 设备之间设置的一个硬件电路及其相应的软件控制。

下列是主机与 I/O 设备之间设置接口的理由的是____（多选）

- A. 一台机器通常配有多台 I. /O 设备，它们各有其设备号（地址），通过接口可实现 I/O 设备的选择。
- B. I/O 设备种类繁多，速度不一，与 CPU 速度相差很大，通过接口可实现数据缓冲，达到速度匹配。
- C. 有些 I/O 设备可能串行传送数据，而 CPU 一般为并行传送，通过接口可实现数据串-并格式的转变。
- D. I/O 设备的输入输出电平可能与 CPU 的输入输出电平不同，通过接口可实现电平转换。
- E. CPU 启动 I/O 设备工作，要向 I/O 设备发各种控制信号，通过接口可实现电平转换。
- F. I/O 设备需将工作状态（如“忙”、“就绪”，“错误”，“中断请求”等）及时向 CPU 报告，通过接口监控设备的工作状态，并可保存状态信息，供 CPU 查询。

214. 接口可以看做是两个系统或两个部件之间的交换部分，它既可以是两种硬件设备之间的连接电路，也可以是两个软件之间的共同逻辑边界。I/O 接口通常是指主机与 I/O 设备之间设置的一个硬件电路及其相应的软件控制。

接口通常应具有选址、传送命令、传送数据、反应 I/O 设备状态等功能。下面关于**传送数据功能**，描述正确的是____

- A. 由于 I/O 总线与所有设备的接口电路相连，此功能是用以确定 CPU 究竟选择哪台设备，通过设备选择线上的设备码来确定。
- B. 当 CPU 向 I/O 设备发出命令时，要求 I/O 设备能做出响应，如果 I/O 接口不具备此功能，那么设备将无法响应，故通常在 I/O 接口中设有存放命令的命令寄存器以及命令译码器。
- C. 由于接口处于主机与 I/O 设备之间，因此数据必须通过接口才能实现主机与 I/O 设备之间的传送。为实现此功能，要求接口中具有数据通路，这种数据通路还应具有缓冲能力，即将数据暂存在接口内。
- D. 此功能是为了使 CPU 能及时了解各 I/O 设备的工作状态，接口内必须设置一些反映设备工作状态的触发器

215. 接口可以看做是两个系统或两个部件之间的交换部分，它既可以是两种硬件设备之间的连接电路，也可以是两个软件之间的共同逻辑边界。I/O 接口通常是指主机与 I/O 设备之间设置的一个硬件电路及其相应的软件控制。

接口通常应具有选址、传送命令、传送数据、反应 I/O 设备状态等功能。关于反应 I/O 设备状态功能，下面描述正确的是_____

- A.** 由于 I/O 总线与所有设备的接口电路相连，此功能是用以确定 CPU 究竟选择哪台设备，通过设备选择线上的设备码来确定。
- B.** 当 CPU 向 I/O 设备发出命令时，要求 I/O 设备能做出响应，如果 I/O 接口不具备此功能，那么设备将无法响应，故通常在 I/O 接口中设有存放命令的命令寄存器以及命令译码器。
- C.** 由于接口处于主机与 I/O 设备之间，因此数据必须通过接口才能实现主机与 I/O 设备之间的传送。为实现此功能，要求接口中具有数据通路，这种数据通路还应具有缓冲能力，即将数据暂存在接口内。
- D.** 此功能是为了使 CPU 能及时了解各 I/O 设备的工作状态，接口内必须设置一些反映设备工作状态的触发器