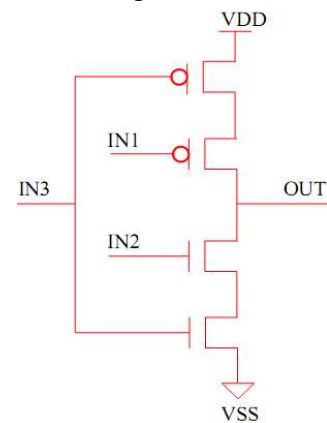


Khi $IN1 = 0, IN2 = 1$ TGATE feedback sẽ trở thành cổng NOT.

Khi $IN1 = 0 = IN3$ $OUT = 1$;

Khi $IN2 = 1 = IN3$ $OUT = 0$;



II.4. Bài 4 - Thiết kế layout các cổng cơ bản:

Yêu cầu: Tìm hiểu về các kỹ thuật vẽ layout. Nắm rõ các quy luật thiết kế trước khi layout. Dùng tool Cadence thực hiện layout các cổng NOT, NAND2, NOR2.

II.4.1. Các kỹ thuật vẽ layout (quy luật layout power, signal,...)

II.4.1.1. Quy tắc layout power:

Khi bắt đầu layout một cell nào đó thì các đường nguồn phải được xác định trước. Dưới đây là các nguyên tắc cần thực hiện để layout các đường nguồn:

- ✓ Các đường cấp nguồn phải có độ rộng đủ lớn để có một lượng dòng đủ lớn cung cấp cho các transistor hay các cell. Và có thể tăng tối đa độ rộng của các bus

nguồn nếu thiết kế yêu cầu. Sử dụng thông tin điện trở suất của các lớp khác nhau để xác định độ rộng thích hợp cho các đường.

- ✓ Thông thường đường cấp nguồn sử dụng lớp kim loại thấp nhất cho các cell mức transistor.
- ✓ Tránh vết khía hình V ở các đường nguồn: bất kì một vết khía hình V nào trên đường nguồn cũng có thể làm đứt đường nguồn bởi vì đường nguồn mang một lượng dòng rất lớn.

Quy tắc layout đường tín hiệu (signal).

Các quy tắc cần tuân thủ khi thực hiện vẽ layout các đường tín hiệu:

- ✓ Lựa chọn các lớp chạy dây dựa trên các yêu cầu của mạch và trong quá trình vẽ. Các lớp như N-well, vùng khuếch tán và vùng cổng không được sử dụng trong quá trình chạy dây, chỉ sử dụng các lớp kim loại (kim loại).
- ✓ Giảm đến mức tối thiểu độ rộng của các đường tín hiệu đầu vào, như vậy sẽ giảm được điện dung của chúng.
- ✓ Thông thường khi thực hiện các lớp chạy dây cho các đường tín hiệu nên vẽ các lớp này với độ rộng nhỏ nhất theo luật yêu cầu.
- ✓ Duy trì hướng định tuyến cố định trong một cell hoặc một block, hướng định tuyến cho mỗi lớp kim loại thay đổi luân phiên nhau. Ví dụ, nếu lớp kim loại 1, lớp kim loại 3, lớp kim loại 5 được định tuyến theo hướng ngang thì lớp kim loại 2, lớp kim loại 4, lớp kim loại 6 sẽ được định tuyến theo hướng dọc.
- ✓ Cần gắn nhãn cho tất cả các tín hiệu. Điều này rất quan trọng cho quá trình kiểm định layout, đặc biệt là LVS.
- ✓ Xác định số lượng các contact và via nhiều nhất cho mọi kết nối. Không được cho rằng một contact hoặc một via cho mỗi kết nối là đủ.
- ✓ Giảm đến mức tối thiểu độ dài chạy dây của các lớp kim loại.
- ✓ Bảo đảm các đường tín hiệu phải được kết nối vật lý.
- ✓ Độ rộng của các tín hiệu tùy thuộc vào yêu cầu của mỗi loại luật và mỗi mạch.
- ✓ Tránh kết nối mềm các lớp.
- ✓ Tránh vẽ các đường kim loại quá rộng vì các đường kim loại rộng phải slotting.

Quy tắc giảm điện trở (Resistance)

Điện trở được tính toán theo công thức:

$$R = \rho \frac{l}{w} \quad (0.1)$$

Trong đó :

ρ :điện trở suất của lớp (đơn vị đo là $\Omega/$)

l :chiều dài của conductor (um)

w : chiều rộng của conductor (um)

Từ đây ta thấy có 2 cách giảm điện trở của của một polygon (hình đa giác):

- + Giảm chiều dài của polygon.
- + Tăng độ rộng của polygon.

Trong thiết kế layout có ba cách để giảm điện trở của transistor đó là:

- + Thêm vào vùng diffusion các contact càng nhiều càng tốt và phải đặt cân xứng nhau.
- + Không cắt vùng diffusion.
- + Khoảng cách giữa các contact và các poly là nhỏ nhất.

Quy tắc giảm điện dung (Capacitance)

Điện dung được tính theo công thức:

$$C = \epsilon \frac{A}{d} \quad (0.2)$$

Trong đó:

A : diện tích bề mặt của lớp dẫn điện.

d : khoảng cách vật lý giữa lớp dẫn và một node tham chiếu

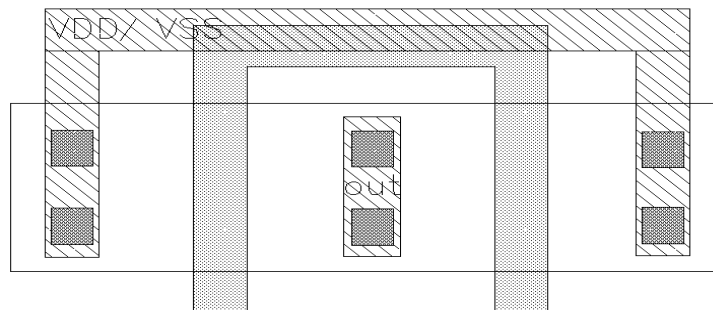
ϵ : hằng số điện môi của lớp cách ly giữa lớp dẫn và node tham chiếu.

Từ đây có 2 cách giảm điện dung của một tín hiệu:

- + Giảm diện tích của điện dung nghĩa là giảm đi vùng chồng lấp của hai bản mặt hoặc hai polygon của tụ điện.
- + Tăng khoảng cách giữa các bản mặt của tụ tức là khoảng cách giữa 2 polygon.

Trong thiết kế layout có 3 cách để giảm điện dung của transistor đó là:

- + Dùng chung vùng khuếch tán..
- + Không chia một transistor thành một transistor finger lẻ
- + Giảm diện tích của các bản song song.



Hình 0.1: Hình vẽ minh họa finger transistor

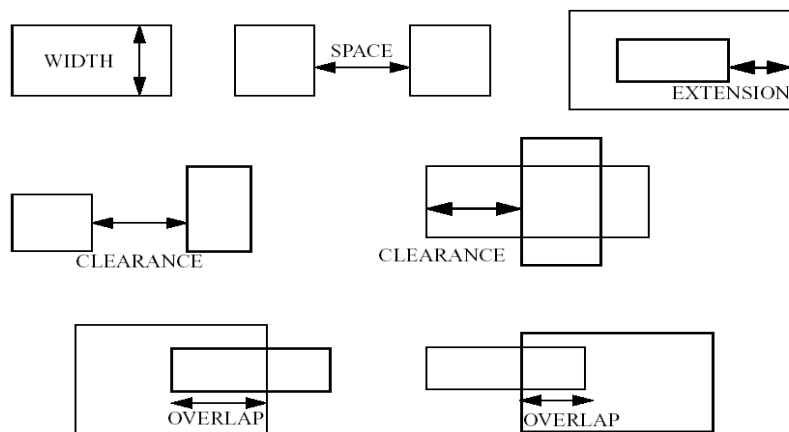
Các quy luật thiết kế (Physical Design Rules)

Các quy luật cơ bản (spacing, width, overlap,....)

Luật thiết kế là do nhà sản xuất đưa ra dựa trên những giới hạn vật lý của quá trình sản xuất, mục đích của chip để áp dụng vào quá trình thiết kế layout. Do đó tối ưu hóa được tiến hành sản xuất và chất lượng chip..

Luật thiết kế quy định cho tất cả các thành phần để thiết kế một cell nhưng ở đây chỉ giới thiệu quy luật liên quan đến : polygons, paths, transistors, contacts.

- **Định nghĩa các thuật ngữ hình học trong design rule :**



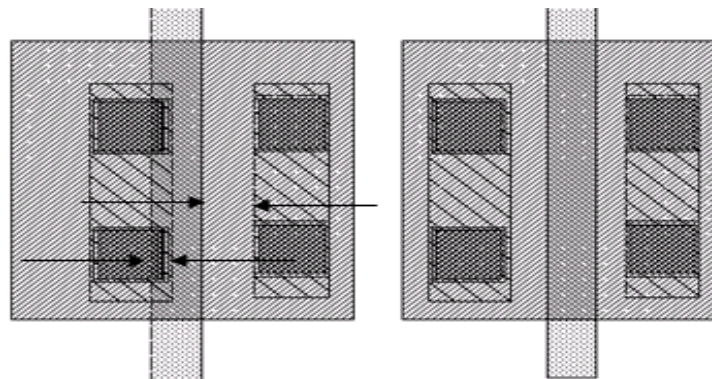
Hình 0.2: Minh họa cho các khái niệm trong luật thiết kế

Luật về độ rộng (Width Rule):

Luật về độ rộng định nghĩa bề rộng tối thiểu của một polygon. Nếu không chỉ cần vi phạm luật về độ rộng nhỏ nhất thì trong quá trình sản xuất các đường đó dễ bị đứt, gây nên hiện tượng hở mạch (open circuit) trong lớp (layer) bị phạm lỗi đó. Thông thường nên tuân thủ đúng luật thiết kế nhỏ nhất (Min Design rule) của nhà sản xuất ngoại trừ bề rộng của lớp Kim loại nối đến nguồn cung cấp (Power Supply). Đối với những đường nguồn cần có bề rộng lớn hơn luật thiết kế nhỏ nhất, giá trị chính xác phụ thuộc vào độ lớn của dòng điện chạy qua nó.

Luật về khoảng cách (Space Rule) :

Luật này quy định khoảng cách tối thiểu giữa hai polygon. Luật về khoảng cách chống lại hiện tượng chập mạch xảy ra giữa hai Polygon. Giống với luật về độ rộng, luật này cũng được áp dụng cho những Polygon trên cùng một lớp hay những cấu trúc trên những lớp khác nhau. Các luật khoảng cách thường dùng như khoảng cách giữa contact và poly, khoảng cách giữa các đường kim loại...



Hình 0.3: Ví dụ về luật khoảng cách giữa poly và contact

Định nghĩa antenna

Antenna là hiện tượng xảy ra trong quá trình sản xuất. Trong suốt quá trình sản xuất, dưới những điều kiện nào đó sẽ gây ra sự tích điện trên những kết cấu nối đến cổng của một transistor.

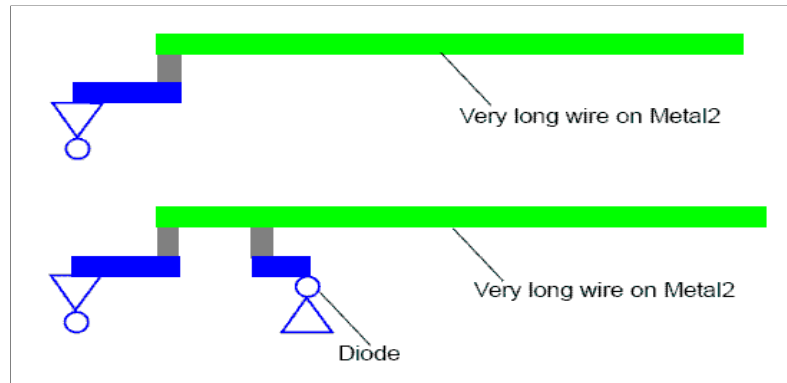
Nguyên nhân gây nên hiện tượng antenna

- ✓ Một kết nối dài lơ lửng sẽ đóng vai trò như một tụ điện tạm thời, nó sẽ nạp điện trong suốt quá trình sản xuất, nếu năng lượng này đủ lớn và xả vào cổng logic thì sẽ làm cho cổng bị đánh thủng.

- ✓ Nếu kích cỡ của cổng nhỏ hơn nhiều so với đường kim loại nối vào cổng, hiện tượng antenna sẽ xảy ra. Như vậy sẽ làm giảm số lượng transistor làm việc được, giảm số lượng chip thành công trên wafer đang sản xuất.

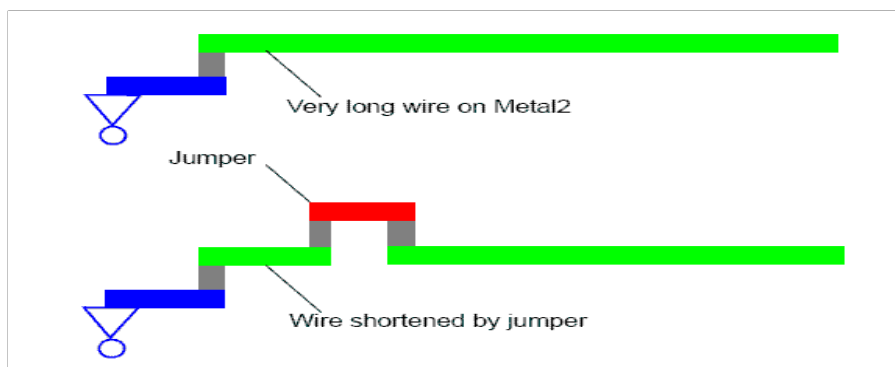
Phương pháp khắc phục :

- ✓ **Phương pháp chèn diode:** Đặt các diode ngay tại đầu vào của các transistor có khả năng ảnh hưởng hiện tượng antenna , diode sẽ chuyển điện tích xuống đế.



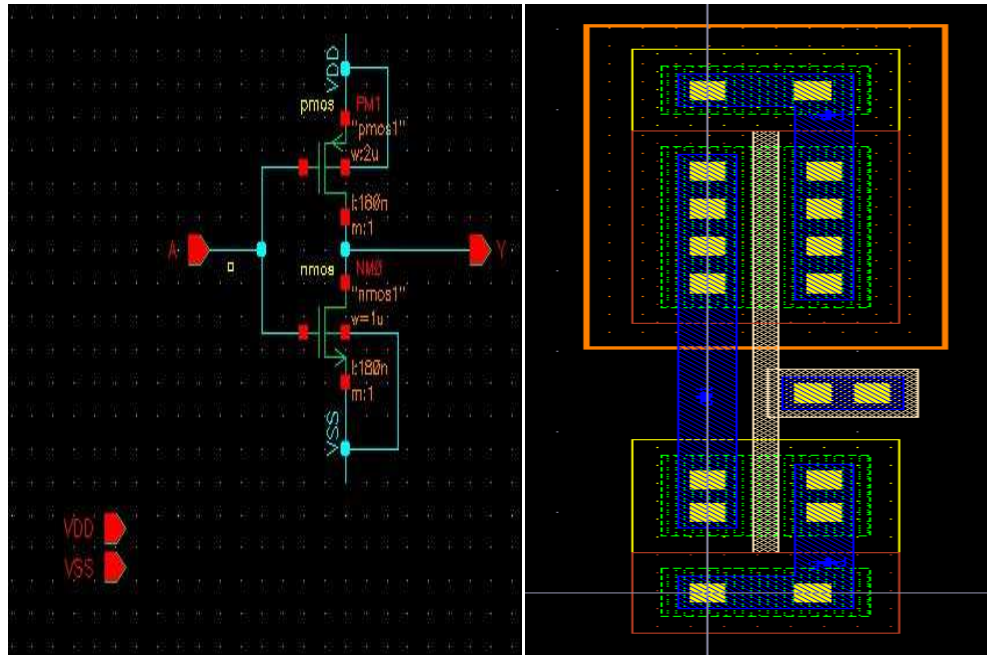
Hình 0.4: Chèn diode để tránh hiện tượng antenna

- ✓ **Phương pháp dùng các jumper:** là phương pháp chuyển qua một lớp kim loại khác trong khi định tuyến nếu khoảng cách cần định tuyến là quá lớn.

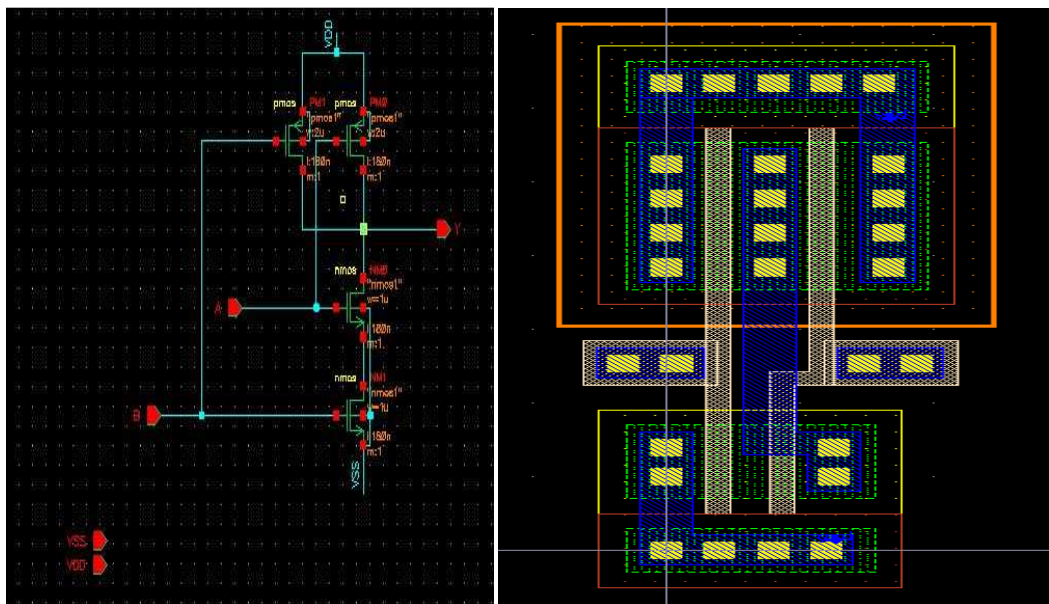


Hình 0.5: Sử dụng Jumper cho các đường kim loại quá dài

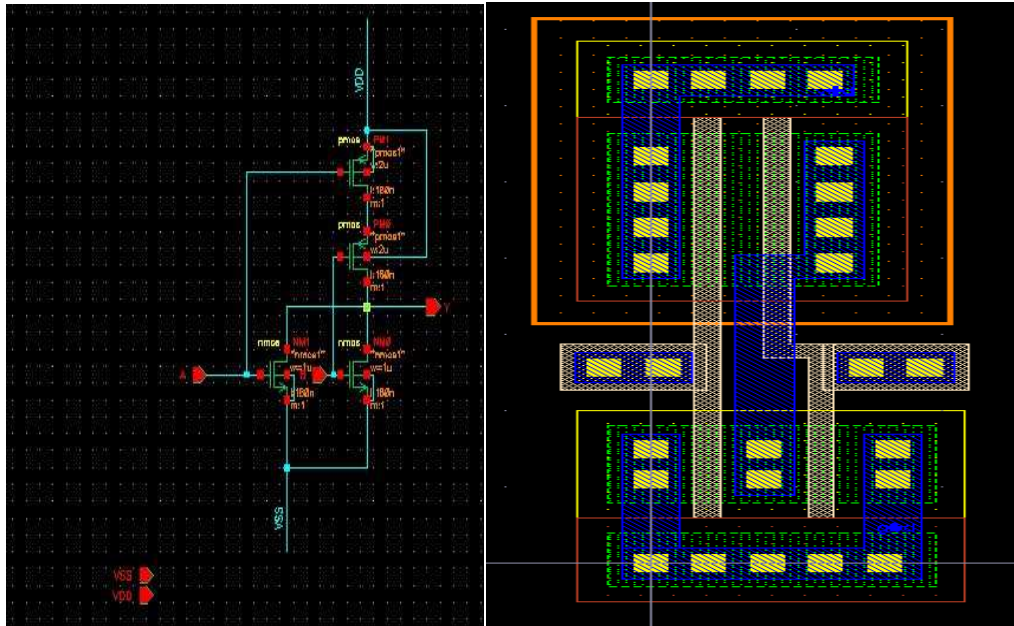
II.4.2. Cổng NOT



II.4.3. Cổng NAND2



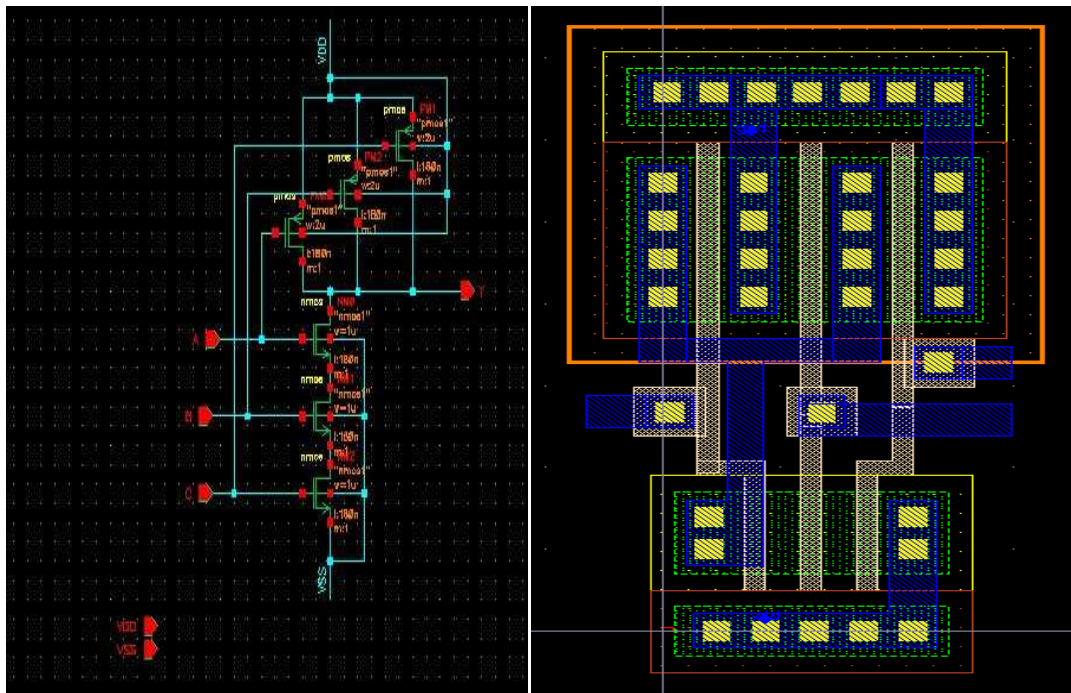
II.4.4. Cổng NOR2



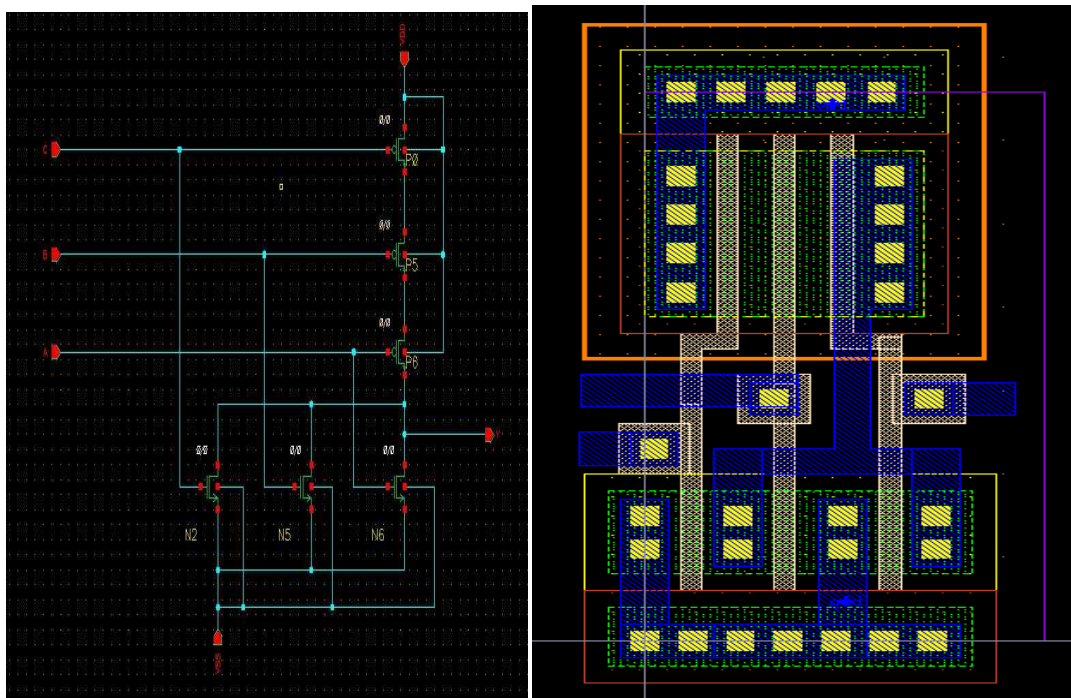
II.5. Bài 5 - Thiết kế layout các cổng cơ bản (tiếp theo):

Yêu cầu: Tìm hiểu về các kỹ thuật vẽ layout. Nắm rõ các quy luật thiết kế trước khi layout. Dùng tool Cadence thực hiện layout các cổng NAND3, NOR3, TGATE, TGATE feedback.

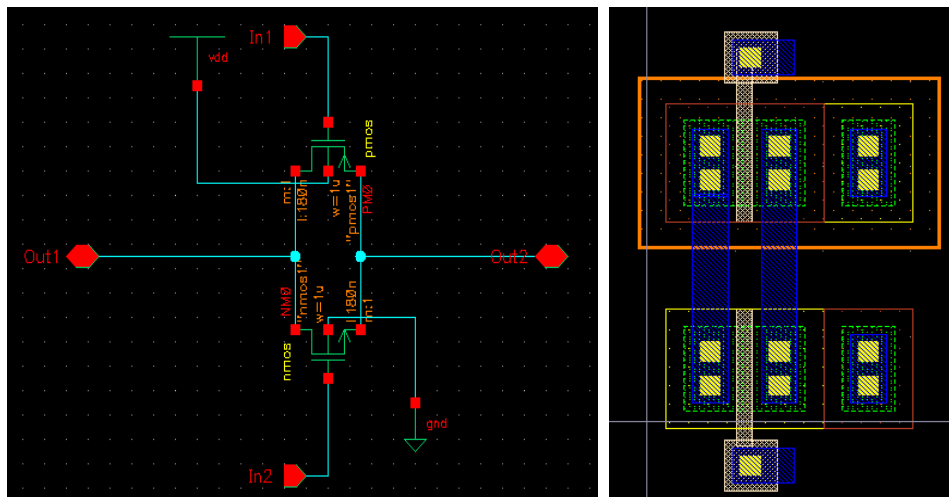
II.5.1. Cổng NAND3



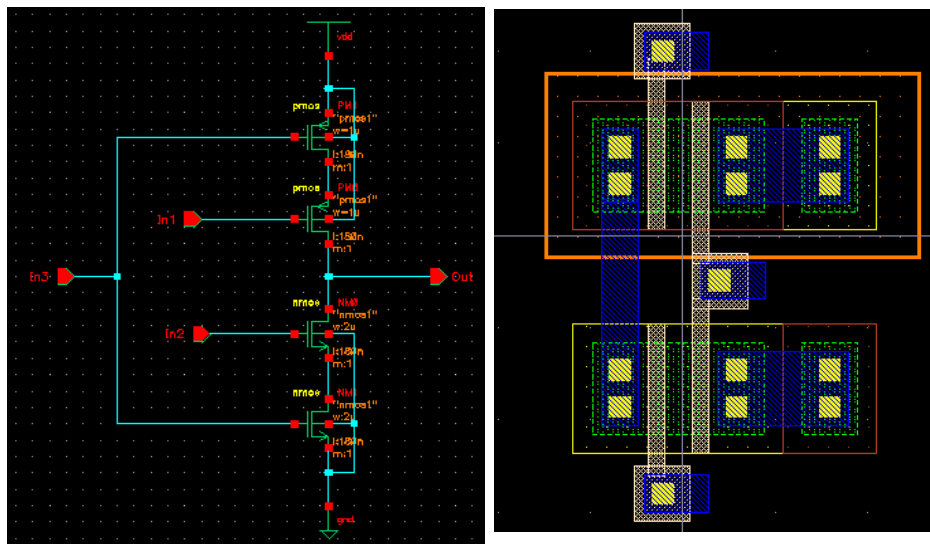
II.5.2. Cổng NOR3



II.5.3. Cổng TGATE



II.5.4. Cổng TGATE feedback



II.6. Bài 6 - Thiết kế mạch Full Adder 1 bit

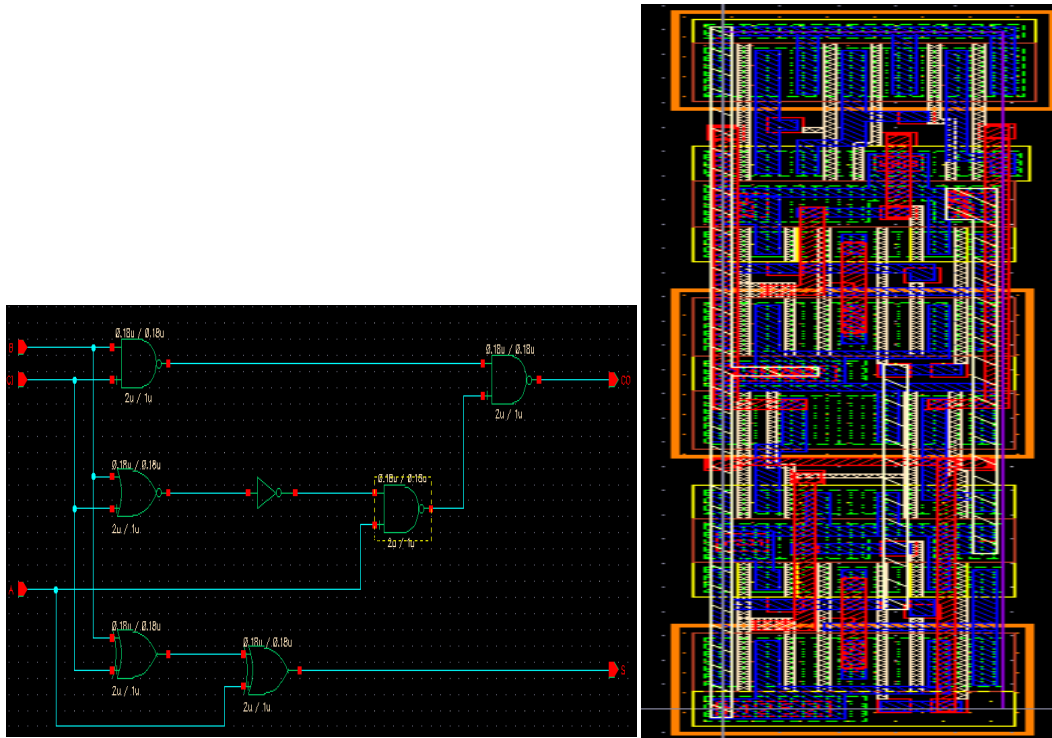
Yêu cầu: Tìm hiểu mạch cộng full adder, bảng trạng thái. Dùng tool Cadence vẽ schematic mạch full adder 1 bit (phát triển lên nhiều bit nếu thời gian thực hành cho phép), thực hiện mô phỏng để kiểm chứng chức năng của mạch.

Bảng trạng thái của mạch full adder:

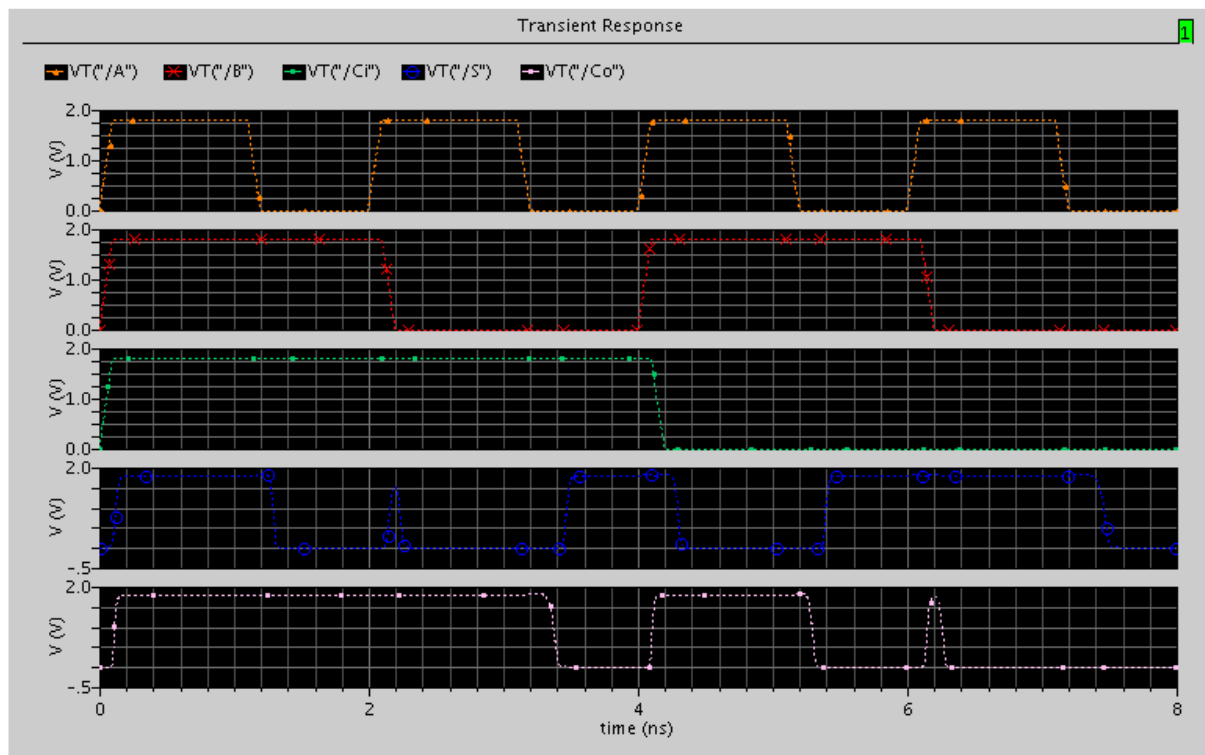
A	B	CI	CO	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0

1	1	0	1	0
1	1	1	1	1

Thiết kế mạch và layout



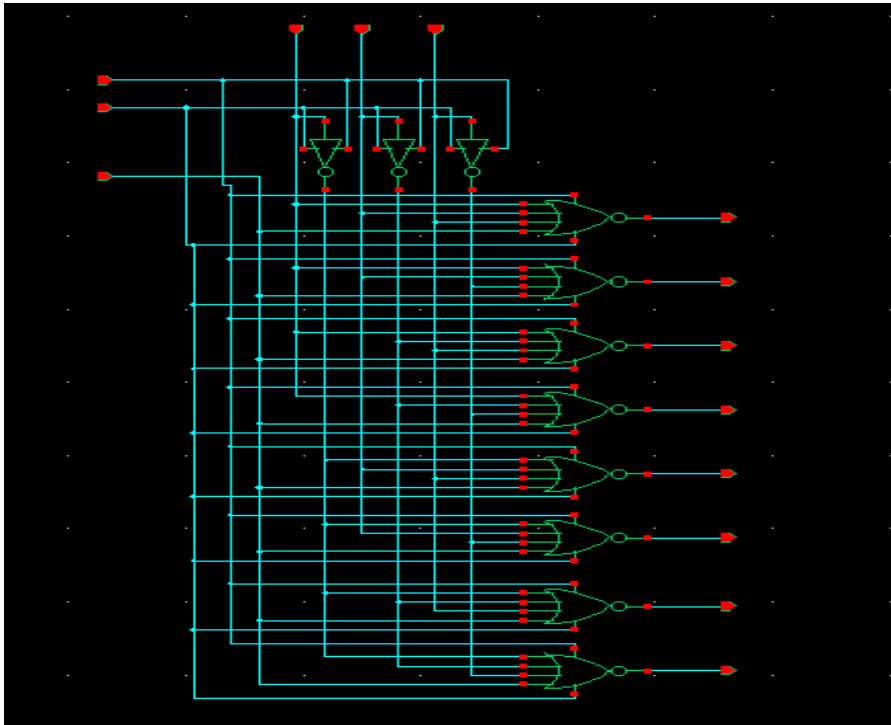
Kết quả mô phỏng



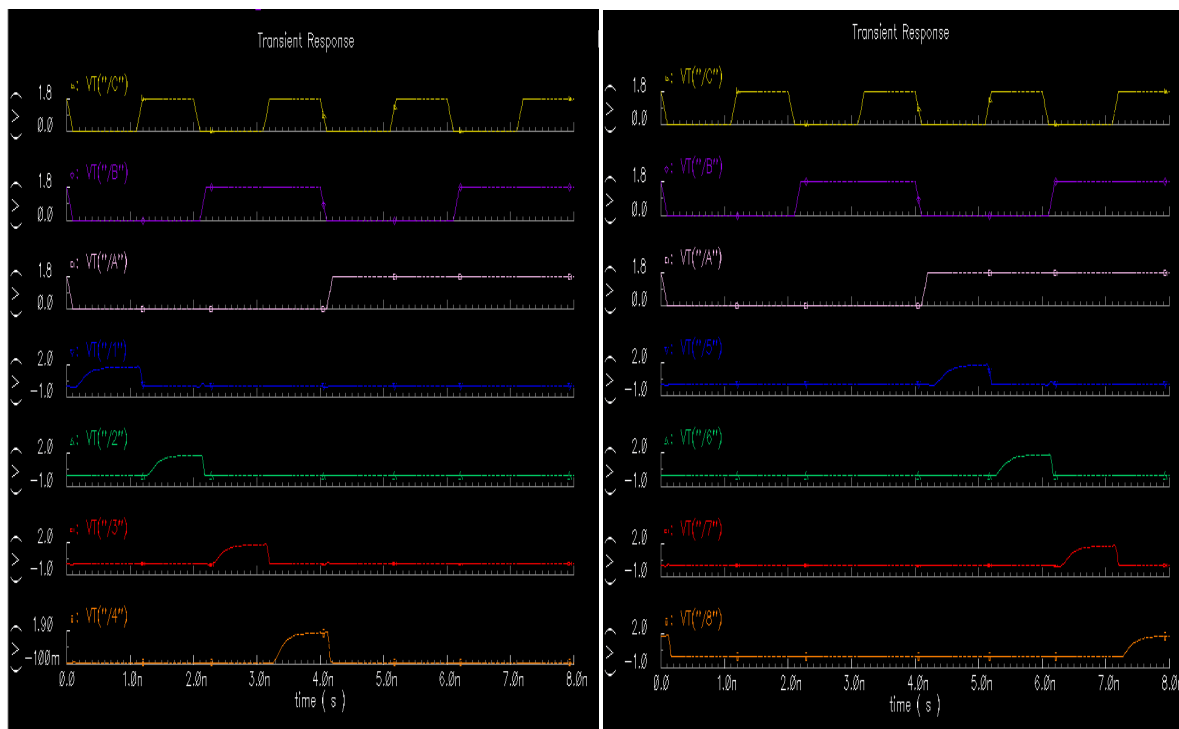
II.7. Bài 7 - Thiết kế mạch decoder/encoder

Yêu cầu: Tìm hiểu mạch decoder/encoder, bảng trạng thái. Dùng tool Cadence vẽ schematic mạch decoder/encoder, thực hiện mô phỏng để kiểm chứng chức năng của mạch.

Mạch decoder từ 3 sang 8



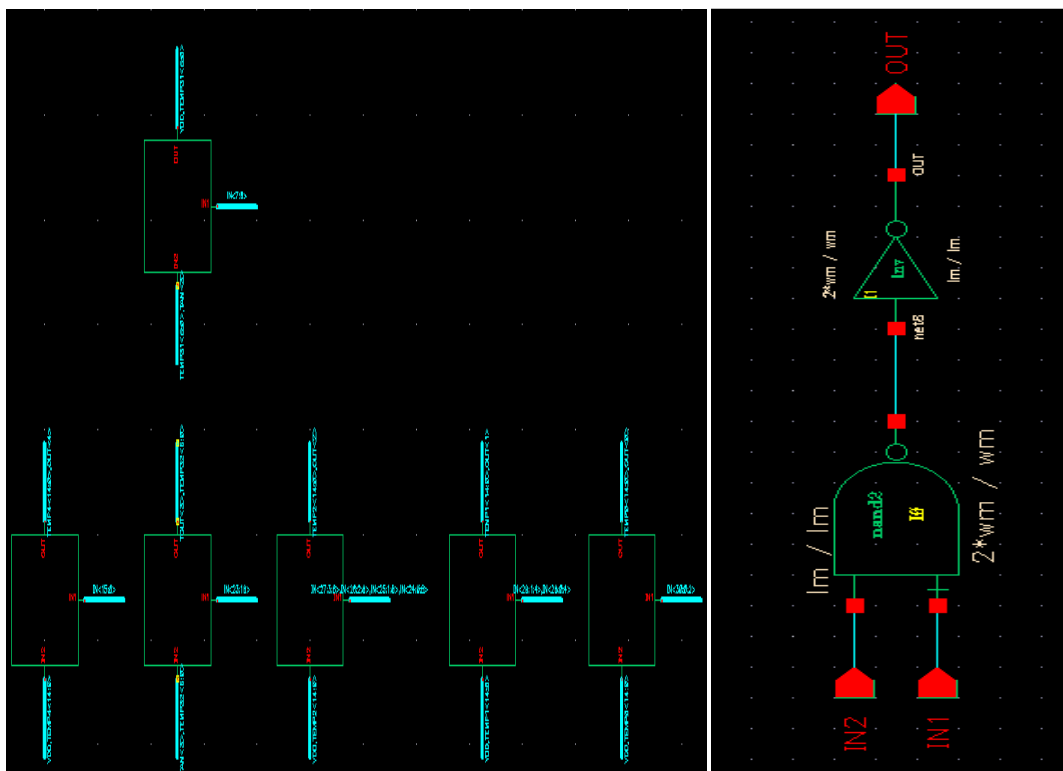
Kết quả mô phỏng



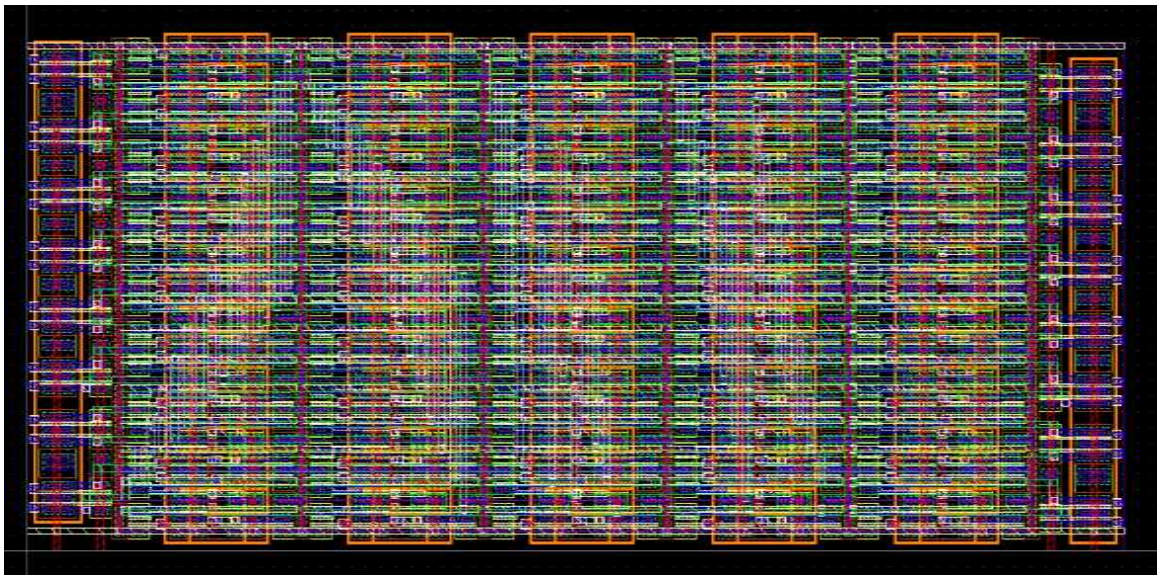
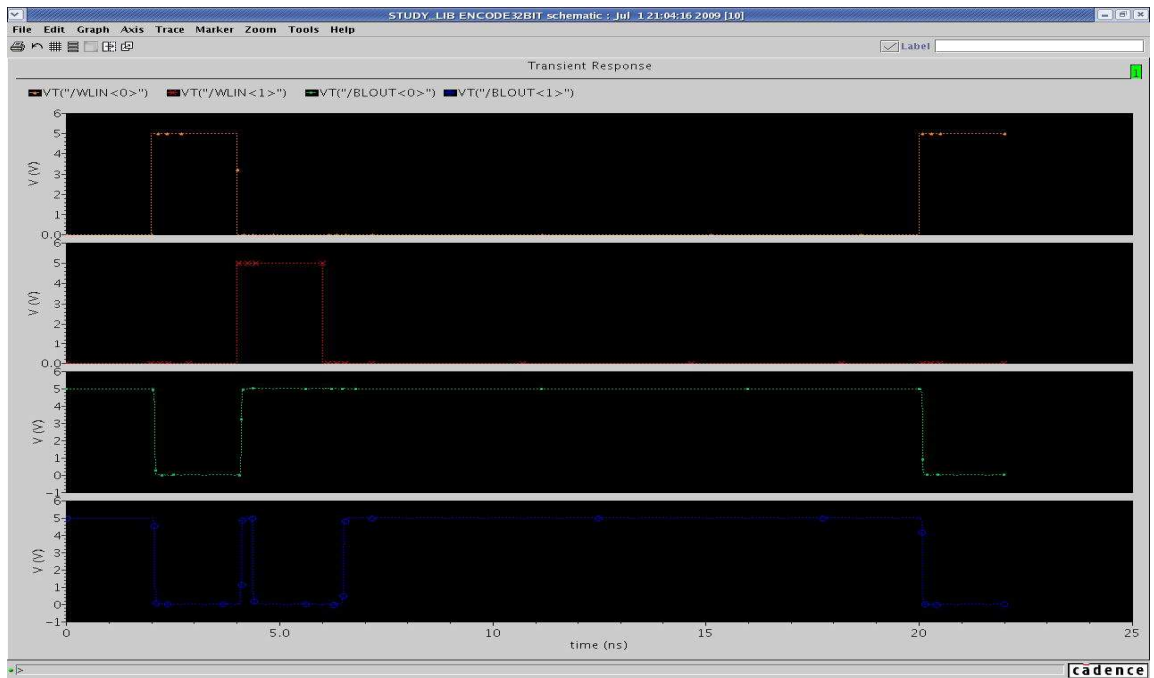
Mạch endecoder từ 32 sang 5

[illegible]

Thiết kế mạch encoder 32 sang 5

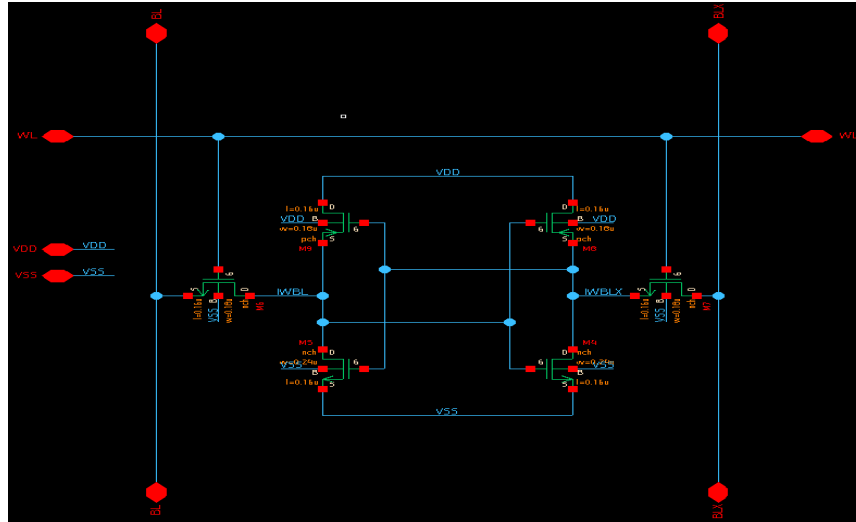


Kết quả mô phỏng và layout



II.8. Bài 8 - Thiết kế bitcell 6T cho SRAM

Yêu cầu: Tìm hiểu các loại bitcell cho bộ nhớ. Tìm hiểu về bitcell 6T cho SRAM. Nghiên cứu về cách thiết kế với các thông số cổng logic phù hợp để có bitcell hoạt động tốt. Khảo sát dòng ghi, dòng đọc, dòng rì, giới hạn ghi, giới hạn đọc và giới hạn nhiễu tĩnh đối với bitcell 6T cho SRAM.



1. Khảo sát và ước lượng kích thước của bitcell. Sử dụng hai công thức sau:

$$CR = \frac{W_1/L_1}{W_5/L_5} \quad \text{and} \quad PR = \frac{W_4/L_4}{W_6/L_6}$$

viết Script - để run mô phỏng
viết 1 file tên là run.sch
chèn netlist của schematic vào file
run.sch

Tính toán và ước lượng để có bitcell đạt hiệu suất tốt nhất.

--> Để mô phỏng mạch

2. Đo dòng ghi và dòng đọc của bitcell

- Dòng ghi là dòng đi qua PMOS pull-up.

Setup để mô phỏng: Khởi tạo IWBL = "1", IWBLX="0". Nối WL với Vsup. Quét V(BL) từ vsup đến 0. Dòng lớn nhất của PMOS pull-up là dòng ghi của bitcell.

- Dòng đọc là dòng từ BL qua con NMOS pass gate và pull down.

Setup để mô phỏng: Khởi tạo IWBL= "0", IWBLX="1". Khởi tạo BLX='1'. Nối WL lên Vdd. Quét V(BLX) từ vsup xuống 0. Dòng đọc là dòng từ BLX qua NMOS pass gate xuống NMOS pull down.

3. Giới hạn ghi và đọc của bitcell

Giới hạn ghi là giới hạn về điện thế tại đó ta vẫn có thể ghi được dữ liệu vào trong bitcell.

Setup để mô phỏng: Khởi tạo IWBL = "1", IWBLX="0". Nối WL lên Vdd, BL đến Vsup. Quét V(BL) từ vsup xuống 0. Đo giá trị V(IWBL) – điện thế nhỏ nhất khi V(BL)=0. Sự khác nhau Vdiff=Vtrip-V(IWBL) được định nghĩa là giới hạn ghi của bitcell.