|  |  |
| --- | --- |
| ĐẠI HỌC KHOA HỌC TỰ NHIÊN TP.HCM  **KHOA ĐIỆN TỬ-VIỄN THÔNG** | Môn: **KỸ THUẬT MẠCH ĐIỆN TỬ**  Năm học 2022-2023  Học kỳ II |

**BÁO CÁO ĐỒ ÁN : BITCELL 6T**

**Giáo viên hướng dẫn: Nguyễn Thị Thiên Trang**

**Nhóm: 9**

**Danh sách thành viên:**

|  |  |  |
| --- | --- | --- |
| **Họ và tên** | **MSSV** |  |
| 20200145 | LÊ ĐỨC CHUNG | Leader |
| 20200374 | NGUYỄN QUỐC TRIỆU | Member |
| 20200426 | HUỲNH PHƯỚC XUYÊN | Member |
| 20200391 | TRƯƠNG CÔNG TRƯỜNG | Member |
| 20200251 | VÕ THÀNH LỘC | Member |

**Plan Form:**

|  |  |  |  |
| --- | --- | --- | --- |
| **Task** | **Person in charge** | **Detail** | **Result** |
| Features, meaning of the design | Quốc Triệu | 19/4: Tìm tài liệu về đặc điểm, ý nghĩa Bitcell6T | Hoàn thành |
| Circuit diagram & operational analysis | Phước Xuyên, Công Trường | 19/4: Tìm sơ đồ mạch BitCell và hoạt động đọc ghi BitCell | Hoàn thành |
| Parameter calculation in theory | Đức Chung, Thành Lộc | 20/4: Tìm các công thức tính W, L của mosfet trong mạch | Hoàn thành |
| Set up measurement file with HSPICE tool | Đức Chung, Thành Lộc | 25/5-30/5: Tìm hiểu lệnh trong HSPICE, viết command để mô phỏng các cổng logic cơ bản.  31/5: Mô phỏng dòng đọc, ghi BitCell 6T. | Còn giới hạn ghi và đọc Bitcell |
| Study the PDK 14 nm | Phước Xuyên, Công Trường, Đức Chung, Quốc Triệu | 11/5-25/5: Cài phần mềm thiết kế vi mạch, làm quen với phần mềm, chèn file PDK32nm. | Hoàn thành |
| Stick diagram | Đức Chung, Thành Lộc | 20/4: Tìm sơ đồ mạch cơ bản BitCell6T. | Chưa hoàn thành |
| Schematic design | Đức Chung | 11/5: Vẽ Schematic Bitcell 6T trên phần mềm Custom Compiler. | Hoàn thành |
| Pre-layout Simulation | Phước Xuyên, Công Trường | 20/5-25/5:Tìm hiểu và layout BitCell6T trên phần mềm | Chưa layout để tiết kiệm diện tích |

1. **Đặc điểm ý nghĩa của mạch**

Mạch Bitcell 6T là một loại mạch lưu trữ dữ liệu trong các bộ nhớ RAM (Random Access Memory), mạch ghi dữ liệu “0” và “1”. Mạch này được gọi là "6T" do nó bao gồm 6 transistor, được sắp xếp thành cặp đối xứng để tạo ra một "cell" hoặc "ô nhớ" lưu trữ một bit thông tin.

Các đặc điểm và ý nghĩa của mạch Bitcell 6T bao gồm:

* 1. *Đặc điểm:*

• Gồm 6 transistor: 4 transistor được sử dụng để tạo ra một cặp đối xứng và 2 transistor để điều khiển chế độ đọc/ghi.

• Kích thước nhỏ, tiêu tốn ít điện năng, thời gian truy xuất nhanh.

* 1. *Ý nghĩa:*

• Cung cấp khả năng lưu trữ và truy xuất dữ liệu nhanh chóng, hiệu quả hơn so với các mạch lưu trữ dữ liệu khác.

• Được sử dụng rộng rãi trong các bộ nhớ RAM, bao gồm cả bộ nhớ cache trong các bộ vi xử lý.

• Giúp tối ưu hóa hiệu suất và tăng tốc độ hoạt động của các hệ thống điện tử, đặc biệt là trong các ứng dụng yêu cầu xử lý dữ liệu lớn và tốc độ truy xuất nhanh.

• Cấu trúc đơn giản và dễ tiếp cận: Mạch Bitcell 6T có cấu trúc đơn giản và dễ tiếp cận, do đó việc thiết kế, sản xuất và bảo trì nó cũng đơn giản và dễ dàng hơn so với các loại mạch lưu trữ dữ liệu khác.

• Tiết kiệm không gian và chi phí sản xuất: Với kích thước nhỏ và đơn giản, mạch Bitcell 6T tiết kiệm không gian trên vi mạch, làm cho nó trở thành lựa chọn lý tưởng cho các ứng dụng yêu cầu sự tiết kiệm không gian. Ngoài ra, chi phí sản xuất cũng giảm xuống do không cần nhiều linh kiện và quá trình sản xuất phức tạp.

• Độ tin cậy cao: Mạch Bitcell 6T có độ tin cậy cao và ít gặp lỗi do cấu trúc đơn giản và ít linh kiện. Nó cũng được thiết kế để tự động khôi phục khi có lỗi xảy ra, giúp đảm bảo tính ổn định và độ tin cậy của hệ thống điện tử.

• Có thể được tăng cường để lưu trữ nhiều bit: Mặc dù Bitcell 6T chỉ có thể lưu trữ một bit thông tin, nhưng nó có thể được tăng cường để lưu trữ nhiều bit thông tin bằng cách kết hợp nhiều bitcell lại với nhau.

• Tiêu thụ điện năng thấp: Mạch Bitcell 6T tiêu thụ điện năng rất thấp, do đó giúp tiết kiệm năng lượng và kéo dài tuổi thọ của pin trong các thiết bị điện tử.

• Tính khả diễn giải cao: Bitcell 6T có tính khả diễn giải cao, nghĩa là nó cho phép dữ liệu được truy xuất và chỉnh sửa một cách dễ dàng và chính xác, đồng thời giảm thiểu số lần phải đọc lại dữ liệu để đảm bảo tính chính xác của nó.

• Tính tương thích cao: Bitcell 6T tương thích với nhiều loại chip và bộ vi xử lý khác nhau, do đó nó có thể được sử dụng trong nhiều ứng dụng khác nhau.

• Độ phân giải cao: Bitcell 6T cho phép lưu trữ và truy xuất dữ liệu với độ phân giải cao, giúp tăng độ chính xác và độ chi tiết của các ứng dụng điện tử.

Tóm lại, Bitcell 6T là một loại mạch lưu trữ dữ liệu đơn giản, tiết kiệm không gian và tiêu thụ điện năng thấp, với tính tương thích cao và độ tin cậy cao. Nó đóng vai trò quan trọng trong các hệ thống điện tử hiện đại và được sử dụng rộng rãi trong các ứng dụng yêu cầu xử lý dữ liệu nhanh và hiệu quả.

1. **Nguyên lý hoạt động của Bitcell 6T**

Bitcell 6T là một kiểu lưu trữ dữ liệu trong các mạch tích hợp (ICs), được sử dụng rộng rãi trong các bộ nhớ động (DRAM) và các bộ đệm (cache) trong các vi xử lý. Nguyên lý hoạt động của Bitcell 6T dựa trên việc sử dụng các transistor để lưu trữ và đọc dữ liệu.

Bitcell 6T bao gồm 6 transistor được kết nối lại với nhau để tạo thành một bộ lưu trữ đơn giản, gồm 1 transistor kiểm soát (access transistor) và 1 transistor chứa dữ liệu (storage transistor) cho mỗi bit.

Khi một tín hiệu được đưa vào bitcell, transistor kiểm soát sẽ được kích hoạt để cho phép dữ liệu được lưu trữ hoặc đọc ra.

Khi dữ liệu được lưu trữ, nó được lưu giữ trong transistor chứa dữ liệu, nơi nó có thể được duy trì bằng cách giữ điện áp trên transistor trong khoảng thời gian cần thiết.

Khi muốn đọc dữ liệu từ bitcell, một tín hiệu đọc sẽ được đưa vào transistor kiểm soát để đọc nội dung của transistor chứa dữ liệu.

Sau khi dữ liệu được đọc, nó có thể được truyền đi cho các bộ xử lý khác để tiếp tục xử lý.

Tuy nhiên, với các bộ nhớ DRAM và bộ đệm cache, bitcell 6T chỉ là một phần trong cấu trúc toàn bộ của chúng. Các bitcell sẽ được kết nối lại với nhau để tạo thành các hàng và cột, tạo thành một mạng lưới lưu trữ dữ liệu.

Vì vậy, để đạt được tốc độ và dung lượng lưu trữ cao hơn, các thiết kế của bộ nhớ DRAM và bộ đệm cache sẽ sử dụng nhiều hàng và cột của các bitcell kết nối lại với nhau theo cách đặc biệt để tối ưu hóa các tính năng của chúng.

Để đọc dữ liệu từ một bitcell 6T, ta cần thực hiện các bước sau:

+ Đưa địa chỉ của bitcell 6T cần đọc vào bộ định tuyến (address decoder) để chọn bitcell 6T cần truy cập.

+ Đưa tín hiệu đọc vào bitcell 6T để yêu cầu truy cập dữ liệu.

+ Bitcell 6T sẽ trả về giá trị của dữ liệu được lưu trữ trong nó thông qua đường tín hiệu đầu ra.

+ Đưa giá trị dữ liệu vào bộ đệm (buffer) để sử dụng trong các hoạt động tiếp theo.

Diagram, schematic

Description automatically generatedHình bên là Schematic cơ bản của SRAM 6T. Trong đó M4 M5 dược gọi là access transistors, chân Gate của M4 M5 nối với word line(WL).

Schematic 6T SRAM

1. **Tính toán các thông số của mạch lý thuyết**

**READ operation (chế độ đọc)**:

Giả sử mức logic 0 tại nút (1) tức là V1 = 0V. Do đó, M5 & M2 tắt và M1 & M6 bật (tuyến tính). Do đó V1 = 0V và V2 = VDD.

Các dòng dữ liệu được thay đổi trước từ 0 thành VDD và WL được kích hoạt.

Nên M3 và M4 được bật.

Do cổng và nguồn của M4 có cùng điện thế nên không có dòng điện chạy qua.

Diagram, schematic

Description automatically generatedCổng và nguồn của M3 có điện thế chênh lệch cao nên có dòng điện khác không chạy qua. Đường dẫn M3>>M1>>GND.

Điện áp tại BL giảm làm cho tụ phóng điện và V1 tăng.

Vì V1 tăng từ 0V nên nó có thể bật M2 nếu M3 > M1.

Text, letter

Description automatically generatedĐể M2 ở chế độ tắt thì M3 nằm trong vùng bão hoà, M1 nằm trong vùng tuyến tính.

**WRITE operation( chế độ ghi) :**

Giả sử 1 được lưu trữ tại nút 1.

Vì vậy M2, M5 bật M1, M6 tắt

V1 = VDD, V2 = 0

WL được kích hoạt nên M3, M4 được bật.

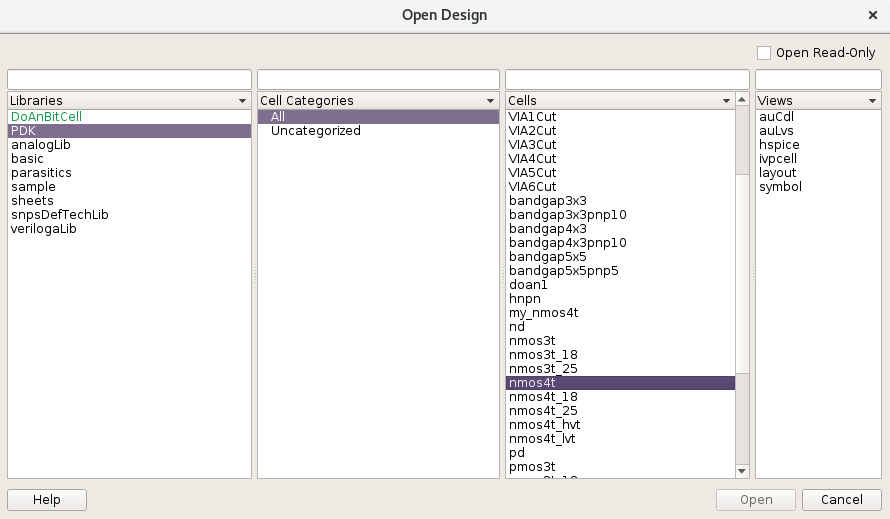
Vì V2 < VT1 nên không thể sử dụng V2 để bật M1. Cần bật M1 để đường dẫn được tạo từ V1 đến GND và điện áp tại V1 sẽ giảm về 0 do đường dẫn được kéo xuống GND.

Cần tắt M2 nên V1 < VT2. M3 nằm trông vùng tuyến tính M5 nằm trong vùng bão hoà.

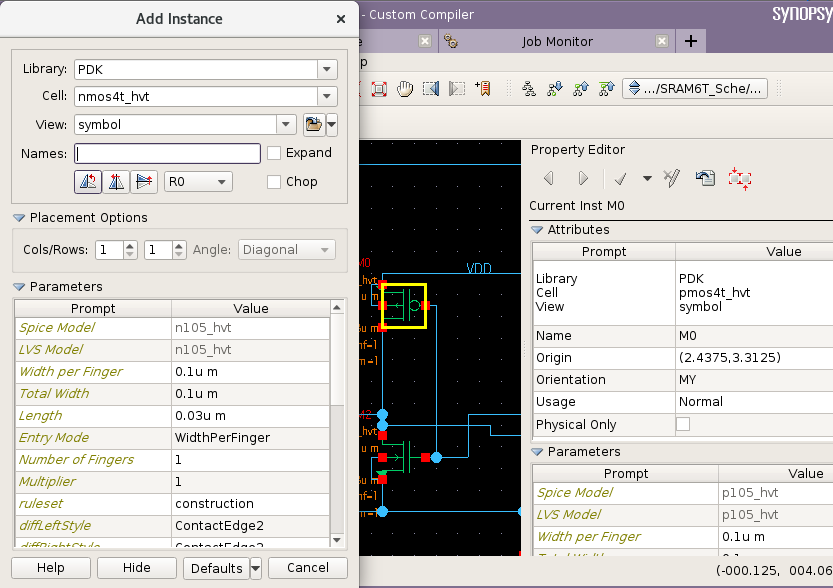
Text, letter

Description automatically generated

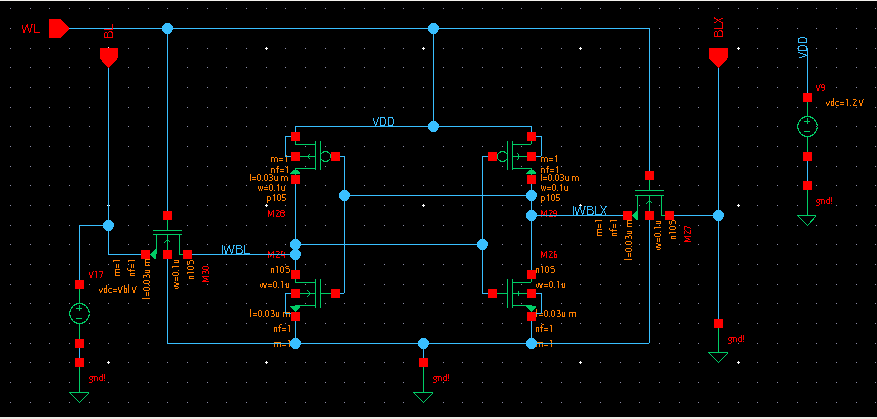
Do đó, M2 buộc phải tắt và M1 bật do đó 0 được ghi ở V1.

1. **Study the PDK 14 nm**

Chèn file PDK vào thiết kế

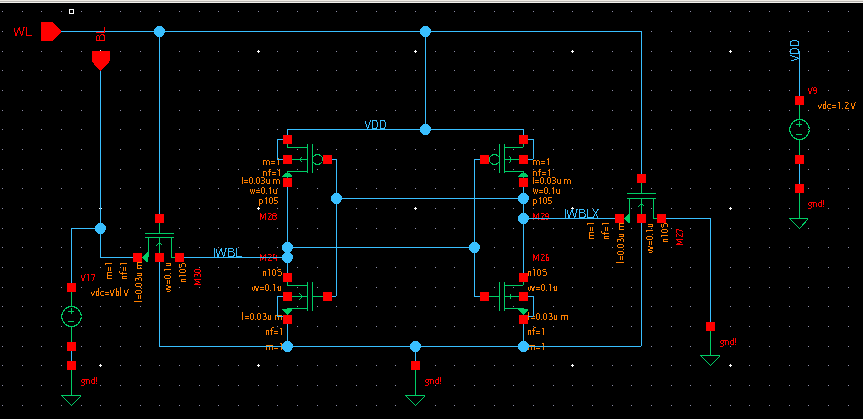
Các linh kiện trong file PDK:

1. **Schematic design:**

Sơ đồ mạch vẽ trên phần mềm Custom Complier:

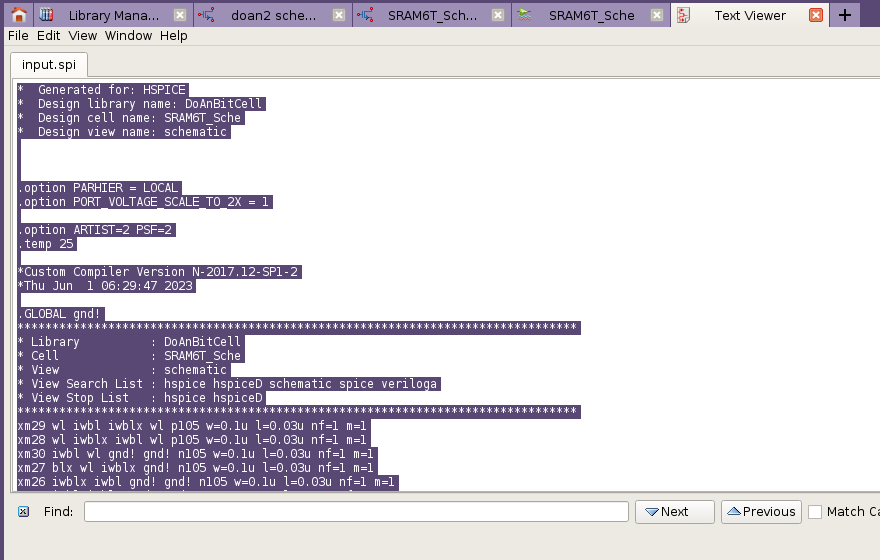
Sử dụng NMOS và PMOS có W=0.03um và L=0.1um

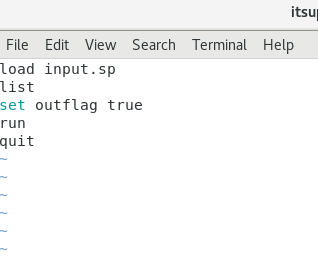
1. **Set up measurement file with HSPICE tool**

*a, Setup mô phỏng đo dòng ghi bitcell:*

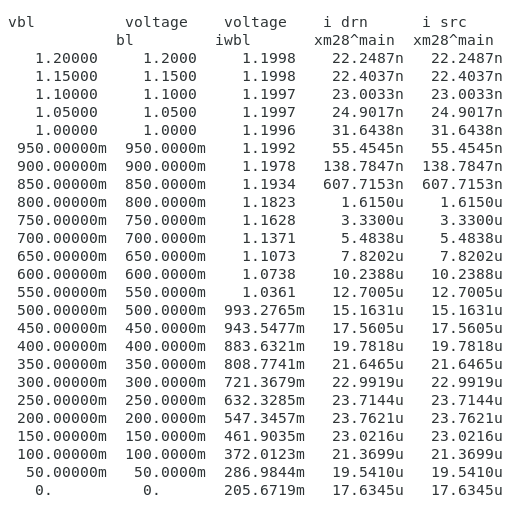
Khởi tạo IWBL = “1”, IWBLX = “0”, WL nối lên VDD. Quét V(BL) từ VDD về 0. Sau đó đo dòng lớn nhất của PMOS pull-up, đó là dòng ghi bitcell.

Lấy file Netlist từ phần mềm



Tạo một file tên là input.sp và dán file netlist vào, tạo một file run.cmd có nội dung như hình bên, sau đó mở terminal trong linux, chạy câu lệnh sau

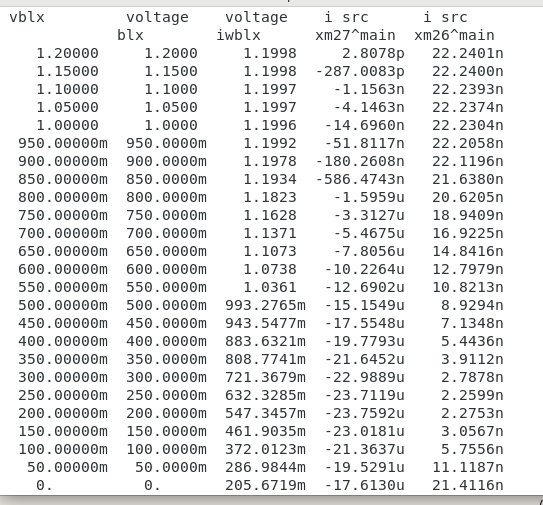
*Hspice -I -L run.cmd*

Thu được kết quả dòng Id và Is của PMOS xm28 trong Schematic, đó là dòng đi qua PMOS pull-up

Với setup như trên thì thấy được dòng ghi của bitcell ≈23.7uA

*b, Setup mô phỏng đo dòng đọc bitcell:*

Khởi tạo IWBL = “0”, IWBLX = “1”, WL nối lên VDD. Quét V(BLX) từ VDD về 0. Sau đó đo dòng từ BLX qua NMOS pass gate xuống NMOS pull-down, đó là dòng đọc bitcell.

Các bước tương tự như mô phỏng dòng ghi bitcell, kết quả thu được tại file input.lis như sau:

Ta có dòng Is xm27 là dòng qua NMOS pass gate, Is xm26 là dòng NMOS pull-down

A screen shot of a computer

Description automatically generated with medium confidenceSóng mô phỏng chạy được trên LTSpice:

**Tài liệu tham khảo:**

**+ HSPICE® User Guide:Simulation and Analysis,** Version B-2008.09, September 2008

+ HSPICE Quick Reference M-2017.03

**+ LARGE ARRAY COMPILER FOR AUTOMATIC SRAM GENERATION AND MODELING**