

Fakultet elektrotehnike i računarstva
Zavod za elektroniku, mikroelektroniku,
računalne i inteligentne sustave

DIGITALNA LOGIKA

UPUTA ZA PRVU LABORATORIJSKU VJEŽBU

dr.sc. Marko Čupić

Zagreb, 2013.

1. Zadatak

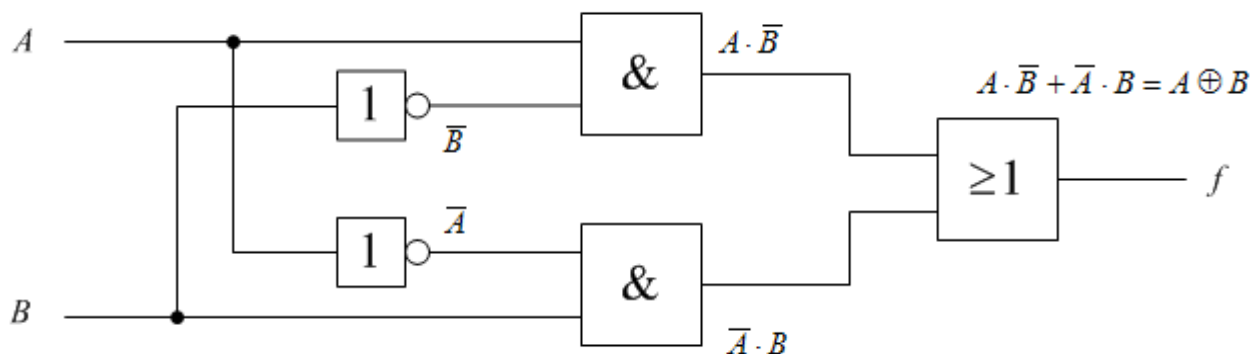
Zadatak prve laboratorijske vježbe jest upoznavanje s modeliranjem i simuliranjem rada digitalnih sklopova. Pri tome se je, prije no što nastavimo dalje, potrebno upoznati s pojmovima *ispitni sklop*, *ispitivani sklop*, *razvojna okolina* te *simulator*, pa se preporuča pogledati zadatak 16.1 na stranici 481 u [2] (zanemariti sam VHDL opis sklopa). U ovoj uvodnoj vježbi obradit ćemo modeliranje logičkog sklopa isključivo-ILI uporabom osnovnih logičkih sklopova I, ILI te NE. Tablica istinitosti za funkciju dvoulaznog logičkog sklopa isključivo-ILI prikazana je u nastavku, i odgovara funkciji *suma-modulo-2*.

A	B	f
0	0	0
0	1	1
1	0	1
1	1	0

Do algebarskog zapisa funkcije ovog sklopa možemo doći na sljedeći način. Promatramo li prethodnu tablicu istinitosti, možemo uočiti da funkcija poprima vrijednost 1 u drugom i trećem retku. U drugom retku ulaz $A=0$ i istovremeno je ulaz $B=1$, što algebarski možemo zapisati kao produkt $\bar{A} \cdot B$ (napravite tablicu istinitosti ove funkcije i uvjerite se da ona doista poprima vrijednost 1 samo u drugom retku). U trećem retku ulaz $A=1$ a ulaz $B=0$, što se algebarski može zapisati kao produkt $A \cdot \bar{B}$ (opet napravite tablicu istinitosti za ovu funkciju i uvjerite se da ona doista poprima vrijednost 1 samo u trećem retku). Kako je funkcija $f=1$ bilo kada je $\bar{A} \cdot B=1$ ili kada je $A \cdot \bar{B}=1$, njezin je algebarski zapis:

$$f = \bar{A} \cdot B + A \cdot \bar{B} .$$

Iz ovog algebarskog zapisa vidimo da su nam za modeliranje sklopa koji ostvaruje funkciju f potrebna dva dvoulazna logička sklopa koji ostvaruju funkciju logičko-I, jedan dvoulazni logički sklop koji ostvaruju funkciju logičko-ILI te dva logička sklopa koji ostvaruju funkciju logičko-NE (odnosno, invertori). Ovakav **način modeliranja digitalnih sklopova kod kojeg se logička funkcija složenog sklopa** (u našem slučaju sklopa isključivo-ILI) **modelira uporabom drugih digitalnih sklopova** (jednog ili više) **naziva se strukturno modeliranje**. Kod strukturnog modeliranja logička funkcija složenog modeliranog sklopa nije eksplicitno zapisana, već **proizlazi iz logičkih funkcija korištenih logičkih sklopova i načina na koji su oni povezani** (međusobno, s ulazima te s izlazima). Strukturni model sklopa koji ostvaruje našu funkciju f prikazan je u nastavku.



U nastavku ovog dokumenta slijede upute za izradu ove vježbe koristeći web-temeljenu razvojnu okolinu VHDLLab2. Prilikom rada sa sustavom VHDLLab2 korisnik s weba preuzima i pokreće malu komponentu koja omogućava prijavu korisnika, specificiranje opisa sklopova crtanjem sheme, pisanjem VHDL opisa ili crtanjem automata, stvaranje ispitnih sklopova, pokretanje njihove simulacije te prikaz rezultata. Pri tome se izrada projekta, pohrana svih opisa sklopova te simuliranje odvija na udaljenom poslužitelju a ne lokalno na korisnikovom računalu. Stoga je prilikom rada sa sustavom VHDLLab2 nužno imati uspostavljen pristup na Internet. Zahvaljujući takvoj organizaciji sustava, korisnici mogu od kuće pripremiti čitavu vježbu koju potom na fakultetskim računalima prezentiraju u terminu laboratorijskih vježbi.

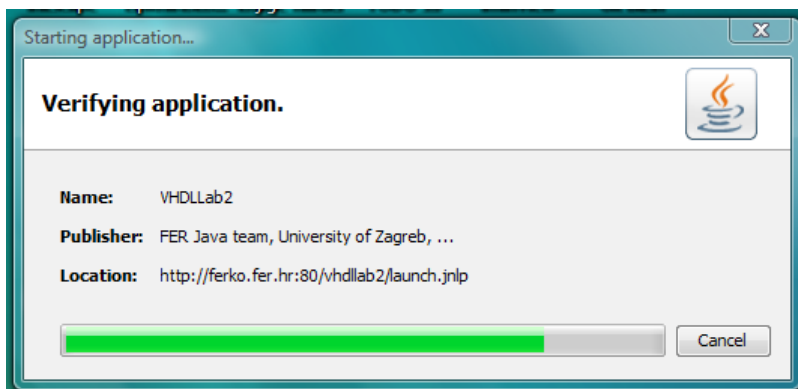
Kako je ovo uvodna vježba, nema pismene pripreme.

2. Uputa za modeliranje i simuliranje sklopa isključivo-ILI

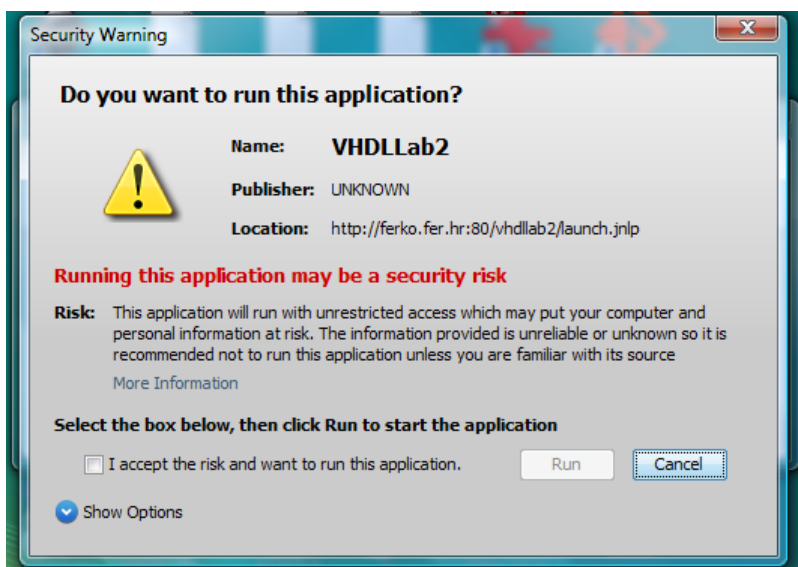
U web-pregledniku (preporučamo preglednik Mozilla Firefox) otvorite stranicu:

<http://ferko.fer.hr/vhdlab2/>

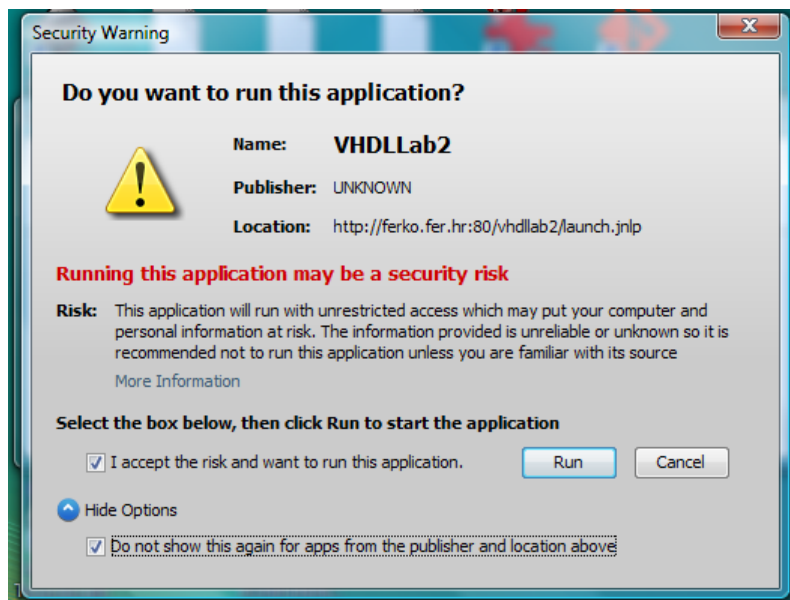
Pokrenite VHDLlab2 klikom na sličicu "Download". Radite li to po prvi puta, otvorit će se dijaloški okvir prikazan na slici u nastavku, i trebat ćete pričekati kraće vrijeme kako bi se korisnička komponenta sustava presnimila na vaše lokalno računalo.



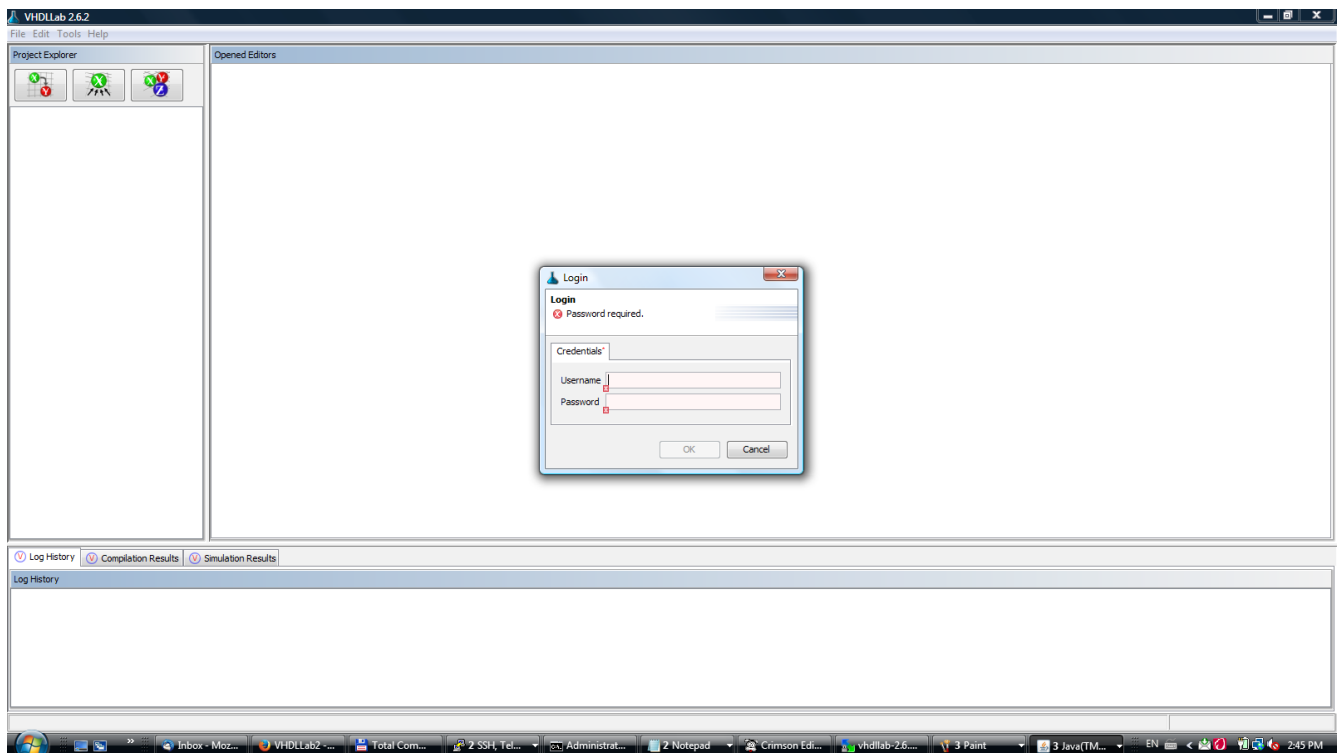
Nakon toga sustav će Vam pitati želite li aplikaciji dati dozvole koje su joj potrebne za rad:



Označite opciju *"I accept the risk and want to run this application"*. Potom na istom dijaloškom okviru na dnu kliknite na plavu strelicu uz *"Show Options"*. Dijaloški okvir će se povećati i ponudit će mogućnost da zapamti Vaš odabir (slika u nastavku). Označite opciju *"Do not show this again for apps from the publisher and location above"*.



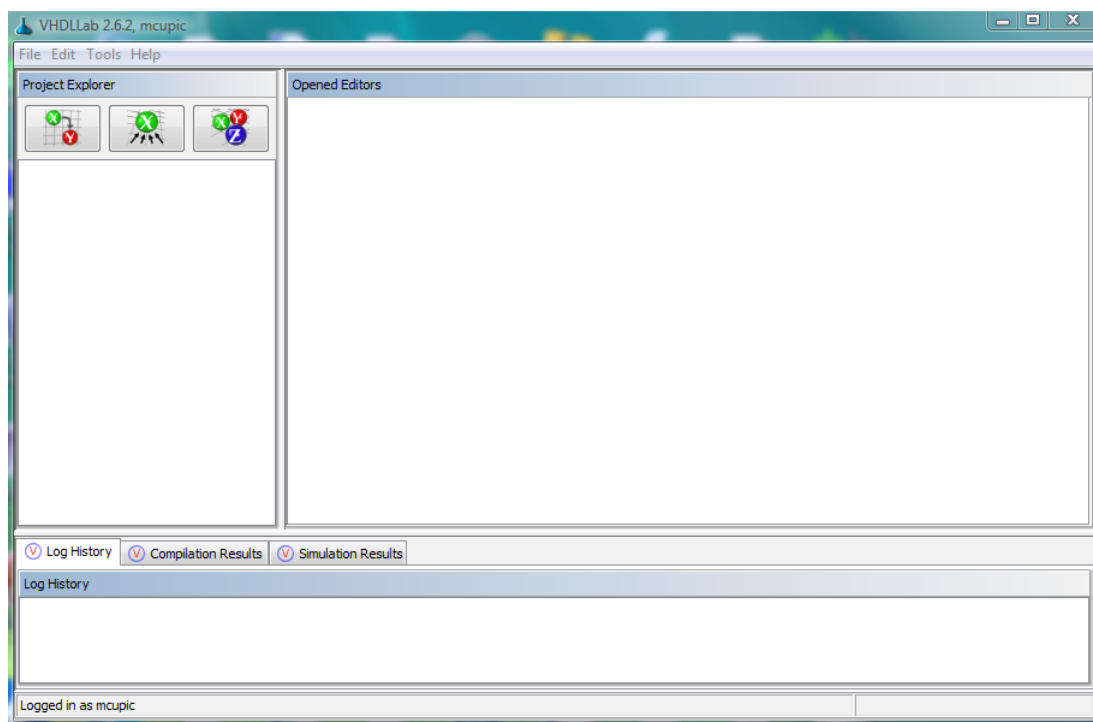
Potom kliknite na gumb "Run" čime ćete pokrenuti program. Po pokretanju programa sustav će Vas zatražiti da se prijavite. Za prijavu koristite korisničko ime i zaporku koju i inače koristite za prijavu na sustav Ferko ili FERWeb.



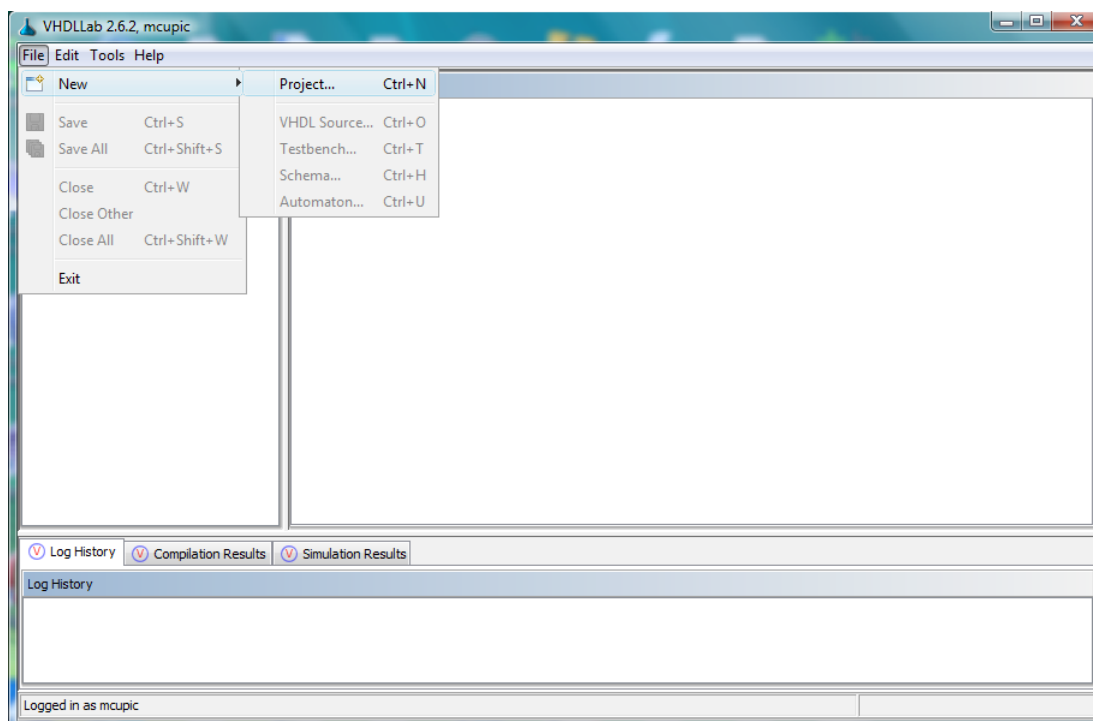
Unesite tražene podatke i pritisnite gumb "OK".

Dočekat će Vas glavni prozor aplikacije (slika u nastavku) koji je podijeljen u tri dijela. Uz lijevi rub prozora nalazi se "Project Explorer" – dio sustava u kojem će biti prikazani svi projekti koje ste napravili te svi sklopovi koji se nalaze u tim projektima. Uz dno prozora nalazi se dio u kojem se

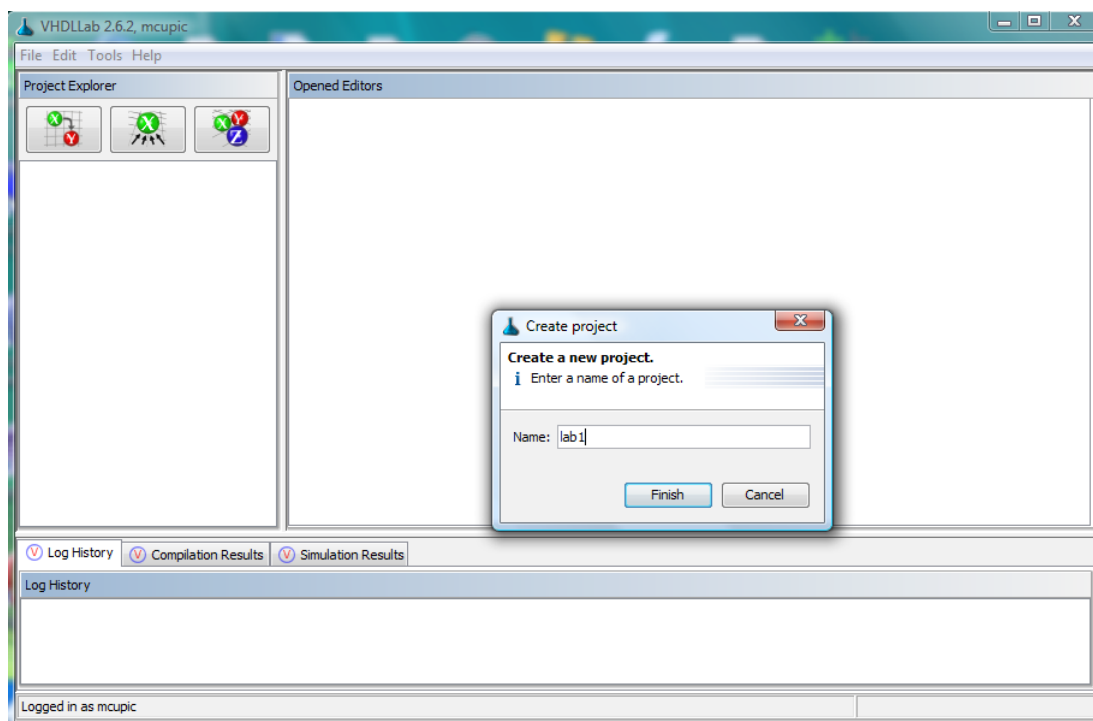
ispisuju različite poruke i informacije o pogreškama. Konačno, centralni dio prozora čini prostor namijenjen za uređivače shema, VHDL opisa, ispitnih sklopova te pregledavanje rezultata simulacija.



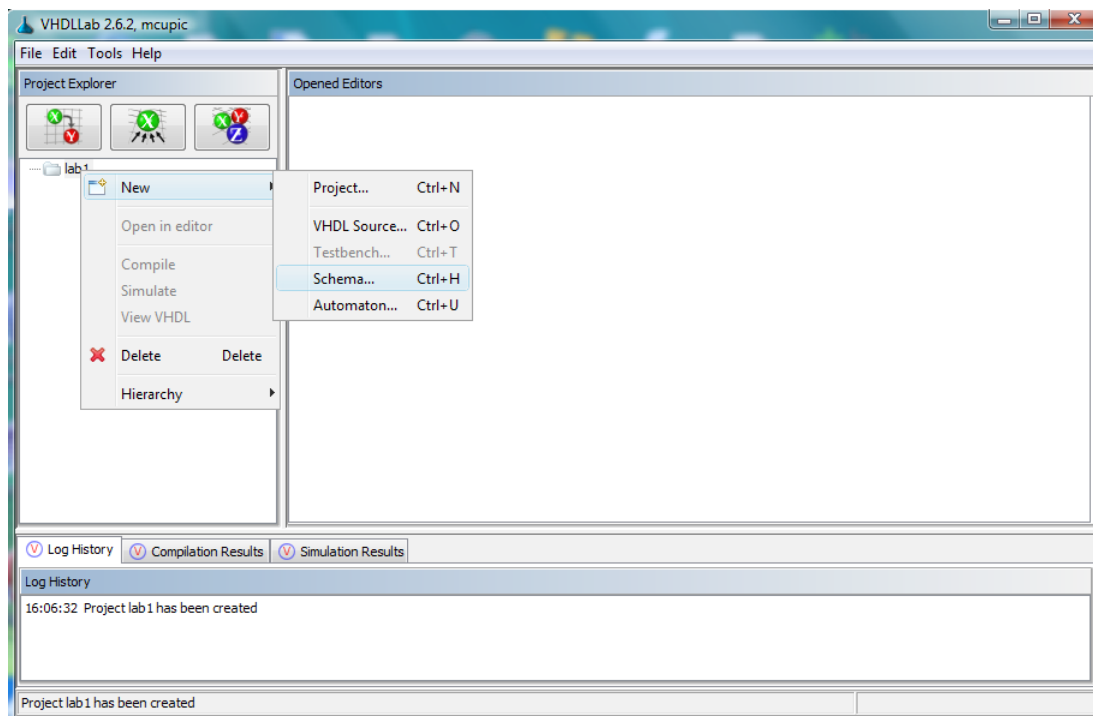
Prvi korak koji je potrebno napraviti jest stvoriti novi projekt koji će sadržavati shemu te ispitni sklop koji je potrebno napraviti u ovoj vježbi. Iz izbornika "File" odaberite "New" pa "Project...".



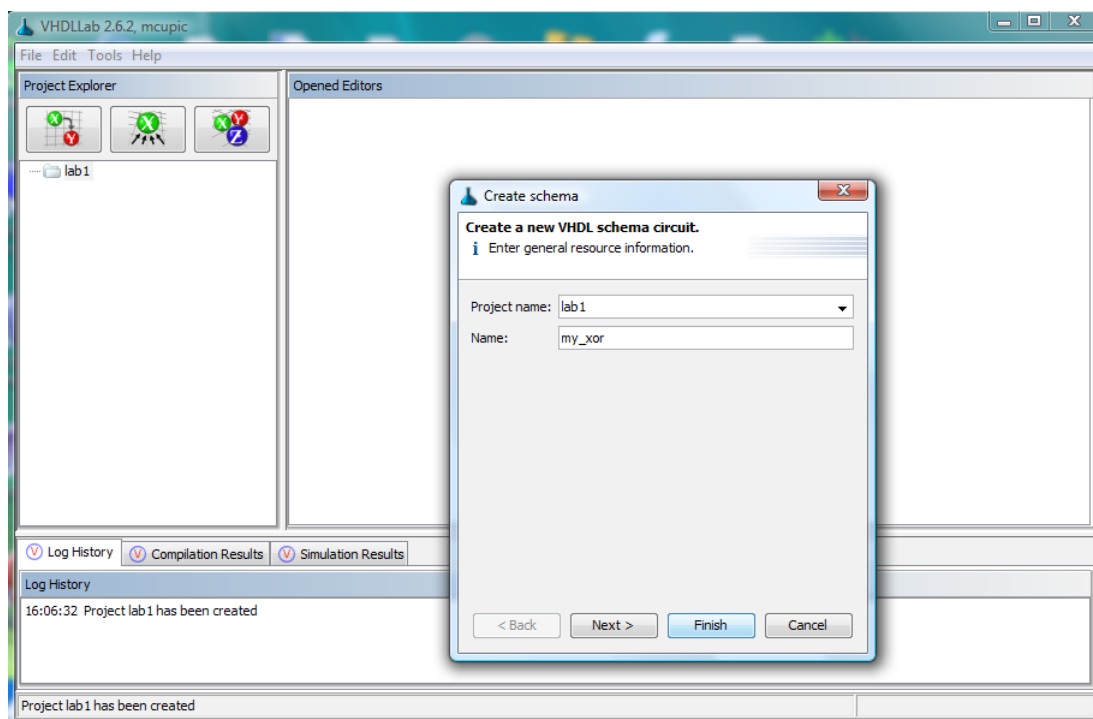
Sustav će Vas pitati za naziv projekta.



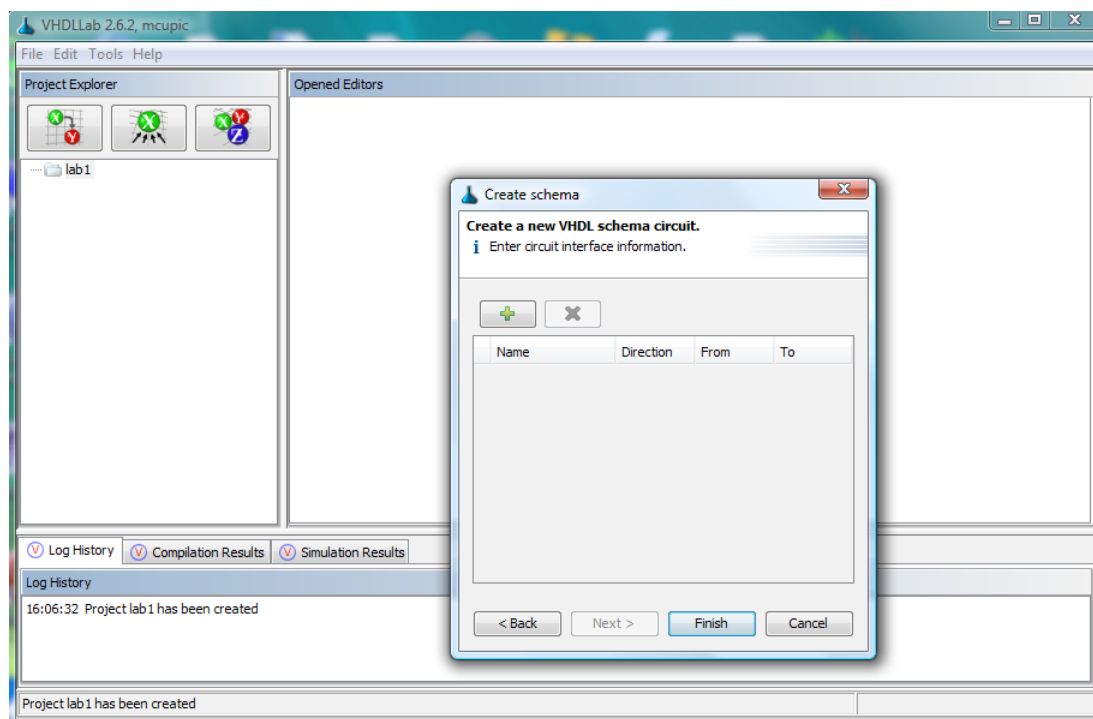
Kao naziv projekta unesite "lab1" i pritisnite gumb "Finish". U "Project Exploreru" će se pojaviti novi projekt. Sljedeći korak je dodavanje novog sklopa u projekt koji će biti definiran crtanjem sheme. Napravite desni klik mišem na naziv projekt "lab1" u "Project Exploreru" te iz iskočnog izbornika odaberite "New" pa "Schema".



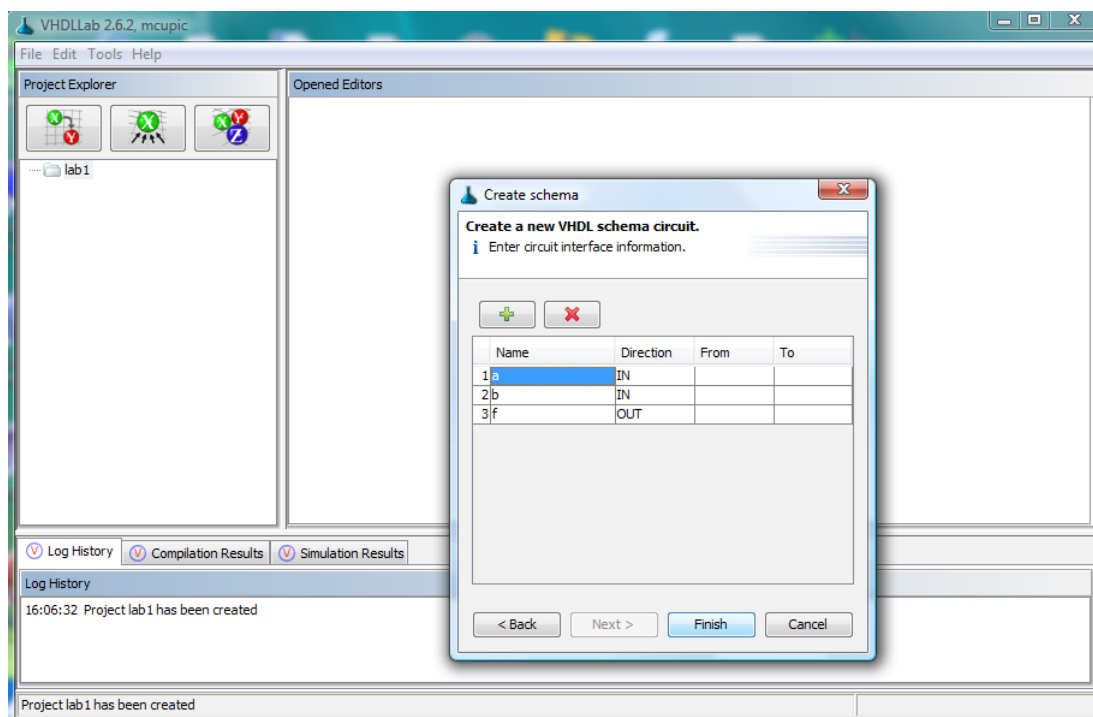
Sustav će pokrenuti čarobnjaka koji će Vas pitati za nekoliko osnovnih podataka. Prvo što je potrebno unijeti je naziv pod kojim ćemo dalje koristiti sklop. Unesite "my_xor".



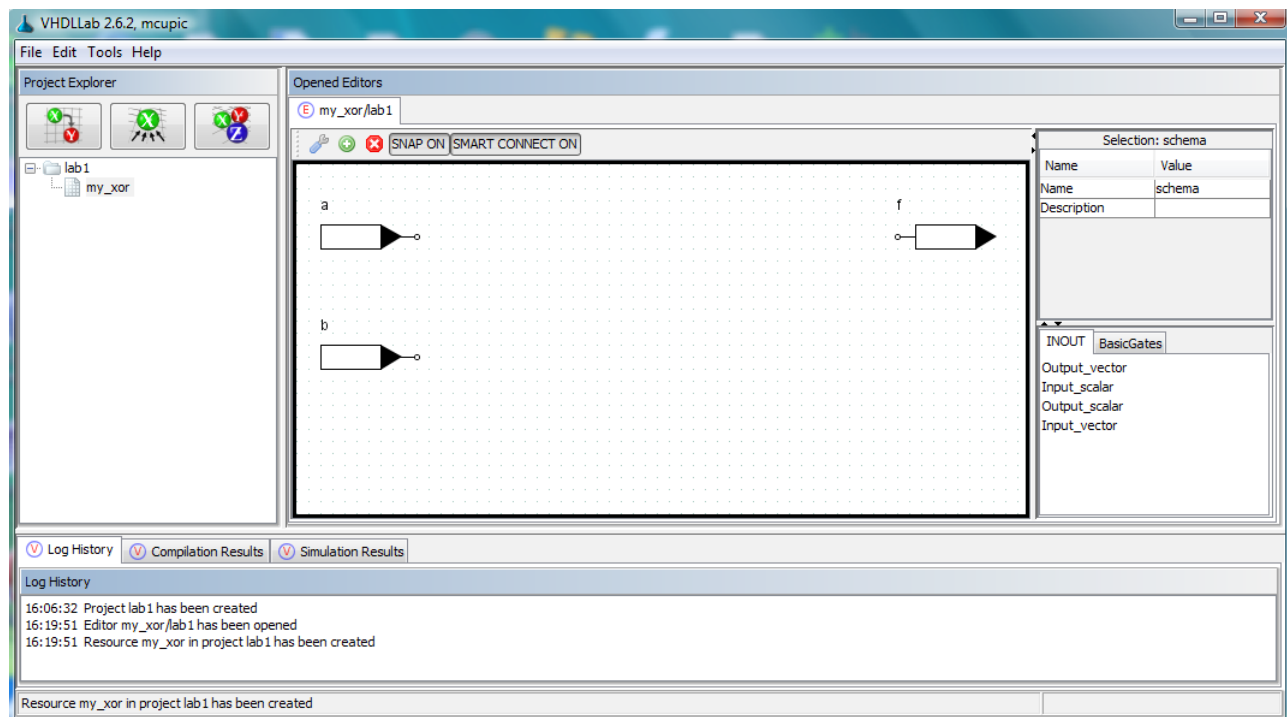
Potom odaberite gumb "Next >". Čarobnjak će ponuditi mogućnost definiranja ulaza i izlaza sklopa.



Kliknite na gumb "+" pri vrhu prozora tri puta kako biste dodali u tablicu tri retka. Prva dva retka će sadržavati definicije ulaza sklopa a treći redak definiciju izlaza sklopa. Ulaze nazovite "a" i "b" a izlaz "f". Pod "Direction" za ulaze mora stajati "IN" a za izlaze "OUT". Prije no što kliknete na gumb "Finish", provjerite unesene podatke i kliknite mišem izvan uređivača podatka koji ste zadnji definirali (primjerice, ako ste zadnje definirali da je smjer od "f" postavljen na "OUT", kliknite mišem ponovno na "f" kako biste osigurali da je i taj zadnji podatak doista prihvaćen.

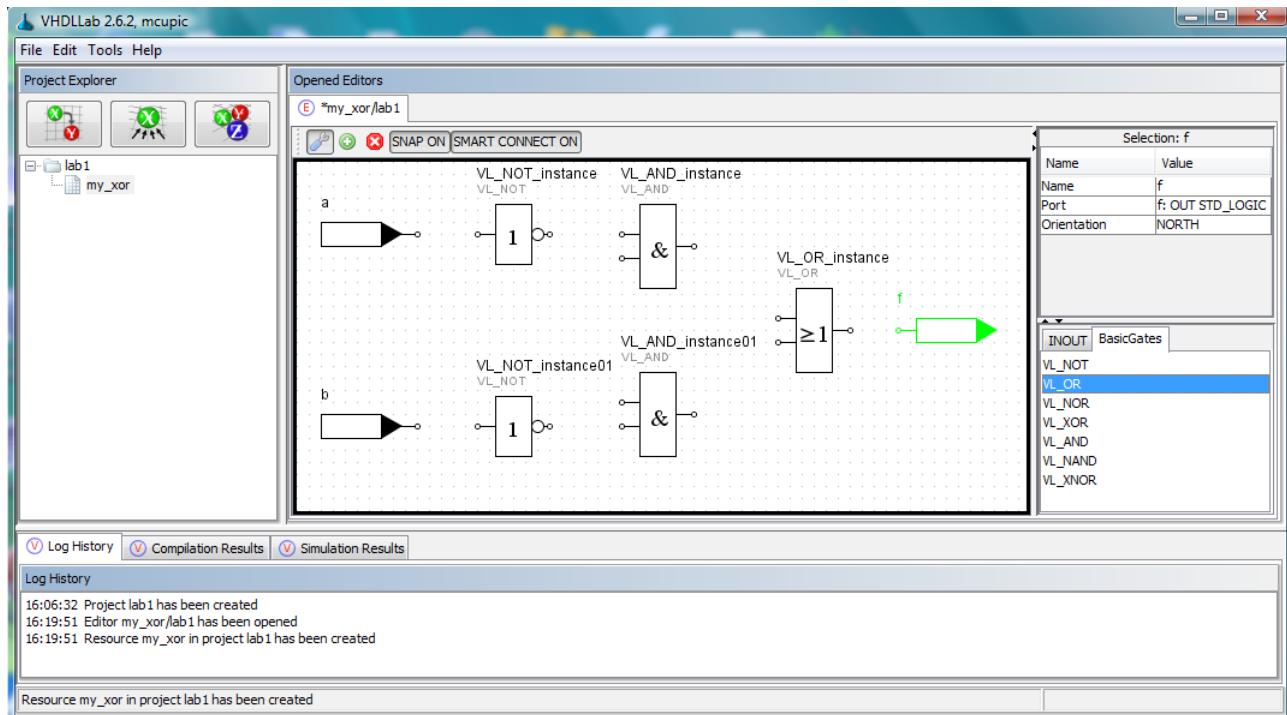


Jednom kada ste popunili podatke, kliknite na gumb "*Finish*". U centralnom dijelu prozora otvorit će se uređivač u kojem je moguće nacrtati shemu sklopa.

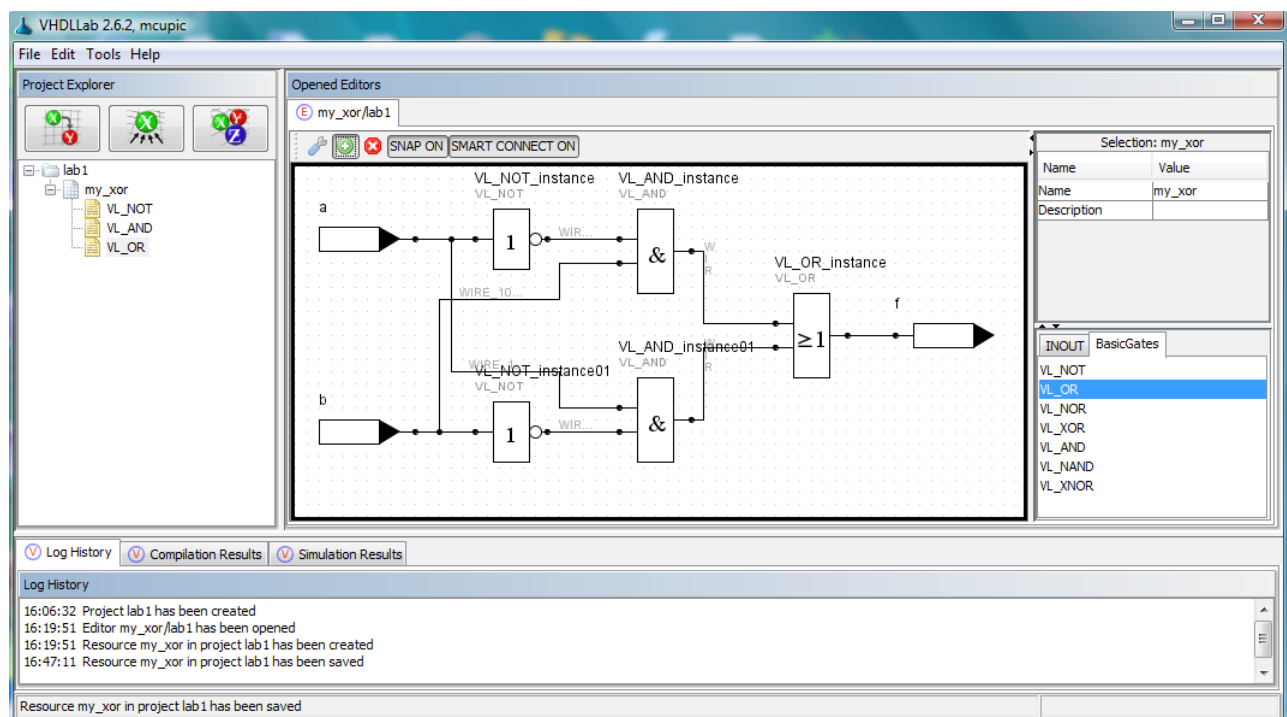


Ulazi "*a*" i "*b*" te izlaz "*f*" već su prikazani odgovarajućim konektorima. Ove simbole možete mišem odvući na prikladniju poziciju ako je to potrebno. Na vrhu uređivača dostupna su tri alata (gledano s lijeva na desno): alat za dodavanje novih sklopova u shemu, alat za dodavanje žica u shemu te alat za brisanje sklopova i žica. Uz desni rub uređivača gore se nalaze podatci o shemi odnosno odabranom elementu a dolje paleta elemenata i komponenata koje je moguće dodati u shemu. U toj paleti odaberite

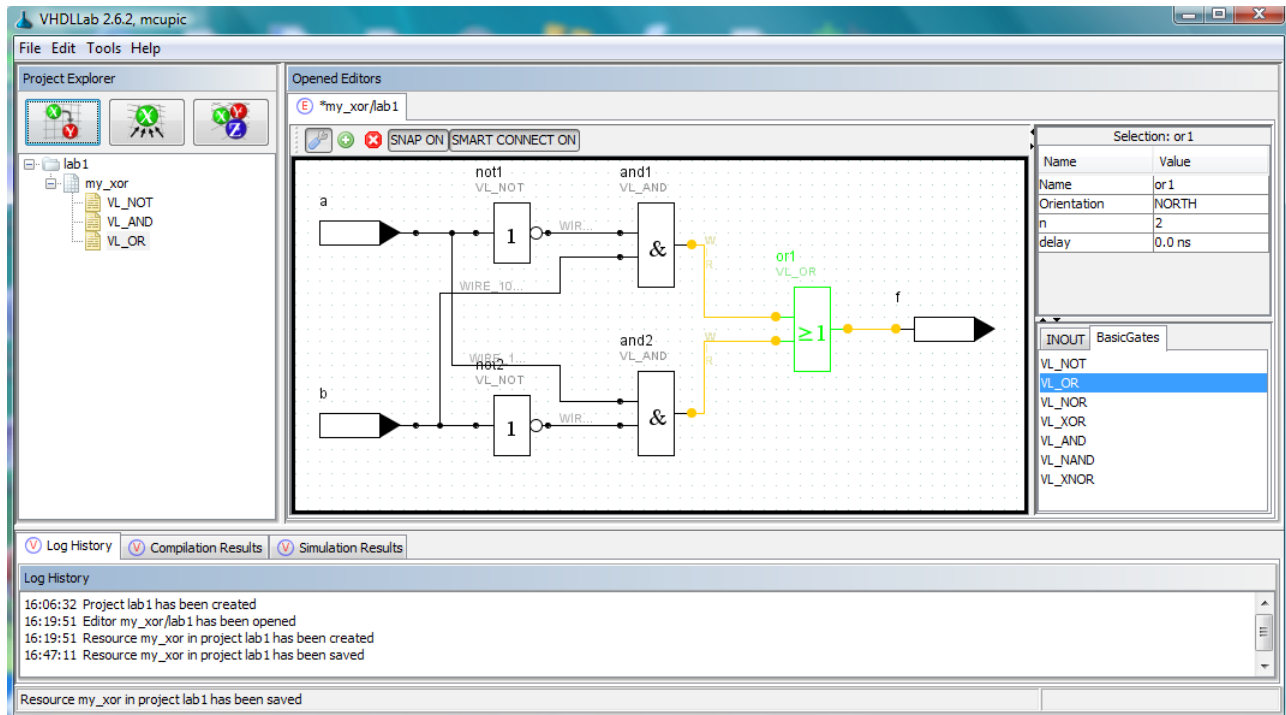
karticu "*BasicGates*". Kartica nudi popis osnovnih logičkih sklopova. Odaberite logički sklop NE (*VL_NOT*) i dodajte ga u shemu dva puta; isto ponovite za logički sklop I (*VL_AND*) i konačno dodajte jedan primjerak logičkog sklopa ILI (*VL_OR*). Pokušajte sklopove razmjestiti kao na slici:



Snimite trenutno stanje sheme (koristite primjerice kombinaciju tipki CTRL+S). Sustav će prilikom snimanja proanalizirati shemu i u "Project Exploreru" će se u prikazu pojaviti informacija da sklop "*my_xor*" koristi sklopove *VL_NOT*, *VL_AND* i *VL_OR* (vidi sliku u nastavku). Potom aktivirajte alat za dodavanje žica.



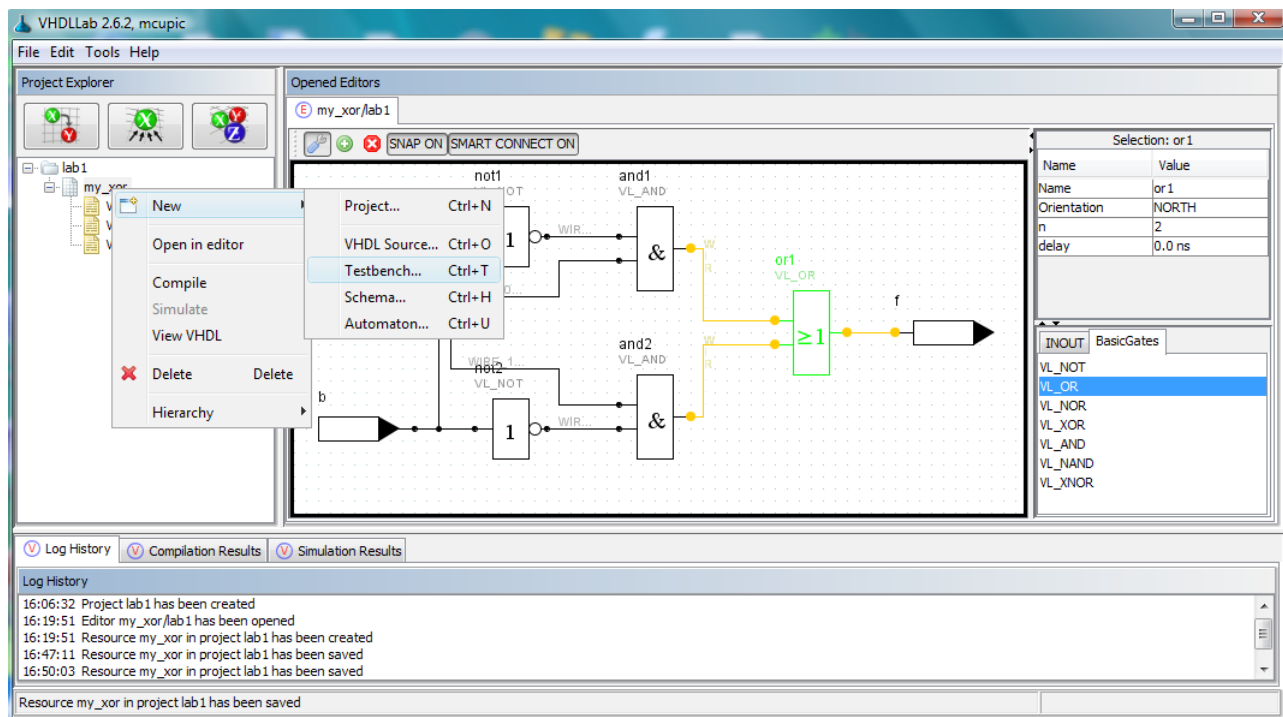
Prema prethodnoj slici žicama spojite odgovarajuće ulaze i izlaze. Dodavanje žice radi se na sljedeći način. Nakon što ste aktivirali alat za dodavanje žica, pridite mišem konektoru od kojeg želite potegnuti žicu. Sustav će u tom trenutku započeti s animacijom koja indicira od kuda će žica krenuti. Pritisnite lijevu tipku miša i pokazivač miša odvučite do drugog konektora koji želite spojiti (čitavo vrijeme držeći lijevu tipku miša pritisnutom). Kada se dovoljno približite drugom konektoru, sustav će opet prikazati animaciju kojom će indicirati gdje će biti kraj žice. Jednom kada ste došli točno iznad drugog konektora, otpustite tipku miša čime će žica biti dodana. Umjesto s postojećeg konektora, žicu možete započeti i s postojećeg segmenta žice.



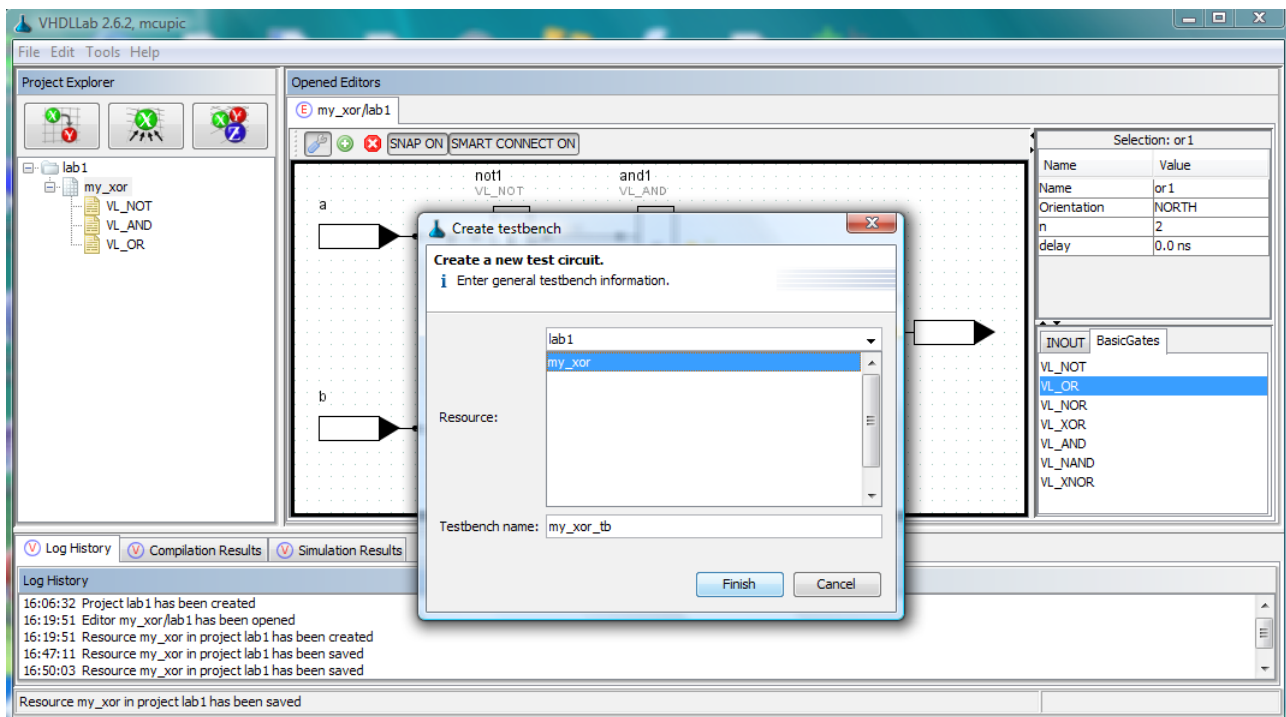
Nakon što ste dodali sve žice, korigirajte još i imena koja je sustav dodijelio svakom sklopu. Označite prvi sklop NE te u njegovim svojstvima (desni rub uređivača, gornji dio) potražite redak "Name": vrijednost postavite na "not1". Na isti način preimenujte drugi sklop u "not2", sklopove I u "and1" i "and2" te sklop ILI u "or1". Uočite da među svojstvima koja je moguće uređivati postoji i svojstvo "Delay" – to je kašnjenje logičkog sklopa koje govori nakon koliko vremena će doći do promjene izlaza ako se promijeni ulaz. Za sve sklopove vrijeme kašnjenja je postavljeno na 0 ns i tako treba ostati u prvom dijelu vježbe. Opet pohranite shemu pritiskom na tipke CTRL+S. Uočite da će snimanjem sheme iz naziva kartice koja prikazuje uređivač nestati znak "*" - taj znak indicira da je shema promijenjena od posljednjeg snimanja i da te promjene još nisu pohranjene. U "Project Exploreru" napravite desni klik na sklop "my_xor" te iz iskočnog izbornika odaberite stavku "Compile". Ako sustav dojavu bilo kakvu pogrešku, shema nije korektna i nemojte ići dalje dok problem ne otklonite.

Ako prevođenje (engl. *compile*) prolazi bez problema, gotovi smo s definiranjem sheme sklopa *my_xor*. Još nam je preostalo provjeriti radi li taj sklop u skladu s našim očekivanjima. U tu svrhu nužno je napraviti *ispitni sklop* (engl. *Testbench*).

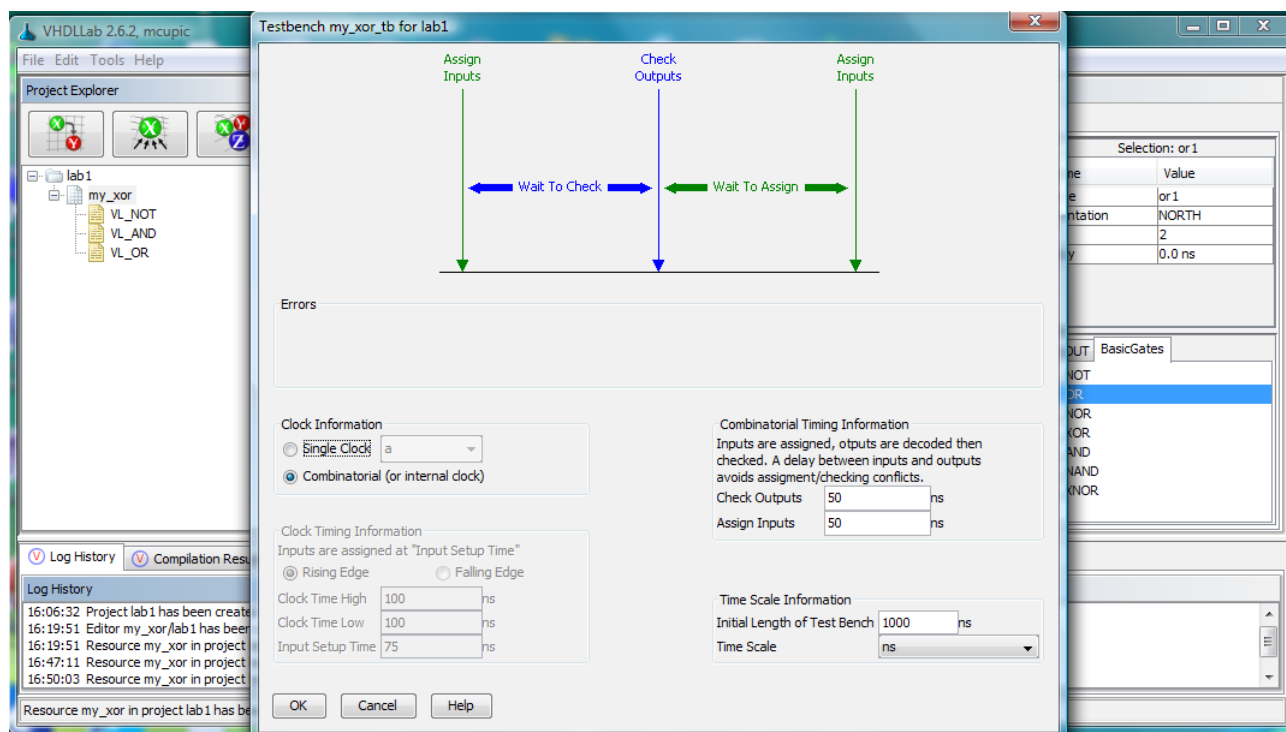
U "Project Exploreru" napravite desni klik na "my_xor" te iz iskočnog izbornika odaberite "New" pa "Testbench..." (vidi sliku u nastavku).



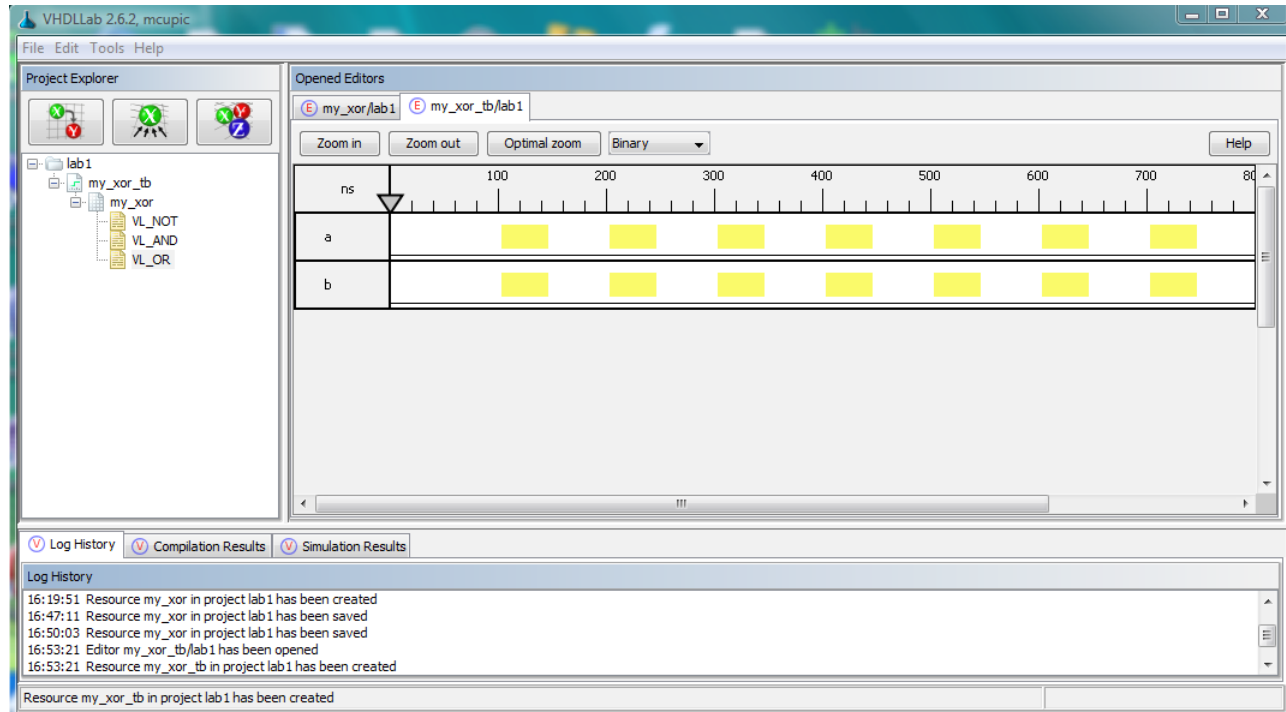
Sustav će Vas pitati za dodatne informacije: koji sklop želite ispitati te kako treba nazvati ispitni sklop.



Pri vrhu se nalazi izbornik projekata i ako je sve u redu, već je odabran projekt "lab1". U popisu postojećih sklopova bit će ponuđen jedini sklop koji je trenutno definiran u projektu: *my_xor*. Ako sklop već nije odabran, odaberite ga. Kao ime ispitnog sklopa unesite "*my_xor_tb*". Naime, uobičajena je praksa sklopovima koji su stvoreni kako bi ispitali rad drugih sklopova dati ime koje se sastoji od imena ispitivanog sklopa (*my_xor*) i sufiksa "*_tb*" koji nas asocira da se radi o ispitnom sklopu. Kada ste ovo podesili, pritisnite gumb "Finish". Pojavit će se novi dijaloški okvir prikazan u nastavku.

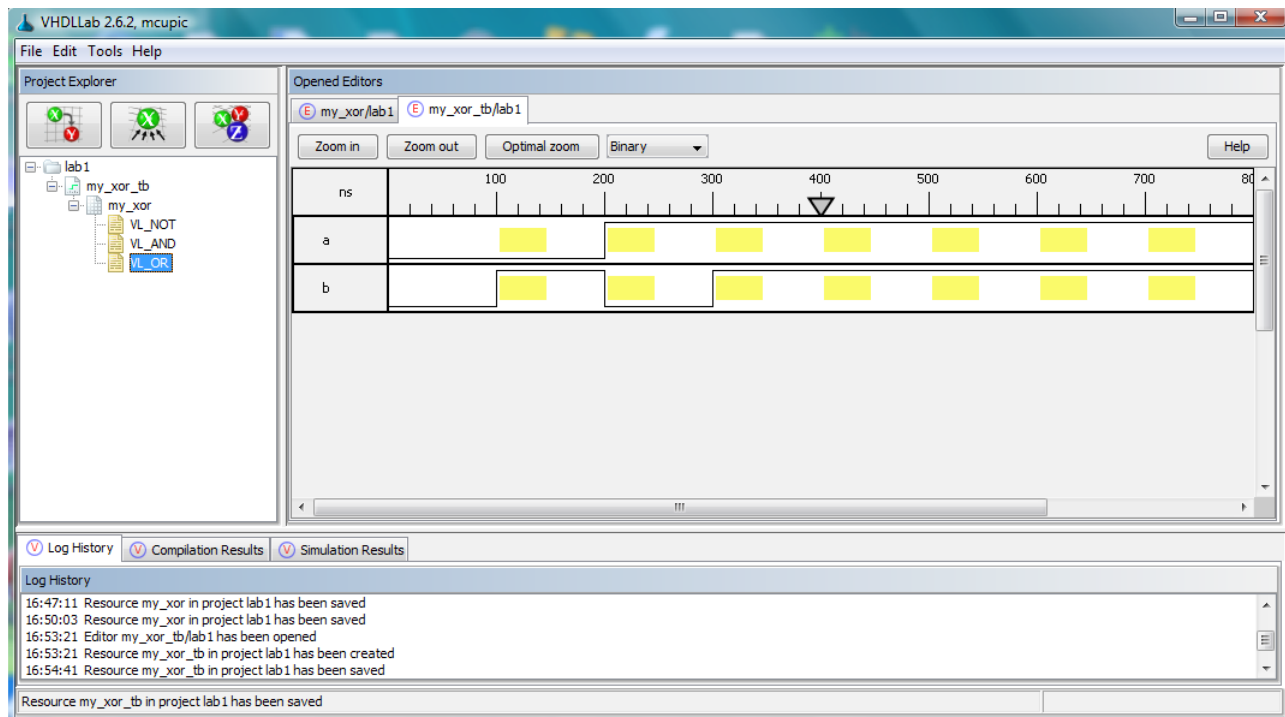


Kako je sklop koji ispitujemo kombinatorijski sklop, ostavite sve postavke tako kako su inicijalno postavljene (odabran je "*Combinatorial*"). Pritisnite gumb "*OK*". Otvorit će se uređivač ispitnih uzoraka (slika u nastavku).



Uređivač nudi podešavanje vrijednosti signala koje kroz vrijeme treba dovoditi na ulaze "a" i "b" (prisjetimo se, radimo ispitni sklop za sklop *my_xor*, koji ima upravo ta dva ulaza). Prikaz vremena započinje u nultoj nanosekundi i teče udesno.

Vrijednosti signala možete mijenjati klikanjem uz početak žuto prikazanog područja. Kako ispitujemo kombinačijski sklop koji ima dva ulaza, njegova tablica istinitosti sastoji se od četiri retka. Stoga ćemo sve četiri pobude podesiti u ispitnom sklopu (slika u nastavku). U trenutku $t = 0$ ns, vrijednosti signala koje treba postaviti na ulaze "a" i "b" treba postaviti na logičku nulu i tako trebaju ostati sve do stote nanosekunde. U stotoj nanosekundi vrijednost signala koji se dovodi na ulaz "b" treba postaviti u logičku jedinicu. U dvjestotoj nanosekundi vrijednost signala koji se dovodi na ulaz "a" treba postaviti u logičku jedinicu a vrijednost signala koji se dovodi na ulaz "b" treba vratiti u logičku nulu. Konačno, u tristotoj nanosekundi oba signala treba postaviti na logičku jedinicu. Podešen ispitni sklop prikazan je u nastavku.

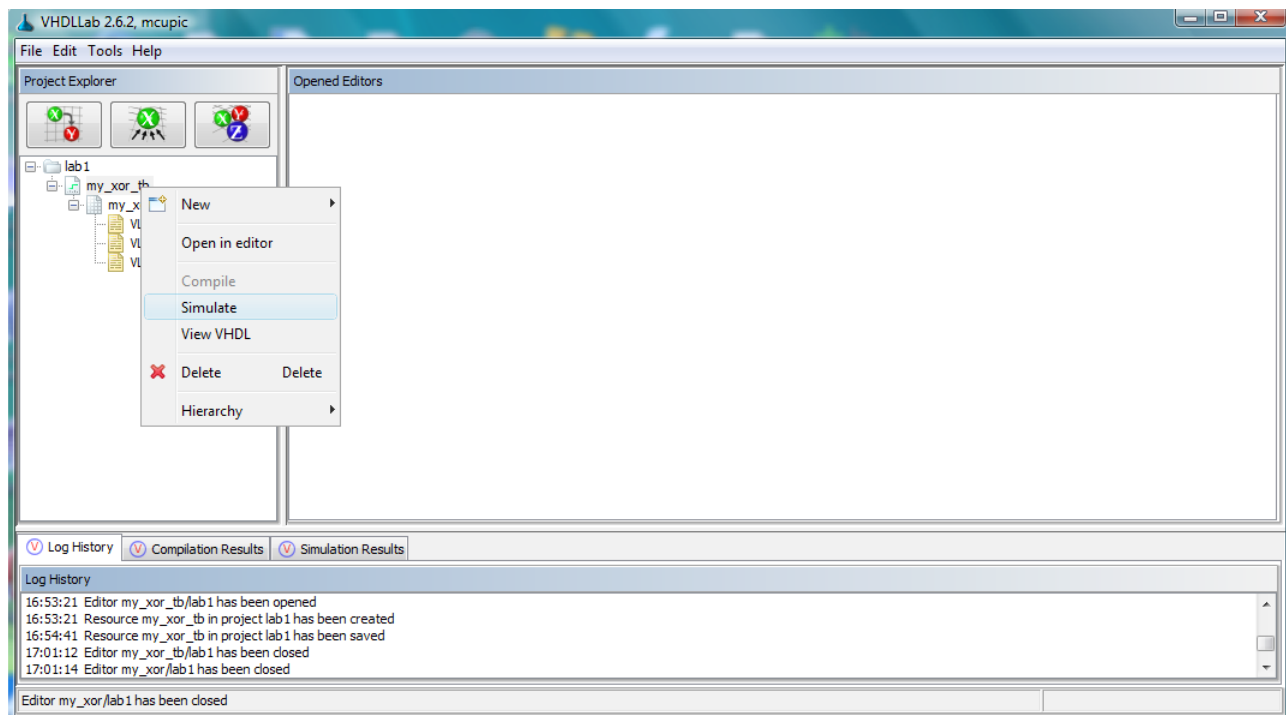


Trokutić koji se nalazi na vrhu vremenske skale određuje do kojeg trenutka se obavlja simulacija; on bi trebao biti pomaknut barem do trenutka $t = 300$ ns (stavite ga kao na slici na $t = 400$ ns). Simulacijom ovako definiranog ispitnog sklopa osigurali smo da se malo po malo na ulaze ispitivanog sklopa dovedu sve kombinacije iz tablice istinitosti, a simulator će simulacijom utvrditi što će ispitivani sklop generirati kao izlaz. Snimite ispitni sklop (kombinacija tipki CTRL+S).

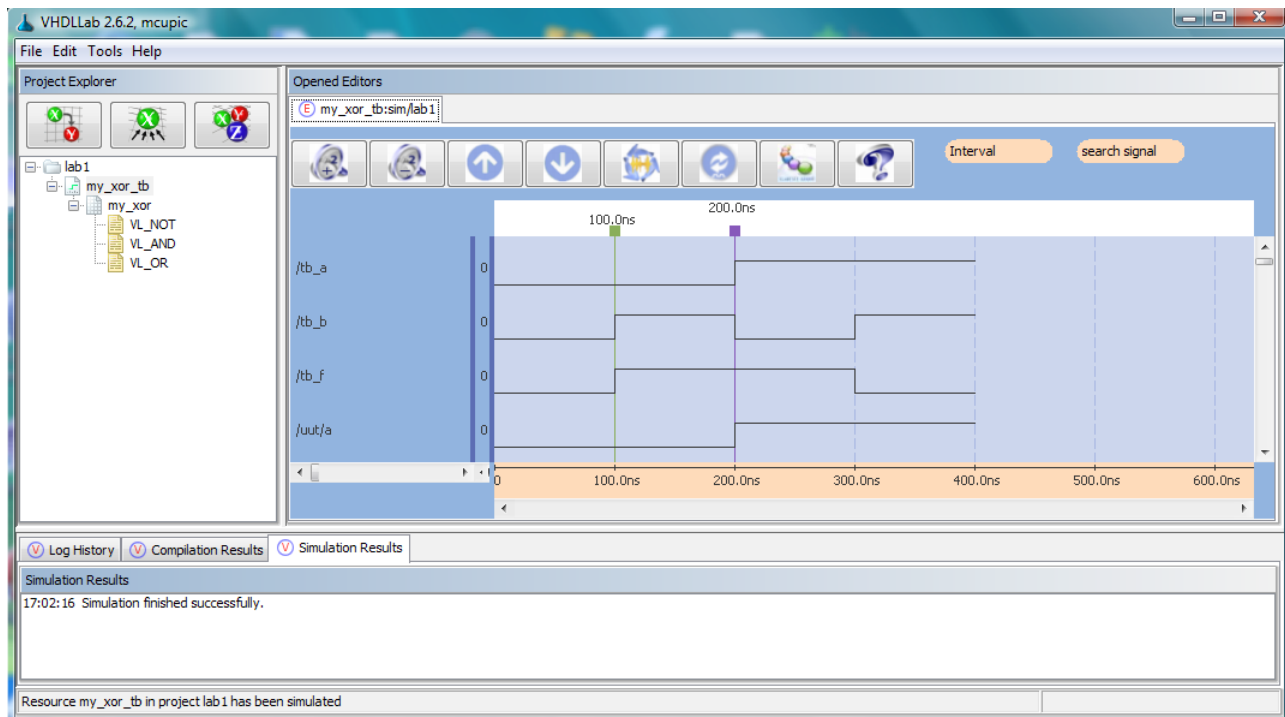
Snimanjem će se u "Project Exploreru" dodatno modificirati struktura projekta. Sada će biti jasno da u projektu postoji sklop "my_xor_tb" koji su sebi sadrži sklop "my_xor" a taj pak u sebi sadrži sklopove "VL_NOT", "VL_AND" i "VL_OR".

Kako biste malo uštedjeli na memoriji koju program troši, uređivače koje više ne trebate zatvorite. To ćete postići tako da napravite desni klik mišem na karticu uređivača (pri vrhu ekrana) i iz iskočnog izbornika odaberete stavku "Close" (ili neku drugu, ovisno što želite zatvoriti).

Jednom kada je ispitni sklop definiran i pohranjen, simulaciju pokrećete tako da u "Project Exploreru" napravite desni klik na *ispitni sklop* (pažnja!) te iz iskočnog izbornika odaberete stavku "Simulate" (slika u nastavku). Napominjemo da je simulirati moguće jedino ispitne sklopove: nije moguće direktno pokrenuti simulaciju sklopa my_xor.



Pokretanjem simulacije na udaljenom poslužitelju napraviti će se čitava simulacija. Potom će se otvoriti novi uređivač – ovaj puta uređivač koji ne nudi nikakvu mogućnost uređivanja već samo prikazuje rezultat simulacije (slika u nastavku).



Slično kao i uređivač ispitnog sklopa, dostupne su nam informacije o signalima "a" i "b". Međutim, za razliku od uređivača ispitnog sklopa, ovdje imamo dostupne podatke o svim signalima cjelokupnog ispitnog sklopa i svih sklopova koje on sadrži. Signali /tb_a, /tb_b odgovaraju signalima "a" i "b" koje smo definirali u uređivaču ispitnog sklopa. Signal /tb_f predstavlja presliku izlaza ispitivanog sklopa

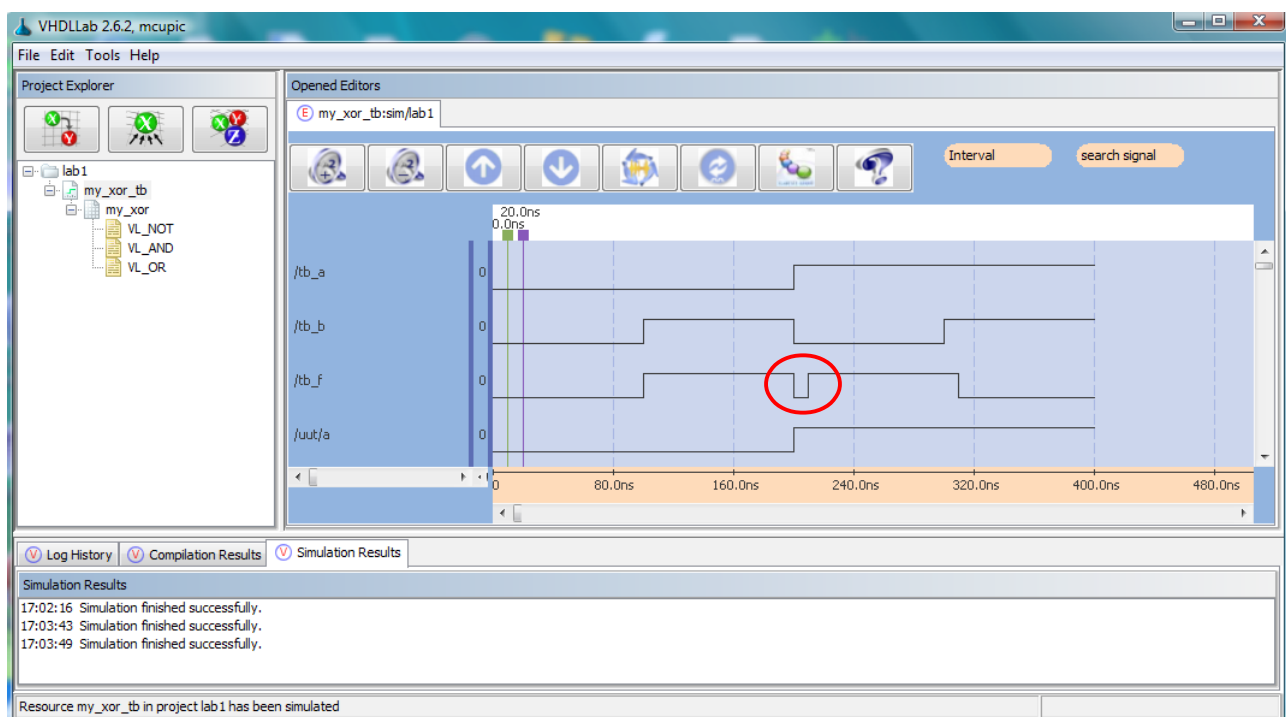
(sklopa *my_xor* koji smo ispitivali). Prave ulaze i izlaze sklopa *my_xor* koji u ovom ispitnom sklopu predstavlja ispitivani sklop (takozvani *unit-under-test*, kraće *uut*) vidjet ćemo kao signale */uut/a*, */uut/b* i */uut/f*. Osim ovih signala, rezultat simulacije sadržavat će i sve ostale signale koje je bilo nužno simulirati; primjerice, signal */uut/or1/a[1:0]* će predstavljati ulaze a */uut/or1/f* izlaz sklopa ILI koji je dio sklopa *my_xor*.

Važno: proučite pažljivo sve prisutne signale i pokušajte ih objasniti.

Vremensku skalu možete mijenjati aktiviranjem dvaju povećala pri vrhu uređivača ("+" za *zoom*, "-" za *unzoom*). Dvije vertikalne crte koje su na prethodnoj slici prikazane u 100. i 200. nanosekundi su takozvani kursori. Zeleni kursor je aktivan. Uz sam početak prikaza valnih oblika nalaze se ispisane vrijednosti za sve signale u trenutku koji definira aktivni kursor. Ponaknite aktivni kursor na $t = 150$ ns pa na $t = 250$ ns – uočavate li promjene u očitanim vrijednostima?

Aktivni kursor možete i precizno pomicati uporabom pomoćnih alata. Postavite aktivni kursor na približno $t = 20$ ns. Potom odaberite signal */tb_a* (kliknite na njegov naziv). Sada kada imate aktivan kursor i odabran signal, možete koristiti alat za pomicanje kursora na prethodni/sljedeći brid po odabranom signalu (to je 6. alat na vrhu): kliknite na taj alat i potom na ikonu koja predstavlja pomak na prvi sljedeći rastući brid: kursor će automatski biti pomaknut na $t = 200$ ns jer u tom trenutku signal */tb_a* ima prvi rastući brid (gledano od trenutne pozicije kursora).

Zatvorite rezultat simulacije. Otvorite shemu sklopa *my_xor* (dvoklik na njegov naziv u *Project Exploreru*). Odaberite prvi inverter (tj. logički sklop NE) i promijenite mu u svojstvima kašnjenje na 10 ns; isto napravite i s drugim inverterom; ostale sklopove ne dirajte. Snimite shemu i zatvorite uređivač. Ispitni sklop ne trebate mijenjati: samo pokrenite simulaciju ispitnog sklopa. Sada će se u rezultatima simulacije pojaviti trenuci u kojima vrijednost na izlazu *f* ne odgovara vrijednostima na ulazima *a* i *b* (crveno zaokruženo na slici u nastavku). Proučite pažljivo rezultat simulacije i objasnite zašto se to događa.



Važna napomena: ako prethodno niste zatvorili pregled prošle simulacije, sustav neće raditi novu simulaciju već će samo aktivirati stari prikaz. Da biste to izbjegli, uvijek prije pokretanja simulacije zatvorite prethodnu simulaciju.

Literatura:

- [1] Peruško, Glavinić: *Digitalni sustavi*. Školska knjiga, 2005.
- [2] Čupić, *Digitalna elektronika i Digitalna logika. Zbirka riješenih zadataka*. Kigen, 2006.