

CHƯƠNG 1 **NHẬP MÔN ĐIỆN TỬ HỌC**

-
- 1.1 Tín hiệu
 - 1.2 Phổ tần của tín hiệu
 - 1.3 Tín hiệu số và tương tự
 - 1.4 Khuếch đại tín hiệu
 - 1.5 Mô hình mạch khuếch đại
 - 1.6 Đáp ứng tần của mạch khuếch đại
 - 1.7 Phản hồi trong bộ khuếch đại
-

1.1 Tín hiệu

Tín hiệu chứa đựng thông tin về những sự vật sự việc khác nhau trong thế giới vật chất của chúng ta. Có khá nhiều những ví dụ về tín hiệu như: Thông tin về thời tiết, được chứa đựng trong những tín hiệu thể hiện nhiệt độ, áp suất, tốc độ gió,... Giọng nói trên một chương trình radio đọc bản tin thời sự vào một micro chính là một tín hiệu âm thanh. Nó chứa đựng những thông tin về các vấn đề của thế giới. Để kiểm tra tình trạng của một lò phản ứng hạt nhân, người ta sử dụng những công cụ để đo đặc vô số các thông số liên quan, mỗi công cụ cung cấp một loại tín hiệu.

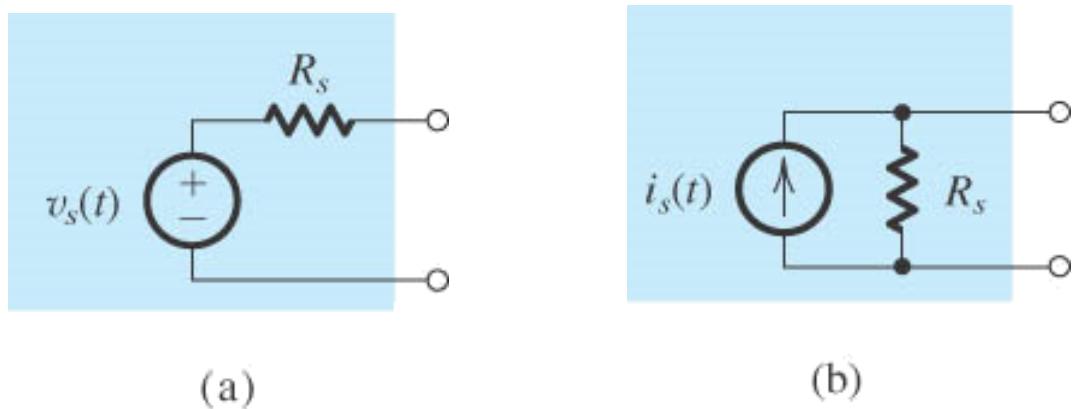
Để thu được những thông tin cần thiết từ một tập hợp các tín hiệu ta phải xử lý tín hiệu theo những cách thức nhất định. Quá trình xử lý thông tin này được thực hiện một cách thuận tiện bởi các hệ thống điện tử. Tuy nhiên, để thực hiện được điều này, trước tiên tín hiệu cần xử lý phải được chuyển đổi sang dạng tín hiệu điện, có thể là dòng điện hay điện áp. Quá trình này được thực hiện bởi các thiết bị được gọi là bộ chuyển đổi (cảm biến, sensor). Trong thực tế tồn tại rất nhiều bộ chuyển đổi, mỗi bộ chuyển đổi chỉ phù hợp với một trong vô số các dạng khác nhau của tín hiệu vật lý. Ví dụ như, sóng âm thanh sinh ra bởi con người có thể chuyển đổi sang tín hiệu điện bằng việc sử dụng một micro, dựa vào bộ chuyển đổi áp suất. Do mục tiêu của chúng ta ở đây không phải là nghiên cứu các bộ chuyển đổi, nên ta sẽ giả thiết rằng tín hiệu mong muốn đã được chuyển về dạng tín hiệu điện và được biểu diễn thông qua một trong hai dạng tương đương được mô tả trong Hình 1.1

Trong Hình 1.1(a) tín hiệu được miêu tả thông qua nguồn điện áp $v_s(t)$ có nội trở nguồn R_s . Với cách miêu tả khác trong Hình 1.1(b) tín hiệu được thể hiện thông qua nguồn dòng điện $i_s(t)$ có nội trở nguồn R_s . Mặc dù hai cách miêu tả này là tương đương, nhưng dạng ở Hình 1.1(a) (được biết đến như dạng Thevenin) được sử dụng nhiều hơn khi R_s có giá trị thấp. Còn dạng ở Hình 1.1(b) (dạng Norton) lại được sử dụng nhiều hơn khi R_s có giá trị cao. Phần sau của chương sẽ lý giải rõ điều này khi đề cập về những dạng khác nhau của các bộ khuếch đại. Chú ý rằng với hai mô tả trong Hình 1.1 để cho tương đương, những thông số của chúng phải thỏa mãn phương trình:

$$v_s(t) = R_s i_s(t)$$

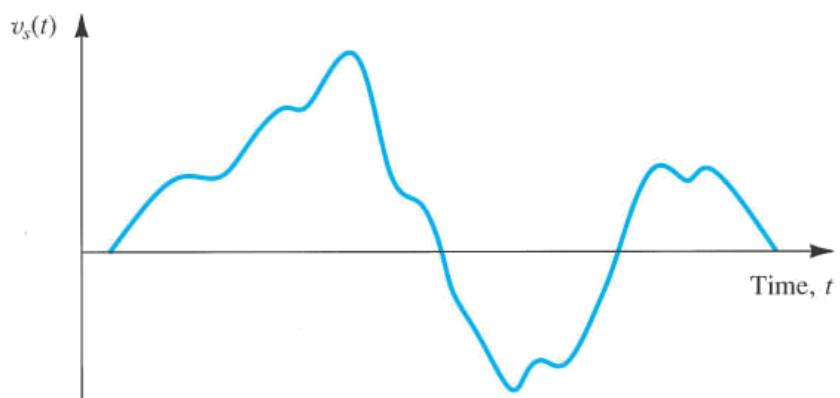
Tín hiệu là một đại lượng biến đổi theo thời gian và nó có thể được miêu tả thông qua một đồ thị như Hình 1.2. Trong thực tế nội dung thông tin nằm trong sự thay đổi độ lớn của tín hiệu theo thời gian - tức là thông tin được chứa đựng trong những “đường gợn sóng” của dạng tín hiệu. Nhìn chung, những dạng sóng như thế này khó có thể mô tả bằng toán học. Nói theo cách khác, không dễ dàng để miêu tả cô đọng một dạng sóng bất kỳ như Hình 1.2. Việc mô tả dạng tín hiệu có một tầm quan

trọng rất lớn đối với mục đích thiết kế những mạch xử lý tín hiệu thích hợp nhằm thực hiện những chức năng mong muốn trên những tín hiệu cho trước.



Hình 1.1 Hai cách khác nhau khi thể hiện nguồn tín hiệu

(a) Dạng Thevenin (b) Dạng Norton

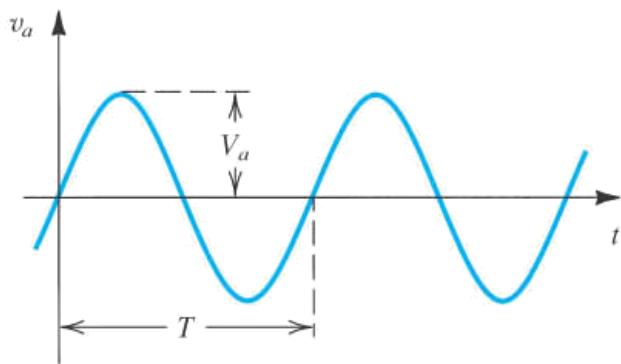


Hình 1.2 Tín hiệu điện áp bất kỳ

1.2 Phổ tần của tín hiệu

Một phương pháp mô tả đặc tính của tín hiệu với bất kỳ hàm thời gian nào, là theo phổ tần số của nó. Cách mô tả tín hiệu này đạt được thông qua các công cụ toán học như chuỗi Furie và biến đổi Furie. Ở đây, ta không cần quan tâm chi tiết đến những biến đổi này mà chỉ cần hiểu rằng chúng cho ta phương pháp mô tả một tín hiệu điện áp $v_s(t)$ hoặc một tín hiệu dòng điện $i_s(t)$ như là tập hợp các tín hiệu hình sin có tần số và biên độ khác nhau. Điều này làm cho sóng hình sin trở thành một tín hiệu rất quan trọng trong phân tích, thiết kế và kiểm tra các mạch điện tử. Hình 1.3 trình bày một dạng tín hiệu điện áp hình sin $v_a(t)$

$$v_a(t) = V_a \sin \omega t \quad (1.1)$$



Hình 1.3 Tín hiệu điện áp hình sin với biên độ V_a , chu kỳ T , tần số $f = \frac{1}{T}$ Hz

Trong Hình 1.3, V_a biểu thị giá trị cực đại hay biên độ, có đơn vị là volt và ω biểu thị tần số góc có đơn vị radian trên giây $\omega = 2\pi f$ rad/s. Tần số f được tính bằng hertz, $f = 1/T$ Hz và T là chu kỳ tính bằng giây.

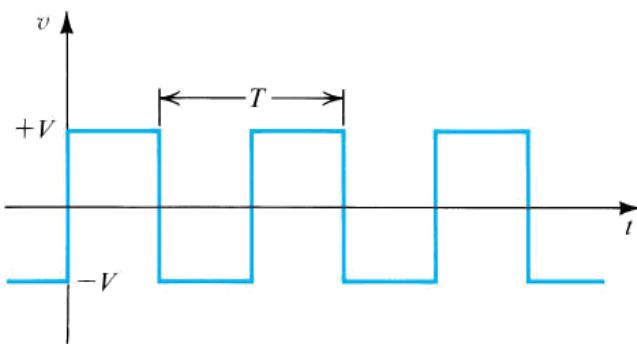
Tín hiệu hình sin hoàn toàn có thể được đặc trưng bởi các tham số là: giá trị cực đại V_a , tần số góc ω , góc pha của nó so với thời gian tham chiếu bất kỳ. Trong trường hợp được mô tả trong Hình 1.3, thời điểm ban đầu được chọn sao cho góc pha ban đầu bằng 0.

Ta cũng có thể biểu diễn biên độ của sóng sin theo giá trị hiệu dụng của nó (bằng giá trị giá trị cực đại chia cho $\sqrt{2}$). Do đó giá trị hiệu dụng của đường hình sin $v_a(t)$ của Hình 1.3 là $V_a/\sqrt{2}$. Ví dụ, khi ta nói rằng nguồn cung cấp trên lưới điện sinh hoạt của chúng ta là 220V, ta hiểu rằng nó có dạng một sóng hình sin có giá trị điện áp cực đại $220\sqrt{2}$ V. Trong việc thể hiện các tín hiệu bằng tổng các đường hình sin, khi tín hiệu là một hàm thời gian có chu kỳ, chuỗi Furie được dùng để thực hiện nhiệm vụ này. Mặt khác, trong trường hợp tổng quát, khi tín hiệu mà dạng sóng của nó là một hàm bất kỳ theo thời gian thì ta sử dụng biến đổi Furie.

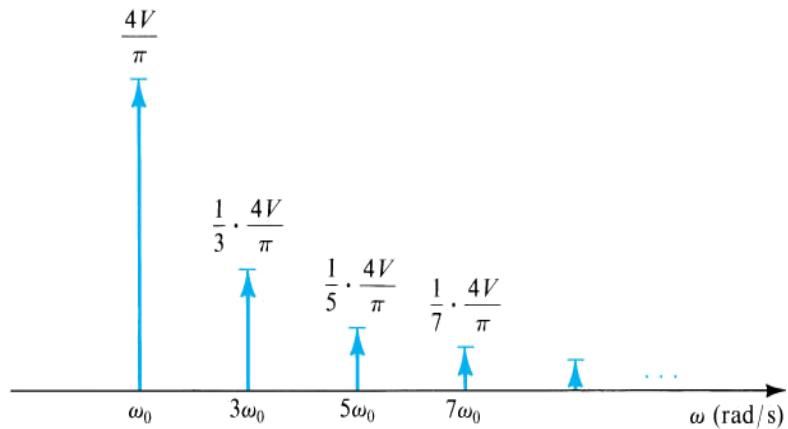
Chuỗi Furie cho phép chúng ta biểu diễn một hàm tuần hoàn theo thời gian cho trước dưới dạng tổng của vô hạn của sóng hình sin có tần số cơ bản (cùng tần số với hàm tuần hoàn) và các sóng hài. Ví dụ, tín hiệu xung vuông đối xứng trong Hình 1.4 có thể được mô tả như sau:

$$v(t) = \frac{4V}{\pi} (\sin \omega_0 t + \frac{1}{3} \sin 3\omega_0 t + \frac{1}{5} \sin 5\omega_0 t + \dots) \quad (1.2)$$

Trong đó V là biên độ của xung vuông và $\omega_0 = 2\pi/T$ (T là chu kỳ của xung vuông) là tần số cơ bản. Do biên độ của các sóng hài bậc cao sẽ giảm dần, nên những chuỗi vô hạn có thể được loại bỏ, những chuỗi đã lược bỏ sẽ làm cho dạng tín hiệu chỉ còn gần giống với xung vuông.



Hình 1.4 Tín hiệu xung vuông tuần hoàn đối xứng có biên độ V



Hình 1.5 Phổ tần số của xung vuông tuần hoàn trong Hình 1.4

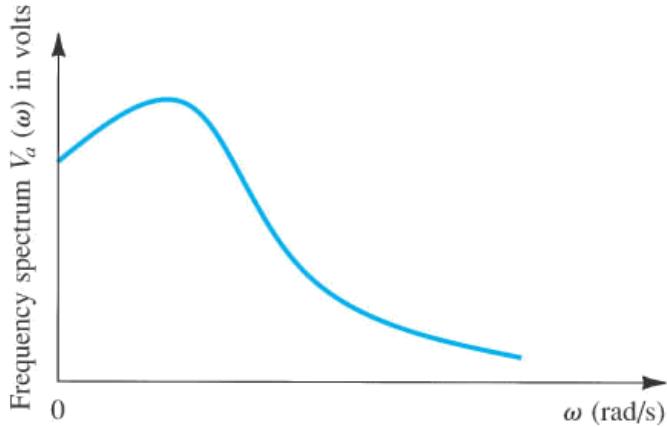
Những thành phần hình sin trong những chuỗi của Phương trình 1.2 tạo thành phổ tần số của tín hiệu xung vuông. Phổ này có thể được biểu diễn bằng đồ thị như Hình 1.5, ở đó trục hoành thể hiện cho tần số góc ω và có đơn vị là rad/s

Biến đổi Furie được áp dụng trong trường hợp tổng quát cho một hàm bất kỳ không tuần hoàn theo thời gian (ví dụ như tín hiệu được mô tả trong Hình 1.2) và kết quả là phổ tần số của tín hiệu giống như một hàm liên tục theo tần số (thể hiện trong Hình 1.6). Điều này không giống như trường hợp các tín hiệu tuần hoàn mà ở đó phổ tần bao gồm những tần số gián đoạn (ở ω_o và các sóng hài của nó). Nói chung phổ của tín hiệu không tuần hoàn bao gồm tất cả các tần số có thể.

Tuy nhiên, những thành phần cần thiết trong phổ của những tín hiệu trong thực tế chỉ giới hạn trong một đoạn tương đối ngắn của trục tần số. Ví dụ, phổ của những âm thanh nghe được như tiếng nói và âm nhạc kéo dài trong khoảng 20Hz tới khoảng 20kHz - khoảng tần số đó được gọi là *dải âm thanh*. Lưu ý rằng mặc dù một số nhạc cụ phát ra âm thanh có tần số cao hơn 20kHz, nhưng tai của con người không có khả năng nghe được âm thanh ở những tần số lớn hơn nhiều 20 kHz. Một ví dụ khác, những tín hiệu video tương tự có phổ tần nằm trong khoảng 0MHz tới 4.5MHz

Như vậy, một tín hiệu có thể được biểu diễn theo cách mà dạng sóng của nó biến đổi theo thời gian, như đối với tín hiệu điện áp $v_a(t)$ mô tả trong Hình 1.2 hoặc

theo phô tần số của nó, như trong Hình 1.6. Hai cách biểu diễn khác nhau này lần lượt được gọi là hai cách biểu diễn tín hiệu trên miền thời gian và miền tần số. Biểu diễn miền tần số của $v_a(t)$ sẽ được biểu thị bằng ký hiệu $V_a(\omega)$.



Hình 1.6 Phô tần tín hiệu trong Hình 1.2

1.3 Tín hiệu tương tự và tín hiệu số

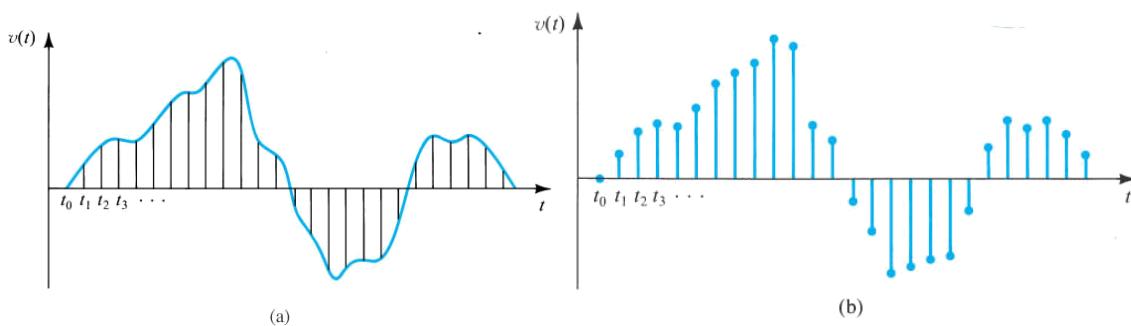
Tín hiệu điện áp được mô tả trong Hình 1.2 được gọi là tín hiệu tương tự. Tên gọi này xuất phát từ thực tế là tín hiệu này gần như tương tự với tín hiệu vật lý mà nó biểu diễn. Độ lớn của một tín hiệu tương tự có thể nhận một giá trị bất kỳ ở bất cứ thời điểm nào. Tức là, biên độ và thời gian của tín hiệu tương tự biến đổi liên tục trên khoảng làm việc của nó. Phần lớn các tín hiệu ở thế giới xung quanh chúng ta là tín hiệu tương tự. Các mạch điện tử để xử lý những tín hiệu này được gọi là mạch tương tự.

Một số tín hiệu còn có thể được biểu diễn thông qua một dãy số. Trong đó, mỗi số sẽ biểu diễn độ lớn của tín hiệu tại một thời điểm nhất định. Tín hiệu này được gọi là tín hiệu số. Hình 1.7(a) cho thấy làm thế nào để có thể biểu diễn tín hiệu theo cách này. Tức là, làm thế nào mà tín hiệu có thể được chuyển đổi từ dạng tương tự sang dạng số. Ở đây đường cong biểu diễn một tín hiệu điện áp, giống như Hình 1.2. Ở những khoảng thời gian bằng nhau trên trực thời gian ta đánh dấu những thời điểm t_0, t_1, t_2, \dots . Tại mỗi thời điểm này ta đo được độ lớn của tín hiệu, quá trình này được gọi là quá trình lấy mẫu. Hình 1.7(b) cho thấy cách biểu diễn tín hiệu của Hình 1.7a theo các mẫu của nó.

Tín hiệu trong Hình 1.7(b) chỉ được xác định ở thời điểm lấy mẫu. Nó không còn là một hàm liên tục theo thời gian nữa, mà nó là một tín hiệu rời rạc theo thời gian. Tuy nhiên, vì độ lớn của một mẫu có thể lấy bất kỳ giá trị nào trong một khoảng liên tục nên tín hiệu trong Hình 1.7(b) vẫn còn là một tín hiệu tương tự.

Nếu chúng ta biểu diễn xấp xỉ độ lớn của mỗi mẫu tín hiệu trong Hình 1.7(b) bằng một số ta sẽ được một số dưới dạng một nhóm các chữ số (tùy thuộc vào việc dụng hệ cơ số nào để biểu diễn). Như vậy biên bộ của tín hiệu sẽ không còn liên tục nữa. Nói đúng hơn, nó đã được lượng tử hóa, rời rạc hóa hay số hóa. Tín hiệu số được minh họa bằng một dãy số thể hiện độ lớn của những mẫu tín hiệu liên tục.

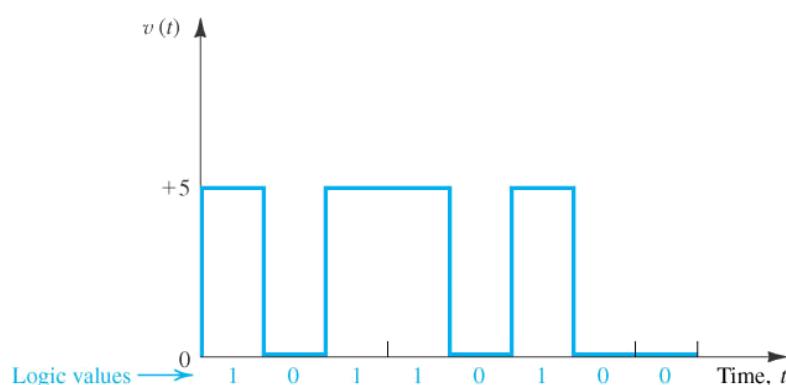
Việc lựa chọn các hệ cơ số để biểu diễn các mẫu tín hiệu sẽ tác động tới dạng tín hiệu số được sinh ra và ảnh hưởng lớn đến độ phức tạp của mạch số cần thiết để xử lý tín hiệu.



Hình 1.7 (a) Lấy mẫu tín hiệu tương tự liên tục

(b) Tín hiệu rời rạc sau khi lấy mẫu

Ta có thể thấy rằng một hệ thống số nhị phân sẽ đem lại những tín hiệu và mạch số đơn giản nhất có thể. Trong một hệ thống nhị phân, mỗi bit trong một số chỉ nhận một trong hai giá trị có thể, là 0 và 1. Tương ứng, các tín hiệu số trong những hệ thống nhị phân chỉ cần duy nhất hai mức điện áp có thể được gán là mức thấp và mức cao. Trong một số mạch điện tử được nghiên cứu trong môn học này, các mức điện áp đó lần lượt là 0V và 5V. Hình 1.8 thể hiện sự biến đổi theo thời gian của một mạch số như trên. Có thể quan sát thấy dạng sóng trong hình là một chuỗi xung với 0V thể hiện cho tín hiệu bằng 0 hay mức logic 0, và +5V thể hiện cho mức logic 1.



Hình 1.8 Sự biến đổi của tín hiệu số nhị phân theo thời gian

Nếu ta sử dụng N bit nhị phân để biểu diễn mỗi mẫu của tín hiệu tương tự, thì giá trị mẫu đã được số hóa có thể được thể hiện như sau:

$$D = b_0 2^0 + b_1 2^1 + b_2 2^2 + \dots + b_{N-1} 2^{N-1} \quad (1.3)$$

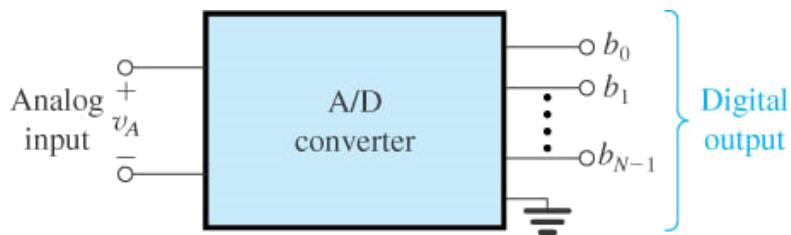
Trong đó dãy b_0, b_1, \dots, b_{N-1} gồm N bit và mỗi bit có giá trị bằng 0 hoặc 1. Ở đây bit b_0 là bít có trọng số thấp nhất (LSB) và bit b_{N-1} là bit có trọng số cao nhất (MSB). Theo quy ước, số nhị phân này được viết là $b_{N-1} b_{N-2} \dots b_0$. Ta thấy rằng cách biểu diễn này lượng tử hóa mẫu tương tự thành một trong 2^N mức. Nhận thấy rằng số lượng các bit càng lớn (tức là N càng lớn), thì từ số D càng xấp xỉ bằng độ lớn mẫu tương tự. Nói cách khác, số lượng các bit tăng sẽ làm giảm sai số lượng tử hóa và làm tăng độ phân giải của bộ chuyển đổi tương tự - số. Tuy nhiên, mạch chuyển đổi thường phải phức tạp hơn và vì thế dẫn đến tốn kém hơn khi chế tạo mạch. Để chuyển đổi dạng tín hiệu tương tự - số, ta sử dụng các bộ (modul chuyển đổi): *Bộ chuyển đổi tương tự sang số* (A/D hoặc ADC) được thể hiện ở dạng sơ đồ khối trong Hình 1.9. Bộ chuyển đổi ADC nhận ở đầu vào của nó các mẫu của một tín hiệu tương tự và cung cấp cho mỗi mẫu đầu vào một biểu diễn số N-bit tương ứng tại N chân đầu ra của nó (theo Phương trình 1.3). Do đó, dù cho điện áp ở đầu vào có thể là 6.51V, ở mỗi chân đầu ra (chân thứ i), điện áp sẽ hoặc là mức thấp (0V) hoặc mức cao (5V) tùy theo việc chân b_i tương ứng được gán là 0 hay 1.

Khi tín hiệu ở dạng số, tín hiệu này có thể được xử lý bởi các mạch số. Tất nhiên các mạch số cũng có thể xử lý các tín hiệu không có nguồn gốc tương tự, ví dụ như những tín hiệu biểu diễn những lệnh khác nhau của một máy tính số.

Do các mạch số chỉ xử lý với các tín hiệu nhị phân, nên thiết kế của chúng đơn giản hơn các mạch tương tự. Hơn nữa, trong thực tế, các hệ thống số được thiết kế sử dụng một số dạng tương đối khác nhau của các khối mạch số. Các mạch số thực tế thường cần một số lượng lớn (hàng trăm ngàn hoặc thậm chí hàng triệu) những khối này. Do đó thiết kế của các mạch số tuy đặt ra những thách thức đối với người thiết kế nhưng mang đến sự thực hiện tin cậy và kinh tế khi cần có sự thay đổi lớn của hàm xử lý tín hiệu. Đặc biệt là khi một trong số các biến đổi tín hiệu đó không thể thực hiện được với mạch tương tự. Hiện tại, càng ngày càng nhiều hàm xử lý tín hiệu được thực hiện theo dạng số.

Có rất nhiều những ví dụ về hệ thống xử lý số xung quanh ta: Từ đồng hồ số và máy tính tới hệ thống âm thanh số và gần đây hơn là TV số. Hơn nữa, tới thời điểm hiện tại, một số hệ thống tương tự lâu đời như hệ thống truyền thông điện thoại hầu như đã được số hóa toàn bộ.

Các khối cơ bản của các hệ thống số là mạch logic và mạch nhớ.



Hình 1.9 Sơ đồ khái niệm của bộ biến đổi tương tự - số (ADC)

Mặc dù việc xử lý số các tín hiệu hiện nay là phổ biến, thì vẫn tồn tại của nhiều hàm xử lý tín hiệu mà được thực hiện tốt nhất bởi các mạch tương tự, nhiều hệ thống điện tử bao gồm cả phần tương tự và phần số.

1.4 Các bộ khuếch đại

Trong phần này giới thiệu một hàm xử lý tín hiệu cơ bản được sử dụng trong hầu hết các hệ thống điện tử được gọi là khuếch đại tín hiệu. Trước tiên, ta sẽ nghiên cứu bộ khuếch đại như một khái niệm mạch xây dựng sẵn. Tức là, xem xét các đặc tính ngoài của nó và vấn đề thiết kế mạch điện bên trong ở những chương sau.

1.4.1 Khuếch đại tín hiệu

Từ quan điểm lý thuyết, xử lý tín hiệu đơn giản nhất là khuếch đại tín hiệu. Yêu cầu khuếch đại sinh ra do các bộ biến đổi cung cấp những tín hiệu được cho là tương đối “yếu”, tức là trong khoảng microvolt (μV) hay milivolt (mV) và với năng lượng nhỏ. Những tín hiệu như vậy là quá nhỏ để có thể xử lý một cách tin cậy và việc xử lý sẽ dễ dàng hơn nhiều nếu biên độ tín hiệu được tạo ra lớn hơn. Khối chức năng thực hiện nhiệm vụ này được gọi là *bộ khuếch đại tín hiệu*.

Trước tiên, ta xem xét về sự cần thiết của *mức độ tuyến tính* trong các bộ khuếch đại. Khi khuếch đại một tín hiệu, chúng ta phải thật cẩn thận cho thông tin trong tín hiệu không bị thay đổi và không sinh ra những thông tin mới. Do đó khi cung cấp tín hiệu trong Hình 1.2 cho một bộ khuếch đại, ta mong muốn tín hiệu đầu ra của bộ khuếch đại trở thành một bản sao y hệt của nó ở đầu vào, tất nhiên loại trừ việc nó có biên độ lớn hơn. Nói theo cách khác, những dao động ở dạng sóng đầu ra phải đồng nhất với dạng sóng đầu vào. Bất kỳ thay đổi nào trong dạng sóng đều được coi như *sự méo dạng* và tất nhiên là không mong muốn.

Một bộ khuếch đại bảo đảm được sự chi tiết của dạng sóng tín hiệu được đặc trưng bởi quan hệ:

$$v_o(t) = Av_i(t) \quad (1.4)$$

Trong đó v_i và v_0 theo thứ tự là tín hiệu đầu vào và tín hiệu đầu ra và A là một hằng số thể hiện cho khả năng của bộ khuếch đại, được gọi là *hệ số khuếch đại*. Khi phương trình (1.4) là một quan hệ tuyến tính thì bộ khuếch đại mà nó mô tả là một *bộ khuếch đại tuyến tính*. Nếu mối quan hệ giữa v_i và v_0 bao gồm những bậc cao hơn v_i thì dạng sóng của v_0 không còn đồng nhất với v_i nữa. Do đó bộ khuếch đại thể hiện *sự méo dạng phi tuyến*.

Các bộ khuếch đại đã làm cho biên độ của tín hiệu lớn hơn và vì thế được gọi là bộ khuếch đại điện áp. Bộ tiền khuếch đại trong hệ thống dàn âm thanh gia đình là một ví dụ của bộ khuếch đại điện áp. Tuy nhiên, thường thì nó không chỉ làm nhiệm vụ khuếch đại tín hiệu. Đặc biệt hơn, nó thực hiện một số định dạng lên phô tần số của tín hiệu đầu vào.

Một dạng khác của bộ khuếch đại, đó là bộ khuếch đại công suất. Bộ khuếch đại công suất có thể chỉ cung cấp một hệ số khuếch đại điện áp khiêm tốn nhưng hệ số khuếch đại dòng đáng kể. Do đó thường thì với một bộ tiền khuếch đại dù tiêu thụ ít năng lượng từ nguồn tín hiệu đầu vào, nó vẫn có thể sinh ra một giá trị công suất lớn tới tải của nó. Ta có thể thấy ví dụ cụ thể về bộ khuếch đại công suất trong hệ thống dàn âm thanh gia đình, mục đích của nó là để cung cấp đủ công suất để dàn loa công suất hoạt động - dàn loa này là một tải khuếch đại.

Chú ý rằng dàn loa công suất là bộ chuyển đổi đầu ra của hệ thống âm thanh. Nó chuyển đổi tín hiệu điện đầu ra của hệ thống thành tín hiệu âm thanh. Đánh giá thêm về sự cần thiết tính tuyến tính có thể thu được thông qua việc dựa trên hoạt động của bộ khuếch đại công suất. Một bộ khuếch đại công suất tuyến tính sinh ra cả những đoạn nhạc nhẹ lẫn đoạn nhạc lớn được sao lại mà không hề bị méo dạng.

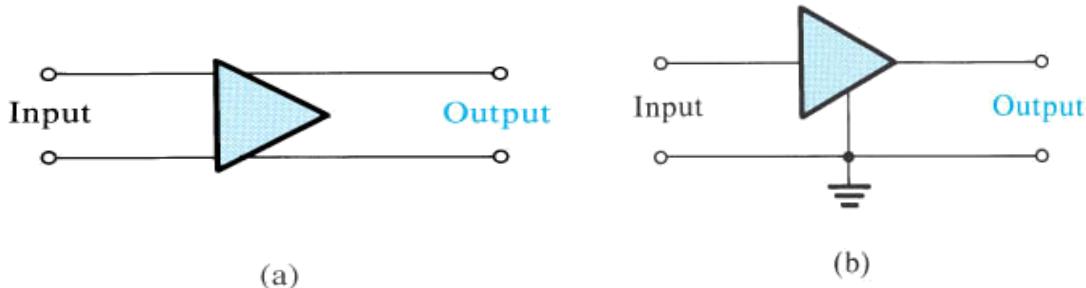
1.4.2 Ký hiệu mạch khuếch đại

Bộ khuếch đại tín hiệu hiển nhiên là một *mạng hai cửa* (cổng vào và cổng ra). Chức năng của nó được thể hiện một cách rõ ràng thông qua ký hiệu mạch trong Hình 1.10(a). Ký hiệu này phân biệt rõ các cổng vào ra và mô tả hướng truyền tín hiệu. Do đó, trong những sơ đồ sau này không còn cần thiết để đánh dấu hai cổng “vào”, “ra” nữa. Nói chung ta đã biểu diễn bộ khuếch đại thành *mạng bốn cực* gồm hai tiếp điểm vào tách biệt với hai tiếp điểm ra. Một tính huống thường thấy hơn được minh họa trong Hình 1.10(b), ở đó một tiếp điểm chung tồn tại giữa các cổng vào ra của bộ khuếch đại. Tiếp điểm chung này được sử dụng như một điểm tham chiếu và được gọi là *điểm đất* của mạch.

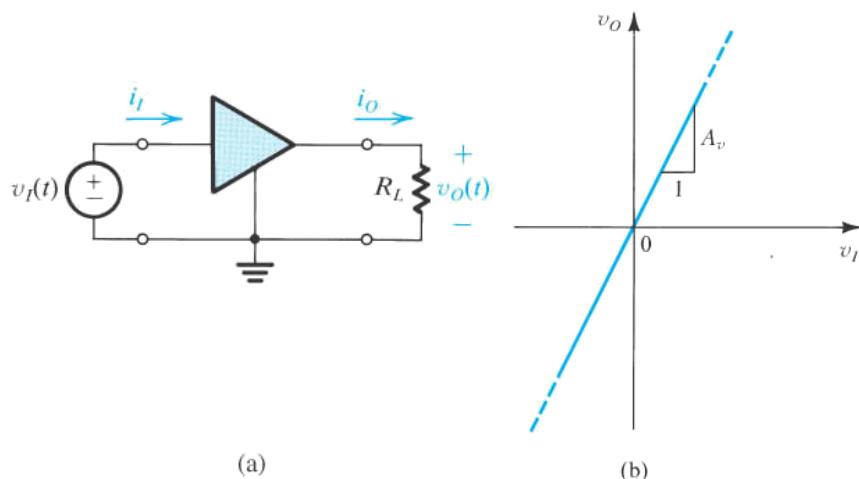
1.4.3 Hệ số khuếch đại điện áp

Một bộ khuếch đại tuyến tính thu nhận một tín hiệu đầu vào $v_i(t)$ và cung cấp ở đầu ra, qua một tải trở kháng R_L (Hình 1.11(a)), một tín hiệu $v_o(t)$ là bản sao khuếch đại của $v_i(t)$. Hệ số khuếch đại điện áp của bộ khuếch đại được định nghĩa bởi

$$\text{Hệ số khuếch đại điện áp } (A_v) = \frac{v_o}{v_i} \quad (1.5)$$



Hình 1.10 (a) Ký hiệu mạch điện bộ khuếch đại
 (b) Bộ khuếch đại với một tiếp điểm chung (đất) giữa công vào và công ra



Hình 1.11 (a) Bộ khuếch đại điện áp với đầu vào là tín hiệu $v_i(t)$ và đầu ra được nối với tải trở kháng R_L

(b) Đặc tính truyền đạt của bộ khuếch đại điện áp tuyến tính với hệ số khuếch đại A_v

1.4.4 Hệ số khuếch đại công suất và khuếch đại dòng điện

Một bộ khuếch đại sẽ làm tăng công suất tín hiệu. Đây là một điểm quan trọng để phân biệt một bộ khuếch đại so với một biến áp. Trong trường hợp của một biến áp, dù điện áp đưa ra tải có thể lớn hơn nhiều so với điện áp cung cấp bên phía đầu vào (sơ cấp), công suất đưa đến tải (phía thứ cấp của biến áp) vẫn nhỏ hơn hoặc gần bằng với công suất cung cấp bởi nguồn tín hiệu. Nói cách khác, một bộ khuếch đại cung cấp cho tải công suất lớn hơn nhiều so với công suất thu được từ nguồn tín hiệu.

Như vậy các bộ khuếch đại có hệ số khuếch đại công suất. Hệ số khuếch đại công suất của bộ khuếch đại trong Hình 1.11(a) được xác định như sau:

$$\text{Hệ số khuếch đại công suất } (A_p) = \frac{\text{load power } (P_L)}{\text{input power } (P_I)} \quad (1.6)$$

$$\text{Hệ số khuếch đại công suất } (A_p) = \frac{v_0 i_0}{v_i i_i} \quad (1.7)$$

Trong đó i_o là dòng điện mà bộ khuếch đại đưa tới tải (R_L), $i_o = v_o / R_L$, và i_i là dòng điện bộ khuếch đại rút ra từ nguồn tín hiệu. Hệ số khuếch đại dòng của bộ khuếch đại được xác định như sau:

$$\text{Hệ số khuếch đại dòng } (A_i) = \frac{i_o}{i_i} \quad (1.8)$$

Từ Phương trình 1.5 tới Phương trình 1.8 ta thấy rằng:

$$A_p = A_v A_i \quad (1.9)$$

1.4.5 Biểu thị hệ số khuếch đại theo Decibels

Các hệ số khuếch đại đã xác định bên trên là tỷ số của các đại lượng cùng thứ nguyên, kết quả là chúng sẽ thể hiện những số không thứ nguyên. Để nhấn mạnh vai trò của thứ nguyên, ta phải thể hiện V/V với hệ số khuếch đại điện áp, A/A với hệ số khuếch đại dòng, và W/W với hệ số khuếch đại công suất. Vì một số lý do khách quan, một trong số chúng là do lịch sử để lại, các kỹ sư điện tử thể hiện hệ số khuếch đại theo đơn vị đo loga. Đặc biệt hệ số khuếch đại điện áp A_v có thể được thể hiện như sau:

$$\text{Hệ số khuếch đại điện áp theo decibels} = 20 \log |A_v| \quad \text{dB}$$

Và hệ số khuếch đại dòng điện A_i có thể được thể hiện như sau:

$$\text{Hệ số khuếch đại dòng điện theo decibels} = 20 \log |A_i| \quad \text{dB}$$

Do công suất tỷ lệ với bình phương của điện áp (hay dòng điện), hệ số khuếch đại công suất có thể được biểu diễn theo dB như sau:

$$\text{Hệ số khuếch đại công suất theo decibels} = 10 \log |A_p| \quad \text{dB}$$

Giá trị tuyệt đối của hệ số khuếch đại dòng, áp được sử dụng vì trong một số trường hợp A_v hoặc A_i có thể là số âm. Một hệ số khuếch đại âm chỉ đơn giản nghĩa là bộ khuếch đại làm tín hiệu yếu đi. Chẳng hạn, một bộ khuếch đại có hệ số khuếch đại -20dB nghĩa là trong thực tế nó làm giảm tín hiệu đi 10 lần.

1.4.6 Những ứng dụng bộ khuếch đại công suất

Do công suất đưa tới tải là lớn hơn nhiều so với công suất được cung cấp từ nguồn tín hiệu, một câu hỏi đặt ra là công suất thêm vào đến từ nguồn nào. Câu trả lời tìm được thông qua việc quan sát thấy các bộ khuếch đại cần nguồn cung cấp một chiều cho quá trình hoạt động. Những nguồn một chiều này cung cấp công suất phụ đưa tới tải cũng như các công suất tiêu tán bên trong mạch điện của bộ khuếch đại (công suất này được chuyển đổi thành nhiệt). Trong Hình 1.11(a) ta đã không mô tả một cách rõ ràng những nguồn một chiều này.

Hình 1.12(a) mô tả một bộ khuếch đại trong đó yêu cầu hai nguồn một chiều: một mang giá trị dương V_1 và một mang giá trị âm V_2 . Bộ khuếch đại có hai cực, được gắn nhãn V^+ và V , để nối với nguồn một chiều. Để bộ khuếch đại hoạt động, đầu nối V^+ phải được nối với cực dương của nguồn một chiều điện áp V_1 và cực âm nối với điểm đất của mạch. Ngoài ra, đầu cực V phải được nối với cực âm của nguồn một chiều điện áp V_2 và cực dương của nguồn được nối với điểm đất của mạch.

Nếu dòng điện đặt vào từ nguồn dương được thể hiện là I_1 và từ nguồn âm là I_2 (xem Hình 1.12(a)) thì công suất một chiều đưa tới bộ khuếch đại là:

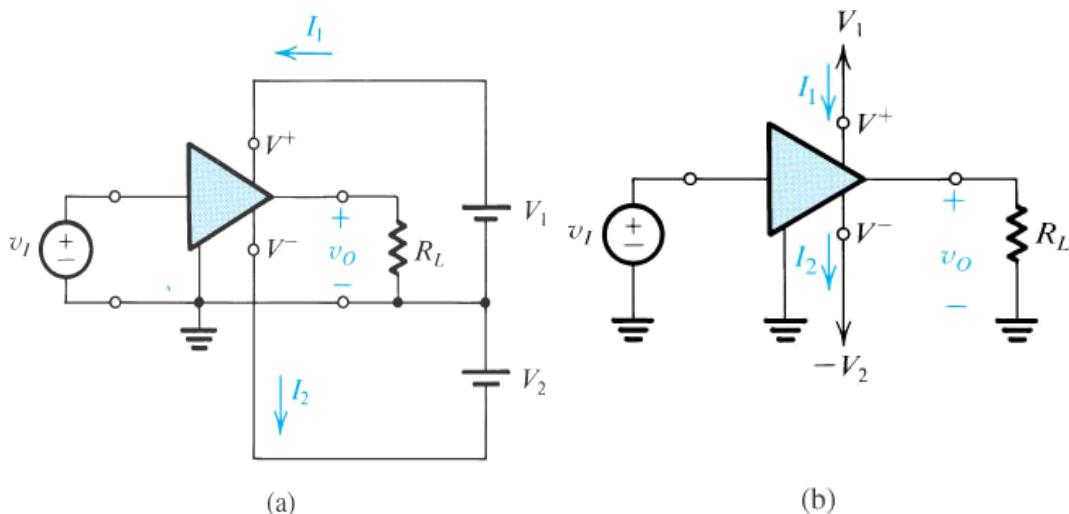
$$P_{dc} = V_1 I_1 + V_2 I_2$$

Nếu công suất tiêu thụ trong mạch khuếch đại được biểu thị $P_{tiêu tán}$, phương trình cân bằng công suất của bộ khuếch đại có thể được viết như sau:

$$P_{dc} + P_I = P_L + P_{tiêu tán}$$

Trong đó P_I là công suất đưa vào từ nguồn tín hiệu và P_L là công suất đưa tới tải. Vì công suất đưa vào từ nguồn tín hiệu thường có giá trị nhỏ, hiệu suất khuếch đại được định nghĩa như sau:

$$\eta \equiv \frac{P_L}{P_{dc}} \times 100 \quad (1.10)$$



Hình 1.12 Một bộ khuếch đại yêu cầu hai nguồn cung cấp một chiều (được thể hiện như những nguồn pin) cho quá trình hoạt động.

Hiệu suất khuếch đại là một thông số quan trọng đối với các bộ khuếch đại sử dụng công suất lớn. Những bộ khuếch đại này được gọi bộ khuếch đại công suất, ví dụ như chúng được sử dụng như các bộ khuếch đại đầu ra của các hệ thống dàn âm thanh.

Để đơn giản hóa những sơ đồ mạch, chúng ta sẽ chấp nhận những quy ước đã minh họa trong Hình 1.12(b). Ở đây mô tả đầu cực V^+ được nối với đầu mũi tên chỉ lên và đầu cực V được nối với đầu mũi tên chỉ hướng xuống. Điện áp tương đương được mô tả bên cạnh mỗi mũi tên. Chú ý rằng trong nhiều trường hợp ta sẽ không thể hiện một cách rõ ràng các liên kết với các bộ nguồn một chiều. Lưu ý rằng một số bộ khuếch đại chỉ yêu cầu một nguồn cung cấp.

Ví dụ 1.1

Quan sát một bộ khuếch đại làm việc với nguồn cung cấp $\pm 10V$. Cho một điện áp vào hình sin có đỉnh-đỉnh bằng $1V$, dòng điện $0.1mA$ và đưa một điện áp hình sin ở đầu ra có đỉnh-đỉnh $9V$ tới tải $1k\Omega$. Bộ khuếch đại sinh ra một dòng $9.5mA$ với cùng nguồn cung cấp. Xác định các hệ số khuếch đại: điện áp, dòng điện, công suất; Tính công suất sinh ra từ nguồn cấp một chiều, công suất tiêu tán trong bộ khuếch đại và hiệu suất bộ khuếch đại.

Lời giải:

Hệ số khuếch đại điện áp là:

$$A_v = \frac{9}{1} = 9V/V$$

Hoặc $A_v = 20\log 9 = 19.1dB$

Dòng điện tải là:

$$I_o = \frac{9V}{1k\Omega} = 9mA$$

Do đó, hệ số khuếch đại dòng điện là:

$$A_i = \frac{I_o}{I_i} = \frac{9}{0.1} = 90A/A (39.1dB)$$

Công suất vào, ra của bộ khuếch đại là:

$$P_L = V_{om} \cdot I_{om} = \frac{9}{\sqrt{2}} \cdot \frac{9}{\sqrt{2}} = 40.5mW$$

$$P_I = V_{irm} \cdot I_{irm} = \frac{1}{\sqrt{2}} \cdot \frac{0.1}{\sqrt{2}} = 0.05mW$$

Do đó, hệ số khuếch đại công suất là:

$$A_p = \frac{P_L}{P_I} = \frac{40.5}{0.05} = 810W/W$$

Hoặc $A_p = 10\log 810 = 29.1dB$

Công suất dòng một chiều cung cấp là:

$$P_{dc} = 10.9.5 + 10.9.5 = 190mW$$

Công suất tiêu tán là:

$$P_{tieu tan} = P_{dc} + P_I - P_L = 190 + 0.05 - 40.5 = 146.6mW$$

Hiệu suất bộ khuếch đại là:

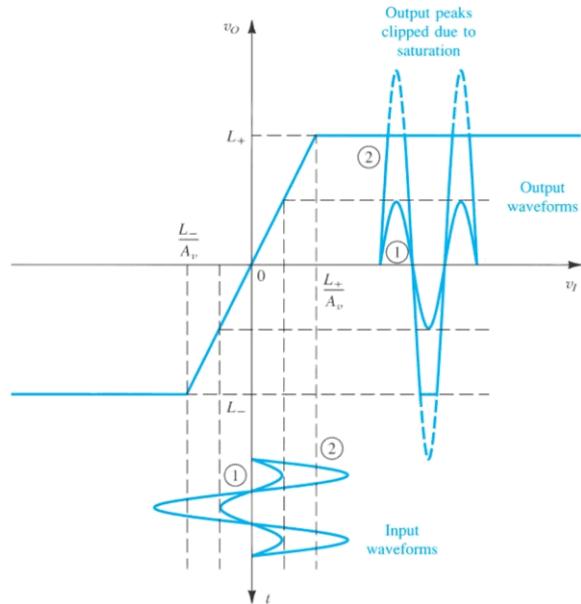
$$\eta = \frac{P_L}{P_{dc}} \cdot 100\% = \frac{40.5}{190} \cdot 100\% = 21.3\%$$

Từ ví dụ trên ta thấy rằng, bộ khuếch đại chuyển đổi năng lượng một chiều từ nguồn cung cấp thành nguồn tín hiệu đưa tới tải.

1.4.7 Trạng thái bão hòa bộ khuếch đại

Đặc tính truyền đạt bộ khuếch đại chỉ thực sự tuyến tính trong một khoảng giới hạn của điện áp vào ra. Với một bộ khuếch đại được hoạt động bởi nguồn cung cấp một chiều hai cực đối xứng, điện áp đầu ra không thể vượt quá một giới hạn dương của nguồn và không thể giảm quá một giới hạn âm của nguồn. Đặc tuyến truyền đạt đầu ra

của bộ khuếch đại được mô tả trong Hình 1.13 với mức bão hòa dương và bão hòa âm được thể hiện tương ứng là L_+ và L_- .



Hình 1.13 Đặc tính truyền đạt bộ khuếch đại có dạng tuyến tính trừ khi đầu ra bão hòa

Một trong hai mức trạng thái bão hòa thường nằm trong vòng một volt so với điện áp nguồn cung cấp tương ứng.

Rõ ràng, để tránh sự méo dạng sóng tín hiệu đầu ra, dải tín hiệu đầu vào phải được giữ nằm trong khoảng hoạt động tuyến tính.

$$\frac{L_-}{A_v} \leq v_1 \leq \frac{L_+}{A_v}$$

Hình 1.13 Mô tả hai dạng sóng đầu vào và dạng sóng tương ứng đầu ra. Ta chú ý rằng giá trị cực đại của dạng sóng đầu ra lớn hơn đã bị cắt bớt đi do sự bão hòa của bộ khuếch đại.

1.4.8 Đặc tính truyền đạt phi tuyến và sự phân cực

Ngoại trừ sự ảnh hưởng của trạng thái bão hòa đầu ra, các đặc tính truyền đạt bộ khuếch đại đã được giả thiết là tuyến tính hoàn toàn. Trong thực tế, đặc tính truyền đạt của các bộ khuếch đại có thể thể hiện tính phi tuyến với nhiều mức độ, tùy theo việc mạch khuếch đại phức tạp như thế nào và bao nhiêu cỗ gắng đã được sử dụng trong thiết kế để đảm bảo bộ khuếch đại hoạt động tuyến tính. Hãy quan sát ví dụ về đặc tính truyền đạt được mô tả trong Hình 1.14.

Đặc điểm này là đặc thù đối với các mạch khuếch đại được hoạt động bởi một nguồn cung cấp đơn (nguồn dương). Rõ ràng đặc tính truyền đạt là phi tuyến do việc hoạt động sử dụng nguồn cung cấp đơn không tập trung quanh điểm gốc. May mắn là

tồn tại một công nghệ đơn giản dùng để đạt được sự khuếch đại tuyến tính từ một bộ khuếch đại với đặc tính truyền đạt phi tuyến này.

Việc trước tiên của công nghệ này là phân cực mạch điện để nó hoạt động ở một điểm gần với chính giữa đặc tính truyền đạt. Điều này đạt được bằng cách đưa vào một điện áp V_I , như mô tả trong Hình 1.4. Theo đó, điểm làm việc được đặt tên là Q và điện áp một chiều tương ứng ở đầu ra là V_o . Điểm Q được biết đến như điểm phân cực một chiều hay đơn giản là điểm làm việc. Tín hiệu biến đổi theo thời gian được khuếch đại $v_i(t)$ được thêm vào điện áp phân cực một chiều V_I như mô tả trong Hình 1.14.

Bây giờ, tổng đầu vào tức thời là $v_I(t)$

$$v_I(t) = V_I + v_i(t)$$

Biến đổi quanh V_I , điểm làm việc tức thời dịch lên và dịch xuống trên đường cong truyền đạt quanh điểm làm việc một chiều Q . Theo cách này, ta có thể xác định được dạng sóng của tổng điện áp đầu ra tức thời $v_o(t)$. Có thể thấy rằng việc giữ cho biên độ $v_i(t)$ đủ nhỏ, thì điểm làm việc tức thời có thể được giữ trong một đoạn gần như tuyến tính của đường cong truyền đạt tập trung gần Q .

Điều này lần lượt dẫn đến phần biến đổi theo thời gian của đầu ra trở nên cân xứng với $v_i(t)$; đó là:

$$v_O(t) = V_O + v_o(t)$$

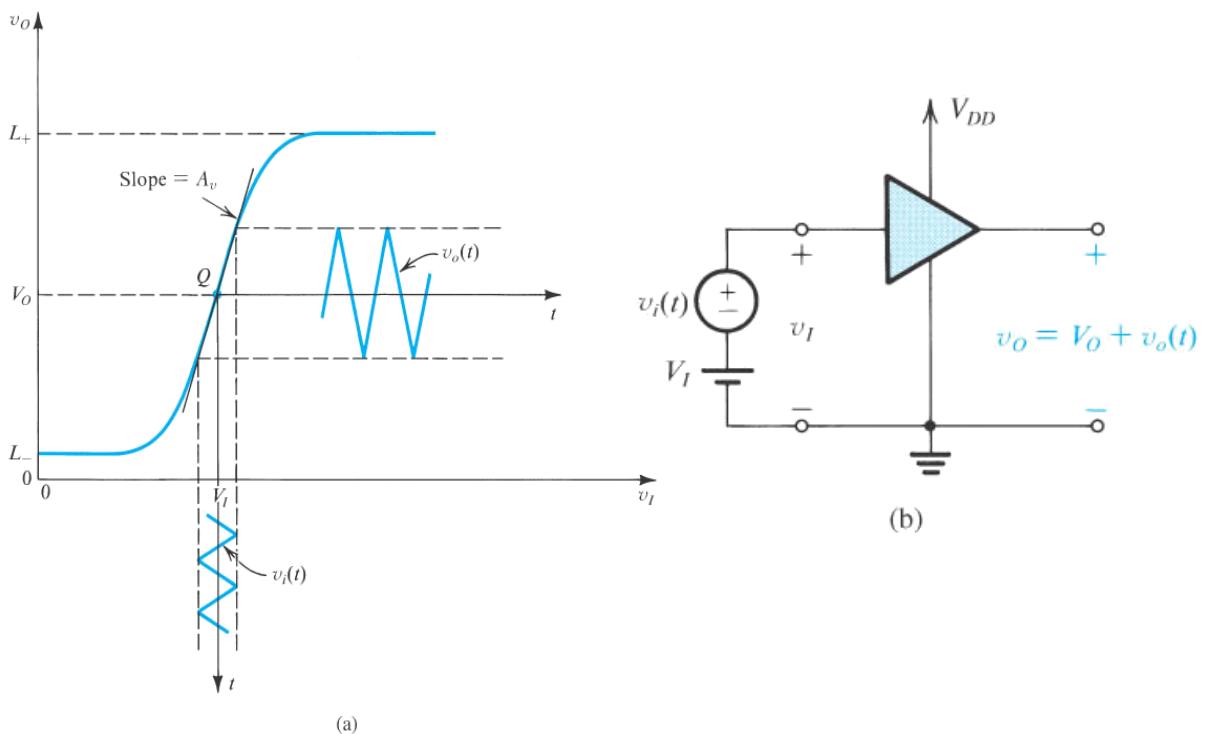
Với

$$v_o(t) = A_v v_i(t)$$

Trong đó A_v là hệ số góc của đoạn gần tuyến tính của đường cong truyền đạt, nghĩa là:

$$A_v = \left. \frac{dv_o}{dv_I} \right|_{at Q}$$

Theo cách này ta sẽ có được bộ khuếch đại tuyến tính. Tất nhiên, tồn tại một giới hạn: Tín hiệu đầu vào phải được giữ tương đối đủ nhỏ. Việc tăng độ lớn của tín hiệu vào có thể khiến cho quá trình làm việc trở nên không còn bị hạn chế trong đoạn gần như tuyến tính của đường cong truyền đạt nữa. Điều này lần lượt dẫn đến dạng sóng tín hiệu đầu ra bị méo dạng. Sự méo dạng phi tuyến này là không mong muốn: Tín hiệu đầu ra chứa đựng thông tin sai lệch thêm vào, nó không thuộc đầu vào. Ta sẽ sử dụng phương pháp phân cực này và phép lấy xấp xỉ tín hiệu nhỏ được ghép với nhau một cách thường xuyên trong thiết kế các bộ khuếch đại sử dụng tranzito.



Hình 1.14 (a) Đặc tính truyền đạt bộ khuếch đại thể hiện tính phi tuyến đáng kể.

(b) Phân cực cho bộ khuếch đại để bộ khuếch đại làm việc tuyến tính.

Khi một bộ khuếch đại được phân cực một cách thích hợp và tín hiệu đầu vào được giữ tương đối nhỏ, quá trình hoạt động được giả thiết là tuyến tính. Nhờ đó ta có thể ứng dụng phép phân tích mạch tuyến tính để phân tích quá trình gia công lên tín hiệu của mạch khuếch đại.

Ví dụ 1.2

Cho một bộ khuếch đại tranzito có đặc tính truyền đạt:

$$v_o = 10 - 10^{-11} \cdot e^{40v_I} \quad (1)$$

Áp dụng cho $v_I \geq 0$ và $v_o \geq 0.3V$. Tìm giới hạn L_+ , L_- và giá trị tương ứng của v_I . Ngoài ra, hãy tìm giá trị của điện áp phân cực một chiều v_I để có được $v_o = 5V$ và hệ số khuếch đại điện áp ở điểm làm việc tương ứng.

Lời giải:

Giới hạn L_- rõ ràng là $0.3V$. Giá trị tương ứng của v_I đạt được bằng cách thay thế $v_o = 0.3V$ vào Phương trình (1); đó là:

$$v_I = 0.690V$$

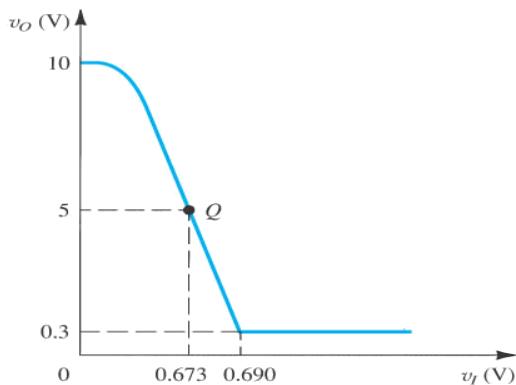
Giới hạn L_+ được xác định bởi $v_I = 0$ và do đó ta được

$$L_+ = 10 - 10^{-11} \approx 10V$$

Để phân cực cho linh kiện thì $v_o = 5V$ ta cần một đầu vào một chiều v_I mà giá trị của nó đạt được bằng cách thay $v_o = 5V$ vào Phương trình (1) để tìm ra :

$$v_I = 0.673V$$

Hệ số khuếch đại tại điểm làm việc được xác định bằng việc tính toán đạo hàm dv_o / dv_i với $V_I = 0.673V$ kết quả là: $A_V = -200V/V$



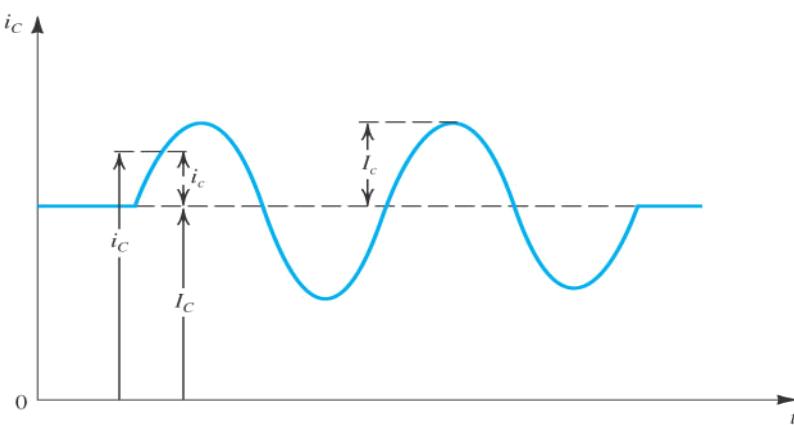
Hình vẽ phác thảo đặc tính truyền đạt của bộ khuếch đại trong Ví dụ 1.2. Chú ý rằng đây là bộ khuếch đại đảo (với hệ số khuếch đại âm)

Điều đó chỉ ra rằng bộ khuếch đại này là một bộ khuếch đại đảo, đầu ra vượt pha 180° so với đầu vào. Nếu bộ khuếch đại được phân cực một cách thích hợp và tín hiệu đầu vào được giữ tương đối nhỏ, thì quá trình hoạt động được giả thiết là tuyến tính.

1.4.9 Quy ước ký hiệu

Ta quy ước ký hiệu như sau: Các đại lượng tức thời được ký hiệu bằng chữ in thường với chỉ số dưới viết hoa, ví dụ như $i_A(t), v_C(t)$. Các đại lượng một chiều sẽ được ký hiệu bằng ký hiệu chữ in hoa với chỉ số dưới viết hoa, ví dụ như I_A, V_B . Điện áp nguồn (một chiều) được ký hiệu bằng chữ in hoa V với chỉ số dưới dòng là hai chữ in hoa, ví dụ như V_{DD} .

Một ký hiệu tương tự được sử dụng cho dòng điện một chiều được đưa ra từ nguồn cung cấp, ví dụ như I_{DD} . Cuối cùng, các đại lượng tín hiệu biến thiên theo thời gian sẽ được ký hiệu bằng một ký hiệu chữ in thường với chỉ số dưới viết thường, ví dụ, $i_A(t), v_C(t)$. Nếu tín hiệu là sóng sin, thì biên độ của nó được ký hiệu bằng chữ in hoa với chỉ số dưới in thường, ví dụ như, I_c, V_c . Ký hiệu này được minh họa trong Hình 1.16.



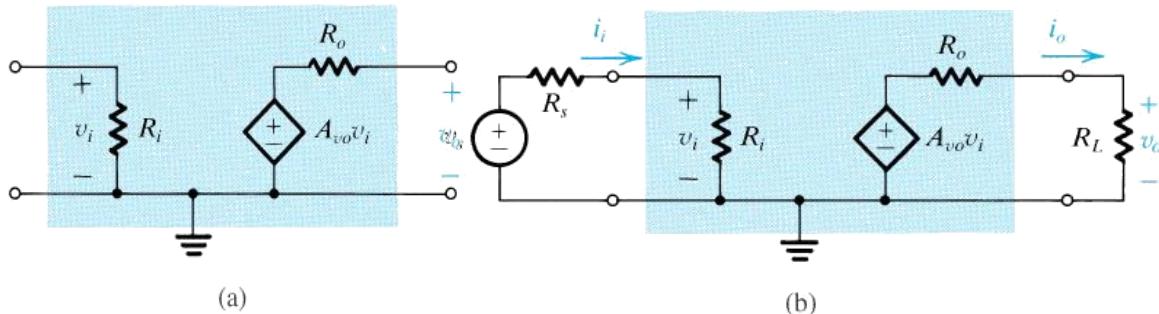
Hình 1.16 Quy ước các ký hiệu được sử dụng

1.5 Mô hình mạch điện bộ khuếch đại

Phần quan trọng trong nội dung môn học này là thiết kế các mạch khuếch đại sử dụng nhiều loại tranzito khác nhau. Những mạch này biến đổi một cách phức tạp từ những mạch sử dụng một tranzito tới những mạch dùng nhiều tranzito. Để có thể áp dụng mạch khuếch đại thu được như một khối xây dựng sẵn trong hệ thống, chúng ta phải đặc tính hóa, hoặc mô hình hóa trạng thái tại các đầu cực của nó. Trong phần này, ta sẽ nghiên cứu các mô hình bộ khuếch đại đơn giản. Những mô hình này được áp dụng mà không cần quan tâm đến mức độ phức tạp của mạch điện bên trong của bộ khuếch đại. Giá trị của các thông số mô hình có thể được xác định bởi phân tích mạch khuếch đại hay biểu diễn qua các đại lượng đo tại đầu cực bộ khuếch đại.

1.5.1 Bộ khuếch đại điện áp

Hình 1.17(a) mô tả một mô hình mạch điện cho khuếch đại điện áp. Mô hình bao gồm một điện áp vào, nguồn điện áp điều khiển có hệ số khuếch đại A_{vo} , trở kháng vào R_i là nguyên nhân khiến cho bộ khuếch đại sinh ra dòng vào từ nguồn tín hiệu và một trở kháng ra R_o là nguyên nhân dẫn đến sự thay đổi của điện áp ra để cung cấp dòng cho một tải.



Hình 1.17 (a) Mô hình mạch điện cho bộ khuếch đại điện áp.

(b) Bộ khuếch đại điện áp với nguồn tín hiệu đầu vào và tải

Hình 1.17(b) mô hình bộ khuếch đại được cung cấp bởi một nguồn tín hiệu điện v_s có trở kháng R_s và kết nối ở đầu ra một tải trở kháng R_L . Trở kháng đầu ra khác không R_o dẫn đến chỉ một phần của $A_{vo}v_i$ xuất hiện ở đầu ra. Sử dụng luật phân áp ta thu được

$$v_o = A_{vo}v_i \frac{R_L}{R_L + R_o}$$

Do đó hệ số khuếch đại được tính

$$A_v \equiv \frac{v_o}{v_i} = A_{vo} \frac{R_L}{R_L + R_o} \quad (1.12)$$

Theo phương trình 1.12, để không làm tổn hao hệ số khuếch đại khi mắc đầu ra bộ khuếch đại với tải, trở kháng ra R_o nên nhỏ hơn nhiều so với R_L . Nói cách khác, với một R_L nhất định cho trước, ta phải thiết kế bộ khuếch đại sao cho R_o của nó nhỏ hơn nhiều R_L . Hơn nữa, có những ứng dụng mà trong đó R_L biến đổi trong một phạm vi nhất định. Để giữ điện áp ra v_o có thể gần như ổn định, bộ khuếch đại được thiết kế với R_o nhỏ hơn nhiều so với giá trị nhỏ nhất của R_L . Một bộ khuếch đại điện áp lý tưởng là bộ khuếch đại có $R_o = 0$. Phương trình (1.12) cũng mô tả cho $R_L = \infty$, $A_v = A_{vo}$. Do đó A_{vo} là hệ số khuếch đại điện áp của bộ khuếch đại không tải, hay hệ số khuếch đại điện áp hở mạch.

Trong việc xác định hệ số khuếch đại điện áp của bộ khuếch đại, cần phải xác định giá trị của trở kháng tải ở đó hệ số khuếch đại được đo đạc hoặc tính toán. Nếu trở kháng tải không được định rõ, ta thường giả thiết rằng hệ số khuếch đại cho trước là hệ số khuếch đại hở mạch A_{vo} .

Trở kháng vào xác định R_i gây ra một tác động phân áp khác lên đầu vào, với kết quả là chỉ một phần tín hiệu nguồn v_s thực sự được đưa tới điện cực vào của bộ khuếch đại; đó là :

$$v_i = v_s \frac{R_i}{R_i + R_s} \quad (1.13)$$

Theo phương trình 1.13, để không làm tổn hao đáng kể tín hiệu vào khi nối nguồn tín hiệu với đầu vào bộ khuếch đại, bộ khuếch đại phải được thiết kế để có trở kháng vào R_i lớn hơn rất nhiều so với trở kháng nguồn tín hiệu, $R_i >> R_s$. Hơn nữa, có nhiều ứng dụng trong đó trở kháng nguồn biến đổi trong một phạm vi nhất định. Để tối thiểu hóa ảnh hưởng của sự biến đổi này lên giá trị của tín hiệu xuất hiện ở đầu vào của bộ khuếch đại, quá trình thiết kế bộ khuếch đại phải đảm bảo rằng R_i phải lớn hơn nhiều so với giá trị lớn nhất của R_s . Một bộ khuếch đại điện áp lý tưởng là một bộ khuếch đại có $R_i = \infty$. Trong trường hợp lý tưởng này cả hệ số khuếch đại dòng và khuếch đại công suất đều có giá trị là vô cùng.

Hệ số khuếch đại điện áp tổng (v_o / v_s) có thể được tìm bằng kết hợp Phương trình (1.12) và (1.13),

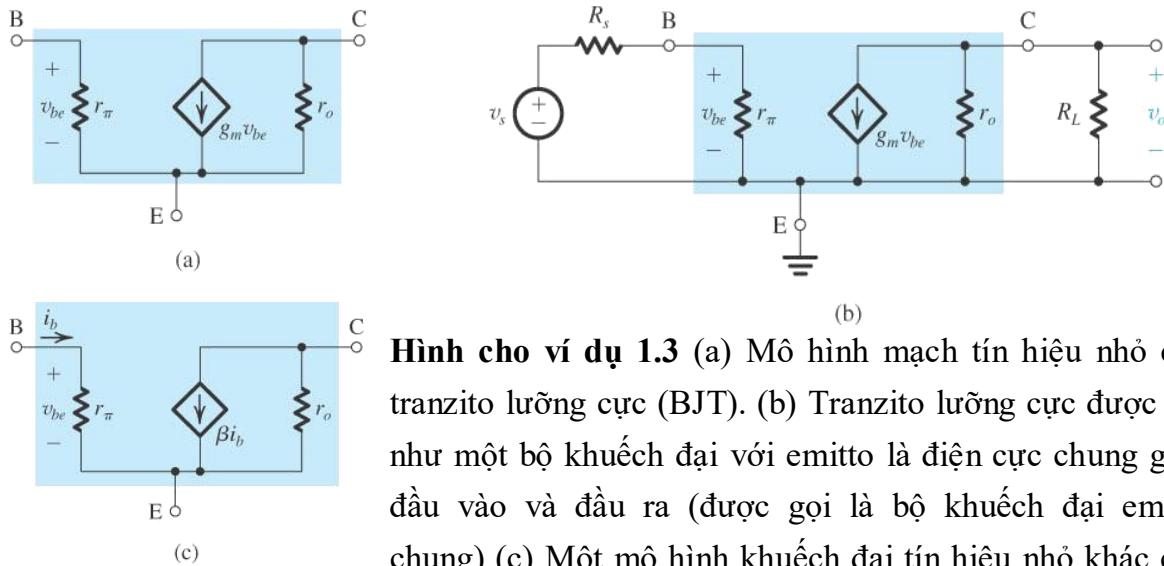
$$\frac{v_o}{v_s} = A_{vo} \frac{R_i}{R_i + R_s} \frac{R_L}{R_L + R_o}$$

Trong một số trường hợp, điều cần quan tâm không phải hệ số khuếch đại điện áp mà là một hệ số khuếch đại công suất đáng kể. Ví dụ, tín hiệu từ nguồn có thể có một điện áp đáng kể nhưng trở kháng nguồn lại có giá trị lớn hơn nhiều so với trở

kháng tải. Khi kết nối trực tiếp nguồn với tải sẽ dẫn đến sự suy giảm đáng kể năng lượng tín hiệu. Trong trường hợp này, cần có một bộ khuếch đại với trở kháng vào cao (lớn hơn nhiều so với trở kháng nguồn) và trở kháng ra thấp (nhỏ hơn nhiều so với trở kháng tải) nhưng với một hệ số khuếch đại điện áp vừa phải (thậm chí hệ số khuếch đại điện áp bằng một). Bộ khuếch đại này được xem như một bộ khuếch đại đệm.

Ví dụ 1.3

Tranzito lưỡng cực (BJT) là một linh kiện 3 cực mà khi được phân cực một chiều và hoạt động với tín hiệu nhỏ có thể được mô hình hóa bởi mạch tuyến tính mô tả trong Ví dụ 1.4(a). Ba cực là gốc (B), phát (E), góp (C). Trung tâm của mô hình là một bộ khuếch đại hổ dãn biểu thị bởi một trở kháng vào giữa B và E (ký hiệu là r_π), một hổ dãn ngắn mạch $g_m v_{be}$ và một trở kháng ra r_o .



Hình cho ví dụ 1.3 (a) Mô hình mạch tín hiệu nhỏ cho tranzito lưỡng cực (BJT). (b) Tranzito lưỡng cực được nối như một bộ khuếch đại với emitto là điện cực chung giữa đầu vào và đầu ra (được gọi là bộ khuếch đại emitto chung) (c) Một mô hình khuếch đại tín hiệu nhỏ khác cho BJT.

a) Xét mô hình bộ khuếch đại như ví dụ 1.4 (b) mô tả một bộ khuếch đại tranzito được biết đến như một mạch emitter chung hay mạch emitter nối đất. Từ biểu thức về hệ số khuếch đại điện áp v_o/v_s và đánh giá độ lớn của nó trong trường hợp $R_s = 5k\Omega$, $r_\pi = 2,5k\Omega$, $g_m = 40mA/V$, $r_o = 100k\Omega$, $R_L = 5k\Omega$. Hỏi giá trị hệ số khuếch đại bằng bao nhiêu nếu ảnh hưởng của r_o là không đáng kể?

b) Một mô hình khác với tranzito trong đó bộ khuếch đại dòng điện được sử dụng như bộ khuếch đại hổ dãn được mô tả trong hình ví dụ 1.4 (c). Hỏi hệ số khuếch đại dòng ngắn mạch bằng bao nhiêu? Đưa ra cả biểu thức và giá trị

Lời giải:

a) Sử dụng luật phân áp, ta xác định được tỷ lệ của tín hiệu vào xuất hiện ở đầu vào bộ khuếch đại như sau:

$$v_{be} = v_s \frac{r_\pi}{r_\pi + R_s}$$

Tiếp theo ta xác định điện áp đầu ra v_o thông qua nhân dòng điện ($g_m v_{be}$) với trở kháng $R_L \| r_0$,

$$v_o = -g_m v_{be} (R_L \| r_0)$$

Thay vào ta có: $\frac{v_o}{v_s} = -\frac{r_\pi}{r_\pi + R_s} g_m (R_L \| r_0)$

Ta thấy rằng hệ số khuếch đại âm, thể hiện rằng đây là bộ khuếch đại đảo. Với những giá trị linh kiện cho trước,

$$\frac{v_o}{v_s} = -\frac{2,5}{2,5+5} 40.(5\|100) = -63.5V/V$$

Bỏ qua ảnh hưởng của r_o , ta thu được

$$\frac{v_o}{v_s} \approx -\frac{2,5}{2,5+5} 40.5 = -66.7V/V$$

Gần bằng với giá trị thu được khi tính cả r_o . Điều này là không ngạc nhiên vì $R_L \| r_0$.

b) Cho mô hình trong (c) tương đương với mô hình trong (a) nên ta có:

$$\beta i_b = g_m v_{be}$$

Nhưng $i_b = v_{be} / r_\pi$; do đó :

$$\beta = g_m r_\pi = 40mA/V \cdot 2,5k\Omega = 100A/A$$

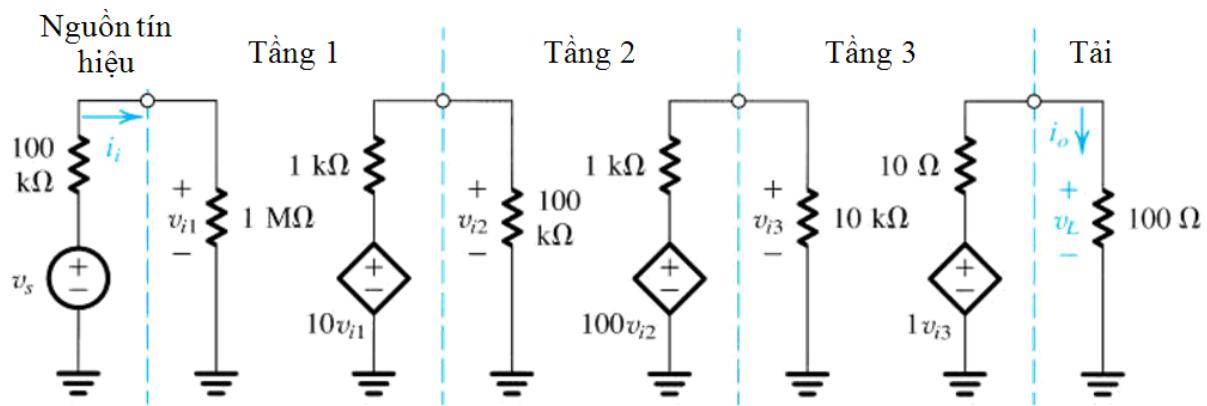
1.5.2 Bộ khuếch đại ghép tầng

Để đáp ứng những đặc điểm kỹ thuật của bộ khuếch đại cho trước, nảy sinh yêu cầu phải thiết kế một bộ khuếch đại gồm hai hay nhiều tầng. Các tầng thường không đồng nhất với nhau. Đúng hơn, mỗi tầng được thiết kế để đáp ứng một mục đích đặc biệt. Ví dụ, tầng đầu tiên thường bắt buộc phải có trở kháng vào lớn và tầng cuối cùng được thiết kế để có trở kháng ra nhỏ.

Ví dụ 1.4

Để đáp ứng hiệu quả của bộ khuếch đại cho trước, yêu cầu phải thiết kế một bộ khuếch đại gồm hai hay nhiều tầng. Các tầng thường không đồng nhất với nhau; đúng hơn mỗi tầng được thiết kế để đáp ứng một mục đích cụ thể. Ví dụ, tầng đầu tiên thường bắt buộc phải có trở kháng vào lớn và tầng cuối cùng được thiết kế để có trở kháng ra nhỏ. Để minh họa sự phân tích và thiết kế của các bộ khuếch đại ghép tầng, ta quan sát ví dụ thực tế như hình sau:

Hãy tìm hệ số khuếch đại điện áp tổng v_L/v_s , hệ số khuếch đại dòng và khuếch đại công suất.



Hình vẽ cho ví dụ 1.3

Lời giải:

Phản tín hiệu từ nguồn đặt vào đầu vào của bộ khuếch đại được xác định nhờ sử dụng luật phân áp ở đầu vào, như sau:

$$\frac{v_{i1}}{v_s} = \frac{1M\Omega}{1M\Omega + 100k\Omega} = 0,909V/V$$

Hệ số khuếch đại điện áp của tầng đầu tiên được xác định nhờ coi trở kháng vào của tầng thứ hai như tải của tầng thứ nhất; đó là:

$$A_{v1} = \frac{v_{i2}}{v_{i1}} = 10 \frac{100k\Omega}{100k\Omega + 1k\Omega} = 9,9V/V$$

Tương tự hệ số khuếch đại điện áp của tầng thứ hai được xác định nhờ coi trở kháng vào của tầng thứ ba như tải của tầng thứ hai:

$$A_{v2} = \frac{v_{i3}}{v_{i2}} = 100 \frac{10k\Omega}{10k\Omega + 1k\Omega} = 90,9V/V$$

Cuối cùng, hệ số khuếch đại điện áp của tầng ra như sau:

$$A_{v3} = \frac{v_L}{v_{i3}} = 1 \frac{100\Omega}{100\Omega + 10\Omega} = 0,909V/V$$

Bây giờ hệ số khuếch đại tổng của ba tầng có thể được xác định:

$$A_v = \frac{v_L}{v_{i1}} = A_{v1} A_{v2} A_{v3} 818V/V \text{ hay } 58,3dB$$

Để tìm hệ số khuếch đại điện áp từ nguồn tới tải, ta nhân A_v với hệ số thế hiện độ suy giảm hệ số khuếch đại ở đầu vào; tức là:

$$\frac{v_L}{v_{i1}} = \frac{v_L}{v_{i1}} \frac{v_{i1}}{v_s} = A_v \frac{v_{i1}}{v_s} = 818 \cdot 0,909 = 743,6 \text{ hay } 57,4dB$$

Hệ số khuếch đại dòng được xác định như sau:

$$A_i = \frac{i_o}{i_i} = \frac{v_L / 100\Omega}{v_i / 1M\Omega} = 10^4 A_v = 8,18 \cdot 10^6 A/A \text{ hay } 138,3dB$$

Hệ số khuếch đại công suất được xác định từ

$$A_p = \frac{P_L}{P_I} = \frac{v_L i_o}{v_i i_i} = A_v A_i = 818.8.18.10^6 = 66,9.10^8 \text{ W/W hay } 93,8dB$$

Chú ý: $A_p(dB) = \frac{1}{2}[A_v(dB) + A_i(dB)]$

1.5.3 Những dạng khuếch đại khác

Trong sơ đồ thiết kế của một hệ thống điện tử, tín hiệu mong muốn dù có ở đầu vào hệ thống, ở tầng trung gian hay ở đầu ra thì đều có thể là điện áp hay dòng điện. Ví dụ, một số bộ chuyển đổi có trở kháng ra lớn và có thể được mô hình hóa một cách thích hợp hơn như là một nguồn dòng điện. Tương tự, trên thực tế có những ứng dụng trong đó dòng đầu ra được quan tâm nhiều hơn điện áp đầu ra. Do đó, mặc dù khuếch đại điện áp là phổ biến nhất thì bộ khuếch đại đã xem xét bên trên chỉ là một trong bốn dạng khuếch đại có thể thực hiện được. Ba dạng còn lại là các bộ khuếch đại dòng, khuếch đại chuyển đổi điện áp và khuếch đại chuyển đổi dòng điện. Bảng 1.1 mô tả bốn dạng khuếch đại, mô hình mạch điện của chúng, dẫn giải về thông số khuếch đại và giá trị lý tưởng của trở kháng đầu vào và đầu ra của chúng.

1.5.4 Mối quan hệ giữa các mô hình của bốn bộ khuếch đại

Mặc dù với mỗi bộ khuếch đại cho trước sẽ có một dạng trong bốn mô hình trong Bảng 1.1 là đặc biệt thích hợp nhất, bất cứ dạng nào trong bốn dạng đều có thể được sử dụng để mô hình hóa bộ khuếch đại. Trong thực tế, những mối quan hệ đơn giản có thể xuất phát từ liên hệ giữa các thông số của nhiều mô hình. Ví dụ, hệ số khuếch đại hở mạch A_{vo} có thể được liên hệ với hệ số khuếch đại dòng ngắn mạch A_{is} như sau: Điện áp đầu ra hở mạch sinh ra bởi mô hình bộ khuếch đại điện áp trong Bảng 1.1 là $A_{vo} v_i$. Mô hình khuếch đại dòng điện sinh ra một điện áp ra hở mạch bằng $A_{is} i_i R_o$. Cân bằng hai giá trị này và chú ý rằng $i_i = v_i / R_i$ ta được:

$$A_{vo} = A_{is} \left(\frac{R_o}{R_i} \right) \quad (1.14)$$

Loại	Mạch mẫu	Thông số khuếch đại	Đặc tính lý tưởng
Khuếch đại điện áp		Hệ số khuếch đại điện áp khi hở mạch đầu ra $A_{vo} = \frac{v_o}{v_i} \Big _{i_o=0}$ (V/V)	$R_i = \infty$ $R_0 = 0$
Khuếch đại dòng điện		Hệ số khuếch đại dòng điện khi ngắn mạch đầu ra $A_{is} = \frac{i_o}{i_i} \Big _{v_o=0}$ (A/A)	$R_i = 0$ $R_0 = \infty$
Khuếch đại chuyển đổi điện áp		Khi ngắn mạch đầu ra $G_m = \frac{i_o}{v_i} \Big _{v_o=0}$ (A/V)	$R_i = \infty$ $R_0 = \infty$
Khuếch đại chuyển đổi dòng điện		Khi hở mạch đầu ra $R_m = \frac{v_o}{i_i} \Big _{i_o=0}$ (V/A)	$R_i = 0$ $R_0 = 0$

Bảng 1.1 Bốn mô hình mạch khuếch đại

Tương tự, ta có thể thể hiện rằng

$$A_{vo} = G_m R_o \quad (1.15)$$

và

$$A_{vo} = \frac{R_m}{R_i} \quad (1.16)$$

Biểu thức trong Phương trình (1.14) tới (1.16) có thể được sử dụng để liên hệ hai thông số khuếch đại bất kỳ A_{vo} , A_{is} , G_m và R_m .

Từ những mô hình khuếch đại trên đưa ra Bảng 1.1, chúng ta thấy rằng trở kháng vào R_i của bộ khuếch đại có thể được xác định nhờ đặt một điện áp v_i và đo (hoặc tính toán) dòng đầu vào i_i ; đó là $R_i = v_i/i_i$. Trở kháng đầu ra được xác định theo tỷ lệ điện áp ra hở mạch với dòng ngắn mạch đầu ra.

Nói cách khác, trở kháng ra có thể được xác định bằng cách loại bỏ đi nguồn tín hiệu đầu vào (v_i và i_i sẽ đều bằng 0) và đưa một tín hiệu điện áp v_x tới đầu ra của bộ khuếch đại. Nếu ta ký hiệu dòng điện do v_x tạo ra ở đầu ra là i_x (i_x ngược chiều với i_o), thì $R_o = v_x/i_x$.

Cho dù những phương pháp này đúng về lý thuyết, trong thực tiễn những phương pháp đặc biệt hơn được sử dụng trong đo đặc R_i và R_o .

Các mô hình bộ khuếch đại được xem xét trên là một chiều; theo đó, đường truyền của tín hiệu theo một hướng duy nhất, từ đầu vào tới đầu ra. Hầu hết các bộ khuếch đại thực tế tồn tại sự truyền dẫn ngược, đây là điều không mong muốn tuy nhiên vẫn phải mô hình hóa.

1.6 Đáp ứng tần số của bộ khuếch đại

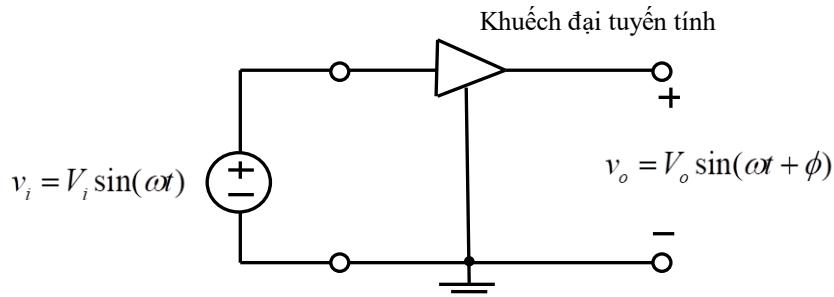
Từ Phần 1.2 ta đã biết rằng tín hiệu đầu vào tới bộ khuếch đại có thể luôn luôn được thể hiện như là tổng của các tín hiệu hình sin. Theo đó một tính chất quan trọng của bộ khuếch đại chính là đáp ứng của nó với các đầu vào hình sin có tần số khác nhau. Tính chất này của đặc tính bộ khuếch đại thể được biết đến như đáp ứng tần số bộ khuếch đại.

1.6.1 Phép xác định đáp ứng tần số bộ khuếch đại

Chúng ta sẽ giới thiệu về chủ đề của đáp ứng tần số bộ khuếch đại bằng việc thể hiện rằng làm thế nào có thể xác định được chúng. Hình 1.20 mô tả một bộ khuếch đại điện áp tuyến tính có đầu vào là một tín hiệu sóng sin có biên độ V_i và tần số ω .

Như hình 1.20 đã thể hiện, tín hiệu được đo ở đầu ra bộ khuếch đại có dạng hình sin với tần số giống hệt tần số ω . Đây là một điểm quan trọng để chú ý rằng: Bất cứ khi nào một tín hiệu sóng sin được cung cấp cho một mạch tuyến tính, đầu ra cuối cùng có dạng hình sin cùng tần số với đầu vào. Trong thực tế, sóng sin là tín hiệu duy nhất, mà hình dạng của nó không thay đổi khi đi qua một mạch tuyến tính. Tuy nhiên theo đó khi quan sát ta thấy hình sin đầu ra nói chung là sẽ có sự khác biệt về biên độ

và sẽ dịch pha so với đầu vào. Tỉ lệ biên độ của hình sin đầu ra (V_o) so với biên độ của hình sin đầu vào (V_i) là độ lớn của hệ số khuếch đại (hay hệ số truyền) ở tần số thử ω .



Hình 1.20 Phép xác định đáp ứng tần số của bộ khuếch đại tuyến tính. Ở tần số thử ω , hệ số khuếch đại được miêu tả bởi độ lớn $\frac{V_o}{V_i}$ và góc pha ϕ

Nếu chúng ta thể hiện hệ số truyền của bộ khuếch đại, hay hàm truyền như nó thường được biết đến, là $T(\omega)$, thì:

$$|T(\omega)| = \frac{V_o}{V_i}$$

$$\angle T(\omega) = \phi$$

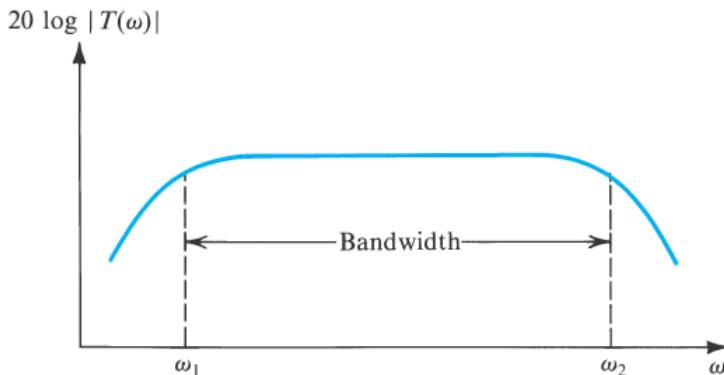
Dáp ứng của bộ khuếch đại đối với sóng sin có tần số ω được mô tả đầy đủ bởi $|T(\omega)|$ và $\angle T(\omega)$. Bây giờ, để thu được toàn bộ đáp ứng tần số của bộ khuếch đại ta chỉ cần thay đổi tần số của sóng sin đầu vào và đo giá trị mới của $|T|$ và $\angle T$. Kết quả cuối cùng sẽ là một bảng hay một đồ thị của độ lớn hệ số khuếch đại $[|T(\omega)|]$ so với tần số và một bảng hay đồ thị của góc pha $[\angle T(\omega)]$ so với tần số.

Cả hai đồ thị này cùng nhau tạo thành đáp ứng tần số của bộ khuếch đại; đồ thị đầu tiên được biết đến như đáp ứng biên độ hay độ lớn, đồ thị thứ hai là đáp ứng pha. Cuối cùng, chúng ta nên chú ý rằng trên thực tế thì độ lớn truyền thường được biểu diễn bằng decibel và do đó chúng ta vẽ đồ thị $20\log|T(\omega)|$ so với tần số.

1.6.2 Dải thông của bộ khuếch đại

Hình 1.21 mô tả đáp ứng tần số của một bộ khuếch đại. Nó mô tả rằng hệ số khuếch đại hầu hết là cố định trong một khoảng tần số rộng giữa ω_1 và ω_2 . Những tín hiệu có tần số dưới ω_1 và trên ω_2 sẽ có hệ số khuếch đại thấp và hệ số khuếch đại giảm khi ta di chuyển ra xa ω_1 và ω_2 . Dải tần số mà hệ số khuếch đại của bộ khuếch đại trong dải tần số này thường là cố định với một số cụ thể và sai khác trong phạm vi vài decibel (thường là 3dB) được gọi là băng thông của bộ khuếch đại. Thông thường bộ khuếch đại được thiết kế để sao cho băng thông của nó trùng với phổ của tín hiệu cần khuếch đại. Nếu không bộ khuếch đại sẽ làm méo dạng phổ tần số của tín hiệu vào,

những thành phần khác nhau của tín hiệu vào sẽ được khuếch đại với độ lớn khác nhau.



Hình 1.21 Đáp ứng biên độ đặc trưng của một bộ khuếch đại. $|T(\omega)|$ là độ lớn của hàm truyền bộ khuếch đại, chính là tỷ lệ của đầu ra $|V_o(\omega)|$ và đầu vào $|V_i(\omega)|$

1.6.3 Đánh giá đáp ứng tần số của các bộ khuếch đại

Để xác định đáp ứng tần số của bộ khuếch đại trước tiên phải phân tích mô hình mạch khuếch đại tương đương, tính toán tất cả các thành phần phản kháng. Việc phân tích mạch bắt đầu như thường lệ thông thường thêm vào các cuộn dây và tụ điện được mô tả bởi điện kháng của nó. Một cuộn dây L có điện kháng hoặc trở kháng $j\omega L$, và một tụ điện C có điện dung hoặc dung kháng $1/j\omega C$ hay tương đương với một điện nạp hoặc điện dẫn $j\omega C$. Do đó trong quá trình phân tích vùng tần số ta cần đề cập tới trở kháng và điện dẫn. Kết quả của việc phân tích là hàm truyền bộ khuếch đại $T(\omega)$:

$$T(\omega) = \frac{V_o(\omega)}{V_i(\omega)}$$

Trong đó $V_i(\omega)$ và $V_o(\omega)$ theo thứ tự thể hiện tín hiệu đầu vào và đầu ra, $T(\omega)$ là thường là một hàm phức có độ lớn $|T(\omega)|$ cho ta đáp ứng biên độ tần số của bộ khuếch đại. Góc pha $T(\omega)$ cho ta đáp ứng pha của bộ khuếch đại.

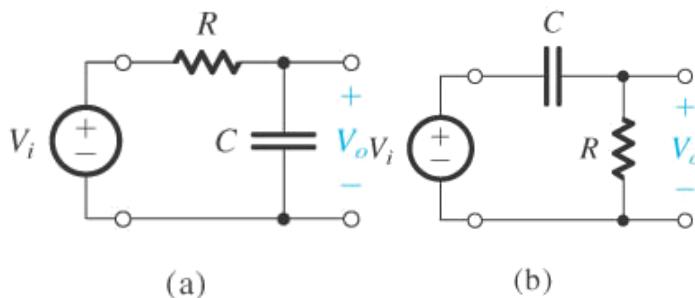
Trong quá trình phân tích một mạch điện để xác định đáp ứng tần số của nó, thao tác đại số có thể được đơn giản hóa một cách đáng kể bằng cách sử dụng biến đổi tần số phức s . Dưới dạng s , trở kháng của cuộn dây L là sL và của tụ điện C là $1/sC$. Việc thay thế phần tử tích cực bằng trở kháng của chúng và thực hiện phân tích các mạch tiêu chuẩn cho phép ta thu được hàm truyền $T(s)$ như sau:

$$T(s) = \frac{V_o(s)}{V_i(s)}$$

Sau đó, ta thay thế s bằng $j\omega$ để xác định hàm truyền đối với tần số vật lý, $T(j\omega)$. Chú ý rằng $T(\omega)$ có cùng hàm truyền với $T(j\omega)$ bên trên; thêm vào đó j được tính đến để nhấn mạnh rằng $T(j\omega)$ thu được nhờ thay thế s trong $T(s)$ bằng $j\omega$.

1.6.4 Hệ thống STC (hằng số thời gian đơn)

Trong phân tích các mạch khuếch đại, để xác định đáp ứng tần số của chúng, ta cần nghiên cứu về đáp ứng tần số của hệ thống STC. Hệ thống STC là hệ thống được tổng hợp hay có thể tối giản gồm một thành phần phản kháng (cuộn dây hoặc tụ điện) và một trở kháng. Ví dụ được thể hiện trong Hình 1.22. Một hệ thống STC được tạo thành từ một cuộn dây L và một trở kháng R có hằng số thời gian $\tau = L/R$. Hằng số thời gian τ của hệ thống STC kết hợp từ tụ điện C và trở kháng R được cho bởi $\tau = R.C$.



Hình 1.22 Hai ví dụ về hệ STC: (a) hệ thống thấp (b) hệ thống cao

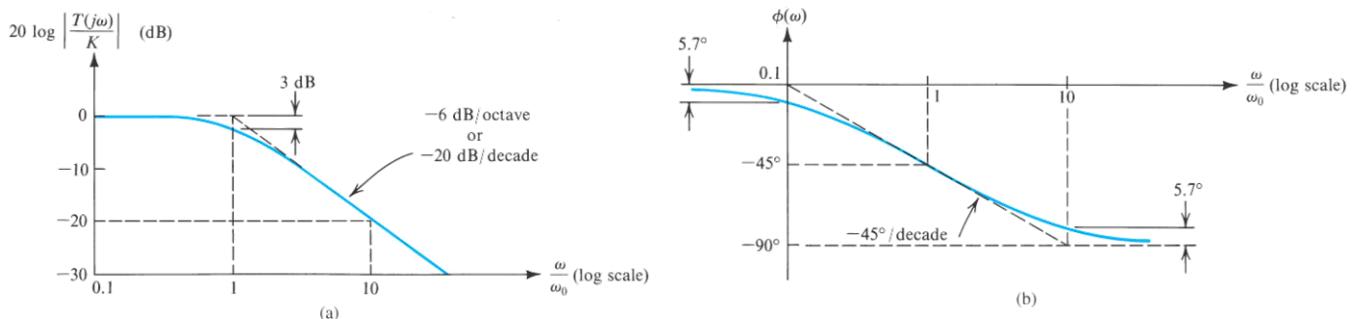
	Thông thấp (LP)	Thông Cao (HP)
Hàm truyền $T(s)$	$\frac{K}{1+(s/\omega_o)}$	$\frac{K.s}{s+\omega_o}$
Hàm truyền trong miền tần số $T(j\omega)$	$\frac{K}{1+j(\omega/\omega_o)}$	$\frac{K}{1-j(\omega_o/\omega)}$
Đáp ứng biên độ $ T(j\omega) $	$\frac{ K }{\sqrt{1+(\omega/\omega_o)^2}}$	$\frac{ K }{\sqrt{1+(\omega_o/\omega)^2}}$
Đáp ứng pha $\angle T(j\omega)$		

	$-\tan^{-1}(\omega / \omega_o)$	$\tan^{-1}(\omega_o / \omega)$
Hệ số truyền với $\omega = 0$	K	0
Hệ số truyền với $\omega = \infty$	0	K
Tần số 3-dB	$\omega_o = 1/\tau$; τ : Hằng số thời gian $\tau = C.R$ hoặc L/R	
Đồ thị Bode	Hình 1.23	Hình 1.24

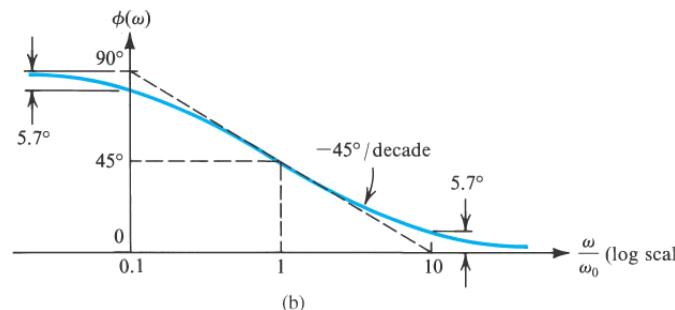
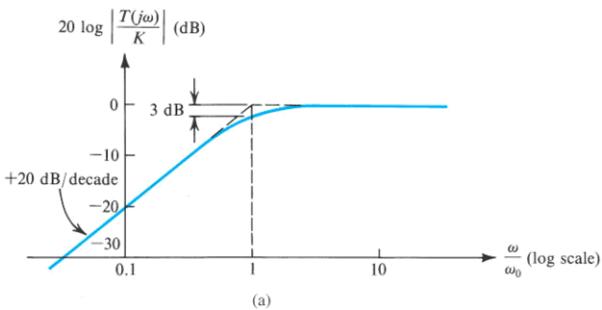
Bảng 1.2 Đáp ứng tần số của hệ STC

Hầu hết các hệ STC có thể được chia thành hai loại, thông thấp (LP) và thông cao (HP), với mỗi loại trên việc thể hiện một cách rõ ràng những đáp ứng khác nhau đối với tín hiệu. Ví dụ như, hệ STP mô tả trong Hình 1.22(a) là dạng thông thấp và trong Hình 1.22(b) là dạng thông cao. Để thấy hiểu rõ sự phân loại này, ta xem hàm truyền của từng mạch này được biểu diễn như độ phân áp, với bộ chia là sự kết hợp của một trở kháng và một tụ điện. Dựa vào sự thay đổi trở kháng của tụ điện theo tần số ($Z = 1/j\omega C$) ta thấy rằng hệ số truyền của mạch điện trong Hình 1.22(a) sẽ giảm theo tần số và tiến tới 0 khi ω tiến tới ∞ . Do vậy, mạch điện trong Hình 1.22(a) hoạt động như một bộ lọc thông thấp; Mạch này cho những đầu vào có sóng sin tần số thấp đi qua với việc ít hoặc gần như không làm yếu đi tín hiệu đó (ở $\omega = 0$, hệ số truyền là hằng số) nhưng lại làm yếu đi các hình sin cao tần. Mạch điện trong Hình 1.22(b) thì ngược lại; hệ số truyền của nó là hằng số với $\omega = \infty$ và giảm khi ω nhỏ dần, và bằng 0 khi $\omega = 0$, mạch điện đó sẽ hoạt động như một bộ lọc thông cao.

Bảng 1. tóm tắt các kết quả đáp ứng tần số cho hệ thống STC của cả hai dạng. Ngoài ra mô tả về đáp ứng độ lớn và đáp ứng pha được thể hiện trong Hình 1.23 và 1.24



Hình 1.23 (a) Đáp ứng độ lớn và (b) đáp ứng pha của hệ thống STC dạng thông thấp



Hình 1.24 (a) Đáp ứng độ lớn và (b) đáp ứng pha của hệ thống STC dạng thông cao

Những đồ thị về đáp ứng tần số trên được gọi là đồ thị Bode và tần số 3-dB (ω_0) cũng được gọi là tần số cắt.

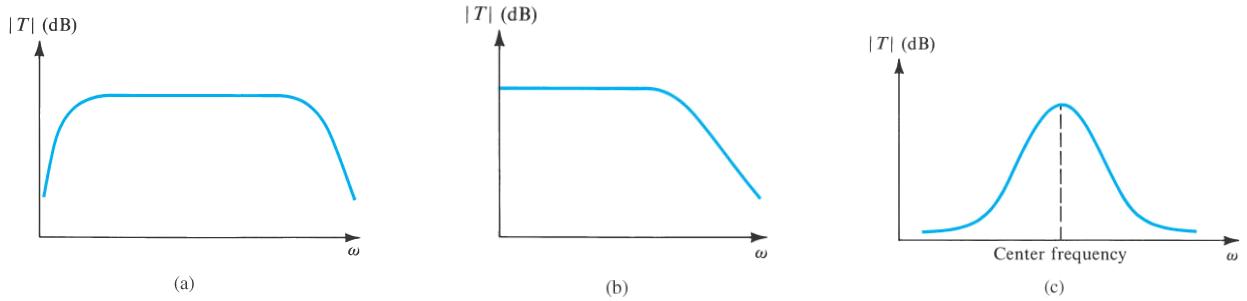
1.6.5 Phân loại các bộ khuếch đại dựa trên đáp ứng tần số

Các bộ khuếch đại có thể được phân loại dựa trên hình dạng của đường cong đáp ứng biên độ. Hình 1.26 mô tả đường cong đặc tính tần số đặc trưng của một số bộ khuếch đại. Trong Hình 1.26a hệ số khuếch đại giữ không đổi qua một khoảng tần số rộng nhưng giảm mạnh ở tần số cao và tần số thấp. Đây là dạng phổ biến của đáp ứng tần số thấy ở các bộ khuếch đại âm thanh.

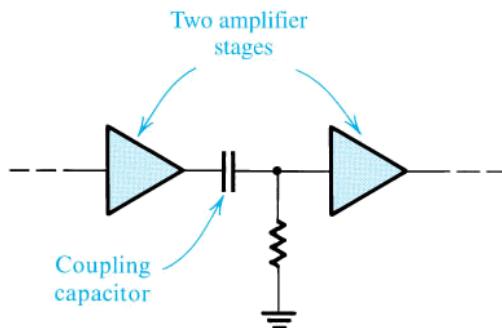
Như sẽ thể hiện trong các chương sau, điện dung ký sinh trong các linh kiện (tranzito) khiến cho hệ số khuếch đại giảm mạnh ở tần số cao, cũng giống như C_i gây ra trong mạch của Ví dụ 1.5. Nói theo cách khác, sự giảm mạnh của hệ số khuếch đại ở tần số thấp thường bị gây ra bởi tụ điện ghép sử dụng để nối một tầng khuếch đại với tầng còn lại, như mô tả trong Hình 1.27. Tính chất này thường được sử dụng để đơn giản hóa việc xử lý tín hiệu của các tầng khác nhau. Giá trị của tụ điện ghép thường được chọn trong một khoảng khá rộng (với tỷ lệ từ một microfara tới vài chục mircrofara) do đó điện kháng (trở kháng) nhỏ ở những tần số mong muốn. Tuy vậy, ở tần số thấp thích hợp điện kháng của tụ điện ghép sẽ trở nên đủ lớn và do đó không tới được tầng tiếp theo.

Các tụ điện ghép do đó sẽ gây ra mất hệ số khuếch đại ở tần số thấp và khiến cho hệ số khuếch đại bằng không với dòng một chiều. Điều này không hề ngạc nhiên vì từ Hình 1.27 ta thấy rằng tụ điện ghép phối hợp với trở kháng vào của tầng tiếp theo tạo thành mạch STC thông cao.

Đáp ứng tần số của mạch thông cao coi như có dạng của đáp ứng tần số trong Hình 1.26(a) đoạn cuối ở tần số thấp.



Hình 1.26 Đáp ứng tần số của (a) Bộ khuếch đại ghép tụ điện (b) Bộ khuếch đại ghép trực tiếp (c) Bộ khuếch đại công hưởng và bộ khuếch đại thông dải



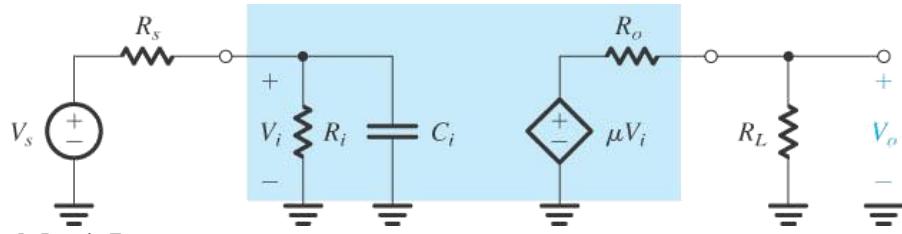
Hình 1.27 Sử dụng tụ điện để ghép các tầng khuếch đại

Có nhiều ứng dụng trong đó quan trọng là bộ khuếch đại duy trì được hệ số khuếch đại của nó ở tần số thấp gần bằng điện áp một chiều. Hơn nữa, công nghệ mạch tích hợp nguyên khôi không cho phép sản xuất những tụ ghép lớn. Do đó các IC khuếch đại thường được thiết kế như khuếch đại dc (ngược lại với khuếch đại ghép đôi điện dung hay khuếch đại AC). Hình 1.26(b) mô tả đáp ứng tần số của một bộ khuếch đại dc. Đáp ứng tần số này được xem như đáp ứng của một bộ khuếch đại thông thấp

Trong một số ứng dụng, như trong thiết kế bộ thu của radio và TV, yêu cầu này sinh với một bộ khuếch đại là đáp ứng tần số của nó đạt mức cao nhất quanh một tần số không đổi (được gọi là tần số trung tâm) và giảm mạnh ở hai phía của tần số này (như mô tả trong Hình 1.26c). Các bộ khuếch đại với đáp ứng như thế này được gọi là khuếch đại cộng hưởng, khuếch đại thông dải, hay bộ lọc thông dải. Một bộ khuếch đại cộng hưởng tạo nên trái tim của phần tiền xử lý hay bộ cộng hưởng trong máy thu thông tin. Bằng việc điều chỉnh tần số trung tâm sao cho trùng với tần số của kênh thông tin liên lạc yêu cầu (ví dụ, một đài phát thanh), tín hiệu của các kênh đặc biệt có thể được thu trong khi tín hiệu của các kênh khác bị tắt dần hoặc bị lọc đi.

Ví dụ 1.5

Hình vẽ dưới mô tả một bộ khuếch đại điện áp có trở kháng vào R_i , tụ điện vào C_i , hệ số khuếch đại μ và điện trở ra R_o . Bộ khuếch đại được nuôi bởi một nguồn điện áp V_s có nội trở R_s và một tải R_L được nối với đầu ra.



Hình cho ví dụ 1.5

- Xuất phát từ biểu thức của hệ số khuếch đại điện áp v_o/v_s là một hàm tần số. Từ đó xác định biểu thức của hệ số khuếch đại một chiều và tần số 3dB
- Tính toán giá trị của hệ số khuếch đại một chiều và tần số 3dB và tần số ở đó hệ số khuếch đại bằng 0 dB (hằng số thời gian duy nhất) cho trường hợp $R_s = 20 \text{ k}\Omega$, $R_i = 100 \text{ k}\Omega$, $C_i = 60 \text{ pF}$, $\mu = 144 \text{ V/V}$, $R_o = 200 \Omega$, $R_L = 1 \text{ k}\Omega$.
- Tìm $v_o(t)$ với mỗi điều kiện sau:

$$\begin{aligned} &+ v_i = 0.1 \sin 10^2 t \text{ (V)} \\ &+ v_i = 0.1 \sin 10^5 t \text{ (V)} \\ &+ v_i = 0.1 \sin 10^6 t \text{ (V)} \\ &+ v_i = 0.1 \sin 10^8 t \text{ (V)} \end{aligned}$$

Lời giải:

- Sử dụng luật phân áp, ta có thể biểu diễn v_i theo v_s như sau:

$$V_i = V_s \frac{Z_i}{Z_i + R_s}$$

Trong đó Z_i là trở kháng vào bộ khuếch đại ($Z_i = R_i/C_i$) đặt $Y_i = 1/Z_i$. Chúng ta chia cả tử và mẫu cho Z_i , ta được:

$$V_i = V_s \frac{1}{1 + R_s Y_i} = V_s \frac{1}{1 + R_s [1/R_i + s.C_i]}$$

Do đó:

$$\frac{V_i}{V_s} = \frac{1}{1 + \frac{R_s}{R_i} + s.C_i R_s}$$

Biểu thức này có thể được đưa về dạng chuẩn với hệ STC thông thấp, bằng khai triển $1 + \frac{R_s}{R_i}$ từ mẫu số; do đó ta có

$$\frac{V_i}{V_s} = \frac{1}{1 + \frac{R_s}{R_i}} \cdot \frac{1}{1 + s.C_i \frac{R_s R_i}{R_s + R_i}} \quad (1)$$

Bên phía đầu ra của bộ khuếch đại ta có thể sử dụng luật phân áp để viết:

$$V_o = \mu V_i \frac{R_L}{R_L + R_o}$$

Biểu thức này có thể được kết hợp với phương trình (1) để thu được hàm truyền bộ khuếch đại như sau:

$$\frac{V_o}{V_s} = \mu \frac{1}{1 + \frac{R_s}{R_i}} \cdot \frac{1}{1 + \frac{R_o}{R_L}} \cdot \frac{1}{1 + s.C_i \frac{R_s R_i}{R_s + R_i}} \quad (2)$$

Kết quả này là kết quả của tụ điện đầu vào C_i , với hằng số thời gian hiện giờ là

$$\tau = C_i (R_i // R_s) = C_i \frac{R_i R_s}{R_i + R_s}$$

Ta thấy rằng mạch điện đầu vào là một hệ STC và hằng số thời gian của nó có thể tìm được nhờ giảm V_s tới 0, với kết quả là trở kháng nối với C_i là R_i song song R_s . Hàm truyền trong phương trình (2) tương ứng với hệ STC thông thấp. Hệ số khuếch đại một chiều được xác định như sau

$$K = \frac{V_o}{V_s} (s=0) = \mu \frac{1}{1 + \frac{R_s}{R_i}} \cdot \frac{1}{1 + \frac{R_o}{R_L}} \quad (3)$$

Với tần số ω_o có thể được xác định từ

$$\omega_o = \frac{1}{\tau} = \frac{1}{C_i (R_s \| R_i)} \quad (4)$$

b) Việc thay thế các giá trị bằng số cho trước vào Phương trình (3) cho kết quả là

$$K = 144 \frac{1}{1 + \frac{20}{100}} \cdot \frac{1}{1 + \frac{200}{100}} = 100V/V$$

Do đó bộ khuếch đại có hệ số khuếch đại một chiều bằng 40dB. Thay thế những giá trị số vào Phương trình (4) cho ta tần số 3 dB

$$\omega_o = \frac{1}{60pF \cdot (20k\Omega // 100k\Omega)} = 10^6 rad/s$$

Do đó

$$f_o = \frac{10^6}{2\pi} = 159,2 kHz$$

Vì hệ số khuếch đại rơi xuống tỷ lệ -20dB/khoảng chia 10, bắt đầu ở ω_o hệ số khuếch đại sẽ chạm mức 0dB ở hai khoảng chia 10 (hệ số bằng 100); do đó ta có Tần số khuếch đại đơn = $100 \cdot \omega_o = 10^8 rad/s$ hay 15,92MHz

c) Để tìm $v_o(t)$ ta cần xác định bộ lớn hệ số khuếch đại và pha tại $10^2, 10^5, 10^6$ và 10^8 rad/s. Ta có:

$$T(j\omega) = \frac{V_o}{V_s}(j\omega) \approx \frac{100}{1 + \frac{j\omega}{10^6}}$$

- Cho $\omega = 10^2 \text{ rad/s}$, bằng $\omega_o/10^4$. Biểu thức hàm truyền cho $|T| \approx 100$ và $\phi = -\tan^{-1} 10^{-4} \approx 0^\circ$. Do đó,

$$v_o(t) \approx 10 \sin(10^2 t) V$$

- Cho $\omega = 10^5 \text{ rad/s}$, bằng $\omega_o/10$. Biểu thức hàm truyền cho $|T| = 99,5$ và $\phi = -\tan^{-1} 0,1 = -5,7^\circ$. Do đó,

$$v_o(t) = 9,95 \sin(10^5 t - 5,7^\circ) V$$

- Cho $\omega = 10^6 \text{ rad/s} = \omega_o$, $|T| = \frac{100}{\sqrt{2}} = 70,7 \text{ V/V}$ hay 37dB $\phi = -45^\circ$. Do đó:

$$v_o(t) = 7,07 \sin(10^6 t - 45^\circ) V$$

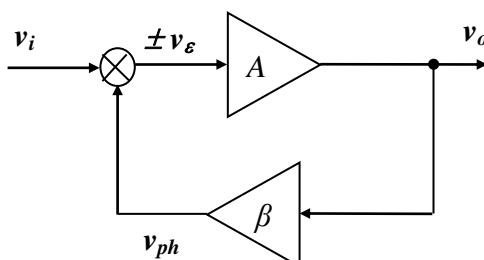
- Cho $\omega = 10^8 \text{ rad/s}$, bằng $100\omega_o$. Biểu thức hàm truyền là $|T| = 1$ và $\phi = -\tan^{-1} 100 = -89,4^\circ$

Do đó $v_o(t) = 0,1 \sin(10^8 t - 89,4^\circ) V$

1.7 Phản hồi trong bộ khuếch đại

Hồi tiếp (hay còn gọi là phản hồi) là quá trình đưa một phần tín hiệu từ đầu ra quay về đầu vào với mục đích thay đổi các tham số cũng như chế độ làm việc cho bộ khuếch đại. Phản hồi cho phép cải thiện các tính chất của bộ khuếch đại, nâng cao về chất lượng.

Sơ đồ khối của một bộ khuếch đại có phản hồi.



Hình 1.28 Cấu trúc bộ khuếch đại sử dụng phản hồi

Trong đó:

A: hệ số khuếch đại khi chưa có phản hồi.

β : hệ số phản hồi;

v_i : tín hiệu vào; v_o : tín hiệu ra;

v_ε : tín hiệu sai lệch; v_{ph} : tín hiệu phản hồi.

+ Phản hồi âm: là phản hồi mà tín hiệu phản hồi ngược pha (ngược dấu) so với tín hiệu vào bộ khuếch đại nên làm yếu tín hiệu vào, giảm hệ số khuếch đại của mạch nhưng các tính chất khác được cải thiện như nâng cao độ ổn định, mở rộng dải thông, giảm độ méo ...

+ Phản hồi dương: là phản hồi mà tín hiệu phản hồi cùng pha (cùng dấu) so với tín hiệu vào, cho nên làm tăng tín hiệu vào, tăng hệ số khuếch đại nhưng lại làm cho mạch làm việc không ổn định có thể gây nên hiện tượng tự kích (tự dao động).

Ngoài ra, phụ thuộc vào loại dòng điện được truyền từ đầu ra trở lại đầu vào bộ khuếch đại ta có các loại phản hồi theo dòng một chiều và phản hồi theo dòng xoay chiều, trong đó phản hồi âm dòng một chiều dùng để ổn định chế độ làm việc cho tranzito khi chịu ảnh hưởng của nhiệt độ, còn phản hồi âm dòng xoay chiều để ổn định các tham số cho mạch khuếch đại.

Ảnh hưởng của phản hồi đến hệ số khuếch đại của mạch

Từ sơ đồ khối ta có: $v_i = v_o \pm v_{ph} \rightarrow v_i = v_\varepsilon \mp v_{ph}$, Chia hai vế của cho v_o ta có:

$$\frac{v_i}{v_o} = \frac{v_\varepsilon}{v_o} \mp \frac{v_{ph}}{v_o}$$

Trong đó: $A_{ph} = v_o / v_i$: hệ số khuếch đại khi có phản hồi

$A = v_o / v_\varepsilon$: hệ số khuếch đại khi chưa có phản hồi.

$\beta = v_{ph} / v_o$: hệ số truyền đạt của khâu phản hồi.

$\rightarrow A_{ph} = A / (1 \mp A \cdot \beta)$. Dấu (-) là hồi tiếp dương, dấu (+) là hồi tiếp âm.

- Nếu là phản hồi âm: $A_{ph} = A / (1 + A \cdot \beta) < A$. Tức là hệ số khuếch đại khi có phản hồi âm bị giảm, tuy nhiên độ ổn định của mạch sẽ tăng, khi tăng độ sâu hồi tiếp độ ổn định của mạch càng tăng, vì vậy hồi tiếp âm hay được dùng trong khuếch đại.

- Nếu là phản hồi dương: $A_{ph} = A / (1 - A \cdot \beta) > A$. Tức là hệ số khuếch đại của mạch tăng, độ ổn định của mạch bị giảm. Trường hợp đặc biệt, khi $A \cdot \beta = 1$ thì $A_{ph} = \infty$. Khi đó sơ đồ làm việc ở chế độ tự kích thích, khi đó nhận được tín hiệu ra ngay cả khi không có tín hiệu vào nên hồi tiếp dương ít được sử dụng trong khuếch đại.

Tóm tắt lý thuyết

- Một nguồn tín hiệu điện có thể được biểu diễn theo dạng Thevenin (một nguồn điện áp v_s nối tiếp với điện trở R_s) hoặc Norton (một nguồn dòng i_s song song với điện trở

R_s). Điện áp Thevenin v_s là điện áp hở mạch của nguồn. Dòng điện Norton i_s bằng với dòng điện trong mạch Thevenin khi ngắn mạch. Hai cách biểu diễn tương đương nhau:

$$v_s = R_s i_s$$

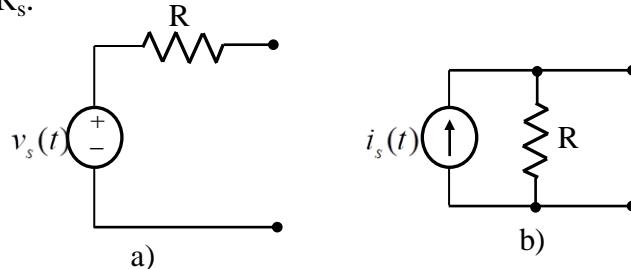
- Tín hiệu hình sin được đặc trưng bởi: giá trị cực đại (hoặc giá trị hiệu dụng bằng giá trị cực đại/ $\sqrt{2}$), tần số dao động (ω rad/s hoặc Hz; $\omega = 2\pi f$ và $f = 1/T$, T là chu kỳ tính bằng giây) và góc pha của nó với gốc thời gian chọn trước.
- Một tín hiệu có thể được biểu diễn bằng dạng sóng của nó theo thời gian hoặc bằng tổng của các sóng hình sin – gọi là phô tần của tín hiệu.
- Tín hiệu Analog (tương tự) có độ lớn xác định tại bất kỳ thời điểm nào. Mạch điện xử lý tín hiệu tương tự được gọi là mạch tương tự. Khi rời rạc tín hiệu tương tự theo thời gian được gọi là lấy mẫu, mỗi giá trị tại thời điểm rời rạc đặc trưng bởi một số, kết quả ta được dãy tín hiệu số. Tín hiệu số được xử lý bởi các mạch số.
- Sử dụng hệ nhị phân để thể hiện các tín hiệu số. Một tín hiệu số riêng lẻ có thể có: mức thấp và cao (0V và 5V) tương ứng với mức logic 0 và mức logic 1.
- Bộ chuyển đổi tương tự số (ADC) đưa ra đầu ra các số dưới dạng hệ nhị phân đại diện cho các tín hiệu tương tự đầu vào.
- Đặc tuyến v_0 và v_i của bộ khuếch đại tuyến tính là một đường thẳng, có độ dốc bằng với hệ số khuếch đại điện áp.
- Bộ khuếch đại làm tăng công suất của tín hiệu vào do đó cần có nguồn một chiều cung cấp cho bộ khuếch đại hoạt động.
- Bộ khuếch đại điện áp thể hiện hệ số khuếch đại A_v V/V hoặc $20\log|A_v|$ dB, tương tự với khuếch đại dòng điện đại A_i A/A hoặc $20\log|A_i|$ dB, với hệ số khuếch đại công suất A_p W/W hoặc $10\log|A_p|$ dB.
- Có thể tạo ra bộ khuếch đại tuyến tính từ bộ khuếch đại phi tuyến bằng cách di chuyển điểm làm việc (phân cực bằng nguồn một chiều) và giữ cho biên độ tín hiệu đầu vào nhỏ trong phạm vi cho phép.
- Tùy thuộc vào tín hiệu được khuếch đại (điện áp hoặc dòng điện) và về hình thức mong muốn tín hiệu ra có bốn loại khuếch đại: Khuếch đại điện áp, khuếch đại dòng điện, khuếch đại điện dẫn và khuếch đại điện trở.
- Tín hiệu hình sin là tín hiệu duy nhất có hình dạng không thay đổi khi qua mạch khuếch đại tuyến tính. Tín hiệu hình sin sử dụng để đo đáp ứng tần số của bộ khuếch đại.

- Hàm truyền của bộ khuếch đại điện áp $T(s) = V_o(s)/V_i(s)$ có thể xác định được từ phân tích mạch. Thay $s = j\omega$ ta có hàm truyền $T(j\omega)$, độ lớn $|T(j\omega)|$ là đáp ứng về biên độ và $\phi(\omega) = \angle T(j\omega)$ là đáp ứng về pha của bộ khuếch đại.
- Bộ khuếch đại có thể được phân loại theo đáp ứng tần của nó.
- Mạch STC (Single-time-constant) có thể tính được bằng cách tối giản mạch thành các phần tử phản kháng (L hoặc C) và điện trở (R). Hằng số thời gian τ được tính bằng L/R hoặc RC .
- Dựa vào STC có thể phân thành hai loại: lọc thông thấp (LP) và lọc thông cao (HP). Mạch LP cho thành phần một chiều và tần số thấp đi qua và làm giảm tần số cao. Mạch HP thì ngược lại.
- Với mạch LP (HP) STC tại giá trị tần số $\omega_0 = 1/\tau$ hệ số khuếch đại giảm 3dB so với hệ số khuếch đại tại tần số không (hoặc vô cùng). Ở tần số cao (tần số thấp) hệ số khuếch đại suy giảm 6dB/octave hoặc 20dB/decade.

BÀI TẬP CHƯƠNG 1

Tín hiệu

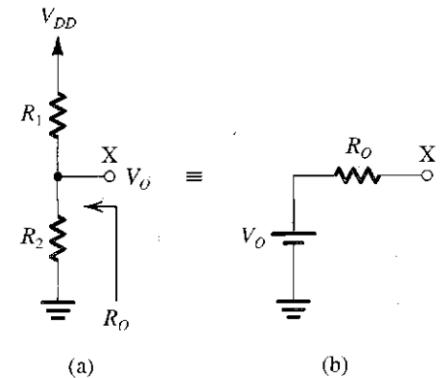
1.1 Với cách miêu tả nguồn tín hiệu mô tả trong hình 1.1(a) và 1.1(b), hãy tính điện áp ra không tải? Nếu ngắn mạch đầu ra, tính dòng điện trong mạch? Từ đó tìm ra mối quan hệ giữa $v_s(t)$ và R_s .



Hình 1.1

1.2 Một nguồn tín hiệu có điện áp không tải là 10mV và dòng điện ngắn mạch là 10 μ A. Hỏi nội trở nguồn bằng bao nhiêu?

1.3 Cho mạch điện chia áp sử dụng hai điện trở như hình 1.3 tạo ra điện áp V_o (nhỏ hơn V_{DD}) lấy ra tại nút X. Nhìn từ nút X mạch sẽ tương đương như hình b (là mạch điện tương đương theo Thevenin). Tìm biểu thức V_o và R_o ?



Hình 1.3

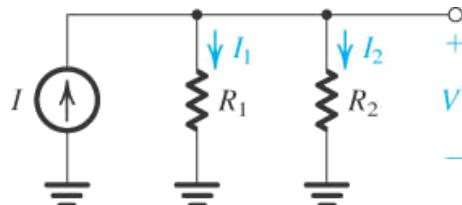
1.4 Một mạch phân áp sử dụng hai điện trở có giá trị 3.3k Ω và 6.8k Ω và nguồn pin 9V so với đất để tạo ra điện áp thấp. Giả sử điện trở lý tưởng, hãy tìm điện áp ra và nội trở của nguồn tương đương (theo Thevenin). Nếu điện trở không lý tưởng có sai số $\pm 5\%$ thì kết quả điện áp ra và nội trở có thể có những giá trị nào?

1.5 Nếu sử dụng ba điện trở có giá trị 10k Ω và một nguồn pin 9V so với đất thì có thể tạo ra bao nhiêu nguồn điện áp nhỏ hơn 9V. Liệt kê các Nguồn điện áp thu được và nội trở của chúng?

1.6 Sử dụng hai loại điện trở có giá trị ghi là 4,7 k Ω và 10 k Ω , được sử dụng trong một bộ chia áp với nguồn cung cấp +15 V để tạo được điện áp khoảng +10 V đầu ra. Giả sử giá trị điện trở là chính xác thì giá trị điện áp thực tế là bao nhiêu? Phải mắc ba điện trở như thế nào để tạo thành bộ chia áp với đầu ra 10,00 V? Nếu nội trở của nguồn ra được yêu cầu chính xác là 3,33 k Ω , thì mắc mạch như thế nào? Cần phải làm gì khi có yêu cầu 10,00 V và 3,00 k Ω ở đầu ra trong khi vẫn sử dụng điện trở 4,7 k Ω và 10 k Ω ban đầu?

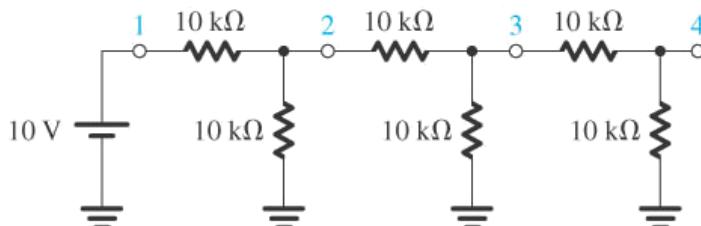
1.7 Cho mạch như hình hình 1.7 thể hiện bộ chia dòng hai điện trở với một nguồn dòng lý tưởng I . Hãy tìm biểu thức dòng điện I_1 và I_2 ?

1.8 Bạn hãy thiết kế một bộ chia dòng đơn giản dùng để làm giảm dòng cung cấp cho tải $1 \text{ k}\Omega$ xuống 20% giá trị của nguồn cấp.



Hình 1.7

1.9 Hãy áp dụng định lí Thenevin, tìm mạch tương đương Thenevin trong hình 1.9 giữa nút 4 và đất và từ đó tìm dòng điện chảy qua điện trở $1,5 \text{ k}\Omega$ khi nối điện trở vào giữa nút 4 và đất.



Hình 1.9

1.10 Bất kỳ nguồn tín hiệu nào cũng cung cấp một điện áp hở mạch V_{oc} và dòng điện ngắn mạch I_{sc} . Với các nguồn sau, tính giá trị điện trở trong R_s , dòng điện Norton I_s và điện áp theo Thenevin V_s ?

- a) $V_{oc} = 10V, I_{sc} = 100\mu A$
- b) $V_{oc} = 0,1V, I_{sc} = 10 \mu A$

1.11 Một cảm biến nhiệt độ được xác định là cung cấp $2mV / {}^{\circ}C$. Khi nối với một tải điện trở là $10 \text{ k}\Omega$, điện áp đầu ra được xác định là thay đổi 10mV , tương ứng với sự thay đổi nhiệt độ $10{}^{\circ}C$. Tính điện trở nguồn của cảm biến?

Phổ tần của tín hiệu

1.12 Xác định biểu thức của tín hiệu điện áp sóng sin có:

- a) Biên độ đỉnh 10 V và tần số 10 kHz
- b) Trung bình 120 V và tần số 60 Hz
- c) $0,2 \text{ V}_{P-P}$ và tần số góc 1000 rad/s
- d) 100 mV_{P-P} và chu kỳ 1 ms

1.13 Khi phân tích một tín hiệu sử dụng khai triển Furie ta được:

$v(t) = \frac{1}{2} + \frac{2}{\pi} (\sin 2000\pi t + \frac{1}{3} \sin 6000\pi t + \frac{1}{5} \sin 10000\pi t + \dots)$. Phác họa dạng sóng. Giá trị trung bình của nó? Giá trị đỉnh - đỉnh? Giá trị thấp nhất? Giá trị cao nhất? tần số? Chu kỳ?

1.14 Dải sóng siêu cao tần trong phát sóng truyền hình bắt đầu với kênh 14 và có độ rộng từ 470 MHz tới 806 MHz. Nếu mỗi kênh được phân bổ 6 MHz thì trong dải trên sẽ có bao nhiêu kênh.

Tín hiệu tương tự, tín hiệu số

1.15 Xét một từ có 4-bit số $D = b_3b_2b_1b_0$ (b_3 có trọng số cao nhất và b_0 có trọng số thấp nhất) sử dụng để biểu diễn một tín hiệu tương tự v_A thay đổi trong khoảng 0V và +15V.

- Xác định D tương ứng với $v_A = 0V, 1V, 2V$ và $15V$.
- v_A thay đổi như thế nào nếu thay đổi $b_0; b_1; b_2; b_3$ từ 0 sang 1 ?
- Nếu $v_A = 5,5V$ bạn sẽ mong muốn D nhận giá trị gì? Sai số ra của cách biểu diễn này bằng bao nhiêu?

Đáp án: (a) 0000, 0001, 0010, 1111, (b) +1V, +2V, +4V, +8V; (c) 0101, -4%

1.16 Xét một ADC N -bit mà giá trị đầu vào tương tự nằm giữa 0 và V_{FS}

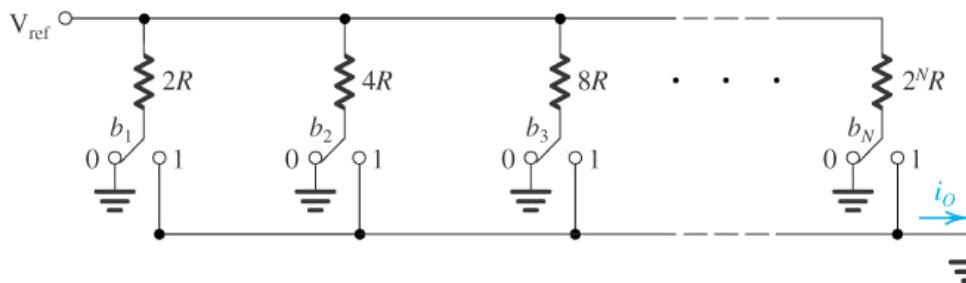
- Đưa ra công thức tính độ phân giải của bộ chuyển đổi.
- Đưa ra công thức tính sai số lượng tử?
- Cho $V_{FS} = 10 V$, cần bao nhiêu bit để đạt được độ phân giải 5 mV hoặc tốt hơn? Độ phân giải thực tế thu được? Sai số lượng tử là bao nhiêu?

1.17 Hình 1.17 thể hiện một bộ chuyển đổi số - Tương tự (DAC) N -Bit. Mỗi một bit trong N -Bit được điều khiển chuyển đổi bởi một công tắc, khi bit bằng 0 công tắc ở vị trí nhän 0; khi bit bằng 1 khi công tắc ở vị trí nhän 1. Đầu ra tương tự là dòng điện i_o , V_{ref} là điện áp tham chiếu không thay đổi .

- Chứng minh rằng:

$$i_o = \frac{V_{ref}}{R} \left(\frac{b_1}{2^1} + \frac{b_2}{2^2} + \dots + \frac{b_N}{2^N} \right)$$

- Bit nào là Bit có trọng số cao nhất (MSB)? Bit nào có trọng số thấp nhất (LSB)?
- Cho $V_{ref} = 10V, R = 5k\Omega$ và $N = 6$ Tìm giá trị giới hạn của i_o ? i_o thay đổi như thế nào khi bit có trọng số thấp nhất (LSB) chuyển trạng thái từ 0 lên 1?



Hình 1.17

Bộ khuếch đại

1.18 Một bộ khuếch đại có hệ số khuếch đại điện áp bằng 100V/V và hệ số khuếch đại dòng 100A/A. Biểu diễn điện áp và dòng điện bằng decibel và tìm hệ số khuếch đại công suất.

1.19 Một bộ khuếch đại hoạt động từ duy nhất một nguồn cung cấp 15V cung cấp một tín hiệu sóng sin có biên độ đỉnh - đỉnh là 12V tới một tải $1\text{k}\Omega$ và đưa một dòng đầu vào không đáng kể từ nguồn tín hiệu. Dòng một chiều đưa từ nguồn cung cấp 15V là 8mA. Hỏi công suất tiêu thụ trong bộ khuếch đại và hiệu suất của bộ khuếch đại bằng bao nhiêu? Điện áp đầu ra của khuếch đại điện áp giảm 20% khi nối với một tải trở kháng $1\text{k}\Omega$. Hỏi giá trị của trở kháng đầu ra bộ khuếch đại?

1.20 Một bộ khuếch đại sử dụng MOSFET có hàm truyền:

$$v_o = 10 - 5(v_i - 2)^2$$

Trong đó v_o và v_i đơn vị V. Hàm truyền này áp dụng cho $2 \leq v_i \leq v_o + 2$ và v_o dương. Tại các giới hạn của vùng này bộ khuếch đại bão hòa.

- a) Phác thảo và xác định các giá trị đặc trưng của hàm truyền L_+ , L_- và giá trị của v_i tương ứng.
- b) Khi phân cực cho bộ khuếch đại thu được điện áp đầu ra một chiều 5V. Tính giá trị điện áp phân cực cho bộ khuếch đại?
- c) Tính hệ số khuếch đại tại điểm phân cực đó.

Mô hình mạch điện bộ khuếch đại

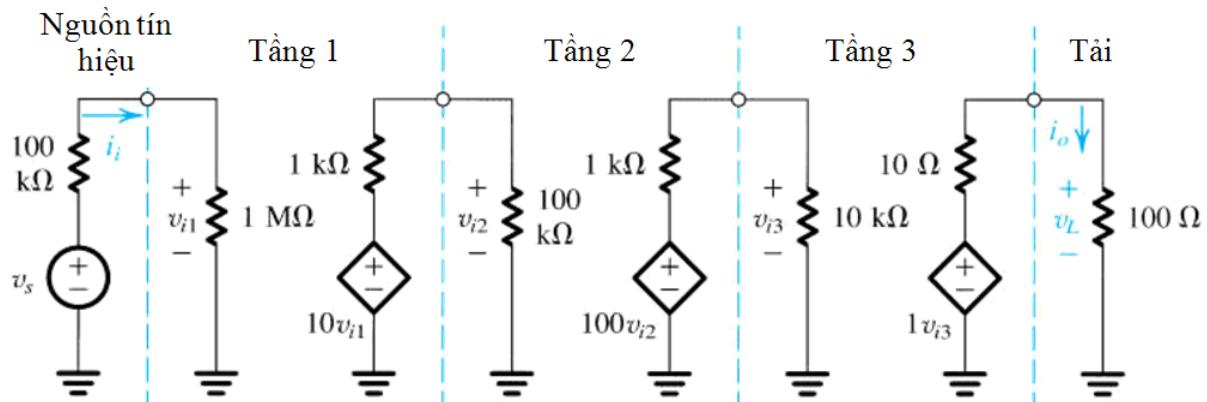
1.21 Hệ số khuếch đại điện áp tổng của bộ khuếch đại trong hình 1.21 bằng bao nhiêu nếu bỏ đi tầng thứ 3? So sánh với kết quả ở ví dụ 1.3 và giải thích?

Đáp án: 81,8V/V

1.22 Cho bộ khuếch đại tầng như hình 1.21. Tìm hệ số khuếch đại điện áp tổng v_o/v_s thu được khi tầng 1 và tầng 2 đổi chỗ cho nhau. So sánh giá trị với kết quả trong ví dụ 1.3 và giải thích?

1.23 Cho mô hình bộ khuếch đại điện áp ba tầng như hình 1.21. Hỏi giá trị R_i , A_{v0} , R_o là bao nhiêu. Nếu R_L biến đổi trong khoảng 10 tới 100Ω , tìm khoảng tương ứng của hệ số khuếch đại điện áp tổng v_o / v_s .

Đáp án: $1M\Omega$, $900V/V$, 10Ω , $409V/V - 810V/V$



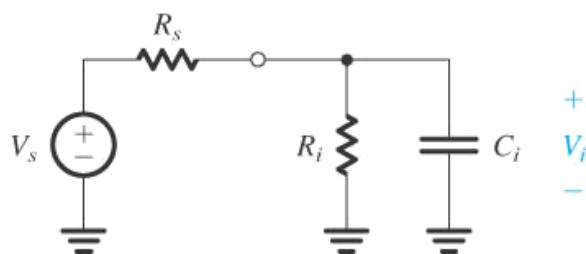
Hình 1.21

Đáp ứng tần số của bộ khuếch đại

1.24 Quan sát một bộ khuếch đại điện áp có đáp ứng tần số của dạng STC thông thấp với một hệ số khuếch đại một chiều bằng $60dB$ và một tần số $3dB$ bằng $1000Hz$. Tìm hệ số khuếch đại theo dB tại $f = 10Hz$, $10kHz$, $100kHz$, và $1MHz$

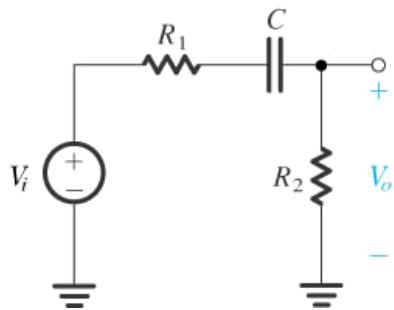
Đáp án $60 dB; 40 dB; 20 dB; 0 dB$

1.25 Hình 1.25 thể hiện một nguồn tín hiệu được kết nối với đầu vào của một bộ khuếch đại. Ở đó R_s là điện trở nguồn và R_i , C_i lần lượt là điện trở và tụ điện đầu vào của bộ khuếch đại. Bắt nguồn từ biểu thức $V_i(s) / V_s(s)$ hãy chứng minh nó là một dạng STC thông thấp. Tìm tần số $3 dB$ cho biết $R_s = 20k\Omega$, $R_i = 80k\Omega$, $C_i = 5pF$



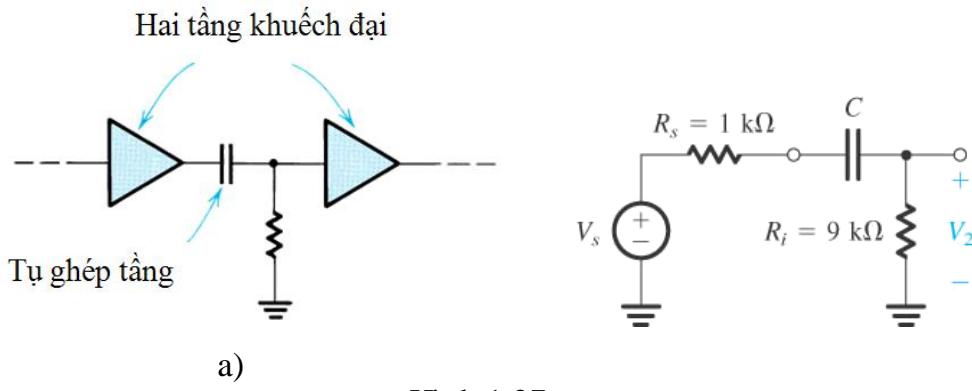
Hình 1.25

1.26 Cho mạch điện trong hình 1.26. Tìm hàm truyền $T(s) = V_o(s) / V_i(s)$ và cho biết đây là mạch lọc thông cao hay lọc thông thấp? Hệ số truyền của nó ở tần số cao là gì? (Đánh giá trực tiếp này bằng cách tính giới hạn cho s đến ∞). Tìm giá trị của tần số góc ω_o ? Cho $R_1 = 10k\Omega$, $R_2 = 40k\Omega$, $C = 0,1\mu F$, tìm f_o . Giá trị của $|T(j\omega)|$ là bao nhiêu?



Hình 1.26

1.27 Quan sát ván đè mô tả trong Hình 1.27 a. Cho điện trở đầu ra của bộ khuếch đại điện áp đầu tiên bằng $1\text{k}\Omega$ và điện trở vào của bộ khuếch đại điện áp thứ hai (bao gồm cả trở kháng đã thể hiện) bằng $9\text{k}\Omega$. Mạch tương đương cuối cùng được mô tả trong hình 1.27 b, trong đó V_s và R_s là điện áp ra và điện ra của bộ khuếch đại đầu tiên, C là một tụ điện ghép, và R_i là điện trở vào của bộ khuếch đại thứ hai. Coi V_2/V_s là hàm STC thông cao. Hỏi giá trị nhỏ nhất của C bằng bao nhiêu thì sẽ đảm bảo rằng tần số 3dB là không cao hơn 100Hz ?



Hình 1.27

CHƯƠNG 2

KHUẾCH ĐẠI THUẬT TOÁN

Giới thiệu

2.1 Khuếch đại thuật toán lý tưởng

- 2.1.1 Các đầu vào/ra của khuếch đại thuật toán
- 2.1.2 Chức năng và đặc tính của khuếch đại thuật toán lý tưởng
- 2.1.3 Tín hiệu vi sai và tín hiệu chế độ chung

2.2 Cấu trúc đảo

- 2.2.1 Hệ số khuếch đại vòng kín
- 2.2.2 Ảnh hưởng của hệ số khuếch đại vòng hở hữu hạn
- 2.2.3 Trở kháng vào/ra
- 2.2.4 Bộ cộng có trọng số

2.3 Cấu trúc không đảo

- 2.3.1 Hệ số khuếch đại vòng kín
- 2.3.2 Đặc điểm của mạch khuếch đại không đảo
- 2.3.3 Ảnh hưởng của hệ số khuếch đại vòng hở hữu hạn
- 2.3.4 Mạch lặp điện áp

2.4 Bộ khuếch đại vi sai

- 2.4.1 Mạch khuếch vi sai dùng khuếch đại thuật toán đơn
- 2.4.2 Bộ khuếch đại vi sai cải tiến

2.5 Mạch tích phân và mạch vi phân

- 2.5.1 Cấu hình đảo với trở kháng
- 2.5.2 Mạch tích phân đảo
- 2.5.3 Mạch vi phân

Bài tập

Giới thiệu

Khuếch đại thuật toán (operational amplifier), thường được gọi tắt là op-amp là một mạch khuếch đại có hệ số khuếch đại rất cao, có hai đầu vào và một đầu ra.

Từ khi mới ra đời, khuếch đại thuật toán được thiết kế để thực hiện các phép tính bằng cách sử dụng đại lượng điện áp như một giá trị tương tự để mô phỏng các đại lượng khác. Do đó, nó mới được đặt tên là "Khuếch đại thuật toán". Và đây là thành

phần cơ bản trong các máy tính tương tự, trong đó mạch khuếch đại thuật toán sẽ thực hiện các thuật toán như cộng, trừ, tích phân và vi phân v.v...

Tuy khuếch đại thuật toán đã được sử dụng trong một thời gian dài, nhưng những ứng dụng ban đầu của chúng chủ yếu là trong các lĩnh vực tính toán tương tự và trong các thiết bị đo phức tạp.

Thời kỳ đầu, khuếch đại thuật toán được xây dựng từ các linh kiện rời rạc như đèn chân không, sau đó là transistor và điện trở. Tuy nhiên giá thành của chúng là tương đối cao. Nhưng vào giữa những năm 1960 khuếch đại thuật toán đã được tích hợp thành một IC (như μ A709). IC này được chế tạo từ một số lượng tương đối lớn các transistor và các điện trở tích hợp trên cùng một chip silicon. Tuy nhiên, IC lúc này có giá thành khá cao và đặc tính của chúng cũng còn khá nghèo nàn. Nhưng sự xuất hiện của chúng đã đánh dấu một kỷ nguyên mới trong thiết kế mạch điện tử.

Khi bộ khuếch đại được sử dụng rộng rãi thì giá thành của chúng được giảm xuống một cách đáng kể và bộ khuếch đại cũng đòi hỏi phải có chất lượng tốt hơn. Để đáp ứng yêu cầu này, linh kiện bán dẫn đã xuất hiện và chỉ trong một thời gian ngắn bộ khuếch đại thuật toán có chất lượng cao đã trở lên thông dụng, giá thành của chúng cũng rất thấp vì có rất nhiều nhà sản xuất khác nhau cung cấp.

Một trong những lý do cho sự phát triển thông dụng của khuếch đại thuật toán chính là tính đa năng của chúng và ta có thể làm hầu như là bất cứ việc gì với khuếch đại thuật toán. Và một trong những lý do quan trọng khác là đặc tính của chúng đã gần đạt đến giả thiết lý tưởng. Điều này có nghĩa là các mạch được thiết kế bằng khuếch đại thuật toán có kết quả khá gần với lý thuyết.

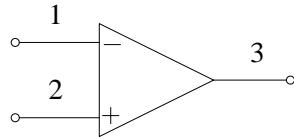
Như đã nói ở trên, IC khuếch đại thuật toán được chế tạo từ rất nhiều các Transistor, điện trở và tụ điện theo một mạch khá phức tạp. Vì chúng ta vẫn chưa nghiên cứu mạch transistor nên các mạch bên trong khuếch đại thuật toán sẽ không được đề cập đến trong chương này. Thay vào đó ta xem khuếch đại thuật toán như là một khối mạch hợp nhất và đi nghiên cứu các đặc điểm của các cực vào/ra và ứng dụng của nó. Cách tiếp cận này thích hợp trong nhiều ứng dụng của khuếch đại thuật toán.

2.1 Khuếch đại thuật toán lý tưởng

2.1.1 Các đầu vào/ra của khuếch đại thuật toán

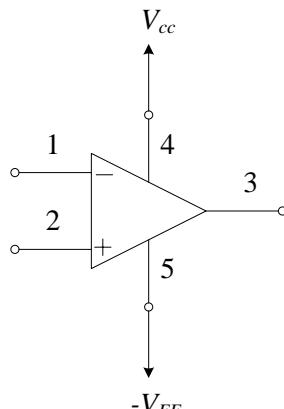
Nhìn từ góc độ tín hiệu thì mạch khuếch đại thuật toán gồm có 3 cực: 2 cực đầu vào và một cực đầu ra. Hình 2.1 là kí hiệu chung của mạch khuếch đại thuật toán. Các

cực 1 và 2 là đầu vào và cực 3 là đầu ra. Hai cực 4 và 5 (hình 2.2(a)) là hai cực cấp nguồn một chiều cho khuếch đại thuật toán. Trong đó, cực số 4 nối với điện áp dương V_{cc} và cực số 5 nối với điện áp âm $-V_{EE}$.

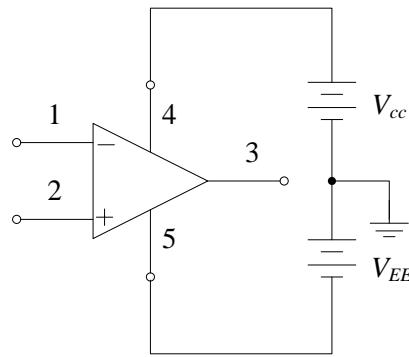


Hình 2.1 Ký hiệu mạch của khuếch đại thuật toán

Trong hình 2.2(b) chúng ta thấy rõ ràng cực dương của nguồn V_{cc} được nối với cực số 4, cực âm của nguồn V_{EE} được nối với cực số 5 và 2 cực còn lại của nguồn V_{cc} và nguồn V_{EE} được nối với điểm đất chung. Cần lưu ý rằng điểm tham chiếu nối đất trong mạch khuếch đại chỉ là điểm chung giữa hai nguồn cấp, tức là không có cực cụ thể nào của khuếch đại thuật toán được kết nối vật lý với đất. Do đó, chúng ta có thể ký hiệu ngắn gọn như hình 2.2(a).



(a)



(b)

Hình 2.2 Sự thể hiện của khuếch đại thuật toán khi kết nối với nguồn cấp một chiều

Ngoài ba cực tín hiệu và 2 cực đầu vào nguồn cung cấp, một khuếch đại thuật toán có thể có các cực khác dành cho những mục đích riêng như: cực bù tần số, cực hiệu chỉnh sai lệch tĩnh.

2.1.2 Chức năng và đặc tính của khuếch đại thuật toán lý tưởng

Mạch khuếch đại thuật toán được thiết kế để thu nhận hiệu số điện thế của hai tín hiệu điện áp đặt vào hai cực đầu vào của nó (tức là đại lượng $v_2 - v_1$), sau đó nhân hiệu số này với một hệ số A và kết quả thu được sẽ là một điện áp $A(v_2 - v_1)$ ở cực đầu ra số 3.

Ở đây cần nhấn mạnh rằng khi ta nói điện áp tại một cực có nghĩa là điện áp giữa cực đó so với đất, do vậy v_1 có nghĩa là điện áp ứng với cực 1 và đất.

Một mạch khuếch đại thuật toán lý tưởng không cho phép bắt kì dòng điện vào nào; tức là tín hiệu dòng điện vào cực 1 và tín hiệu dòng điện vào cực 2 đều phải bằng 0. Nói theo cách khác là **trở kháng đầu vào của một khuếch đại thuật toán lý tưởng được coi là bằng vô cùng**.

Còn cực số 3 được coi như hoạt động giống đầu ra của một nguồn áp lý tưởng. Do vậy điện áp giữa cực 3 và đất luôn luôn bằng $A(v_2 - v_1)$, không phụ thuộc vào dòng điện từ cực 3 qua điện trở tải. Nói theo cách khác, **trở kháng đầu ra của một khuếch đại thuật toán lý tưởng được coi là bằng 0**.

Từ tất cả những điều trên, chúng ta có được mô hình mạch điện tương đương thể hiện như trong hình 2.3. Chú ý rằng đầu ra cùng pha (cùng dấu) với v_2 và ngược pha (ngược dấu) với v_1 . Vì lý do đó, đầu vào cực 1 được gọi là **đầu vào đảo** và được nhận biết bởi dấu “-”, còn đầu vào cực 2 được gọi là **đầu vào không đảo** và được nhận biết bởi dấu “+”.

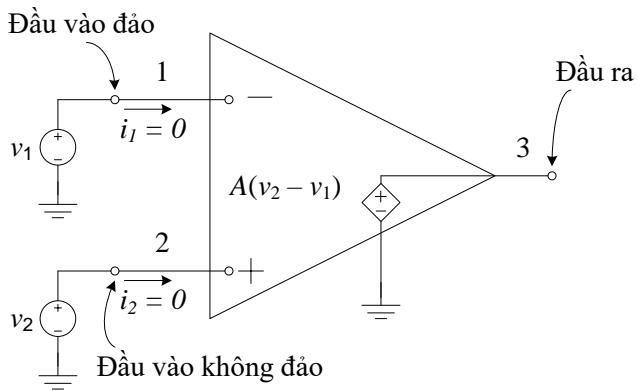
Như đã phát biểu ở trên, khuếch đại thuật toán chỉ đáp ứng với tín hiệu *sai lệch* ($v_2 - v_1$) và vì vậy nó bỏ qua bất kỳ tín hiệu *chung* nào của cả hai cực đầu vào. Tức là, nếu $v_1 = v_2 = 1V$ thì đầu ra lý tưởng sẽ bằng 0. Ta gọi đặc tính này là **loại bỏ chê độ chung**, có nghĩa là một khuếch đại thuật toán lý tưởng có hệ số khuếch đại chê độ chung là bằng không, hoặc sự loại bỏ chê độ chung là vô hạn. Nói cách khác, khuếch đại thuật toán là bộ khuếch đại đầu vào vi sai.

Như vậy hệ số khuếch đại A được gọi là hệ số khuếch đại vi sai. Ngoài ra, A còn được biết đến dưới một tên khác là: **hệ số khuếch đại vòng hở**. Và khi ta ‘khép vòng’ mạch khuếch đại thuật toán thì hệ số khuếch đại sẽ có một tên khác đó là **hệ số khuếch đại vòng kín**.

Về vấn đề đáp ứng tần số khuếch đại thuật toán lý tưởng có hệ số khuếch đại A luôn luôn bằng hằng số dù tần số có giảm xuống bằng không hoặc tăng đến vô cùng. Tức là, khuếch đại thuật toán lý tưởng khuếch đại những tín hiệu ở bất kì tần số nào với cùng một hệ số khuếch đại và vì vậy ta nói rằng khuếch đại thuật toán có *dải tần vô hạn*.

Về hệ số khuếch đại, *một mạch khuếch đại thuật toán được gọi là lý tưởng nếu nó có một hệ số khuếch đại A mà giá trị của nó là rất lớn và lý tưởng là bằng vô cùng*.

Để phục vụ cho những nghiên cứu sau này, bảng 2.1 liệt kê các đặc tính của một mạch khuếch đại thuật toán lý tưởng.



Hình 2.3 Mạch tương đương của khuếch đại thuật toán lý tưởng

Bảng 2.1 Đặc điểm của mạch khuếch đại thuật toán lý tưởng.

- 1 Trở kháng vào vô cùng lớn
- 2 Trở kháng ra bằng 0
- 3 Hệ số khuếch đại ché độ chung bằng 0 hay tương đương, sự loại bỏ ché độ chung là vô hạn
- 4 Hệ số khuếch đại vòng hở A vô cùng lớn
- 5 Dải tần số làm việc vô cùng lớn

2.1.3 Tín hiệu vi sai và tín hiệu ché độ chung

Tín hiệu vào vi sai v_{Id} đơn giản là sự sai lệch giữa hai tín hiệu đầu vào v_1 và v_2 , tức là:

$$v_{Id} = v_2 - v_1 \quad (2.1)$$

Tín hiệu vào ché độ chung v_{Icm} là giá trị trung bình của hai tín hiệu vào v_1 và v_2 .

$$v_{Icm} = \frac{1}{2}(v_1 + v_2) \quad (2.2)$$

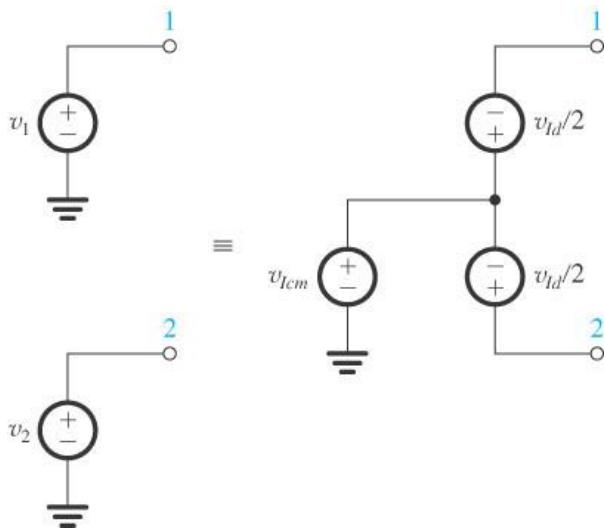
Từ phương trình (2.1) và (2.2) có thể biểu diễn tín hiệu vào v_1 và v_2 theo v_{Icm} và v_{Id} :

$$v_1 = v_{Icm} - \frac{v_{Id}}{2} \quad (2.3)$$

và :

$$v_2 = v_{Icm} + \frac{v_{Id}}{2} \quad (2.4)$$

Các phương trình này có thể biểu diễn bằng hình ảnh như trong hình 2.4.

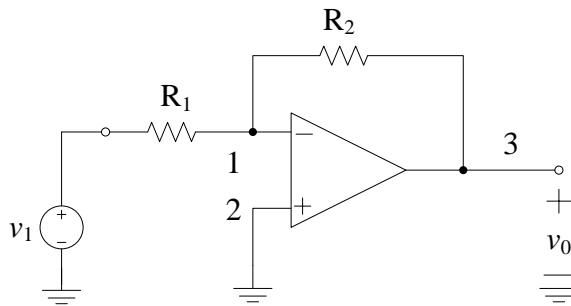


Hình 2.4 Biểu diễn nguồn tín hiệu v_1 và v_2 theo các thành phần v_{Icm} và v_{Id}

2.2 Cấu trúc dạng đảo

Như đã được đề cập ở trên thì khuếch đại thuật toán hầu như không được dùng độc lập và thay vào đó nó được kết nối với các linh kiện thụ động khác trong một mạch kín hồi tiếp.

Có hai dạng cấu trúc mạch cơ bản sử dụng một khuếch đại thuật toán và hai điện trở là: cấu trúc dạng đảo và cấu trúc dạng không đảo.



Hình 2.5 Một cấu trúc dạng đảo của mạch khuếch đại thuật toán

Hình 2.5 biểu diễn cấu trúc dạng đảo. Cấu trúc này gồm có: một khuếch đại thuật toán và hai điện trở R_1 và R_2 . Điện trở R_2 nối từ cực ra của khuếch đại thuật toán (chân số 3) quay trở lại cực đầu vào đảo hay đầu vào âm (chân số 1) của khuếch đại thuật toán. Ta nói R_2 đang đặt một **hồi tiếp âm**; nếu R_2 được nối giữa chân 3 và 2 ta gọi là **hồi tiếp dương**. Đồng thời, chú ý rằng R_2 đang khép vòng quanh khuếch đại thuật toán. Ngoài việc thêm R_2 , ta nối đất chân số 2 và kết nối một điện trở R_1 giữa chân số 1 và nguồn tín hiệu vào với một điện áp là v_1 . Đầu ra của mạch tổng thể lấy tại chân số 3 (tức là giữa chân số 3 với đất). Vì chân số 3 có trở kháng lý tưởng bằng 0

nên giá trị điện áp v_o sẽ không phụ thuộc vào giá trị của dòng điện cung cấp cho trở kháng tải nối giữa chân số 3 với đất.

2.2.1 Hệ số khuếch đại vòng kín

Chúng ta sẽ đi phân tích mạch điện trong hình 2.5 để xác định hệ số khuếch đại vòng kín G :

$$G = \frac{v_o}{v_I}$$

Ta giả thiết rằng khuếch đại thuật toán là lý tưởng. Hình 2.6(a) biểu diễn mạch điện tương đương và chúng ta tiến hành phân tích như sau: Hệ số khuếch đại A là rất lớn (lý tưởng là bằng vô cùng). Nếu ta giả thiết rằng mạch điện đang làm việc và tạo ra một điện áp xác định trên chân số 3, thì điện áp giữa các chân đầu vào mạch khuếch đại thuật toán là nhỏ không đáng kể và lý tưởng là bằng không.

Nếu ta gọi điện áp đầu ra là v_o thì theo định nghĩa:

$$v_2 - v_1 = \frac{v_o}{A} = 0$$

Điều đó dẫn đến điện áp tại đầu vào đảo (v_1) là $v_1 = v_2$. Đó là vì hệ số khuếch đại A gần như bằng vô cùng nên điện áp v_1 gần bằng với lý tưởng và bằng v_2 . Đồng thời, giữa hai chân số 1 và số 2 xuất hiện một hiện tượng gọi là “ngắn mạch ảo”. Từ “ảo” ở đây cần được nhấn mạnh và ta không nên nhầm lẫn với ngắn mạch vật lý giữa chân số 1 và 2 trong khi phân tích mạch điện.

Sự ngắn mạch ảo nghĩa là bất kỳ điện áp nào ở chân 2 sẽ tự động xuất hiện ở chân 1 bởi vì hệ số A là vô cùng. Nhưng chân 2 lại được nối xuống đất do đó $v_2 = 0$ và $v_1 = 0$. Ta nói rằng chân 1 như là một điểm đất ảo vì có điện áp bằng 0 nhưng không nối trực tiếp xuống đất.

Bây giờ chúng ta đã xác định được điện áp v_1 và tiến hành áp dụng định luật Ohm để tìm dòng i_1 chạy qua R_1 (xem hình 2.6) như sau:

$$i_1 = \frac{v_I - v_1}{R_1} = \frac{v_I - 0}{R_1} = \frac{v_I}{R_1}$$

Tuy nhiên dòng điện này không thể chạy vào khuếch đại thuật toán vì khuếch đại thuật toán lý tưởng có trở kháng đầu vào là vô cùng do vậy dòng điện vào này sẽ phải bằng 0. Do đó thì dòng i_1 sẽ phải chảy qua R_2 tới chân số 3 có trở kháng thấp hơn. Ta có thể áp dụng định luật Ohm cho R_2 và xác định v_o :

$$v_o = v_1 - i_1 R_2 = 0 - \frac{v_1}{R_1} R_2$$

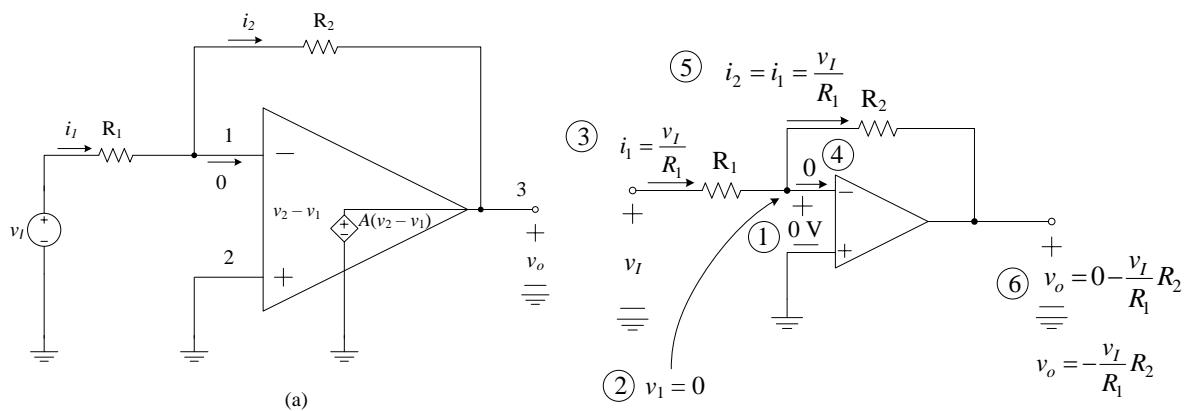
Vì vậy

$$\frac{v_o}{v_1} = -\frac{R_2}{R_1}$$

chính là hệ số khuếch đại vòng kín cần tìm. Hình 2.6(b) minh họa các bước phân tích mạch và biểu diễn bằng các số được khoanh tròn để thể hiện thứ tự các bước phân tích được thực hiện.

Hệ số khuếch đại vòng kín đơn giản là chỉ tỉ số của hai điện trở R_2 và R_1 . Dấu (-) có nghĩa là bộ khuếch đại vòng kín đưa ra tín hiệu từ đầu vào đảo. Vì thế nếu $R_2/R_1 = 10$ và ta đưa vào đầu vào v_I một tín hiệu hình sin có biên độ đỉnh đỉnh là 1V thì đầu ra v_o sẽ là một sóng hình sin có biên độ đỉnh đỉnh là 10V_{pp} và bị lệch pha 180° so với tín hiệu sóng sin đầu vào. Vì dấu (-) kết hợp với hệ số khuếch đại vòng kín, cấu trúc này được gọi là cấu trúc dạng đảo.

Thực tế là hệ số khuếch đại vòng kín phụ thuộc hoàn toàn vào các phần tử thụ động bên ngoài (điện trở R_1 và R_2). Điều này có nghĩa là ta có thể tạo ra một hệ số khuếch đại vòng kín một cách chính xác như chúng ta muốn bằng cách lựa chọn các phần tử thụ động một cách thích hợp. Điều này cũng có nghĩa là hệ số khuếch đại vòng kín (một cách lý tưởng) độc lập với hệ số khuếch đại của khuếch đại thuật toán. Đây là một sự minh họa rõ ràng cho hồi tiếp âm: Với một khuếch đại thuật toán có hệ số khuếch đại rất lớn A và qua việc áp dụng hồi tiếp âm ta thu được một hệ số khuếch đại vòng kín R_2/R_1 nhỏ hơn rất nhiều so với A nhưng ổn định và có thể dự đoán trước.



Hình 2.6 Phân tích mạch dạng đảo. Các số được khoanh tròn cho thấy các bước phân tích.

2.2.2 Ảnh hưởng của hệ số khuếch đại vòng hở hữu hạn

Những quan điểm trên sẽ được minh họa một cách rõ ràng hơn bằng cách biểu diễn hệ số khuếch đại vòng kín với giả thiết hệ số khuếch đại vòng hở là hữu hạn. Hình 2.7

minh họa quá trình phân tích này. Nếu ta ký hiệu điện áp đầu ra là v_o , thì điện áp giữa hai cực đầu vào khuếch đại thuật toán sẽ là v_o/A . Vì cực đầu vào dương được nối xuống đất, nên điện áp tại cực đầu vào âm sẽ phải bằng $-v_o/A$. Dòng điện qua R_1 có thể được xác định theo biểu thức:

$$i_1 = \frac{v_I - (-v_o/A)}{R_1} = \frac{v_I + v_o/A}{R_1}$$

Trở kháng đầu vào của khuếch đại thuật toán vô cùng lớn nên dòng điện i_1 sẽ chạy qua R_2 . Do vậy điện áp đầu ra v_o được xác định như sau:

$$\begin{aligned} v_o &= -\frac{v_0}{A} - i_1 R_2 \\ &= -\frac{v_o}{A} - \left(\frac{v_I + v_o/A}{R_1} \right) R_2 \end{aligned}$$

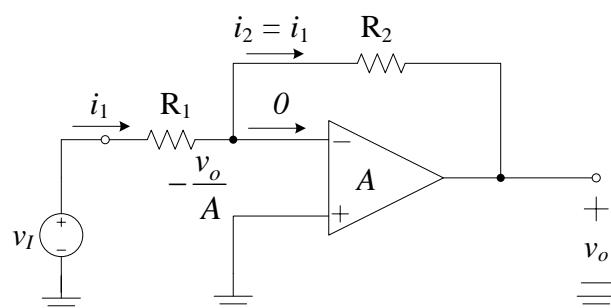
Từ các điều kiện trên thì hệ số khuếch đại vòng kín được tính như sau:

$$G \equiv \frac{v_o}{v_I} = \frac{-R_2/R_1}{1 + (1 + R_2/R_1)/A} \quad (2.5)$$

Chúng ta nên chú ý rằng nếu hệ số khuếch đại A tiến đến ∞ thì G xấp xỉ bằng giá trị lý tưởng $-R_2/R_1$. Đồng thời, từ hình 2.7 ta thấy rằng khi A tiến tới ∞ , thì điện áp tại cực đầu vào đảo tiến tới 0.

Phương trình (2.5) chỉ ra rằng: để giảm thiểu sự phụ thuộc của hệ số khuếch đại vòng kín G vào giá trị của hệ số khuếch đại vòng hở, ta nên làm cho:

$$1 + \frac{R_2}{R_1} \ll A$$



Hình 2.7 Phân tích cấu trúc mạch đảo để thấy được tính hữu hạn của hệ số khuếch đại vòng hở của mạch khuếch đại thuật toán

Ví dụ 2.1 :

Cho mạch khuếch đại đảo như hình 2.5 với: $R_1 = 1 k\Omega$ và $R_2 = 100 k\Omega$

- (a) Tìm hệ số khuếch đại vòng kín trong các trường hợp $A = 10^3, 10^4$ và 10^5 . Trong mỗi trường hợp hãy xác định phần trăm sai số giữa hệ số khuếch đại G và tỉ số R_2/R_1 lý tưởng (với giả thiết $A = \infty$). Xác định điện áp v_1 tại đầu vào đảo khi $v_I = 0.1\text{V}$.
- (b) Nếu hệ số khuếch đại vòng hở A biến đổi từ 100,000 tới 50,000 (tức là sụt giảm 50%) thì sự thay đổi phần trăm tương ứng trong độ lớn của hệ số khuếch đại vòng kín G bằng bao nhiêu?

Lời giải:

- a) Áp dụng biểu thức (2.5) tính hệ số khuếch đại vòng kín:

$$G \equiv \frac{v_o}{v_I} = \frac{-R_2/R_1}{1 + (1 + R_2/R_1)/A}$$

ta sẽ nhận được các giá trị tương ứng như trong bảng phía dưới. Trong đó phần trăm sai số ε được xác định như sau:

$$\varepsilon \equiv \frac{|G| - (R_2/R_1)}{(R_2/R_1)} \times 100$$

Giá trị điện áp v_1 nhận được từ biểu thức $v_1 = -v_o/A = Gv_I/A$ với $v_I = 0.1$

A	$ G $	ε	v_1
10^3	90.83	-9.17%	-9.08 mV
10^4	99.00	-1.00%	-0.99 mV
10^5	99.93	-0.10%	-0.10 mV

- (b) Sử dụng biểu thức hệ số khuếch đại vòng kín, ta nhận thấy rằng khi $A = 50,000$ thì $|G| = 99.80$. Như vậy khi hệ số khuếch đại vòng hở thay đổi -50% thì hệ số khuếch đại vòng kín chỉ thay đổi -0.1%.

2.2.3 Trở kháng vào/ra

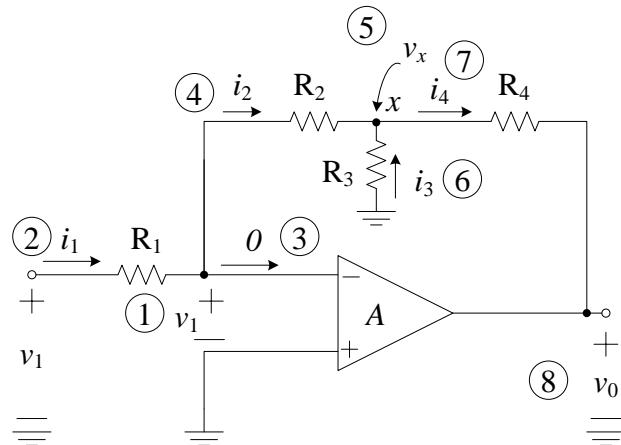
Giả sử một khuếch đại thuật toán lý tưởng với hệ số khuếch đại vòng hở là vô cùng, trở kháng vào của bộ khuếch đại đảo vòng kín trong hình 2.5 đơn giản chỉ bằng R_1 . Điều này có thể dễ dàng nhận thấy ở hình 2.6 (b), trong đó:

$$R_i \equiv \frac{v_I}{i_1} = \frac{v_I}{v_I/R_1} = R_1$$

Trở kháng vào của bộ khuếch đại tạo ra mạch phân áp với điện trở của nguồn cấp cho bộ khuếch đại. Do đó, để tránh suy giảm cường độ tín hiệu, các bộ khuếch đại điện áp cần phải có trở kháng đầu vào lớn. Trong trường hợp của bộ khuếch đại đảo ta đang nghiên cứu, để tạo ra giá trị R_i lớn ta nên chọn giá trị điện trở R_1 lớn. Tuy nhiên, nếu hệ số khuếch đại R_2/R_1 cũng yêu cầu giá trị lớn, thì giá trị điện trở R_2 có thể rất lớn

(lớn hơn một vài $M\Omega$) không thực hiện được. Ta có thể kết luận rằng bộ khuếch đại đảo có trở kháng đầu vào thấp. Để khắc phục vấn đề này ta xem ví dụ 2.1.

Vì đầu ra của cấu trúc đảo được lấy ở các cực của nguồn áp lý tưởng $A(v_2 - v_1)$ (Hình 2.6a), điều này dẫn tới trở kháng ra của bộ khuếch đại vòng kín là bằng 0.



Hình 2.8 Mạch ví dụ 2.2. Các số được khoanh tròn chỉ ra thứ tự các bước phân tích.

Ví dụ 2.2 :

Giả thiết khuếch đại thuật toán là lý tưởng, xuất phát từ biểu thức tính hệ số khuếch đại vòng kín v_0/v_I của mạch điện trong Hình 2.8. Sử dụng mạch này để thiết kế một bộ khuếch đại đảo với hệ số khuếch đại là 100 và trở kháng vào là $1M\Omega$. Giả thiết rằng vì lý do thực tế, yêu cầu là không được sử dụng điện trở lớn hơn $1M\Omega$.

Lời giải

Xét cực đầu vào đảo của bộ khuếch đại thuật toán, tại đó điện áp sẽ là:

$$v_1 = \frac{-v_0}{A} = \frac{-v_0}{\infty} = 0$$

Ở đây ta đã giả thiết rằng mạch điện đang hoạt động và tạo ra một điện áp đầu ra v_0 xác định. Biết v_1 , ta có thể xác định được dòng điện i_1 như sau:

$$i_1 = \frac{v_I - v_1}{R_1} = \frac{v_I - 0}{R_1} = \frac{v_I}{R_1}$$

Vì không có dòng điện nào chạy vào đầu vào đảo của mạch khuếch đại thuật toán nên tất cả dòng i_1 sẽ chạy qua R_2 và do vậy:

$$i_1 = i_2 = \frac{v_I}{R_1}$$

Bây giờ ta có thể xác định được điện áp tại nút x :

$$v_x = v_1 - i_2 R_2 = 0 - \frac{v_I}{R_1} R_2 = -\frac{R_2}{R_1} v_I$$

Điều này cho phép chúng ta tìm được dòng điện i_3 :

$$i_3 = \frac{0 - v_x}{R_3} = \frac{R_2}{R_1 R_3} v_I$$

Tại điểm nút x ta có:

$$i_4 = i_2 + i_3 = \frac{v_I}{R_1} + \frac{R_2}{R_1 R_3} v_I$$

Cuối cùng, ta có thể xác định v_0 từ:

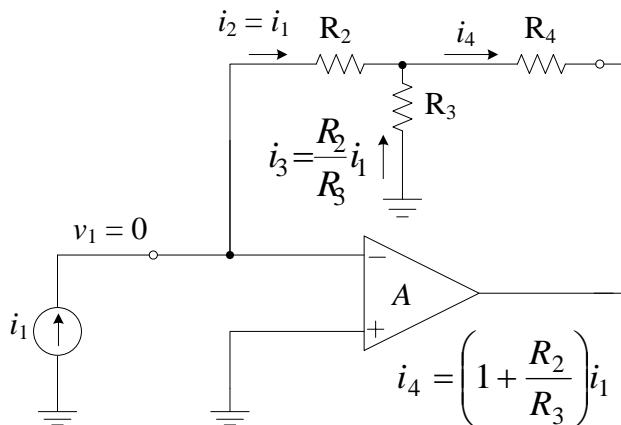
$$\begin{aligned} v_0 &= v_x - i_4 R_4 \\ &= -\frac{R_2}{R_1} v_I - \left(\frac{v_I}{R_1} + \frac{R_2}{R_1 R_3} v_I \right) R_4 \end{aligned}$$

Do đó hệ số khuếch đại điện áp được xác định:

$$\frac{v_0}{v_I} = - \left[\frac{R_2}{R_1} + \frac{R_4}{R_1} \left(1 + \frac{R_2}{R_3} \right) \right]$$

Có thể viết theo dạng sau:

$$\frac{v_0}{v_I} = - \frac{R_2}{R_1} \left(1 + \frac{R_4}{R_2} + \frac{R_4}{R_3} \right)$$



Hình 2.9 Bộ khuếch đại dòng điện dựa trên mạch điện Hình 2.8. Bộ khuếch đại cấp dòng điện đầu ra cho R_4 . Nó có một hệ số khuếch đại là $(1 + R_2 / R_3)$, trở kháng vào bằng 0, và trở kháng ra bằng vô cùng. Tuy nhiên điện trở R_4 cần phải được để tự do (có nghĩa là không một đầu nào của điện trở được nối xuống đất).

Theo yêu cầu của đề bài thì điện trở đầu vào là $1M\Omega$, nên ta chọn $R_1 = 1M\Omega$. Tiếp theo, với giới hạn sử dụng điện trở là không vượt quá $1M\Omega$, giá trị tối đa có thể của hằng số đầu tiên trong biểu thức của hệ số khuếch đại là 1 và để có được điều đó ta chọn $R_2 = 1M\Omega$. Để có được hệ số khuếch đại là 100, R_3 và R_4 phải được chọn sao cho

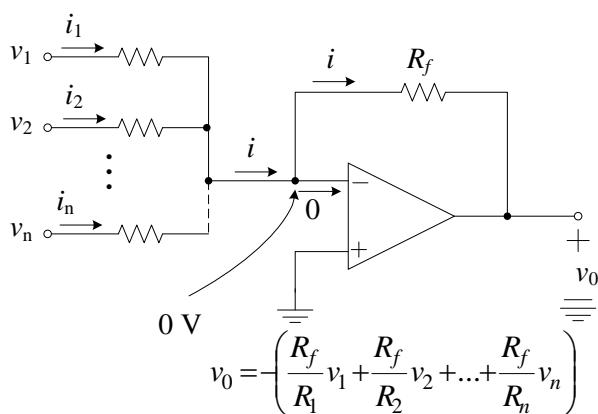
hạng tử thứ hai của biểu thức hệ số khuếch đại có giá trị là 100. Nếu ta chọn giá trị R_4 lớn nhất là $1M\Omega$, thì giá trị R_3 có thể tính toán được là $10.2K\Omega$. Do đó mạch điện này sử dụng ba điện trở $1M\Omega$ và một điện trở $10.2K\Omega$. Thực hiện so sánh với mạch điện trong hình 2.5 chúng ta nhận thấy, nếu chúng ta sử dụng $R_1 = 1M\Omega$ thì ta phải cần đến một điện trở hồi tiếp có giá trị là $100M\Omega$, đây là một giá trị điện trở lớn phi thực tế.

Ta nhận thấy rằng do điểm đất ảo tại cực đầu vào đảo của khuếch đại thuần toán, nên R_2 và R_3 mắc song song với nhau. Do vậy bằng cách chọn R_3 nhỏ hơn $R_2 k$ lần (tức là $R_3 = \frac{R_2}{k}$ ở đó $k > 1$) thì dòng điện chạy qua R_3 lớn hơn k lần dòng điện qua R_2 . Do đó, khi $i_2 = i_1$, $i_3 = ki_1$ thì $i_4 = (k+1)i_1$. Vì dòng điện được nhân với một hệ số $(k+1)$ nên nó cho phép có một điện áp lớn rơi trên R_4 và do vậy điện áp ra v_0 lớn mà không cần phải sử dụng điện trở R_4 có giá trị lớn. Đồng thời chú ý rằng dòng điện chạy qua R_4 không phụ thuộc vào giá trị của điện trở R_4 . Dẫn đến mạch có thể được sử dụng như một bộ khuếch đại dòng điện như được minh họa trong Hình 2.9.

2.2.4 Bộ cộng có trọng số

Một ứng dụng rất quan trọng của cấu trúc đảo là mạch cộng trọng số được thể hiện trong hình 2.10. Trong mạch ta có một điện trở R_f đặt ở đường hồi tiếp, nhưng ta có nhiều tín hiệu vào v_1, v_2, \dots, v_n mỗi tín hiệu được đặt lên một điện trở tương ứng R_1, R_2, \dots, R_n và được nối với đầu vào đảo của khuếch đại thuần toán. Vì khuếch đại thuần toán lý tưởng có điểm nối đất ảo đặt tại cực đầu vào đảo nên áp dụng định luật Ohm cho các dòng điện i_1, i_2, \dots, i_n ta có:

$$i_1 = \frac{v_1}{R_1}, i_2 = \frac{v_2}{R_2}, \dots, i_n = \frac{v_n}{R_n}$$



Hình 2.10 Bộ cộng trọng số

Tất cả các dòng điện này được cộng với nhau tạo ra dòng điện i

$$i = i_1 + i_2 + \dots + i_n \quad (2.6)$$

Dòng điện này sẽ chạy qua R_f (vì không có dòng điện nào chạy vào các cực đầu vào của mạch khuếch đại thuật toán lý tưởng). Điện áp đầu ra v_0 có thể được xác định bằng định luật Ohm.

$$v_0 = 0 - iR_f = -iR_f$$

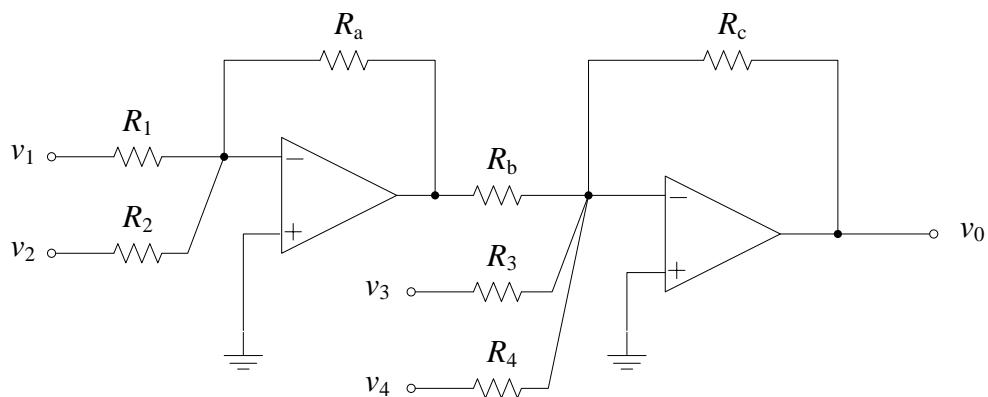
Do vậy:

$$v_0 = -\left(\frac{R_f}{R_1} v_1 + \frac{R_f}{R_2} v_2 + \dots + \frac{R_f}{R_n} v_n \right) \quad (2.7)$$

Có nghĩa là, điện áp đầu ra là một tổng trọng số của các tín hiệu vào v_1, v_2, \dots, v_n . Vì vậy mạch điện này được gọi là **Bộ cộng trọng số**. Chú ý rằng mỗi hệ số cộng có thể được điều chỉnh một cách độc lập bằng cách điều chỉnh điện trở “cấp vào” tương ứng (R_1 đến R_n).

Bộ cộng trọng số có đặc điểm là đơn giản hóa việc hiệu chỉnh mạch điện, đặc điểm này chính là hệ quả trực tiếp của điểm nối đất ảo tồn tại ở chân đầu vào đảo của khuếch đại thuật toán. Từ đó, chúng ta dễ dàng nhận thấy rằng, điểm nối đất ảo rất “tiện dụng”. Bộ cộng trọng số trong hình 2.10 có một ràng buộc đó là tất cả các hệ số cộng có cùng dấu. Vấn đề này sinh ra việc cộng các tín hiệu ngược dấu sẽ được thực hiện như thế nào. Việc này có thể được thực hiện bằng cách sử dụng hai mạch khuếch đại thuật toán như trong hình 2.11. Giả thiết các khuếch đại thuật toán là lý tưởng, điện áp đầu ra có thể dễ dàng xác định như sau:

$$v_0 = v_1 \left(\frac{R_a}{R_1} \right) \left(\frac{R_c}{R_b} \right) + v_2 \left(\frac{R_a}{R_2} \right) \left(\frac{R_c}{R_b} \right) - v_3 \left(\frac{R_c}{R_3} \right) - v_4 \left(\frac{R_c}{R_4} \right) \quad (2.8)$$



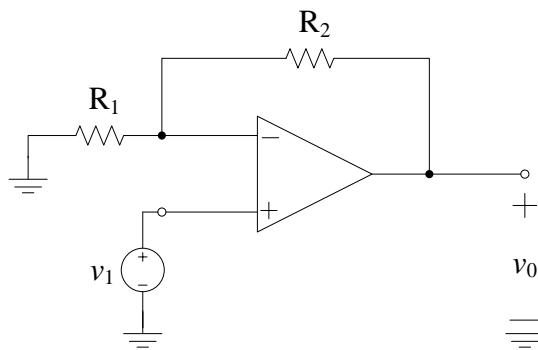
Hình 2.11 Một bộ cộng có khả năng thực hiện phép cộng hai hệ số khác dấu

2.3 Cấu trúc không đảo

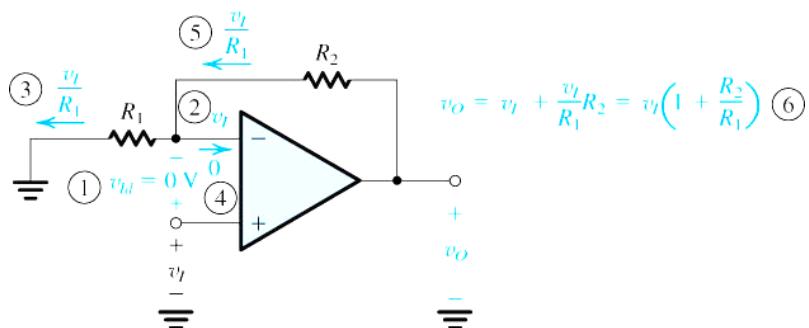
Cấu trúc vòng kín thứ hai chúng ta sẽ nghiên cứu được thể hiện trong hình 2.12. Ở đây tín hiệu đầu vào v_I được đặt trực tiếp tới cực đầu vào không đảo của khuếch đại thuât toán khi đầu vào đảo được nối xuống đất qua R_1 .

2.3.1 Hệ số khuếch đại vòng kín

Các bước phân tích mạch không đảo để xác định hệ số khuếch đại vòng kín của nó (v_O/v_I) được minh họa trong hình 2.13. Chú ý thứ tự của các bước phân tích được xác định bởi các số khoanh tròn.



Hình 2.12 Cấu trúc không đảo



Hình 2.13 Phân tích cấu trúc không đảo.

(Thứ tự các bước phân tích được thể hiện bởi các số khoanh tròn)

Giả thiết rằng khuếch đại thuât toán là lý tưởng với hệ số khuếch đại là vô cùng. Một điểm nối đất ảo tồn tại giữa hai cực đầu vào. Vì vậy tín hiệu đầu vào vi sai là:

$$v_{Id} = \frac{v_O}{A} = 0 \quad \text{với } A = \infty$$

Do đó điện áp tại cực đầu vào đảo sẽ bằng với điện áp tại cực đầu vào không đảo và bằng điện áp v_I . Dòng điện chạy qua R_1 khi đó có thể được xác định bằng v_I/R_1 . Bởi vì trở kháng đầu vào mạch khuếch đại thuât toán là vô cùng nên dòng điện này sẽ chảy qua R_2 như hình 2.13. Điện áp đầu ra có thể xác định từ biểu thức:

$$v_0 = v_I + \left(\frac{v_I}{R_1} \right) R_2$$

$$\frac{v_0}{v_I} = 1 + \frac{R_2}{R_1} \quad (2.9)$$

Để có thể hiểu sâu hơn về hoạt động của cấu trúc không đảo ta xem xét một số vấn đề sau: Vì dòng điện đi vào cực đầu vào đảo của khuếch đại thuât toán bằng 0 nên mạch điện gồm hai điện trở R_1 và R_2 trong thực tế hoạt động như là một bộ phân áp cung cấp một phần điện áp đầu ra quay trở lại đầu vào đảo của khuếch đại thuât toán, có nghĩa là:

$$v_I = v_0 \left(\frac{R_1}{R_1 + R_2} \right) \quad (2.10)$$

Khi đó hệ số khuếch đại của khuếch đại thuât toán là vô cùng và do điểm ngắn mạch ảo giữa hai đầu vào của khuếch đại thuât toán khiến cho điện áp này bằng với điện áp đặt vào đầu vào không đảo. Do đó:

$$v_o \left(\frac{R_1}{R_1 + R_2} \right) = v_I$$

chính là biểu thức hệ số khuếch đại ở phương trình (2.9).

Xét đến tác dụng của phản hồi âm thể hiện trong cấu trúc không đảo hình 2.12. Cho v_I tăng. Sự thay đổi của v_I sẽ dẫn đến v_{Id} tăng và điện áp v_o sẽ tăng lên tương ứng, đồng thời dẫn đến hệ số khuếch đại của khuếch đại thuât toán lớn. Tuy nhiên một phần nhỏ điện áp v_o sẽ phản hồi lại đầu vào đảo của khuếch đại thuât toán qua điện trở phản áp (R_1, R_2). Kết quả của phản hồi này sẽ chống lại sự tăng của v_{Id} , làm cho v_{Id} trở về bằng 0. Tác động “suy giảm” của phản hồi âm còn có tên thay thế là hồi tiếp âm. Tương tự trong trường hợp v_I giảm.

2.3.2 Đặc điểm của mạch khuếch đại không đảo

Hệ số khuếch đại của bộ khuếch đại không đảo là dương – do đó nó có tên là **mạch không đảo**. Trở kháng đầu vào của bộ khuếch đại vòng kín này lý tưởng là bằng vô cùng, vì vậy dòng điện không đi vào chân dương của khuếch đại thuât toán. Đầu ra của bộ khuếch đại không đảo được lấy tại đầu ra của nguồn áp lý tưởng $A(v_2 - v_1)$ (xem mạch điện lý tưởng trong hình 2.3), do vậy trở kháng đầu ra của bộ khuếch đại không đảo bằng 0.

2.3.3 Ảnh hưởng của hệ số khuếch đại vòng hở hữu hạn

Xét ảnh hưởng của hệ số khuếch đại vòng hở hữu hạn tới hệ số khuếch đại của bộ khuếch đại không đảo. Giả sử khuếch đại thuật toán là lý tưởng ngoại trừ có một hệ số khuếch đại vòng hở hữu hạn A , điều đó cho thấy rằng hệ số khuếch đại vòng kín của mạch khuếch đại không đảo trong hình 2.12 được xác định như sau:

$$G \equiv \frac{v_o}{v_I} = \frac{1 + R_2 / R_1}{1 + (1 + R_2 / R_1) / A} \quad (2.11)$$

Quan sát phương trình (2.11) ta thấy rằng mẫu số của nó giống hệt đối với trường hợp của cấu trúc dạng đảo trong phương trình 2.5. Điều này không phải là ngẫu nhiên mà là kết quả của thực tế rằng cả dạng đảo và không đảo đều có vòng hồi tiếp giống nhau, điều này có thể được chứng minh dễ dàng bằng cách loại bỏ nguồn tín hiệu vào (ngắn mạch).

Tuy nhiên, tử số của phương trình (2.11) và (2.5) lại khác nhau, từ tử số ta có hệ số khuếch đại vòng kín lý tưởng hoặc danh định $(-R_2 / R_1)$ đối với cấu trúc đảo và $1 + R_2 / R_1$ đối với cấu trúc không đảo). Ta lưu ý rằng biểu thức hệ số khuếch đại trong phương trình 2.11 giảm tới giá trị lý tưởng khi $A = \infty$. Trong thực tế nó đạt xấp xỉ giá trị lý tưởng khi:

$$A \gg 1 + \frac{R_2}{R_1} \quad (2.12)$$

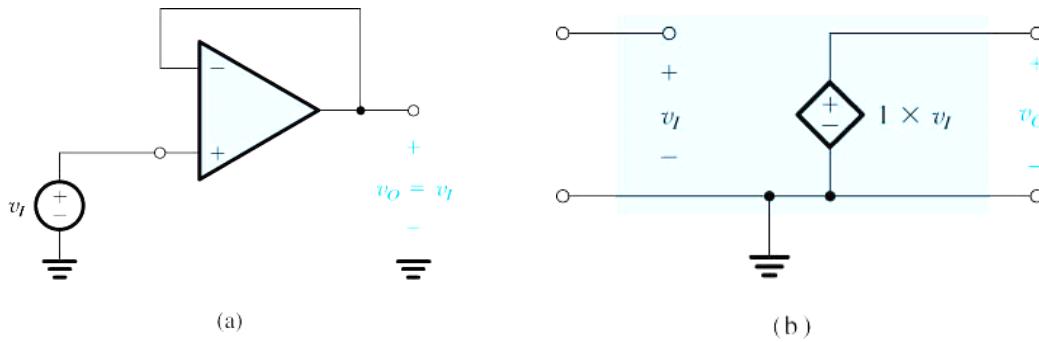
Đây là điều kiện tương tự như ở mạch khuếch đại đảo.

2.3.4 Mạch lặp điện áp

Mạch lặp điện áp hay còn được gọi là bộ khuếch đại đệm. Mạch có hệ số khuếch đại bằng 1 và vì vậy tín hiệu đầu ra “biến đổi đúng theo” tín hiệu đầu vào. Mạch có tác dụng kết nối một nguồn trở kháng cao với một tải trở kháng thấp. Hơn nữa nó được sử dụng chủ yếu như là một bộ phối hợp trở kháng hoặc một bộ khuếch đại công suất. Trong trường hợp lý tưởng, $v_o = v_I$, $R_{in} = \infty$, $R_{out} = 0$ và bộ lặp có mạch tương đương thể hiện trong hình 2.14(b).

Vì trong mạch lặp điện áp toàn bộ điện áp đầu ra đều đưa trở lại đầu vào đảo nên mạch được gọi là mạch hồi tiếp âm 100%. Hệ số khuếch đại vô cùng của mạch khuếch đại thuật toán khi đó tác động làm cho $v_{Id} = 0$ dẫn đến $v_o = v_I$. Quan sát thấy rằng mạch điện được thu gọn một cách hết sức đơn giản.

Vì mạch khuếch đại không đảo có hệ số khuếch đại lớn hơn hoặc bằng một, phụ thuộc vào việc chọn R_2 / R_1 nên nó còn có tên gọi khác là “bộ lặp có hệ số khuếch đại”.



Hình 2.14 a) Bộ đệm h  s  khu ch đại đơn vị hoặc bộ khu ch đại l p.
b) Sơ đồ m ach t ng  ng của bộ khu ch đại l p.

2.4 Bộ khu ch đại vi sai

Khu ch đại vi sai là một bộ khu ch đại phản ứng lại với sự sai lệch giữa hai tín hiệu đặt tại hai đầu vào của nó và loại bỏ những tín hiệu giống nhau từ hai đầu vào này.

Mặc dù bộ khu ch đại vi sai lý tưởng s  chỉ khu ch đại tín hiệu sai lệch đầu vào v_{Id} và loại bỏ hoàn toàn tín hiệu đầu vào ch  độ chung v_{cm} nhưng thực tế m ach điện s  có một điện áp đầu ra v_o được xác định bởi công thức:

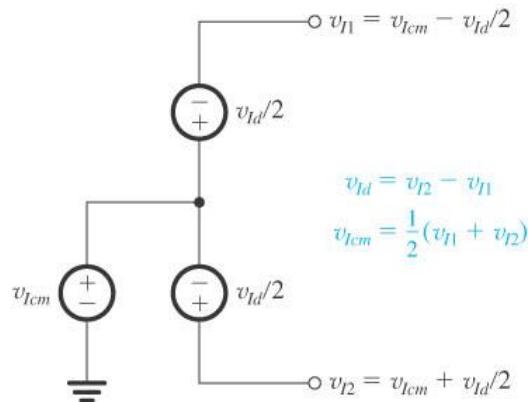
$$v_o = A_d v_{Id} + A_{cm} v_{cm} \quad (2.13)$$

Trong đó A_d là h  s  khu ch đại vi sai và A_{cm} là h  s  khu ch đại ch  độ chung (lý tưởng bằng 0). Hiệu suất của một bộ khu ch đại vi sai được xác định bởi mức độ loại bỏ tín hiệu ch  độ chung của nó. Hiệu suất này luôn được xác định thông qua một phép đo được biết đến là phép đo **tỉ số loại bỏ tín hiệu ch  độ chung** (CMRR), được định nghĩa như sau:

$$CMRR = 20 \log \frac{|A_d|}{|A_{cm}|} \quad (2.14)$$

Bộ khu ch đại vi sai xuất hiện thường xuyên trong các thiết kế m ach điện tử, đặc biệt ứng dụng trong các thiết bị đo lường. Ví dụ, ta xem xét một bộ biến đổi tạo ra một tín hiệu nhỏ (1 mV) giữa hai cực đầu ra của nó, trong khi mỗi một dây dẫn từ các cực bộ biến đổi đến dụng cụ đo có thể có một tín hiệu nhiều lớn (1 V) so với đất của mạch. Như vậy phía trước của dụng cụ đo r  ràng cần đến một bộ khu ch đại vi sai.

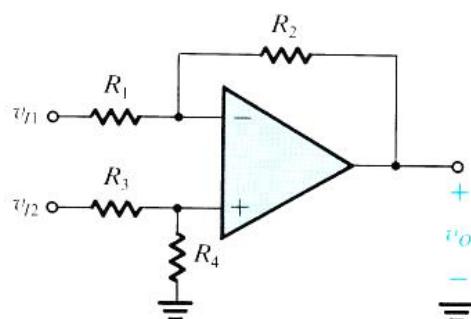
Khu ch đại thu t toán là bộ khu ch đại vi sai nhưng vì h  s  khu ch đại rất cao (lý tưởng bằng v  c ng) khiến cho nó không th  sử dụng đơn l  được. Do đó, để tạo ra một m ach khu ch đại vi sai có h  s  khu ch đại xác định và làm việc ổn định thì phải tạo ra m ach h i ti p để kết nối với khu ch đại thu t toán.



Hình 2.15 Biểu diễn tín hiệu đầu vào của bộ khuếch đại vi sai về khía cạnh sai lệch và các thành phần chế độ chung.

2.4.1 Mạch khuếch vi sai dùng khuếch đại thuật toán đơn

Từ những phân trên ta nhận thấy rằng: hệ số khuếch đại của bộ khuếch đại không đảo là dương ($1 + R_2/R_1$) trong khi hệ số khuếch đại của bộ khuếch đại đảo là âm ($-R_2/R_1$). Việc kết hợp hai cấu trúc này với nhau ta sẽ nhận được đầu ra là sự sai lệch giữa hai tín hiệu vào. Tất nhiên chúng ta phải làm cho độ lớn của hai bộ khuếch đại là bằng nhau để triệt tiêu tín hiệu **chế độ chung**. Tuy nhiên, điều này có thể dễ dàng đạt được bằng cách giảm tín hiệu đầu vào chân dương để làm giảm hệ số khuếch đại nhánh dương từ $(1 + R_2/R_1)$ xuống (R_2/R_1) . Kết quả mạch điện sẽ trông giống như trong hình 2.16, ở đó việc giảm tín hiệu đầu vào nhánh dương được thực hiện bởi mạch phân áp (R_3, R_4).



Hình 2.16 Bộ khuếch đại vi sai

Tỷ số thích hợp của mạch cầu phân áp này có thể được xác định thông qua biểu thức:

$$\frac{R_4}{R_4 + R_3} \left(1 + \frac{R_2}{R_1} \right) = \frac{R_2}{R_1}$$

Có thể được biểu diễn dưới dạng:

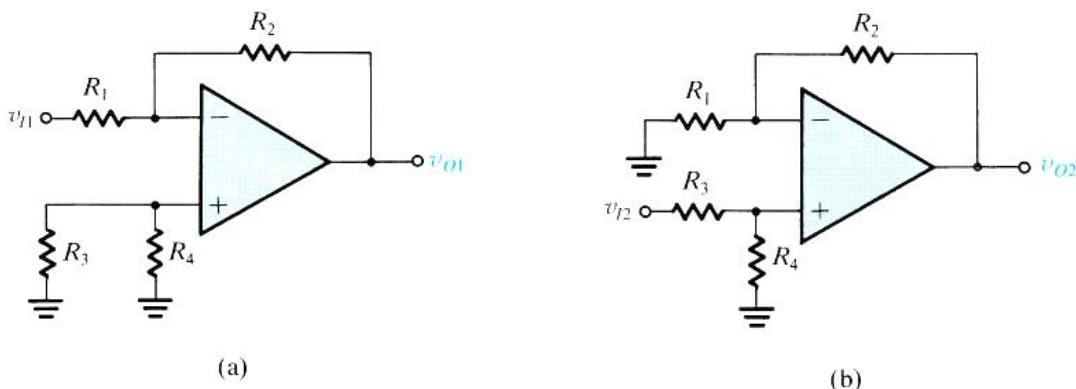
$$\frac{R_4}{R_4 + R_3} = \frac{R_2}{R_2 + R_1}$$

Điều kiện này được thỏa mãn bằng cách chọn:

$$\frac{R_4}{R_3} = \frac{R_2}{R_1} \quad (2.15)$$

Nếu điện trở R_3 và R_4 được chọn theo phương trình (2.15), thì mạch này hoạt động như một bộ khuếch đại vi sai. Cụ thể điện áp đầu ra v_o xác định theo v_{I1} và v_{I2} . Để ứng dụng nguyên lý xếp chồng, đầu tiên ta làm cho v_{I2} bằng 0 (bằng cách nối đất chân đặt tín hiệu v_{I2}) và sau đó tìm đầu ra tương ứng, đầu ra này phụ thuộc toàn bộ vào v_{I1} . Ký hiệu điện áp này là v_{o1} . Điện áp này có thể được xác định từ mạch điện trong hình 2.17(a) và ta có thể coi như là của một bộ khuếch đại đảo. Sự có mặt của điện trở R_3 và R_4 không ảnh hưởng đến biểu thức của hệ số khuếch đại, vì không có dòng điện nào chảy qua hai điện trở này. Do đó:

$$v_{o1} = -\frac{R_2}{R_1} v_{I1}$$



Hình 2.17 Áp dụng nguyên lý xếp chồng để phân tích mạch điện trong hình 2.16

Tiếp theo, ta cho v_{I1} bằng 0 và tìm điện áp đầu ra tương ứng v_{I2} . Khi đó mạch điện này sẽ có dạng như trong hình 2.17(b) và nó sẽ được coi như là bộ khuếch đại không đảo có điện áp phân áp được tạo ra từ R_3 và R_4 , được nối với đầu vào v_{I2} .

Điện áp đầu ra v_{o2} do đó được xác định bằng:

$$v_{o2} = v_{I2} \frac{R_4}{R_3 + R_4} \left(1 + \frac{R_2}{R_1} \right) = \frac{R_2}{R_1} v_{I2}$$

Ở phương trình trên ta đã sử dụng kết quả của phương trình (2.15).

Theo nguyên lý xếp chồng thì điện áp đầu ra v_o bằng tổng của v_{o1} và v_{o2} , do đó ta có:

$$v_o = \frac{R_2}{R_1} (v_{I2} - v_{I1}) = \frac{R_2}{R_1} v_{Id} \quad (2.16)$$

Do vậy mạch điện hoạt động như một bộ khuếch đại vi sai với hệ số khuếch đại là A_d

$$A_d = \frac{R_2}{R_1} \quad (2.17)$$

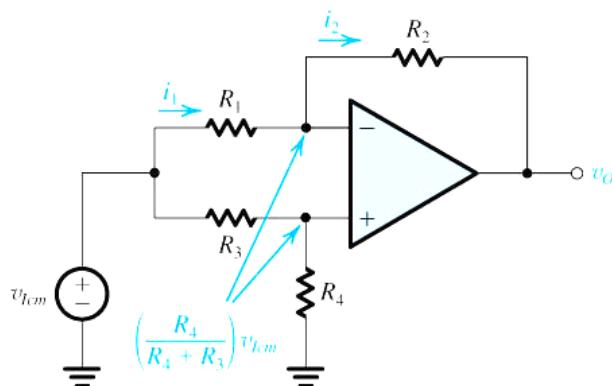
Tất nhiên điều này được xác nhận dựa trên điều kiện khuếch đại thuần là lý tưởng và hơn nữa dựa vào việc chọn điện trở R_3 và R_4 để tỉ số giữa chúng phù hợp với tỉ số của R_1 và R_2 (Phương trình 2.15). Để làm thỏa mãn yêu cầu này một cách đơn giản ta thường chọn $R_1 = R_2$ và $R_3 = R_4$.

Tiếp theo xét mạch điện như hình 2.18, trong đó hai đầu vào được đặt một tín hiệu chê độ chung. Theo như hình ta có:

$$i_1 = \frac{1}{R_1} \left[v_{Icm} - \frac{R_4}{R_4 + R_3} v_{Icm} \right] = v_{Icm} \frac{R_3}{R_4 + R_3} \frac{1}{R_1} \quad (2.18)$$

Điện áp đầu ra được xác định theo biểu thức:

$$v_o = \frac{R_4}{R_3 + R_2} v_{Icm} - i_2 R_2$$



Hình 2.18 Phân tích bộ khuếch đại vi sai để xác định hệ số khuếch đại chê độ

$$\text{chung } A_{cm} \equiv v_o / v_{Icm}$$

Thay $i_2 = i_1$ với i_1 được xác định từ phương trình (2.18)

$$\begin{aligned} v_o &= \frac{R_4}{R_3 + R_2} v_{Icm} - \frac{R_2}{R_1} \frac{R_3}{R_3 + R_4} v_{Icm} \\ &= \frac{R_4}{R_4 + R_3} \left(1 - \frac{R_2}{R_1} \frac{R_3}{R_4} \right) v_{Icm} \end{aligned}$$

Do đó :

$$A_{cm} \equiv \frac{v_o}{v_{Icm}} = \left(\frac{R_4}{R_3 + R_4} \right) \left(1 - \frac{R_2}{R_1} \frac{R_3}{R_4} \right) \quad (2.19)$$

Thiết kế với tỉ lệ điện trở đã chọn như phương trình (2.15), ta được $A_{cm} = 0$ như mong muốn. Tuy nhiên lưu ý rằng bất kì sự không hợp lý nào về tỉ số điện trở đều có thể làm cho $A_{cm} \neq 0$ và do đó CMRR là hữu hạn.

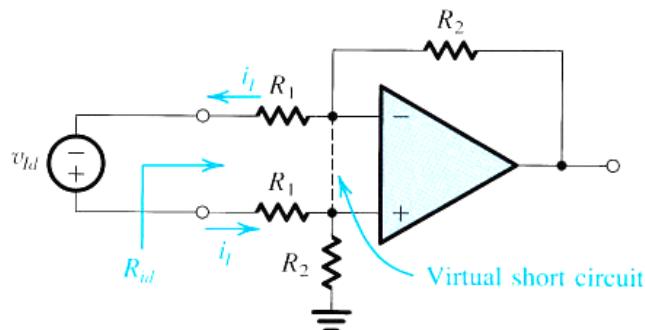
Ngoài ra để triệt tiêu các tín hiệu chế độ chung, một bộ khuếch đại vi sai thường cần có điện trở đầu vào lớn. Và để tìm điện trở vào giữa hai chân đầu vào ta gọi là **điện trở đầu vào vi sai** là R_{Id} , xem xét hình 2.19.

Tại đây ta giả sử rằng các điện trở được chọn sao cho:

$$R_3 = R_1 \text{ và } R_4 = R_2$$

Khi đó ta có:

$$R_{Id} \equiv \frac{v_{Id}}{i_1}$$



Hình 2.19 Xác định điện trở vào của bộ khuếch đại vi sai với $R_3 = R_1$ và $R_4 = R_2$

Vì hai chân vào của mạch khuếch đại thuần túy có cùng điện thế nên ta có thể viết phương trình mạch vòng như sau:

$$v_{Id} = R_1 i_1 + 0 + R_1 i_1$$

Do đó:

$$R_{Id} = 2R_1 \quad (2.20)$$

Chú ý rằng nếu bộ khuếch đại được yêu cầu là phải có hệ số khuếch đại vi sai (R_2/R_1) lớn, thì ta cần phải có điện trở R_1 tương đối nhỏ và khi đó điện trở vào cũng sẽ thấp tương ứng và đây chính là một hạn chế của mạch này. Một nhược điểm khác của

mạch là không dễ dàng để thay đổi hệ số khuếch đại vi sai của bộ khuếch đại. Cả hai nhược điểm này sẽ được khắc phục trong bộ khuếch đại vi sai cải tiến.

2.4.2 Bộ khuếch đại vi sai cải tiến

Vấn đề điện trở đầu vào thấp của bộ khuếch đại vi sai trong hình 2.16 có thể được giải quyết bằng cách sử dụng một mạch lặp điện áp để đệm hai tín hiệu vào; tức là, một bộ lặp điện áp kiểu như ở hình 2.14 được kết nối giữa mỗi chân vào và cực đầu vào tương ứng của bộ khuếch đại vi sai. Tuy nhiên, nếu ta sử dụng thêm hai khuếch đại thuật toán làm bộ đệm thì bộ đệm này còn có lợi ích khác ngoài tác dụng trờ kháng tăng, đó là hệ số khuếch đại điện áp. Điều này chúng ta có thể đạt được bằng cách sử dụng một bộ lặp có hệ số khuếch đại hơn là sử dụng bộ lặp hệ số khuếch đại đơn vị và khi đó nó không làm ảnh hưởng gì đến giá trị điện trở lớn đầu vào. Để đạt được điều này thì tầng khuếch đại vi sai đầu tiên phải có hệ số khuếch đại đủ lớn để khi đó tầng khuếch đại vi sai thứ hai chỉ còn nhiệm vụ chính là thực hiện chức năng vi sai và khi đó nó sẽ triệt tiêu được các tín hiệu chê độ chung.

Mạch hình 2.20(a) gồm có hai tầng: tầng đầu tiên được tạo thành bởi mạch khuếch đại thuật toán A_1 và A_2 và được kết hợp với các điện trở, tầng thứ 2 là tầng khuếch đại vi sai được tạo thành bởi khuếch đại thuật toán A_3 và kết hợp với bốn điện trở. Quan sát mạch này ta thấy rằng mỗi khuếch đại thuật toán A_1 và A_2 được nối ở dạng không đảo do vậy có hệ số khuếch đại là $(1 + R_2 / R_1)$. Do đó mỗi tín hiệu v_{I1} và v_{I2} đều được khuếch đại bằng hệ số khuếch đại này và tín hiệu khuếch đại cuối cùng xuất hiện lần lượt tại đầu ra của A_1 và A_2 .

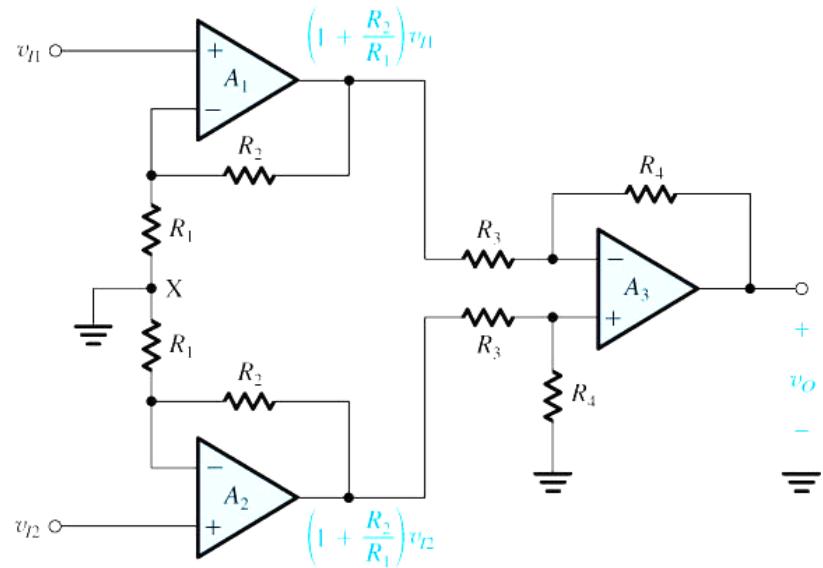
Bộ khuếch đại vi sai ở tầng thứ hai hoạt động trên tín hiệu sai lệch $(1 + R_2 / R_1)(v_{I2} - v_{I1}) = (1 + R_2 / R_1)v_{Id}$ và cung cấp ở đầu ra của nó một điện áp:

$$v_o = \frac{R_4}{R_3} \left(1 + \frac{R_2}{R_1} \right) v_{Id}$$

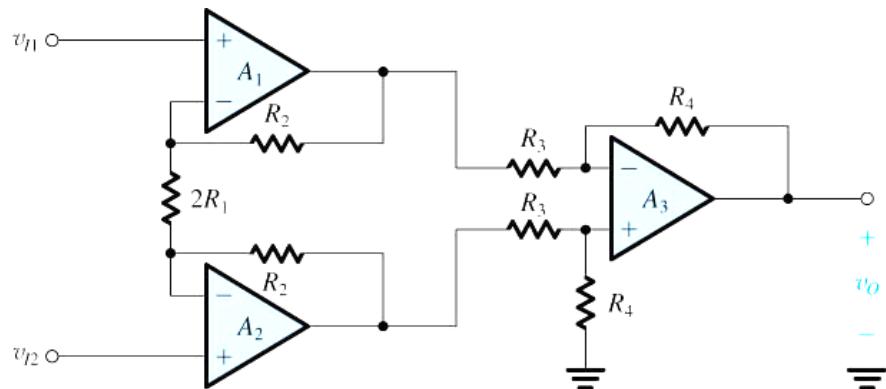
Do vậy, hệ số khuếch đại nhận được là:

$$A_d = \left(\frac{R_4}{R_3} \right) \left(1 + \frac{R_2}{R_1} \right) \quad (2.21)$$

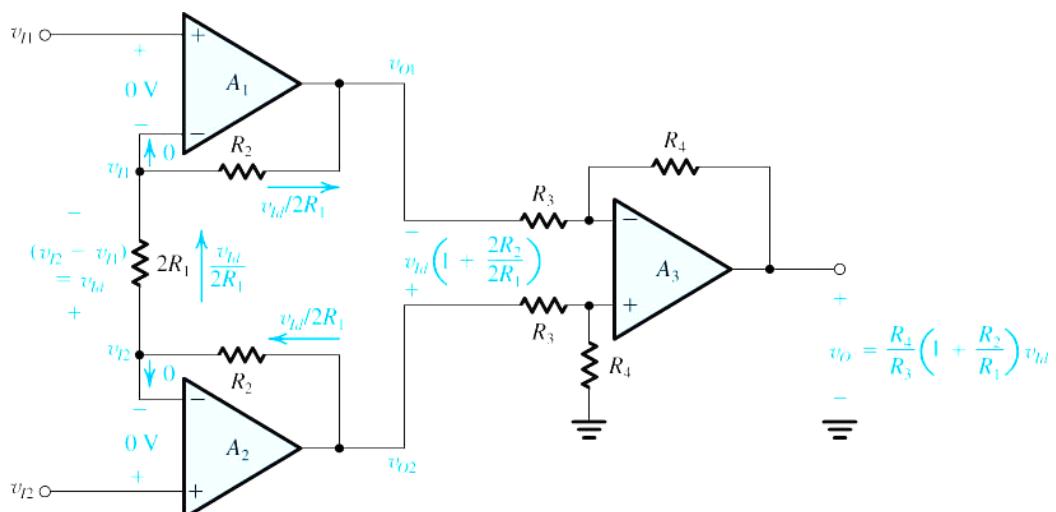
Hệ số khuếch đại chê độ chung sẽ bằng 0 nhờ sự hoạt động của tầng khuếch đại vi sai thứ 2.



(a)



(b)



H

(c)

Đính 2.20 Một mạch khuếch đại vi sai thường gấp; (a) Cách tiếp cận mạch ban đầu; (b) Mạch điện ở hình (a) loại bỏ điểm nối đất giữa hai điện trở R_1 và R_2 và gộp hai điện trở này lại với nhau. Sự thay đổi đơn giản này cải thiện đáng kể hiệu suất của mạch;

(c) Phân tích mạch điện trong hình (b) với giả thiết các bộ khuếch đại thuật toán là lý tưởng.

Mạch điện trong hình 2.20 (a) có ưu điểm là điện trở đầu vào cao và hệ số khuếch đại vi sai lớn. Đồng thời các mạch khuếch đại thuật toán A_1 , A_2 và các điện trở tương ứng của nó phải giống hệt nhau, điều này tạo ra hai nhánh tín hiệu đối xứng – đây là một ưu điểm chính trong thiết kế mạch khuếch đại vi sai. Tuy nhiên, mạch này có ba nhược điểm chính:

- Tín hiệu chế độ chung đầu vào v_{Icm} được khuếch đại ở tầng khuếch đại đầu tiên bởi hệ số khuếch đại bằng với hệ số khuếch đại đã được thử nghiệm với tín hiệu vi sai v_{Id} . Đây là một vấn đề nghiêm trọng, vì nó có thể dẫn đến tín hiệu tại đầu ra của mạch khuếch đại thuật toán A_1 và A_2 có biên độ lớn và làm cho các bộ khuếch đại thuật toán này rơi vào tình trạng bão hòa (xem thêm về vấn đề bão hòa của khuếch đại thuật toán trong phần 2.6). Nhưng thậm chí nếu các khuếch đại thuật toán không bão hòa thì bộ khuếch đại vi sai ở tầng thứ hai bây giờ sẽ phải nhận các tín hiệu chế độ chung lớn hơn nhiều và kết quả là hệ số CMRR của toàn bộ mạch khuếch đại chắc chắn sẽ bị giảm xuống.
- Hai mạch của bộ khuếch đại ở tầng đầu tiên phải hoàn toàn được đổi xứng, nếu không tín hiệu tạp nhiễu có thể xuất hiện giữa hai đầu ra của chúng. Và tín hiệu này sẽ được khuếch đại bởi bộ khuếch đại vi sai ở tầng thứ hai.
- Để thay đổi được hệ số khuếch đại vi sai thì hai điện trở phải được thay đổi đồng thời cùng một lúc, tức là hai điện trở được ký hiệu là R_1 . Ứng với mỗi lần thay đổi hệ số khuếch đại thì việc chọn hai điện trở hoàn toàn cân xứng là một nhiệm vụ vô cùng khó khăn.

Cả ba vấn đề này đều có thể được giải quyết bằng cách nối dây rất đơn giản. Đó là không nối điểm giữa của hai điện trở R_1 (điểm X) với điểm đất nữa. Với sự thay đổi nhỏ này thì mạch điện khi đó sẽ tương ứng với hình 2.20(b), trong đó hai điện trở (R_1 và R_2) đã được ghép thành một điện trở ($2R_1$).

Với giả thiết là khuếch đại thuật toán lý tưởng thì việc phân tích mạch điện trong hình 2.20(b) không phải là phức tạp và được minh họa như trong hình 2.20(c). Điểm mấu chốt ở đây là ngắn mạch ảo tại các đầu vào của khuếch đại thuật toán A_1 và A_2 , điều này dẫn đến điện áp đầu vào v_{I1} và v_{I2} xuất hiện tại hai đầu của điện trở ($2R_1$). Do vậy điện áp sai lệch đầu vào $v_{I2} - v_{I1} \equiv v_{Id}$ đặt trên điện trở $2R_1$ sẽ tạo ra dòng điện $i = v_{Id} / 2R_1$ chạy qua $2R_1$ và hai điện trở ký hiệu là R_2 . Việc này lần lượt tạo ra một

chênh lệch điện áp giữa các cực đầu ra của khuếch đại thuật toán A_1 và A_2 và được xác định bởi biểu thức:

$$v_{o2} - v_{o1} = \left(1 + \frac{2R_2}{2R_1}\right)v_{Id}$$

Bộ khuếch đại vi sai được tạo ra từ khuếch đại thuật toán A_3 kết hợp với các điện trở để nhận biết được sai lệch điện áp ($v_{o2} - v_{o1}$) và cung cấp một điện áp đầu ra tương ứng v_o :

$$\begin{aligned} v_o &= \frac{R_4}{R_3}(v_{o2} - v_{o1}) \\ &= \frac{R_4}{R_3} \left(1 + \frac{R_2}{R_1}\right) v_{Id} \end{aligned}$$

Do đó hệ số khuếch đại điện áp của toàn mạch được xác định bởi phương trình:

$$A_d \equiv \frac{v_o}{v_{Id}} = \frac{R_4}{R_3} \left(1 + \frac{R_2}{R_1}\right) \quad (2.22)$$

Quan sát phương trình ta thấy rằng quá trình hoạt động vi sai chính xác *không* phụ vào sự cân xứng của hai điện trở R_2 . Thật vậy, nếu một trong hai điện trở này có giá trị khác, ví dụ là R'_2 thì biểu thức hệ số khuếch đại điện áp A_d lúc này trở thành:

$$A_d = \frac{R_4}{R_3} \left(1 + \frac{R_2 + R'_2}{2R_1}\right) \quad (2.23)$$

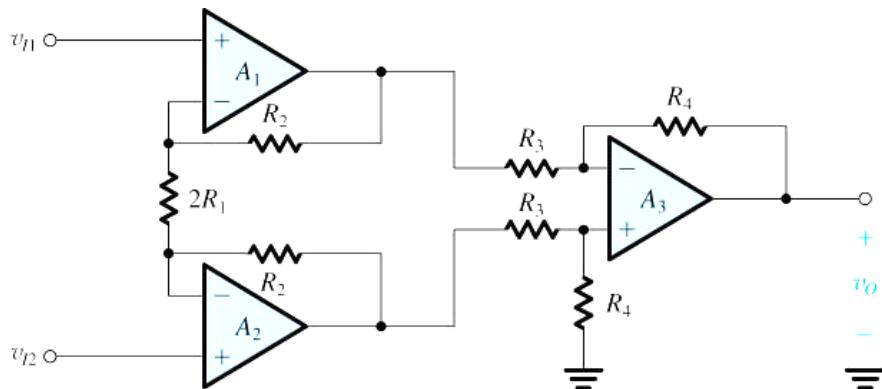
Xem xét tiếp chuyện gì sẽ xảy ra khi hai chân đầu vào được nối với nhau để có một điện áp đầu vào **chế độ chung**. Dễ dàng thấy rằng một điện áp bằng nhau xuất hiện tại chân vào đảo của hai khuếch đại thuật toán A_1 và A_2 , dẫn đến dòng điện chảy qua $2R_1$ bằng 0, vì thế sẽ không có dòng nào chảy vào hai điện trở R_2 và điện áp đầu ra của khuếch đại thuật toán A_1 và A_2 lúc này sẽ bằng đầu vào (tức là bằng v_{Icm}). Do đó tầng đầu tiên không còn chức năng khuếch đại nữa và nó đơn giản chỉ là truyền v_{Icm} đến hai đầu ra của nó, tại đó chúng sẽ được trừ để tạo ra một điện áp đầu ra chế độ chung bằng không với khuếch đại thuật toán A_3 . Tuy nhiên, bây giờ bộ khuếch đại vi sai ở tầng thứ hai có một sự cải tiến lớn tại đầu vào của nó. Tín hiệu vi sai được khuếch đại bởi hệ số khuếch đại $(1 + R_2 / R_1)$ trong khi điện áp chế độ chung được duy trì không thay đổi.

Cuối cùng, ta quan sát biểu thức trong phương trình (2.22) thấy rằng hệ số khuếch đại có thể thay đổi được bằng một cách duy nhất là thay đổi điện trở $2R_1$. Do vậy, ta kết luận rằng đây là một bộ khuếch đại vi sai tuyệt vời và được ứng dụng rộng rãi như

trong các mạch khuếch đại đo lường; tức là như một bộ khuếch đại đầu vào sử dụng trong rất nhiều trong các thiết bị điện tử.

Ví dụ 2.2 :

Thiết kế một mạch khuếch đại vi sai như hình sau:



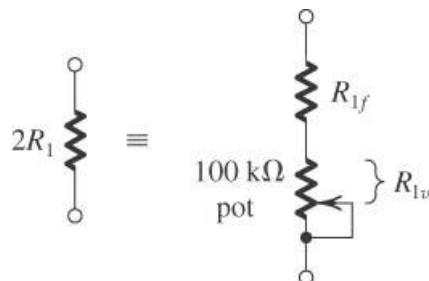
Hình 2.21 Mạch cho ví dụ 2.2

sao cho hệ số khuếch đại của mạch có thể thay đổi trong khoảng từ 2 đến 1000 với điều kiện chỉ sử dụng biến trở $100\text{ k}\Omega$.

Lời giải :

Để thuận tiện cho việc thiết kế khâu khuếch đại tầng sau thì khâu khuếch đại tầng 1 nên đạt được hệ số khuếch đại cần thiết. Mục đích là để tầng 2 chỉ làm nhiệm vụ lấy sai lệch giữa hai đầu ra của tầng đầu tiên và từ đó sẽ triệt tiêu được tín hiệu chê độ chung. Nói cách khác là tầng thứ hai thường được thiết kế sao cho hệ số khuếch đại là 1. Thông qua phương pháp này, thì giá trị của tất cả các điện trở ở tầng thứ hai có thể chọn bằng $10\text{ k}\Omega$. Nhưng vấn đề sau đó là làm cách nào để hệ số khuếch đại ở tầng đầu có thể thay đổi trong khoảng từ 2 đến 1000.

Để làm được điều này ta thay $2R_1$ bằng một điện trở cố định R_{1f} nối tiếp với biến trở R_{1v} có giá trị bằng $100\text{ k}\Omega$.



Từ đó hệ số khuếch đại có thể được viết như sau:

$$1 + \frac{2R_2}{R_{1f} + R_{1v}} = 2 \text{ đến } 1000$$

Do đó :

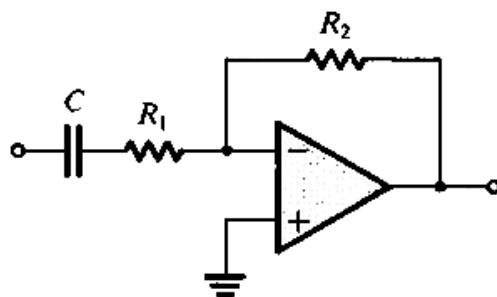
$$1 + \frac{2R_2}{R_{1f}} = 1000$$

$$\text{và : } 1 + \frac{2R_2}{R_{1f} + 100k\Omega} = 2$$

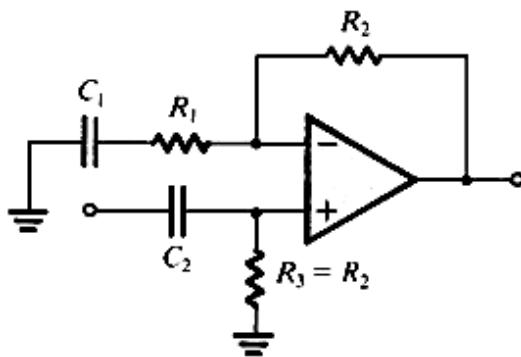
Trừ hai phương trình trên ta có $R_{1f} = 100.2\Omega$ và $R_2 = 50.050k\Omega$. Tiến hành lựa chọn một giá trị điện trở trong thực tế như $R_{1f} = 100\Omega$ và $R_2 = 49.9k\Omega$ (cả hai giá trị điện trở này có sai số tiêu chuẩn 1% dẫn đến hệ số khuếch đại xấp xỉ nằm trong phạm vi được yêu cầu.

2.5 Mạch tích phân và mạch vi phân

Trong các ứng dụng của mạch khuếch đại thuật toán mà chúng ta đã nghiên cứu cho đến nay thì các điện trở đã được sử dụng trong mạch phản hồi và mạch vào. Lý tưởng hóa thì các bộ khuếch đại thuật toán hoạt động độc lập với tần số. Để làm giảm sự ảnh hưởng của thành phần một chiều đến hoạt động làm việc của mạch thì chúng ta có thể sử dụng thêm một tụ điện ghép vào mạch vào (như hình 2.22 và 2.23) của khuếch đại thuật toán. Và để mở rộng thêm ứng dụng của mạch khuếch đại ta có thể sử dụng thêm tụ điện mắc cùng với các điện trở trong mạch phản hồi và mạch vào của khuếch đại thuật toán. Trong phần này chúng ta sẽ nghiên cứu mạch khuếch đại kết hợp với mạch RC để xem xét hai ứng dụng cơ bản, đó là mạch tích phân và mạch vi phân.



Hình 2.22 Mạch khuếch đại đảo ghép điện dung.



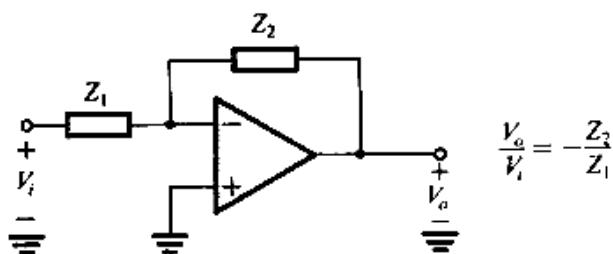
Hình 2.23 Mạch khuếch đại không đảo ghép xoay chiều.

2.5.1 Cấu hình đảo với trở kháng

Để bắt đầu ta xem xét cấu hình vòng kín đảo với trở kháng $Z_1(s)$ và $Z_2(s)$ thay thế cho điện trở R_1 và R_2 . Kết quả ta có mạch điện như hình 2.24 với khuếch đại thuần là lý tưởng, mạch có hệ số khuếch đại vòng kín hoặc ta có thể gọi là hàm truyền vòng kín:

$$\frac{V_o(s)}{V_i(s)} = -\frac{Z_2(s)}{Z_1(s)} \quad (2.24)$$

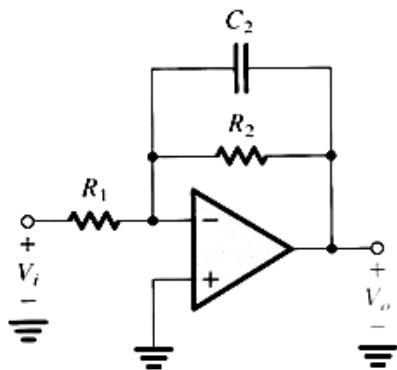
Như đã giải thích ở phần 1.6, việc thay s bằng $j\omega$ trong hàm truyền với tần số cơ bản ω .



Hình 2.24 Cấu hình đảo với trở kháng trong mạch phản hồi và mạch vào

Ví dụ 2.3:

Với mạch điện hình 2.25, ta rút ra biểu thức hàm truyền $V_o(s)/V_i(s)$. Hàm truyền này chính là một mạch lọc thông thấp STC. Hãy tìm hệ số khuếch đại một chiều và tần số 2 dB. Thiết kế mạch khuếch đại với hệ số khuếch đại một chiều bằng 40 dB, tần số 3 dB là 1 kHz, và trở kháng vào là $1 \text{ k}\Omega$. Tại tần số bao nhiêu thì độ lớn tín hiệu truyền đi bằng 1? Góc pha tại tần số này bằng bao nhiêu?



Hình 2.25 Mạch cho ví dụ 2.3

Lời giải :

Để nhận được hàm truyền của mạch 2.25, ta thay $Z_1 = R_1$ và $Z_2 = R_2 \parallel (1/sC_2)$ vào biểu thức 2.24. Vì Z_2 được tạo ra từ hai phần tử mắc song song nên nó thích hợp làm Y_2 hơn; có nghĩa là ta dùng cách biểu diễn khác của hàm truyền như sau:

$$\frac{V_o(s)}{V_i(s)} = -\frac{1}{Z_1(s)Y_2(s)}$$

và thay $Z_1 = R_1$ và $Y_2 = (1/R_2) + sC_2$ vào ta được:

$$\frac{V_o(s)}{V_i(s)} = -\frac{1}{\frac{R_1}{R_2} + sC_2R_1}$$

Hàm truyền này chính là một hàm bậc nhất, có một hệ số khuếch đại một chiều hữu hạn (tại $s = 0$, $V_o/V_i = -R_2/R_1$) và có hệ số khuếch đại bằng không tại tần số vô hạn. Do vậy đây chính là hàm truyền của một mạch lọc thông thấp.

$$\frac{V_o(s)}{V_i(s)} = \frac{-R_2/R_1}{1+sC_2R_1}$$

Từ đây ta sẽ tìm được hệ số khuếch đại một chiều K:

$$K = -\frac{R_2}{R_1}$$

Và tần số 3 dB ω_0 bằng:

$$\omega_0 = \frac{1}{C_2R_2}$$

Ta có thể tìm được tất cả các thông số này từ mạch điện hình 2.25 bằng kiểm chứng. Đặc biệt nên chú ý rằng tụ điện hoạt động như một mạch hở đối với thành phần một chiều; do đó tại thành phần một chiều thì hệ số khuếch đại đơn giản chỉ bằng (-

R_2/R_1). Hơn nữa, vì đầu vào đảo tồn tại một điểm đất ảo nên trở kháng được xem như là bằng với tụ điện bằng R_2 , và do vậy hằng số thời gian của mạch STC là C_2R_2 .

Bây giờ để có được hệ số khuếch đại bằng 40 dB tương ứng là 100 V/V thì ta lựa chọn $R_2/R_1 = 100$. Với trở kháng vào là $1 \text{ k}\Omega$, ta chọn $R_1 = 1 \text{ k}\Omega$ và đo đó $R_2 = 100 \text{ k}\Omega$. Cuối cùng, với tần số 3 dB $f_0 = 1 \text{ kHz}$ thì ta chọn C_2 từ biểu thức:

$$2\pi \times 1 \times 10^3 = \frac{1}{C_2 \times 100 \times 10^3}$$

từ đó ta rút ra được $C_2 = 1.59 \text{ nF}$.

Đồ thị Bode của hệ số khuếch đại và pha của mạch được biểu diễn như hình 1.23. Hệ số khuếch đại có độ suy hao là -20 dB/decade, và nó sẽ bằng 0 dB tại điểm 2 decade, tương ứng tại tần số $f_0 = 100 \text{ kHz}$. Như hình 1.23(b) thì tần số lớn hơn tần số f_0 thì góc pha xấp xỉ bằng -90° . Tuy nhiên do bản thân bộ khuếch đại thuật toán cũng bị dịch pha đi 180° nên tại tần số 100kHz thì tổng lượng di pha sẽ bằng -270° hoặc tương đương là $+90^\circ$.

2.5.2 Mạch tích phân đảo

Bằng cách đặt một tụ điện vào mạch phản hồi (ví dụ đặt vào vị trí của Z_2 trong hình 2.24) và một điện trở vào mạch vào (tại vị trí của Z_1), ta có mạch điện như hình 2.26(a). Đầu vào là một hàm biến đổi theo thời gian $v_I(t)$. Điểm đất ảo tại đầu vào đảo của khuếch đại thuật toán làm cho dòng điện $i_1(t)$ sẽ bằng $v_I(t)/R$. Dòng điện này chạy qua tụ điện C, là nguyên nhân gây ra sự thay đổi khả năng tích lũy của tụ C. Nếu ta giả thiết rằng mạch bắt đầu hoạt động tại điểm $t = 0$ thì tại một khoảng thời gian bất kỳ t nào đó dòng điện $i_1(t)$ sẽ nạp vào tụ C một điện tích bằng $\int_0^t i_1(t)dt$. Do vậy điện áp trên tụ C sẽ thay đổi và bằng $\frac{1}{C} \int_0^t i_1(t)dt$. Nếu điện áp ban đầu trên tụ C (tại $t = 0$) là V_C thì:

$$v_C(t) = V_C + \frac{1}{C} \int_0^t i_1(t)dt$$

Điện áp ra $v_O(t) = -v_C(t)$ nên:

$$v_O(t) = -\frac{1}{CR} \int_0^t v_I(t)dt - V_C \quad (2.25)$$

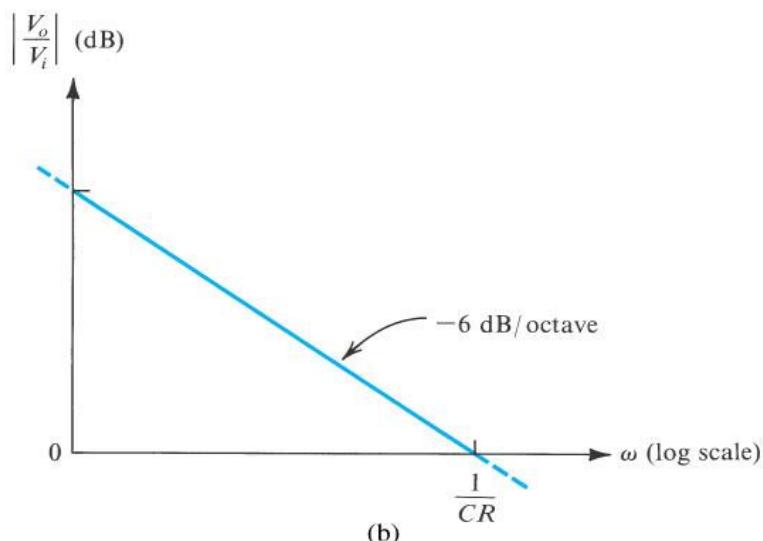
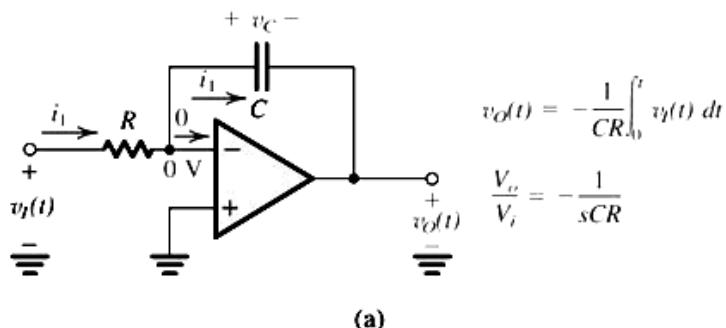
Do đó mạch điện sẽ tạo ra ở đầu ra một điện áp tỷ lệ với tích phân theo thời gian của đầu vào, với V_C là điều kiện đầu của hàm tích phân và CR là hằng số thời gian của mạch tích phân. Chú ý rằng, trong biểu thức điện áp ra của mạch tích phân tồn tại một dấu âm nên có thể nói rằng mạch tích phân này chính là một mạch tích phân đảo. Nó cũng được biết đến như là một mạch tích phân Miller ở phần sau.

Hoạt động của mạch tích phân có thể được miêu tả bằng một cách khác trong miền tần số bằng cách thay $Z_1(s) = R$ và $Z_2(s) = 1/sC$ vào biểu thức (2.24), từ đó ta có hàm truyền như sau:

$$\frac{V_o(s)}{V_i(s)} = -\frac{1}{sCR} \quad (2.26)$$

Với các tần số cơ bản $s = j\omega$ thì:

$$\frac{V_o(j\omega)}{V_i(j\omega)} = -\frac{1}{j\omega CR} \quad (2.27)$$



Hình 2.26 (a) Mạch tích phân đảo hay mạch tích phân Miller

(b) Đáp ứng tần số của mạch tích phân

Do vậy hàm truyền của mạch tích phân có độ lớn bằng:

$$\left| \frac{V_o}{V_i} \right| = \frac{1}{\omega CR} \quad (2.28)$$

và góc pha bằng:

$$\phi = +90^\circ$$

Đồ thị Bode với độ lớn đáp ứng của mạch tích phân có thể được xác định từ biểu thức (2.28), trong đó nếu tần số ω tăng lên gấp đôi (tương ứng tăng lên 1 octave) thì độ lớn của đáp ứng giảm đi một nửa (tương ứng giảm đi một nửa). Do vậy đồ thị Bode là

một đường thẳng có độ dốc là -6 dB/octave (tương đương là -20 dB/decade). Đường thẳng này [hình 2.26(b)] cắt đường 0 dB tại tần số mà tại đó $|V_o/V_i| = 1$, theo biểu thức (2.28) thì tần số đó bằng:

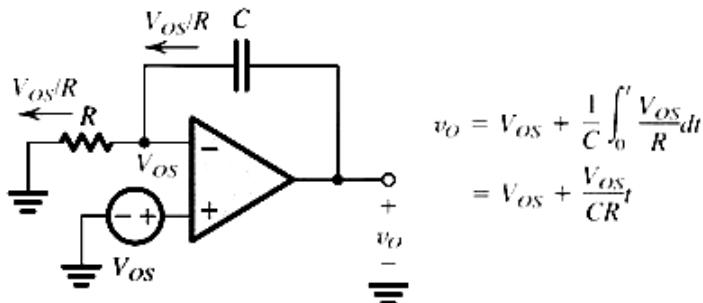
$$\omega_{int} = \frac{1}{CR} \quad (2.29)$$

Tần số ω_{int} được biết đến như là tần số tích phân và đơn giản là nghịch đảo của hằng số thời gian.

So sánh đáp ứng tần số của mạch tích phân với mạch lọc thông thấp STC ta thấy rằng mạch tích phân hoạt động như một mạch lọc thông thấp với tần số cắt bằng không. Chú ý, tại tần số $\omega = 0$ độ lớn của hàm truyền mạch tích phân là bằng vô cùng. Điều này cho thấy rằng với thành phần một chiều thì khuếch đại thuật toán hoạt động như là một mạch hở. Điều này là hiển nhiên đối với một mạch tích phân. Tham chiếu đến hình 2.26(a) thấy rằng phần tử phản hồi chính là tụ điện và do vậy đối với tín hiệu một chiều thì tụ điện hoạt động như một mạch hở, không có phản hồi âm. Đây là một quan sát quan trọng và điều này chỉ ra nguồn gốc của các vấn đề của mạch tích phân: các thành phần một chiều nhỏ bé trong tín hiệu vào theo lý thuyết sẽ gây ra một đầu ra vô hạn. Tuy nhiên, trong thực tế điện áp đầu ra không phải là vô hạn, hơn nữa đầu ra của mạch khuếch đại bão hòa tại mức điện áp gần bằng điện áp nguồn cung cấp dương và âm (L_+ hoặc L_-), tùy thuộc vào phân cực của tín hiệu một chiều ở đầu vào.

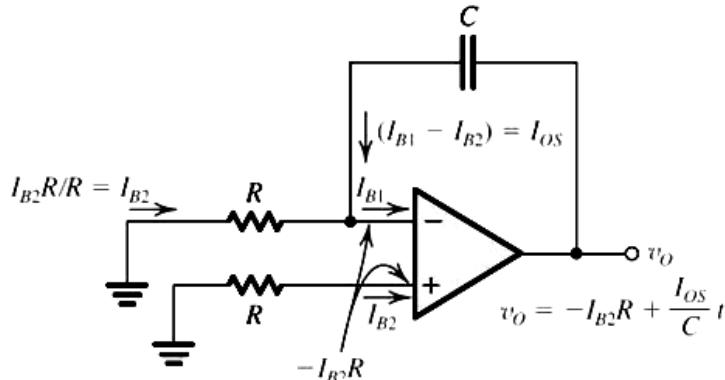
Như vậy mạch tích phân sẽ phải chịu những ảnh hưởng không có lợi do sự tồn tại của dòng điện và điện áp sai lệch một chiều ở đầu vào của mạch khuếch đại thuật toán. Để xem xét sự ảnh hưởng của điện áp sai lệch một chiều ở đầu vào V_{OS} ta nên xét mạch tích phân hình 2.27, trong đó với tính toán đơn giản ta sẽ làm ngắn mạch nguồn tín hiệu vào. Các bước phân tích mạch đã được trình bày rất rõ ràng trong hình 2.27. Giả thiết với tính toán đơn giản thì tại thời gian $t = 0$ điện áp trên tụ sẽ bằng không, do vậy điện áp đầu ra biến thiên theo thời gian bằng:

$$v_O = V_{OS} + \frac{V_{OS}}{CR} t \quad (2.30)$$

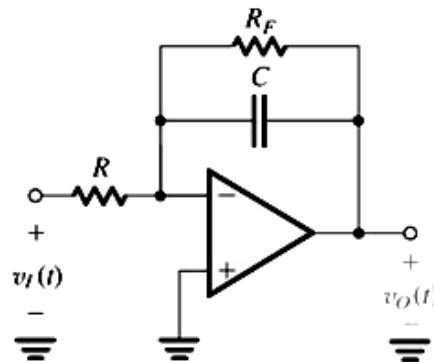


$$\begin{aligned} v_O &= V_{OS} + \frac{1}{C} \int_0^t \frac{V_{OS}}{R} dt \\ &= V_{OS} + \frac{V_{OS}}{CR} t \end{aligned}$$

Hình 2.27 Xác định ảnh hưởng của điện áp sai lệch đầu vào khuếch đại thuật toán V_{OS} trên mạch tích phân Miller. Chú ý rằng điện áp đầu ra tăng theo thời gian nên cuối cùng thì khuếch đại thuật toán cũng rơi vào trạng thái bão hòa.



Hình 2.28 Ảnh hưởng của các dòng sai lệch và dòng phân cực ở đầu vào của khuếch đại thuật toán đến đặc tính của mạch tích phân Miller.



Hình 2.29 Mạch tích phân Miller với trở kháng lớn R_F nối song song với tụ C để tạo thành mạch phản hồi và làm cho hệ số khuếch đại là hữu hạn với thành phần một chiều.

Do vậy, v_O tăng tuyến tính theo thời gian cho đến khi khuếch đại thuật toán rơi vào trạng thái bão hòa, rõ ràng đây là một trạng thái không mong muốn. Chúng ta mong là dòng điện sai lệch một chiều ở đầu vào có tác dụng ít đến đầu ra. Hình 2.28 minh họa trạng thái này. Quan sát thấy rằng ta đã thêm một điện trở R vào đầu vào không đảo của khuếch đại thuật toán để giữ cho dòng phân cực đầu vào I_B chảy qua C .

Tuy nhiên, dòng sai lệch I_{OS} sẽ chảy qua tụ C và làm cho v_O sụt giảm tuyến tính theo thời gian cho đến khi khuếch đại thuật toán bão hòa.

Vấn đề một chiều của mạch tích phân có thể được giảm nhẹ bằng cách nối thêm điện trở R_F song song với tụ tích phân C như hình 2.29. Như vậy, điện trở tạo ra đường dẫn cho các thành phần một chiều như là (V_{OS}/R) và I_{OS} có thể chạy qua, kết quả là điện áp ra v_O sẽ có thêm thành phần $[V_{OS}(1 + R_F/R) + I_{OS}R_F]$ thay cho sự tăng tuyến

tính. Để giữ cho sai lệch ở đầu ra nhỏ thì nên chọn điện trở R_F nhỏ. Tuy nhiên, không may là giá trị điện trở R_F càng thấp thì mạch tích phân càng trở nên ít tuyến tính hơn. Điều này là do R_F gây ra tần số điểm cực của mạch tích phân tách chuyển từ vị trí lý tưởng của nó tại tần số $\omega = 0$ tới một vị trí khác được xác định bằng với tần số góc của mạch STC (R_F, C). Đặc biệt, hàm truyền mạch tích phân khi này bằng:

$$\frac{V_o(s)}{V_i(s)} = \frac{-R_F / R}{1 + sCR_F}$$

đối lập với hàm truyền lý tưởng $-1/sCR$. Chúng ta lựa chọn giá trị của R_F càng thấp thì tần số góc ($1/CR_F$) càng cao và sẽ làm cho mạch tích phân càng trở nên không tuyến tính. Do vậy nhà thiết kế phải lựa chọn giá trị R_F sao cho có lợi về cả tính chất một chiều và thành phần tín hiệu. Chúng ta nên chú ý rằng R_F khép kín vòng phản hồi âm với thành phần một chiều và làm cho mạch tích phân có hệ số khuếch đại một chiều hữu hạn bằng $-R_F / R$.

Ví dụ 2.4 :

Cho mạch mạch tích phân Miller với xung tín hiệu vào có chiều cao bằng 1V, chiều rộng bằng 1 ms (như hình 2.30). Với $R = 10 \text{ k}\Omega$ và $C = 10 \text{ nF}$. Hãy xác định điện áp tại đầu ra của mạch. Nếu tụ tích phân được nối song song với một điện trở $1 \text{ M}\Omega$ thì đáp ứng sẽ thay đổi như thế nào? Biết rằng khuếch đại thuật toán bị bão hòa tại điện áp bằng $\pm 13 \text{ V}$.

Lời giải :

Với xung tín hiệu vào bằng 1V, 1ms thì điện áp đầu ra mạch tích phân sẽ bằng:

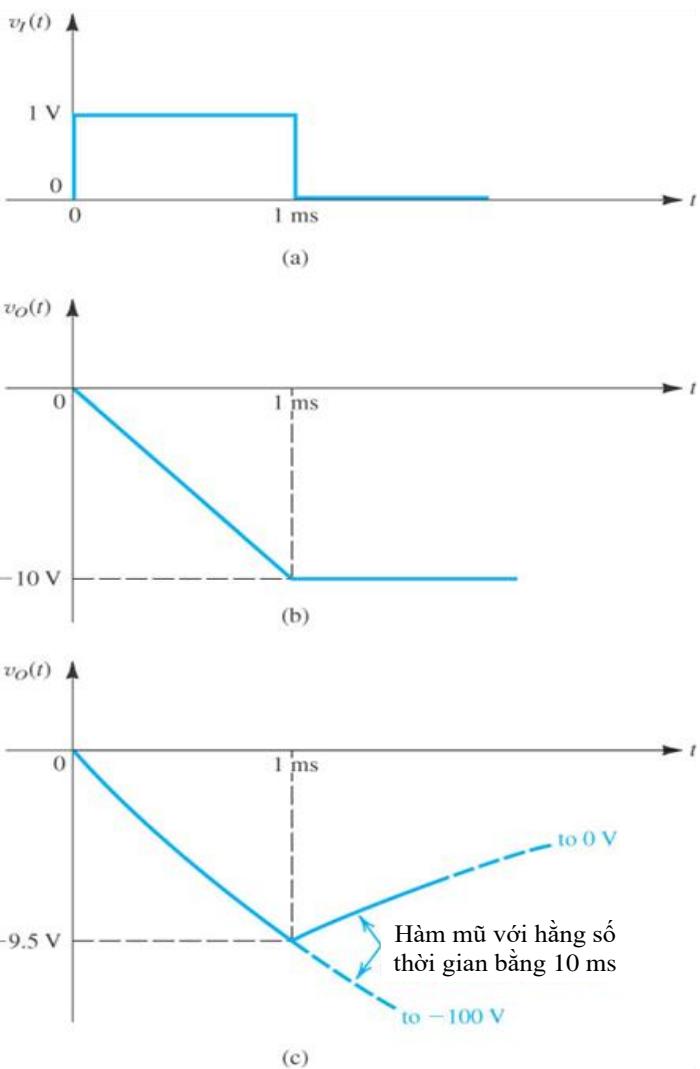
$$v_o(t) = -\frac{1}{CR} \int_0^t 1 \cdot dt ; \quad 0 \leq t \leq 1 \text{ ms}$$

trong đó ta giả thiết rằng điện áp đầu của tụ tích phân bằng 0. Với $C = 10 \text{ nF}$ và $R = 10 \text{ k}\Omega$, $CR = 0.1 \text{ ms}$ và:

$$v_o(t) = -10t ; \quad 0 \leq t \leq 1 \text{ ms}$$

với độ dốc tuyến tính được biểu diễn như hình (b). Đầu ra đạt được độ lớn bằng -10 V tại $t=1 \text{ ms}$ và phần dư bằng hằng số.

Điện áp đầu ra hiển nhiên là tuyến tính vì với xung vào bằng 1V thì sẽ tạo ra dòng điện không đổi $1V/10k\Omega = 0.1 \text{ mA}$ chạy qua tụ. Dòng điện cố định $I = 0.1 \text{ mA}$ này cung cấp cho tụ một điện tích It , và do vậy điện áp trên tụ thay đổi tuyến tính bằng (It/C) . Kết quả là $v_o = -(I/C)t$. Nên nhớ rằng, trong quá trình nạp của tụ nếu dòng điện không thay đổi thì điện áp đặt trên nó là tuyến tính.



Hình 2.30 Hình vẽ cho ví dụ 2.4

(a) Xung đầu vào

(b) Độ dốc tuyến tính đầu ra của mạch tích phân lý tưởng với hằng số thời gian bằng
0.1ms

(c) Độ dốc hàm mũ đầu ra khi R_F được nối song song với tụ tích phân C.

Xét trường hợp tiếp theo với $R_F = 1M\Omega$ được nối với tụ C. Giống như phần trên, với xung vào 1V sẽ tạo ra một dòng không đổi $I = 0.1mA$. Tuy nhiên, bây giờ dòng điện này lại được đưa tới một mạch STC gồm có một điện trở R_F được nối song song với một tụ điện C. Để tìm điện áp ra ta áp dụng biểu thức $y(t) = Y_\infty - (Y_\infty - Y_{0+})e^{-t/\tau}$ cho trường hợp này như sau:

$$v_O(t) = v_O(\infty) - [v_O(\infty) - v_O(0+)]e^{-t/CR_F}$$

trong đó $v_O(\infty)$ là giá trị cuối, được xác định bằng:

$$v_O(\infty) = -IR_F = -0.1 \times 10^{-3} \times 1 \times 10^6 = -100 \text{ V}$$

và $v_o(0+)$ là giá trị đầu và bằng không. Có nghĩa là, đầu ra sẽ là một hàm mũ với phần phía trước bằng -100 V và có hằng số thời gian $CR_F = 10 \times 10^{-9} \times 1 \times 10^6 = 10 \text{ ms}$.

$$v_o(t) = -100(1 - e^{-t/10}) \quad ; \quad 0 \leq t \leq 1 \text{ ms}$$

Tất nhiên, hàm mũ sẽ bị gián đoạn tại điểm cuối của xung, có nghĩa là tại $t = 1\text{ms}$, và đầu ra sẽ nhận giá trị bằng:

$$v_o(1\text{ms}) = -100(1 - e^{-1/10}) = -9.5 \text{ V}$$

Dạng sóng đầu ra được biểu diễn như hình (c), từ dạng sóng này ta nhận thấy rằng điện trở R_F là nguyên nhân làm cho điện áp đầu ra bằng -9.5V, thấp hơn giá trị lý tưởng (-10V) là 0.5V. Hơn nữa, với $t > 1\text{ms}$ thì tụ phỏng điện qua R_F với hằng số thời gian tương ứng bằng 10ms. Cuối cùng, chúng ta chú ý rằng khuếch đại thuật toán bao hòa tại giá trị dự kiến là $\pm 13\text{V}$ không ảnh hưởng gì đến hoạt động của mạch này.

2.5.3 Mạch vi phân

Hoán đổi vị trí của tụ điện và điện trở của mạch tích phân ta được mạch điện như hình 2.31(a), mạch này thực hiện chức năng của hàm toán vi phân. Để phân tích mạch này, ta đặt vào đầu vào một điện áp biến đổi theo thời gian $v_i(t)$, và chú ý rằng điểm đất ảo ở đầu vào đảo của khuếch đại thuật toán là nguyên nhân làm cho $v_i(t)$ được đặt hoàn toàn trên tụ C. Do vậy dòng chạy qua C sẽ bằng $C(dv_I/dt)$ và dòng điện này sẽ chảy qua điện trở phản hồi R cung cấp cho đầu ra một điện áp:

$$v_o(t) = -CR \frac{dv_I(t)}{dt} \quad (2.31)$$

Hàm truyền miền tần số của mạch vi phân được xác định bằng biểu thức (2.31) và thay $Z_1(s) = 1/sC$ và $Z_2(s) = R$ ta được:

$$\frac{V_o(s)}{V_i(s)} = -sCR \quad (2.32)$$

trong đó với tần số vật lý $s = j\omega$ thì:

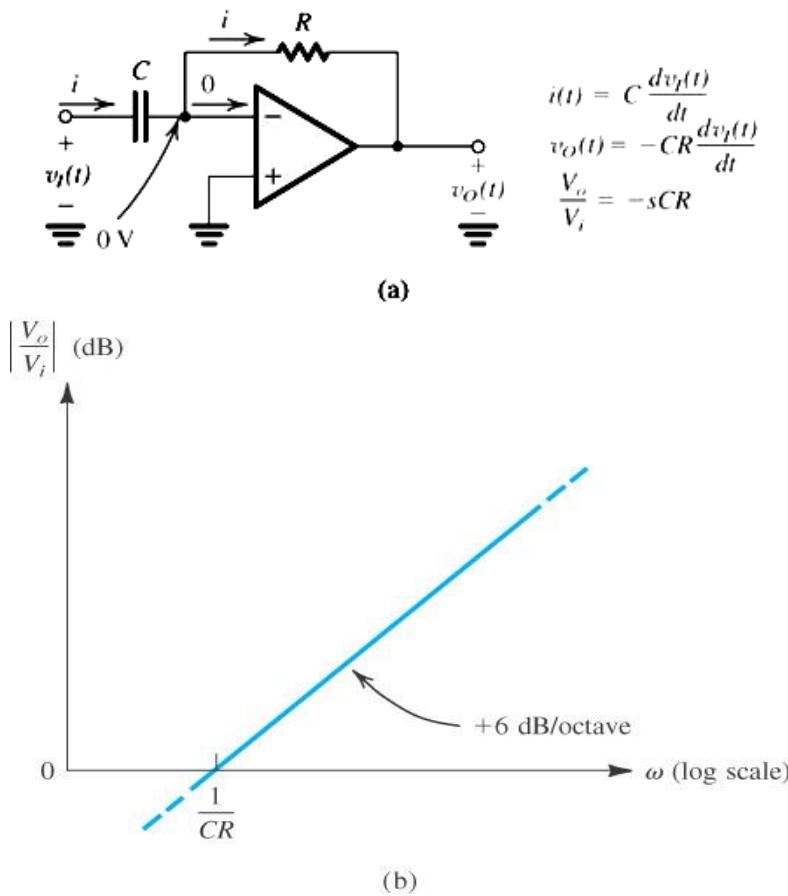
$$\frac{V_o(j\omega)}{V_i(j\omega)} = -j\omega CR \quad (2.33)$$

Do đó độ lớn của hàm truyền là:

$$\left| \frac{V_o}{V_i} \right| = \omega CR \quad (2.34)$$

và góc pha:

$$\phi = -90^\circ \quad (2.35)$$



Hình 2.31 (a) Mạch vi phân.

(b) Đáp ứng tần số của mạch vi phân với hằng số thời gian là CR.

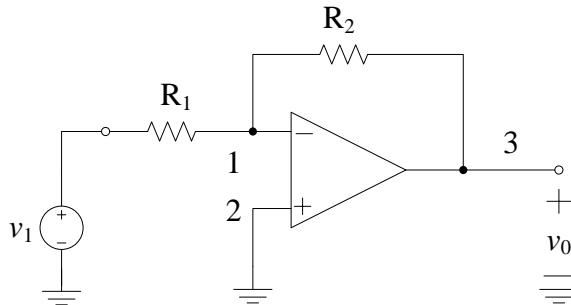
Đồ thị Bode của độ lớn đáp ứng được xác định trong biểu thức (2.34) với chú ý rằng nếu tần số ω tăng lên một octave thì độ lớn đáp ứng tăng lên gấp đôi (tức là tăng lên 6 dB). Do đó đồ thị đơn giản chỉ là một đường thẳng có độ dốc bằng +6 dB/octave (tương ứng bằng +20dB/decade) và đường thẳng 0dB (tại đó $|V_o/V_i|=1$) tại tần số $\omega=1/CR$, trong đó CR là hằng số thời gian của mạch vi phân [xem hình 2.31(b)].

Đáp ứng tần số của mạch vi phân có thể coi như là một mạch lọc thông cao với tần số cắt bằng vô cùng. Cuối cùng, chúng ta nên chú ý rằng do bản chất của mạch vi phân đó nên nó còn được coi là mạch “khuếch đại tạp âm”. Lý do là trong tín hiệu đầu ra xuất hiện đinh nhọn trong mọi khoảng thời gian là do sự thay đổi của $v_i(t)$; do vậy một sự thay đổi cũng có thể làm cho các nguồn tín hiệu lân cận giao thoa điện từ với nhau (“picked-up”). Vì lý do này và vì các vấn đề ổn định nên mạch vi phân thông thường không hay được sử dụng. Khi mạch điện hình 2.31(a) được sử dụng thì nó thường nối tiếp một điện trở có giá trị nhỏ với tụ điện. Nhưng sự thay đổi này lại làm cho mạch trở nên không lý tưởng.

BÀI TẬP

2.1 CẤU TRÚC DẠNG ĐẢO

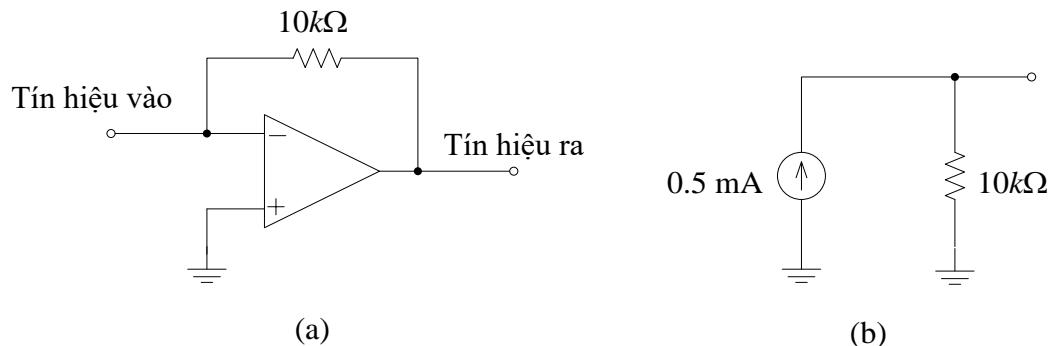
2.1 Sử dụng mạch điện hình E2.1 để thiết kế một mạch khuếch đại đảo có hệ số khuếch đại bằng -10 và trở kháng vào là $100k\Omega$. Hãy cho biết giá trị của các điện trở R_1 và R_2 .



Hình E2.1

Đáp án: $R_1 = 100k\Omega$, $R_2 = 1M\Omega$

2.2 Mạch điện được biểu diễn trong hình E2.2(a) có thể được sử dụng để tạo ra một mạch khuếch đại hổ dãn. Tìm điện trở vào R_i , điện trở tương hổ R_m và trở kháng ra R_o của mạch khuếch đại hổ trờ. Nếu với nguồn tín hiệu vào như trong hình E2.2(b) được kết nối vào mạch khuếch đại hổ trờ thì hãy xác định điện áp ra của mạch.

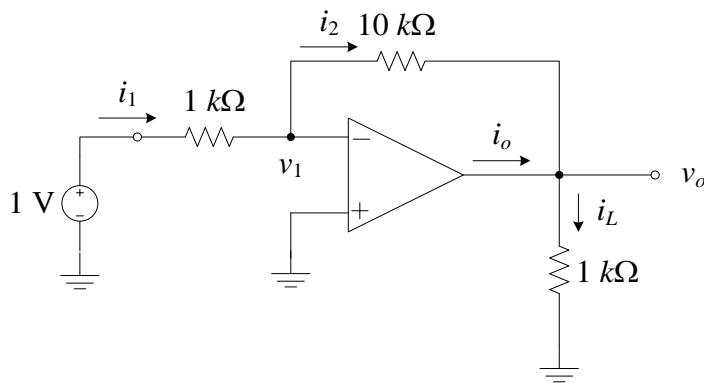


Hình E2.2

Đáp án: $R_i = 0$; $R_m = -10k\Omega$; $R_o = 0$; $v_o = -5V$

2.3 Cho mạch điện như hình E2.3, hãy xác định các giá trị của v_1 , i_1 , i_2 , v_o , i_L và i_o . Xác định hệ số khuếch đại điện áp v_0/v_I , hệ số khuếch đại dòng điện i_L/i_I và hệ số khuếch đại công suất P_o/P_I .

Đáp án: 0 V; 1 mA; 1 mA; -10 V; -10 mA; -11mA; -10 V/V (20dB), -10 A/A (20dB); 100 / (20dB)

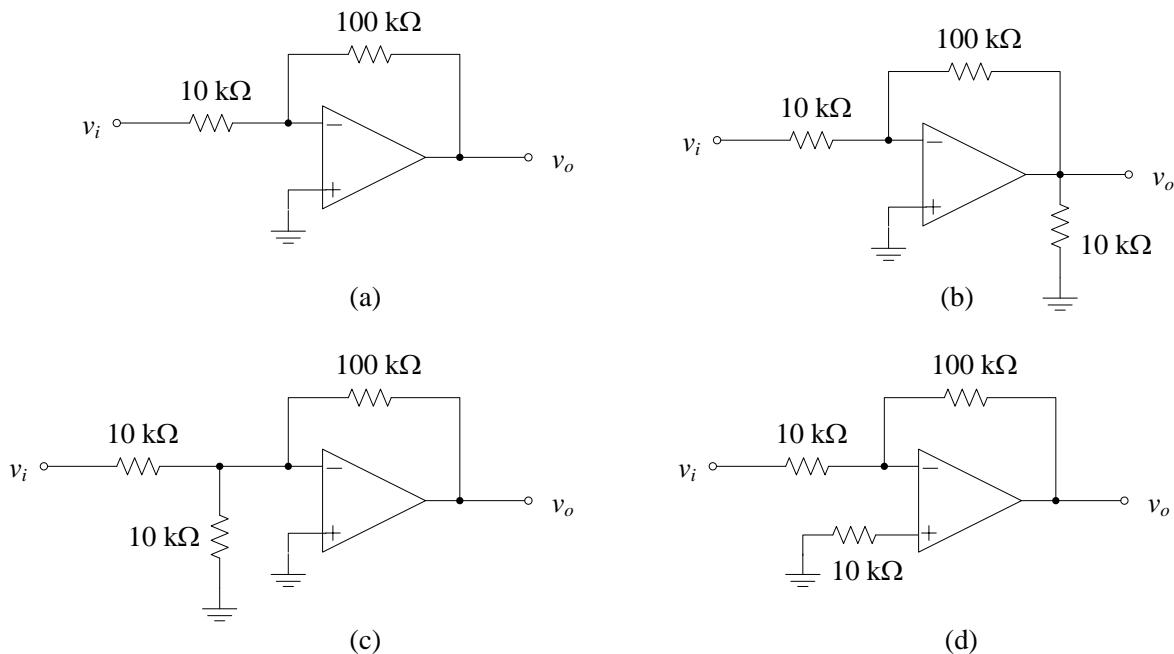


Hình E2.3

2.4 Với bộ khuếch đại thuật toán là lý tưởng hoạt động trong sơ đồ cấu trúc đảo có phản hồi thì hệ số khuếch đại vòng kín bằng bao nhiêu?

- | | |
|--|---|
| (a) $R_1 = 10\text{k}\Omega, R_2 = 10\text{k}\Omega$ | (b) $R_1 = 10\text{k}\Omega, R_2 = 100\text{k}\Omega$ |
| (c) $R_1 = 10\text{k}\Omega, R_2 = 1\text{k}\Omega$ | (d) $R_1 = 10\text{k}\Omega, R_2 = 10\text{k}\Omega$ |
| (e) $R_1 = 100\text{k}\Omega, R_2 = 1\text{k}\Omega$ | |

2.5 Giả thiết khuếch đại thuật toán là lý tưởng, tìm hệ số khuếch đại điện áp v_o / v_i và trở kháng vào R_{in} cho mỗi mạch trong hình E2.5.



Hình E2.5

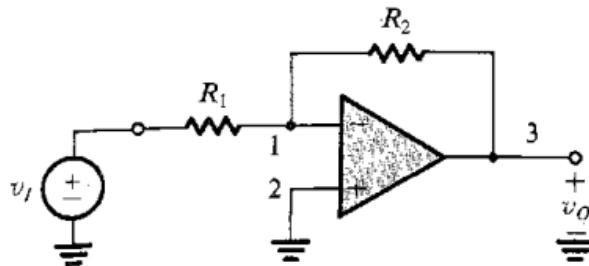
2.6 Sử dụng khuếch đại thuật toán lý tưởng để thiết kế một mạch khuếch đại, với các hệ số khuếch đại vòng kín được cho ở phía dưới thì khi đó các điện trở R_1 và R_2 sẽ có giá trị bằng bao nhiêu? Trong thiết kế của bạn phải sử dụng ít nhất một điện trở $10\text{k}\Omega$ và một điện trở khác lớn hơn.

- | | |
|------------|------------|
| (a) -1 V/V | (b) -2 V/V |
|------------|------------|

- (c) -0.5 V/V (d) -100 V/V

2.7 Thiết kế một mạch khuếch đại thuật toán đảo với hệ số khuếch đại bằng -5 V/V và tổng trở được sử dụng bằng $120\text{ k}\Omega$.

2.8 Sử dụng mạch điện hình E2.8 và giả thiết bộ khuếch đại thuật toán là lý tưởng, hãy thiết kế một mạch khuếch đại đảo có hệ số khuếch đại là 26 dB. Với các điện trở được sử dụng không lớn hơn $10\text{ M}\Omega$ thì trở kháng vào trong thiết kế của bạn bằng bao nhiêu?



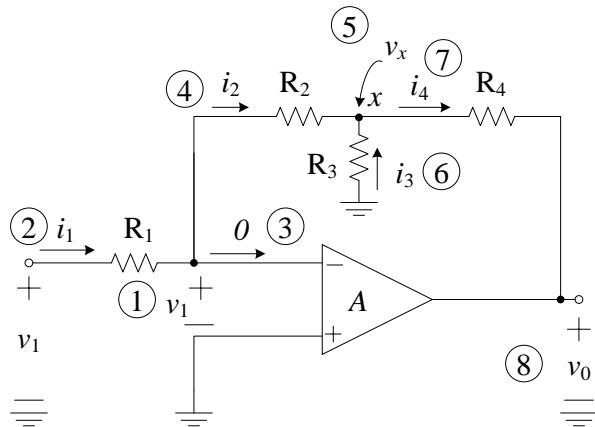
Hình E2.8

2.9 (a) Thiết kế một mạch khuếch đại đảo với hệ số khuếch đại vòng kín bằng -100V/V và trở kháng vào bằng $1k\Omega$.

(b) Nếu bộ khuếch đại thuật toán có hệ số khuếch đại vòng hở là $1000V/V$ thì hệ số khuếch đại vòng kín trong mạch bằng bao nhiêu? (giả thiết các điện trở có giá trị chính xác).

2.10 Xét mạch điện như hình E2.10 với $R_1 = R_2 = R_4 = 1 \text{ M}\Omega$ và giả thiết khuếch đại thuật toán là lý tưởng. Tìm giá trị của R_3 với hệ số khuếch đại bằng:

- (a) -10 V/V
 - (b) -100 V/V
 - (c) -2 V/V

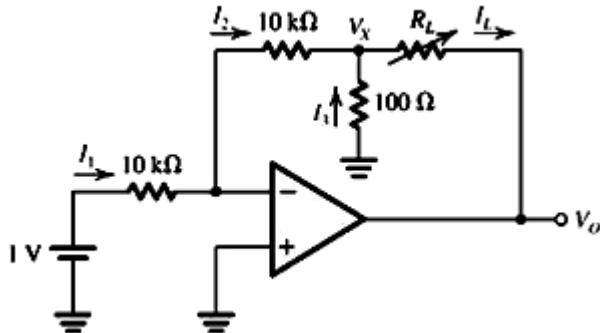


Hình E2.10

2.11 Mạch điện hình E2.11 dùng một bộ khuếch đại thuật toán lý tưởng.

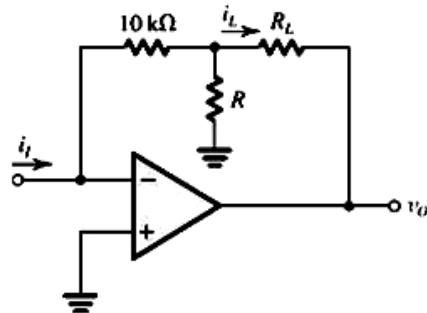
- (a) Tìm I_1, I_2, I_3 và V_x

- (b) Nếu V_O không thấp hơn -13 V thì giá trị cực đại cho phép của R_L bằng bao nhiêu?
 (c) Nếu R_L có giá trị nằm trong dải từ 100Ω đến $1\text{k}\Omega$ thì giá trị I_L và V_O thay đổi tương ứng bằng bao nhiêu?



Hình E2.11

2.12 Giả thiết bộ khuếch đại thuật toán là lý tưởng, mạch điện hình E2.18 là mạch khuếch đại dòng điện với hệ số khuếch đại là $i_L / i_I = 20 \text{ A/A}$.

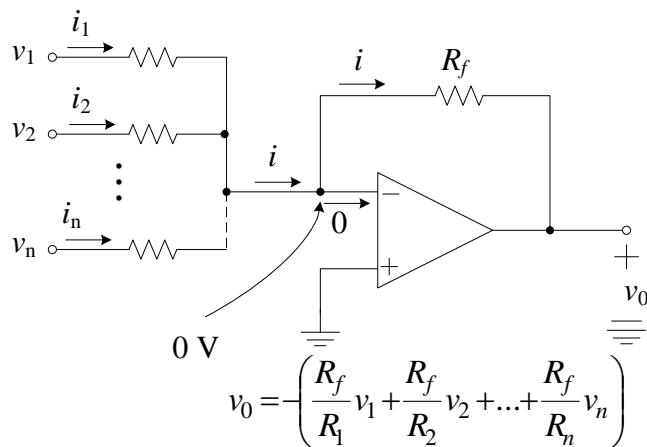


Hình E2.12

- (a) Tìm giá trị cần thiết của R
 (b) Nếu $R_L = 1\text{k}\Omega$ và khuếch đại thuật toán hoạt động một cách lý tưởng miễn là v_o nằm trong khoảng ± 12 V. Thì khoảng dòng điện i_L có thể đạt được bằng bao nhiêu?
 (c) Trở kháng vào của mạch khuếch đại dòng điện bằng bao nhiêu? Nếu bộ khuếch đại được nuôi bởi một nguồn dòng là 1 mA và một trở kháng nguồn là $10\text{k}\Omega$, hãy tìm i_L .

2.13 Một bộ cộng trọng số sử dụng một bộ khuếch đại lý tưởng có ba đầu vào với các điện trở là $100\text{k}\Omega$ và điện trở phản hồi là $50\text{k}\Omega$. Tín hiệu v_1 được đưa tới hai đầu và trong khi tín hiệu v_2 được đưa tới đầu vào thứ ba. Biểu diễn theo v_1 và v_2 . Nếu $v_1 = 3$ V và $v_2 = -3$ V thì v_o bằng bao nhiêu?

2.14 Sử dụng sơ đồ của bộ cộng trọng số hình E2.14 hãy thiết kế một mạch khuếch đại có ba đầu vào v_1 , v_2 và v_3 theo biểu thức $v_o = -(2v_1 + 4v_2 + 8v_3)$ sử dụng các điện trở nhỏ nhưng giá trị của chúng không được nhỏ hơn $10\text{k}\Omega$.



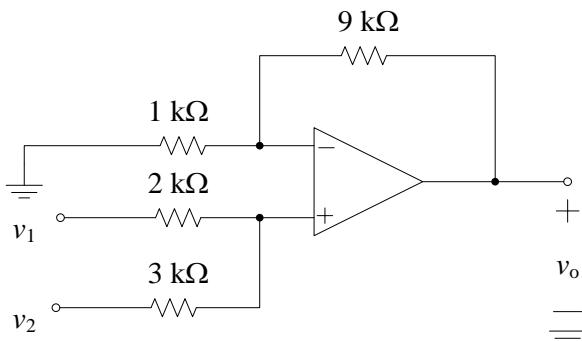
Hình E2.14

2.15 Sử dụng hai bộ khuếch đại thuật toán lý tưởng và các điện trở để thiết kế một mạch điện thực hiện chức năng hàm toán học như sau:

$$v_o = v_1 + 2v_2 - 3v_3 - 4v_4$$

2.2 CÁU HÌNH KHÔNG ĐẢO

2.16 Sử dụng nguyên lý xếp chồng tìm điện áp ra của mạch được biểu diễn như trong hình E2.16.



Hình E2.16

$$\text{Đáp án: } v_o = 6v_1 + 4v_2$$

2.17 Nếu trong mạch hình E2.16 điện trở 1 kΩ không nối với đất mà thay vào đó nối với một nguồn tín hiệu vào thứ ba v_3 . Sử dụng nguyên lý xếp chồng để xác định v_o theo v_1 , v_2 và v_3 .

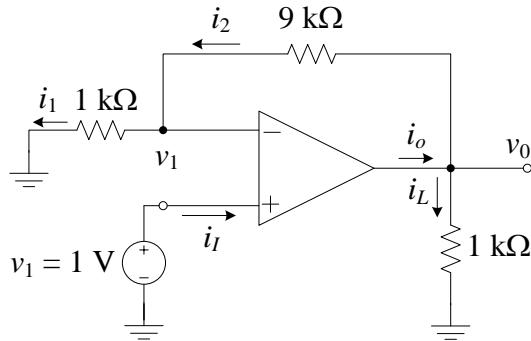
$$\text{Đáp án: } v_o = 6v_1 + 4v_2 - 9v_3$$

2.18 Thiết kế một mạch khuếch đại không đảo với hệ số khuếch đại bằng 2. Với điện áp ra cực đại bằng 10 V thì dòng điện chạy qua bộ chia điện áp bằng $10\mu\text{A}$.

$$\text{Đáp án: } R_1 = R_2 = 0.5 \text{ M}\Omega$$

2.19 Đối với mạch như hình E2.19 tìm i_L , v_1 , i_1 , i_2 , v_o , i_L và i_o . Tìm hệ số khuếch đại điện áp v_o/v_I , hệ số khuếch đại dòng điện i_L/i_I và hệ số khuếch đại công suất P_L/P_I .

Đáp án: 0; 1 V; 1 mA; 1 mA; 10 V; 10 mA; 11 mA; 10 V/V (20dB); ∞ ; ∞



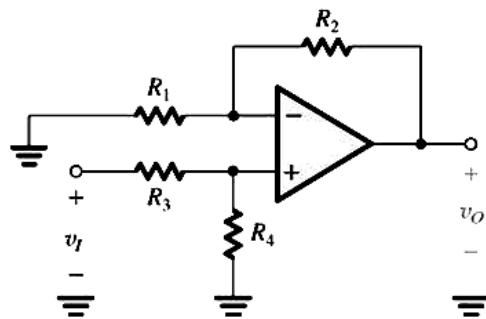
Hình E2.19

2.20 Sử dụng một bộ khuếch đại thuật toán lý tưởng thực hiện thiết kế theo các hệ số khéch đại vòng kín như ở dưới, giá trị của các điện trở (R_1, R_2) nên sử dụng bằng bao nhiêu? Trong đó, nên sử dụng ít nhất một điện trở $10\text{ k}\Omega$.

- | | |
|--------------|--------------|
| (a) +1 V/V | (b) +2 V/V |
| (c) +101 V/V | (d) +100 V/V |

2.21 Sử dụng khuếch đại thuật toán lý tưởng hãy thiết kế một mạch điện mà tín hiệu đầu ra bằng $v_o = v_{I1} + 3v_{I2} - 2(v_{I3} + 3v_{I4})$.

2.22 Hãy cho biết biểu thức của hệ số khuếch đại v_o/v_I của mạch hình E2.22.



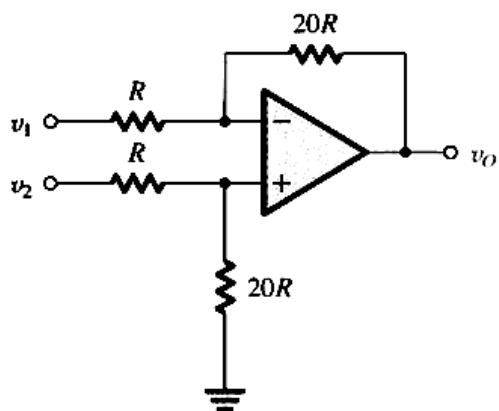
Hình E2.22

2.23 Với mạch điện hình E2.23, sử dụng nguyên lý xếp chồng hãy tìm điện áp v_o theo các điện áp vào v_1 và v_2 . Giả thiết khuếch đại thuật toán là lý tưởng. Với:

$$v_1 = 10 \sin(2\pi \times 60t) - 0.1 \sin(2\pi \times 1000t) \text{ (V)}$$

$$v_2 = 10 \sin(2\pi \times 60t) + 0.1 \sin(2\pi \times 1000t) \text{ (V)}$$

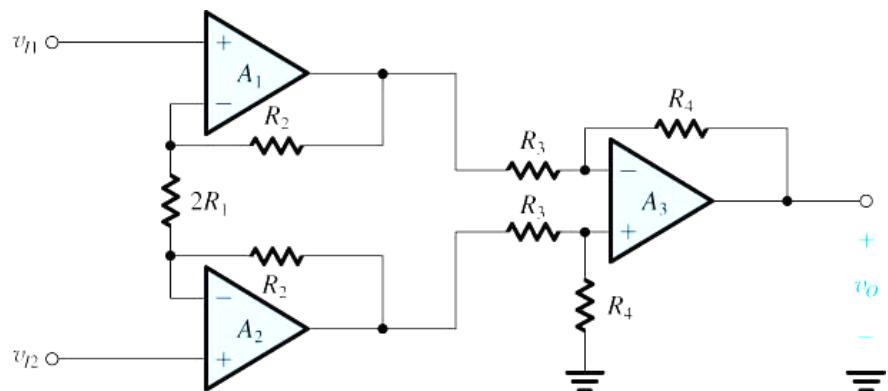
Tìm v_o .



Hình E2.23

2.3 KHUẾCH ĐẠI VI SAI

2.24 Xét mạch khuếch đại đo lường như hình E2.24 với điện áp đầu vào chế độ chung là +5 V (DC) và tín hiệu đầu vào vi sai có dạng sóng sin với biên độ bằng 10mV_p. Cho $(2R_1) = 1k\Omega$, $R_2 = 0.5M\Omega$ và $R_3 = R_4 = 10k\Omega$. Hãy tìm điện áp tại mọi điểm trong mạch.



Hình E2.24

Đáp án:

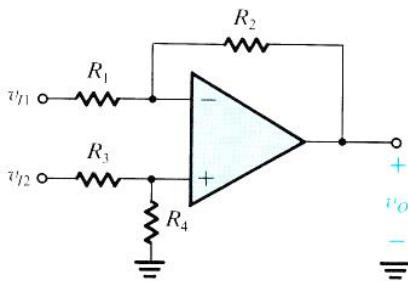
$$v_{11} = 5 - 0.005 \sin \omega t, \quad v_{12} = 5 + 0.005 \sin \omega t, \quad v_{-}(op amp A_1) = 5 - 0.005 \sin \omega t;$$

$$v_{-}(op amp A_2) = 5 + 0.005 \sin \omega t; \quad v_{o1} = 5 - 5.005 \sin \omega t; \quad v_{o2} = 5 + 5.005 \sin \omega t;$$

$$v_{-}(A_3) = v_{+}(A_3) = 2.5 + 2.0025 \sin \omega t; \quad v_o = 10.01 \sin \omega t$$

(Đơn vị tại mọi điểm bằng V)

2.25 Tìm hệ số khuếch đại điện áp v_o / v_{Id} của mạch khuếch đại vi sai hình E2.25 trong trường hợp $R_1 = R_3 = 10 k\Omega$ và $R_2 = R_4 = 100 k\Omega$. Trở kháng đầu vào vi sai R_{id} bằng bao nhiêu? Nếu tỷ số hai điện trở (R_2 / R_1) và (R_4 / R_3) khác nhau mỗi cái là 1% thì hệ số khuếch đại chế độ chung A_{cm} bằng bao nhiêu? Đồng thời tìm hệ số CMRR trong trường hợp này.



Hình E2.25

2.26 Sử dụng cấu hình khuếch đại vi sai hình E2.25 và giả thiết rằng khuếch đại thuật toán là lý tưởng, thiết kế mạch điện để tạo ra các hệ số khuếch đại vi sai như phía dưới. Trong mỗi trường hợp trở kháng vào của mạch vi sai nên bằng $20\text{ k}\Omega$.

- | | |
|-------------|-------------|
| (a) 1 V/V | (b) 2 V/V |
| (c) 100 V/V | (d) 0.5 V/V |

2.4 MẠCH TÍCH PHÂN VÀ MẠCH VI PHÂN

2.27 Dùng một khuếch đại thuật toán lý tưởng, thiết kế một mạch tích phân đảo với trở kháng vào là $10\text{ k}\Omega$ và hằng số thời gian là 10^{-3}s . Độ lớn hệ số khuếch đại và góc pha của mạch này bằng bao nhiêu tại tần số bằng 10 rad/s và 1 rad/s ? Tần số bằng bao nhiêu nếu hệ số khuếch đại bằng 1?

Đáp án : $R = 10\text{ k}\Omega$. $C = 0.1\mu\text{F}$; tại $\omega = 10\text{ rad/s}$ thì $|V_o/V_i| = 100\text{ V/V}$ và $\phi = +90^\circ$; tại $\omega = 1\text{ rad/s}$ thì $|V_o/V_i| = 1000\text{ V/V}$ và $\phi = +90^\circ$; 1000 rad/s .

2.28 Thiết kế một mạch khuếch đại vi phân có hằng số thời gian là 10^{-2}s và điện dung đầu vào là $0.01\text{ }\mu\text{F}$. Hãy xác định độ lớn hệ số khuếch đại và góc pha của mạch tại tần số 10 rad/s và 10^3 rad/s ? Tại tần số cao, để đạt được hệ số khuếch đại bằng 100 thì ta tiến hành mắc thêm một điện trở nối tiếp với tụ điện. Hãy tính giá trị của điện trở này?

Đáp án: $C = 0.01\text{ }\mu\text{F}$; $R = 1\text{ M}\Omega$; tại $\omega = 10\text{ rad/s}$: $|V_o/V_i| = 0.1\text{ V/V}$ và $\phi = -90^\circ$; tại $\omega = 1000\text{ rad/s}$: $|V_o/V_i| = 10\text{ V/V}$ và $\phi = -90^\circ$; $10\text{ k}\Omega$.

2.29 Thiết kế một mạch tích phân Miller với hằng số thời gian bằng 1s và trở kháng vào là $100\text{ k}\Omega$. Khi $t = 0$ thì điện áp một chiều bằng -1 V , điện áp ra $v_o = -10\text{ V}$, vậy mất khoảng bao lâu để điện áp ra đạt được giá trị bằng 0 V và 10 V ?

2.30 Mạch vi phân sử dụng một bộ khuếch đại thuật toán lý tưởng, một điện trở $10\text{ k}\Omega$ và một tụ điện $0.01\text{ }\mu\text{F}$. Xác định tần số $f_c(\text{Hz})$ mà tại đó tín hiệu sóng sin tại đầu vào và đầu ra của mạch có độ lớn bằng nhau. Tín hiệu đầu ra bằng bao nhiêu khi tín hiệu sóng sin đầu vào có điện áp bằng 1 V_{pp} tại tần số bằng $10f_0$?

CHƯƠNG 3

ĐIỐT

Giới thiệu

- 3.1 Chất bán dẫn
 - 3.2. Đιốt lý tưởng
 - 3.3. Đặc tuyến của điốt tiếp giáp.
 - 3.4. Mô hình điốt trong vùng đặc tuyến thuận
 - 3.5. Hoạt động trong vùng đánh thủng - điốt Zener
 - 3.6. Các mạch chỉnh lưu
 - 3.7. Các mạch hạn chế, mạch ghim.
 - 3.8. Các điốt đặc biệt
-

GIỚI THIỆU

Trong chương trước chúng ta đã xem xét gần như toàn bộ mạch tuyến tính. Tuy nhiên, có nhiều chức năng xử lý tín hiệu mà chỉ có thể thực hiện được bằng các mạch phi tuyến. Ví dụ nguồn điện áp một chiều DC tạo thành từ điện áp cấp xoay chiều AC, máy phát hàm (ví dụ: sóng sin, sóng vuông, dạng xung...). Các mạch logic số và bộ nhớ cũng là một loại mạch phi tuyến đặc biệt.

Linh kiện đơn giản và cơ bản nhất trong mạch phi tuyến là điốt. Cũng giống như một điện trở, điốt có hai đầu; nhưng khác ở chỗ, điện trở có mối quan hệ giữa dòng điện và điện áp là tuyến tính, còn điốt là phi tuyến.

Chương này sẽ nghiên cứu về điốt. Để hiểu bản chất của điốt, ta bắt đầu với một điốt lý tưởng. Sau đó ta sẽ giới thiệu về điốt silic, giải thích các đặc tính của nó, và các phương pháp để phân tích mạch điốt. Phương pháp này rất quan trọng trong việc mô hình hóa các linh kiện. Việc nghiên cứu về đặc tính của điốt sẽ đặt nền tảng cho việc nghiên cứu hoạt động của transistor trong hai chương tiếp theo.

Có rất nhiều ứng dụng của điốt, phổ biến nhất là dùng trong bộ chỉnh lưu (chuyển đổi điện áp AC sang DC). Do đó ta sẽ nghiên cứu kỹ các mạch chỉnh lưu, còn các ứng dụng khác của điốt được xem xét ngắn gọn hơn.

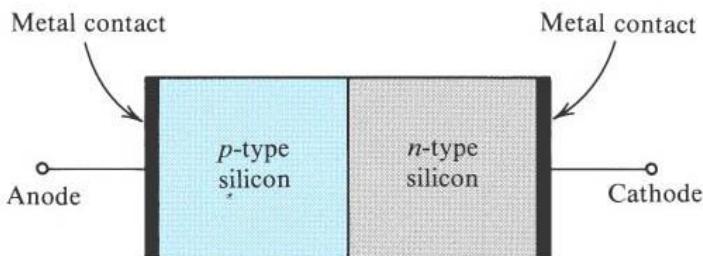
Để hiểu căn bản về đặc điểm của diốt, ta xét hoạt động vật lý của nó. Nghiên cứu các khái niệm cơ bản của vật liệu bán dẫn và hoạt động của tiếp giáp pn là nền tảng để hiểu không chỉ đặc điểm của diốt mà còn ở transistor trường, sẽ được nghiên cứu ở chương sau, và transistor bipolar, nghiên cứu ở chương 5.

Mặc dù hầu hết chương này liên quan đến tiếp giáp pn , nhưng ta vẫn đề cập một cách ngắn gọn một số loại diốt đặc biệt như diốt quang, diốt phát quang.

3.1 Khái niệm cơ bản về bán dẫn.

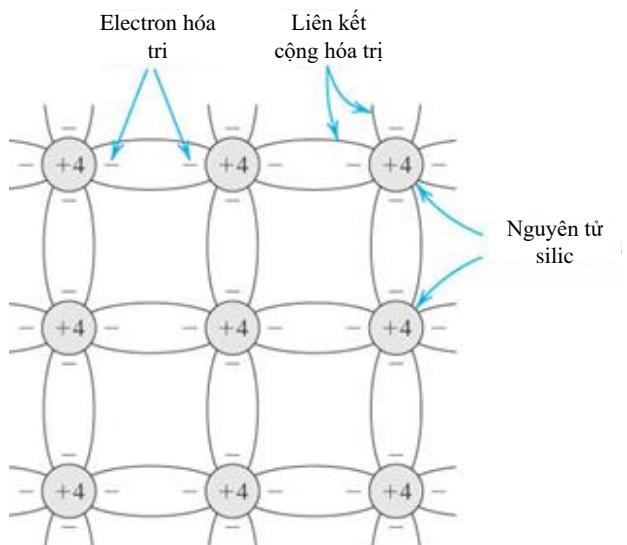
Tiếp giáp pn : Diốt bán dẫn cơ bản là một lớp tiếp giáp pn , như trên sơ đồ trong hình 3.1, ta thấy, lớp tiếp giáp pn bao gồm vật liệu bán dẫn loại p (ví dụ silic) đặt gần với vật liệu bán dẫn loại n (cũng là silic). Trong thực tế, cả loại p và n đều là những loại khác nhau của cùng tinh thể dẫn silic; có nghĩa là lớp pn được tạo nên trong một tinh thể silic đơn bằng cách tạo ra các miền “pha tạp” khác nhau (miền p và n). Trong hình 3.1, các kết nối dây bên ngoài vùng p và n (hai đầu của diốt) được làm từ kim loại (nhôm).

Ngoài ra, tiếp giáp pn còn là thành phần cơ bản của transistor lưỡng cực (BJT) và là một phần quan trọng trong hoạt động của transistor trường (FET). Như vậy hiểu được hoạt động vật lý của tiếp giáp pn là rất quan trọng để hiểu hoạt động và đặc điểm của cả diốt và transistor.



Hình 3.1 Cấu trúc vật lý đơn giản của diốt tiếp giáp

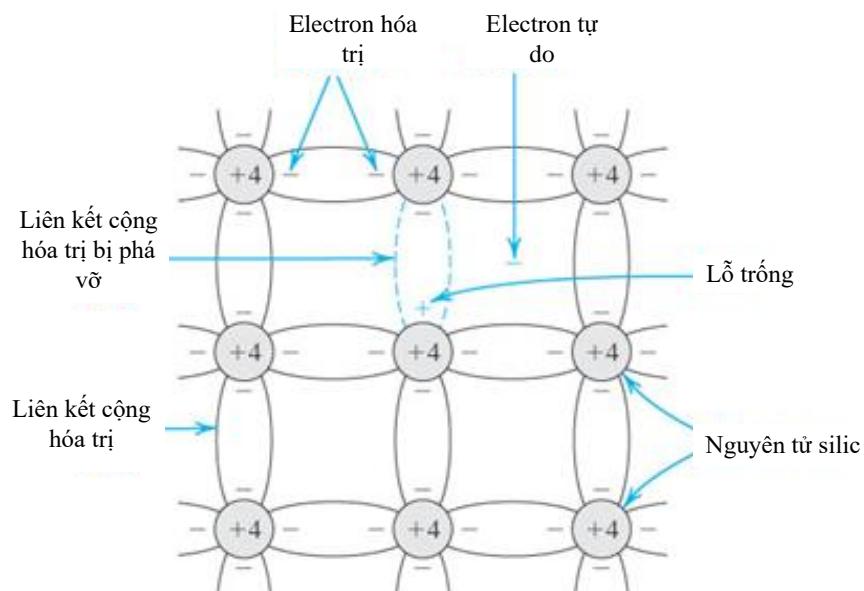
Bản chất của silic: Mặc dù cả silic và germanium đều có thể sử dụng để chế tạo chất bán dẫn, nhưng ngày nay công nghệ mạch tích hợp gần như cơ bản chỉ dựa trên silic. Vì lý do đó, chúng ta sẽ nghiên cứu chủ yếu các linh kiện chế tạo từ silic trong toàn bộ cuốn sách này.



Hình 3.2 Hình ảnh hai chiều của tinh thể silic.

Một bán dẫn thuần hay silic nguyên chất có cấu tạo là mạng tinh thể thông thường, ở đó các nguyên tử được ràng buộc bởi các liên kết, gọi là **liên kết cộng hóa trị**, được hình thành bởi 4 electron hóa trị liên kết với một nguyên tử silic. Hình 3.2 minh họa hình ảnh hai chiều của cấu trúc này. Quan sát thấy rằng mỗi nguyên tử góp chung một electron hóa trị với một nguyên tử bên cạnh, và mỗi cặp electron sẽ hình thành một liên kết cộng hóa trị. Tại nhiệt độ đủ thấp, tất cả các liên kết cộng hóa trị được giữ nguyên và không có (hoặc có rất ít) **electron tự do** để dẫn dòng điện. Tuy nhiên, tại nhiệt độ thường, một số liên kết cộng hóa trị bị phá vỡ do sự ion hóa bởi nhiệt và tạo nên một số electron tự do. Như trên hình 3.3, khi một liên kết cộng hóa trị bị phá vỡ, một electron sẽ rời khỏi nguyên tử mẹ; tạo nên một điện tích dương, có điện tích bằng điện tích của electron, còn lại ở trong nguyên tử mẹ. Một electron từ nguyên tử lân cận có thể hút điện tích dương này, rời khỏi nguyên tử mẹ của nó. Hoạt động này lặp đi lặp lại, kết quả là ta có một hạt dẫn mang điện tích dương, hay còn gọi là **lỗ trống**, di chuyển trong cấu trúc nguyên tử silic và cho phép dẫn dòng điện. Điện tích của một lỗ trống bằng độ lớn điện tích của một electron.

Hiện tượng ion hóa bởi nhiệt tạo ra số lượng electron tự do bằng số lượng lỗ trống và do đó chúng có mật độ bằng nhau. Các electron tự do và các lỗ trống di chuyển hỗn độn bên trong cấu trúc bán dẫn silic, trong đó một vài electron có thể được lắp vào các lỗ trống. Quá trình này được gọi là **sự tái hợp**, nó làm biến mất electron tự do và lỗ trống. Tốc độ tái hợp tỷ lệ với số electron tự do và lỗ trống, do đó được xác định bằng tốc độ ion hóa.



Hình 3.3 Tại nhiệt độ phòng, một số liên kết cộng hóa trị bị phá vỡ do sự ion hóa bởi nhiệt. Mỗi liên kết bị phá vỡ cho ta một electron tự do và một lỗ trống, cả hai đều cho phép dẫn dòng.

Tốc độ ion hóa phụ thuộc rất nhiều vào nhiệt độ. Khi có sự cân bằng nhiệt, tốc độ tái hợp bằng với tốc độ ion hóa và ta có thể tính toán được mật độ electron tự do n , đồng thời cũng là mật độ lỗ trống p .

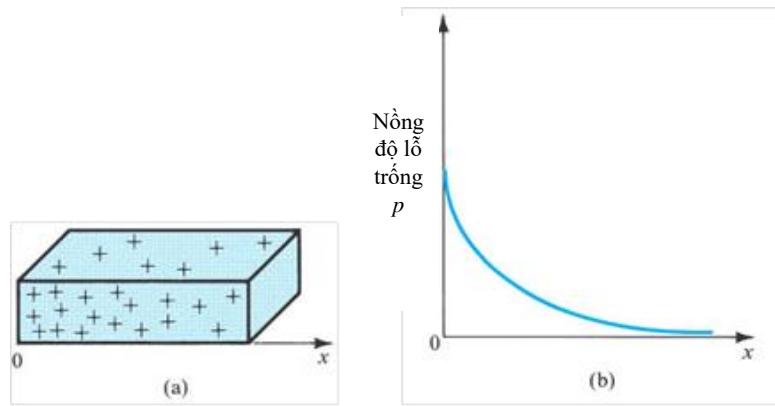
$$n = p = n_i$$

Ở đây n_i là mật độ của electron tự do hoặc lỗ trống bên trong silic tại một nhiệt độ xác định. Nghiên cứu về vật liệu bán dẫn cho thấy tại nhiệt độ tuyệt đối T (Kelvins), nồng độ n_i (ví dụ, số electron tự do và lỗ trống trên một cm^3) được tính bằng phương trình:

$$n_i^2 = BT^3 e^{-E_G/kT}$$

(3.1)

Trong đó B là tham số phụ thuộc nhiệt độ và vật liệu, và bằng 5.4×10^{31} với silic, E_G là năng lượng vùng cấm (giá trị năng lượng nhỏ nhất để phá vỡ một liên kết cộng hóa trị và tạo ra một cặp electron – lỗ trống), bằng 1.12 eV với silic, và k là hằng số Boltzman, bằng $8.62 \times 10^{-5} \text{ eV/K}$. Thế vào phương trình (3.1) với giá trị các thông số đã cho với silic tại nhiệt độ phòng ($T = 300\text{K}$), ta có $n_i = 1.5 \times 10^{10}$ hạt/ cm^3 . Để thay thế chính xác, chúng ta chú ý bán dẫn silic có khoảng 5×10^{22} nguyên tử/ cm^3 . Như vậy, tại nhiệt độ phòng chỉ có một lượng nhỏ nguyên tử bị ion hóa.



Hình 3.3 Thanh silic (a) mật độ lỗ trống mặt dọc theo trục x (b)

Sự khuếch tán và sự trôi: Electron và lỗ trống di chuyển trong bán dẫn silic theo hai cách, đó là khuếch tán và trôi. Khuếch tán liên quan tới sự chuyển động hỗn độn do nhiệt. Trong một phần silic mà electron tự do và lỗ trống có mật độ đều thì sự di chuyển hỗn độn này không thể tạo ra dòng các điện tích (ví dụ: dòng điện). Mặt khác, nếu trong một phần có mật độ electron tự do lớn hơn ở những phần khác, thì các electron sẽ khuếch tán từ vùng có mật độ cao sang vùng có mật độ thấp. Sự khuếch tán này tạo ra một dòng các điện tích, hay **dòng khuếch tán**. Ví dụ, xét một thanh silic biểu diễn như trong hình 3.3(a), ở đó **mật độ lỗ trống** biểu diễn trong hình 3.3 (b). Sự tồn tại của mật độ này tạo ra dòng khuếch tán lỗ trống theo hướng x, với độ lớn tại bất kỳ điểm nào tỷ lệ với độ dốc của đường cong mật độ, hay gradien mật độ tại điểm này:

$$J_p = -qD_p \frac{dp}{dx} \quad (3.2)$$

Trong đó J_p là mật độ dòng điện (dòng điện trên một đơn vị diện tích mặt vuông góc với trục x) đơn vị A/cm^2 , q là độ lớn của một điện tích $= 1.6 \times 10^{-19} C$, và D_p là hằng số được gọi là **hằng số khuếch tán** hoặc **độ khuếch tán** của lỗ trống. Chú ý rằng gradien (dp/dx) là âm nên dòng điện là dương theo chiều dương của trục x. Trong trường hợp khuếch tán electron, tương tự ta có mật độ dòng electron:

$$J_n = -qD_n \frac{dn}{dx} \quad (3.3)$$

Ở đây D_n là độ khuếch tán của electron. Quan sát thấy, tỷ số âm (dn/dx) làm dòng điện âm tăng lên, đó là quy ước dấu, chiều dương của dòng điện là chiều chuyển động của điện tích dương (ngược lại là dòng điện tích âm). Với mật độ lỗ trống và electron trong silic, giá trị của hằng số khuếch tán $D_p = 12 cm^2/s$ và $D_n = 34 cm^2/s$.

Một kiểu khác của chuyển động hạt dẫn trong vật liệu bán dẫn là sự trôi. **Sự trôi** xuất hiện khi có điện trường đặt vào. Các electron tự do và lỗ trống được tăng tốc bởi điện trường và có vận tốc (xếp chồng lên vận tốc do chuyển động nhiệt) gọi là **vận tốc trôi**. Nếu độ lớn của điện trường ký hiệu là E (V/cm), thì lỗ trống mang điện dương sẽ trôi theo chiều E và đạt được vận tốc v_{drift} (cm/s) được tính bởi:

$$v_{drift} = \mu_p E \quad (3.4)$$

Trong đó μ_p là hằng số gọi là **độ linh động** của lỗ trống, có đơn vị $\text{cm}^2/\text{V.s}$. Với silic, μ_p bằng $480\text{cm}^2/\text{V.s}$. Electron mang điện tích âm sẽ trôi về phía ngược lại của điện trường, tốc độ của chúng được tính như trong phương trình (3.4), nhưng μ_p được thay bằng μ_n : độ linh động điện tử. Với silic, μ_n thường bằng $1350\text{cm}^2/\text{V.s}$, lớn hơn khoảng 2.5 lần độ linh động của lỗ trống.

Bây giờ xét một tinh thể silic có mật độ lỗ trống p và mật độ electron tự do n , và điện trường đặt vào E . Các lỗ trống sẽ trôi cùng hướng với E (gọi là phương x) với vận tốc $\mu_p E$. Như vậy, chúng ta có một mật độ điện tích dương là qp (Coul/cm^3) di chuyển theo phương x với vận tốc $\mu_p E$ (cm/s). Nghĩa là trong một giây, một lượng điện tích $qp\mu_p EA$ (Coul) sẽ qua một tiết diện A (cm^2) vuông góc với trục x . Đó là thành phần dòng điện gây ra bởi sự trôi lỗ trống. Chia cho tiết diện A ta thu được mật độ dòng trôi:

$$J_{p-drift} = qp\mu_p E \quad (3.5a)$$

Các electron tự do sẽ trôi theo hướng ngược chiều với điện trường E . Do đó ta có một mật độ điện tích $(-qn)$ di chuyển ngược chiều phương x , nên chúng có tốc độ âm $(-\mu_n E)$, tạo thành một thành phần dòng dương với mật độ được tính:

$$J_{n-drift} = qn\mu_n E \quad (3.5b)$$

Tổng mật độ **dòng điện trôi** thu được bằng cách kết hợp phương trình (3.5a) và (3.5b)

$$J_{drift} = q(p\mu_p + n\mu_n)E \quad (3.5c)$$

Ta chú ý dạng của định luật Ôm với điện trở suất (đơn vị Ωcm) được tính bởi:

$$\rho = 1/q(p\mu_p + n\mu_n) \quad (3.6)$$

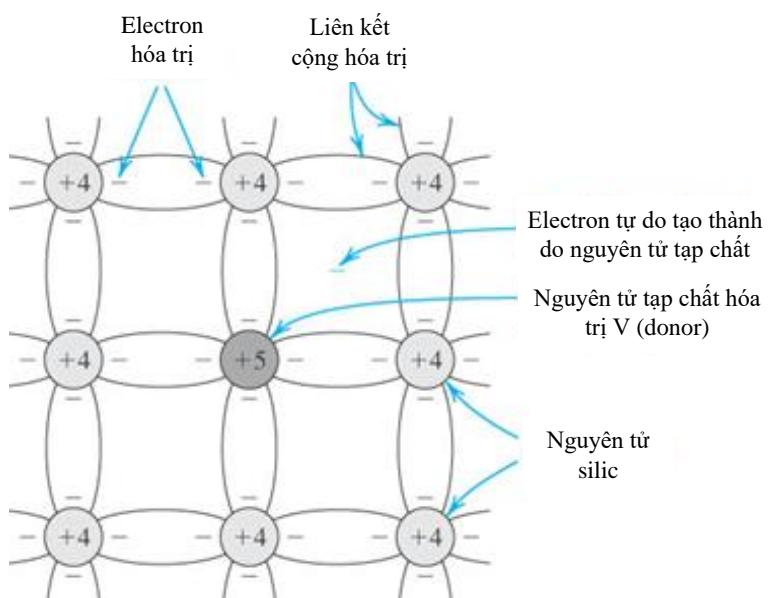
Cuối cùng, ta có mối quan hệ đơn giản nhưng rất hữu ích, được biết là **quan hệ Einstein**, giữa độ khuếch tán và độ linh động:

$$\frac{D_p}{\mu_p} = \frac{D_n}{\mu_n} = V_T \quad (3.7)$$

ở đây V_T là điện áp nhiệt hay thế nhiệt, ở nhiệt độ phòng, $V_T = 25\text{mV}$.

Vật liệu bán dẫn tạp: Bản thân bán dẫn Silic giới thiệu ở trên có mật độ lỗ trống và electron tự do sinh ra bởi ion hóa nhiệt là bằng nhau. Mật độ này, ký hiệu n_i , phụ thuộc rất nhiều vào nhiệt độ. Bán dẫn tạp là vật liệu trong đó có một loại hạt dẫn (electron hoặc lỗ trống) chiếm đa số. Silic pha tạp mà có đa số các hạt dẫn điện là electron tự do mang điện tích âm được gọi là **loại n**, trong khi silic pha tạp có đa số hạt dẫn điện là lỗ trống mang điện tích dương được gọi là **loại p**.

Sự pha tạp của bán dẫn silic làm cho chúng trở thành loại p hoặc loại n đạt được bằng cách thêm một lượng nhỏ nguyên tử tạp chất. Ví dụ, nếu tạp chất hóa trị V như phốt pho thì tạo ra bán dẫn loại n , vì nguyên tử phốt pho sẽ thay thế một số nguyên tử silic trong cấu trúc tinh thể có 5 electron hóa trị, 4 trong số đó tham gia liên kết với nguyên tử silic lân cận, electron hóa trị thứ 5 sẽ trở thành electron tự do (Hình 3.4).



Hình 3.4. Bán dẫn loại n .

Vì vậy mỗi nguyên tử phốt pho cho một electron tự do với tinh thể silic, và tạp chất phốt pho được gọi là **chất donor**. Mặc dù không có lỗ trống nào được sinh ra trong quá trình này, nhưng đa số hạt mang điện trong tạp chất silic pha phốtpho là

electron. Nếu nồng độ của nguyên tử donor (phốt pho) là N_D , trong sự cân bằng nhiệt, mật độ electron tự do trong silic loại n , n_{n0} sẽ là:

$$n_{n0} \approx N_D \quad (3.8)$$

Ở đây thêm chỉ số dưới 0 ký hiệu cân bằng nhiệt. Từ tính chất vật lý của bán dẫn, ta thấy ở trạng thái cân bằng nhiệt, tích số của nồng độ electron và lỗ trống là một hằng số nghĩa là:

$$n_{n0} p_{n0} = n_i^2 \quad (3.9)$$

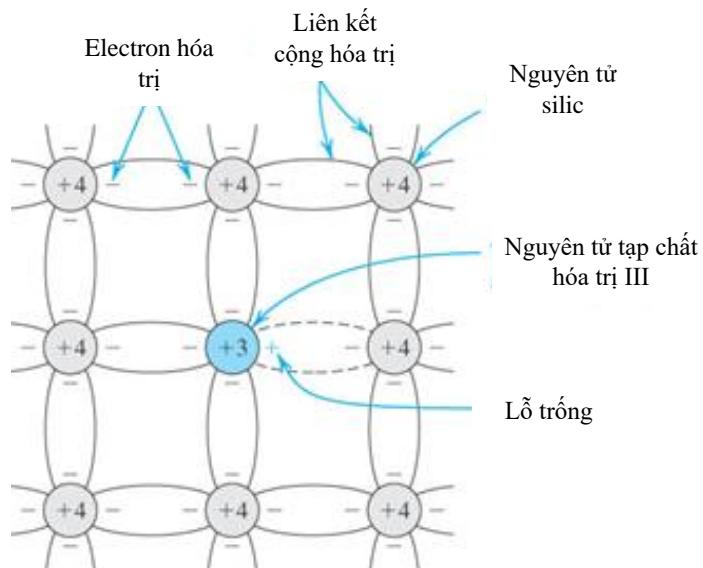
Do đó mật độ của lỗ trống, p_{n0} , sinh ra bởi ion hóa nhiệt sẽ là

$$p_{n0} \approx \frac{n_i^2}{N_D} \quad (3.10)$$

Do n_i là hàm của nhiệt độ (phương trình 3.1), nên mật độ của lỗ trống **thiểu số** sẽ là hàm của nhiệt độ trong khi nồng độ của các electron đa số không phụ thuộc vào nhiệt độ.

Để tạo ra bán dẫn loại p , silic được pha tạp với chất với hóa trị III ví dụ như nguyên tử Boron (Bo). Mỗi nguyên tử tạp chất Bo nhận một electron từ tinh thể silic để tạo thành liên kết cộng hóa trị trong cấu trúc mạng tinh thể. Do vậy, như minh họa trong hình 3.5, mỗi nguyên tử Bo tạo ra một lỗ trống và mật độ của lỗ trống đa số trong silic loại p , ở điều kiện cân bằng nhiệt, gần bằng nồng độ N_A của tạp chất **acceptor** (Bo)

$$p_{p0} = N_A \quad (3.11)$$



Hình 3.5: Một bán dẫn Silic pha một tạp chất hóa trị III. Mỗi nguyên tử tạp chất tạo ra một lỗ trống và chất bán dẫn trở thành bán dẫn loại *p*.

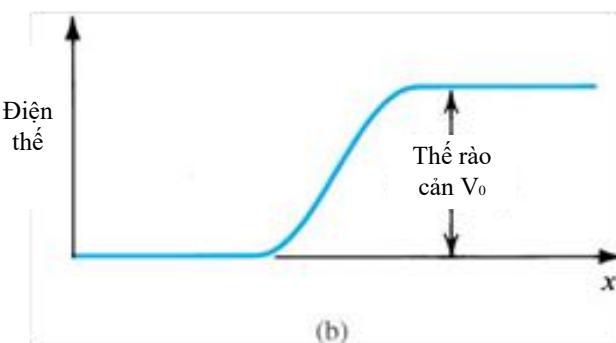
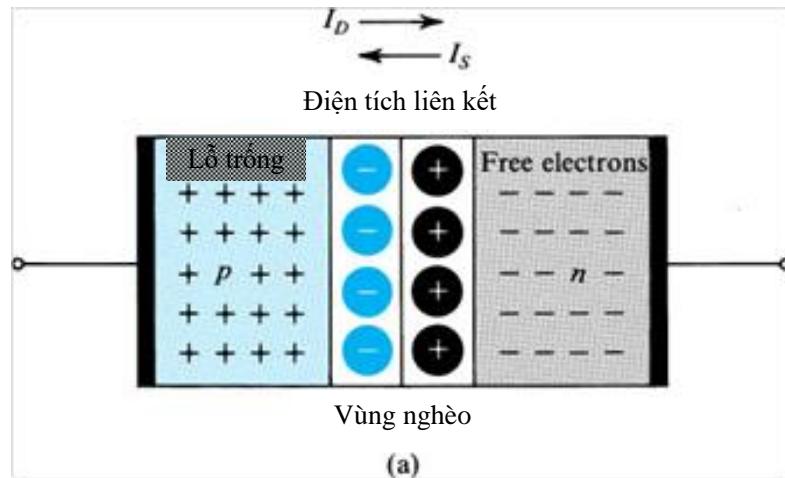
Ở bán dẫn loại *p*, mật độ của electron thiểu số, được sinh ra bởi ion hóa nhiệt có thể tính toán nhờ công thức tích của mật độ các hạt mang điện vẫn là hằng số, như vậy

$$n_{p0} \cong \frac{n_i^2}{N_A} \quad (3.12)$$

Chú ý rằng, bán dẫn loại *n* hoặc loại *p* vẫn trung hòa về điện, những hạt dẫn tự do đa số (electron trong loại *n* và lỗ trống trong loại *p*) được trung hòa bởi **điện tích** liên kết với các nguyên tử tạp chất.

3.1.2 Tiếp giáp *pn* trong điều kiện hở mạch

Hình 3.6 minh họa lớp tiếp giáp *pn* trong điều kiện hở mạch. Dấu “+” ký hiệu vật liệu loại *p* với đa số lỗ trống. Điện tích của các lỗ trống này được trung hòa với cùng một lượng điện tích âm mà liên kết với nguyên tử acceptor. Để đơn giản hóa, các điện tích liên kết này không biểu diễn trên hình. Ta cũng không biểu diễn các electron thiểu số sinh ra trong vật liệu loại *p* do ion hóa nhiệt.



Hình 3.6 (a) Tiếp giáp pn không có điện áp ngoài(các cực hở mạch). **(b)** Phân bố điện áp theo trục vuông góc với mặt tiếp xúc.

Với vật liệu bán dẫn loại n , các electron đa số ký hiệu là “-”. Ở đây, các điện tích liên kết dương, được trung hòa bởi các electron đa số, cũng không được biểu diễn trên hình để đơn giản hóa hình minh họa. Vật liệu loại n cũng bao gồm một số ít lỗ trống sinh ra bởi ion hóa nhiệt, cũng không được biểu diễn trên hình.

Dòng điện khuếch tán I_D : Vì mật độ của lỗ trống là lớn trong vùng p và nhỏ trong vùng n , nên lỗ trống khuếch tán qua tiếp giáp từ phía p sang n ; tương tự, các electron khuếch tán từ phía n sang phía p . Có hai thành phần dòng này tạo thành dòng khuếch tán I_D , có chiều hướng từ phía p sang phía n , như trong hình 3.6.

Vùng nghèo: Các lỗ trống khuếch tán qua vùng tiếp giáp tới miền n nhanh chóng tái hợp với electron đa số ở đây. Sự tái hợp này gây ra sự biến mất một số electron tự do của vật liệu loại n . Do đó một số điện tích liên kết dương sẽ không bị trung hòa bởi các electron tự do, và các điện tích này được gọi là **uncover (không bị trung hòa)**. Do sự tái hợp xảy ra gần với lớp tiếp giáp, nên sẽ có một vùng gần với lớp tiếp giáp nghèo các electron tự do và bao gồm điện tích liên kết không bị trung hòa, như trên hình 3.6.

Các electron khuếch tán qua vùng tiếp xúc tới miền p nhanh chóng tái hợp với một số lỗ trống ở đây. Sự tái hợp này làm biến mất một số lỗ trống khiến cho một số điện tích liên kết âm sẽ không bị trung hòa. Do đó trong chất bán dẫn loại p , gần với lớp tiếp giáp sẽ có một vùng nghèo các lỗ trống và bao gồm điện tích âm liên kết không bị trung hòa, như trên hình 3.6.

Từ những phân tích trên, ta thấy vùng nghèo tồn tại ở cả hai phía của lớp tiếp giáp, với phía n là vùng điện tích dương và phía p là điện tích âm. Vùng nghèo này cũng được gọi là **vùng điện tích không gian**. Các điện tích ở cả hai phía của vùng nghèo tạo ra một điện trường, do đó xuất hiện chênh lệch điện áp, với phía n là điện áp dương như trong hình 3.6b. Điện trường này ngược với sự khuếch tán của lỗ trống sang vùng n và electron sang vùng p . Thực tế, sụt áp trên vùng nghèo đóng vai trò như là một rào cản ngăn cho lỗ trống khuếch tán sang miền n và electron khuếch tán sang miền p . Điện áp rào cản càng lớn thì số hạt mạng điện có thể vượt qua càng nhỏ và do đó dòng khuếch tán càng nhỏ. Như vậy, dòng khuếch tán I_D phụ thuộc rất lớn vào sụt áp V_0 vùng nghèo.

Dòng điện trôi I_S và trạng thái cân bằng: Ngoài thành phần dòng điện I_D do sự khuếch tán các hạt đa số, có một thành phần do sự trôi hạt mang điện thiểu số.

Rõ ràng, một phần lỗ trống sinh ra bởi nhiệt ở bán dẫn loại n khuếch tán qua lớp n tới rìa của vùng nghèo. Ở đây, chúng chịu ảnh hưởng của điện trường vùng nghèo, điện trường này quét chúng tới lớp p . Tương tự, một số electron sinh ra bởi nhiệt trong vùng p khuếch tán tới rìa của vùng nghèo và được quét bởi điện trường vùng nghèo tới phía n . Hai thành phần dòng điện này – electron di chuyển trôi từ vùng p sang n và lỗ trống di chuyển từ n sang p tạo thành dòng trôi I_S như trong hình 3.6. Vì dòng điện I_S được tạo thành do các hạt thiểu số sinh ra bởi nhiệt, nên nó phụ thuộc nhiều vào nhiệt độ, tuy nhiên, chúng không phụ thuộc với giá trị điện áp vùng nghèo V_0 .

Trong điều kiện hở mạch (hình 3.6), hai dòng điện ngược nhau, bằng nhau về độ lớn:

$$I_D = I_S$$

Điều kiện cân bằng này được duy trì bởi điện áp rào cản V_0 . Do đó, nếu vì một vài lý do nào đó I_D lớn hơn I_S thì nhiều điện tích liên kết sẽ không bị trung hòa ở cả hai phía của lớp tiếp giáp, vùng nghèo sẽ mở rộng ra, và điện áp trên nó (V_0) sẽ tăng lên. Điều này làm cho dòng điện I_D giảm đến khi đạt được cân bằng $I_D = I_S$. Mặt khác, nếu I_S lớn hơn I_D , thì lượng điện tích không bị trung hòa sẽ giảm, lớp nghèo thu hẹp lại, và điện áp trên nó (V_0) sẽ giảm. Do đó dòng điện I_D tăng lên tới khi đạt được cân bằng $I_D = I_S$.

Điện áp hình thành tại lớp tiếp giáp: Nếu không có điện áp ngoài, điện áp V_D qua lớp tiếp giáp pn có thể được tính như sau:

$$V_0 = V_T \ln\left(\frac{N_A N_D}{n_i^2}\right) \quad (3.13)$$

Trong đó N_A và N_D tương ứng là mật độ tạp chất ở bán dẫn loại p và n . Từ đó, ta thấy V_0 phụ thuộc cả vào mật độ tạp chất và nhiệt độ. Chúng được biết đến là điện áp hình thành tại lớp tiếp giáp. Cụ thể, với silic tại nhiệt độ phòng, V_0 nằm trong khoảng 0.6V tới 0.8V.

Khi các cực của lớp tiếp giáp pn là hở mạch, điện áp giữa chúng sẽ bằng 0. Nghĩa là điện áp V_0 ở vùng nghèo không xuất hiện tại các cực của diode. Đó là do điện áp tiếp giáp tồn tại trong lớp tiếp giáp của vật liệu bán dẫn tại các cực của diode, ngược chiều và bằng với điện áp rào cản. Nếu không, ta có thể thu được năng lượng từ lớp tiếp giáp pn , nhưng điều đó không đúng với định luật bảo toàn năng lượng.

Độ rộng của vùng nghèo: Từ những phân tích trên, rõ ràng là vùng nghèo tồn tại ở cả hai phía n và p và bằng tổng số điện tích ở cả hai phía. Tuy nhiên, do mức độ pha tạp là không giống nhau trong vật liệu loại p và n , nên độ rộng vùng nghèo sẽ không bằng nhau ở hai phía. Hơn nữa, để trung hòa số điện tích giống nhau, lớp nghèo sẽ nhiều hơn ở phần có độ tạp chất nhỏ hơn. Đặc biệt, nếu ta ký hiệu độ rộng vùng nghèo ở phía p là x_p và vùng n là x_n , điều kiện cân bằng điện tích:

$$qx_p A N_A = qx_n A N_D$$

trong đó, A là diện tích vùng tiếp xúc. Phương trình này có thể rút gọn lại:

$$\frac{x_n}{x_p} = \frac{N_A}{N_D} \quad (3.14)$$

Trong thực tế, thông thường, một phía của lớp tiếp giáp có độ tạp chất lớn hơn phía còn lại, thì vùng nghèo tồn tại gần như ở một phía. Từ tính chất vật lý, ta có độ rộng của vùng nghèo của lớp tiếp xúc trong mạch hở được tính bởi:

$$W_{dep} = x_n + x_p = \sqrt{\frac{2\epsilon_s}{q} \left(\frac{1}{N_A} + \frac{1}{N_D} \right)} \quad (3.15)$$

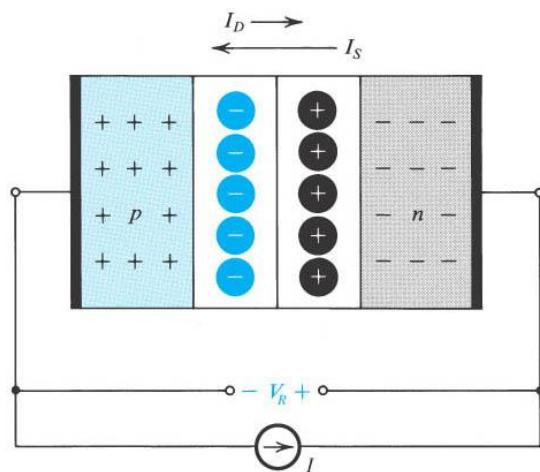
ở đây ϵ_s là hằng số điện môi của silic = $11.7\epsilon_0 = 1.04 \times 10^{-12}$ F/cm. Do đó W_{dep} nằm trong khoảng $0.1 \mu m$ tới $1 \mu m$

3.1.3 Lớp tiếp giáp pn trong điều kiện phân cực ngược

Xét hoạt động của lớp tiếp giáp với nguồn dòng điện là hằng số, như biểu diễn trong hình 3.7. Với độ lớn của I phải nhỏ hơn I_S ; nếu I lớn hơn I_S thì sẽ xảy ra sự đánh thủng.

Dòng điện I sẽ được mang bởi các electron trong mạch ngoài từ lớp n tới lớp p . Điều này làm cho các electron rời khỏi lớp n và lỗ trống rời khỏi lớp p . Các electron tự do rời khỏi lớp n làm cho **các điện tích liên kết dương** không bị trung hòa tăng lên. Tương tự, các lỗ trống rời khỏi lớp n làm **tăng lên các điện tích liên kết âm không bị trung hòa**. Do đó, dòng điện I sẽ làm tăng độ rộng và **điện tích của** vùng nghèo. Điều này làm cho điện áp vùng nghèo tăng lên, nghĩa là điện áp rào cản lớn hơn, hay dòng điện khuếch tán I_D giảm đi. Dòng điện trôi I_S , không phụ thuộc với điện áp rào cản, vẫn là hằng số. Cuối cùng, trạng thái cân bằng (trạng thái ổn định) đạt được khi

$$I_S - I_D = I$$

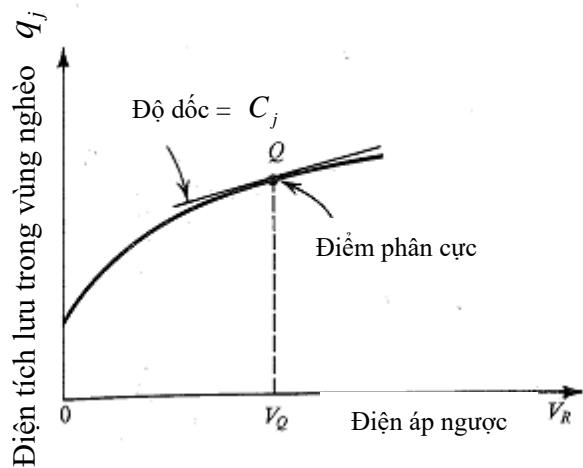


Hình 3.7 Lớp pn kích thích bởi nguồn dòng điện I ngược chiều.

Tại trạng thái cân bằng, sự tăng của điện áp tại vùng nghèo, với giá trị của điện áp V_0 , sẽ như một điện áp ngoài mà có thể đo được giữa hai cực của điốt, với n là dương đối với p . Điện áp này được ký hiệu là V_R trong hình 3.7.

Xét hoạt động của lớp pn khi có điện áp ngược V_R , với V_R nhỏ hơn điện áp đánh thủng V_{ZK} . Đầu tiên khi có điện áp V_R , sẽ có dòng điện chạy trong mạch ngoài từ p tới n . Dòng điện này làm tăng độ rộng và điện tích của lớp nghèo. Thậm chí, điện áp lớp nghèo sẽ tăng lên bằng độ lớn của điện áp ngoài V_R , tại thời điểm trạng thái cân bằng được thiết lập dòng điện ngược I bằng ($I_S - I_D$). Tuy nhiên, chú ý là dòng điện ngoài ban đầu có thể lớn hơn nhiều I_S . Mục đích của quá trình quá độ này là nạp điện cho lớp nghèo và tăng điện áp qua nó lên điện áp V_R . Thậm chí, khi trạng thái cân bằng được thiết lập, I_D sẽ nhỏ không đáng kể, và dòng điện ngược sẽ gần bằng I_S .

Điện dung lớp nghèo: Từ phần trên, ta thấy rằng có sự tương đồng giữa lớp nghèo của lớp tiếp giáp pn và một tụ điện. Khi điện áp qua lớp tiếp giáp pn thay đổi, điện tích dự trữ trong vùng nghèo thay đổi tương ứng. Hình 3.8 minh họa đồ thị đặc tính điện tích phụ thuộc vào điện áp ngoài của lớp tiếp giáp pn . Chú ý chỉ một phần của đường đặc tuyến vùng phân cực ngược được vẽ.



Hình 3.8 Điện tích lưu trữ ở hai bên trong vùng nghèo

Biểu thức minh họa cho điện tích trong lớp nghèo q_J có thể được suy ra bằng cách tìm điện tích trên cả hai phía của lớp tiếp. Áp dụng cho phía n , chúng ta viết:

$$q_J = q_N = qN_Dx_nA$$

Với A là diện tích của lớp tiếp giáp. Tiếp theo, ta sử dụng phương trình 3.13 để biểu thị x_n theo chiều dài lớp nghèo W_{dep} để có được:

$$q_J = q \frac{N_A N_D}{N_A + N_D} A W_{dep} \quad (3.16)$$

Trong đó W_{dep} có thể tìm từ phương trình (3.15) bằng cách thay thế V_0 bằng tổng điện áp qua vùng nghèo, ($V_0 + V_R$):

$$W_{dep} = \sqrt{\frac{2\epsilon_s}{q} \left(\frac{1}{N_A} + \frac{1}{N_D} \right) (V_0 + V_R)} \quad (3.17)$$

Kết hợp phương trình 3.16 và 3.17 để biểu diễn mối quan hệ phi tuyến $q_J - V_R$ trong hình 3.8. Quan hệ này hiển nhiên không biểu diễn đặc điểm của một tụ điện tuyến tính. Tuy nhiên, có thể coi như xấp xỉ điện dung tuyến tính nếu linh kiện được phân cực và tín hiệu thuộc vùng nhỏ quanh điểm phân cực, như được minh họa trong hình 3.8. Đây là phương pháp chúng ta đã sử dụng trong phần 1.4 để có một bộ khuếch đại tuyến tính từ một bộ khuếch đại có đặc tuyến truyền đạt phi tuyến và trong phần 3.3 để xây dựng mô hình tín hiệu nhỏ của điốt trong vùng phân cực thuận. Trong xấp xỉ mô hình tín hiệu nhỏ, **điện dung vùng nghèo** (còn được gọi là **điện dung tiếp xúc**) đơn giản là độ dốc của đặc tuyến $q_J - V_R$ tại điểm phân cực Q :

$$C_j = \frac{dq_j}{dV_R} \Big|_{V_R = V_0} \quad (3.18)$$

Chúng ta dễ dàng xác định và tìm C_j . Mặt khác, ta có thể coi vùng nghèo như một tụ điện hai bản song song và thu được biểu thức cho C_j sử dụng công thức:

$$C_j = \frac{\epsilon_s A}{W_{dep}} \quad (3.19)$$

Ở đây, W_{dep} được tính bởi phương trình 3.17. Kết quả cho ta biểu diễn của C_j

$$C_j = \frac{C_{j0}}{\sqrt{1 + \frac{V_R}{V_0}}} \quad (3.20)$$

Với C_{j0} là giá trị của C_j khi đặt điện áp V_0

$$C_{j0} = A \sqrt{\left(\frac{q\epsilon_s}{2} \right) \left(\frac{1}{N_A} + \frac{1}{N_D} \right) \left(\frac{1}{V_0} \right)} \quad (3.21)$$

Những phân tích trên và công thức biểu diễn C_j áp dụng cho lớp tiếp giáp mà mật độ các hạt dẫn tạo ra sự thay đổi đột ngột tại biên lớp tiếp giáp. Công thức tổng quát của C_j

$$C_j = \frac{C_{j0}}{\sqrt{\left(1 + \frac{V_R}{V_0} \right)^m}} \quad (3.22)$$

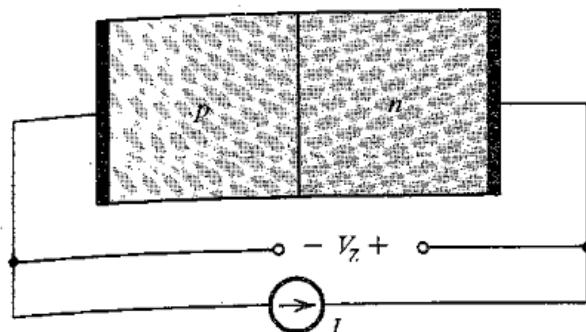
Với m là hằng số mà giá trị của nó phụ thuộc vào sự thay đổi mật độ từ lớp p sang lớp n . Nó được gọi là hệ số xếp bậc và giá trị trong khoảng từ $\frac{1}{3}$ đến $\frac{1}{2}$

Khi cấp một điện áp ngược tới lớp tiếp giáp pn , hiện tượng quá độ xảy ra trong suốt quá trình tụ điện vùng nghèo nạp tới điện áp phân cực mới. Kết thúc quá độ, dòng ngược ổn định bằng $I_s - I_D$. Thông thường, I_D rất nhỏ khi diốt phân cực ngược, nên dòng ngược xấp xỉ bằng I_s . Tuy nhiên, đây chỉ là mô hình lý thuyết, không nên áp dụng. Thực tế, dòng chỉ cỡ vài nano ampe và I_s cỡ $10^{-15} A$. Sự khác biệt lớn này do sự rò rỉ và những ảnh hưởng khác. Hơn nữa, dòng ngược phụ thuộc vào độ lớn của điện áp ngược, đối lập hẳn với mô hình lý thuyết cho rằng $I \equiv I_s$

không phụ thuộc vào điện áp ngược đặt vào. Tuy nhiên, do dòng rất nhỏ, nên ta thường không quan tâm cụ thể tới đặc tuyến $i-v$ của diode ở vùng phân cực ngược.

3.1.4 Tiếp giáp pn ở vùng đánh thủng

Xét lớp tiếp giáp pn hoạt động ở vùng phân cực ngược như ở phần 3.1.3, giả sử rằng nguồn dòng ngược I nhỏ hơn I_S hay điện áp ngược V_R nhỏ hơn điện áp đánh thủng V_{ZK} . Giờ chúng ta muốn xét cơ chế đánh thủng của tiếp giáp pn và giải thích tại sao đường đặc tính gần như thẳng đứng. Xét một tiếp giáp pn kích thích bởi một nguồn dòng I lớn hơn I_S như trong hình 3.9. Nguồn dòng này khiến lỗ trống di chuyển từ p qua mạch ngoài tới lớp n , và electron từ lớp n di chuyển qua mạch ngoài vào lớp p . Kết quả là ngày càng nhiều điện tích liên kết trở nên không bị trung hòa, do đó lớp nghèo mở rộng và điện áp rào cản tăng. Điều này khiến cho dòng khuếch tán giảm, thậm chí nó sẽ giảm về gần bằng không. Tuy nhiên, điều này chưa đủ để đạt tới trạng thái ổn định do I lớn hơn nhiều so với I_S . Nên lớp nghèo tiếp tục mở rộng đến khi có một điện áp tiếp giáp đủ lớn, tại đó, cơ chế mới hình thành để cung cấp hạt mang điện cần thiết cho dòng điện I .



Hình 3.9: Lớp tiếp giáp pn kích thích bởi nguồn dòng ngược I với $I > I_S$

Có hai cơ chế đánh thủng là hiệu ứng zener và hiệu ứng thác lũ. Nếu tiếp giáp pn bị đánh thủng ở điện áp đánh thủng $V_z < 5V$ thì cơ chế đánh thủng thường là hiệu ứng zener. Đánh thủng kiểu thác lũ xảy ra khi V_z lớn hơn 7V. Khi điện áp đánh thủng từ 5V đến 7V, cơ chế đánh thủng có thể là hiệu ứng zener hoặc hiệu ứng thác hoặc là kết hợp cả hai.

Đánh thủng zener xảy ra khi điện trường ở lớp nghèo tăng tới điểm mà tại đó nó có thể phá vỡ liên kết cộng hóa trị và tạo ra cặp electron-lỗ trống. Các electron tạo ra theo cách này sẽ bị quét bởi điện trường sang phía n và lỗ trống sang phía p . Do đó những electron và lỗ trống này tạo thành dòng điện ngược cùng hướng với dòng điện ngoài I . Khi hiệu ứng zener bắt đầu, một số lượng lớn hạt mang điện được sinh ra cùng với sự tăng lên không đáng kể của điện áp tiếp giáp. Nên dòng

điện ngược trong vùng đánh thủng sẽ được quyết định bởi mạch ngoài, trong khi đó điện áp ngược ở hai đầu diốt sẽ duy trì gần với điện áp đánh thủng V_Z .

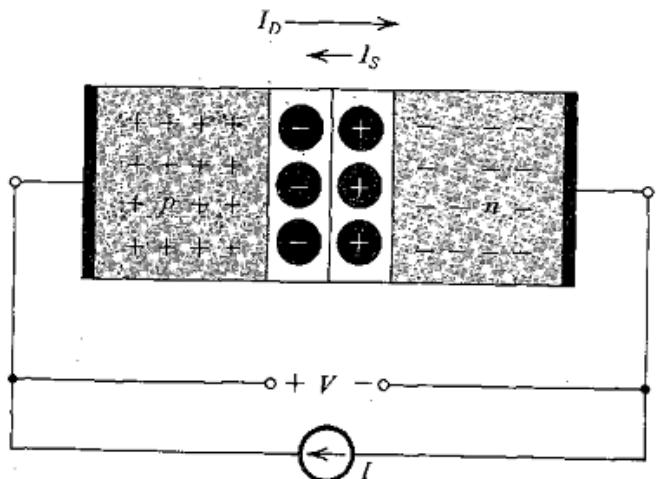
Đánh thủng kiểu thác lũ xảy ra khi hạt mang điện thiếu số qua vùng nghèo dưới ảnh hưởng của điện trường đạt được động năng đủ lớn để có thể phá vỡ liên kết cộng hóa trị trong nguyên tử. Những hạt mang điện được giải phóng bởi quá trình này có mức năng lượng đủ lớn để khiến cho những hạt mang điện khác lại được giải phóng trong sự va chạm ion hóa khác. Quá trình này diễn ra như thác lũ với kết quả là nhiều hạt mang điện được tạo thành làm tăng giá trị dòng ngược, và sự thay đổi không đáng kể của điện áp rơi trên lớp tiếp giáp.

Nhu đã đề cập trước đây, sự đánh thủng lớp tiếp giáp pn không phải là một quá trình phá hủy miễn là công suất tiêu tán lớn nhất không được vượt quá ngưỡng. Từ công suất tiêu tán lớn nhất này có thể suy ra giá trị lớn nhất cho dòng điện ngược.

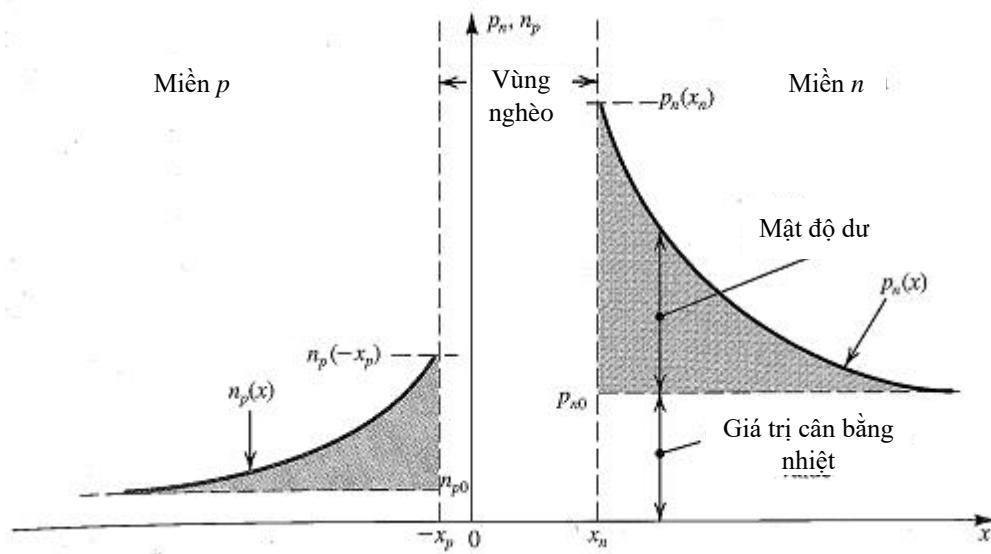
3.1.5 Lớp tiếp giáp pn trong điều kiện phân cực thuận

Kích thích lớp tiếp giáp bởi một nguồn dòng điện I theo chiều thuận như trong hình 3.10. Điều này khiến cho những hạt mang điện đa số được cung cấp cho cả hai phía của lớp tiếp giáp: lỗ trống tới lớp p , electron tới lớp n . Những hạt mang điện đa số này sẽ trung hòa một số điện tích liên kết làm cho điện tích được giữ ở lớp nghèo ít đi. Do đó lớp nghèo thu hẹp lại và điện áp rào cản giảm. Sự suy giảm điện áp khiến cho nhiều lỗ trống vượt qua rào cản chuyển động từ lớp p sang lớp n và nhiều electron từ lớp n sang lớp p . Vì thế dòng điện khuếch tán I_D tăng đến khi trạng thái cân bằng được thiết lập với $I_D = I_S$.

Giờ ta xét dòng điện chảy qua lớp tiếp giáp pn phân cực ngược ở trạng thái cân bằng. Điện áp rào cản bây giờ nhỏ hơn V_0 một lượng V mà xuất hiện giữa hai cực của diốt như là điện áp phân cực thuận (nghĩa là đầu anot sẽ dương hơn đầu catot một lượng là V). Vì điện áp rào cản giảm, hay nói một cách khác do sụt áp V , các lỗ trống sẽ chuyển động qua lớp tiếp giáp tới vùng n và các electron tới vùng p . Các lỗ trống tới vùng n khiến cho nồng độ hạt mang điện thiếu số ở đây, p_n , vượt quá giá trị cân bằng nhiệt, p_{n0} . Nồng độ sai lệch vượt quá ($p_n - p_{n0}$) sẽ là lớn nhất ở vùng rìa của lớp nghèo và sẽ giảm (theo hàm số mũ) khi ở xa lớp tiếp giáp, thậm chí có thể giảm về 0. Hình 3.11 chỉ ra sự phân bố hạt mang điện thiếu số như vậy.



Hình 3.10 Lớp tiếp giáp pn được kích thích bởi nguồn dòng I thuận.



Hình 3.11: Sự phân bố hạt mang điện thiểu số trong lớp tiếp giáp pn phân cực thuận. Giả sử miền p được pha tạp nhiều hơn miền n.

Ở trạng thái cân bằng, nồng độ của các hạt mang điện vượt quá là hằng số, dựa vào đó thì phân bố ta thấy có sự tăng lên của dòng khuếch tán I_D so với I_S . Điều này do sự phân bố đã chỉ ra ở trên khiến cho các lỗ trống thiểu số khuếch tán từ lớp tiếp giáp sang miền n và biến mất bởi sự tái hợp. Để duy trì cân bằng, số electron phải được sinh ra do mạch ngoài, bổ sung thêm vào số electron ở lớp n.

Tính chất tương tự đối với electron thiểu số ở chất p. Tất nhiên dòng điện khuếch tán I_D là tổng hai thành phần electron và lỗ trống.

Mối quan hệ dòng – áp: Ta chỉ xem xét thành phần dòng điện gây ra bởi lỗ trống chuyển động qua lớp tiếp giáp tới miền n. Từ tính chất vật lý chất bán dẫn ta có mật

độ của hạt mang thiểu số tại biên của vùng nghèo, kí hiệu là $p_n(x_n)$ trong hình 3.11:

$$p_n(x_n) = p_{n0} e^{V/V_T} \quad (3.23)$$

Phương trình này được biết đến là “*law of the junction*”

Sự phân bố mật độ lỗ trống dư thừa trong miền n , như ở hình 3.11, là hàm giảm theo hàm mũ của khoảng cách, và được biểu diễn:

$$p_n(x) = p_{n0} + [p_n(x_n) - p_{n0}] e^{-(x-x_n)/L_p} \quad (3.24)$$

Trong đó L_p là hằng số, quyết định bởi độ dốc của hàm mũ. Nó được gọi là **độ dài khuếch tán** của lỗ trống trong bán dẫn loại n . Giá trị của L_p càng nhỏ, thì sự chuyển động của lỗ trống tái hợp với electron đa số càng nhanh. Thực tế, L_p liên quan tới một thông số chất bán dẫn được biết đến là **thời gian tồn tại của hạt mang điện thiểu số dư thừa**, τ_p . Nó là thời gian trung bình để lỗ trống tới vùng n để tái hợp với electron đa số. Mỗi quan hệ đó là:

$$L_p = \sqrt{D_p \tau_p} \quad (3.25)$$

Trong đó, D_p như đã đề cập, là hằng số khuếch tán của lỗ trống trong bán dẫn loại n . Thông thường, giá trị của L_p trong khoảng từ $1\mu\text{m}$ tới $100\mu\text{m}$, tương ứng với giá trị của τ_p là từ 1ns tới 10000ns .

Sự khuếch tán lỗ trống trong miền n sẽ làm cho dòng lỗ trống tăng lên, mật độ của nó có thể tính nhờ phương trình (3.27) và (3.59) với $p_n(x_n)$ thu được ở phương trình (3.58)

$$J_p = q \frac{D_p}{L_p} p_{n0} (e^{V/V_T} - 1) e^{-(x-x_n)/L_p}$$

Ta thấy rằng, J_p đạt lớn nhất tại rìa của vùng nghèo $x=x_n$ và suy giảm theo hàm số mũ với khoảng cách. Tuy nhiên, sự suy giảm do sự tái hợp với electron đa số. Ở trạng thái cân bằng, hạt mang điện đa số sẽ phải được bổ sung, do đó các electron phải được cung cấp từ mạch ngoài tới vùng n với tốc độ mà để giữ cho dòng không đổi tại giá trị $x=x_n$. Vì thế, mật độ dòng do lỗ trống là:

$$J_p = q \frac{D_p}{L_p} p_{n0} (e^{V/V_T} - 1) \quad (3.26)$$

Tương tự cho electron qua lớp tiếp giáp tới miền p , mật độ dòng là:

$$J_n = q \frac{D_n}{L_n} n_{p0} (e^{V/V_T} - 1) \quad (3.27)$$

Với L_n là độ dài khuếch tán của electron trong miền p . Do J_p và J_n có cùng hướng, nên tổng dòng điện I là:

$$I = A \left(q \frac{D_p}{L_p} p_{n0} + q \frac{D_n}{L_n} n_{p0} \right) \left(e^{V/V_T} - 1 \right)$$

Thay $p_{n0} = n_i^2 / N_D$ và $n_{p0} = n_i^2 / N_A$ ta có:

$$I = A q n_i^2 \left(\frac{D_p}{L_p N_D} + \frac{D_n}{L_n N_A} \right) \left(e^{V/V_T} - 1 \right) \quad (3.28)$$

Ta thấy rằng phương trình này giống phương trình dòng bão hòa I_S của diốt

$$I_S = A q n_i^2 \left(\frac{D_p}{L_p N_D} + \frac{D_n}{L_n N_A} \right) \quad (3.29)$$

I_S tỉ lệ trực tiếp với diện tích tiếp giáp A và n_i^2 (lưu ý n_i^2 phụ thuộc rất nhiều và nhiệt độ)

Điện dung khuếch tán: Từ giải thích hoạt động của tiếp giáp pn trong miền thuận, ta chú ý trong trạng thái ổn định, có một số lượng cụ thể của hạt thiểu số được lưu trữ ở mỗi miền p và n . Nếu điện áp ở hai cực thay đổi, điện tích này thay đổi theo trước khi trạng thái ổn định mới được thiết lập. Hiện tượng lưu điện tích gây ra hiệu ứng điện dung.

Để tính toán điện tích của hạt mang điện thiểu số dư thừa được lưu trữ, xem hình 3.11, điện tích lỗ trống dư lưu ở miền n được tính từ diện tích miền gạch đen:

$$Q_p = Aq \times \text{diện tích miền đánh bóng}$$

$$Aq \times [p_n(x_n) - p_{n0}] L_p$$

Thay $p_n(x_n)$ từ phương trình (3.24) và sử dụng phương trình (3.61) ta có biểu diễn Q_p :

$$Q_p = \frac{L_p^2}{D_p} I_p$$

Với $I_p = AJ_p$ là thành phần dòng lỗ trống qua lớp tiếp giáp.

Ta sử dụng phương trình (3.60), và thay thế $L_p^2 / D_p = \tau_p$ ta có:

$$Q_p = \tau_p I_p \quad (3.30)$$

Mối quan hệ này cho thấy điện tích lỗ trống dư được lưu trữ tỉ lệ với thành phần dòng lỗ trống và thời gian tồn tại lỗ trống. Tương tự ta có đối với điện tích electron lưu ở miền p :

$$Q_n = \tau_n I_n \quad (3.31)$$

Với τ_n là thời gian tồn tại của electron trong miền p . Tổng điện tích hạt mang thiểu số, dù là tổng Q_p và Q_n

$$Q = \tau_n I_n + \tau_p I_p \quad (3.32)$$

Điện tích này có thể được biểu diễn qua dòng điốt: $I = I_n + I_p$

$$Q = \tau_T I \quad (3.33)$$

τ_T gọi là thời gian quá độ trung bình của điốt. Rõ ràng là τ_T có quan hệ với τ_p và τ_n . Hơn nữa, ở hầu hết các linh kiện thực tế, một phía của tiếp giáp sẽ pha tạp nhiều hơn phía còn lại. Ví dụ, nếu $N_A \gg N_D$ thì $I_p \gg I_n, I \approx I_p, Q_p \gg Q_n, Q \approx Q_p$ và do đó $\tau_T \approx \tau_p$.

Với một sự thay đổi nhỏ quanh điểm phân cực, ta có thể định nghĩa điện dung khuếch tán với tín hiệu nhỏ, C_d :

$$\begin{aligned} C_d &= \frac{dQ}{dV} \\ C_d &= \left(\frac{\tau_T}{V_T} \right) I \end{aligned} \quad (3.34)$$

Với I là dòng qua điốt tại điểm phân cực. Lưu ý rằng C_d tỉ lệ thuận với dòng I , và nhỏ không đáng kể khi điốt phân cực ngược. Để giữ cho C_d nhỏ, thì τ_T phải nhỏ, đó là một yêu cầu quan trọng để điốt hoạt động với tốc độ cao hoặc ở tần số lớn.

Điện dung lớp tiếp giáp: Điện dung tiếp giáp hay điện dung vùng nghèo ở điều kiện phân cực thuận có thể tính bằng cách thay V_R bằng V trong phương trình (3.22). Tuy nhiên, tính chính xác của mối quan hệ này là kém. Hay nói cách khác, khi thiết kế mạch ta cần sử dụng quy tắc ngón tay cái sau:

$$C_j = 2C_{j0} \quad (3.35)$$

Ví dụ 3.1: Một điốt silicon được coi là linh kiện 1-mA khi điện áp phân cực thuận là 0.7V tại dòng 1mA. Xác định I_S khi n là 1 hay 2. Tỷ lệ nào thích hợp cho điốt 1A

Lời giải

Vì:

$$i = I_S e^{\nu/nV_2}$$

Và

$$I_S = i e^{-\nu/nV_T}$$

Với điốt 1mA:

$$\text{Nếu } n = 1: I_S = 10^{-3} e^{-700/25} = 6.9 \times 10^{-16} \text{ A, hoặc khoảng } 10^{-15} \text{ A}$$

Nếu $n = 2$: $I_S = 10^{-3} e^{-700/50} = 8.3 \times 10^{-10} A$, hoặc khoảng $10^{-9} A$

Điốt dẫn dòng 1A tại 0.7V tương ứng với 1000 diốt 1mA mắc song song với vùng tiếp giáp tăng lên 1000 lần. Do đó I_S cũng tăng lên 1000 lần, với 1pA và $1\mu\text{A}$, tương ứng với $n=1$ và $n=2$.

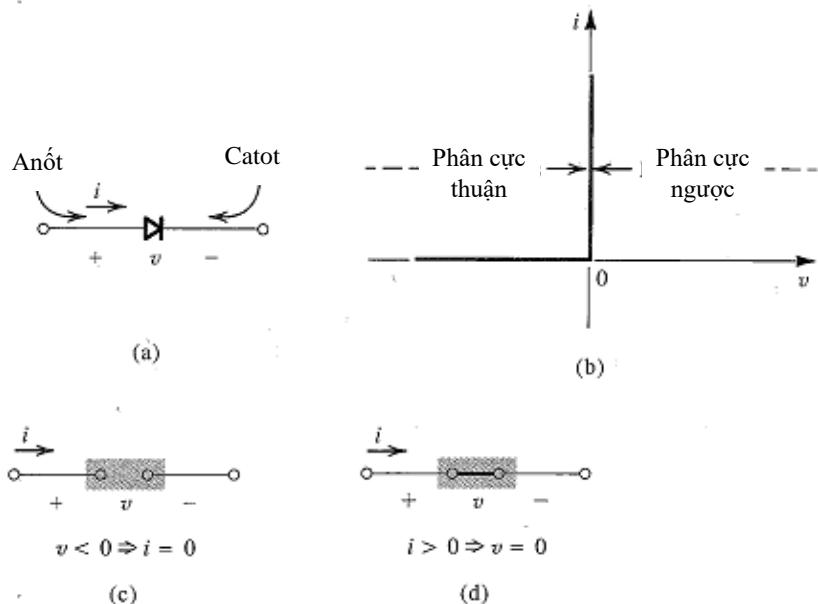
Từ bài này ta có thể thấy giá trị của n sử dụng có thể khá quan trọng.

Vì cả I_S và V_T là hàm của nhiệt độ, đặc tuyến $i-v$ thay đổi theo nhiệt độ, như minh họa trong hình. Với một dòng qua diot cho trước, điện áp rơi trên diot giảm gần 2mV khi nhiệt độ tăng lên 1°C . Sự thay đổi điện áp của diot với nhiệt độ có thể được sử dụng trong thiết kế nhiệt kế điện tử.

3.2 Diốt lý tưởng

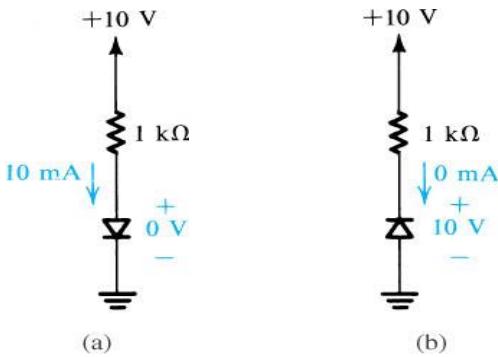
3.2.1 Đặc tuyến dòng điện – điện áp

Điốt lý tưởng có thể được xét là một thành phần cơ bản nhất trong mạch phi tuyến. Nó có ký hiệu như hình 3.12(a) và đặc tuyến $i-v$ như trong hình 3.12(b). Đặc điểm của điốt lý tưởng có thể trình bày như sau: Nếu điện áp ngược được đặt lên diot, không có dòng qua diot và diot hoạt động như một mạch hở (hình 3.12c). Điốt hoạt động ở chế độ này được gọi là phân cực ngược. Một điốt lý tưởng có dòng bằng không khi hoạt động ở chế độ phân cực ngược thì được gọi là **điốt khóa**



Hình 3.12: Diốt lý tưởng: (a) ký hiệu; (b) đặc tuyến $i-v$ (c) mạch tương đương trong trường hợp phân cực ngược; (d) mạch tương đương với trường hợp mạch phân cực thuận.

Mặt khác, nếu điện áp thuận được đặt lên diốt thì điện áp giữa hai đầu diốt bằng không. Nói cách khác, diốt lý tưởng hoạt động như một mạch ngắn mạch theo chiều thuận (hình 3.12d). Nó cho bất kỳ dòng nào qua với điện áp rơi trên nó bằng không. Một diốt phân cực thuận được gọi là đóng



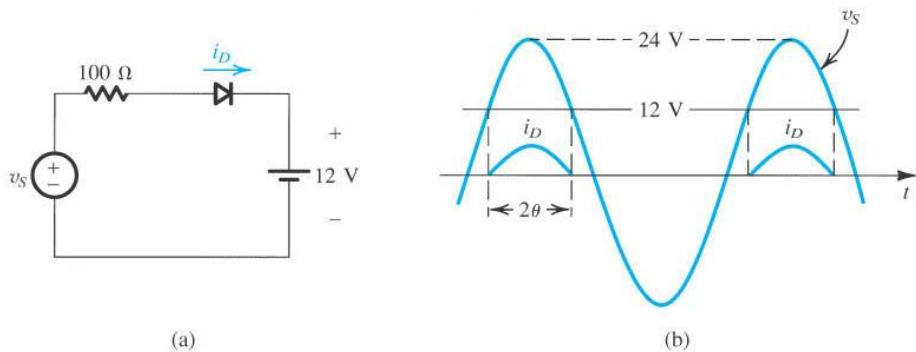
Hình 3.13: Hai chế độ hoạt động của diốt lý tưởng, sử dụng mạch ngoài để giới hạn dòng thuận(a) và điện áp ngược (b).

Tù trình bày ở trên ta lưu ý mạch ngoài phải được thiết kế để giới hạn dòng thuận đi qua diốt và điện áp ngược đặt lên diốt. Hình 3.13 minh họa cho điều này. Trong mạch 3.13(a) diốt hiển nhiên dẫn điện. Do đó điện áp rơi trên nó sẽ bằng 0 và dòng qua nó hay dòng qua mạch là 10mA. Diốt ở hình 3.13b hiển nhiên khóa, và do đó dòng của nó sẽ là 0, có nghĩa là toàn bộ điện áp 10V là điện áp ngược đặt lên diốt.

Đầu dương của diốt được gọi là **anode** và đầu âm của diốt được gọi là **cathode**. Đặc tuyến $i-v$ của diốt lý tưởng (dẫn theo một hướng và không theo hướng còn lại) giải thích cho sự lựa chọn ký hiệu mũi tên trong sơ đồ mạch điện.

Rõ ràng là với một diốt lý tưởng, đặc tuyến $i-v$ của nó là phi tuyến mạnh, mặc dù nó bao gồm hai đoạn thẳng. Một đường đặc tuyến mà bao gồm nhiều đoạn thẳng ghép lại được gọi là tuyến tính từng đoạn. Nếu một thiết bị có đặc tuyến tuyến tính từng đoạn mà tín hiệu vào được giới hạn trong một đoạn thẳng thì thiết bị đó được xem là phần tử tuyến tính. Ngược lại, nếu tín hiệu qua một hoặc nhiều điểm gãy trên đường đặc tuyến thì đặc điểm tuyến tính không đúng nữa.

Ví dụ 3.2: Hình vẽ minh họa một mạch điện để sạc điện cho pin 12V. Nếu v_s là điện áp hình sin đầu vào với biên độ 24V, tìm các khoảng thời gian trong mỗi chu kỳ mà diốt dẫn (cho dòng điện đi qua). Tương tự tìm giá trị tìm giá trị cực đại của dòng qua diốt và giá trị cực đại của điện áp phân cực ngược.



Hình cho ví dụ 2

Lời giải:

Điốt sẽ dẫn điện khi v_s lớn hơn 12V, như trên hình (b). Góc dẫn là 2θ , ở đây θ được tính bởi:

$$24 \cos \theta = 12$$

Do đó $\theta = 60^\circ$ và góc dẫn là 120° hay là $1/3$ chu kỳ

Giá trị đỉnh của dòng qua điốt được tính:

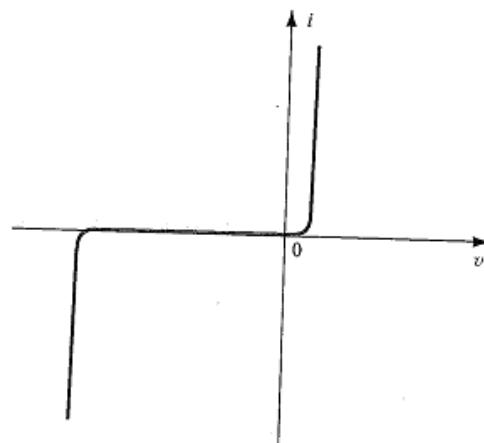
$$I_d = \frac{24 - 12}{100} = 0.12A$$

Dòng điện ngược qua điốt lớn nhất khi v_s là giá trị âm lớn nhất và tính bằng $24 + 12 = 36V$.

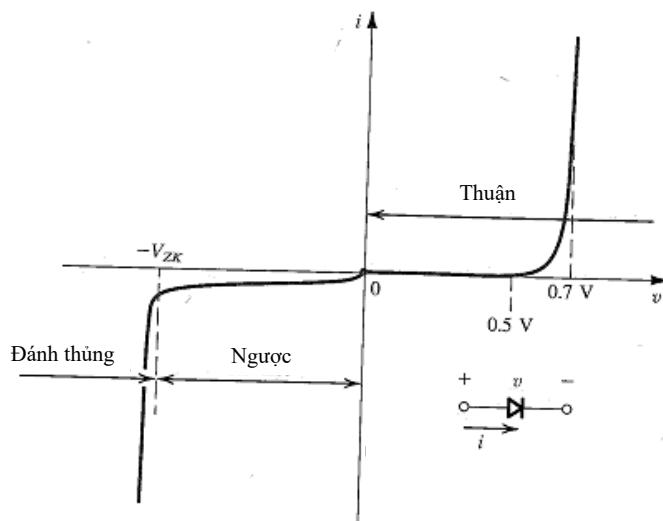
3.3 Đặc tuyến của điốt

Hình 3.14 minh họa các đặc tính $i-v$ của điốt tiếp giáp silic. Như trên hình vẽ, đường cong đặc tính được chia ra làm ba phần riêng biệt:

1. Vùng phân cực thuận, xác định bởi $v > 0$
2. Vùng phân cực ngược, xác định bởi $v < 0$
3. Vùng đánh thủng, xác định bởi $v < -V_{ZK}$



Hình 3.14 Đặc tính $i - v$ của diốt tiếp giáp silic



Hình 3.15 Quan hệ $i - v$

3.3.1 Vùng phân cực thuận

Vùng phân cực thuận hay đơn giản là vùng thuận, xác định khi cực dương của điện áp đặt vào nối với cực dương anot của diốt. Trong vùng phân cực thuận $i - v$ quan hệ với nhau theo công thức xấp xỉ:

$$i = I_s (e^{v/nV_T} - 1) \quad (3.36)$$

Trong phương trình này, I_s là hằng số phụ thuộc vào loại diốt và nhiệt độ. Dòng I_s thường được gọi là dòng bão hòa. Một tên gọi khác của I_s và thường được sử dụng là dòng tỷ lệ. Tên này sinh ra từ thực tế rằng I_s tỷ lệ với tiết diện của lớp tiếp giáp. Do đó, khi vùng tiếp giáp tăng lên gấp đôi, giá trị của I_s tăng lên gấp đôi, và dòng i cũng tăng gấp đôi với một giá trị của điện áp thuận cho trước. Với diốt tín hiệu nhỏ dùng cho các ứng dụng công suất nhỏ, I_s thường có giá trị khoảng 10^{-15} A .

Tuy nhiên giá trị của I_s lại rất nhạy cảm với nhiệt độ. Theo quy tắc ngón tay cái, I_s sẽ tăng gấp đôi khi nhiệt độ tăng lên 5°C .

Điện áp V_T trong phương trình (3.36) là hằng số và được gọi là điện áp nhiệt và được tính bởi công thức:

$$V_T = \frac{kT}{q} \quad (3.37)$$

Ở đây:

$$k - \text{Hằng số Boltzman} = 1.38 \times 10^{-23} \text{ J/K.}$$

$$T - \text{Nhiệt độ Kelvins} = 273 + \text{nhiệt độ tính theo } ^\circ\text{C.}$$

$$q - \text{Điện tích của hạt electron} = 1.60 \times 10^{-19} \text{ Culông.}$$

Tại nhiệt độ phòng (20°C) giá trị của V_T là 25.2mV . Trong phân tích mạch, ta sử dụng giá trị gần đúng là 25mV ở nhiệt độ phòng.

Trong phương trình điốt thì hằng số n có giá trị nằm giữa 1 và 2, phụ thuộc vào vật liệu và cấu trúc vật lý của điốt. Điốt được dùng trong mạch tích hợp chuẩn thì $n=1$ khi hoạt động ở điều kiện thường, còn các trường hợp khác, ta chọn $n=2$. Trường hợp tổng quát, ta sẽ lấy $n=1$ trừ những trường hợp đặc biệt khác.

Với dòng điện i trong trường hợp phân cực thuận, đặc biệt với $i >> I_s$, phương trình (3.36) có thể tính gần đúng bởi quan hệ hàm mũ sau:

$$i \approx I_s e^{v/nV_T} \quad (3.38)$$

Quan hệ này có thể biểu diễn dưới dạng logarit:

$$v = nV_T \ln \frac{i}{I_s} \quad (3.39)$$

Quan hệ hàm mũ giữa dòng điện i và điện áp v có thể được chuyển sang hệ cơ số 10 của dòng điện.

Khi điện áp qua điốt là V_1 thì dòng I_1 tương ứng là:

$$I_1 = I_s e^{V_1/nV_T}$$

Tương tự, nếu điện áp là V_2 , dòng điện qua điốt I_2 sẽ là:

$$I_2 = I_s e^{V_2/nV_T}$$

Kết hợp hai phương trình trên ta có:

$$\frac{I_2}{I_1} = e^{(V_2-V_1)/nV_T}$$

Hay:

$$V_2 - V_1 = nV_T \ln \frac{I_2}{I_1}$$

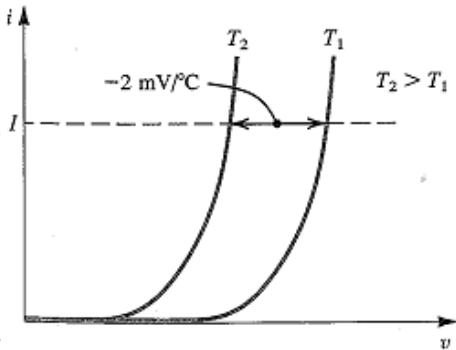
Hoặc đổi với logarit cơ số 10:

$$V_2 - V_1 = 2.3nV_T \log \frac{I_2}{I_1} \quad (3.40)$$

Phương trình này cho thấy rằng khi dòng tăng 10 lần thì điện áp biến đổi theo $2.3nV_T$, và xấp xỉ bằng 60mV với $n=1$ và 120mV với $n=2$. Vì thế sẽ thuận lợi hơn nếu ta sử dụng trực log khi vẽ mối quan hệ $i-v$. Sử dụng trực tung cho v và trực hoành – trực log cho dòng i , ta nhận được một đường thẳng với độ dốc $2.3nV_T$. Cần phải nói rằng không thể biết chính xác giá trị của n (có thể thu được thông qua một số thí nghiệm đơn giản), các nhà thiết kế mạch sử dụng giá trị gần đúng là 0.1V/decade cho độ dốc của đặc tuyến logarit của điốt.

Đặc tuyến $i-v$ trong miền phân cực thuận (hình 3.15) cho thấy rằng dòng điện là nhỏ không đáng kể khi điện áp nhỏ hơn 0.5V. Giá trị này thường được gọi là **điện áp ngắt**. Tuy nhiên, giá trị ngưỡng trong đường đặc tuyến đơn giản là hệ quả của quan hệ hàm mũ. Một hệ quả khác của quan hệ này là sự tăng lên nhanh chóng của dòng i . Do đó, với một điốt “dẫn hoàn toàn”, điện áp rơi trên nó xấp xỉ 0.6V đến 0.8V. Đây là một mô hình toán của điốt khi giả sử rằng điốt dẫn thì giá trị điện áp trên nó xấp xỉ 0.7V. Các điốt với dòng điện định mức khác nhau (ví dụ vùng tiếp giáp khác nhau và tương ứng giá trị I_S khác nhau) sẽ cho giá trị điện áp 0.7V tại các dòng điện khác nhau. Ví dụ, một điốt tín hiệu nhỏ có thể được xem có điện áp rơi trên nó là 0.7V tại $i=1mA$, trong khi điốt công suất lớn hơn có thể có điện áp rơi trên nó là 0.7V tại dòng điện $i=1A$. Ta sẽ nghiên cứu về phân tích mạch điốt và các loại điốt trong phần sau.

Vì cả I_S và V_T là hàm của nhiệt độ, nên đặc tuyến $i-v$ thay đổi theo nhiệt độ, như minh họa trong hình 3.16. Với một dòng qua điốt cho trước, điện áp rơi trên điốt giảm gần 2mV khi nhiệt độ tăng lên $1^\circ C$. Sự thay đổi điện áp của điốt với nhiệt độ có thể được sử dụng trong thiết kế nhiệt kế điện tử.



Hình 3.16 Sự phụ thuộc nhiệt độ của đặc tuyến thuận

3.3.2 Vùng phân cực ngược

Vùng phân cực ngược là vùng tại thời điểm đó điện áp của điốt v là âm. Phương trình (3.36) cho thấy rằng nếu v là âm, biên độ gấp vài lần V_T (25mV), hàm số mũ sẽ trở nên rất nhỏ so với 1 vị và dòng qua điốt

$$i \approx -I_s$$

Có nghĩa là dòng điện có hướng ngược lại, là hằng số và bằng với I_s

Các điốt trong thực tế đều có dòng ngược, tuy nhỏ nhưng lớn hơn nhiều so với I_s . Ví dụ, với điốt tín hiệu nhỏ mà I_s khoảng từ 10^{-14} A đến 10^{-15} A có thể coi có dòng ngược khoảng 1nA. Dòng ngược cũng tăng lên một chút khi điện áp ngược tăng. Lưu ý vì giá trị của dòng điện rất nhỏ, nên trên đường đặc tuyến không biểu diễn thực sự rõ ràng.

Phần lớn của dòng ngược là dòng điện dò. Các dòng dò này tỷ lệ với diện tích vùng tiếp giáp giống như I_s . Tuy nhiên, sự phụ thuộc vào nhiệt độ của chúng khác so với I_s . I_s tăng gấp đôi khi nhiệt độ tăng lên 5°C , tương ứng với quy tắc ngón tay cái, đối với sự phụ thuộc nhiệt độ của dòng dò thì dòng dò sẽ tăng lên gấp đôi khi nhiệt độ tăng lên 10°C .

3.3.3 Vùng đánh thủng

Vùng thứ 3 trong vùng hoạt động của điốt là vùng đánh thủng. Vùng đánh thủng là vùng khi điện áp ngược vượt quá giá trị ngưỡng, giá trị ngưỡng này là riêng cho từng điốt, được gọi là **điện áp đánh thủng**. Đó là điện áp ở điểm “gãy gập” của đặc tuyến $i-v$ trong hình 3.15, ký hiệu là V_{ZK} ở đây Z có nghĩa là Zener và K ký hiệu cho điểm gãy.

Như ta thấy trong hình 3.15, tại vùng đánh thủng, dòng ngược tăng lên nhanh chóng trong khi điện áp tăng rất nhỏ. Đánh thủng điốt thường không bị phá hủy về cấu trúc miễn là công suất tiêu thụ của điốt được giới hạn bởi mạch ngoài ở mức an toàn. Giá trị an toàn này thường được xác định trong bảng số liệu kỹ thuật (data sheet). Do đó, cần phải giới hạn dòng ngược trong vùng đánh thủng.

Thực tế đặc tuyến $i-v$ của điốt tại điểm đánh thủng gần như một đường thẳng đứng, có thể sử dụng đặc điểm này để ồn áp. Chủ đề này sẽ được nghiên cứu trong phần 3.5.

3.4 Mô hình điốt trong vùng đặc tuyến thuận

Sau khi nghiên cứu đặc tính của điốt, ta sẽ đi phân tích mạch điện sử dụng điốt. Ví như trong hình 3.17. Mạch điện này gồm có một nguồn dc V_{DD} , một điện trở R và một điốt. Ta phải xác định điện áp của điốt V_D và dòng qua điốt I_D . Ta đã biết hai mô hình: điốt lý tưởng và dạng hàm số mũ. Trong phần thảo luận sau chúng ta sẽ đánh giá sự phù hợp của hai mô hình này vào các trường hợp cụ thể cũng như phát triển và đánh giá một số mô hình khác.

3.4.1 Mô hình hàm số mũ (The Exponential model)

Đa số những mô tả đúng đắn về hoạt động của điốt trong miền phân cực thuận là mô hình hàm số mũ. Tuy nhiên, tính phi tuyến của nó làm cho mô hình này rất khó khi sử dụng. Để minh họa, hãy phân tích mạch hình 3.17 sử dụng mô hình hàm số mũ của điốt.

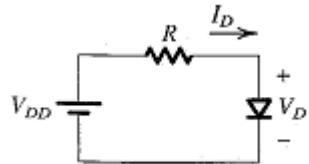
Giả sử rằng V_{DD} lớn hơn 0.5V hoặc là dòng điốt lớn hơn dòng I_S và có thể biểu diễn đặc tuyến $i-v$ của điốt bằng quan hệ hàm mũ :

$$I_D = I_S e^{V_D/nV_T} \quad (3.41)$$

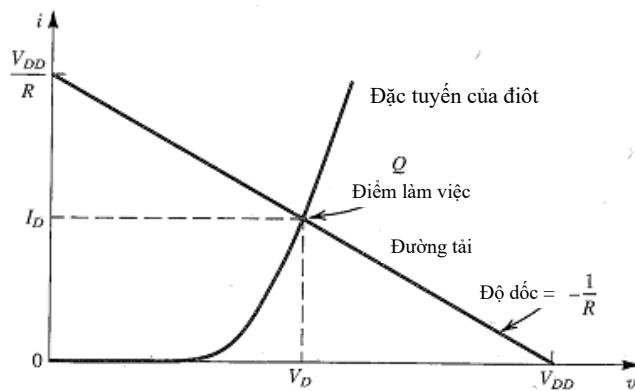
Áp dụng luật Kirchhoff ta lại có:

$$I_D = \frac{V_{DD} - V_D}{R} \quad (3.42)$$

Giả sử rằng I_S và n của điốt là đã biết, phương trình (3.41) và (3.42) có hai ẩn là I_D và V_D . Hai cách để xác định những ẩn này là phân tích đồ thị và phân tích lặp.



Hình 3.17 Mô hình của diốt trong trường hợp phân cực thuận



Hình 3.18 Đồ thị phân tích mạch sử dụng mô hình hàm mũ.

3.4.2 Phân tích đồ thị sử dụng mô hình mũ.

Phân tích đồ thị được thực hiện bằng cách vẽ phương trình (3.41) và (3.42) trên mặt phẳng $i-v$ và kết hợp các điểm trong cả hai đồ thị. Như chỉ ra trong hình 3.18. Đường cong thể hiện phương trình mũ của diốt (phương trình (3.41)) và đường thẳng thể hiện phương trình (3.42). Đường thẳng này gọi là đường tải. Đường tải cắt đường đặc tuyến diốt tại điểm Q, gọi là điểm làm việc của mạch. Điểm này cho ta giá trị của I_D và V_D .

Phân tích đồ thị hỗ trợ trong việc hình dung hoạt động của mạch. Tuy nhiên, đối với các mạch phức tạp thì phương pháp này khó thực hiện trong thực tế.

Ví dụ 3.3: Xác định giá trị dòng I_D và điện áp trên diốt V_D cho mạch trong hình 3.18 với $V_{DD}=5V$ và $R=1k\Omega$. Giả sử diốt có dòng 1mA tại điện áp 0.7V và điện áp của rơi trên nó thay đổi 0.1V với mỗi 10 lần thay đổi dòng điện.

Lời giải

Để bắt đầu bước lặp, chúng ta giả sử rằng $V_D = 0.7V$ và sử dụng phương trình (3.42) để xác định dòng điện

$$I_D = \frac{V_{DD} - V_D}{R} = \frac{5 - 0.7}{1} = 4.3 \text{ mA}$$

Và sau đó chúng ta sử dụng phương trình điốt để có giá trị xấp xỉ gần đúng của V_D bằng cách áp dụng phương trình (3.5)

$$V_2 - V_1 = 2.3nV_T \log \frac{I_2}{I_1}$$

Trong trường hợp này $2.3nV_T = 0.1V$, do đó:

$$V_2 = V_1 + 0.1 \log \frac{I_2}{I_1}$$

Thế $V_1 = 0.7$ V, $I_1 = 1$ mA và $I_2 = 4.3$ mA kết quả được $V_2 = 0.763$ V. Do đó kết quả của lần lặp đầu tiên là $I_D = 4.3$ mA và $V_D = 0.763$ V. Trong lần lặp thứ hai chúng ta xử lý tương tự ta được:

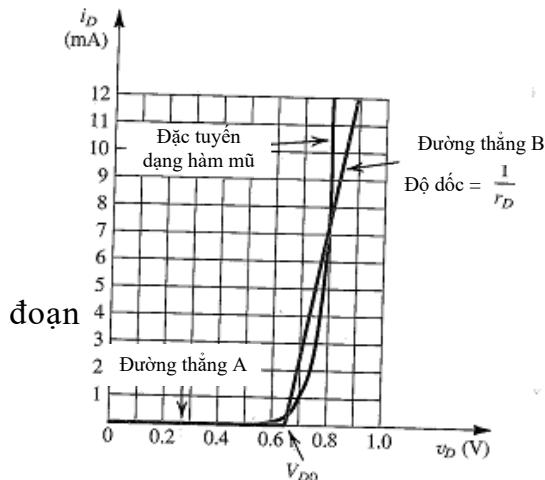
$$I_D = \frac{5 - 0.763}{1} = 4.237 \text{ mA}$$

$$V_2 = 0.763 + 0.1 \log \left[\frac{4.237}{4.3} \right] = 0.762 \text{ V}$$

Do đó ở lần lặp thứ hai kết quả là $I_D = 4.237$ mA và $V_D = 0.762$ V. Không cần thiết phải lặp nhiều lần nữa, vì các giá trị này không khác nhau nhiều từ giá trị xác định sau lần lặp đầu tiên và kết quả là $I_D = 4.237$ mA và $V_D = 0.762$ V.

3.4.3 Mô hình tuyến tính từng đoạn

Nếu chúng ta tìm được mối quan hệ tuyến tính biểu diễn các đặc tuyến của điốt thì việc phân tích sẽ dễ dàng hơn. Ví dụ như trong hình 3.19, đường cong hàm mũ được gần đúng thành hai đường thẳng, đường thẳng A với độ dốc bằng 0 và đường B tương ứng với độ dốc bằng $1/r_D$. Có thể thấy trong hình 3.19, với dòng điện từ 0.1mA tới 10mA, điện áp dự báo bởi mô hình tuyến tính từng đoạn khác với các dự đoán bằng mô hình hàm mũ 50mV. Rõ ràng là việc chọn hai đường thẳng này không phải là duy nhất; ta có thể thu được giá trị gần đúng hơn bằng cách giảm khoảng chia cho dòng điện.



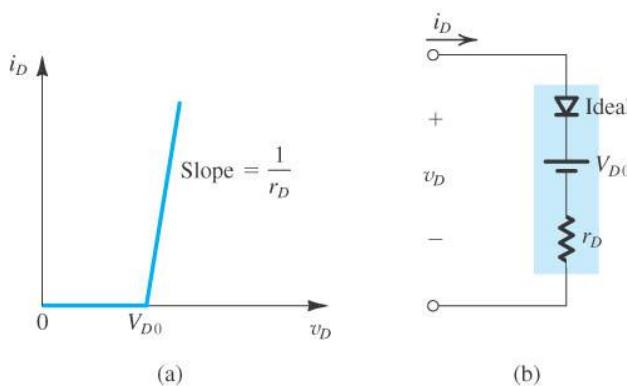
Hình 3.19 Mô hình tuyến tính từng đoạn

Các đường thẳng (hay tuyến tính từng đoạn) trong hình 3.19 có thể được biểu diễn như sau:

$$\begin{aligned} i_D &= 0, \quad v_D \leq V_{D0} \\ i_D &= (v_D - V_{D0}) / r_D, \quad v_D \geq V_{D0} \end{aligned} \quad (3.43)$$

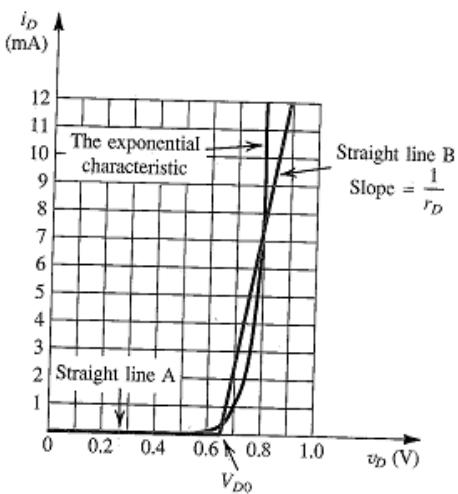
Ở đây V_{D0} là giao điểm của đường B trên trục điện áp và r_D là nghịch đảo của độ dốc của đường B. Với ví dụ trên: $V_{D0} = 0.65V$ và $r_D = 20\Omega$

Mô hình tuyến tính từng đoạn mô tả bởi phương trình (3.43) có thể được thay thế tương đương với mạch như trong hình 3.20. Lưu ý đột lý tưởng trong mô hình này bị ràng buộc bởi i_D để phân cực thuận. Mô hình này cũng được biết đến như mô hình nguồn pin có điện trở trong.



Hình 3.20 Mô hình tuyến tính từng đoạn và mạch tương đương

Ví dụ 3.4: Làm lại ví dụ 3.3 sử dụng mô hình tuyến tính từng đoạn với các thông số được cho trong hình 3.4 ($V_{D0} = 0.65V$, $r_D = 20\Omega$). Chú ý các đặc tuyến được mô tả trong hình này là minh họa cho đột lý tưởng trong ví dụ 3.4 (1mA tại 0.7V và 0.1V/1 decade).

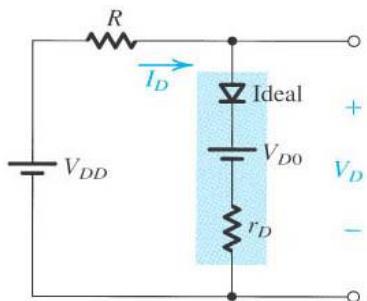


Hình 3.4: Mạch cho ví dụ 3.4

Lời giải:

Thay thế điốt trong mạch trong hình 3.3 tương đương với mô hình trong hình 3.5, ta viết phương trình cho dòng i_D

$$I_D = \frac{V_{DD} - V_{D0}}{R + r_D}$$



Hình của ví dụ 3.4 khi sử dụng mô hình tuyến tính hóa từng đoạn của điốt

Trong đó giá trị của V_{D0} , r_D ở hình 3.12 là $V_{D0} = 0.65V$, $r_D = 20\Omega$. Do đó:

$$I_D = \frac{5 - 0.65}{1 + 0.02} = 4.26 \text{ mA}$$

Điện áp V_D của điốt được tính:

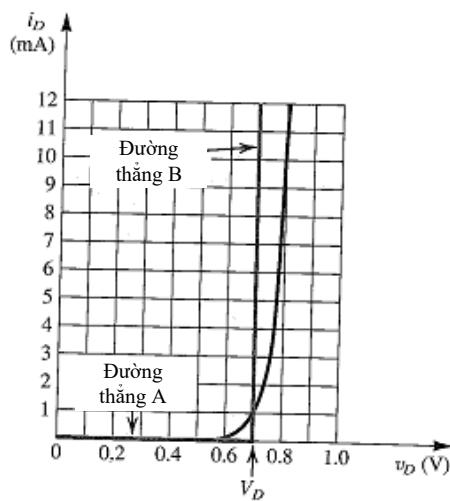
$$V_D = V_{D0} + I_D r_D = 0.65 + 4.26 \times 0.02 = 0.735 \text{ V}$$

3.4.4 Mô hình sụt áp không đổi (the constant voltage drop)

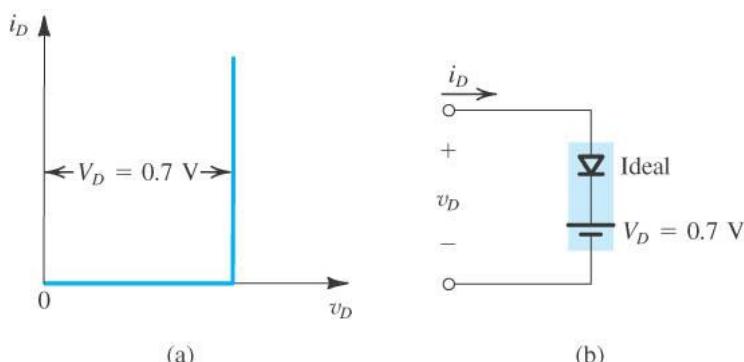
Nếu coi phần tăng lên nhanh của đường đặc tuyến theo hàm mũ như là một đường thẳng thì ta có mô hình sụt áp không đổi (hình 3.21). Kết quả là một hằng số

điện áp rơi V_D . Giá trị của V_D thường lấy bằng 0.7V. Với một điốt cụ thể, mô hình này dự đoán điện áp điốt sai số trong khoảng $\pm 0.1V$ với dòng điện từ 0.1mA tới 10mA. Mạch tương đương của mô hình như trên hình 3.22.

Mô hình sụt áp hằng số được sử dụng trong bước đầu tiên của phân tích và thiết kế. Điều này đặc biệt chính xác khi tại một số bước chúng ta không có các thông tin chi tiết về đặc tuyến của điốt.



Hình 3.21: Mô hình sụt áp không đổi



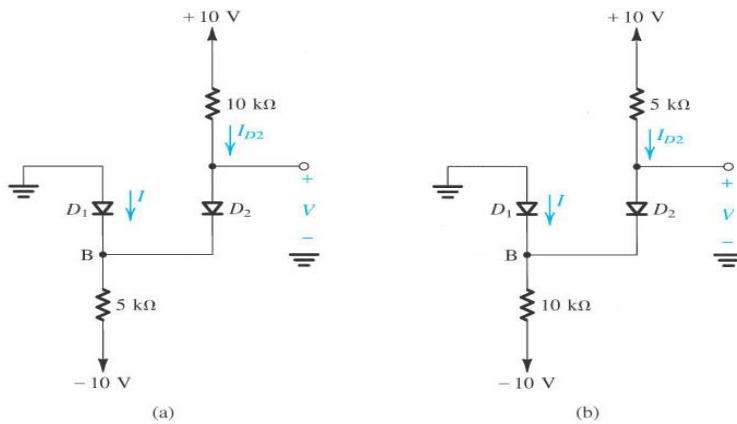
Hình 3.22 Mô hình sụt áp không đổi và mạch tương đương:

3.4.5 Mô hình điốt lý tưởng

Trong nhiều ứng dụng có mức điện áp lớn hơn nhiều so với điện áp rơi trên điốt (0.6-0.8V), ta có thể bỏ qua điện áp rơi trên điốt khi tính toán dòng qua điốt. Kết quả là ta có một mô hình điốt lý tưởng.

Kết quả tính nhanh này không ảnh hưởng tới kết quả cuối cùng. Tuy nhiên, nếu không có tính toán gì thêm thì mô hình có sụt áp 0.7V cho kết quả thực tế hơn. Lợi ích lớn nhất của mô hình điốt lý tưởng là xác định xem điốt nào được mở và điốt nào được đóng trong một mạch có nhiều điốt.

Ví dụ 3.5: Giả sử diốt là lý tưởng, Tính I và V trong mạch sau:



Hình cho ví dụ 3.5

Lời giải:

Trước hết hãy quan sát trong các mạch này có thể không có, có một, hoặc cả hai diốt dẫn điện. Ta giả sử một trường hợp, tiến hành phân tích, và sau đó kiểm tra lại đầu ra. Với mạch điện hình (a), ta sẽ giả sử cả hai diốt đang dẫn điện. Như vậy $V_B=0$ và $V=0$. Dòng điện qua D_2 có thể xác định như sau:

$$I_{D2} = \frac{10-0}{10} = 1mA$$

Viết phương trình tại nút B:

$$I+1 = \frac{0-(-10)}{5}$$

Tính ra được $I = 1mA$. Do đó D_1 mở như giả sử ban đầu, và kết quả cuối cùng là $I=1mA$ và $V=0V$.

Với mạch trong hình (b), nếu ta giả sử cả hai diốt đang mở (dẫn), khi đó $V_B=0$ và $V=0$. Dòng điện qua D_2 được tính

$$I_{D2} = \frac{10-0}{5} = 2mA$$

Phương trình tại nút B:

$$I+2 = \frac{0-(-10)}{10}$$

Tính được $I= -1mA$, điều này là không thể, giả sử ban đầu là sai.

Giả sử D_1 đóng và D_2 mở. Dòng qua D_2 được tính:

$$I_{D2} = \frac{10-(-10)}{15} = 1.33mA$$

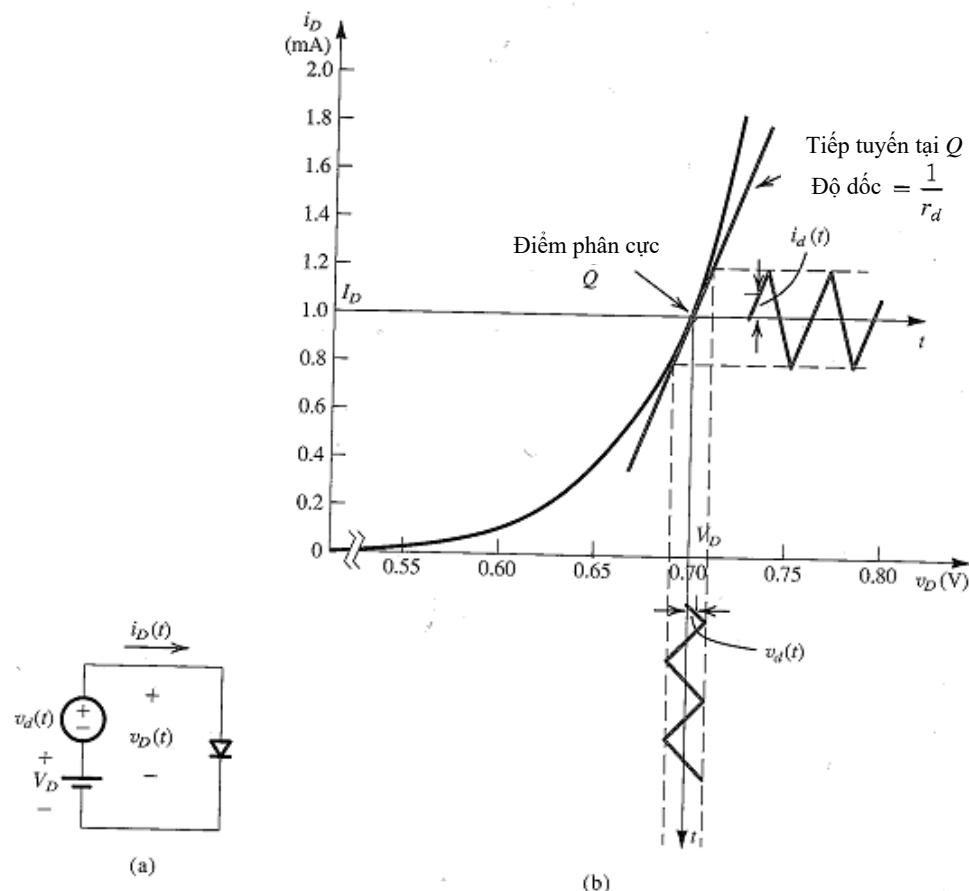
Điện áp tại nút B là

$$V_B = -10 + 10 \times 1.33 = +3.3V$$

Do đó D_1 phân cực ngược như giả sử, và kết quả cuối cùng là $I=0$ và $V=3.3V$.

3.4.6 Mô hình tín hiệu nhỏ

Đây là mô hình mà tại đó diốt được phân cực để làm việc tại một điểm trên đặc tuyến thuận $i-v$. Với trường hợp này, đầu tiên chúng ta phải xác định điểm làm việc một chiều của diốt (I_D và V_D) , sử dụng một trong các mô hình ở trên. Thông thường, mô hình sụt áp 0.7V được sử dụng. Sau đó, với tín hiệu nhỏ quanh điểm phân áp dc, diốt được mô hình hóa tốt nhất bằng trở kháng có giá trị bằng với nghịch đảo độ dốc của tiếp tuyến tại điểm làm việc của đặc tuyến $i-v$. Khái niệm về phân cực một thiết bị phi tuyến và hạn chế sai lệch của các tín hiệu trong một khoảng ngắn và các đoạn đặc tuyến của chúng gần như tuyến tính quanh điểm phân cực được giới thiệu trong phần 1.4. Dưới đây, ta sẽ khai thác một vài mô hình tín hiệu nhỏ cho diốt tiếp giáp và minh họa các ứng dụng của chúng.



Hình 3.23 Mô hình tín hiệu nhỏ

Xét mạch trong hình 3.23(a) và minh họa trong hình 3.23 (b). Điện áp một chiều V_D , được biểu diễn bằng một nguồn pin, được đặt lên diốt, và tín hiệu biến đổi theo thời gian $v_d(t)$, giả sử là sóng dạng tam giác, được xếp chồng trên điện áp một chiều V_D . Khi không có tín hiệu $v_d(t)$, điện áp rơi trên diốt bằng V_D và tương ứng, diốt sẽ dẫn một dòng một chiều I_D được tính bởi:

$$I_D = I_S e^{V_D/nV_T} \quad (3.44)$$

Khi có tín hiệu $v_d(t)$, tổng điện áp tức thời trên diốt sẽ được tính:

$$v_D(t) = V_D + v_d(t) \quad (3.45)$$

Tương đương với tổng dòng điện tức thời trên diốt $i_D(t)$ sẽ bằng:

$$i_D(t) = I_S e^{v_D/nV_T} \quad (3.46)$$

Thay v_D từ phương trình (3.45) ta được

$$i_D(t) = I_S e^{(V_D+v_d)/nV_T}$$

Phương trình này có thể viết:

$$i_D(t) = I_S e^{V_D/nV_T} e^{v_d/nV_T}$$

Sử dụng phương trình (3.44) ta tìm được:

$$i_D(t) = I_D e^{v_d/nV_T} \quad (3.47)$$

Nếu biên độ của tín hiệu $v_d(t)$ đủ nhỏ sao cho

$$\frac{v_d}{nV_T} \ll 1 \quad (3.48)$$

thì ta có thể khai triển hàm mũ của phương trình (3.47) thành một chuỗi và rút gọn chuỗi sau hai số hạng đầu tiên ta thu được:

$$i_D(t) \approx I_D \left(1 + \frac{v_d}{nV_T} \right) \quad (3.49)$$

Đây là xấp xỉ với tín hiệu nhỏ, phù hợp với các tín hiệu có biên độ nhỏ hơn 10mA với $n = 2$ và 5mV với $n=1$.

Từ phương trình (3.49) ta có:

$$i_D(t) = I_D + \frac{I_D}{nV_T}v_d \quad (3.50)$$

Do đó, xếp chồng lên dòng một chiều I_D , ta có thành phần dòng điện tỷ lệ tương ứng với tín hiệu điện áp v_d . Nghĩa là:

$$i_D = i_D + i_d \quad (3.51)$$

Trong đó:

$$i_d = \frac{I_D}{nV_T}v_d \quad (3.52)$$

Đại lượng thể hiện quan hệ tín hiệu dòng điện i_d với tín hiệu điện áp v_d có đơn vị của độ dẫn điện, mhos, và được gọi là **độ dẫn tín hiệu nhỏ của diốt**. Nghịch đảo với thông số này là **trở kháng với tín hiệu nhỏ của diốt hay**

$$r_d = \frac{nV_T}{I_D} \quad (3.53)$$

Chú ý giá trị của r_d là tỷ lệ nghịch với dòng điện phân cực I_D

Quay lại với hình 3.23 (b) dễ thấy rằng sử dụng mô hình xấp xỉ với tín hiệu nhỏ tương đương với giả thiết rằng *biên độ tín hiệu là đủ nhỏ để đường cong i-v có thể xấp xỉ thành một đoạn tuyến tính ngắn*. Độ dốc của đoạn này, bằng với độ dốc của đường tuyến tính với đường cong $i-v$ tại điểm làm việc Q, cũng bằng với độ dẫn tín hiệu nhỏ. Độ dốc của đường cong $i-v$ tại $i = I_D$ là bằng I_D/nV_T , nghĩa là:

$$r_d = 1 / \left[\frac{\partial i_D}{\partial v_D} \right]_{i_D=I_D} \quad (3.54)$$

Từ đó ta kết luận rằng xếp chồng đại lượng V_D và I_D - được định nghĩa là điểm phân cực một chiều, hoặc **điểm tĩnh-** của diốt ta được các đại lượng tín hiệu nhỏ

$v_d(t)$ và $i_d(t)$, đại lượng này quan hệ bởi trở kháng điốt với tín hiệu nhỏ r_d được tính tại điểm phân cực (phương trình 3.53). Do đó việc phân tích với tín hiệu nhỏ được thực hiện riêng biệt từ phân tích phân cực một chiều. Sau khi phân tích tín hiệu một chiều, ta thu được mạch tương đương bằng cách loại bỏ tất cả các nguồn một chiều (ngắn mạch các nguồn điện áp một chiều và hở mạch các nguồn dòng điện một chiều) và thay thế các điốt bằng một trở kháng tín hiệu nhỏ của chúng.

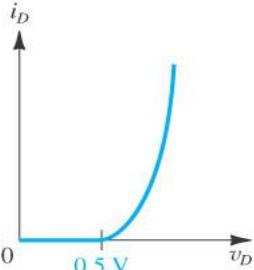
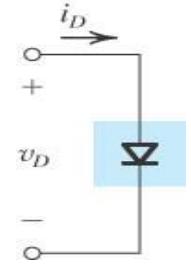
3.4.7 Sử dụng sụt áp của điốt trong bộ ổn áp

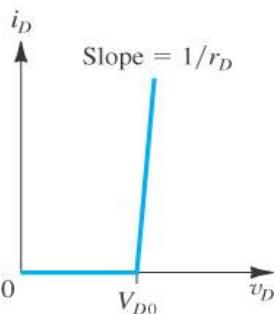
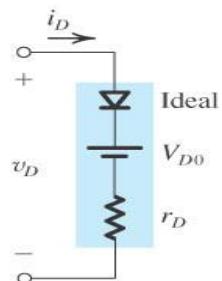
Một ứng dụng nữa của mô hình điốt hoạt động với tín hiệu nhỏ là việc tạo ra một bộ ổn áp. Bộ ổn áp là mạch có mục đích cung cấp điện áp một chiều không đổi giữa các cực của nó khi (a) thay đổi dòng điện tải (b) thay đổi điện áp một chiều cung cấp cho mạch. Do điện áp thuận rơ của điốt gần như là hằng số xấp xỉ 0.7V trong khi dòng điện qua nó thay đổi một lượng lớn, nên điốt phân cực thuận có thể tạo một bộ ổn áp đơn giản (Xem ví dụ trong sách bài tập)

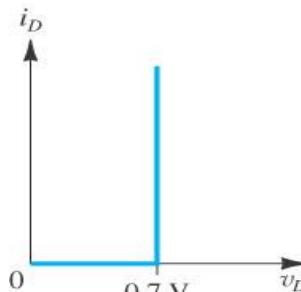
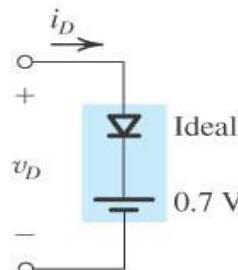
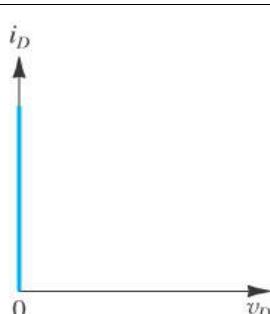
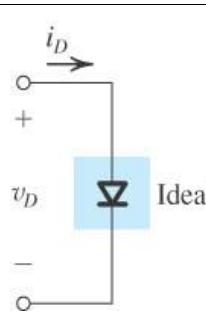
3.4.8 Tổng kết

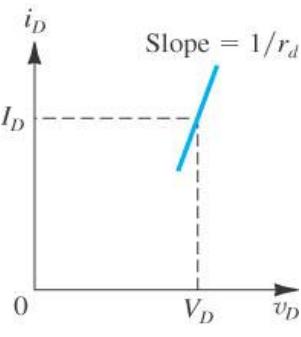
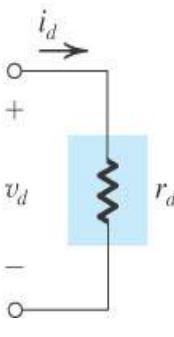
Bảng 3.1 liệt kê 5 mô hình điốt đã nghiên cứu và các chú giải tương ứng từng mô hình. Các chú giải này có mục đích để hỗ trợ trong việc chọn mô hình trong một ứng dụng cụ thể. Câu hỏi “Mô hình nào?” là một câu hỏi mà các nhà thiết kế mạch thường xuyên gặp phải, không chỉ đối với điốt mà với mọi linh kiện trong mạch điện. Vấn đề là tìm kiếm một mô hình tương ứng dung hòa giữa độ chính xác và tốc độ.

Bảng 3.1 Sơ đồ đặc tuyến phân cực thuận của điốt

Mô hình	Đồ thị	Phương trình	Mạch	Nhận xét
Hàm mũ		$i_D = I_S e^{v_D/nV_T}$ $v_D = 2.3nV_T \log\left(\frac{i_D}{I_S}\right)$ $V_{D2} - V_{D1} = 2.3nV_T \log\left(\frac{i_{D2}}{I_{D1}}\right)$ $2.3nV_T = 60 \text{ mV}; \quad n=1$ $2.3nV_T = 120 \text{ mV}; \quad n=2$		$I_S = 10^{-12} \text{ A}$ tới 10^{-15} A phụ thuộc vào vùng tiếp giáp $V_T = 25$

				mV n = 1 đến 2 Dựa vào tính chất vật lý và khá chính xác. Hữu dụng khi phân tích chính xác là cần thiết
Tuyến tính pieciwis e (điện trở và nguồn điện)	 <p>Slope = $1/r_D$</p>	<p>Với $v_D \leq V_{D0}$ $i_D = 0$</p> <p>Với $v_D \geq V_{D0}$ $i_D = \frac{1}{r_D}(v_D - V_{D0})$</p>	 <p>Ideal V_{D0} r_D</p>	Chọn giá tri V_{D0} và r_D được xác định bằng khoảng quá dòng mà mô hình yêu cầu. Với toàn bộ công việc bao gồm, không hữu dụng như mô

				hình hàng số sụt áp. Sử dụng được cho một tần số.
Hàng số sụt áp (hoặc mô hình 0.7V)	 <p>Graph showing current i_D versus voltage v_D. The current is zero for $v_D < 0.7 \text{ V}$ and increases sharply to a positive value for $v_D > 0.7 \text{ V}$.</p>	Với $i_D > 0$ $v_D = 0.7 \text{ V}$	 <p>Circuit diagram of a diode connected in series with a 0.7 V DC voltage source. The diode is labeled "Ideal".</p>	Dễ dàng sử dụng và rất thông dụng cho phân tích nhanh chóng và bằng tay là phần cơ bản trong thiết kế mạch
Điốt lý tưởng	 <p>Graph showing current i_D versus voltage v_D. The current is zero for $v_D < 0$ and increases sharply to a positive value for $v_D > 0$.</p>	Với $i_D > 0$ $v_D = 0$	 <p>Circuit diagram of a diode connected in series with a 0 V DC voltage source. The diode is labeled "Ideal".</p>	Tốt cho việc tính tổng các điốt mở và đóng trong các mạch nhiều điốt. Tốt vì giá trị thu được gần đúng

				có các giá trị của dòng qua điốt đặc biệt là khi điện áp của mạch lớn hơn nhiều V_D .
Tín hiệu nhỏ	 <p>Cho các tín hiệu nhỏ xếp chòng trên V_D và I_D:</p> $i_d = v_d / r_d$ $r_d = rV_T / I_D$ <p>(Với $n=1$, v_d được giới hạn 5mV, với $n=2$, 10mV)</p>		Hữu dụng để tìm kiếm thành phần tín hiệu của điện áp điốt (ví dụ, trong ứng dụng bộ ổn áp)	Xử lý như với các thành phần tín hiệu cơ bản như mô hình transistor (Chương

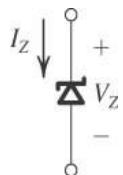
3.5 Hoạt động ở miền đánh thủng – diốt zener

Độ dốc đường cong $i-v$ của diốt ở vùng đánh thủng (hình 3.36) và sụt áp ở vùng này gần như hằng số gọi ý rằng diốt hoạt động ở vùng đánh thủng có thể được sử dụng trong thiết kế bộ ổn định điện áp. Thực tế, có một loại diốt đặc biệt được chế tạo để hoạt động tại vùng đánh thủng. Các diốt như vậy gọi là **diốt đánh thủng** hoặc thông dụng hơn gọi là **diốt zener**.

Hình 3.24 minh họa ký hiệu của diốt zener. Trong các ứng dụng thông thường của diốt zener, dòng điện đi vào cathode, và cathode là dương so với cực anode. Do đó I_Z và V_Z trong hình 3.24 có giá trị dương.

3.5.1 Mô hình của diốt Zener

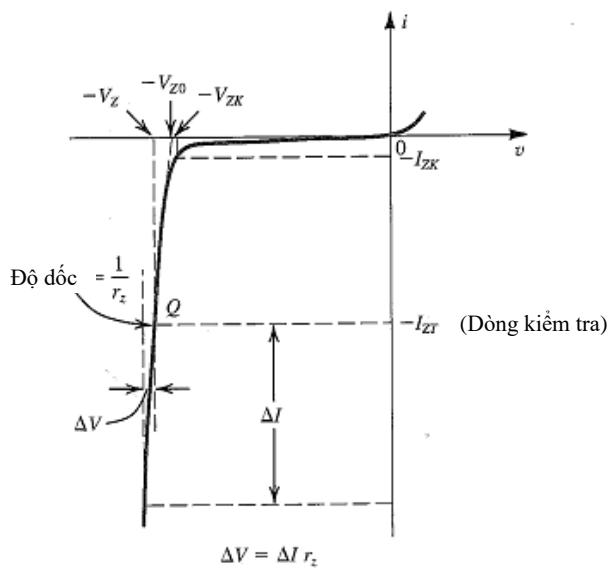
Hình 3.25 trình bày chi tiết đặc tuyến $i-v$ của diốt tại vùng đánh thủng. Quan sát thấy rằng khi dòng lớn hơn **dòng gãy** I_{ZK} (Chi tiết trong tài liệu kỹ thuật (data sheet) của diốt Zener), đặc tuyến $i-v$ gần như đường thẳng.



Hình 3.24. Ký hiệu diốt zener

Nhà sản xuất thường ghi rõ điện áp qua diốt Zener V_Z tại một dòng điện xác định I_{ZT} . Ta minh họa các thông số này trong hình 3.25 tương ứng với điểm ký hiệu Q. Do đó một diốt Zener 6.8V sẽ có sụt áp 6.8V tại dòng 10mA. Khi dòng qua zener sai lệch với I_{ZT} , điện áp qua nó sẽ thay đổi, mặc dù rất nhỏ. Hình 3.25 chỉ ra rằng dòng điện thay đổi ΔI , điện áp thay đổi ΔV , với quan hệ là:

$$\Delta V = r_z \Delta I$$



Hình 3.25 Đặc tính $i - v$ của diốt ở vùng đánh thủng

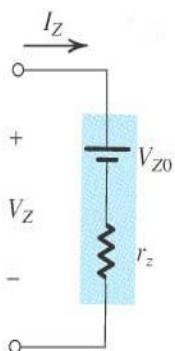
Ở đây r_z là nghịch đảo độ dốc của đường cong gần tuyến tính $i - v$ tại điểm Q. Điện trở r_z là **điện trở gia tăng** của diốt Zener tại điểm hoạt động Q. Nó cũng được biết đến là **điện trở động** của diốt zener và giá trị được xác định trong datasheet của thiết bị. Thông thường, r_z là trong khoảng vài Ôm đến vài chục Ôm. Hiện nhiên giá trị r_z càng nhỏ thì điện áp zener càng gần hằng số khi dòng thay đổi và hoạt động càng lý tưởng.

Điốt zener được chế tạo với điện áp V_Z nằm trong khoảng vài Vôn đến vài trăm Vôn. Để xác định rõ V_Z (tại dòng I_{ZT} cụ thể), r_z và I_{ZK} , nhà sản xuất cũng xác định rõ công suất lớn nhất mà thiết bị được an toàn. Do đó, một diốt Zener 0.5W, 6.8V có thể hoạt động an toàn tại dòng điện tăng lên tối đa khoảng 70mA.

Đặc tuyến gần tuyến tính $i - v$ của diốt Zener cho phép linh kiện này có thể được mô hình hóa như trong hình 3.26. Ở đây, V_{Z0} ký hiệu giao điểm của đường thẳng có độ dốc $1/r_z$ và trực điện áp. Mặc dù V_{Z0} khác biệt nhỏ so với điện áp gấp khúc V_{ZK} , nhưng trong thực tế các giá trị của chúng gần bằng nhau. Mô hình mạch tương đương của hình 3.26 có thể phân tích như sau:

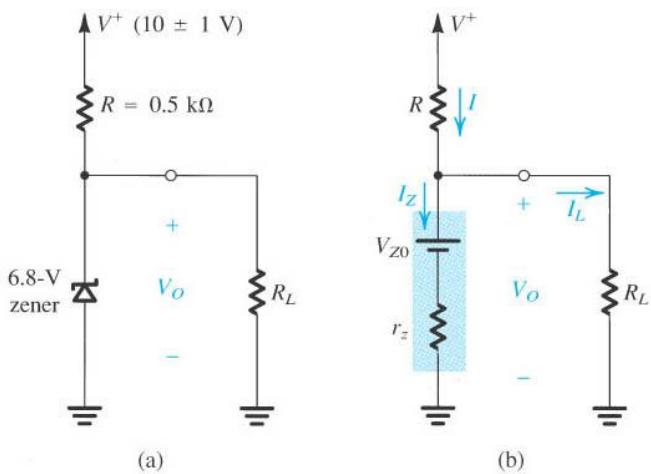
$$V_Z = V_{Z0} + r_z I_Z \quad (3.55)$$

Và áp dụng cho $I_Z > I_{ZK}$ và hiển nhiên $V_Z > V_{Z0}$.



Hình 3.26 Mô hình của diốt zener.

Ví dụ 3.6: Một diode zener 6.8V trong mạch như hình vẽ (a) được ghi rõ có $V_Z = 6.8V$ tại $I_Z = 5mA$, $r_z = 20\Omega$, và $I_{ZK} = 0.2 mA$. Điện áp cung cấp V^+ có giá trị danh định là 10V nhưng có thể thay đổi ± 1 V.



Hình cho ví dụ 3.6 (a) Mạch điện (b) Mạch với diode zener thay thế bởi mạch tương đương với nó.

- Tìm V_O khi không có tải và với V^+ tại giá trị danh định của nó.
- Tìm sự thay đổi của V_O từ sự thay đổi ± 1V của V^+ . Chú ý ($\Delta V_O / \Delta V^+$) thường biểu thị mV/V, được gọi là điều chỉnh đường dây (line regulation).
- Tìm sự thay đổi của V_O từ việc nối một điện trở tải R_L , có dòng qua nó $I_L = 1mA$, và từ đó tìm sự điều chỉnh phụ tải ($\Delta V_O / \Delta I_L$) đơn vị mV/mA
- Tìm sự thay đổi của V_O khi $R_L = 2k\Omega$
- Tìm giá trị của V_O tại $R_L = 0.5k\Omega$
- Tìm giá trị nhỏ nhất của R_L để diode vẫn hoạt động tại vùng đánh thủng

Lời giải

Đầu tiên ta phải xác định giá trị tham số V_{Z0} của diode zener. Thay $V_Z = 6.8V$, $I_Z = 5mA$ và $r_z = 20 \Omega$ vào phương trình:

$$V_Z = V_{Z0} + r_z I_Z$$

Ta được $V_{Z0} = 6.7 V$.

Hình 3.7(b) biểu diễn mạch với điốt zener được thay thế bởi mô hình của nó.

(a) Khi không có tải, dòng điện qua điốt zener được tính:

$$I_Z = I = \frac{V^+ - V_{Z0}}{R + r_Z} = \frac{10 - 6.7}{0.5 + 0.02} = 6.35 \text{ mA}$$

Do đó,

$$V_O = V_{Z0} + I_Z r_z = 6.7 + 6.35 \times 0.02 = 6.83 \text{ V}$$

(b) Với thay đổi $\pm 1\text{V}$ của V^+ , sự thay đổi điện áp đầu ra có thể tính:

$$\Delta V_O = \Delta V^+ \frac{r_z}{R + r_z} = \pm 1 \times \frac{20}{500 + 20} = \pm 38.5 \text{ mV}$$

Do đó

$$\text{Sự điều chỉnh đường} = 38.5 \text{ mV/V}$$

(c) Khi có tải R_L , dòng tải là $I_L = 1 \text{ mA}$, dòng qua điốt zener sẽ giảm 1mA . Tương ứng với sự thay đổi điện áp là:

$$\Delta V_O = r_z \Delta I_Z = 20 \times -1 = -20 \text{ mV}$$

Do đó điều chỉnh tải sẽ là:

$$\text{Tải điều chỉnh: } = \frac{\Delta V_0}{\Delta I_L} = -20 \text{ mV/mA}$$

(d) Khi mắc thêm điện trở tải khoảng $2 \text{ k}\Omega$, dòng tải sẽ xấp xỉ $6.8V / 2k\Omega = 3.4 \text{ mA}$. Do đó sự thay đổi dòng điện qua zener sẽ là $\Delta I_Z = -3.4 \text{ mA}$ và tương ứng với sự thay đổi điện áp của điốt zener (điện áp đầu ra) là

$$\Delta V_O = r_z \Delta I_Z = 20 \times -3.4 = -68 \text{ mV}$$

Tuy nhiên, phép tính này là gần đúng vì ta bỏ qua sự thay đổi dòng điện I . Kết quả chính xác hơn của ΔV_O có thể nhận được bằng cách phân tích mạch trong hình 3.7(b). Kết quả của phân tích này là $\Delta V_O = -70 \text{ mV}$.

(e) Với tải R_L là $0.5 \text{ k}\Omega$ dòng tải thu được là $6.8 / 0.5 = 13.6 \text{ mA}$. Điều này không thể, vì dòng I cung cấp qua R chỉ là 6.4 mA (với $V^+ = 10 \text{ V}$). Do đó, điốt zener phải bị khóa. Nếu điều này thực sự đúng, thì V_O được xác định bởi phân áp cho bởi R_L và R

$$V_O = V^+ \frac{R_L}{R + R_L} = 10 \frac{0.5}{0.5 + 0.5} = 5 \text{ V}$$

Do điện áp này nhỏ hơn điện áp đánh thủng của điốt zener, điốt thực sự không hoạt động tại vùng đánh thủng nữa.

(f) Với điốt zener tại rìa ngoài cùng của vùng đánh thủng $I_Z = I_{ZK} = 0.2 \text{ mA}$ và $V_Z = V_{ZK} = 6.7 \text{ V}$. Tại điểm này dòng điện nhỏ nhất cung cấp qua R là $(9 - 6.7) / 0.5 = 4.6 \text{ mA}$, và dòng tải là $4.6 - 0.2 = 4.4 \text{ mA}$. Tương ứng với giá trị R_L là:

$$R_L = \frac{6.7}{4.4} = 1.5 \text{ k}\Omega$$

3.5.2 Ảnh hưởng của nhiệt độ

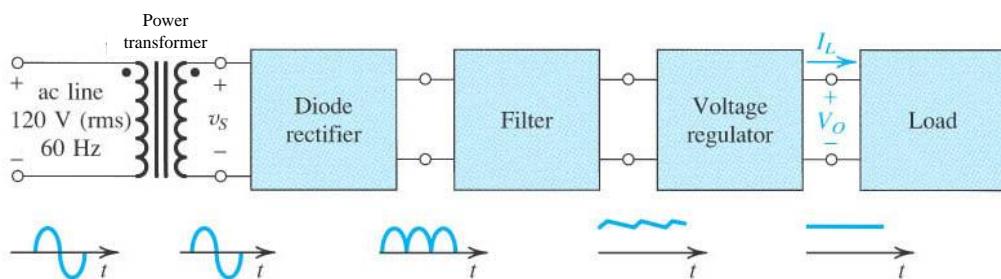
Sự phụ thuộc của điện áp zener V_Z vào nhiệt độ được gọi là hệ số nhiệt độ TC (temperature coefficient), hay thường được biết đến là **temco**, thường được tính bằng đơn vị mV/ $^{\circ}\text{C}$. Giá trị của TC phụ thuộc vào điện áp diốt zener và dòng điện làm việc. Nếu điện áp V_Z nhỏ hơn khoảng 5V thì giá trị TC âm và ngược lại. TC bằng 0 khi điện áp V_Z khoảng 5V. Để đạt được điện áp tham chiếu với TC thấp ta có thể kết nối một diốt zener với hệ số nhiệt độ khoảng 2 mV/ $^{\circ}\text{C}$ nối tiếp với một diốt phân cực thuận. Khi diốt phân cực thuận có sụt áp là 0.7V và TC khoảng -2mV/ $^{\circ}\text{C}$, cách mắc này sẽ cung cấp một điện áp ($V_Z + 0.7$) với TC khoảng bằng 0.

Mặc dù đơn giản và hữu dụng, các diốt zener đang mất dần sự phổ biến trong những năm gần đây và được thay thế bằng các mạch tích hợp (IC) trong thiết kế bộ ổn áp. Những mạch này thực hiện chức năng ổn áp hiệu quả và linh hoạt hơn nhiều so với diốt zener.

3.6 Mạch chỉnh lưu

Một trong số những ứng dụng quan trọng nhất của diốt là thiết kế mạch chỉnh lưu. Mạch chỉnh lưu xây dựng các khối của nguồn công suất một chiều cấp của các thiết bị điện tử công suất. Sơ đồ khối minh họa một khối nguồn như trên hình 3.24. Như đã chỉ ra, nguồn cấp đầu vào là tín hiệu điện áp 120 V(rms) 60Hz xoay chiều, đầu ra là nguồn một chiều V_O (thường trong khoảng 5-20V) cung cấp cho tải. Điện áp một chiều V_O yêu cầu càng là hằng số càng tốt khi điện áp xoay chiều AC và dòng tải thay đổi.

Khối đầu tiên trong bộ nguồn DC là máy biến áp. Máy biến áp gồm hai cuộn dây riêng biệt cuốn quanh một lõi thép từ tính. Cuộn dây sơ cấp, có N_1 vòng, và được nối với nguồn xoay chiều 120V, và cuộn thứ cấp có N_2 vòng.



Hình 3.27 Sơ đồ khái niệm của bộ nguồn một chiều

Bằng việc chọn tương ứng tỷ số (N_2/N_1) cho biến áp, người thiết kế có thể giảm giá trị điện áp theo từng bước đến giá trị yêu cầu để phù hợp với điện áp một chiều đầu ra cụ thể. Ví dụ, điện áp của cuộn sơ cấp là 8V rms có thể thích hợp với nguồn một chiều đầu ra 5V. Điều này có thể đạt được với tỷ số vòng dây là 15:1.

Biến áp công suất còn làm nhiệm vụ cách ly về mặt điện giữa thiết bị điện tử và mạch công suất. Sự cách ly này giảm tối thiểu nguy cơ sốc điện cho các thiết bị sử dụng.

Bộ chỉnh lưu đốt chuyển đổi điện áp hình sin đầu vào v_s thành điện áp một chiều (đơn cực) đầu ra, điện áp đầu ra có dạng sóng đập mạch như trong hình 3.27, chưa phải nguồn một chiều sử dụng trong các mạch điện tử, do đó cần phải có một bộ lọc. Sự biến thiên giá trị đầu ra bộ chỉnh lưu được giảm đi đáng kể nhờ một khói lọc như hình 3.27. Trong phần sau chúng ta sẽ nghiên cứu một số mạch chỉnh lưu và mạch lọc đầu ra.

Đầu ra của bộ lọc chỉnh lưu, mặc dù ổn định hơn với trường hợp không có bộ lọc, nhưng vẫn phụ thuộc vào thời gian, gọi là **độ gợn sóng (ripple)**. Để giảm độ gợn sóng và ổn định độ lớn điện áp một chiều đầu ra, chống lại sự thay đổi gây ra bởi sự thay đổi dòng tái, thì ta dùng một bộ ổn áp. Bộ ổn áp như vậy có thể là diode zener như được học trong phần 3.5 hoặc trong thực tế, hay dùng một mạch tích hợp

3.6.1 Mạch chỉnh lưu nửa sóng.

Mạch chỉnh lưu nửa sóng dùng để biến đổi nửa chu kỳ của sóng sin đầu vào. Hình 3.28(a) minh họa một mạch chỉnh lưu nửa sóng.

Đặt điện áp đầu vào v_s có dạng hình sin và giả sử rằng rãnh đốt là lý tưởng. Trong nửa chu kỳ dương của tín hiệu hình sin, sẽ có dòng qua đốt. Khi đó điện áp rơi trên đốt v_D sẽ rất nhỏ - lý tưởng là bằng 0 điện áp đầu ra v_o sẽ bằng điện áp đầu vào v_s

Mặt khác, ở nửa chu kỳ âm của điện áp vào v_s , đốt sẽ không dẫn điện. và điện áp đầu ra v_o sẽ bằng 0

Sử dụng mô hình đốt điện trở là nguồn pin có nội trở, ta nhận được mạch tương đương như hình 3.28(b), từ đó chúng ta có thể viết:

$$v_o = 0, \quad v_s < V_{D0} \quad (3.56a)$$

$$v_o = \frac{R}{R + r_D} v_s - V_{D0} \frac{R}{R + r_D}, \quad v_s > V_{D0} \quad (3.56b)$$

Đặc tuyến truyền đạt được minh họa trong hình 3.28(c). Trong nhiều ứng dụng $r_D \ll R$ và phương trình thứ hai có thể đơn giản hóa thành:

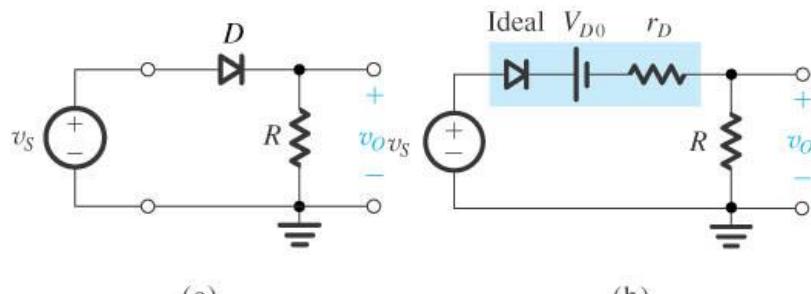
$$v_o = v_S - V_{D0} \quad (3.57)$$

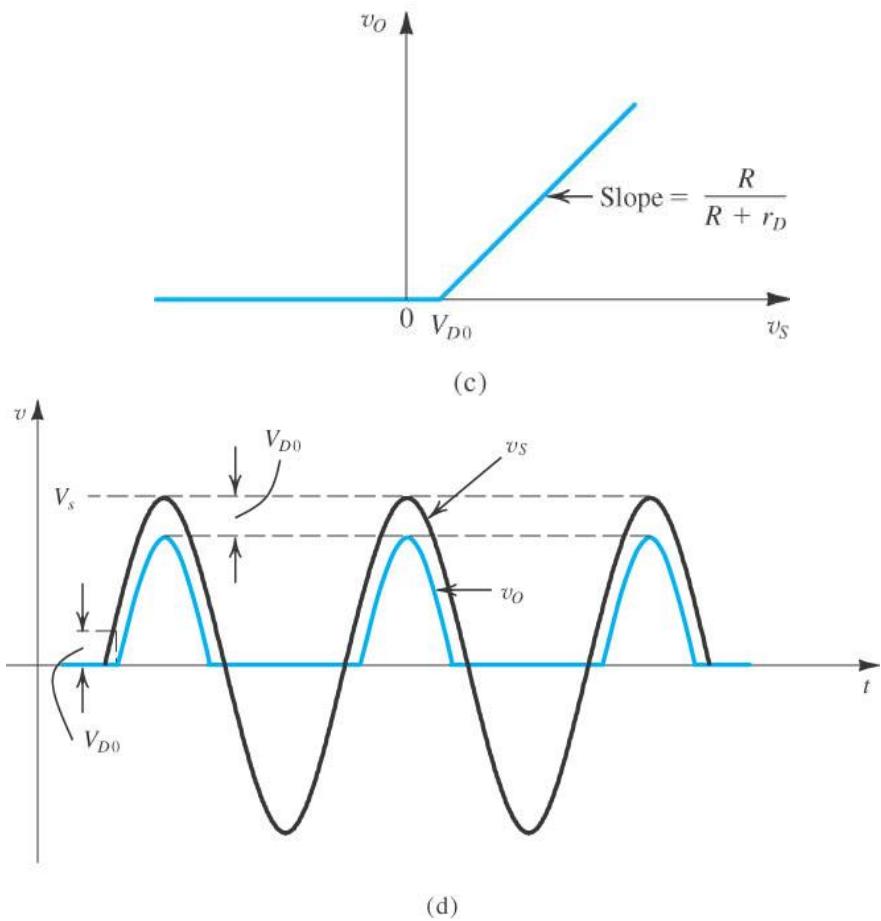
Ở đây $V_{D0} = 0.7$ V hoặc 0.8 V. Hình 3.28(d) minh họa điện áp đầu ra khi tín hiệu đầu vào v_s là hình sin.

Khi chọn các diốt để thiết kế mạch chỉnh lưu, hai thông số quan trọng cần được xác định là: độ lớn của dòng điều khiển yêu cầu, được xác định bởi dòng lớn nhất qua diốt mà diốt còn dẫn điện, và **điện áp ngược cực đại (peak inverse voltage - PIV)** diốt có thể chịu được mà không bị đánh thủng. Trong mạch chỉnh lưu ở hình 3.28(a), ta thấy rằng khi điện áp v_s là âm thì diốt sẽ khóa và v_o sẽ bằng 0. Khi đó PIV bằng giá trị lớn nhất của v_s ,

$$PIV = Vs$$

Lưu ý khi chọn một điốt, điốt này phải có điện áp ngược đánh thủng lớn hơn ít nhất 50% so với PIV.





Hình 3.28 (a) Chính lưu nửa sóng, (b) Mạch tương đương. (c) Đặc tính truyền đạt (d) Dạng sóng đầu vào và đầu ra, giả sử $r_D \ll R$.

Trước khi kết thúc phần mạch chỉnh lưu nửa sóng, ta chú ý hai điểm. Thứ nhất, có thể sử dụng đặc tính hàm mũ của diode để xác định chính xác đặc tính truyền đạt của bộ chỉnh lưu. Tuy nhiên, công việc phân tích kéo theo thường rất lớn. Việc phân tích như vậy có thể dễ dàng thực hiện bằng chương trình phân tích mạch trên máy tính. Thứ hai, phải xác định rõ ràng rằng mạch này có thực hiện chính xác chức năng của nó hay không khi tín hiệu đầu vào nhỏ. Ví dụ, mạch không thể sử dụng để chỉnh lưu một tín hiệu hình sin đầu vào với biên độ 100 mV, với tín hiệu như vậy, ta dùng mạch chỉnh lưu chính xác, sử dụng diode và khuếch đại thuần. Mạch này sẽ được giới thiệu trong phần 3.6.5.

3.6.2 Chính lưu toàn sóng

Mạch chỉnh lưu toàn sóng chuyển đổi cả nửa chu kỳ âm của sóng sin. Ví dụ như trong hình 3.29. Ở đây cuộn dây thứ cấp của biến áp có điểm trung tính cung cấp hai điện áp v_S bằng nhau ở hai nửa của cuộn thứ cấp với cực tính trên hình. Khi điện áp đầu vào là dương (ở cuộn sơ cấp), cả hai tín hiệu v_S sẽ là dương. Trong

trường hợp này D_1 sẽ thông và D_2 sẽ phân cực ngược. Dòng điện qua D_1 , qua điện trở R và trở về điểm trung tính của cuộn thứ cấp. Mạch hoạt động giống như mạch chỉnh lưu nửa sóng, và đầu ra trong nửa chu kỳ dương sẽ giống khi sử dụng mạch chỉnh lưu nửa sóng.

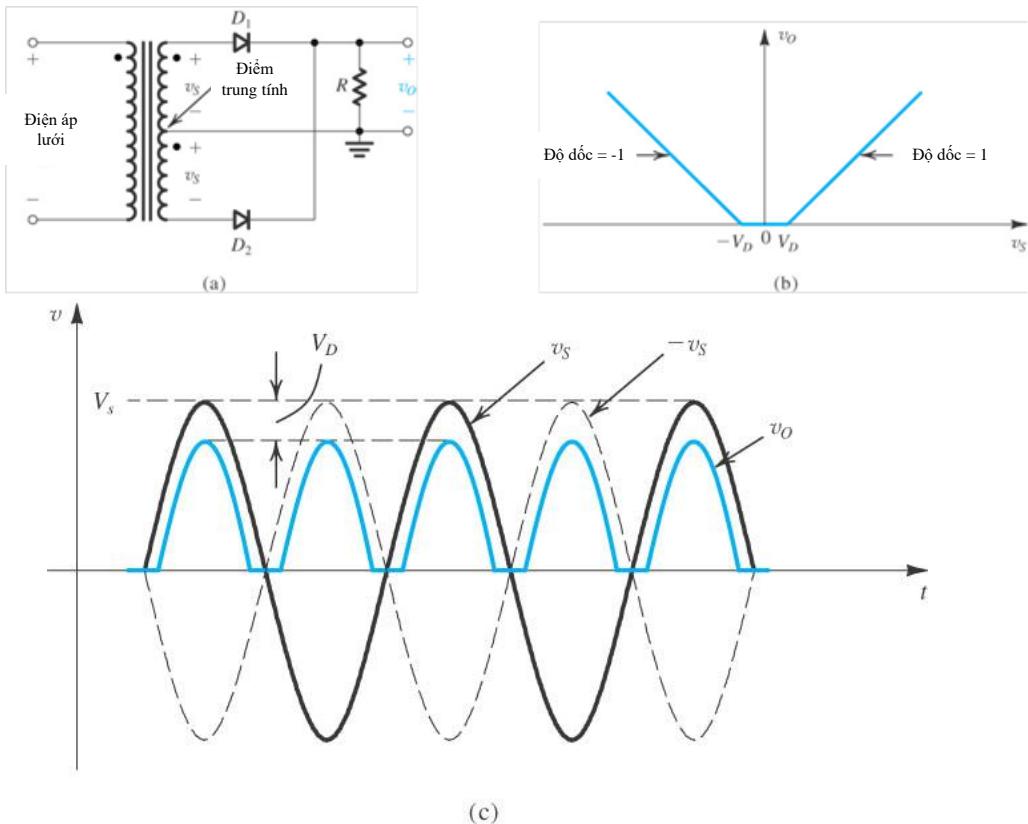
Trong nửa chu kỳ âm của điện áp xoay chiều, cả hai điện áp v_s sẽ là âm. Do đó D_1 sẽ khóa (phân cực ngược) trong khi D_2 sẽ mở (phân cực thuận). Dòng điện qua D_2 , điện trở R và trở lại điểm trung tính của cuộn thứ cấp. Như vậy trong nửa chu kỳ âm khi D_2 mở, mạch lại hoạt động giống như chỉnh lưu nửa sóng. Điều quan trọng là dòng điện qua R luôn đi theo một chiều và do đó v_o là đơn cực, như trong hình 3.29(c). Ta có dạng sóng đầu ra như trên hình với giả sử điốt dẫn điện có điện áp rơi trên nó là hằng số V_D . Đặc tính truyền đạt là chỉnh lưu toàn sóng có dạng như hình 3.29(b).

Rõ ràng là bộ chỉnh lưu toàn sóng tạo ra dạng sóng có “năng lượng” cao hơn mạch chỉnh lưu nửa sóng. Trong hầu hết các ứng dụng của mạch chỉnh lưu, người ta hay chọn mạch chỉnh lưu toàn sóng.

Để tìm PIV của các điốt trong mạch chỉnh lưu toàn sóng, xét trường hợp trong nửa chu kỳ dương. Điốt D_1 đang mở, điốt D_2 đang đóng. Điện áp tại cathode của D_2 là v_o tại anode của nó là $-v_s$, do đó điện áp ngược trên D_2 sẽ là $(v_o + v_s)$, đạt giá trị cực đại khi v_o đạt giá trị lớn nhất ($V_S - V_D$), và v_s có giá trị lớn nhất V_S ; do đó,

$$PIV = 2V_S - V_D$$

Giá trị này gần gấp đôi so với trường hợp chỉnh lưu nửa sóng.

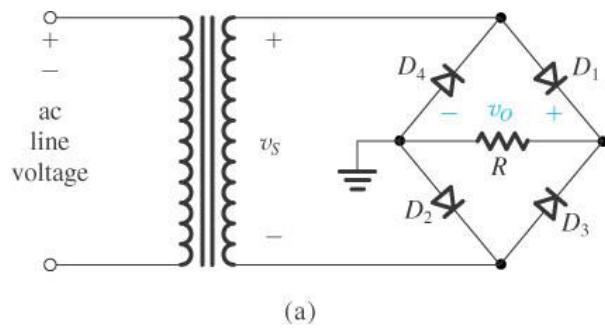


Hình 3.29 Chỉnh lưu toàn sóng (a) mạch; (b) đặc tính truyền đạt; (c) dạng sóng đầu vào và đầu ra.

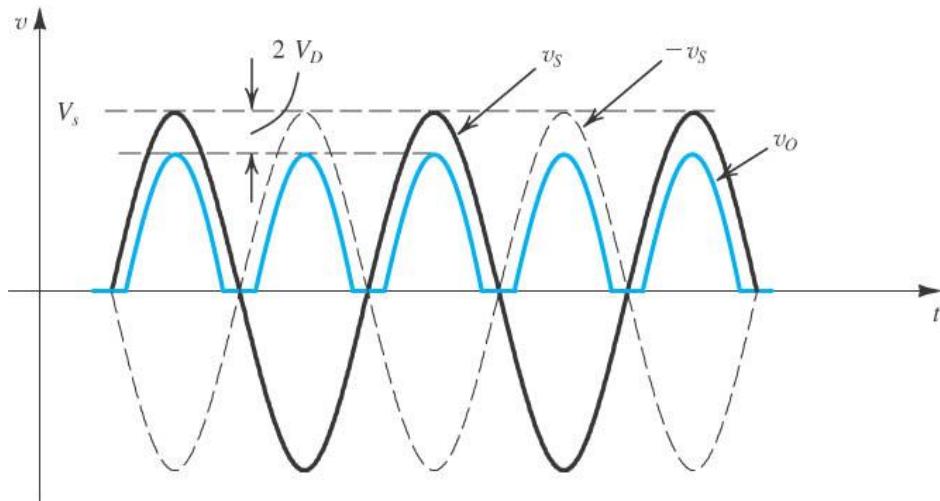
3.6.3 Chỉnh lưu cầu

Một phương pháp khác thực hiện chỉnh lưu toàn sóng minh họa trong hình 3.30 (a). Mạch này được biết đến là mạch chỉnh lưu cầu vì cấu trúc của nó gần giống cầu Wheatstone, không cần phải có điểm trung tính ở máy biến áp, rõ ràng có ưu điểm hơn mạch chỉnh lưu toàn sóng hình 3.28. Tuy nhiên, chỉnh lưu cầu yêu cầu 4 diốt so với mạch trước dùng hai diốt. Điều này không phải là một nhược điểm lớn vì diốt không đắt lăm và có thể mua một diốt cầu đóng gói.

Mạch chỉnh lưu cầu hoạt động như sau: Trong nửa chu kỳ dương của điện áp đầu vào, v_S dương, và do đó dòng điện qua diốt D_1 , điện trở R và diốt D_2 . Trong khi đó, các diốt D_3 và D_4 phân cực ngược. Ta thấy rằng đường dẫn điện luôn có hai diốt nối tiếp với nhau, do đó v_O sẽ nhỏ hơn v_S bởi sụt áp trên 2 diốt (so sánh với trường hợp sụt áp trên một diốt trong các mạch đã trình bày phần trước). Đây là một nhược điểm nhỏ của chỉnh lưu cầu.



(a)



(b)

Hình 3.30: Chính lưu cầu: (a) mạch điện; (b) dạng sóng đầu vào và đầu ra.

Tiếp theo, xét trường hợp nửa chu kỳ âm tại điện áp đầu vào. Điện áp thứ cấp v_o âm, và do đó v_s sẽ dương, dòng điện qua D_3 , R và D_4 , D_1 và D_2 phân cực ngược. Như vậy trong suốt hai nửa chu kỳ, dòng điện luôn qua điện trở R theo một chiều và do đó v_o luôn là dương, như minh họa trong hình 3.30(b).

Để xác định điện áp ngược cực đại (PIV) của mỗi điốt, xét mạch điện trong nửa chu kỳ dương. Điện áp ngược qua D_3 có thể được xác định:

$$v_{D3}(\text{reverse}) = v_O + v_{D2}(\text{forward})$$

Do đó giá trị lớn nhất của v_{D3} xuất hiện tại giá trị đỉnh của v_O được tính bởi:

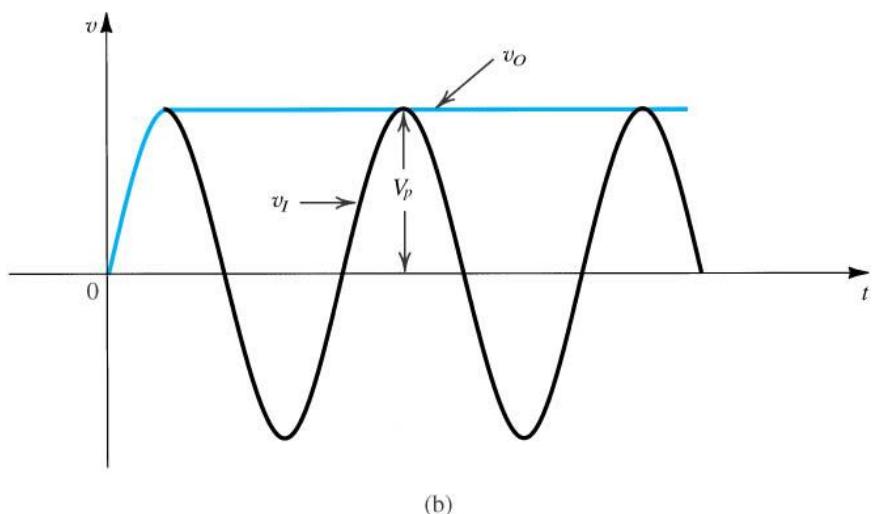
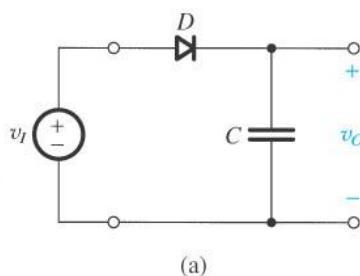
$$\text{PIV} = V_S - 2V_D + V_D = V_S - V_D$$

Quan sát ở đây PIV bằng một nửa giá trị PIV mạch chỉnh lưu toàn sóng. Đây là một ưu điểm khác của chỉnh lưu cầu.

Một ưu điểm nữa của mạch chỉnh lưu cầu chỉ cần một nửa số vòng yêu cầu với cuộn thứ cấp của máy biến áp Các ưu điểm này làm cho chỉnh lưu cầu thường được sử dụng hơn so với các mạch chỉnh lưu khác.

3.6.4 Chỉnh lưu với tụ điện lọc – Chỉnh lưu định

Tính đập mạch của điện áp đầu ra của mạch chỉnh lưu đã đề cập ở phần trước làm cho nó là một nguồn không phù hợp cung cấp cho các mạch điện tử. Một cách đơn giản để hạn chế sự thay đổi điện áp đầu ra là mắc một tụ điện song song với điện trở tải. Đó là tụ điện lọc, nó giảm một cách đáng kể sự thay đổi của điện áp đầu ra của mạch chỉnh lưu.



Hình 3.31 (a) Mạch có bộ lọc tụ điện. **(b)** Dạng sóng đầu vào và đầu ra

Để quan sát mạch chỉnh lưu với một tụ điện lọc hoạt động như thế nào, trước hết xem xét một mạch đơn giản như trong hình 3.31. Cho đầu vào v_I là điện áp hình sin với giá trị đỉnh là V_P , và giả sử điốt là lý tưởng. Khi v_I là dương, điốt dẫn điện và tụ điện được nạp do đó $v_O = v_I$. Tụ tiếp tục nạp cho đến khi v_I tới giá trị cực đại của nó V_P . Khi đạt giá trị cực đại, v_I giảm, điốt phân cực ngược và điện áp đầu ra vẫn là giá trị V_P . Thực tế, về mặt lý thuyết mà nói, tụ điện sẽ duy trì nạp điện, điện

áp của nó không xác định được, bởi vì tụ điện không phóng điện. Do đó mạch cung cấp một điện áp một chiều bằng điện áp đỉnh của sóng sin đầu vào.

Tiếp theo, ta xét thêm trường hợp điện trở tải R được nối song song với tụ điện C , như trong hình 3.32(a). Giả sử rằng điốt lý tưởng. Như ở phần trước, với một tín hiệu sin đầu vào, tụ điện nạp tới giá trị đỉnh V_p . Sau đó điốt đóng, tụ điện phóng điện qua điện trở tải R . Tụ điện sẽ tiếp tục phóng điện trong gần như toàn bộ chu kỳ, đến khi v_L vượt qua điện áp của tụ. Sau đó điốt mở trở lại, nạp điện cho tụ điện tới giá trị đỉnh của v_L , và lặp lại quá trình như vậy. Chú ý để giữ điện áp đầu ra do sự phóng điện của tụ điện, cần phải chọn giá trị của tụ C để hằng số thời gian CR lớn hơn nhiều khoảng thời gian phóng điện.

Hình 3.32(b) minh họa dạng sóng đầu vào và đầu ra với giả sử rằng $CR >> T$, ở đây T là chu kỳ của tín hiệu sin đầu vào. Phương trình của dòng tải:

$$i_L = v_O / R \quad (3.58)$$

Và của dòng qua điốt (khi nó mở)

$$i_D = i_C + I_L \quad (3.59)$$

$$= C \frac{dv_L}{dt} + i_L \quad (3.60)$$

Như minh họa trong hình 3.32

Ta có các nhận xét sau:

1. Điốt dẫn điện trong khoảng ngắn, Δt , gần với đỉnh của tín hiệu hình sin đầu vào và khiến cho tụ điện nạp điện tích bằng với lượng điện tích khi phóng điện, thời gian phóng điện lớn hơn nhiều thời gian nạp điện. Và tương ứng bằng với khoảng T .

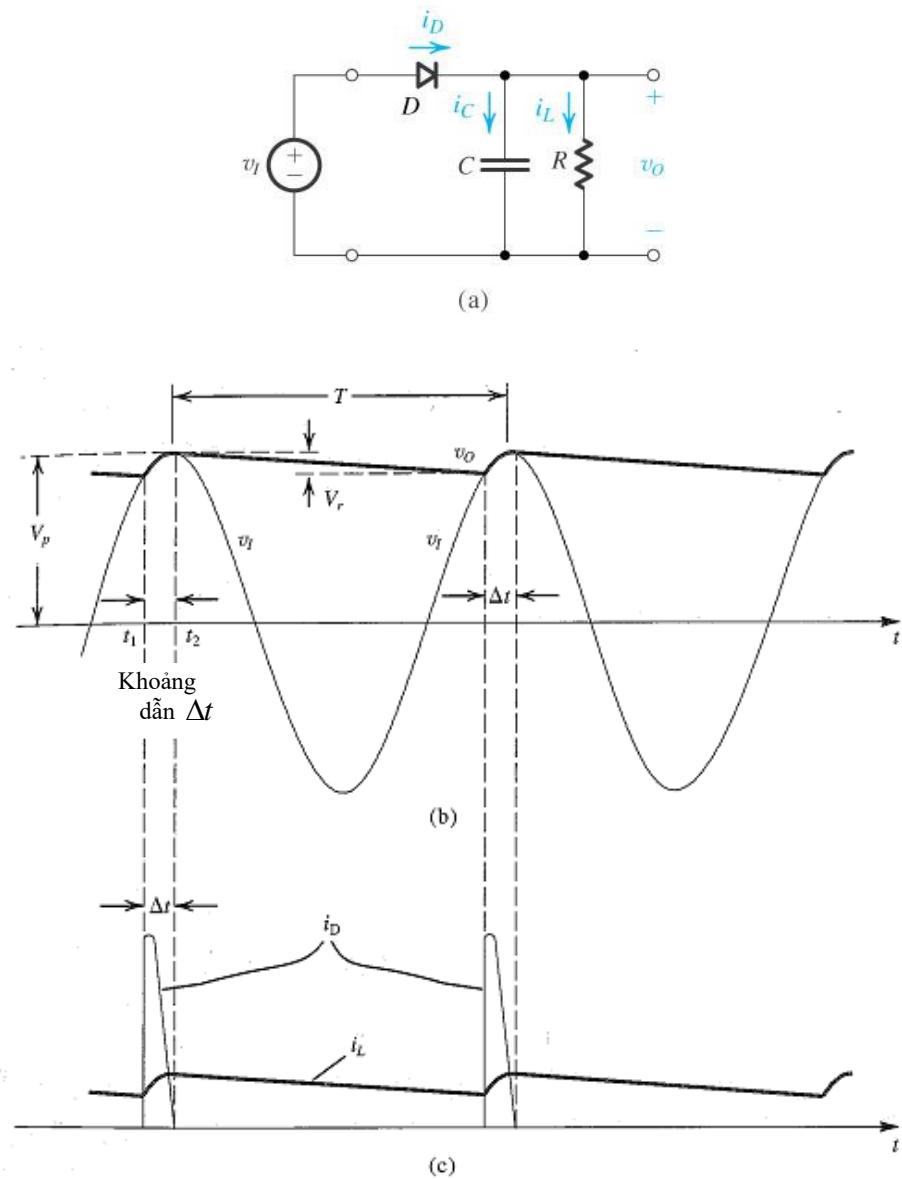
2. Giả sử điốt là lý tưởng, điốt bắt đầu mở tại thời gian t_1 , tại đó đầu vào v_S bằng độ giảm theo hàm mũ của đầu ra v_O . Quá trình mở kết thúc tại thời điểm t_2 ngay sau khi lên đến đỉnh v_t , giá trị chính xác của t_2 có thể được xác định bằng cách đặt $i_D = 0$ trong phương trình (3.60).

3. Trong khi điốt đóng, tụ điện C phóng điện qua R , v_O giảm theo hàm mũ với hằng số thời gian CR . Quá trình phóng điện bắt đầu ngay khi vừa qua giá trị đỉnh của v_L . Tại thời điểm cuối của thời gian phóng điện, gần như trong toàn bộ thời

gian T , thì $v_O = V_p - V_r$, ở đây V_r là điện áp gợn sóng đỉnh – đỉnh. Khi $CR \gg T$, giá trị của V_r là nhỏ.

4. Khi giá trị V_r là nhỏ, v_O gần như một hằng số và bằng giá trị đỉnh của v_I . Do đó điện áp đầu ra một chiều xấp xỉ bằng V_p . Tương tự, dòng điện i_L cũng gần như hằng số, và thành phần một chiều I_L được tính:

$$I_L = \frac{V_p}{R} \quad (3.61)$$



Hình 3.32 Điện áp và dòng điện trong mạch chỉnh lưu định với $CR \gg T$.

Ta có thể tính giá trị đúng hơn của điện áp đầu ra bằng cách lấy trị trung bình của các giá trị cực của v_O

$$V_O = V_p - \frac{1}{2}V_r \quad (3.62)$$

Với các nhận xét này, ta biểu diễn V_r và các giá trị trung bình, giá trị đỉnh của dòng điện qua điốt. Trong khoảng điốt đóng, v_o có thể được biểu diễn

$$v_o = V_p e^{-t/CR}$$

Tại thời điểm cuối của thời gian phóng điện ta có

$$V_p - V_r \approx V_p \cdot e^{-T/RC}$$

Do $CR >> T$, ta có thể sử dụng gần đúng $e^{-T/CR} = 1 - T/CR$ để có

$$V_r \approx V_p \cdot \frac{T}{RC} \quad (3.63)$$

Ta thấy rằng, để giữ giá trị V_r nhỏ, phải chọn tụ điện C sao cho $CR >> T$. **Điện áp gợn sóng** V_r trong phương trình (3.63) có thể biểu diễn với tần số $f=1/T$ như sau:

$$V_r = \frac{V_p}{fCR} \quad (3.64a)$$

Sử dụng phương trình (3.61) ta có thể biểu diễn V_r theo cách khác:

$$V_r = \frac{I_L}{fC} \quad (3.64b)$$

Biểu diễn xấp xỉ ở trên tại thời điện tụ điện phóng điện nghĩa là dòng điện không đổi $I_L = V_p/R$. Phép tính gần đúng này hợp lý miễn là $V_r \ll V_p$.

Giả sử điốt dẫn điện tại gần đỉnh của v_i , ta xác định **khoảng dẫn** Δt từ phương trình:

$$V_p \cos(\omega \Delta t) = V_p - V_r$$

Ở đây $\omega = 2\pi f = 2\pi/T$ là tần số góc của v_i . Do $(\omega \Delta t)$ là góc nhỏ, nên có thể sử dụng công thức gần đúng $\cos(\omega \Delta t) \approx 1 - \frac{1}{2}(\omega \Delta t)^2$ thu được:

$$\omega \Delta t = \sqrt{2V_r/V_p} \quad (3.65)$$

Khi $V_r \ll V_p$, góc dẫn $(\omega \Delta t)$ sẽ nhỏ như đã giả sử.

Để tính toán giá trị trung bình của dòng qua điốt trong khi đang mở, i_{Dav} , ta thiết lập phương trình nạp điện mà điốt cung cấp cho tụ điện,

$$Q_{\text{supplied}} = i_{Cav} \Delta t$$

Từ phương trình (3.59) $i_{Cav} = i_{Dav} - I_L$

Điện tích bị mất do phóng điện

$$Q_{lost} = CV_r$$

sử dụng phương trình (3.65) và (3.64a) ta có:

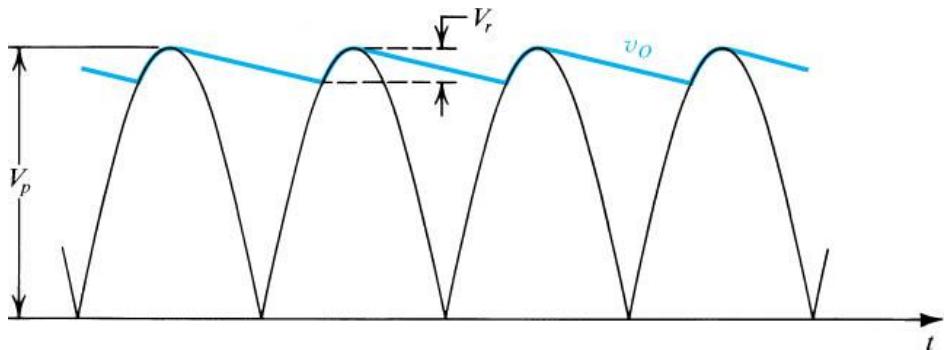
$$i_{Dav} = I_L (1 + \pi \sqrt{2V_p / V_r}) \quad (3.66)$$

Ở đây, $V_r \ll V_p$, dòng trung bình của điốt khi đang mở là lớn hơn nhiều so với dòng tải một chiều. Do điốt dẫn điện trong khoảng rất ngắn và phải bỏ xung điện tích đã mất bởi tụ điện trong khoảng thời gian dài phóng điện.

Giá trị đỉnh của dòng điốt, i_{Dmax} , có thể tính toán bằng phương trình (3.60) khi điốt bắt đầu dẫn điện, có nghĩa là tại $t = t_1 = -\Delta t$ ($t = 0$ tại đỉnh). Giả sử i_L gần bằng hằng số ở phương trình (3.61), ta thu được

$$i_{Dmax} = I_L (1 + 2\pi \sqrt{2V_p / V_r}) \quad (3.67)$$

Từ phương trình (3.66) và (3.67), chúng ta thấy với $V_r \ll V_p$, $i_{Dmax} = 2i_{Dav}$ dạng sóng của i_D gần như là hình tam giác vuông(xem hình 3.32c)



Hình 3.33. Dạng sóng trong bộ chỉnh lưu định toàn sóng

Mạch điện trong hình (3.31a) được biết đến là **mạch chỉnh lưu định nửa sóng**. Mạch chỉnh lưu toàn sóng trong hình 3.29(a) và 3.30(a) có thể được chuyển đổi thành các mạch chỉnh lưu định bằng cách mắc thêm một tụ điện song song với điện trở tải. Trong trường hợp nửa sóng, điện áp một chiều đầu ra sẽ gần bằng giá trị đỉnh của sóng sin đầu vào (Hình 3.33). Tuy nhiên, tần số gợn sóng sẽ gấp đôi ở đầu vào. Điện áp gợn sóng định – định có thể suy ra bằng cách sử dụng phương pháp ở trên như nhưng với khoảng thời gian phóng điện T được thay bằng $T/2$, kết quả là

$$V_r = \frac{V_p}{2fCR} \quad (3.68)$$

Trong khoảng dẫn của điốt, Δt , sẽ vẫn được tính bởi phương trình (3.65), dòng trung bình và dòng cực đại của mỗi điốt sẽ được tính:

$$i_{Dav} = I_L \left(1 + \pi \sqrt{V_p / 2V_r} \right) \quad (3.69)$$

$$i_{Dmax} = I_L \left(1 + 2\pi \sqrt{V_p / 2V_r} \right) \quad (3.70)$$

So sánh các phương trình tương ứng với trường hợp nửa sóng, với cùng một giá trị V_p, f, R và V_r (và do đó giống I_L), ta cần một tụ điện có điện dung bằng một nửa so với yêu cầu trong mạch chỉnh lưu nửa sóng. Vì vậy, dòng điện trên mỗi điốt trong chỉnh lưu toàn sóng bằng một nửa dòng qua điốt của mạch nửa sóng.

Các phân tích ở trên đều giả sử điốt lý tưởng. Độ chính xác của các kết quả có thể tăng lên bằng cách tính thêm sụt áp trên điốt vào các tính toán. Việc này có thể thực hiện dễ dàng bằng cách thay thế điện áp cực đại V_p bằng tụ điện nạp điện với $(V_p - V_D)$ đối với mạch nửa sóng và mạch toàn sóng sử dụng biến áp phân cực ở giữa và $(V_p - 2V_D)$ đối với trường hợp chỉnh lưu cầu.

Ví dụ 3.7: Xét một mạch chỉnh lưu đỉnh, điện áp hình sin đầu vào 60Hz và có giá trị đỉnh $V_p = 100V$. Với điện trở tải $R = 10k\Omega$. Tìm giá trị của tụ điện C để có điện áp gợn sóng đỉnh – đỉnh là 2V. Tính toán khoảng thời gian điốt mở và giá trị đỉnh, giá trị trung bình của dòng qua điốt.

Lời giải

Từ phương trình $V_r = \frac{V_p}{fCR}$ ta thu được giá trị của C là

$$C = \frac{V_p}{V_r f R} = \frac{100}{2 \times 60 \times 10 \times 10^3} = 83.3\mu F$$

Góc dẫn $\omega\Delta t$ được tính từ bằng:

$$\omega t = \sqrt{2V_r / V_p}$$

$$\omega\Delta t = \sqrt{2 \times 2 / 100} = 0.2 \text{ rad}$$

Do đó điốt dẫn trong khoảng $(0.2 / 2\pi) \times 100 = 3.18\%$ chu kỳ. Giá trị trung bình của dòng điốt:

$$i_{Dav} = I_L \left(1 + \pi \sqrt{2V_p / V_r} \right)$$

ở đây $I_L = 100/10 = 10 mA$.

$$i_{Dav} = 10 \left(1 + \pi \sqrt{2 \times 100 / 2} \right) = 324 \text{ mA}$$

giá trị đỉnh của dòng điốt

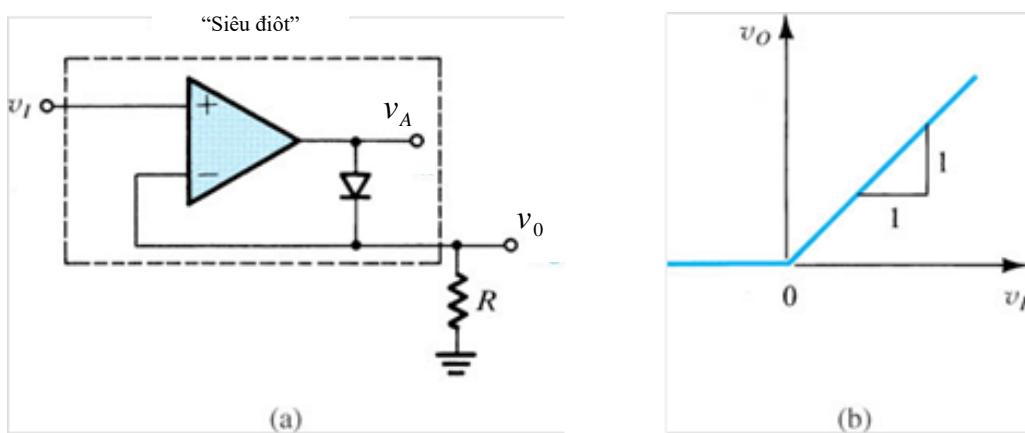
$$i_{D_{\max}} = I_L \left(1 + 2\pi \sqrt{2V_p/V_r} \right)$$

$$i_{D_{\max}} = 10(1 + 2\pi \sqrt{2 \times 100 / 2}) = 638 \text{ mA}$$

3.6.5 Mạch chỉnh lưu nửa sóng chính xác – Siêu diốt(The Super Diode)

Các mạch chỉnh lưu đã nghiên cứu thường có sụt áp trên một hoặc hai diốt. Do đó các mạch này chỉ làm việc tốt khi tín hiệu được chỉnh lưu lớn hơn nhiều điệp áp rơi trên diốt. Trong trường hợp như vậy đặc tính thuận của diốt hoặc giá trị điện áp chính xác của diốt không đóng vai trò quan trọng trong việc xác định hoạt động của mạch. Điều này thực sự cần trong ứng dụng của các mạch chỉnh lưu để thiết kế bộ nguồn cấp. Tuy nhiên, có nhiều ứng dụng mà tín hiệu chỉnh lưu là nhỏ (ví dụ 100mV..) không đủ để mở diốt. Tương tự, trong các mạch IA (instrumentation applications) khuếch đại vi sai, cần phải tăng độ chính xác và dự đoán được đặc tính truyền đạt. Với những ứng dụng này, một lớp các mạch được phát triển sử dụng khuếch đại thuật toán (chương 2) kết hợp với đốt để tạo ra bộ chỉnh lưu chính xác. Trong các phần thảo luận dưới đây, ta nghiên cứu một loại mạch như vậy

Hình 3.34(a) minh họa một mạch chỉnh lưu nửa sóng chính xác bao gồm một diốt đặt ở phần phản hồi âm của một khuếch đại thuật toán, với R là điện trở tải của bộ chỉnh lưu. Mạch này hoạt động như sau: Nếu v_I là dương, điện áp đầu ra v_A của khuếch đại thuật toán sẽ dương và diốt sẽ dẫn, do đó tạo ra một vòng phản hồi kín giữa đầu ra của khuếch đại thuật toán và đầu vào đảo.



Hình 3.34: Chỉnh lưu nửa sóng chính xác “siêu diốt” và đặc tính truyền đạt gần tuyến tính

Đường phản hồi âm sẽ gây ra ngắn mạch ảo giữa hai cực đầu vào. Do đó điện áp tại đầu vào đảo, cũng có điện áp đầu ra là v_o , sẽ bằng điện áp đầu vào không đảo v_I

$$v_o = v_I \quad v_I \geq 0$$

Để mạch khuếch đại thuận toán hoạt động, v_I chỉ cần vượt qua một điện áp nhỏ không đáng kể bằng với sụt áp trên điốt chia cho hệ số khuếch đại vòng hở của khuếch đại thuận toán. Nói cách khác, đặc tính truyền đường thẳng $v_o - v_I$ gần như đi qua gốc. Điều này làm cho mạch phù hợp với những ứng dụng tín hiệu rất nhỏ.

Xét trường hợp khi v_I là âm. Điện áp đầu ra của mạch khuếch đại thuận toán sẽ âm. Điốt sẽ phân cực ngược, và không có dòng điện qua điện trở R , v_o sẽ bằng 0. Do đó, với $v_I < 0$, $v_o = 0$. Vì trong trường hợp này điốt khóa, khuếch đại thuận toán sẽ hoạt động như trường hợp vòng hở, và đầu ra của nó sẽ ở mức bão hòa âm.

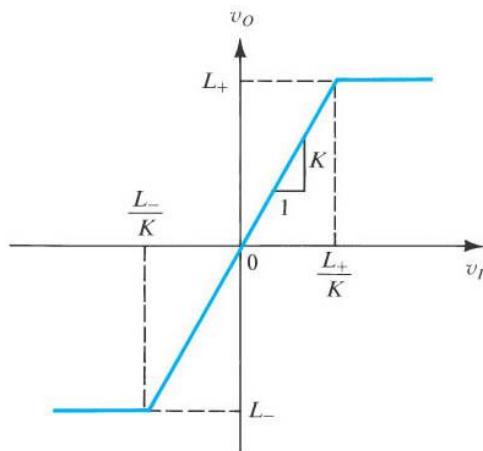
Đặc tuyến truyền đạt của mạch này được minh họa trong hình 3.34(b), gần đồng nhất với đặc tuyến lý tưởng của mạch chỉnh lưu nửa sóng. Đặc điểm không lý tưởng của điốt gần như được che giấu hoàn toàn bằng cách đặt một điốt trong đường phản hồi âm của khuếch đại thuận toán. Sự kết hợp của điốt và khuếch đại thuận toán được khoanh trong ô hình 3.34(a) được coi là “siêu điốt”.

3.7 Mạch hạn chế và mạch ghim

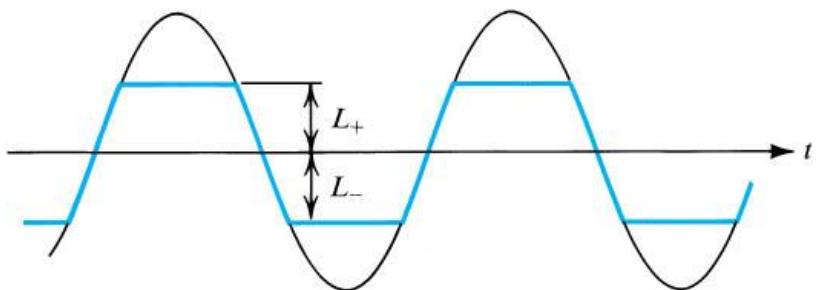
Trong phần này, ta sẽ tìm hiểu thêm ứng dụng của điốt trong các mạch phi tuyến

3.7.1 Mạch hạn chế

Hình 3.35 mô tả đặc tuyến truyền đạt tổng quát của một mạch hạn chế. Với đầu vào trong một khoảng $L_- / K \leq v_I \leq L_+ / K$, mạch hạn chế là mạch tuyến tính, cung cấp đầu ra tỷ lệ với đầu vào và $v_o = K v_I$. Nếu v_I vượt qua mức ngưỡng (L_+/K), điện áp đầu ra bị giới hạn tới mức giới hạn cao L_+ . Nếu điện áp đầu vào v_I bị giảm nhỏ hơn mức ngưỡng giới hạn (L_-/K), điện áp đầu ra sẽ bị giới hạn ở mức giới hạn thấp L_- .



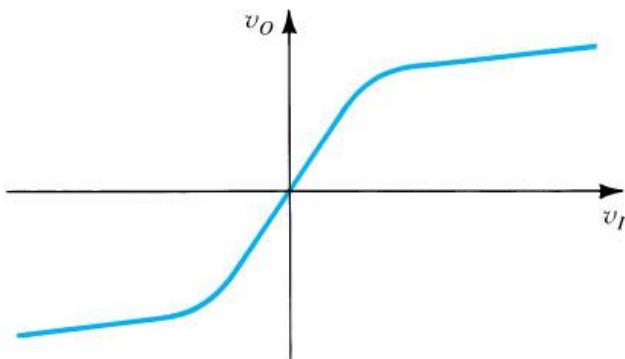
Hình 3.35 Đặc tuyến truyền đạt tổng quát của mạch giới hạn



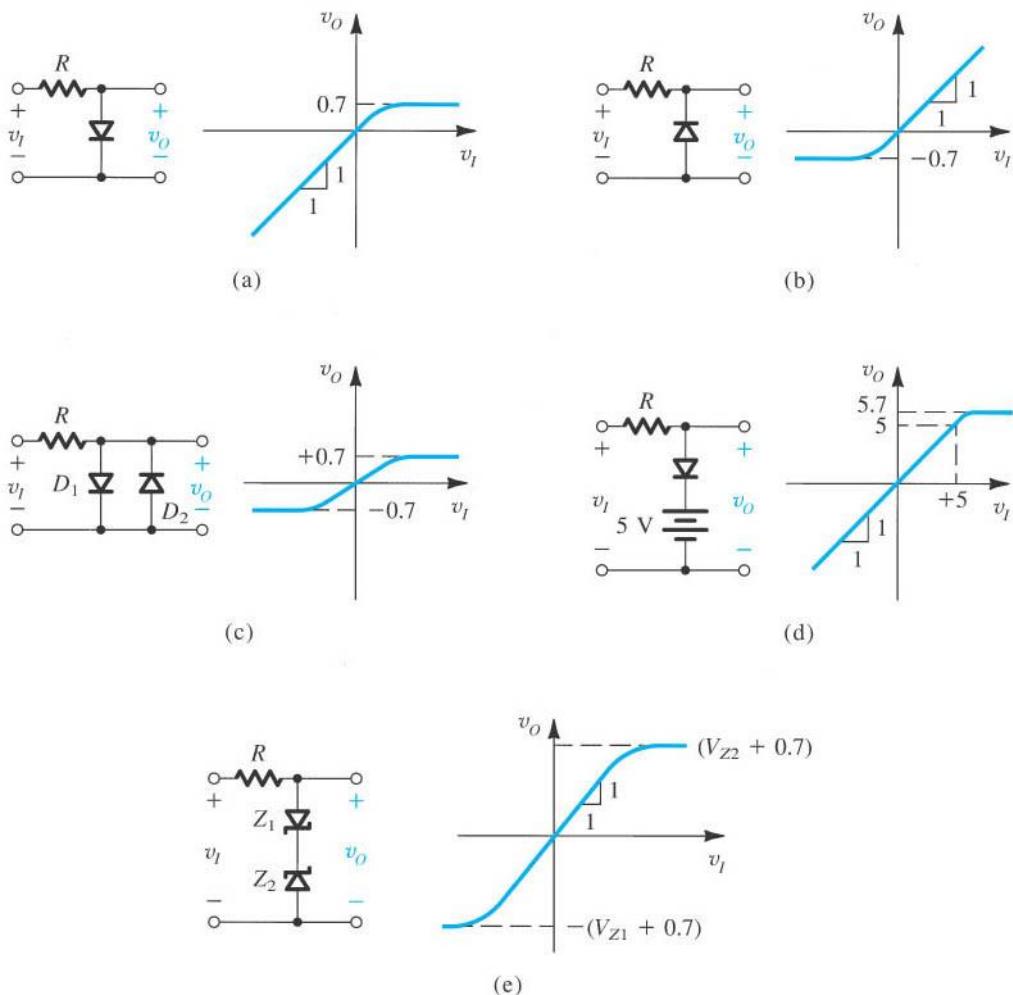
Hình 3.36 Áp dụng sóng sin vào mạch hạn chế

Đặc tuyến truyền đạt tổng quát trong hình 3.35 minh họa một **mạch hạn chế hai phía** – có nghĩa là mạch giới hạn làm việc cả ở hai đỉnh âm và dương của sóng đầu vào. Đương nhiên, cũng có **mạch hạn chế một phía**. Nếu một dạng sóng đầu vào như trong hình 3.36 được đưa vào mạch hạn chế hai phía, hai đỉnh của nó sẽ bị cắt bỏ. Do đó, các mạch giới hạn đôi khi được coi như một **mạch ghim (clippers)**.

Mạch hạn chế mà có đặc tuyến truyền đạt được mô tả trong hình 3.35 là **hạn chế cứng**. Mạch **hạn chế mềm** có đường chuyển đổi trơn giữa vùng tuyến tính và vùng bão hòa và độ dốc lớn hơn 0 trong vùng bão hòa, như minh họa trong hình 3.37. Tùy thuộc vào ứng dụng mà có thể sử dụng mạch hạn chế cứng hay mạch hạn chế mềm.



Hình 3.37: Hạn chế mềm



Hình 3.38 Một số mạch hạn chế cơ bản

Mạch hạn chế được ứng dụng nhiều trong hệ thống xử lý tín hiệu. Một trong số những ứng dụng đơn giản nhất là giới hạn điện áp giữa hai đầu vào của một khuếch đại thuần toán tới một giá trị nhỏ hơn giá trị điện áp đánh thủng của transistor mà tạo thành các đầu vào của mạch khuếch đại thuần toán.

Một số ví dụ được minh họa trong hình 3.35 chỉ ra một vài đặc điểm của mạch hạn chế. Đặc tuyến truyền đạt thu được sử dụng mô hình hằng số sụt áp ($V_D = 0.7$ V) của điốt và giả sử đường chuyển tiếp là trơn giữa vùng truyền tính và vùng bão hòa. Các đặc tuyến truyền đạt gần đúng hơn có thể đạt được bằng cách sử dụng mô hình tuyến tính từng đoạn.

Trong hình 3.38(a) là mạch chỉnh lưu nửa sóng nhưng đầu ra lấy trên điốt. Với $v_I < 0.5$ V, điốt sẽ khóa, không có dòng qua và điện áp rơi trên điện trở R là bằng 0;

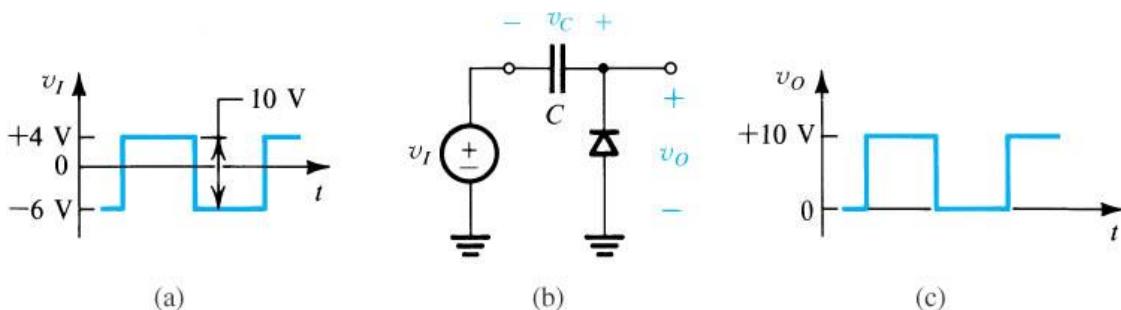
do đó $v_o = v_I$. Khi v_I lớn hơn 0.5V, diốt sẽ thông, điện áp ra bằng sụt áp trên diốt là 0.7V. Mạch trong hình 3.38(b) là giống với hình 3.35(a) ngoại trừ diốt mắc ngược.

Mạch hạn chế hai phía có thể được thực hiện bằng cách đặc hai diốt mắc song song ngược, như trong hình 3.38(c). Ở đây vùng tuyến tính của đường đặc tuyến khi $-0.5V \leq v_I \leq 0.5V$. Với khoảng đầu vào v_I này, cả hai diốt sẽ khóa và $v_o = v_I$. Khi v_I vượt quá 0.7V, D_1 sẽ mở và điện áp ra là +0.7V. Tương tự, khi v_I âm hơn giá trị -0.7V, D_2 sẽ mở và điện áp ra là -0.7V.

Mức ngưỡng và mức bão hòa của mạch có thể được điều khiển bằng cách sử dụng nhiều các diốt hoặc mắc một điện áp một chiều nối tiếp với diốt như minh họa trong hình 3.35(d). Ta có thể sử dụng hai diốt zener nối tiếp, như trong hình 3.38(e). Trong mạch này, sự hạn chế xuất hiện ở phần dương tại điện áp $V_{Z2} + 0.7$, ở đây 0.7V thể hiện điện áp rơi trên diốt zener Z_1 khi phân cực thuận. Với đầu vào âm, Z_1 hoạt động như một diốt zener, trong khi Z_2 dẫn ở phân cực thuận. Cặp diốt zener mắc nối tiếp trong trong các ứng dụng với tên gọi **diốt zener hai cực dương**.

3.7.2 Tụ điện ghim hoặc mạch phục hồi một chiều

Nếu trong mạch chỉnh lưu đỉnh cơ bản, đầu ra lấy trên diốt lớn chứ không lấy trên tụ điện, kết quả ta được một mạch với nhiều ứng dụng quan trọng. Mạch này được gọi là bộ phục hồi một chiều (dc restorer), được biểu diễn trong hình 3.39 với sóng vuông đầu vào. Do cực tính mà diốt được mắc vào, tụ điện sẽ nạp tới điện áp v_C với cực tính như trong hình vẽ và bằng với biên độ của đỉnh âm của tín hiệu đầu vào. Tiếp theo, diốt khóa và tụ điện giữ điện áp của nó. Ví dụ, nếu đầu vào là sóng vuông có các mức điện áp -6V và +4V, thì v_C sẽ bằng 6V.



Hình 3.39 Tụ điện ghim hoặc phục hồi một chiều (dc restorer) với sóng vuông đầu vào và không tải

Do điện áp đầu ra v_O được tính bởi:

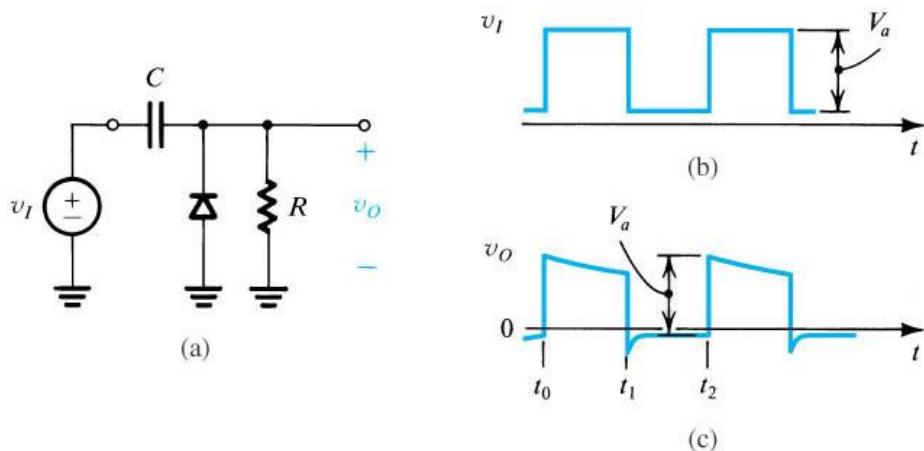
$$v_O = v_I + v_C$$

nên dạng sóng đầu ra sẽ đồng nhất với đầu vào, nhưng được dịch chuyển lên một đoạn bằng điện áp v_C . Do đó, trong ví dụ này, đầu ra là sóng vuông với các mức là 0V và +10V.

Một cách khác để ta hình dung hoạt động của mạch trên hình 3.39 là: vì điện áp đầu ra lấy trên điốt, nên điốt ngăn điện áp đầu ra từ giá trị nhỏ hơn 0V. Do đó dạng sóng đầu ra sẽ có đỉnh nhỏ nhất ghim tới 0V, đó là lý do tại sao mạch này là mạch tụ điện ghim. Ta có thể phân cực ngược cho điốt, khi đó dạng sóng đầu ra với đỉnh lớn nhất là 0V. Trong trường hợp khác, dạng sóng đầu ra sẽ có giá trị trung bình xác định. Một ứng dụng khác, xét một tín hiệu xung truyền qua một cặp điện dung hoặc hệ thống xoay chiều. Các ghép cặp về điện dung sẽ tạo ra chuỗi xung để làm giảm bất kỳ thành phần một chiều nào ký sinh. Kết quả là ta được thành phần một chiều xác định, quá trình này được biết đến là phục hồi một chiều. Đó là lý do tại sao mạch được gọi là phục hồi một chiều

Phục hồi một chiều rất hữu dụng bởi vì thành phần một chiều hoặc giá trị trung bình của tín hiệu xung là yếu tố quan trọng trong chu kỳ của nó. Chu kỳ của xung có thể được điều chỉnh (trong xử lý tín hiệu gọi là điều chỉnh độ rộng xung) và để mang thông tin. Trong một hệ thống như vậy, việc phát hiện và giải điều chỉnh có thể thực hiện đơn giản bằng cách đưa xung nhận tới một bộ phục hồi một chiều và sau đó sử dụng mạch lọc thông thấp RC để tách giá trị trung bình của dạng sóng đầu ra từ những xung đã xếp chồng.

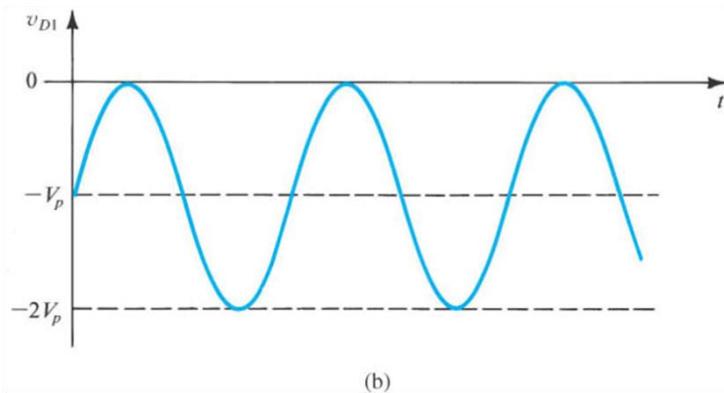
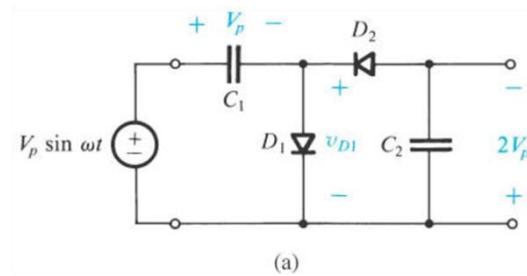
Khi một tải điện trở nối với điốt trong mạch ghim, như trong hình 3.40. Dòng điện một chiều phải đi qua điện trở R . Do tại thời điểm đó điốt khóa, hiển nhiên dòng điện này đi từ tụ điện, đó là lý do tụ điện phóng điện và làm cho điện áp đầu ra giảm. Điều này được minh họa trong hình 3.40 khi đầu vào là sóng vuông. Trong khoảng thời gian từ t_0 đến t_1 , điện áp đầu ra giảm theo hàm số mũ với hằng số thời gian CR . Tại t_1 đầu vào giảm xuống V_a , và đầu ra giảm theo. Đó là lý do điốt mở nhiều và nhanh chóng nạp điện cho tụ điện. Tại thời điểm cuối của khoảng t_1 tới t_2 , điện áp đầu ra thường là vài phần mươi với một điện áp âm (ví dụ -0.5V). Sau đó khi đầu vào tăng lên bằng điện áp V_a (tại t_2), đầu ra như trong hình vẽ, và chu kỳ lại lặp lại. Tại trạng thái ổn định, điện tích bị mất do tụ điện trong khoảng từ t_0 đến t_1 được phục hồi trong khoảng t_1 đến t_2 . Sự cân bằng điện tích này cho phép ta tính toán giá trị dòng trung bình qua điốt cũng như dạng sóng đầu ra.



Hình 3.40 Tụ điện ghim với một điện trở tải R.

3.7.3 Mạch nhân đôi điện áp

Hình 3.41(a) minh họa một mạch điện bao gồm hai phần: Phần mạch ghim với tụ điện C_1 và diốt D_1 , một mạch chỉnh lưu định với diốt D_2 và tụ điện C_2 .



Hình 3.41 Nhân đôi điện áp: (a) Mạch điện; (b) Dạng sóng của điện áp qua diốt D_1

Khi được kích thích bởi tín hiệu hình sin, biên độ V_p , tín hiệu ra mạch ghim như chỉ ra trên hình 3.41 (b), giả thiết diốt là lý tưởng. Đỉnh dương của mạch ghim là 0V, đỉnh âm của mạch ghim là $-2V_p$. Tương ứng với dạng sóng này, phần chỉnh lưu định cung cấp cho tụ điện C_2 một điện áp một chiều âm với độ lớn $2V_p$. Do điện áp đầu ra là gấp đôi điện áp đỉnh đầu vào, nên mạch này được gọi là mạch nhân đôi điện

áp. Phương pháp này có thể phát triển để điện áp một chiều đầu ra bằng nhiều lần điện áp V_p .

3.8 Một số loại diốt đặc biệt

Trong phần này, ta đề cập một cách ngắn gọn một số loại diốt đặc biệt quan trọng

3.8.1 Diốt Schottky (SBD)

Điốt Schottky được tạo thành bằng cách đưa kim loại tiếp xúc với một chất bán dẫn kiểu n pha tạp vừa phải. Kết quả là ta có một lớp tiếp giáp kim loại-bán dẫn tương tự như diốt, dòng dẫn trong một hướng (từ anot kim loại tới catot chất bán dẫn) và hoạt động như một mạch hở, đó là diốt Schottky. Thực tế, đặc tuyến dòng-áp của SBD rất giống với diốt tiếp giáp, với hai khái niệm quan trọng:

1. Ở SBD, dòng được dẫn bởi hạt mang đa số (electron). Do đó SBD không có hiệu ứng lưu trữ điện tích hạt mang thiểu số như trong tiếp giáp pn phân cực thuận. Kết quả là SBD có thể được ngắt từ on sang off và ngược lại với tần số có thể nhanh hơn diốt.

2. Điện áp rơi thuận của SBD thấp hơn của diốt pn . Ví dụ, một SBD làm từ silic có điện áp rơi thuận từ 0.3 đến 0.5V, còn diốt là 0.6 tới 0.8V. SBD có thể làm từ GaAs, và thực tế là đóng vai trò quan trọng trong việc thiết kế mạch GaAs. SBD GaAs có điện áp rơi thuận khoảng 0.7V.

SBD có ứng dụng để thiết kế một dạng đặc biệt của mạch logic bipolar-tran, được biết đến là Schottky-TTL, nghĩa là tran-tran logic

Không phải mọi tiếp xúc kim loại-chất bán dẫn là diốt. Thực tế, kim loại thường bị lăng đọng trên bề mặt chất bán dẫn để tạo thành các cực cho linh kiện bán dẫn và để kết nối các linh kiện khác trong một chip tích hợp. Những tiếp xúc kim loại – bán dẫn như vậy được biết đến là tiếp xúc thuần trở để phân biệt với tiếp xúc SBD. Tiếp xúc thuần trở thường được tạo thành bằng cách lăng đọng kim loại vào vùng bán dẫn pha tạp nhiều.

3.8.2 Diốt điện dung

Ta đã biết rằng lớp tiếp giáp pn phân cực ngược có hiệu ứng lưu trữ điện tích mà được mô tả với lớp nghèo hay điện dung tiếp giáp C_j . Như trong phương trình (3.57), C_j là hàm của điện áp phân cực ngược V_R . Sự phụ thuộc này rất hữu dụng trong nhiều ứng dụng, ví dụ như tính tự chỉnh trong bộ thu radio. Diốt được chế tạo để sử dụng như một tụ điện có thể thay đổi điện áp gọi là diốt điện dung. Linh kiện

này được tối ưu hóa để tạo ra điện dung là hàm của điện áp bằng cách thay đổi hệ số m là 3 hoặc 4.

3.8.3 Đèn LED

Nếu một lớp tiếp giáp pn phân cực ngược được chiếu sáng, nghĩa là tiếp xúc với ánh sáng, thì các photon tác động tới lớp tiếp giáp sẽ bắc gãy liên kết cộng hóa trị, tạo ra cặp electron-lỗ trống trong lớp nghèo. Điện trường của lớp nghèo sẽ quét các electron tự do tới phía n và lỗ trống tới phía p, làm cho dòng điện ngược qua lớp tiếp giáp tăng. Dòng điện này, gọi là dòng quang điện, tỉ lệ với cường độ ánh sáng tới. Những đèn LED như vậy gọi là đèn LED, có thể được sử dụng để biến tín hiệu ánh sáng thành tín hiệu điện.

Đèn LED thường được chế tạo bằng cách dùng các bán dẫn hợp chất như gallium arsenide. Đèn LED là thành phần quan trọng trong việc phát triển họ các mạch quang điện tử hay điện tử ánh sáng. Từ tên của chúng có thể suy ra, những mạch điện tử này ứng dụng sự kết hợp tối ưu của điện tử và quang học trong xử lý tín hiệu, lưu trữ và truyền thông. Thông thường, điện tử mang ý nghĩa trong xử lý tín hiệu và quang học phù hợp nhất cho truyền thông và lưu trữ.

Cuối cùng, ta nên lưu ý rằng, nếu không có phân cực ngược, đèn LED có thể coi là pin mặt trời. Thường được chế tạo từ silic giá rẻ, pin mặt trời biến ánh sáng thành năng lượng điện.

3.8.4 Đèn LED (LED)

LED hoạt động ngược lại so với đèn LED, nó biến dòng thuận thành ánh sáng. Nhờ lại rằng trong lớp tiếp giáp pn phân cực thuận, hạt mang điện thiểu số chuyển động qua lớp tiếp giáp và khuếch tán sang miền p và n. Những hạt mang điện thiểu số khuếch tán tái hợp với các hạt đa số. Sự tái hợp như vậy làm tăng sự phát sáng. Điều này có thể được thực hiện bằng cách chế tạo lớp pn dùng kiểu bán dẫn direct-bandgap. Bán dẫn Ga-As cũng thuộc nhóm này nên cũng được xếp vào loại đèn LED.

Ánh sáng phát ra bởi LED tỉ lệ với số lượng tái hợp xảy ra, số lượng này lại tỉ lệ với dòng thuận đèn

LED là một linh kiện rất phổ biến. Chúng có mặt trong rất nhiều các thiết kế dùng hiển thị, ở các thiết bị thí nghiệm như đồng hồ số. Chúng có thể tạo ra ánh sáng nhiều màu khác nhau. Hơn nữa LED được thiết kế để tạo ra ánh sáng liên tục với dải thông nhỏ. Kết quả ta được đèn LED. Đèn LED có trong các hệ thống quang và máy nghe nhạc.

Kết hợp LED với điốt quang ta có linh kiện có tên là bộ cách ly quang. LED chuyển đổi tín hiệu điện thành ánh sáng, điốt quang chuyển đổi ánh sáng thành tín hiệu điện là đầu ra của bộ cách ly quang. Chức năng của nó là cách ly về mặt điện giữa đầu vào và đầu ra để giảm ảnh hưởng của nhiễu lên tín hiệu truyền trong hệ thống, do đó nó được sử dụng nhiều trong các hệ thống số. Bộ cách ly quang cũng được sử dụng trong các thiết bị y tế để hạn chế rủi ro sốc điện cho bệnh nhân. Sự ghép cặp về quang giữa LED và điốt quang có thể thực hiện trong khoảng cách xa bằng thông tin quang.

Tóm tắt lý thuyết

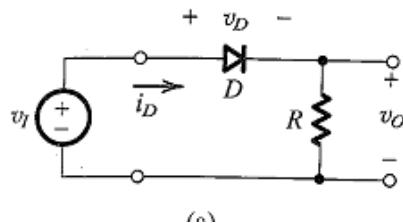
- Đιot thực chất là lớp tiếp giáp pn .
- Bán dẫn loại p dư thừa lỗ trống (hạt dẫn mang điện tích dương) còn bán dẫn loại n dư thừa electron.
- Vùng nghèo tồn tại ở lân cận lớp tiếp giáp pn , với phía n là điện tích dương, phía p là điện tích âm, với điện thế được tạo ra gọi là điện thế rào cản.
- Dòng khuếch tán I_D chạy theo chiều thuận (được dẫn bởi lỗ trống từ lớp p và electron từ lớp n) và dòng I_S chạy theo chiều ngược lại (được dẫn bởi các hạt mang điện thiểu số sinh ra bởi nhiệt). Trong điều kiện hở mạch, $I_D = I_S$ và điện thế rào cản ký hiệu là V_0 còn được gọi là điện áp lớp tiếp giáp.
- Khi đưa điện áp ngược tới lớp tiếp giáp pn , vùng nghèo mở rộng, điện thế rào cản tăng. Dòng khuếch tán giảm và tổng dòng ngược là $I_S - I_D$.
- Khi đưa điện áp thuận vào lớp tiếp giáp pn , vùng nghèo thu hẹp lại, điện áp rào cản giảm, dòng khuếch tán giảm và tổng dòng thuận là $I_D - I_S$.
- Theo chiều thuận, điốt lý tưởng dẫn dòng, và sụt áp trên điốt bằng 0, không dẫn theo chiều ngược, lúc đó điện áp trên nó bằng điện áp ngược đặt vào.
- Điốt rất hữu dụng trong việc thiết kế mạch chỉnh lưu.
- Ở phần thuận, đặc tuyến $i-v$ của điốt biểu diễn bằng phương trình $i = I_S e^{v/nV_T}$
- Khi điện áp thuận nhỏ hơn 0.5V, điốt dẫn dòng rất nhỏ, sau đó dòng sẽ tăng rất nhanh khi điện áp tăng thêm từ 60mV đến 120mV (tùy thuộc vào giá trị của n) trên mỗi bội số 10 của thay đổi dòng điện.
- Theo chiều ngược, điốt dẫn dòng cỡ khoảng $10^{-9} A$, dòng điện này lớn hơn rất nhiều so với I_S và tăng khi điện áp ngược tăng.

- Khi điện áp ngược đạt tới giá trị nhất định sẽ xảy ra hiện tượng đánh thủng, khi đó dòng tăng rất nhanh, nhưng điện áp tăng rất ít.
- Diot thiết kế hoạt động trong vùng đánh thủng được gọi là diot zener và được ứng dụng để thực hiện các mạch ổn áp.
- Việc lựa chọn mô hình xấp xỉ cho diot tùy thuộc vào từng ứng dụng. Trong nhiều ứng dụng, thường sử dụng mô hình điện áp rơi không đổi ($0.7V$)
- Diot được phân cực hoạt động ở dòng một chiều I_D có điện trở đối với tín hiệu nhỏ là $r_d = nV_T / I_D$.

BÀI TẬP CHƯƠNG 3

3.1 Cho mạch điện trong hình 1, với D lý tưởng, $v_I = 10\sin 100t$ (V). Hãy:

- Phân tích nguyên lý làm việc của mạch.
- Vẽ mối quan hệ giữa v_O và v_I .
- Nếu $R = 1k\Omega$, hãy tìm dòng điện lớn nhất qua D.



Hình 1

3.2 Làm lại bài 1 nếu mắc D ngược lại.

3.3 Làm lại bài 1 với D không lý tưởng, sử dụng mô hình sụt áp không đổi ($VD_0 = 0.65V$).

3.4 Làm lại bài 1 với D không lý tưởng, sử dụng mô hình tuyến tính hóa từng đoạn ($VD_0 = 0.65V$, $r_D = 10\Omega$).

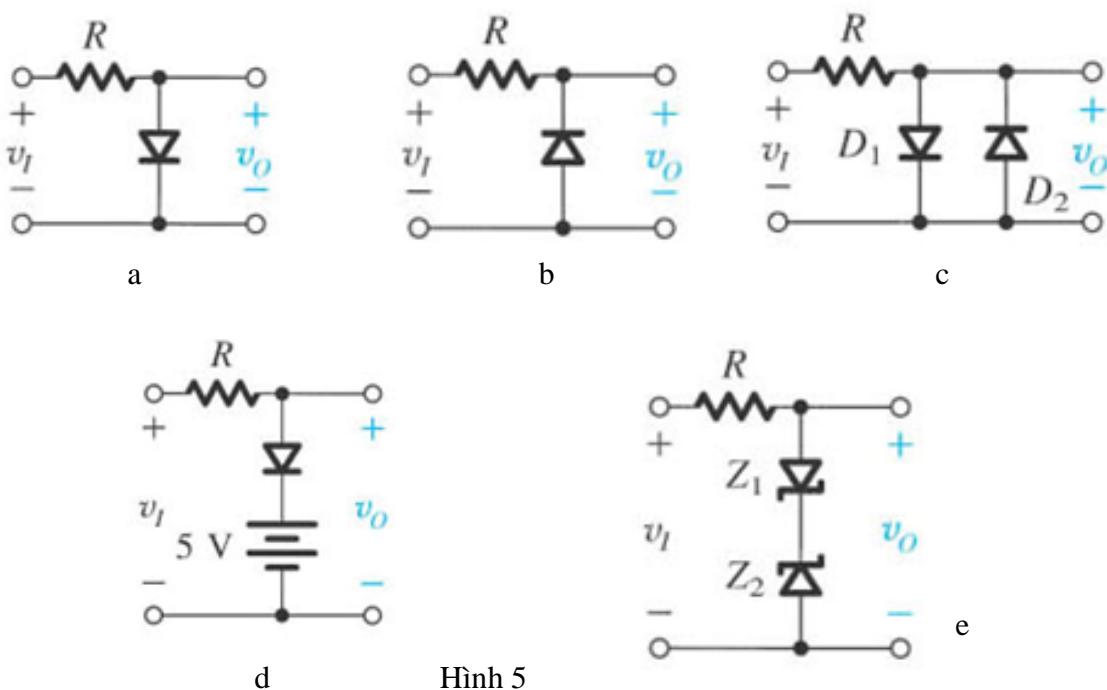
3.5 Cho các mạch điện như hình 5a . Hãy vẽ và giải thích mối quan hệ v_O và v_I .

3.6 Cho các mạch điện như hình 5b . Hãy vẽ và giải thích mối quan hệ v_O và v_I .

3.7 Cho các mạch điện như hình 5c . Hãy vẽ và giải thích mối quan hệ v_O và v_I .

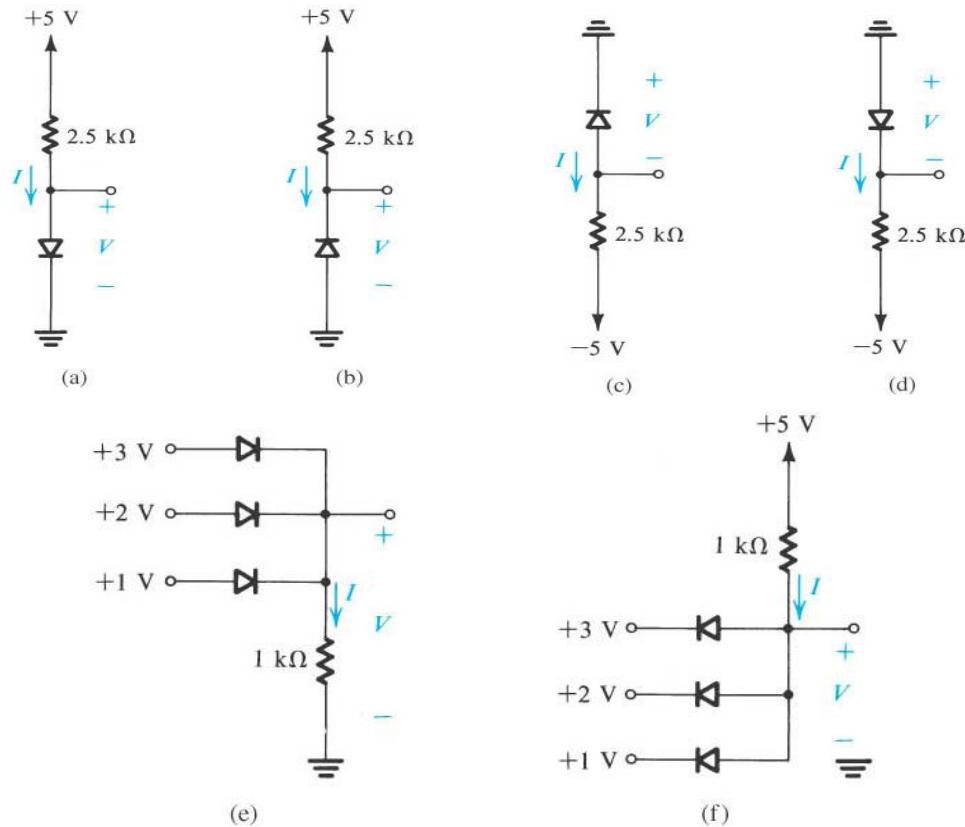
3.8 Cho các mạch điện như hình 5d . Hãy vẽ và giải thích mối quan hệ v_O và v_I .

3.9 Cho các mạch điện như hình 5e . Hãy vẽ và giải thích mối quan hệ v_O và v_I .



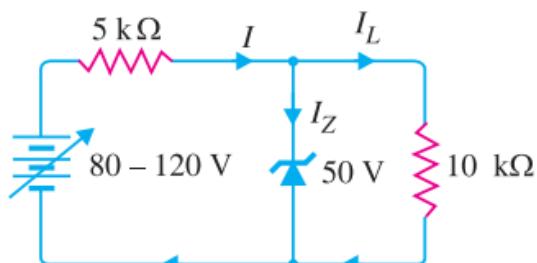
Hình 5

- 3.10** Sử dụng mô hình sụt áp không đổi của diode ($V_{D0} = 0.75V$), tìm giá trị của I và V trong các mạch cho trong hình 6a.
- 3.11** Sử dụng mô hình sụt áp không đổi của diode ($V_{D0} = 0.75V$), tìm giá trị của I và V trong các mạch cho trong hình 6b.
- 3.12** Sử dụng mô hình sụt áp không đổi của diode ($V_{D0} = 0.75V$), tìm giá trị của I và V trong các mạch cho trong hình 6c.
- 3.13** Sử dụng mô hình sụt áp không đổi của diode ($V_{D0} = 0.75V$), tìm giá trị của I và V trong các mạch cho trong hình 6d.
- 3.14** Sử dụng mô hình sụt áp không đổi của diode ($V_{D0} = 0.75V$), tìm giá trị của I và V trong các mạch cho trong hình 6e.
- 3.15** Sử dụng mô hình sụt áp không đổi của diode ($V_{D0} = 0.75V$), tìm giá trị của I và V trong các mạch cho trong hình 6f.



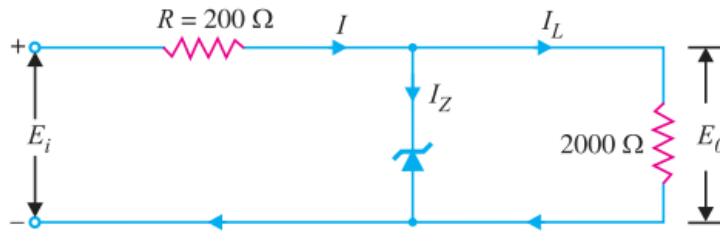
Hình 6

- 3.16** Cho mạch điện như hình 7. Tìm khoảng dòng điện qua diode zener



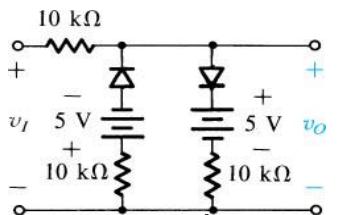
Hình 7

3.17 Tìm khoảng điện áp đầu vào của mạch hình 8 để điện áp cấp cho tải $R_L = 2\text{k}\Omega$ là 30V. Dòng điện lớn nhất qua diode zener là 25mA.



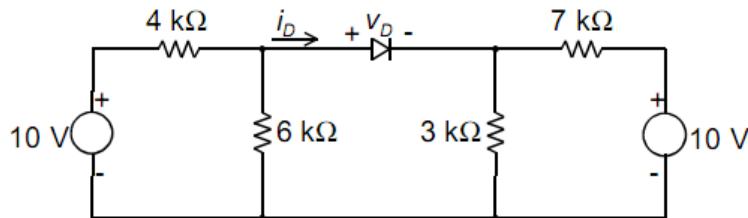
Hình 8

3.18 Giả sử các diốt là lý tưởng, vẽ đặc tuyến truyền đạt của mạch trong hình 9



Hình 9

3.19 Cho mạch điện như hình 10, với diốt lý tưởng. Hãy tính dòng trên diốt?



Hình 10

CHƯƠNG 4
TRANSISTOR HIỆU ỨNG TRƯỜNG (MOSFET)

Giới thiệu

- 5.1 Cấu trúc vật lý, nguyên lý hoạt động của MOSFETs
- 5.2 Đặc tuyến V-A của MOSFETs
- 5.3 Các mạch MOSFETs ở chế độ một chiều
- 5.4 MOSFETs hoạt động ở chế độ khuếch đại và chế độ chuyển mạch
- 5.5 Phân cực trong các mạch khuếch đại dùng MOS
- 5.6 Hoạt động của MOSFETs với tín hiệu nhỏ và các mô hình tương đương
- 5.7 Các mạch khuếch đại MOSFETs đơn tầng

Tổng kết

GIỚI THIỆU

Sau khi đã nghiên cứu đốt tiếp giáp, là linh kiện bán dẫn có 2 cực cơ bản nhất, bây giờ ta sẽ chuyển sang nghiên cứu các linh kiện có 3 cực. Linh kiện 3 cực hữu ích hơn rất nhiều so với các linh kiện 2 cực vì chúng có thể được sử dụng trong vô số các ứng dụng, từ khuếch đại tín hiệu đến logic số và bộ nhớ. Nguyên lý cơ bản được là sử dụng điện áp giữa hai cực để điều khiển dòng điện chạy trong cực thứ 3. Theo phương pháp này, linh kiện 3 cực có thể được sử dụng cho việc thiết kế mạch khuếch đại. Ngoài ra, tín hiệu điều khiển có thể được sử dụng để tạo ra dòng điện trong cực thứ 3 thay đổi từ 0 đến một giá trị lớn, do đó cho phép linh kiện hoạt động như một khóa điện tử. Khóa điện tử là cơ sở cho việc thực hiện các bộ biến đổi logic, là phần tử cơ bản của các mạch số.

Có hai loại linh kiện bán dẫn 3 cực chủ yếu: transistor hiệu ứng trường (MOSFET), và transistor lưỡng cực (BJT). Mặc dù mỗi loại đều có những đặc tính riêng và ứng dụng trong nhiều lĩnh vực, nhưng MOSFET đến nay đã trở thành linh kiện điện tử được sử dụng rộng rãi nhất, đặc biệt trong việc thiết kế các mạch tích hợp (ICs), mà các mạch điện được chế tạo trên cùng một chip silicon duy nhất.

So với BJT, MOSFET có thể được chế tạo khá nhỏ và quá trình sản xuất của chúng tương đối đơn giản. Ngoài ra, hoạt động của chúng yêu cầu công suất tương đối thấp. Hơn nữa, các nhà thiết kế mạch điện có thể chỉ sử dụng các MOSFET để thực hiện

các hàm số và tương tự (tức là với rất ít điện trở hoặc không có). Tất cả các đặc điểm này mang đến khả năng đóng gói một số lượng lớn các MOSFET (> 200 triệu) trên một chip silicon duy nhất để thực hiện các mạch điện rất tinh vi, các mạch tích hợp có qui mô lớn (VLSI) chẳng hạn như bộ nhớ và vi xử lý. Các mạch tương tự như các bộ khuếch đại và bộ lọc cũng được thực hiện bằng công nghệ MOS, dù mật độ tích hợp trên chip nhỏ hơn. Ngoài ra cả hai chức năng tương tự và số ngày càng có khả năng được thực hiện trên cùng một chip, được biết đến như là các thiết kế tín hiệu hỗn hợp.

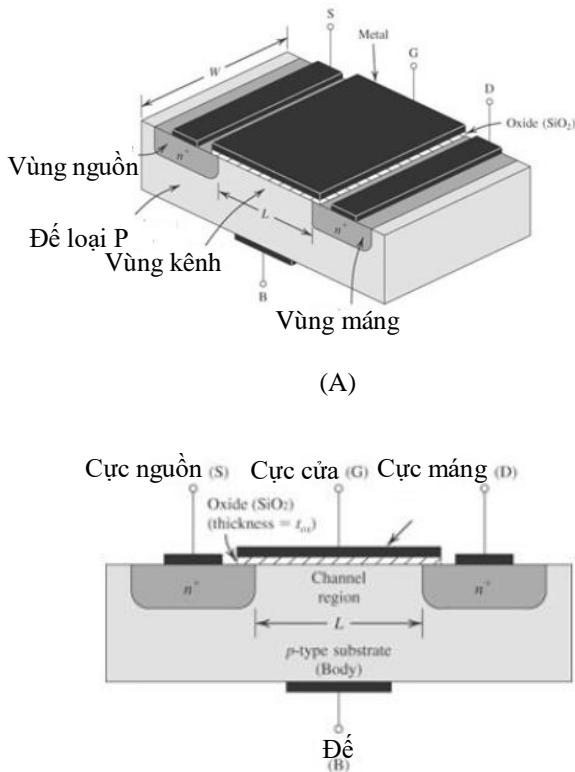
Mục tiêu của chương này là trình bày cho người đọc hiểu biết MOSFET ở mức độ cao hơn: cấu trúc vật lý và hoạt động, đặc tuyến làm việc, các mô hình mạch điện, và các mạch ứng dụng cơ bản, như một bộ khuếch đại và một bộ biến đổi logic.

4.1 Cấu trúc vật lý, nguyên lý hoạt động của MOSFETs

Transistor MOSFET loại cải tiến là tranzistor hiệu ứng trường được sử dụng nhiều nhất. Trong phần này, chúng ta sẽ nghiên cứu cấu trúc và hoạt động vật lý của MOSFET. Các đường đặc tính V-A của linh kiện, được nghiên cứu trong phần sau.

4.1.1 Cấu trúc của MOSFETs

Hình 4.1, thể hiện cấu trúc vật lý của MOSFET loại cải tiến kênh N. Ý nghĩa của các tên gọi “cải tiến” và “kênh N” sẽ được giải thích sau. Transistor NMOS được chế tạo trên một chất nền loại p, nó là một đế silicon đơn tinh thể rất mỏng cung cấp hỗ trợ vật lý cho linh. Hai vùng bán dẫn loại n có nồng độ tạp chất lớn, được chỉ ra trong hình 4.1 là vùng **nguồn** n^+ và vùng **máng** n^+ , được tạo ra trên miền đế. Một lớp mỏng silicon dioxide (SiO_2) có độ dày t_{ox} (thường là $2-50\text{ nm}^2$) là một chất cách điện, được tăng cường trên bề mặt của đế, bao bọc vùng điện tích ở giữa vùng **nguồn** và vùng **máng**. Kim loại được phủ ở trên của lớp oxide để tạo thành điện cực gốc (B) của linh kiện. Kim loại cũng được sử dụng để tạo thành miền nguồn, miền máng, miền đế (hay còn được gọi là **thân**). Do đó Transis MOS có 4 cực bao gồm: cực cửa (G), cực nguồn (S), cực máng (D), và cực đế hay cực thân (B). Xuất phát từ cấu trúc vật lý như vậy nên chúng ta gọi nó là MOSFET (Metal-Oxit-Semiconductor FET). Trong thực tế, hầu hết các MOSFET hiện đại được chế tạo bởi quá trình được biết đến là công nghệ silicon-gate, đây một loại silicon được gọi là polysilicon, được sử dụng để tạo thành điện cực cửa. Khi mô tả về hoạt động và các ứng dụng đặc tính của MOSFET chúng ta không phân biệt loại MOS có cấu trúc cực công khác nhau.



Hình 4.1 Cấu trúc của transistor NMOS

Một tên khác của MOSFET là **FET cực cổng cách ly** hay **IGFET** (Insulated-Gate FET). Tên này cũng bắt nguồn từ cấu trúc vật lý của linh kiện, điện cực cổng được cách ly về điện với phần thân của linh kiện (bởi lớp oxide). Chính sự cách ly này làm cho dòng điện ở cực cổng trở lên rất nhỏ (khoảng 10^{-15} A).

Nhìn vào cấu trúc của linh kiện, chúng ta thấy lớp nền tạo lên các lớp tiếp giáp pn với miền nguồn và máng. Trong điều kiện hoạt động bình thường, các lớp tiếp xúc này luôn luôn phân cực ngược. Khi cực máng có điện thế dương so với cực nguồn thì lớp 2 tiếp giáp pn có thể được loại bỏ hoàn toàn bằng cách nối cực nền với cực nguồn. Chúng ta sẽ giả thiết điều này là một trường hợp trong mô tả hoạt động của MOSFET. Như vậy ở đây lớp nền được xem như là không ảnh hưởng đến hoạt động của linh kiện, và MOSFET được coi như linh kiện có 3 cực, với các cực lần lượt là cực cổng (G), cực nguồn (S) và cực máng (D). Có thể thấy rằng điện áp đặt vào cực cổng sẽ điều khiển dòng điện giữa cực nguồn và cực máng. Dòng điện này sẽ chạy theo chiều dọc từ cực máng đến cực nguồn gọi là “miền kênh”. Lưu ý rằng miền này có chiều dài L và chiều rộng W, là 2 thông số quan trọng của MOSFET. Trong đó thông thường L nằm trong khoảng 0,1 μm đến 3 μm , và W nằm trong khoảng từ 0,2 μm

đến 100 μm . Cuối cùng, lưu ý rằng MOSFET là một linh kiện đối xứng, do vậy cực nguồn và cực máng có thể đổi chỗ cho nhau và không làm thay đổi tính chất của linh kiện.

4.1.2 Hoạt động của MOSFET khi chưa có điện áp cực cổng

Khi chưa có điện áp đưa vào cực cổng, lúc này Transistor hình thành 2 vùng tiếp pn. Vùng tiếp giáp thứ nhất được hình thành bởi lớp tiếp giáp giữa vùng cực máng n^+ gắn với cực S và vùng thân loại p, và vùng tiếp giáp thứ 2, được tạo thành bởi tiếp giáp giữa miền để loại p và miền cực nguồn loại n^+ gắn với cực D. Các vùng tiếp giáp pn này sẽ ngăn cản sự dẫn điện từ miền cực máng sang miền cực nguồn khi một điện áp v_{DS} được đưa vào.

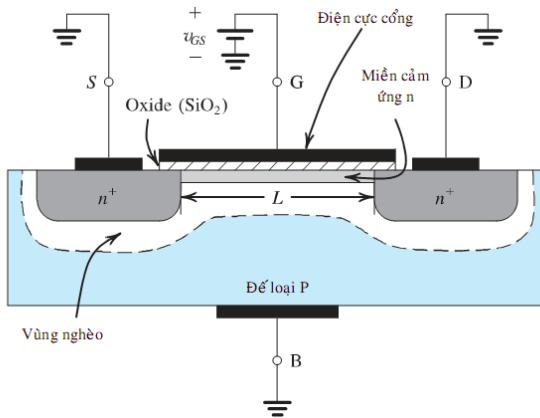
Trên thực tế, trở kháng dẫn giữa cực máng và cực nguồn là khá lớn (khoảng $10^{12} \Omega$).

4.1.3 Tạo kênh dẫn cho MOSFET

Xem xét mô tả quá trình tạo kênh dẫn như trong hình 4.2. Ở đây ta nối đất cực nguồn và cực máng, và đặt một điện áp dương vào cực cổng (G). Do cực nguồn được nối đất nên xuất hiện điện áp giữa cực cổng và cực nguồn, do đó được ký hiệu là v_{GS} . Đầu tiên, điện áp dương ở cực cổng sẽ khiến cho các lỗ trống tự do (diện tích dương) được giải phóng khỏi miền cực nền nằm phía dưới cực cổng (miền kênh).

Những lỗ trống này sẽ được đẩy xuống phía dưới vùng nền, để lại sau chúng một miền nghèo. Vùng nghèo này sẽ được lắp đầy bởi điện tích âm được kết hợp với các nguyên tử nhện. Những điện tích này “không được che phủ” bởi các lỗ trống trung hòa về điện tích được đẩy xuống miền nền.

Cũng như vậy, điện áp cực cổng hút các electrons từ miền cực nguồn và miền cực máng n^+ (nơi có nhiều electron) vào miền kênh. Khi một lượng đủ electron được tích lũy gần bề mặt của cực nền bên dưới cực cổng, kết quả là một miền n được tạo ra, miền này nối miền cực nguồn và miền cực máng, như trong hình 4.2. Bây giờ nếu một điện áp được đặt giữa cực máng và cực nguồn, dòng điện chảy qua miền cảm ứng n, do các dòng electron dịch chuyển mang lại. Miền cảm ứng n do đó tạo nên một **kênh dẫn** cho dòng điện từ cực máng đến cực nguồn, được gọi với tên tương ứng, kết quả là MOSFET trong hình 4.2 được gọi là **MOSFET kênh n** hoặc là **transistor NMOS**. Lưu ý rằng MOSFET kênh n được tạo thành trên miền để loại p. Kênh dẫn được tạo ra bằng cách đảo bề mặt lớp để từ loại p sang loại n. Do vậy kênh cảm ứng còn được gọi là **lớp nghịch đảo**.



Hình 4.2 Transistor NMOS loại cải tiến với một điện áp dương đặt vào cực cổng , kênh n được hình thành tại đỉnh của lớp nền bên dưới cực cổng

Giá trị của điện áp v_{GS} khi một lượng đủ các electron tự do tích lũy tại miền kênh để tạo nên một kênh dẫn được gọi là **điện áp ngưỡng** và được ký hiệu là V_t . Hiện nhiên là V_t đối với FET kênh n là dương. Giá trị của V_t được điều chỉnh trong quá trình sản xuất linh kiện và thông thường nằm trong khoảng 0.5 đến 1 V .

Cực cổng và miền kênh dẫn của MOSFET tạo thành một bản tụ song song, với lớp oxit đóng vai trò như chất điện môi của tụ điện. Điện áp dương tại cực cổng dẫn đến điện tích dương tích tụ trên mặt bản tụ điện (điện cực cổng). Điện tích âm tương ứng ở mặt phía dưới được tạo ra bởi các electrons trong kênh cảm ứng. Điện trường do đó sẽ tạo ra theo phương thẳng đứng. Chính điện trường này điều khiển số lượng điện tích trong kênh, và do đó sẽ quyết định độ dẫn điện của kênh và tiếp đó là dòng điện sẽ chảy qua kênh khi có điện áp v_{GS} được đặt vào. Đây là lý do chúng có tên gọi là Transistor hiệu ứng trường FET(field-effect transistor).

Điện áp đặt lên cực G phải vượt quá điện áp ngưỡng V_t . Khi $v_{DS} = 0$, điện áp tại mỗi điểm trong suốt chiều dài kênh là bằng không, và điện áp đi qua lớp oxide bằng với v_{GS} . Khi điện áp v_{GS} vượt quá V_t được gọi là “**điện thế hiệu dụng**” hay “**điện áp quá điều chỉnh**”, chúng ta ký hiệu là v_{OV} :

$$v_{OV} = v_{GS} - V_t \quad (4.1)$$

Chúng ta có thể biểu thị cường độ điện tích trong kênh dẫn bằng:

$$|Q| = C_{ox}(WL)v_{OV} \quad (4.2)$$

Trong đó:

C_{ox} là điện dung trên mỗi đơn vị diện tích miền cực cổng.

W: là độ rộng kênh dẫn

L: là chiều dài kênh dẫn

Điện dung oxide C_{ox} được cho bởi:

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \quad (4.3)$$

Trong đó:

ϵ_{ox} được gọi là hằng số điện môi của silicon oxide:

$$\epsilon_{ox} = 3.9\epsilon_0 = 3.9 \times 8.854 \times 10^{-12} = 3.45 \times 10^{-11} F/m$$

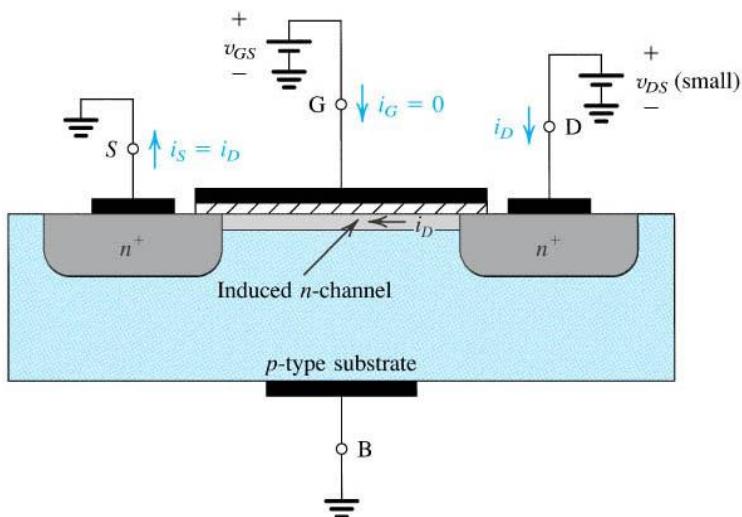
t_{ox} là độ dày của lớp oxide, được xác định bởi qui trình công nghệ được sử dụng để chế tạo MOSFET. Xét ví dụ, cho $t_{ox} = 4nm$

$$C_{ox} = \frac{3.45 \times 10^{-11}}{4 \times 10^{-9}} = 8.6 \times 10^{-3} F/m^2$$

Từ phương trình 4.2 chúng ta thấy rằng, khi v_{OV} tăng lên, làm cho cường độ điện tích trong kênh dẫn tăng lên tương ứng. Đôi khi điều này được mô tả như sự tăng của độ sâu kênh dẫn, điện áp quá điều chỉnh càng tăng, kênh dẫn càng sâu.

4.1.4 Đặt điện áp v_{DS} còn nhỏ

Khi đã có một kênh dẫn, bây giờ chúng ta sẽ đặt một điện áp dương v_{DS} giữa cực máng và cực nguồn, như hình 4.3. Trước hết ta xem xét trường hợp khi mà điện áp v_{DS} còn nhỏ (ví dụ $v_{DS} = 50mV$ hoặc tương tự). Điện áp v_{DS} tạo ra một dòng điện i_D chảy qua kênh cảm ứng n. Dòng điện được tạo ra bởi các electrons tự do di chuyển từ cực nguồn sang cực máng (do đó đặt tên là nguồn và máng). Theo qui luật hướng của dòng điện ngược với hướng của dòng điện tích âm. Do vậy dòng điện trong kênh i_D sẽ phụ thuộc vào mật độ các electrons trong kênh, tức là phụ thuộc vào độ lớn của v_{DS} . Theo đó dòng điện i_D sẽ tỉ lệ thuận với $(v_{GS} - V_t)$ và tất nhiên là với điện áp v_{DS} tạo ra dòng i_D .



Hình 4.3 Một transistor NMOS với $v_{GS} > V_t$ và với một điện áp v_{DS} đặt vào còn nhỏ. Linh kiện hoạt động giống như một điện trở mà giá trị của điện trở được quyết định bởi điện áp v_{GS} . Rõ ràng là độ dẫn điện kênh tỉ lệ thuận với điện áp $(v_{GS} - V_t)$ và do đó dòng điện i_D tỉ lệ thuận với $(v_{GS} - V_t)v_{DS}$

Bây giờ chúng ta mong muốn tính giá trị của i_D . Giả thuyết là điện áp v_{DS} đặt vào còn nhỏ và điện áp giữa cực cổng và các điểm trong suốt chiều dài kênh là hằng số, và bằng với giá trị ở điểm cuối của cực nguồn. Do đó, điện áp hiệu dụng giữa cực cổng và các điểm trong suốt chiều dài kênh vẫn bằng với v_{OV} . Như vậy, dòng i_D là điện tích trên một đơn vị chiều dài kênh, theo phương trình (4.2) ta có:

$$\frac{|Q|}{\text{Đơn vị chiều dài kênh}} = C_{ox}(W)v_{OV} \quad (4.4)$$

Điện áp v_{DS} thiết lập một điện trường E dọc theo chiều dài kênh:

$$|E| = \frac{v_{DS}}{L} \quad (4.5)$$

Điện trường này làm các điện tử trong kênh dồn trôi dần về phía cực màng với vận tốc:

$$\text{Vận tốc trôi electron} = \mu_n |E| = \mu_n \frac{v_{DS}}{L} \quad (4.6)$$

Trong đó: μ_n là độ linh động của các electrons trong kênh dồn (được gọi là độ linh động bề mặt). Đó là thông số vật lý và giá trị của nó phụ thuộc quy trình công nghệ chế tạo. Giá trị của dòng i_D có thể được xác định bằng cách nhân điện tích trên một đơn vị chiều dài kênh (phương trình 4.4) với vận tốc trôi electron (phương trình 4.6)

$$i_D = \left[\mu_n C_{ox} \left(\frac{W}{L} \right) v_{ov} \right] v_{DS} \quad (4.7)$$

Do v_{DS} nhỏ, kênh dẫn vận hành giống như trở kháng tuyến tính mà giá trị của nó được điều khiển bởi v_{ov} , cái mà được xác định bởi v_{GS} :

$$i_D = \left[\mu_n C_{ox} \left(\frac{W}{L} \right) (v_{GS} - V_t) \right] v_{DS} \quad (4.8)$$

Độ dẫn điện g_{DS} được xác định bởi phương trình (4.7) hoặc (4.8):

$$g_{DS} = \left[\mu_n C_{ox} \left(\frac{W}{L} \right) v_{ov} \right] \quad (4.9)$$

Hoặc

$$g_{DS} = \left[\mu_n C_{ox} \left(\frac{W}{L} \right) (v_{GS} - V_t) \right] \quad (4.10)$$

Quan sát các phương trình trên, chúng ta thấy rằng độ hổ dẫn được xác định bởi tích của ba hệ số: $\mu_n C_{ox}$, $\left(\frac{W}{L} \right)$ và $(v_{GS} - V_t)$. Để có được cái nhìn sâu sắc vào hoạt động của MOSFET, chúng tôi xem xét từng yếu tố trong ba yếu tố.

Hệ số đầu tiên, $\mu_n C_{ox}$ được xác định bởi công nghệ chế tạo MOSFET. Điều này được biết đến như tham số **độ dẫn điện xử lý**, được ký hiệu là k'_n và có đơn vị A/V²:

$$k'_n = \mu_n C_{ox} \quad (4.11)$$

Hệ số thứ hai, là **tỉ số hướng của transistor** W/L . Giá trị cả W và L có thể được chọn bởi người thiết kế sao cho đạt được các đặc tính $i - v$ như mong muốn, tuy nhiên, có một chiều dài kênh dẫn tối thiểu L_{min} . Trong thực tế chiều dài kênh dẫn tối thiểu mà có thể thực hiện với một qui trình sản xuất nhất định thì thường đặc trưng cho qui trình đó và đang tiếp tục giảm xuống cùng với sự tiến bộ của công nghệ. Ví dụ, tại thời điểm viết cuốn sách này (năm 2017) hiện trạng kỹ thuật trong công nghệ MOS là công nghệ 32 nm. Nghĩa là với công nghệ này độ dài tối thiểu có thể thực hiện được là 32 nm. Đó cũng là một giá trị độ rộng kênh dẫn tối thiểu. Ví dụ đối với công nghệ vừa đề cập, W_{min} là . Cuối cùng chúng ta nên lưu ý rằng độ dày lớp t_{ox} giảm xuống tung ứng với L_{min} . Do vậy, đối với công nghệ 0.13μm, t_{ox} là 27nm, nhưng công nghệ 32 nm hiện đại $t_{ox} = 2.2$ nm.

Tích của độ dẫn điện xử lý và tỷ số hướng của Transistor được gọi là tham số dẫn điện MOSFET k_n :

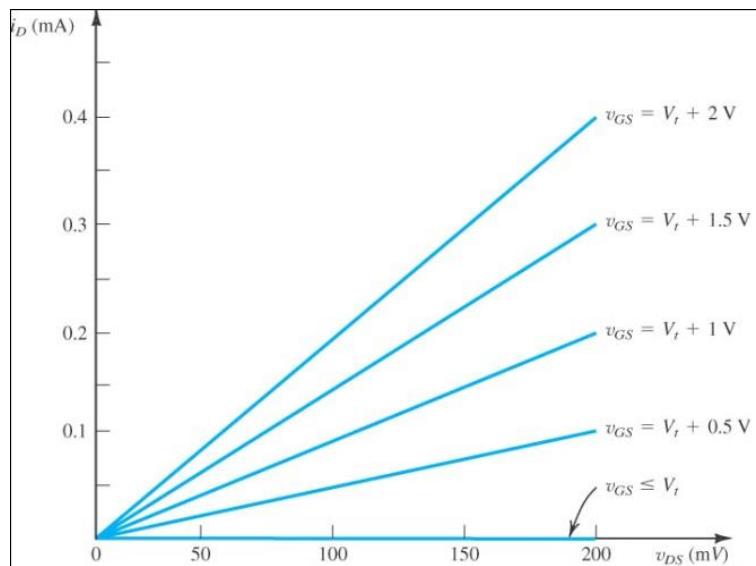
$$k_n = k'_n \left(\frac{W}{L} \right) = \mu_n C_{ox} \left(\frac{W}{L} \right) \quad (4.12)$$

Hệ số thứ ba trong phương trình tính hệ số dẫn điện là điện áp quá điều chỉnh v_{OV} . Vì v_{OV} trực tiếp xác định độ lớn của điện tử trong kênh dẫn do đó nó là một thông số thiết kế quan trọng.

Chúng ta kết luận rằng, khi v_{DS} còn nhỏ, MOSFET giống như một điện trở tuyến tính r_{DS} và giá trị của nó được điều khiển bởi điện áp v_{GS} :

$$r_{DS} = \frac{1}{g_{DS}} = \frac{1}{\mu_n C_{ox} \left(\frac{W}{L}\right) v_{OV}} = \frac{1}{\mu_n C_{ox} \left(\frac{W}{L}\right) (v_{GS} - V_t)} \quad (4.13)$$

Hình 4.4 thể hiện một mô tả của dòng i_D với v_{DS} tương ứng với các giá trị khác nhau của v_{GS} . Chúng ta có thể quan sát thấy MOSFET hoạt động giống như một điện trở tuyến tính mà giá trị được điều khiển bởi v_{GS} . Điện trở là vô cùng với $v_{GS} < V_t$ và giá trị điện trở giảm khi $v_{GS} > V_t$.

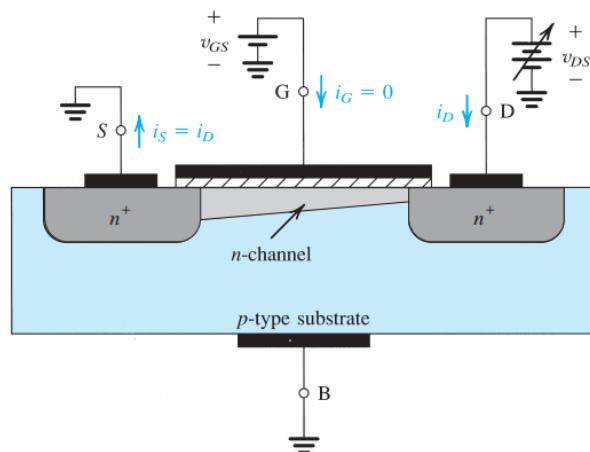


Hình 4.4 Đặc tính $i_D - v_{DS}$ của MOSFET trong hình 4.3 khi điện áp đặt vào cực máng và cực nguồn, v_{DS} nhỏ

Mô tả phía trên chỉ ra rằng để MOSFET dẫn điện, một kênh phải được cảm ứng, sau đó tăng điện áp v_{GS} lên vượt quá điện áp ngưỡng, sẽ tăng cường kênh dẫn, do vậy được đặt tên là **sự hoạt động chế độ tăng cường** và **MOSFET cải tiến**. Cuối cùng, cần lưu ý rằng dòng điện đi ra từ cực nguồn (i_S) bằng với dòng điện đi vào cực máng (i_D), và dòng điện tại cực cổng i_G bằng 0.

4.1.5 Hoạt động khi v_{DS} tăng

Tiếp theo, chúng ta xét trường hợp khi v_{DS} tăng. Trong khi đó chúng ta giữ điện áp v_{GS} một giá trị không đổi lớn hơn giá trị V_t . Chúng ta quan sát hình 4.5 và lưu ý rằng điện áp v_{DS} xuất hiện như một điện áp rơi trên chiều dài của kênh dẫn. Nghĩa là, dọc theo kênh dẫn từ cực nguồn tới cực máng, điện áp sẽ tăng từ 0 đến v_{DS} . Do vậy điện áp giữa cực cổng và các điểm dọc theo kênh dẫn sẽ giảm từ $v_{GS} = v_{OV} + V_t$ tại điểm cuối của cực nguồn đến $v_{GD} = v_{GS} - v_{DS} = v_{OV} + V_t - v_{DS}$ tại điểm cuối của cực máng. Do chiều sâu của kênh dẫn phụ thuộc vào điện áp này, ta thấy chiều sâu của kênh dẫn không còn đồng đều; đúng hơn là kênh dẫn sẽ có dạng hình nêm như trong hình 4.5, đạt sâu nhất tại điểm cuối của cực nguồn và nông nhất tại điểm cuối của cực máng. Điều này được minh họa thêm trong hình 4.6



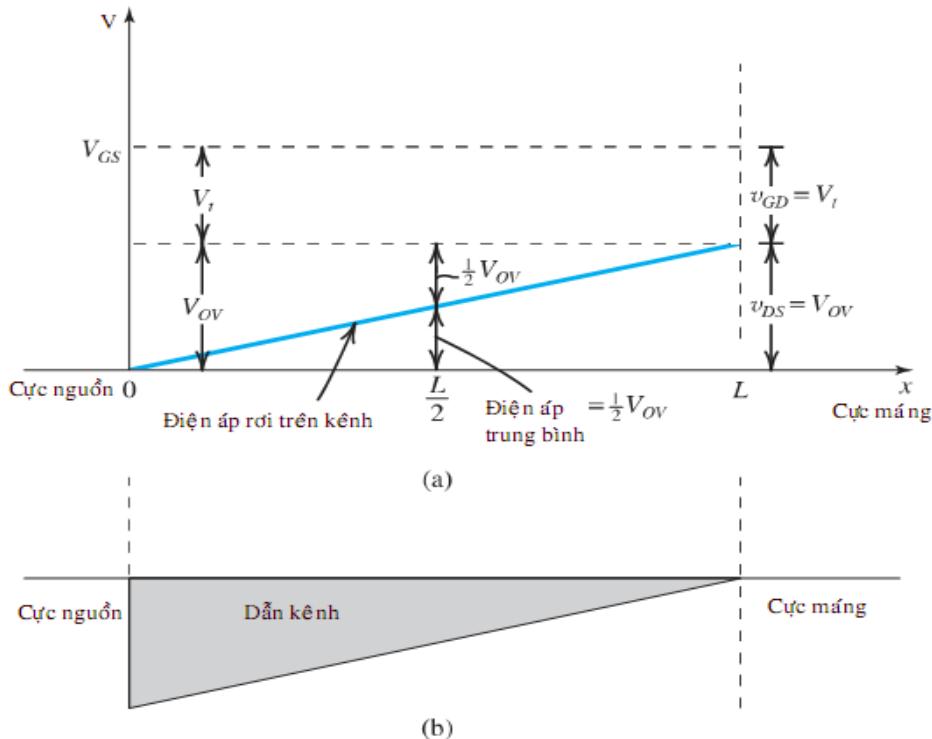
Hình 4.5 Hoạt động của một transistor NMOS cải tiến khi điện áp v_{DS} tăng

Khi v_{DS} tăng, kênh dẫn trở nên nhọn hơn và điện trở của nó tăng tương ứng. Do vậy đường đặc tính $i_D - v_{DS}$ không tiếp tục là đường thẳng mà bị cong như trong hình 4.7. Phương trình mô tả đường cong đặc tuyến $i_D - v_{DS}$ có thể được dễ dàng phân tích từ hình 4.6. Chú ý rằng điện tích trong kênh giảm dần tỷ lệ với diện tích mặt cắt ngang của kênh thể hiện trong hình 4.6 (b). Diện tích này tỉ lệ với $\frac{1}{2}[V_{OV} + (V_{OV} + v_{DS})]$ hoặc $(V_{OV} - \frac{1}{2}v_{DS})$. Do đó mối quan hệ giữa $i_D - v_{DS}$ có thể tìm được bằng cách thay thế V_{OV} trong phương trình (4.7) bởi $(V_{OV} - \frac{1}{2}v_{DS})$:

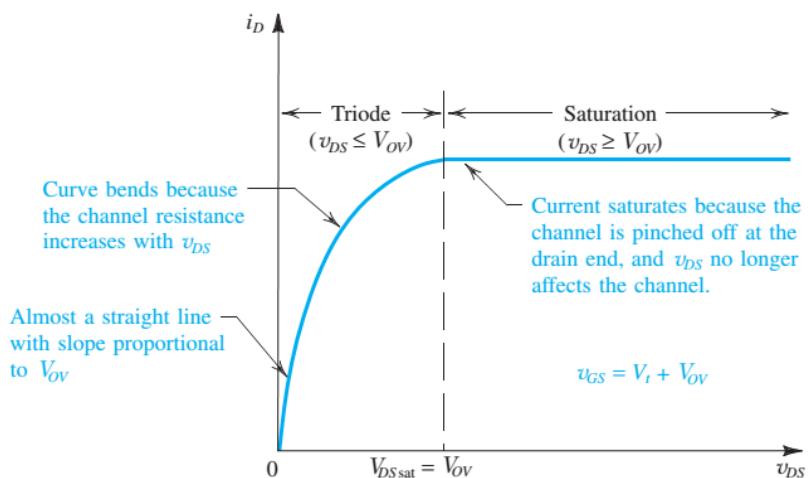
$$i_D = \mu_n C_{ox} \left(\frac{W}{L} \right) \left(V_{OV} - \frac{1}{2}v_{DS} \right) v_{DS} \quad (4.14)$$

Mối quan hệ này mô tả cho một nửa đường cong tỷ lệ của $i_D - v_{DS}$ trong hình 4.7. Nó được áp dụng cho toàn bộ phần xuống đến khi $v_{DS} = 0$. Chú ý rằng khi v_{DS}

giảm xuống, chúng ta có thể bỏ qua $\frac{1}{2}v_{DS}$, khi đó phương trình dòng i_D trở về phương trình 4.7



Hình 4.6 Minh họa hình dáng của kênh dẫn phụ thuộc vào v_{DS}



Hình 4.7 Đặc tuyến $i_D - v_{DS}$ của transistor NMOS loại cải tiến hoạt động với $v_{GS} > V_t$

Một cách giải thích hữu ích khác cho phương trình 4.14. Từ hình 4.5a chúng ta thấy rằng, điện áp trung bình dọc theo kênh dẫn là $\frac{1}{2}v_{DS}$. Do đó điện áp này sẽ tăng lên cùng với điện tích kênh dẫn và dòng điện i_D không những phụ thuộc vào V_{OV} mà còn

phụ thuộc vào $V_{OV} - \frac{1}{2}v_{DS}$. Cuối cùng, chúng ta lưu ý rằng phương trình (4.14) có thể được viết dưới dạng phương trình thay thế:

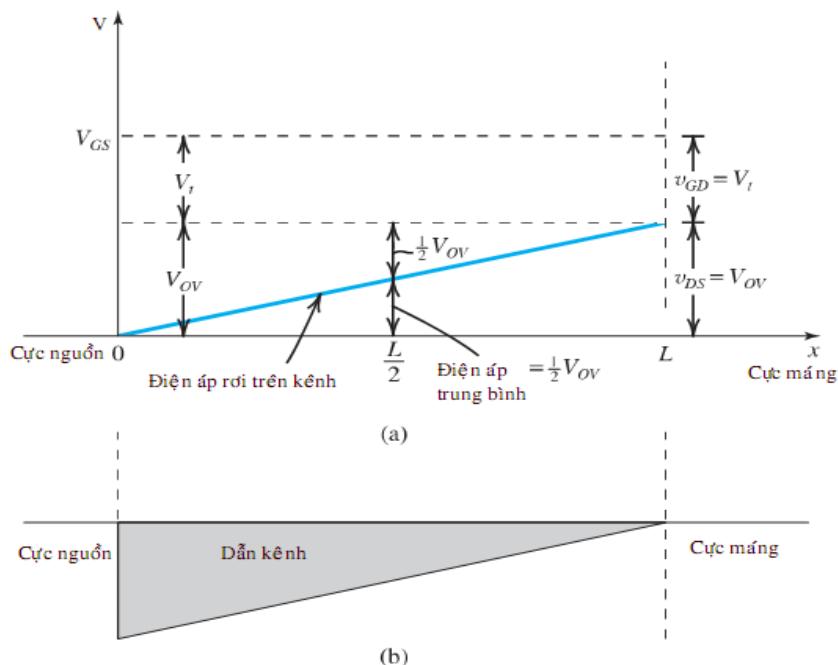
$$i_D = k'_n \left(\frac{W}{L} \right) \left(V_{OV} v_{DS} - \frac{1}{2} v_{DS}^2 \right) \quad (4.15)$$

Thay giá trị $V_{OV} = v_{GS} - V_t$ vào phương trình (4.15) ta có:

$$i_D = k'_n \left(\frac{w}{L} \right) \left((v_{GS} - V_t) v_{DS} - \frac{1}{2} v_{DS}^2 \right) \quad (4.16)$$

4.1.6 Hoạt động khi $v_{PS} \geq V_{OV}$: Hiện tượng thắt kênh và bão hòa

Mô tả hoạt động ở trên giả định rằng mặc dù kênh đã giảm dần, nó vẫn có một chiều sâu hữu hạn (khác không) ở điểm cuối cực công. Điều này đạt được bằng cách giữ cho v_{DS} đủ nhỏ để điện áp giữa cổng và máng, v_{GD} , vượt quá V_t . Đây là tình huống thể hiện trong hình. 5.6 (a). Lưu ý rằng đối với tình huống này để đạt được, v_{DS} phải lớn hơn V_{OV} . Trong trường hợp $v_{DS} = V_{OV}$ và $v_{GD} = V_t$, độ rộng kênh ở cực máng sẽ bằng không. Hình 5.8 biểu diễn trường hợp này. Độ dày của kênh dẫn tại điểm cuối của cực máng giảm xuống gần bằng 0, và kênh dẫn được gọi là bị **thất kênh**.



Hình 4.8 Biểu diễn trường hợp thất kêtch khi $v_{DS} = V_{OV}$ và $v_{GD} = V_t$

Tiếp tục tăng v_{DS} ngoài giá trị này sẽ ảnh hưởng rất ít (trên lý thuyết là không ảnh hưởng) lên hình dạng của kênh dẫn, và dòng điện đi qua kênh được duy trì không đổi ở giá trị mà $v_{DS} = V_{OV}$. Do đó dòng điện trong cực máng **bão hòa** tại giá trị này

và giá trị của nó được tìm thấy khi chúng ta thay thế $v_{DS} = V_{OV}$ trong phương trình 4.14:

$$i_D = \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L}\right) V_{OV}^2 = \frac{1}{2} k'_n \left(\frac{W}{L}\right) V_{OV}^2 \quad (4.17)$$

Khi đó MOSFET được gọi là đi vào hoạt động ở **vùng bão hòa**. Điện áp v_{DS} tại điểm xảy ra bão hòa được gọi là v_{DSSat}

$$v_{DSSat} = V_{OV} = v_{GS} - V_t \quad (4.18)$$

Cần lưu ý rằng việc thắt kênh không có nghĩa là kênh bị tắc nghẽn: Dòng hiện tiếp tục chảy qua kênh bị thắt, và các điện tử ở đầu cực máng của kênh được đẩy nhanh qua vùng nghèo đã tồn tại ở đó (không được hiển thị trong Hình 4.5) và chảy vào cực máng. Bất kỳ sự gia tăng v_{DS} vượt quá v_{DSSat} xuất hiện như là điện áp rơi trên vùng nghèo. Như vậy, cả dòng điện qua kênh và điện áp rơi trên nó vẫn không đổi trong chế độ bão hòa.

Phản bão hòa của đặc tuyến $i_D - v_{DS}$ là đường nằm ngang như được biểu thị trong hình 4.7. phần đường cong của đặc tuyến khi $v_{DS} < v_{DSSat}$ được gọi là **vùng ba cực**, là tên có từ thời linh kiện ống chân không hoạt động tương tự như một FET.

Cuối cùng, chúng ta lưu ý rằng phương trình dòng điện i_D có thể viết theo dạng tổng quát khi thay thế V_{OV} bởi biến v_{OV} :

$$i_D = \frac{1}{2} \mu_n C_{ox} \left(\frac{W}{L}\right) V_{OV}^2 = \frac{1}{2} k'_n \left(\frac{W}{L}\right) (v_{GS} - V_t)^2 \quad (4.19)$$

Ví dụ 4.1: Xem xét một công nghệ chế tạo Transistor NMOS. Biết $L_{min} = 0.4 \mu m$, $t_{ox} = 8 nm$, $\mu_n = 450 cm^2/V.s$, $V_T = 0.7 V$.

a) Tìm C_{ox} , k'_n

b) Nếu $W/L = 8 \mu m/0.8 \mu m$, tính giá trị của V_{OV} , V_{GS} , và V_{DSmin} cần thiết để Transistor hoạt động trong vùng bão hòa với dòng điện $I_D = 100 \mu A$.

c) Cùng với các thông số của linh kiện như ở ý (b). Tim giá trị của V_{OV} , V_{GS} để linh kiện hoạt động trong vùng ba cực, có điện trở $r_{DS} = 1000 \Omega$,

Lời giải

a) Ta có công thức tính C_{ox} và k'_n :

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} = \frac{3.45 \times 10^{-11}}{8 \times 10^{-9}} = 4.32 \times 10^{-3} F/m^2 = 4.32 fF/\mu m^2$$

$$\begin{aligned} k'_n &= \mu_n C_{ox} = 450(cm^2/V.s) \times 4.32 fF/\mu m^2 \\ &= 450 \times 10^8 \mu m^2/V.s \times 4.32 \times 10^{-15} F/\mu m^2 \\ &= 194 \times 10^{-6} F/V.s = 194 \mu A/V^2 \end{aligned}$$

b) Do Transistor hoạt động trong vùng bão hòa, nên:

$$i_D = \frac{1}{2} k'_n \frac{W}{L} V_{OV}^2$$

Do đó:

$$100 = \frac{1}{2} \times 194 \times \frac{8}{0.8} V_{OV}^2$$

Dẫn đến kết quả:

$$V_{OV} = 0.32V$$

Do đó:

$$V_{GS} = V_T + V_{OV} = 1.02V$$

Và:

$$V_{DSmin} = V_{OV} = 0.32V$$

Do Transistor hoạt động trong vùng bão hòa, nên:

$$r_{DS} = \frac{1}{k'_n \frac{W}{L} V_{OV}}$$

$$1000 = \frac{1}{194 \times 10^{-6} \times 10 \times V_{OV}}$$

Dẫn đến kết quả:

$$V_{OV} = 0.52V$$

Do đó:

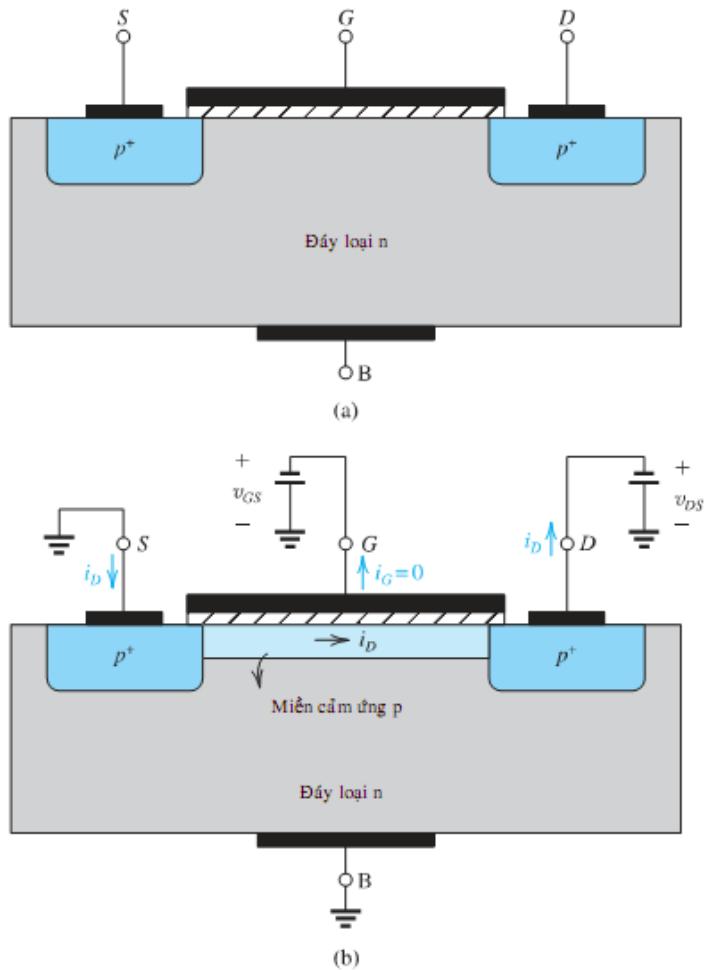
$$V_{GS} = 1.22V$$

4.1.6 Transistor MOSFET kênh p

Hình 4.9 biểu diễn cấu trúc vật lý của Transistor MOSFET kênh p cải tiến còn gọi là PMOS. Cấu trúc này tương tự với Transistor NMOS ngoại trừ lớp nền là bán dẫn loại n và vùng cực máng và cực nguồn là bán dẫn loại p⁺, các lỗ trống như là các hạt mang điện. PMOS hoạt động giống như NMOS, ngoại trừ là điện áp v_{GS} và v_{DS} là điện áp âm và điện áp nguồn V_t là âm. Đồng thời dòng điện vào cực nguồn và ra ở cực máng.

Công nghệ PMOS ban đầu chỉ phối sản xuất mạch tích hợp MOS, các vi xử lý gốc sử dụng các transistor PMOS. Tuy nhiên, linh kiện NMOS có tốc độ di chuyển của các điện tử nhanh gấp từ 2 đến 4 lần tốc độ của lỗ trống, vì thế công nghệ NMOS đã hầu như thay thế công nghệ PMOS. Sau đó, một công nghệ đã được phát triển cho phép chế tạo cả bóng bán dẫn NMOS và PMOS trên cùng một chip. Được gọi là MOS

phức hợp (**complementary MOS**), hoặc CMOS, công nghệ này hiện đang là công nghệ điện tử chiếm ưu thế.

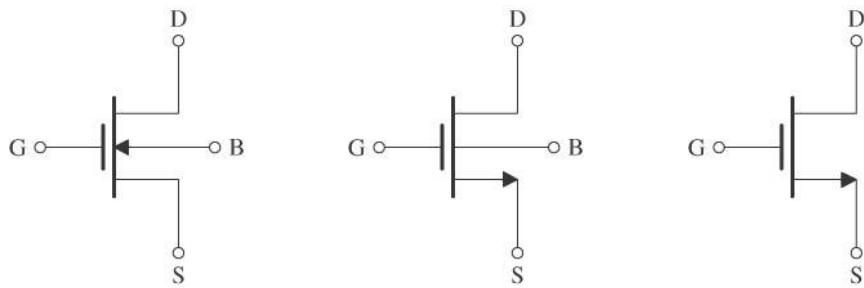


Hình 4.9 Cấu trúc vật lý của Transistor MOSFET kênh p

4.2 Đặc tuyến dòng điện – điện áp (đặc tuyến V-A)

4.2.1 Ký hiệu và quy ước

Hình 4.10(a) minh họa ký hiệu cho MOSFET loại kênh n. Có thể nhận thấy khoảng cách giữa hai đường thẳng minh họa cho công và kênh chỉ ra một thực tế là các điện cực công được cách ly với phần thân của linh kiện. Mặc dù MOSFET là linh kiện đối xứng, tuy nhiên để tiện dụng cho việc thiết kế, người ta chỉ rõ cực nguồn và cực máng. Ở đây, Cực có mũi tên là cực nguồn, cực còn lại là cực máng. Các mũi tên thường chỉ hướng của dòng điện và chiều mũi tên cũng xác định loại transistor, cụ thể nó là MOSFET kênh n (Hình 4.11b).



Hình 4.10. (a) Ký hiệu MOSFET loại n. (b) ký hiệu sửa đổi với một mũi tên ở đầu của cực nguồn để phân biệt với cực máng và để xác định loại MOSFET. (c) Ký hiệu đơn giản của NMOS.

Chú ý trong ký hiệu sửa đổi, không cần thiết có mũi tên trên đường thẳng phần thân thiết bị. Trong các ứng dụng mà ở đó cực nguồn được kết nối tới thân của thiết bị, một ký hiệu đơn giản hơn nữa có thể sử dụng, như được minh họa trong hình 4.10(c). Ký hiệu này cũng được sử dụng trong các ứng dụng mà tại đó ảnh hưởng của phần thân trong hoạt động của mạch là không quan trọng.

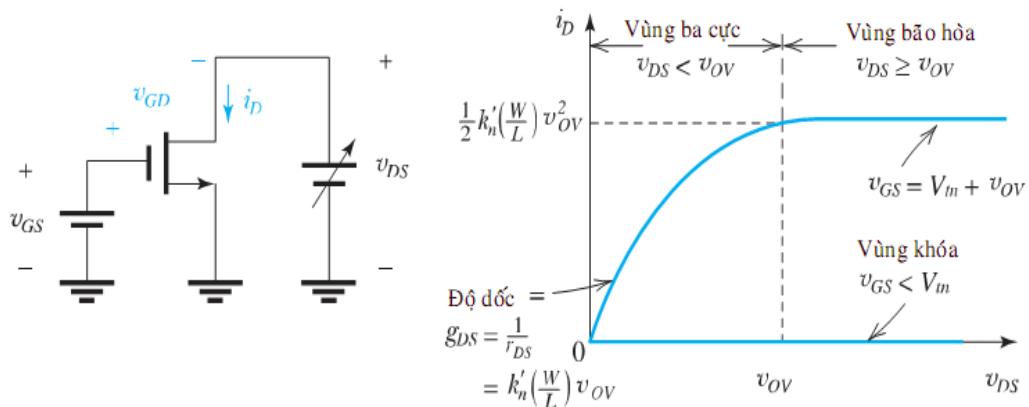
4.2.2 Hợp đặc tuyến $i_D - v_{DS}$

Bảng 4.1 cung cấp một sự tổng hợp các điều kiện và công thức cho hoạt động của transistor NMOS tại mỗi vùng làm việc: vùng cắt dòng, vùng triode, và vùng bão hòa. Hai vùng đầu tiên là hữu ích nếu MOSFET được sử dụng như là công tắc chuyển mạch tích cực. Vùng còn lại, nếu MOSFET được sử dụng để thiết kế một bộ khuếch đại, nó phải được làm việc trong vùng bão hòa.

Ở phía trên cùng của bảng 4.1 biểu diễn một mạch điện bao gồm 1 transistor và 2 nguồn cấp v_{GS} và v_{DS} . Mạch điện này có thể được sử dụng để đo lường đặc tuyến $i_D - v_{DS}$ của transistor NMOS. Mỗi một đường đặc tuyến được vẽ bằng cách thiết lập v_{GS} đến giá trị mong muốn, sau đó thay đổi dần v_{DS} và đo lường dòng điện i_D . Như vậy mỗi lần thay đổi v_{GS} chúng ta lại vẽ được 1 đường đặc tuyến tương ứng, tập hợp các đường đặc tuyến được gọi là **hợp đặc tuyến $i_D - v_{DS}$** . Trên hình vẽ bao gồm 2 đường đặc tuyến: đường thứ nhất khi $v_{GS} < V_t$ và đường thứ 2 khi $v_{GS} = V_{tn} + V_{ov}$.

Đường cong đặc tuyến khi $v_{GS} = V_{tn} + V_{ov}$ bao gồm 2 đoạn tương ứng với 2 vùng làm việc. Đoạn đường cong thứ nhất tương ứng với vùng làm việc ba cực (triode) khi $v_{DS} < V_{ov}$ và đoạn đường nằm ngang thứ hai tương ứng với vùng làm việc bão hòa khi $v_{DS} \geq V_{ov}$.

Bảng 4.1 Các vùng làm việc của transistor NMOS cải tiến



- $v_{GS} < V_{tn}$: Không có kênh dẫn; transistor hoạt động trong vùng khóa; $i_d = 0$
 - $v_{GS} = V_{tn} + v_{OV}$: kênh được dẫn, transistor làm việc trong vùng bão hòa hay vùng ba cực phụ thuộc vào kênh là liên tục hay thất kênh ở cực mảng.

Kênh liên tục đạt được khi:

$$v_{GD} > V_{In}$$

Hoặc:

$$v_{DS} < v_{OV}$$

Do đó:

$$i_D = k'_n \left(\frac{W}{L} \right) \left[(v_{GS} - V_{tn}) v_{DS} - \frac{1}{2} v_{DS}^2 \right]$$

Thất kênh khi :

$$v_{GD} \leq V_{tn}$$

Hoặc:

$$v_{PS} \geq v_{OV}$$

Do đó :

$$i_D = \frac{1}{2} k'_n \left(\frac{W}{L} \right) (v_{GS} - V_{tn})^2$$

Hay

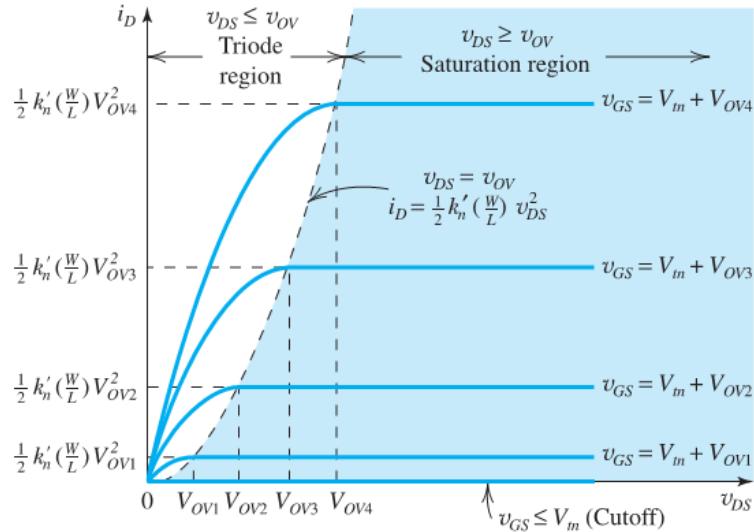
$$i_D = k'_n \left(\frac{W}{L} \right) \left(v_{OV} - \frac{1}{2} v_{DS} \right) v_{DS}$$

Hay

$$i_D = \frac{1}{2} k'_n \left(\frac{W}{L} \right) v_{OV}^2$$

Họ đặc tuyến $i_D - v_{DS}$ của transistor NMOS được biểu diễn như trong hình 4.13. Quan sát chúng ta thấy rằng, mỗi đường đặc tuyến được thiết lập bởi một giá trị v_{GS} lớn hơn giá trị V_{tn} , được ghi chú là $V_{OV1}, V_{OV2}, V_{OV3}$ và V_{OV4} . Các giá trị này là các giá trị của v_{DS} tương ứng để transistor làm việc bão hòa, và khi đó dòng điện bão hòa được xác định lần lượt là $\frac{1}{2} k'_n \left(\frac{W}{L}\right) V_{OV1}^2, \frac{1}{2} k'_n \left(\frac{W}{L}\right) V_{OV2}^2 \dots$ Cuối cùng, chúng ta quan sát ranh giới giữa vùng ba cực và các vùng bão hòa, tức là quỹ tích của các điểm bão hòa, là một đường cong parabol được mô tả bởi phương trình:

$$i_D = \frac{1}{2} k'_n \left(\frac{W}{L} \right) v_{DS}^2$$



Hình 4.11 Hỗn hợp đặc tuyến $i_D - v_{DS}$ của transistor NMOS

4.2.3 Đặc tuyến $i_D - v_{GS}$

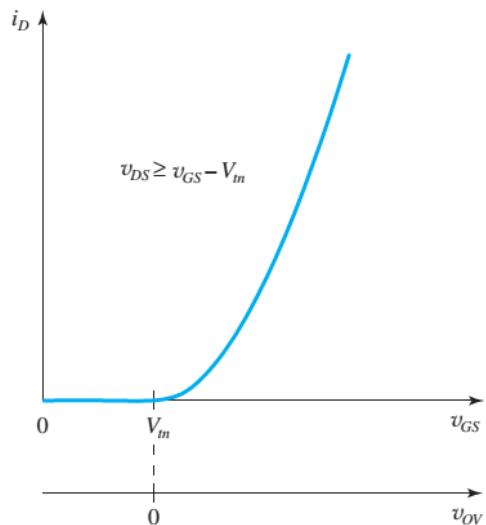
Khi MOSFET được sử dụng để thiết kế bộ khuếch đại, nó được hoạt động trong vùng bão hòa. Trong hình 4.11 chỉ ra rằng, dòng điện i_D bão hòa là hằng số và phụ thuộc vào v_{GS} , không phụ thuộc vào v_{DS} . MOSFET khi đó hoạt động như một nguồn dòng được điều khiển bởi nguồn áp, mối quan hệ đó được mô tả bởi phương trình:

$$i_D = \frac{1}{2} k'_n \left(\frac{W}{L} \right) (v_{GS} - V_{tn})^2 \quad (4.20)$$

Hoặc:

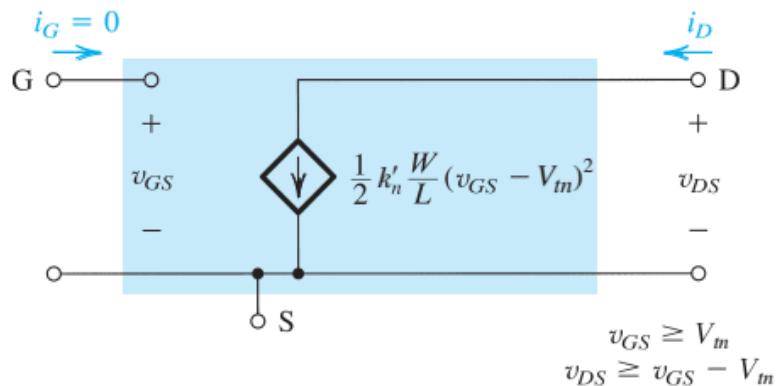
$$i_D = \frac{1}{2} k'_n \left(\frac{W}{L} \right) v_{OV}^2 \quad (4.21)$$

Hình 4.12 biểu diễn đặc tuyến $i_D - v_{GS}$ của transistor NMOS hoạt động trong vùng bão hòa. Chú ý rằng chúng ta quan tâm đến đồ thị $i_D - v_{OV}$, chúng đơn giản chỉ là dịch gốc toàn bộ đi một đoạn có giá trị bằng $v_{GS} = V_{tn}$.



Hình 4.12 Đặc tuyến $i_D - v_{GS}$ của transistor NMOS hoạt động trong vùng bão hòa

Quan điểm của MOSFET hoạt động trong vùng bão hòa như là một nguồn dòng được điều khiển bởi điện áp được minh họa bởi mạch tương đương thể hiện trong hình 5.13. Hình 5.13 được biết đến như mạch điện **tương đương tín hiệu lớn**. Lưu ý rằng nguồn hiện tại là lý tưởng, với trở kháng đầu ra vô cùng lớn đại diện cho sự độc lập, của i_D từ v_{DS} .



Hình 4.13 Mô hình tương đương tín hiệu lớn của transistor NMOS hoạt động trong vùng bão hòa

Ví dụ 4.2: Xem xét một transistor NMOS được chế tạo theo quy trình $0.18 \mu m$ với $L = 0.18 \mu m$ và $W = 2\mu m$. Quy trình công nghệ được quy định có $C_{ox} = 8.6 fF/\mu m^2$, $\mu_n = 450 cm^2/V.s$ và $V_{tn} = 0.5V$

- Tìm V_{GS} và V_{DS} khi MOSFET hoạt động bắt đầu ở chế độ bão hòa với $I_D = 100\mu A$
- Nếu V_{GS} không đổi tìm V_{DS} khi $I_D = 50\mu A$
- Sử dụng MOSFET như một bộ khuếch đại tuyến tính, hãy để nó hoạt động trong chế độ bão hòa với $V_{DS} = 0.3 V$. Tìm sự thay đổi của I_D do V_{GS} thay đổi từ $0.7V$ lên $+0.01V$ và giảm xuống $-0.01V$

Lời giải

Đầu tiên chúng ta xác định tham số k'_n :

$$\begin{aligned} k'_n &= \mu_n C_{ox} = 450 \times 10^{-4} \times 8.6 \times 10^{-15} \times 10^{12} A/V^2 \\ &= 387 \mu A/V^2 \end{aligned}$$

Và tham số k_n :

$$\begin{aligned} k_n &= k'_n \left(\frac{W}{L} \right) \\ &= 387 \left(\frac{2}{0.18} \right) = 4.3mA/V^2 \end{aligned}$$

- a) Khi MOSFET hoạt động ở chế độ bão hòa với $I_D = 100\mu A$

$$I_D = \frac{1}{2} k_n V_{DS}^2$$

Do đó:

$$100 = \frac{1}{2} \times 4.3 \times 10^3 \times V_{OV}^2$$

Kết quả là :

$$V_{OV} = 0.22V$$

Như vậy :

$$V_{GS} = V_{tn} + V_{OV} = 0.5 + 0.22 = 0.72V$$

Và transistor hoạt động bắt đầu ở chế độ bão hòa:

$$V_{DS} = V_{OV} = 0.22V$$

b) Với V_{GS} giữ không đổi ở 0.72 V và I_D nhỏ hơn giá trị khi bắt đầu ở chế độ bão hòa, nên MOSFET bây giờ sẽ hoạt động trong khu vực ba cực, do đó :

$$\begin{aligned} I_D &= k_n \left[V_{OV} V_{DS} - \frac{1}{2} V_{DS}^2 \right] \\ 50 &= 4.3 \times 10^3 \left[0.22 V_{DS} - \frac{1}{2} V_{DS}^2 \right] \end{aligned}$$

Có thể viết lại thành:

$$V_{DS}^2 - 0.44 V_{DS} + 0.023 = 0$$

Phương trình trên có hai nghiệm: $V_{DS} = 0.06V$ và $V_{DS} = 0.39V$

Nghiệm thứ 2 lớn hơn V_{OV} và do đó không có ý nghĩa về mặt vật lý do transistor đang hoạt động ở vùng 3 cực. Như vậy $V_{DS} = 0.06V$.

c) Đối với $V_{GS} = 0.7V$, $V_{OV} = 0.2V$ và $V_{DS} = 0.3V$ dẫn đến transistor hoạt động ở vùng bão hòa và :

$$\begin{aligned} I_D &= \frac{1}{2} k_n V_{OV}^2 \\ &= \frac{1}{2} \times 4300 \times 0.04 = 86 \mu A \end{aligned}$$

Khi tăng giá trị $v_{GS} = 0.710V$, $V_{OV} = 0.21V$, lúc đó

$$i_D = \frac{1}{2} \times 4300 \times 0.21^2 = 94.8 \mu A$$

Và khi giảm giá trị $v_{GS} = 0.690V$, $V_{OV} = 0.19V$, lúc đó

$$i_D = \frac{1}{2} \times 4300 \times 0.19^2 = 77.6 \mu A$$

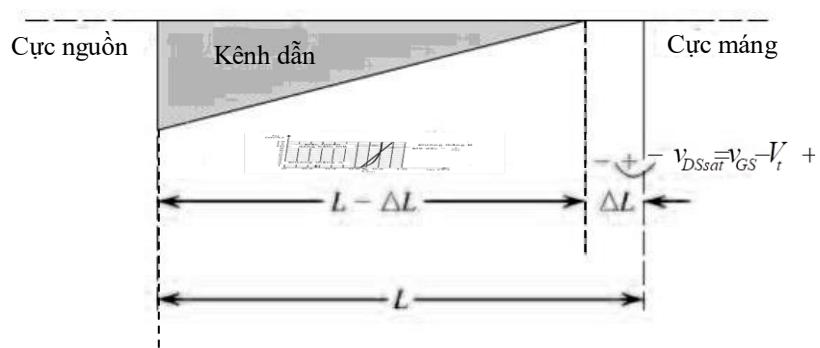
Do đó với $\Delta v_{GS} = +0.01V$, $\Delta i_D = 8.8 \mu A$; và khi $\Delta v_{GS} = -0.01V$; $\Delta i_D = -8.4 \mu A$

Chúng ta kết luận rằng hai sự thay đổi trên là tương đối cân bằng, nó chỉ thị rằng các bộ khuếch đại hoạt động tuyến tính khi sự thay đổi v_{GS} là rất nhỏ.

4.2.4 Trở kháng đầu ra hữu hạn trong vùng bão hòa

Phương trình (4.20) và mô hình tương đương tín hiệu lớn trong hình 4.13 tương ứng cho thấy, trong vùng bão hòa i_D là không phụ thuộc vào v_{DS} . Do đó thay đổi một lượng nhỏ Δv_{DS} không gây ra sự thay đổi i_D , điều này nhấn mạnh rằng trở kháng nhìn từ đầu vào cực máng của một MOSFET hoạt động trong vùng bão hòa là vô cùng lớn. Tuy nhiên, vấn đề này dựa trên nguyên lý rằng một kênh khi bị thắt kênh ở cuối máng, và sự tăng lên của v_{DS} không làm ảnh hưởng đến hình dạng của kênh. Nhưng, trong thực tế, sự tăng lên của v_{DS} vượt quá giá trị v_{DSSat} làm ảnh hưởng một chút tới kênh.

Đặc biệt khi v_{DS} tăng lên, điểm thắt kênh được di chuyển nhẹ đi từ cực máng về phía cực nguồn. Điều này được minh họa trong hình 4.14, từ đó chúng ta lưu ý rằng điện áp trên kênh vẫn không đổi tại $v_{GS} - V_t = v_{DSSat}$, và hơn nữa điện áp được đặt tới cực máng xuất hiện như một điện áp rơi trên vùng nghèo hẹp giữa cuối của kênh và vùng cực máng.. Tuy nhiên, chú ý rằng (với sự suy giảm lớp nghèo) chiều dài kênh giảm xuống từ L tới $L - \Delta L$, một hiện tượng được biết đến như là **điều chế chiều dài kênh**. Nay giờ vì i_D là tỷ lệ nghịch với chiều dài kênh (phương trình 4.20), i_D tăng lên so với v_{DS} .



Hình 4.14 Sự gia tăng của v_{DS} vượt quá giá trị v_{DSSat} là nguyên nhân gây ra các điểm thắt kênh di chuyển nhẹ từ cực máng, do đó làm giảm chiều dài kênh hiệu quả (bởi ΔL)

Để tính toán sự phục thuộc của i_D vào v_{DS} trong vùng bão hòa, chúng ta thay thế L trong phương trình (4.20) với $L - \Delta L$ để có được:

$$\begin{aligned}
 i_D &= \frac{1}{2} k'_n \frac{W}{L - \Delta L} (v_{GS} - V_t)^2 \\
 &= \frac{1}{2} k'_n \frac{W}{L} \frac{1}{1 - (\Delta L/L)} (v_{GS} - V_t)^2 \\
 &\equiv \frac{1}{2} k'_n \frac{W}{L} \left(1 + \frac{\Delta L}{L}\right) (v_{GS} - V_t)^2
 \end{aligned}$$

Ở đây chúng ta đã giả sử rằng $\Delta L/L \ll 1$. Nay giờ, nếu chúng ta giả sử ΔL là tỷ lệ với v_{DS} ,

$$\Delta L = \lambda' v_{DS}$$

Trong đó λ' là tham số kỹ thuật với thứ nguyên là $\mu m/V$ chúng ta thu được i_D :

$$i_D = \frac{1}{2} k'_n \frac{W}{L} \left(1 + \frac{\lambda'}{L} v_{DS}\right) (v_{GS} - V_t)^2$$

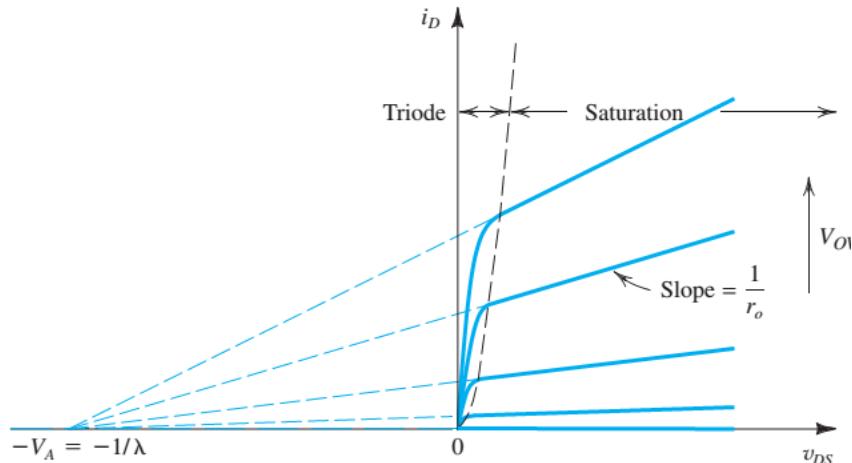
Thông thường λ'/L được biểu thị là λ :

$$\lambda = \frac{\lambda'}{L}$$

Từ đó suy ra λ là một tham số kỹ thuật với thứ nguyên V^{-1} , λ tỷ lệ nghịch với chiều dài kênh được chọn. Phương trình i_D trở thành

$$i_D = \frac{1}{2} \kappa'_n \frac{W}{L} (v_{GS} - V_t)^2 (1 + \lambda v_{DS}) \quad (4.22)$$

Họ đặc tuyến $i_D - v_{DS}$ minh họa sự ảnh hưởng của điều chế chiều dài kênh được biểu diễn trong hình 4.15.



Hình 4.15 Ảnh hưởng của v_{DS} với i_D trong vùng bão hòa.

Quan sát chúng ta thấy sự phụ thuộc tuyến tính của i_D vào v_{DS} trong vùng bão hòa được biểu diễn trong phương trình (4.22) bởi hệ số $(1 + \lambda v_{DS})$. Từ hình 4.15 chúng ta quan sát thấy rằng khi đường thẳng đặc tuyến $i_D - v_{DS}$ được kéo dài chúng cắt trục v_{DS} tại điểm $v_{DS} = -V_A$, ở đây V_A là một điện áp dương. Tuy nhiên phương trình (4.22) cho thấy $i_D = 0$ tại $V_A = -\frac{1}{\lambda}$, nó dẫn đến:

$$V_A = \frac{1}{\lambda}$$

Và do đó V_A là một tham số kỹ thuật với thứ nguyên là V. V_A là tỷ lệ thuận với chiều dài kênh L. Chúng ta có thể thấy sự phụ thuộc của V_A vào L bởi phương trình:

$$V_A = V'_A L$$

Ở đây V'_A hoàn toàn phụ thuộc vào quá trình công nghệ với thứ nguyên V/μm. Thông thường V'_A thường nằm trong khoảng 5V/μF tới 50V/μF. Điện áp V_A thường được gọi là điện áp Early, sau khi J.M Early là người đã phát hiện ra một hiện tượng này.

Phương trình (4.22) chỉ ra rằng điều chỉnh chiều dài kênh được xét đến, giá trị bão hòa của i_D phụ thuộc vào v_{DS} . Do đó, với một v_{GS} nhất định, một sự thay đổi Δv_{DS} tương ứng với một sự thay đổi Δi_D . Theo đó trở kháng đầu ra của nguồn dòng trong vùng bão hòa là không còn vô hạn. Trở kháng đầu ra giới hạn r_o là :

$$r_o \equiv \left[\frac{\partial i_D}{\partial v_{DS}} \right]_{v_{GS} \text{ constant}}^{-1} \quad (4.23)$$

Và sử dụng phương trình (4.22) dẫn đến kết quả:

$$r_o = \left[\lambda \frac{\kappa' n}{2} \frac{W}{L} (V_{GS} - V_t)^2 \right]^{-1} \quad (4.24)$$

Có thể được viết như sau

$$r_o = \frac{1}{\lambda I_D} \quad (4.25)$$

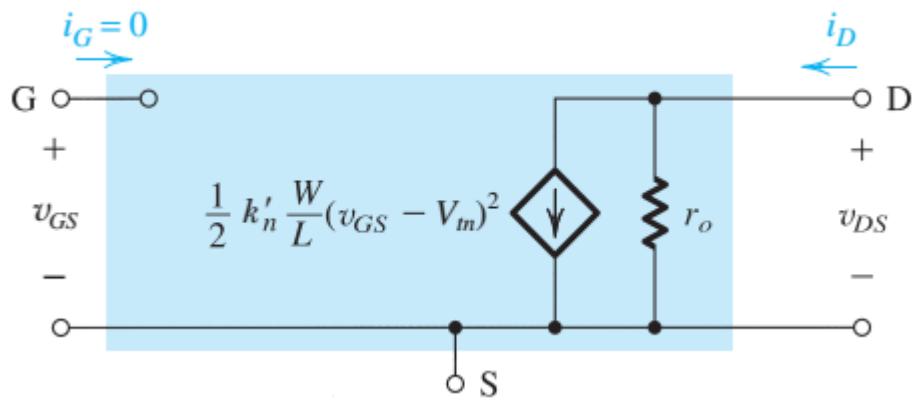
Hay tương đương với

$$r_o = \frac{V_A}{I_D} \quad (4.26)$$

Ở đây I_D là dòng điện máng không tính đến điều chế chiều dài kênh, đó là:

$$I_D = \frac{1}{2} k'_n \frac{W}{L} (V_{GS} - V_t)^2 \quad (4.27)$$

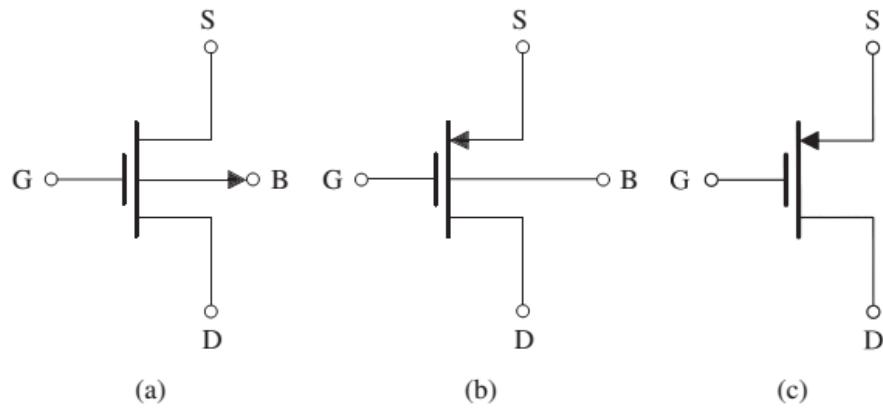
Do đó, trở kháng đầu ra là tỷ lệ nghịch với dòng điện cực máng. Cuối cùng, chúng ta xem hình 4.16, mô hình mạch tương đương tín hiệu lớn kết hợp với r_o .



Hình 4.17 Mạch tương đương tín hiệu lớn của MOSFET kênh n trong vùng bão hòa, kết hợp với trở kháng đầu ra r_o .

4.2.5 Các đặc tuyến của MOSFET kênh p

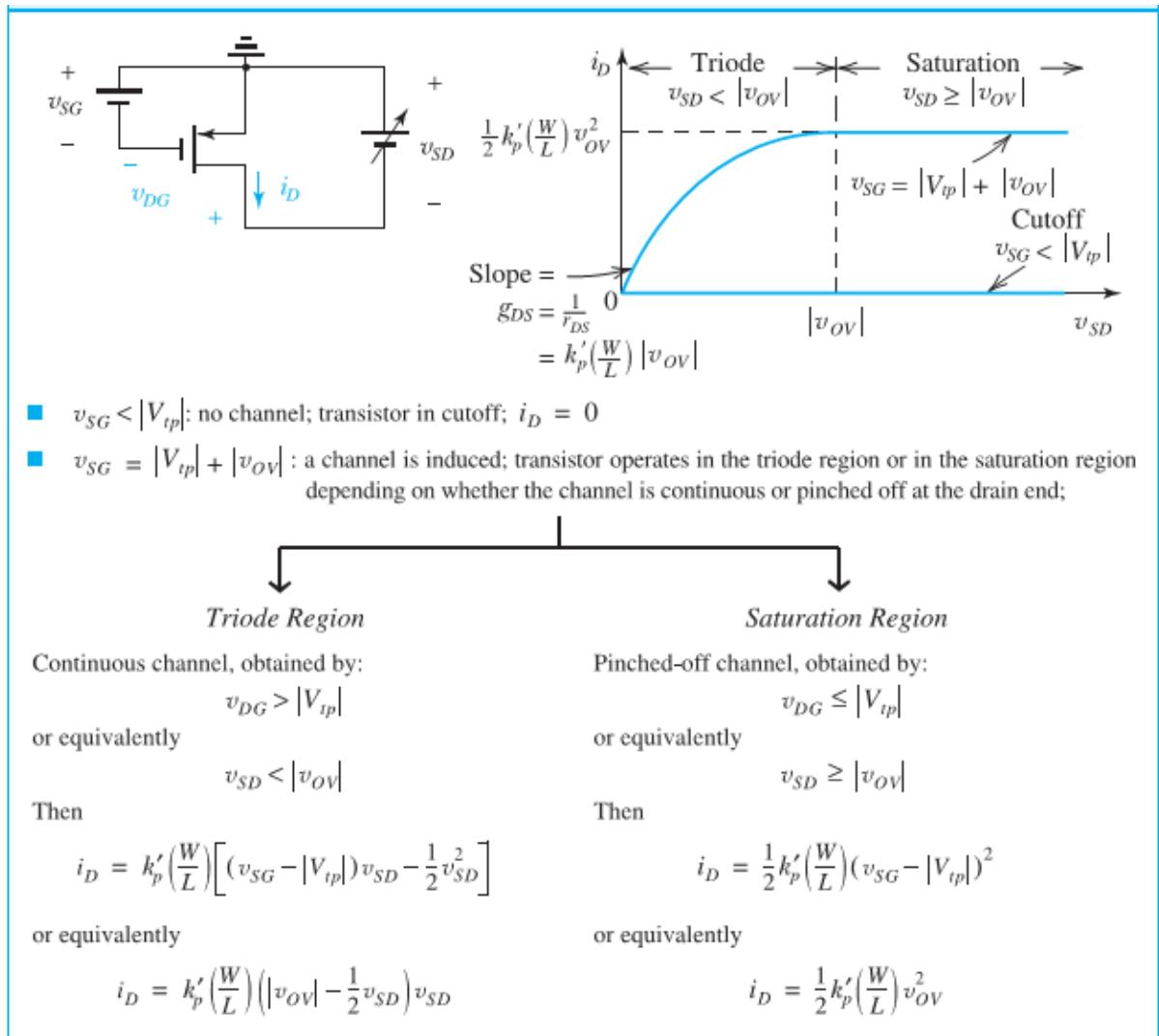
Ký hiệu cho mạch MOSFET kênh p được minh họa trong hình 4.18(a). Hình 4.18(b) minh họa một ký hiệu mạch bổ xung ở đó có một mũi tên chỉ hướng của dòng điện trên cực nguồn. Với trường hợp cực nguồn được nối với đê ký hiệu đơn giản trong hình 4.18(c) thường được sử dụng.



Hình 4.18 (a) Ký hiệu của MOSFET kênh p. (b) Ký hiệu bổ xung với một mũi tên trên phía nguồn. (c) Ký hiệu đơn giản nhất cho trường hợp nguồn được kết nối với đê.

Các vùng làm việc của transistor PMOS và các điều kiện tương ứng với vùng nó, phương trình dòng điện i_D được trình bày trong bảng 4.2

Bảng 4.2: Các vùng làm việc của transistor PMOS cải tiến



Quan sát rằng các phương trình được viết theo cách nhấn mạnh trực giác vật lý và tránh sự nhầm lẫn của các dấu âm. Như vậy khi V_{tp} theo quy ước là âm, chúng tôi sử dụng $|V_{tp}|$, và điện áp v_{SG} và v_{SD} là dương. Ngoài ra, trong tất cả các sơ đồ mạch, chúng ta sẽ luôn luôn vẽ các linh kiện kênh p với cực nguồn của chúng ở phía trên để dòng chảy từ trên xuống dưới. Cuối cùng, chúng ta lưu ý rằng các thiết bị PMOS cũng bị ảnh hưởng bởi hiệu ứng điều chế chiều dài kênh. Điều này có thể được tính đến yếu tố $(1 + |\lambda|v_{SD})$ trong biểu thức i_D như sau:

$$i_D = \frac{1}{2} k'_p \frac{W}{L} (v_{GS} - |V_{tp}|)^2 (1 + \lambda v_{SD}) \quad (4.28)$$

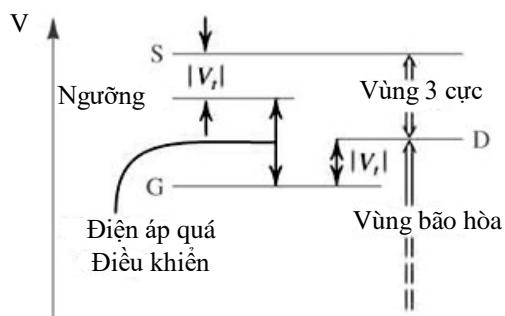
Hoặc tương đương:

$$i_D = \frac{1}{2} k'_p \frac{W}{L} (V_{GS} - |V_{tp}|)^2 \left(1 + \frac{V_{SD}}{|V_A|} \right) \quad (4.29)$$

Ở đây λ và V_A đều là âm.

Tóm lại, để mở một transistor PMOS, điện áp cổng đã thực hiện phải nhỏ hơn điện áp của nguồn ít nhất $|V_{tp}|$. Để hoạt động ở vùng ba cực, điện áp máng phải lớn hơn điện áp cổng ít nhất $|V_{tp}|$; ngược lại, PMOS hoạt động ở vùng bão hòa.

Cuối cùng, đồ thị trong hình 4.19 cung cấp một hình ảnh để mô tả điều kiện hoạt động này.



Hình 4.19. Các mức quan hệ điện áp đầu cuối của transistor PMOS để nó hoạt động trong

vùng triode và trong vùng bão hòa.

4.3 Các mạch MOSFET ở chế độ một chiều

Chúng ta đã được học các đặc tính dòng điện – điện áp của MOSFETs, bây giờ chúng đi xem xét các mạch điện trong đó quan tâm đến dòng điện và điện áp một chiều. Đặc biệt, ta sẽ thực hiện một chuỗi các thiết kế và phân tích các ví dụ của các mạch MOSFETs ở điện áp một chiều. Mục tiêu là để truyền đạt tới bạn đọc sự hiểu biết rõ ràng về linh kiện và khả năng biểu diễn cả hai phương pháp phân tích mạch MOSFETs nhanh chóng và hiệu quả.

Trong những ví dụ sau đây, để giữ cho các vấn đề ở mức đơn giản và do đó tập trung sự chú ý lên yếu tố cốt lõi của việc vận hành mạch MOSFETs, ta thường sẽ bỏ qua sự biến đổi của độ dài kênh; đó là, ta sẽ giả thiết rằng $\lambda=0$. Ta sẽ thuận tiện để làm việc với điện áp điều chỉnh: $V_{OV} = V_{GS} - V_t$.

Nhớ lại rằng đối với NMOS, V_t và V_{OV} dương; trong khi PMOS V_t và V_{OV} âm. Với PMOS bạn có thể hay là $V_{SG} = |V_{GS}| = |V_{OV}| + |V_t|$

4.4 MOSFET hoạt động ở chế độ khuếch đại và chế độ chuyển mạch

4.4.1 Bộ khuếch đại điện áp

Trong phần này ta bắt đầu nghiên cứu về cách sử dụng MOSFETs trong việc thiết kế các mạch khuếch đại. Cơ bản cho ứng dụng quan trọng này của MOSFETs là khi nó làm việc ở vùng bão hòa, MOSFETs hoạt động như một nguồn áp điều khiển nguồn dòng: Khi thay đổi ở điện áp v_{GS} làm nảy sinh những thay đổi ở dòng điện trên cực D là i_D .

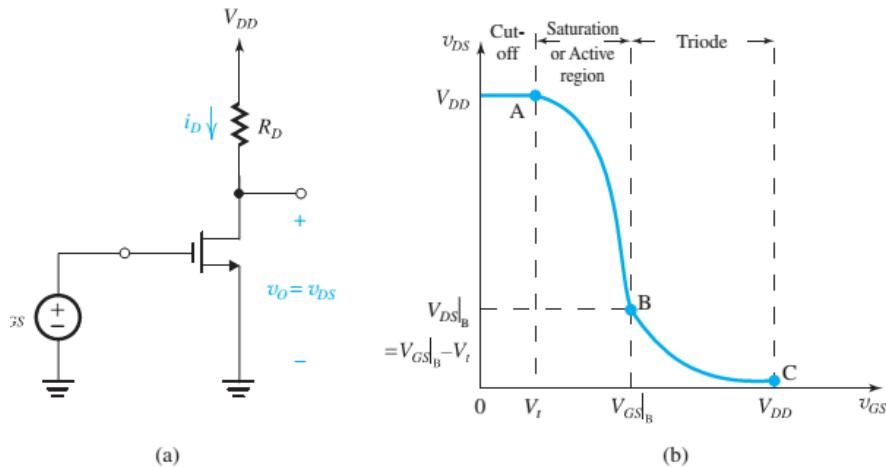
Do đó MOSFETs bão hòa có thể được sử dụng để thiết lập nên một bộ khuếch đại hổ dẩn. Tuy nhiên, vì ta mong muốn khuếch đại là tuyến tính - đó là, trong các bộ khuếch đại mà tín hiệu đầu ra có quan hệ tuyến tính với tín hiệu vào, ta sẽ phải tìm một phương pháp quanh quan hệ rất phi tuyến của $i_D - v_{DS}$.

Phương pháp ta sẽ sử dụng để thu được khuếch đại tuyến tính từ linh kiện phi tuyến cơ bản đó là phân cực một chiều cho MOSFETs để làm việc ở điện áp V_{GS} thích hợp và dòng i_D tương ứng và sau đó xếp chồng tín hiệu điện áp trở thành khuếch đại v_{GS} , trên điện áp phân cực một chiều V_{GS} . Bằng việc giữ tín hiệu v_{GS} nhỏ, sự thay đổi cuối cùng ở dòng điện cực D, i_d có thể tỷ lệ với v_{GS} .

Phương pháp này đã được giới thiệu trong một phương pháp phổ biến trong chương 1. Tuy nhiên, trước khi xem xét việc vận hành với tín hiệu nhỏ của bộ khuếch đại MOSFET, ta sẽ nhìn vào “bức tranh lớn”: Ta sẽ nghiên cứu việc làm việc toàn bộ hoặc làm việc với tín hiệu lớn của một bộ khuếch đại MOSFET.

4.4.2 Đặc tuyến truyền đạt (The Voltage-Transfer Characteristic - VTC)

Một công cụ hữu ích để nghiên cứu sự hoạt động của một mạch khuếch đại là sử dụng đặc tuyến truyền đạt, tức là dùng đồ thị quan hệ giữa điện áp đầu ra theo điện áp đầu vào. Một bộ khuếch đại MOS được biểu diễn như trong hình 4.20(a) và đồ thị $v_{DS} - v_{GS}$ được biểu diễn như trong hình 4.20(b).



Hình 4.20 (a) Mạch khuếch đại NMOS cơ bản **(b)** Đặc tuyến truyền đạt của nó
Quan sát thấy rằng khi \$v_{GS} < v_t\$, transistor hoạt động ở chế độ cắt dòng, \$i_D = 0\$, từ phương trình 4.30, \$v_{DS} = V_{DD}\$

$$v_{DS} = V_{DD} - i_D R_D \quad (4.30)$$

Nếu \$v_{GS} > v_t\$, transistor mở và \$v_{DS}\$ giảm. Tuy nhiên, kể từ \$v_{DS}\$ ban đầu vẫn còn cao, MOSFET sẽ hoạt động trong bão hòa hoặc khu vực tích cực. Điều này tiếp tục khi \$v_{GS}\$ tăng lên cho đến khi đạt được giá trị \$v_{GSB}\$, kết quả là \$v_{DS}\$ trở thành thấp hơn \$v_{DS}\$ bởi \$V_t\$ [điểm B trên VTC trong Hình 4.20 (b)]. Đối với \$v_{GS}\$ lớn hơn tại điểm B, transistor hoạt động trong khu vực ba cực và \$v_{DS}\$ giảm chậm hơn.

VTC trong hình 4.20 (b) cho thấy rằng đoạn dốc lớn nhất (do đó có khả năng đạt được bộ khuếch đại lớn nhất) được gắn nhãn AB, tương ứng với hoạt động trong vùng tích cực. Khi một MOSFET hoạt động như một bộ khuếch đại, điểm hoạt động của nó là giới hạn đến các phân đoạn AB tại mọi thời điểm. Một biểu thức cho phân đoạn AB có thể thu được bằng cách thay thế cho \$i_D\$ trong phương trình (4.30) theo giá trị vùng tích cực của nó từ phương trình (4.27), do đó:

$$v_{DS} = V_{DD} - \frac{1}{2} \kappa'_n \frac{W}{L} R_D (V_{GS} - V_t)^2 \quad (4.31)$$

Đây rõ ràng là một mối quan hệ phi tuyến. Tuy nhiên, khuếch đại tuyến tính (hoặc gần như tuyến tính) có thể thu được bằng cách sử dụng kỹ thuật phân cực cho MOSFET. Trước khi xem xét phân cực, cần xác định tọa độ của điểm B, nằm ở ranh giới giữa vùng bão hòa và vùng ba cực. Có thể có được bằng cách thay thế vào phương trình 4.31, \$v_{GS} = V_{GS|B}\$ và \$v_{DS} = V_{DS|B} = V_{GS|B} - V_t\$, và kết quả là:

$$V_{GS|B} = V_t + \frac{\sqrt{2\kappa_n R_D V_{DD} + 1} - 1}{\kappa_n R_D} \quad (4.32)$$

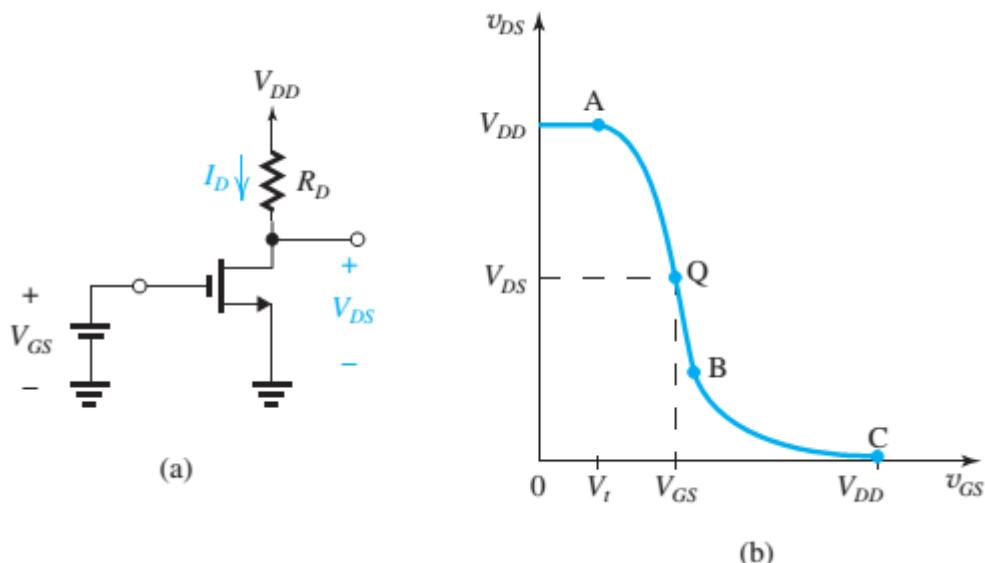
Và:

$$V_{DS}|_B = V_{OV}|_B \quad (4.33)$$

4.4.3 Phân cực cho Transistor để đạt được bộ khuếch đại tuyến tính

Phân cực cho phép chúng ta có được khuếch đại gần như tuyến tính từ MOSFET. Kỹ thuật này được minh họa cho trường hợp MOSFET trong hình 4.21 (a). Điện áp dc V_{GS} được chọn để hoạt động tại điểm Q trên đoạn AB của VTC. Làm thế nào để chọn một vị trí thích hợp cho điểm làm việc Q sẽ được thảo luận. Quan sát tọa độ của điểm Q là điện áp một chiều V_{GS} và V_{DS} , có liên quan bởi:

$$v_{DS} = V_{DD} - \frac{1}{2} \kappa' n \frac{W}{L} R_D (V_{GS} - V_t)^2 \quad (4.34)$$



Hình 4.21 Phân cực cho mạch khuếch đại MOSFET tại điểm Q trong đoạn AB của VTC

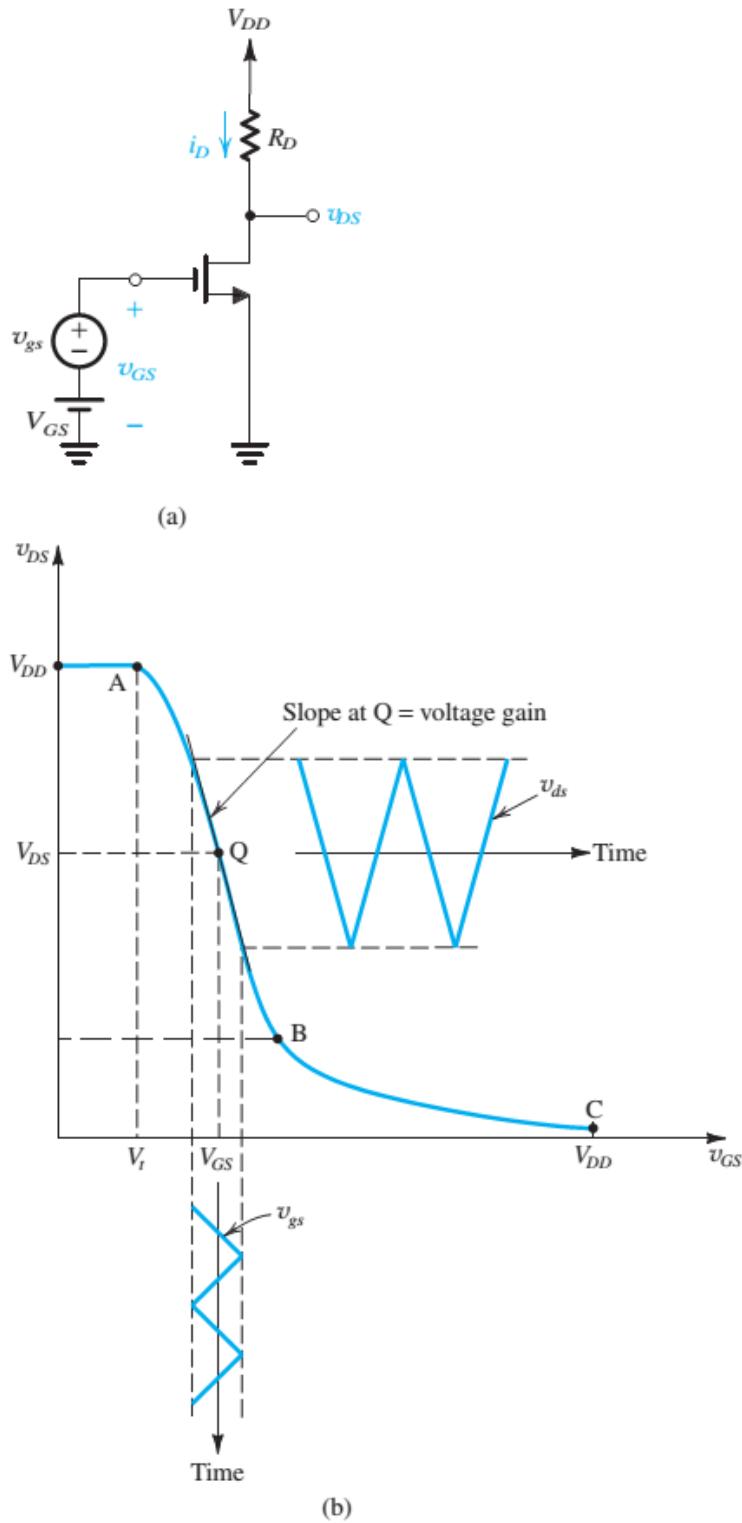
Điểm Q được biết như là **điểm phân cực** hoặc **điểm làm việc một chiều**. Ngoài ra, vì tại Q không có thành phần tín hiệu nào, nó còn được gọi là **điểm trôi pha (quiescent point)** (đó là nguồn gốc của biểu tượng Q).

Tiếp theo, tín hiệu được đặt vào bộ khuếch đại, v_{gs} , là một hàm theo thời gian, nó xếp chồng với điện áp phân cực V_{GS} , được biểu diễn như trong hình 4.22(a). Do đó tổng điện áp đặt vào mạch khuếch đại:

$$v_{GS}(t) = V_{GS} + v_{gs}(t) \quad (4.34)$$

Kết quả $v_{DS}(t)$ có thể thu được bằng cách thay thế $v_{GS}(t)$ vào phương trình (4.31). Về mặt đồ họa, chúng ta có thể sử dụng VTC để thu được $v_{DS}(t)$ theo điểm-

điểm, như minh họa trong hình 4.22(b). Ở đây v_{gs} là một sóng tam giác có biên độ "nhỏ". Cụ thể, biên độ của v_{gs} là đủ nhỏ, để làm việc trong một đoạn ngắn, gần như tuyến tính của VTC xung quanh điểm phân cực Q. Làm việc trong đoạn càng ngắn, tính tuyến tính càng cao và tín hiệu đầu ra v_{ds} là xung tam giác lý tưởng. Đây là bản chất của việc thu được khuếch đại tuyến tính từ MOSFET phi tuyến.



Hình 4.22 Bộ khuếch đại MOSFET hoạt động với tín hiệu đầu vào nhỏ

Khi chúng ta tăng biên độ của tín hiệu v_{gs} . Vùng làm việc không còn bị giới hạn ở đoạn gần như tuyến tính của VTC, tín hiệu đầu ra v_{ds} sẽ lệch với hình tam giác lý tưởng của nó; Có nghĩa là, nó sẽ thể hiện sự biến dạng phi tuyến. tệ hơn nữa, nếu biên độ tín hiệu đầu vào đủ lớn, vận hoạt động có thể rời khỏi đoạn AB hoàn toàn. Nếu điều này xảy ra ở đỉnh cực âm của v_{gs} , transistor sẽ cắt một phần của chu kỳ và các đỉnh dương của v_{ds} sẽ được "**cắt bớt đi**." Nếu nó xảy ra ở các đỉnh dương của v_{gs} , transistor sẽ di chuyển sang vùng ba cực, và các đỉnh âm của v_{ds} sẽ trở nên dẹt. Cuối cùng, việc lựa chọn vị trí của điểm làm việc Q có thể có ảnh hưởng sâu sắc đến biên độ cho phép tối đa của tín hiệu đầu ra v_{ds} , được gọi là **đao động của tín hiệu ở đầu ra**.

4.4.4 Hệ số khuếch đại tín hiệu nhỏ

Xem xét bộ khuếch đại MOSFET trong hình 4.22 (a). Nếu tín hiệu đầu vào v_{gs} được giữ nhỏ, tín hiệu tương ứng ở đầu ra v_{ds} sẽ gần tỷ lệ thuận với v_{gs} , với hằng số tỷ lệ là độ dốc của đoạn gần như tuyến tính của VTC xung quanh điểm Q. Đây là hệ số khuếch đại của bộ khuếch đại, và giá trị của nó có thể được xác định bằng cách đánh giá độ dốc của tiếp tuyến với VTC tại điểm phân cực Q

$$A_v = \left. \frac{dv_{DS}}{dv_{GS}} \right|_{v_{GS}=V_{GS}} \quad (4.35)$$

Sử dụng phương trình (4.31), chúng ta đạt được:

$$A_v = -k_n(V_{GS} - V_t)R_D \quad (4.36)$$

Hoặc:

$$A_v = -k_nV_{OV}R_D \quad (4.37)$$

Quan sát phương trình hệ số khuếch đại điện áp, chúng ta thấy rằng:

1. Hệ số khuếch đại âm, có nghĩa là bộ khuếch đại là đảo; Có nghĩa là, có sự dịch pha 180° giữa đầu vào và đầu ra. Sự đảo ngược này là hiển nhiên trong Hình 4.22 (b) và đã được dự đoán từ phương trình (4.31).
2. Hệ số khuếch đại tỷ lệ thuận với điện trở tải R_D , k_n , và V_{OV} .

Chúng ta có thể viết biểu thức hệ số khuếch đại điện áp A_v theo cách khác, ta có:

$$i_D = \frac{1}{2}k_nV_{OV}^2 \quad (4.38)$$

Thay vào phương trình 4.37 ta có:

$$A_v = \frac{I_D R_D}{V_{OV}/2} \quad (4.39)$$

Quan sát phương trình (4.39) chúng ta thấy rằng, hệ số khuếch đại điện áp tỷ lệ với điện áp rơi trên điện trở R_D với hệ số tỷ lệ là $\frac{V_{DD}-V_{DS}}{V_{OV}/2}$. Phương trình này cũng có thể được viết:

$$A_v = \frac{V_{DD}-V_{DS}}{V_{OV}/2} \quad (4.40)$$

Vì độ dốc tối đa của VTC trong Hình 4.22 (b) xảy ra ở điểm B, độ lớn hê số khuếch đại cực đại $|A_{vmax}|$ thu được bằng cách phân cực cho transistor tại điểm B

$$A_{vmax} = \frac{V_{DD}-V_{DS}|_B}{V_{OV}|_B/2} \quad (4.41)$$

Và vì $V_{DS}|_B = V_{OV}|_B$, dẫn đến:

$$A_{vmax} = \frac{V_{DD}-V_{OV}|_B}{V_{OV}|_B/2} \quad (4.42)$$

Tất nhiên, kết quả này chỉ có ý nghĩa lý thuyết vì phân cực tại B sẽ không có tín hiệu dao động ở đầu ra. Tuy nhiên, kết quả trong phương trình (4.22) có giá trị vì nó cung cấp giới hạn trên về độ lớn của hê số khuếch đại đạt được từ mạch khuếch đại cơ bản này. Ví dụ, đối với bộ khuếch đại mạch rời hoạt động với $V_{DD} = 5V$ và $V_{OV}|_B = 0.5V$, hê số khuếch đại tối đa đạt được là 18 V/V. Một bộ khuếch đại mạch tích hợp sử dụng MOSFET hoạt động với $V_{DD} = 1.3V$ và $V_{OV}|_B = 0.2V$, đạt được mức tăng tối đa là 11V/V.

Ví dụ 4.3: Xem mạch khuếch đại thể hiện trong hình 4.22(a). Các transistor có $V_t = 0.4 V$, $k'_n = 0.4 \text{ mA} / V^2$, $W / L = 10$, và $\lambda = 0$. Ngoài ra, $V_{DD} = 1.8 V$, $R_D = 17.5 \text{ k}\Omega$, và $V_{GS} = 0.6 V$.

a) Đổi với $v_{gs} = 0$ (và do đó $v_{ds} = 0$), tìm V_{OV} , I_D , V_{DS} , và A_v .

b) Tìm sự dao động tín hiệu cân bằng tối đa được phép ở công? Do đó, tìm biên độ cho phép tối đa của tín hiệu sin v_{gs} .

Lời giải:

a) Với $V_{GS} = 0.6 V$, $V_{OV} = 0.6 - 0.4 = 0.2 V$. Do đó

$$\begin{aligned} I_D &= \frac{1}{2} k'_n \left(\frac{W}{L} \right) V_{OV}^2 \\ &= \frac{1}{2} \times 0.4 \times 10 \times 0.2^2 = 0.08 \text{ mA} \\ V_{DS} &= V_{DD} - R_D I_D \\ &= 1.8 - 17.5 \times 0.08 = 0.4 V \end{aligned}$$

Vì V_{DS} lớn hơn V_{OV} nên transistor thực sự hoạt động ở độ bão hòa. Hệ số khuếch đại điện áp được tính theo phương trình (4.37).

$$A_v = -k_n V_{OV} R_D \\ = -0.4 \times 10 \times 0.2 \times 17.5$$

= 14 V/V

b) Vì $V_{OV} = 0.2$ V và $V_{DS} = 0.4$ V, chúng ta thấy rằng điện áp âm cực đại cho phép cực đại tại cực công là 0.2 V. Theo hướng tích cực, độ dao động của +0.2 V sẽ không làm cho transistor bị cắt dòng (vì kết quả V_{DS} sẽ vẫn thấp hơn V_{DD}) và do đó được phép. Vì vậy, sự trao đổi tín hiệu cân bằng tối đa được cho phép tại công là ± 0.2 V. Biên độ tương ứng của v_{gs} có thể được tìm thấy từ:

$$\hat{v}_{gs} = \frac{\hat{v}_{ds}}{|A_v|} = \frac{0.2\text{ V}}{14} = 14.2\text{ mV}$$

Vì $\hat{v}_{gs} \ll V_{OV}$, Transistor hoạt động trong vùng bão hòa

Sự hiểu biết sâu hơn về vấn đề dao động tín hiệu cho phép có thể thu được bằng cách kiểm tra các dạng sóng tín hiệu thể hiện trong hình vẽ dưới. Lưu ý rằng để MOSFET vẫn ở trong chế độ bão hòa ở đỉnh âm của v_{ds} , chúng ta phải đảm bảo rằng:

$$v_{DSmin} \geq v_{GSmax} - V_t$$

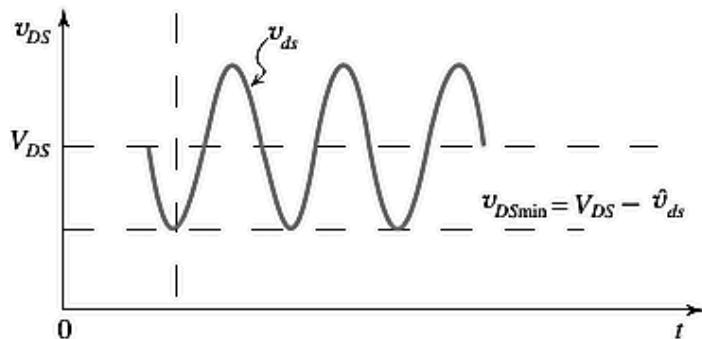
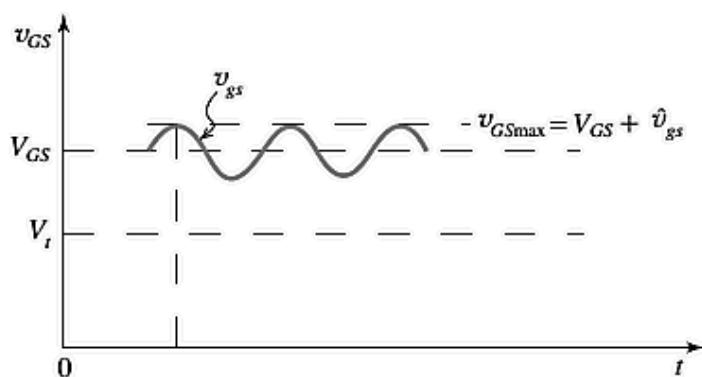
Đó là

$$0.4 - |A_v| \hat{v}_{gs} \geq 0.6 + \hat{v}_{gs} - 0.4$$

Kết quả là:

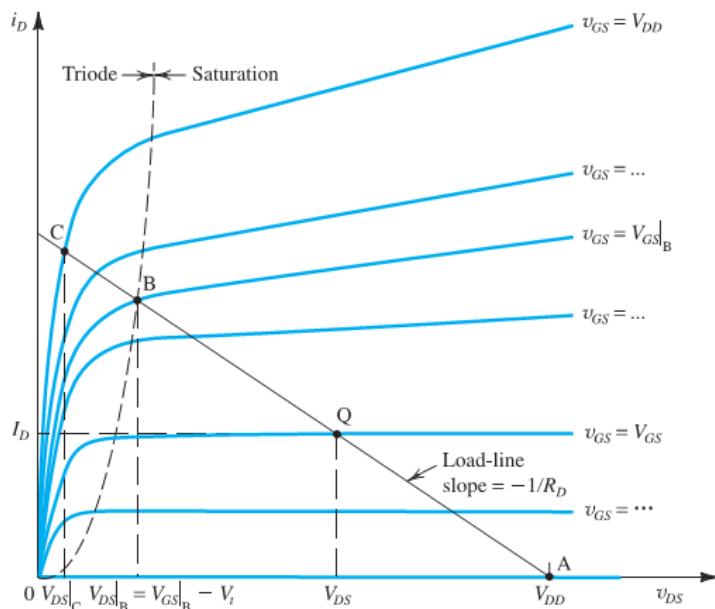
$$\hat{v}_{gs} \leq \frac{0.2}{|A_v| + 1} = 13.3\text{ mV}$$

Kết quả này hơi khác so với kết quả thu được trước đó.



4.4.5 Xác định đặc tuyến truyền đặt bằng cách phân tích đồ thị

Hình 4.23 biểu diễn phương pháp đồ họa để xác định đặc tuyến truyền đặt (VTC) của bộ khuếch đại như trong hình 4.22(a). Mặc dù phân tích đồ họa của các mạch điện transis hiếm khi được sử dụng trong thực tế. Nó rất hữu ích để chúng ta có được cái nhìn sâu sắc hơn vào hoạt động mạch, đặc biệt là trong việc trả lời các câu hỏi về xác định vị trí điểm làm việc Q.

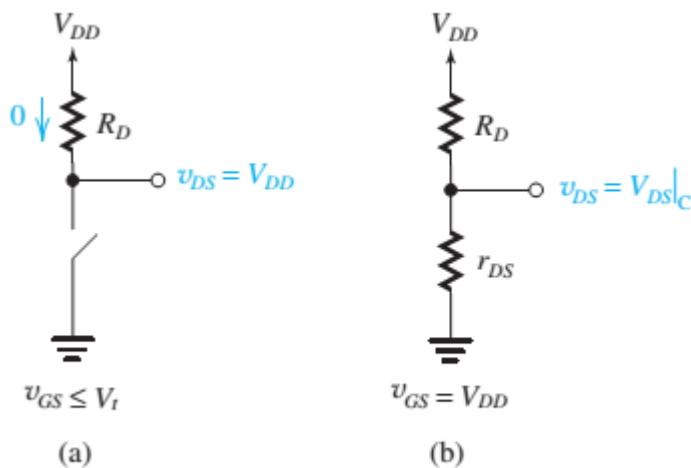


Hình 4.23 Cấu trúc đồ họa để xác định VTC của bộ khuếch đại

Phân tích đồ họa dựa trên quan sát cho mỗi giá trị của v_{GS} , mạch sẽ hoạt động tại giao điểm của đồ thị $i_D - v_{DS}$ tương ứng với giá trị cụ thể của v_{GS} và đường thẳng đại diện cho phương trình $v_{DS} = V_{DD} - i_D R_D$, có thể được viết lại dưới dạng:

$$i_D = \frac{V_{DD}}{R_D} - \frac{1}{R_D} v_{DS} \quad (4.43)$$

Đường thẳng biểu diễn mối quan hệ này được xếp chồng lên các đặc tính $i_D - v_{DS}$ trong Hình 4.23. Nó giao cắt trục ngang tại $v_{DS} = V_{DD}$ và có độ dốc là $-1/R_D$. Vì đường thẳng này biểu diễn ảnh hưởng của trở kháng tải R_D , nó được gọi là **đường tải**. VTC sau đó được xác định từng điểm. Lưu ý rằng chúng ta dán nhãn bốn điểm quan trọng: Điểm A tại vị trí $v_{GS} = V_t$, Điểm Q là điểm mà tại đó transistor làm việc như mạch khuếch đại ($v_{GS} = V_{GS}, v_{DS} = V_{DS}$), Điểm B là ranh giới giữa vùng bão hòa và vùng ba cực, Điểm C nằm sâu trong vùng ba cực, tại đó $v_{GS} = V_{DD}$.



Hình 4.24 Hoạt động của MOSFET như khóa chuyển mạch

Nếu MOSFET được sử dụng như một công tắc, nó sẽ làm việc tại các điểm A và C: Tại A transistor khóa (công tắc mở), và tại C, transistor hoạt động như một r_{DS} có trở kháng thấp và có điện áp rơi nhỏ (công tắc khóa). Điện trở gia tăng tại điểm C còn được gọi là **diện trở đóng**. Hoạt động của MOSFET như một chuyển mạch được minh họa trong hình 4.24.

4.5 Phân cực trong các mạch khuếch đại dùng MOS

Như đã đề cập trong phần trước, bước cần thiết trong thiết kế một mạch khuếch đại MOSFET là thiết lập một điểm làm việc thích hợp cho transistor. Bước này được biết đến như bước phân cực hay thiết kế phân cực. Ở phần này chúng ta sẽ nghiên cứu các phương pháp phân cực cho các mạch khuếch đại rời rác dùng MOS.

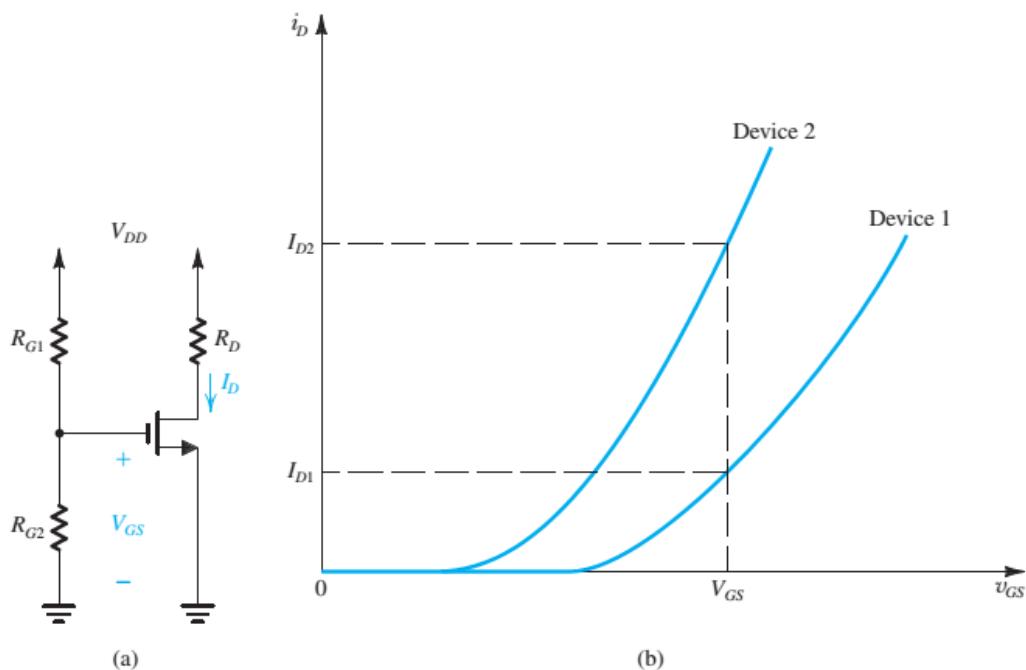
4.5.1 Phân cực cố định V_{GS}

Phương pháp đơn giản nhất để phân cực cho một MOSFET là cố định điện áp V_{GS} của nó tới giá trị mong muốn để cung cấp giá trị I_D yêu cầu. Giá trị điện áp này có thể nhận được từ điện áp nguồn cung cấp V_{DD} thông qua sử dụng một bộ phân áp thích hợp (Hình 4.25). Ngoài ra, nó có thể nhận được từ điện áp tham chiếu khác có trong hệ thống này. Đây không phải là một phương pháp hợp lý để phân cực một MOSFET vì chúng ta nhớ lại rằng:

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_t)^2$$

Trong đó các giá trị điện áp ngưỡng V_t , C_{ox} và tỷ số $\frac{W}{L}$ của transistor thay đổi rất lớn giữa các linh kiện cùng kích thước và cùng loại. Đây chắc chắn là trường hợp của các linh kiện rời rạc, trong đó độ chênh lớn ở các giá trị của các thông số này cũng xảy ra giữa các linh kiện của cùng một nhà sản xuất.

Độ chênh lớn còn có ở các mạch tích hợp, đặc biệt giữa các linh kiện được chế tạo trên các vi mạch khác nhau và tất nhiên là giữa các nhóm vi mạch khác nhau. Hơn nữa, cả V_t và n đều phụ thuộc vào nhiệt độ, với kết quả đó nếu ta cố định giá trị của V_{GS} , thì dòng cực máng I_D trở nên hết sức phụ thuộc vào nhiệt độ.

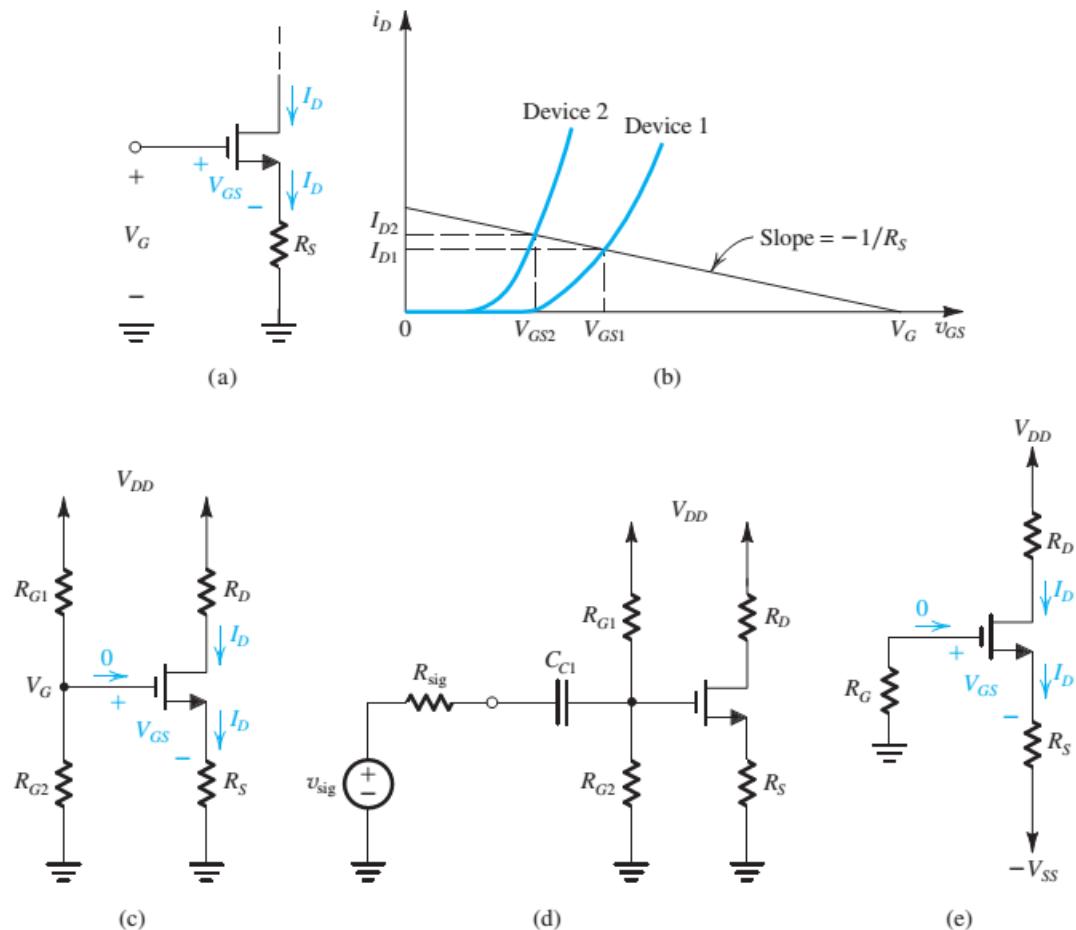


Hình 4.25 Phân cực cho MOSFET bằng cố định điện áp V_{GS} , sử dụng bộ chia áp

Để nhấn mạnh một điều là việc phân cực thông qua cố định giá trị V_{GS} không phải là phương pháp phù hợp, ta thể hiện nó trong hình 4.25. Hai đường cong đặc tính $i_D - v_{GS}$ thể hiện giá trị cực trị trong một nhóm MOSFET cùng loại. Quan sát thấy rằng với giá trị cố định V_{GS} , độ chênh các giá trị của dòng cực máng là đáng kể.

4.5.2 Phân cực bằng cách cố định V_G và nối điện trở ở cực nguồn

Một phương pháp phân cực hoàn hảo cho các mạch MOSFET rời rạc là cố định điện áp cực G, V_G , và nối với một điện trở ở cực nguồn, như được thể hiện trong hình 4.26(a).



Hình 4.26 Phân cực sử dụng phương pháp cố định điện áp cực cổng V_G và trở kháng ở cực nguồn R_S : (a) Sơ đồ cơ bản; (b) Giảm sự thay đổi của I_D ; (c) thực hiện mạch điện sử dụng 1 nguồn cung cấp; (d) Ghép nguồn tín hiệu tới đầu vào sử dụng tụ C_{C1} ; (e) thực hiện mạch điện sử dụng 2 nguồn cung cấp.

Với mạch điện hình 4.26(a) ta có thể viết:

$$V_G = V_{GS} + R_S I_D \quad (4.44)$$

Bây giờ, nếu V_G nhỏ hơn nhiều so với V_{GS} , I_D sẽ được xác định thông qua các giá trị của V_G và R_S . Tuy nhiên, ngay cả nếu V_G không lớn nhiều so với V_{GS} , điện trở R_S vẫn cung cấp một phản hồi âm, giúp ổn định giá trị của dòng phân cực I_D . Để thấy được nó làm việc như thế nào hãy xem xét trường hợp khi I_D tăng với bất kỳ lý do. Phương trình (4.44) thể hiện rằng vì V_G cố định nên V_{GS} sẽ phải giảm. Điều này dẫn đến kết quả là I_D giảm, thay đổi đó ngược với giả thiết ban đầu. Do đó hoạt động của R_S là để giữ cho I_D không đổi. Hoạt động lấy phản hồi âm này của R_S khiến cho nó có tên là **diện trở hồi tiếp âm**.

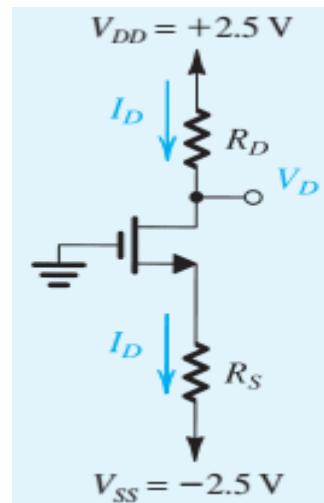
Hình 4.26(b) cung cấp mô tả bằng đồ thị về hiệu quả của đồ thị phân cực. Ở đây ta thể hiện đặc tuyến $i_D - v_{GS}$ cho hai linh kiện MOSFETs. Xếp chồng lên các đặc tuyến linh kiện là đường tải một chiều. Giao điểm của đường tải này với đường cong đặc tính $i_D - v_{GS}$ quy ra các tọa độ (I_D, V_{GS}) của điểm phân cực.

Quan sát thấy rằng so sánh với trường hợp V_{GS} cố định, ở đây sự thay đổi của I_D là nhỏ hơn nhiều. Ngoài ra, lưu ý rằng tính biến thiên giảm khi V_G và R_S lớn (cung cấp một đường tải phân cực dốc ít hơn).

Hai cách thực hiện của sơ đồ phân cực được thể hiện trong hình 4.46(c) và (e). Mạch điện trong hình 4.26(c) sử dụng một nguồn cung cấp V_{DD} và nhận được V_G thông qua một bộ phân áp (R_{G1}, R_{G2}). Vì $I_G = 0$ nên R_{G1} và R_{G2} có thể được chọn rất rộng (trong khoảng $M\Omega$), cho phép MOSFET có trở kháng đầu vào lớn.

Tụ điện C_{C1} ở đây chặn điện áp một chiều và do đó cho tín hiệu v_{sig} tới đầu vào bộ khuếch đại mà không gây ảnh hưởng tới điểm phân cực một chiều của MOSFET. Giá trị của C_{C1} nên được chọn đủ lớn để nó xấp xỉ mạch ngắn mạch ở tất cả các tần số mong muốn. Cuối cùng, chú ý rằng trong mạch điện của Hình 4.26(c) điện trở R_D được chọn lớn nhất có thể để thu được hệ số khuếch đại cao nhưng đủ nhỏ để cho phép biến dạng tín hiệu mong muốn ở cực máng trong khi duy trì MOSFET ở vùng bão hòa tại mọi thời điểm.

Ví dụ 4.4: Thiết kế mạch điện có sơ đồ như hình vẽ: có nghĩa là, xác định các giá trị của R_D và R_S để transistor hoạt động ở $I_D = 0.4$ mA và $V_D = +0.5$ V. NMOS có $V_t = 0.7V$, $\mu_n C_{ox} = 100 \mu A/V^2$, $L = 1 \mu m$, $W = 32 \mu m$. Bỏ qua ảnh hưởng của điều chế chiều dài kênh (tức là, giả sử rằng $\lambda = 0$).



Lời giải:

Để thiết lập điện áp dc +0.5 V tại cổng, chúng ta phải chọn R_D như sau:

$$R_D = \frac{V_{DD} - V_D}{I_D}$$

$$= \frac{2.5 - 0.5}{0.4} = 5 k\Omega$$

Để xác định giá trị cần thiết cho R_S , chúng ta cần phải biết điện áp tại cực nguồn, có thể dễ dàng tìm thấy nếu chúng ta biết V_{GS} . Điều này có thể được xác định từ V_{OV} . Do đó, chúng ta lưu ý rằng vì $V_D = 0.5$ V lớn hơn V_G , transistor NMOS hoạt động trong vùng bão hòa và chúng ta có thể sử dụng biểu thức vùng bão hòa của I_D để xác định giá trị yêu cầu của V_{OV} .

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} V_{OV}^2$$

Sau đó thay $I_D = 0.4$ mA = $400 \mu\text{A}$, $\mu_n C_{ox} = 100 \mu\text{A} / \text{V}^2$ và $W / L = 32/1$:

$$400 = \frac{1}{2} \times 100 \times \frac{32}{1} V_{OV}^2$$

Kết quả là :

$$V_{OV} = 0.5 \text{ V}$$

Do đó:

$$V_{GS} = V_t + V_{OV} = 0.7 + 0.5 = 1.2 \text{ V}$$

Quan sát sơ đồ mạch điện chúng ta thấy rằng do cực gốc nối mát, Do đó, $V_{GS} = V_S - V_S = 1.2V$, dẫn đến $V_S = -1.2V$, và giá trị yêu cầu của R_S có thể được xác định từ :

$$R_S = \frac{V_S - V_{SS}}{I_D}$$

$$R_S = \frac{-1.2 - (-2.5)}{0.4} = 3.25 \text{ k}\Omega$$

4.5.3 Phân cực sử dụng điện trở hồi tiếp D-G

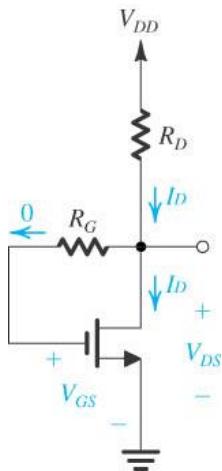
Một cách bố trí phân cực cho mạch rời rạc đơn giản nhưng hiệu quả đó là sử dụng một điện trở hồi tiếp nối giữa cực D và cực G được thể hiện trong hình 4.27. Ở đây điện trở hồi tiếp R_G có giá trị lớn (thường trong khoảng $M\Omega$) cưỡng bức điện áp một chiều ở cực G bằng với điện áp ở cực D (vì $I_G = 0$). Do đó ta có thể viết

$$V_{GS} = V_{DS} = V_{DD} - R_D I_D$$

Biểu thức có thể được viết dưới dạng

$$V_{DD} = V_{GS} + R_D I_D \quad (4.45)$$

Quan sát phương trình này chúng ta thấy rằng: Nếu I_D vì lý do nào đó mà thay đổi, giả sử tăng, thì phương trình (4.45) thể hiện rằng V_{GS} phải giảm. V_{GS} giảm lần lượt khiến cho I_D giảm, thay đổi ngược hướng với những giả thiết ban đầu. Do đó phản hồi âm hay sự suy giảm được cung cấp bởi R_G có tác dụng giữ ổn định giá trị của I_D tới mức có thể.



Hình 4.27 Phân cực MOSFET sử dụng điện trở hồi tiếp giữa cực máng – cỗng R_G lớn.

Mạch điện trong hình 4.27 có thể được sử dụng như một bộ khuếch đại CS nhờ cung cấp tín hiệu điện áp vào tới cực G cùng với một tụ điện ghép. Ta sẽ xem xét mạch khuếch đại CS này trong phần sau.

Ví dụ 5: Sơ đồ mạch điện như hình bên cho thấy một transistor NMOS với các cực cỗng và cực gốc được kết nối với nhau. Tìm mối quan hệ $i - v$ của mạch điện với các tham số của MOSFET $k_n = k'_n (W / L)$ và V_{tn} . Bỏ qua ảnh hưởng của điều chế chiều dài kênh (tức là, $\lambda = 0$).

Lời giải:

Vì $V_D = V_G$ ngụ ý transistor hoạt động ở chế độ bão hòa:

$$i_D = \frac{1}{2} k'_n \frac{W}{L} (V_{GS} - V_{tn})^2$$

Bây giờ, $i = i_D$ và $v = v_{GS}$, do đó:

$$i = \frac{1}{2} k'_n \frac{W}{L} (v - V_{tn})^2$$

Thay $k'_n \left(\frac{W}{L}\right)$ bằng k_n :

$$i = \frac{1}{2} k_n (v - V_{tn})^2$$

4.5.4 Phân cực sử dụng nguồn dòng điện không đổi

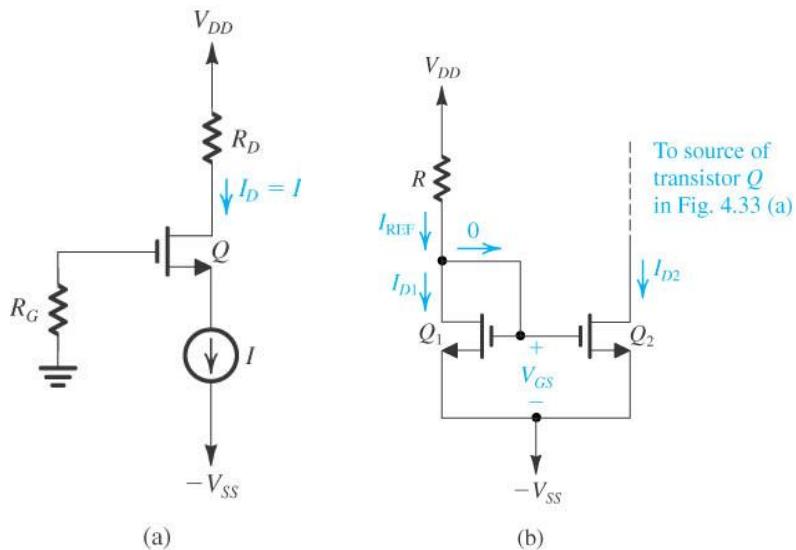
Sơ đồ hiệu quả nhất trong việc phân cực một bộ khuếch đại MOSFET sử dụng một nguồn dòng không đổi. Hình 4.28(a) thể hiện cấu hình của phương pháp này được áp dụng ở MOSFET rời rạc. Ở đây R_G (thường trong khoảng $M\Omega$) thiết lập một điện áp một chiều thích hợp ở cực D để cho phép biên dạng tín hiệu đầu ra mong muốn trong khi chắc chắn rằng transistor luôn tồn tại ở vùng bão hòa.

Một mạch điện cho bô xung nguồn dòng không đổi I được thể hiện trong hình 4.28(b). Trọng tâm của mạch điện là transistor Q_1 , có cực D ngắn mạch với cực G và do đó nó làm việc ở vùng bão hòa.

$$I_{D1} = \frac{1}{2} \kappa' n \left(\frac{W}{L} \right)_1 (V_{GS} - V_t)^2 \quad (4.46)$$

Trong đó ta đã bỏ qua sự điều biến bộ dài kênh (giả thiết $\lambda = 0$). Dòng cực D của Q_1 được cung cấp bởi V_{DD} qua điện trở R . Vì dòng cực G bằng 0,

$$I_D = I_{REF} = \frac{V_{DD} + V_{SS} - V_{GS}}{R} \quad (4.47)$$



Hình 4.28 (a) Phân cực cho MOSFET sử dụng nguồn dòng không đổi I . (b) Sơ đồ thực hiện phương pháp dòng không đổi I sử dụng dòng đối xứng.

Trong đó dòng qua R được xem như được chọn làm dòng tham chiếu của nguồn dòng và được biểu diễn là I_{REF} . Cho trước các giá trị thông số của Q_1 và giá trị mong muốn của là I_{REF} . Phương trình (4.46) và (4.47) được sử dụng để xác định giá trị của R .

Bây giờ đi xem xét transistor Q_2 : nó có là V_{GS} giống với Q_1 ; Do đó nếu ta giả thiết rằng transistor này làm việc ở vùng bão hòa, thì dòng cực máng của nó, hay dòng mong muốn I của nguồn dòng, sẽ là

$$I = I_{D2} = \frac{1}{2} \kappa' n \left(\frac{W}{L} \right)_2 (V_{GS} - V_t)^2 \quad (4.48)$$

Trong đó đã bỏ qua sự điều biến chiều dài kênh. Từ phương trình (4.46) và (4.48), chúng ta có mối liên hệ dòng I với dòng tham chiếu I_{REF} .

$$I = I_{REF} \frac{(W/L)_2}{(W/L)_1}$$

Do đó I được liên hệ với I_{REF} bằng tỷ lệ của tỷ lệ phương diện của Q_1 và Q_2 . Mạch điện này được biết đến là gương dòng điện, rất thông dụng trong việc thiết kế các bộ khuếch đại IC MOS.

4.6 Hoạt động của MOS với tín hiệu nhỏ và các mô hình tương đương

Trong nghiên cứu của chúng ta về hoạt động của các bộ khuếch đại MOSFET, chúng ta biết rằng khuếch đại tuyến tính có thể thu được bằng cách phân cực cho transistor để hoạt động trong khu vực tích cực và bằng cách giữ các tín hiệu đầu vào nhỏ. Trong phần này, chúng ta tiếp tục tìm hiểu hoạt động của MOS với tín hiệu nhỏ và các mô hình tương đương.

4.6.1 Điểm phân cực một chiều DC

Dòng điện phân cực một chiều I_D có thể được tìm thấy bằng cách đặt tín hiệu v_{gs} bằng 0; do đó

$$I_D = \frac{1}{2} \kappa' n \frac{W}{L} (V_{GS} - V_t)^2 \quad (4.49)$$

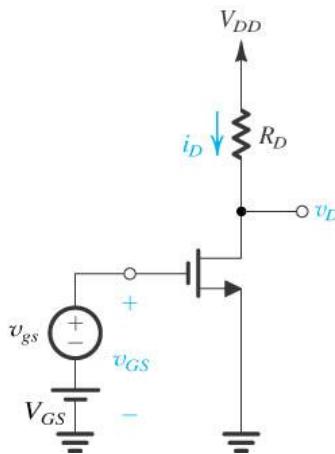
Ở đây chúng ta bỏ qua điều chế chiều dài kênh (tức là, chúng ta giả sử $\lambda = 0$). Điện áp một chiều DC ở cực máng, V_{DS} hoặc đơn giản là V_D (bởi vì S được nối với đầu), sẽ là

$$V_D = V_{DD} - R_D I_D \quad (4.50)$$

Để chắc chắn transistor hoạt động trong vùng bão hòa chúng ta phải có:

$$V_{DS} > V_{OV}$$

Hơn nữa, do tổng điện áp tại cực máng sẽ có một phần tín hiệu xếp chồng vào V_{DS} , V_{DS} sẽ có thể lớn hơn một chút so với V_{OV} để cho phép tín hiệu yêu cầu dao động.



Hình 4.29 Mạch khái niệm sử dụng để nghiên cứu hoạt động của MOSFET như một bộ khuếch đại tín hiệu nhỏ.

4.6.2 Tín hiệu dòng trong cực máng

Tiếp theo ta xem xét trường hợp với tín hiệu đầu vào v_{gs} được đặt vào. Tổng điện áp tức thời từ cổng tới nguồn sẽ là:

$$v_{GS} = V_{GS} + v_{gs} \quad (4.51)$$

Kết quả là tổng dòng điện máng tức thời i_D :

$$\begin{aligned} i_D &= \frac{1}{2} \kappa' n \frac{W}{L} (V_{GS} + v_{gs} - V_t)^2 \\ &= \frac{1}{2} \kappa' n \frac{W}{L} (V_{GS} - V_t)^2 + \kappa' n \frac{W}{L} (V_{GS} - V_t) v_{gs} + \frac{1}{2} \kappa' n \frac{W}{L} v_{gs}^2 \end{aligned} \quad (4.52)$$

Quan sát phương trình (4.52) chúng ta thấy rằng:

- Thành phần thứ nhất bên phia tay phải có thể xác định như dòng điện phân cực một chiều I_D (phương trình 4.49).
- Thành phần thứ hai biểu thị dòng điện tỉ lệ trực tiếp với tín hiệu vào v_{gs} .
- Thành phần thứ 3 biểu thị dòng điện tỷ lệ với bình phương tín hiệu vào. Thành phần cuối cùng là không mong muốn vì chúng biểu thị cho méo phi tuyến. Để giảm bớt thành phần méo phi tuyến, các tín hiệu đầu vào nên được giữ nhỏ, như sau:

$$\frac{1}{2} \kappa' n \frac{W}{L} v_{gs}^2 \ll \kappa' n \frac{W}{L} (V_{GS} - V_t) v_{gs}$$

Kết quả là

$$v_{gs} \ll 2(V_{GS} - V_t) \quad (4.53)$$

Hoặc tương đương:

$$v_{gs} \ll 2V_{OV} \quad (4.54)$$

Ở đây V_{OV} là điện áp quá điều chỉnh mà tại đó transistor đang hoạt động.

Nếu **điều kiện tín hiệu nhỏ được thỏa mãn**, chúng ta có thể bỏ qua thành phần cuối cùng trong phương trình 4.57 và biểu diễn i_D là

$$i_D \approx I_D + i_d \quad (4.55)$$

Ở đây:

$$i_d = \kappa' n \frac{W}{L} (V_{GS} - V_t) v_{gs}$$

Thông số liên qua giữa i_d và v_{gs} là **độ hổ trợ dẫn** của MOSFET g_m :

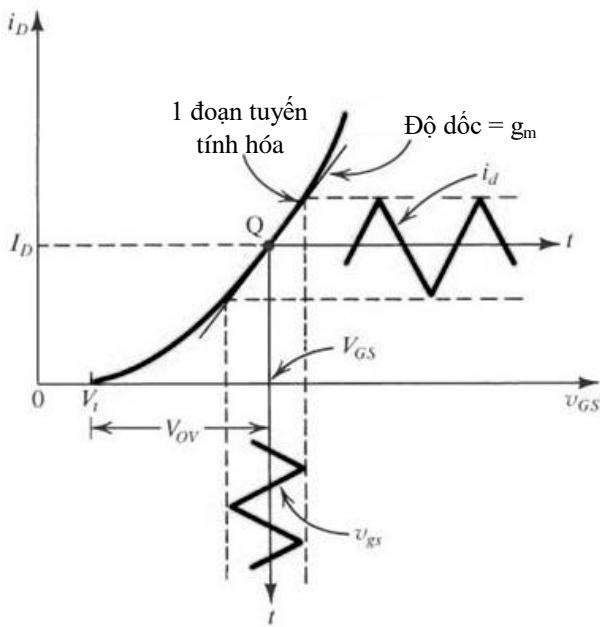
$$g_m \equiv \frac{i_d}{v_{gs}} = \kappa' n \frac{W}{L} (V_{GS} - V_t) \quad (4.56)$$

Hoặc:

$$g_m = \kappa' n \frac{W}{L} V_{OV} = k_n V_{OV} \quad (4.57)$$

Hình 4.30 là đồ thị giải thích hoạt động tín hiệu nhỏ của bộ khuếch đại MOSFET. Chú ý g_m là bằng với độ dốc của đặc tuyến $i_D - v_{GS}$ tại điểm phân cực

$$g_m \equiv \left. \frac{\partial i_D}{\partial v_{GS}} \right|_{v_{GS}=V_{GS}} \quad (4.58)$$



Hình 4.30 Hoạt động tín hiệu nhỏ của bộ khuếch đại MOSFET

Đây là định nghĩa chính thức của g_m , chúng có thể được biểu diễn rõ ràng hơn bằng các phương trình (4.56) và (4.57).

4.6.3 Độ hổ dẫn g_m

Bây giờ chúng ta sẽ chú ý hơn tới độ hổ dẫn của MOSFET được tính bởi phương trình 4.56, được nhắc lại ở đây

$$g_m = \kappa'_n (W/L)(V_{GS} - V_t) = \kappa'_n (W/L)V_{ov} \quad (4.59)$$

Mối quan hệ này chỉ ra rằng g_m là tỷ lệ thuận với tham số độ hổ dẫn k'_n và với tỷ số (W/L) của transistor MOS; do đó để có độ hổ dẫn khá lớn các linh kiện phải ngắn và rộng. Chúng ta cũng thấy rằng với một linh kiện nhất định độ hổ dẫn tỷ lệ với điện áp quá điều chỉnh V_{ov} .

Một biểu thức hữu ích khác của g_m có thể thu được bằng cách thay thế $V_{ov} = \sqrt{2I_D / (\kappa'_n (W/L))}$ vào phương trình (4.59), ta có:

$$g_m = \sqrt{2\kappa'_n} \sqrt{W/L} \sqrt{I_D} \quad (4.60)$$

Biểu thức này có nghĩa là:

1. Đối với một MOSFET, g_m tỷ lệ với căn bậc hai của dòng điện phân cực một chiều.
2. Tại một dòng phân cực, g_m là tỷ lệ với $\sqrt{W/L}$.

Để có được một cái nhìn sâu sắc về giá trị g_m của MOSFET, xem xét trong một mạch tích hợp hoạt động tại dòng điện $I_D = 0.5\text{mA}$ và có $k_n' = 120\mu\text{A}/\text{V}^2$. Phương trình (4.59) cho thấy rằng nếu $W/L = 1$, thì $g_m = 0.35\text{mA/V}$, trong khi linh kiện có $W/L = 100$, thì $g_m = 3.5\text{mA/V}$.

Tuy nhiên một phương trình khác hữu ích để tính g_m của MOSFET, bằng cách thay thế $k_n'(W/L)$ trong phương trình (4.59) bằng $2I_D/(V_{GS} - V_t)^2$.

$$g_m = \frac{2I_D}{V_{GS} - V_t} = \frac{2I_D}{V_{OV}} \quad (4.61)$$

Tóm lại, có ba phương pháp để xác định g_m và có ba thông số thiết kế (W/L), V_{OV} và I_D , bất kỳ hai trong số ba tham số có thể lựa chọn độc lập.

4.6.4 Hệ số khuếch đại điện áp

Quay trở lại mạch điện trong hình 4.29, chúng ta có thể thấy biểu thị tổng điện áp máng tức thời v_{DS} như sau:

$$v_{DS} = V_{DD} - R_D i_D$$

Với điều kiện tín hiệu nhỏ, chúng ta có:

$$v_{DS} = V_{DD} - R_D (I_D + i_d)$$

Chúng có thể viết:

$$v_{DS} = V_{DS} - R_D i_d$$

Do đó thành phần tín hiệu của điện áp máng là

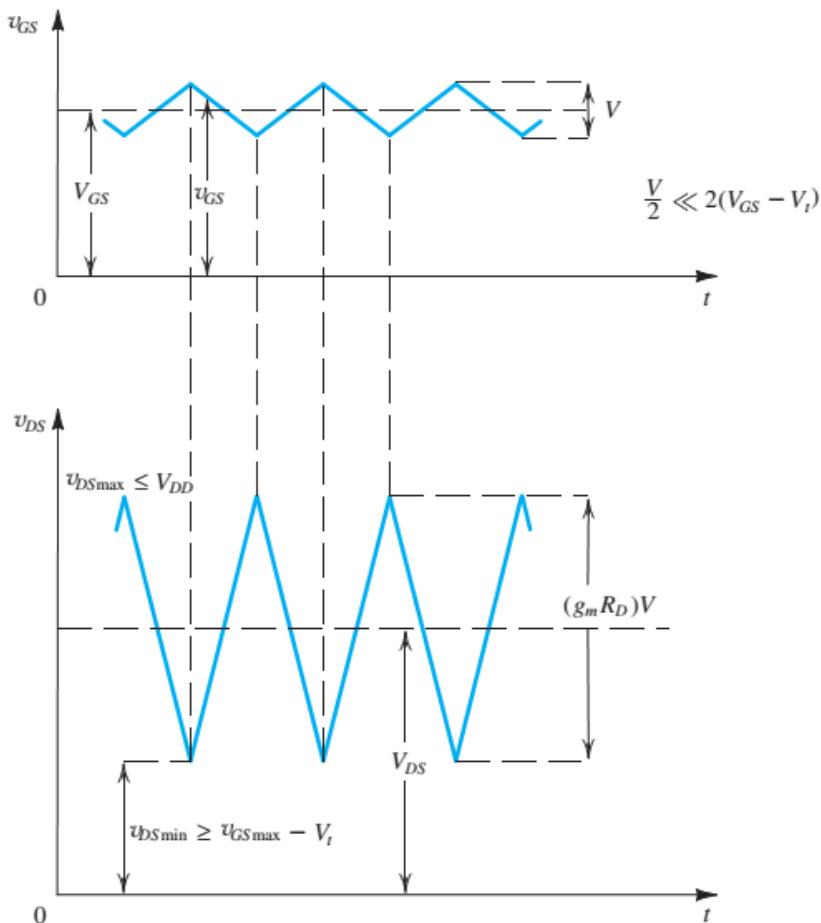
$$v_{ds} = -R_D i_d = -g_m v_{gs} R_D \quad (4.62)$$

Có thể xác định hệ số khuếch đại điện áp bằng phương trình:

$$A_v = \frac{v_{ds}}{v_{gs}} = -g_m R_D \quad (4.63)$$

Dấu trừ (-) trong phương trình 4.63 có nghĩa là tín hiệu đầu ra v_{ds} là lệch pha 180° so với đầu vào v_{gs} . Điều này được minh họa trong hình 4.31 biểu diễn v_{GS} và v_{DS} . Tín hiệu đầu vào được giả sử là một sóng có dạng tam giác với biên độ nhỏ hơn $2(V_{GS} - V_t)$, điều kiện tín hiệu nhỏ trong phương trình (4.53), để chắc chắn rằng chúng hoạt động tuyến tính. Để chúng hoàn toàn làm việc trong vùng bão hòa, giá trị nhỏ nhất của $v_{DS} = V_{GS} - V_t$. Tương tự, giá trị lớn nhất của v_{DS} nên nhỏ hơn V_{DD} ; còn các

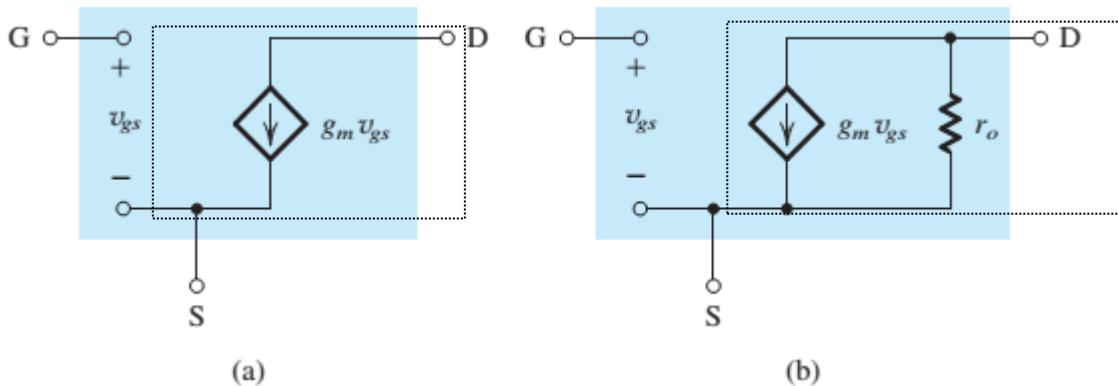
trường hợp khác FET sẽ đi vào vùng ngắt dòng và đỉnh của dạng sóng tín hiệu sẽ bị cắt bớt.



Hình 4.31 Toàn bộ điện áp tức thời v_{GS} và v_{DS} cho mạch điện trong hình 4.29

4.6.5 Mô hình kết hợp dạng π

Từ quan điểm, FET thực hiện như một nguồn dòng được điều khiển bởi điện áp. Nó cho phép một tín hiệu v_{gs} giữa cực cổng và cực nguồn, và cung cấp một dòng điện $g_m v_{gs}$ tại cực máng. Trở kháng đầu vào của nguồn được điều khiển này là rất lớn. Trở kháng đầu ra, ở đây là điện trở nhin vào cực máng cũng lớn. Áp dụng tất cả các điều kiện đó chúng với nhau, chúng ta nhận được mạch trong hình 4.32(a), chúng tương ứng trung cho MOSFET hoạt động với tín hiệu nhỏ và đó là **mô hình tín hiệu nhỏ** hoặc **mạch điện tương đương tín hiệu nhỏ** của MOSFET.



Hình 4.32 Các mô hình tín hiệu nhỏ của MOSFET: (a) Bỏ qua sự phụ thuộc của i_D vào v_{DS} trong vùng bão hòa (ảnh hưởng của điều chế độ dài kênh); và (b) Bao gồm ảnh hưởng của điều chế độ dài kênh bởi trở kháng đầu ra $r_o = |V_A|/I_D$. Các mô hình này áp dụng cho cả NMOS và PMOS.

Trong phân tích mạch khuếch đại MOSFET, transistor có thể được thay thế bởi mô hình mạch tương đương như trong hình 4.32(a). Phần còn lại của mạch giữ không thay đổi ngoại trừ *nguồn điện áp một chiều lý tưởng được thay bằng ngắn mạch*. Các tín hiệu dòng của một nguồn dòng một chiều hằng số sẽ luôn bằng 0, và do đó *nguồn dòng một chiều hằng số lý tưởng* có thể được thay thế bằng *hở mạch* trong mạch điện tương đương tín hiệu nhỏ của bộ khuếch đại. Sau đó mạch đã thay thế tương đương có thể được sử dụng để thực hiện bất kỳ các yêu cầu phân tích tín hiệu, ví dụ như tính toán hệ số khuếch đại điện áp.

Thiếu sót nghiêm trọng nhất của mô hình tín hiệu nhỏ trong hình 4.32(a) là nó giả sử rằng dòng điện máng trong vùng bão hòa là độc lập với điện áp máng. Từ các nghiên cứu của chúng ta về các đặc tính của MOSFET trong vùng bão hòa, chúng ta biết dòng điện máng trong thực tế là phụ thuộc tuyến tính với v_{DS} . Sự phụ thuộc này được mô hình hóa bởi một điện trở r_o giữa cực máng và cực nguồn, giá trị của chúng được tính bởi phương trình:

$$r_o = \frac{|V_A|}{I_D} \quad (4.64)$$

ở đây $V_A = 1/\lambda$ là một thông số của MOSFET được xác định rõ hoặc có thể đo được. V_A tỷ lệ thuận với chiều dài kênh MOSFET. Dòng I_D là giá trị của dòng cực máng một chiều (không tính điều chế chiều dài kênh) được tính như sau:

$$I_D = \frac{1}{2} \kappa' n \frac{W}{L} V_{ov}^2 \quad (4.65)$$

Thông thường, r_o là nằm trong khoảng $10k\Omega$ tới $1000k\Omega$. Sau đó cần phải cải thiện mô hình tín hiệu nhỏ, có thể cải thiện bằng cách nối điện trở r_o song song với nguồn dòng được điều khiển, như trong hình 4.32(b).

Một điều quan trọng cần chú ý các thông số mô hình tín hiệu nhỏ g_m và r_o phụ thuộc vào điểm phân cực một chiều của MOSFET.

Quay trở lại với bộ khuếch đại trong hình 4.29, chúng ta thấy thay thế MOSFET với mô hình tín hiệu nhỏ trong hình 4.32(b), kết quả hệ số khuếch đại điện áp:

$$A_v \equiv \frac{V_d}{V_{gs}} = -g_m (R_D // r_o) \quad (4.68)$$

Do đó điện trở đầu ra r_o làm giảm bớt độ lớn của hệ số khuếch đại điện áp.

Mặc dù phân tích ở trên được thực hiện với transistor NMOS, và mô hình mạch tương đương như trên hình 4.32, áp dụng tốt với loại PMOS, ngoại trừ sử dụng $|V_{GS}|$, $|V_t|$, $|V_{OV}|$ và $|V_A|$, , và thay thế k'_n bằng k'_p .

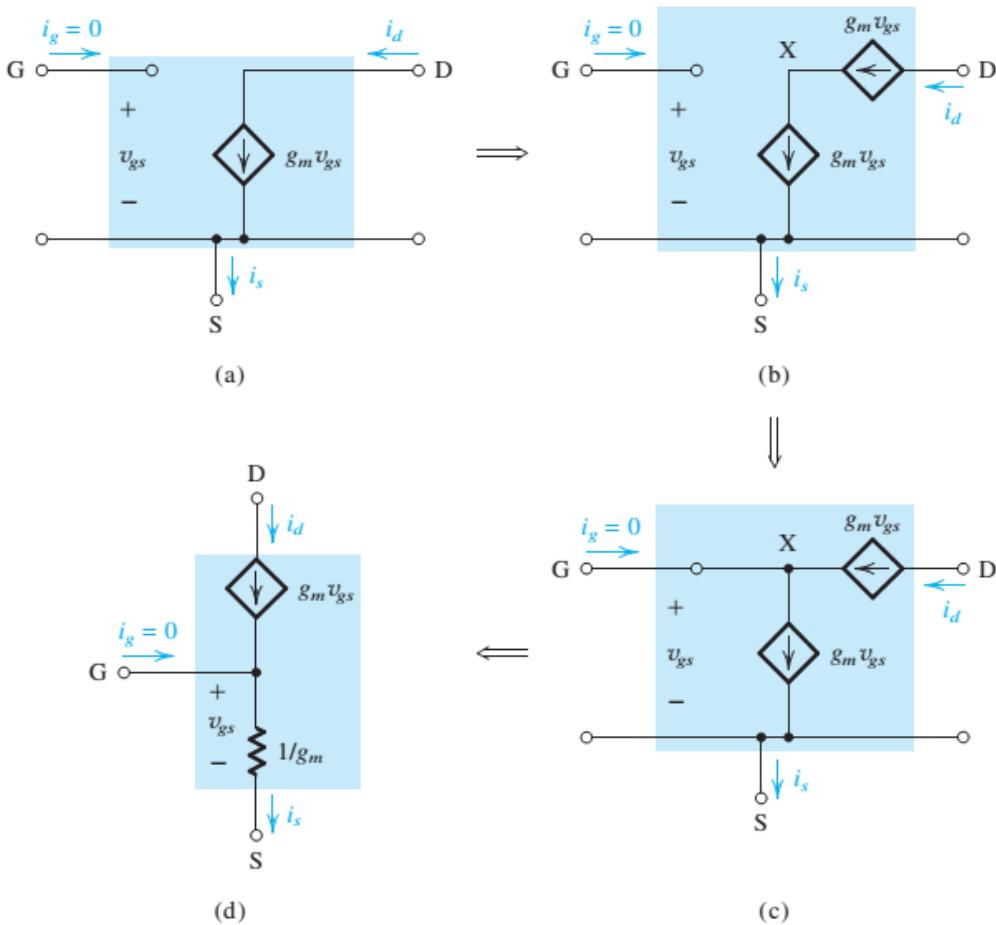
4.6.6 Mô hình dạng T

Mô hình mạch thay thế tương đương cho MOSFET khác là mô hình dạng T được biểu diễn trong hình 4.33. Hình 4.33(a) minh họa một mạch tương đương không có điện trở r_o .

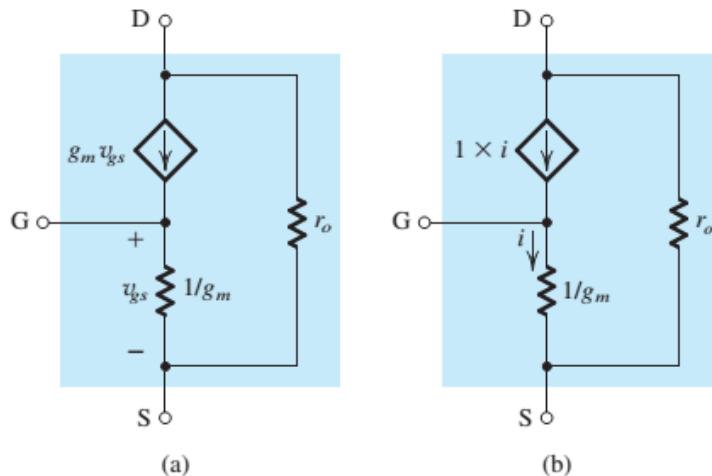
Trong hình 4.33(b) chúng ta thêm một nguồn dòng thứ hai $g_m v_{gs}$ nối tiếp với nguồn được điều khiển ban đầu. Việc thêm một nguồn dòng này rõ ràng không làm thay đổi dòng điện các cực và do đó được phép sử dụng.

Một nút mạng mới được tạo ra, ký hiệu là X được kết nối tới cực G trong hình 4.33(c). Hiển nhiên, dòng điện cực cổng không thay đổi, do đó nó vẫn bằng 0 và do đó kết nối này không làm thay đổi đặc tính đầu cuối. Chúng ta chú ý rằng, chúng ta có một nguồn dòng điều khiển được điều khiển $g_m v_{gs}$ kết nối thông qua điện áp điều khiển của nó v_{gs} .

Chúng ta có thể thay nguồn dòng được điều khiển này bằng một điện trở miễn là điện trở này tạo ra một dòng điện bằng với nguồn. Do đó, giá trị của điện trở là $v_{gs}/g_m v_{gs} = 1/g_m$. Việc thay thế này được minh họa trong hình 4.33(d), Quan sát chúng ta thấy i_g vẫn là bằng 0, $i_d = g_m v_{gs}$, và $i_s = v_{gs}/(1/g_m) = g_m v_{gs}$ tất cả đều giống như mô hình ban đầu trong hình 4.33(a).



Hình 4.33 Phát triển mô hình mạch tương đương T với MOSFET. Để đơn giản hóa, r_o được bỏ qua, nhưng có thể thêm giữa cực D và S trong mô hình (d).



Hình 3.34 (a) Mô hình T của MOSFET bổ sung thêm điện trở r_o giữa D – G. **(b)** Một mô hình thay thế mô hình T

Trong mô hình T phát triển, chúng ta không bao gồm r_o . Nếu muốn, điều này có thể được thực hiện bằng cách kết hợp điện trở r_o trong mạch trong hình 4.39(d) giữa cực G và cực S, như biểu diễn trong hình 4.34(a). Một mô hình tương đương thay thế

mô hình T tại đó nguồn dòng được điều khiển bằng điện áp được thay thế bằng nguồn dòng điều khiển dòng điện như minh họa trong hình 4.34(b).

4.6.7 Tổng kết

Chúng ta có thể kết luận phần này bằng bảng tổng hợp: Bảng 4.3 liệt kê 5 bước để tiến hành phân tích mạch khuếch đại MOSFET. Bảng 4.4 trình bày các tham số tín hiệu nhỏ MOSFET, các mô hình mạch tương đương, cùng với các công thức để tính giá trị tham số của các mô hình.

Bảng 4.3 Các bước tiến hành phân tích mạch khuếch đại MOSFET

1. Loại bỏ nguồn tín hiệu và xác định điểm hoạt động một chiều của transistor.
2. Tính toán các giá trị tham số của mô hình tín hiệu nhỏ.
3. Loại bỏ nguồn một chiều bằng cách thay thế mỗi nguồn áp bởi ngắn mạch và mỗi nguồn dòng bằng hở mạch.
4. Thay thế Transistor bằng một trong các mô hình tương đương tín hiệu nhỏ, sao cho thuận tiện với người dùng và quá trình tính toán.
5. Phân tích kết quả và tính toán các tham số được đòi hỏi (ví dụ: hệ số khuếch đại điện áp, trở kháng đầu vào, trở kháng đầu ra).

Bảng 4.4 Các mô hình mạch tương đương tín hiệu nhỏ của MOSFET

Các tham số tín hiệu nhỏ

Transistor NMOS:

- Độ hysteresis:

$$g_m = \mu_n C_{ox} \frac{W}{L} V_{ov} = \sqrt{2\mu_n C_{ox} \frac{W}{L} I_D} = \frac{2I_D}{V_{ov}}$$

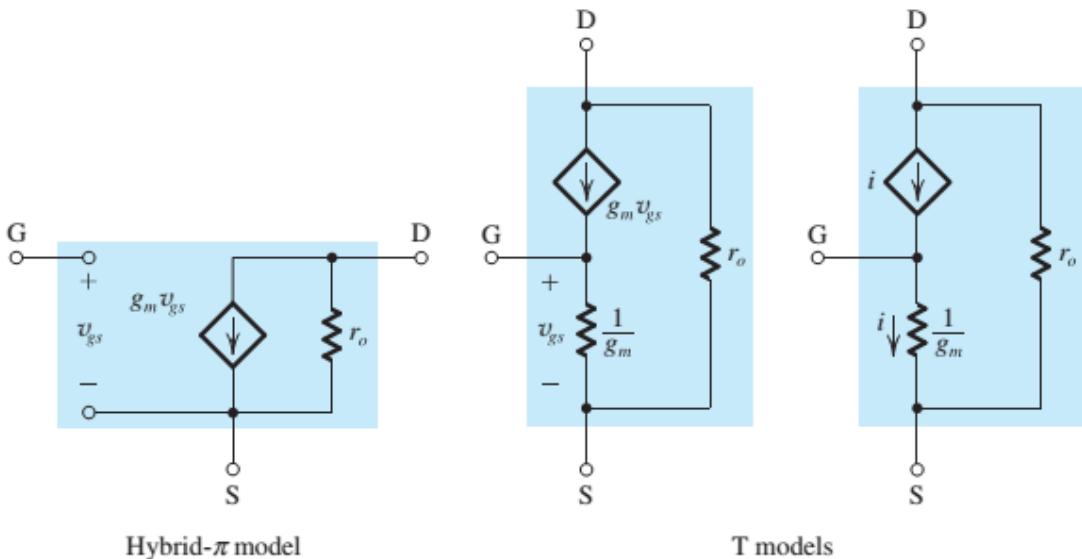
- Điện trở đầu ra:

$$r_o = V_A / I_D = 1 / \lambda I_D$$

Transistor PMOS:

Giống phương trình NMOS ngoại trừ sử dụng $|V_{ov}|, |V_A|, |\lambda|$ và thay μ_n bằng μ_p

Các mô hình thay thế tương đương:



4.7 Các mạch khuếch đại MOS đơn tầng

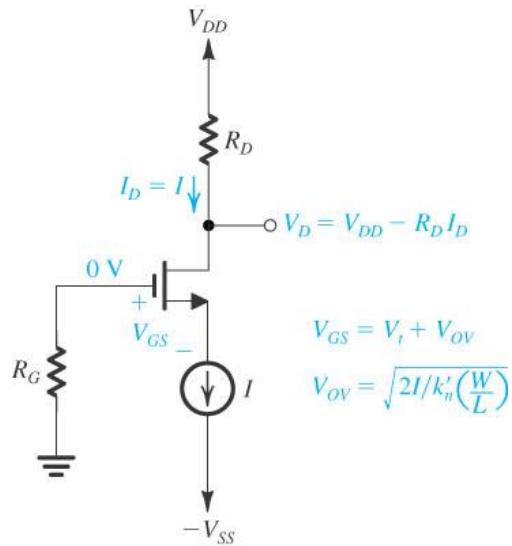
Chúng ta đã nghiên cứu phân cực cho một khuếch đại MOS (phần 4.5) và hoạt động tín hiệu nhỏ, và các mô hình của bộ khuếch đại MOS (phần 4.6), bây giờ chúng ta có thể sẵn sàng xét đến các dạng khác nhau được sử dụng để thiết kế sử dụng bộ khuếch đại MOS. Trong phần này chúng ta sẽ xét với từng bộ khuếch đại rời rạc. Mạch khuếch đại rời rạc có thể được lắp ráp bằng cách sử dụng các transistor, điện trở và tụ điện.

Các mạch khuếch đại được trình bày trong phần này sử dụng các tụ điện lớn (khoảng μF) để ghép nguồn tín hiệu đầu vào của bộ khuếch đại, và để ghép tín hiệu ra của bộ khuếch đại với điện trở tải hoặc đầu vào của bộ khuếch đại khác. Đồng thời, một tụ điện lớn được sử dụng để thiết lập nối đất tín hiệu tại cực mong muốn (ví dụ, ở cực phát của bộ khuếch đại CE).

Trong các mạch rời rạc nguồn MOSFET thường được kết nối tới phần nền, hiệu ứng nền sẽ không được tính đến. Do đó, trong phần này chúng ta sẽ không quan tâm đến hiệu ứng nền trong các tính toán. Cũng vậy, trong một số mạch chúng ta sẽ bỏ qua r_o để làm cho việc phân tích đơn giản và tập chung sự chú ý của chúng ta vào các tính năng nổi bật của bộ khuếch đại.

4.7.1 Cấu trúc cơ bản

Hình 4.35 vẽ một bộ khuếch đại cơ bản chúng ta sẽ sử dụng với các trở kháng có giá trị khác nhau của các mạch khuếch đại MOS rời rạc. Trong các sơ đồ khác nhau để phân cực cho các bộ khuếch đại MOS rời rạc (phần 4.5) để hiệu quả và tính đơn giản chúng ta sử dụng phân áp bằng dòng điện không đổi. Hình 4.42 biểu diễn một dòng một chiều và điện áp một chiều tại các nút khác nhau.



Hình 4.35 Cấu trúc cơ bản của mạch sử dụng để nhận ra cấu hình khuếch đại MOS một tầng.

4.7.2 Đặc trưng cơ bản của các bộ khuếch đại dùng MOS

Trước khi cung ta bắt đầu nghiên cứu về các mạch khuếch đại MOS, chúng ta xem xét các đặc tính của mạch khuếch đại như một khối chức năng.

Hình 4.36(a) hiển thị bộ khuếch đại được cấp nguồn tín hiệu có điện áp hở mạch hở v_{sing} và điện trở R_{sing} . Đây có thể là các thông số của một nguồn tín hiệu thực tế, hoặc trong bộ khuếch đại ghép tầng. Bộ khuếch đại được nối với tải R_L ở đầu ra. Ở đây, R_L có thể là tải thực tế hoặc trở kháng đầu vào của một tầng khuếch đại trong bộ khuếch đại ghép tầng.

Hình 4.36 (b) cho thấy mạch khuếch đại với khối khuếch đại được thay thế bằng sơ đồ tương đương. Trở kháng đầu vào R_{in} đại diện cho ảnh hưởng tải của đầu vào bộ khuếch đại lên nguồn tín hiệu.

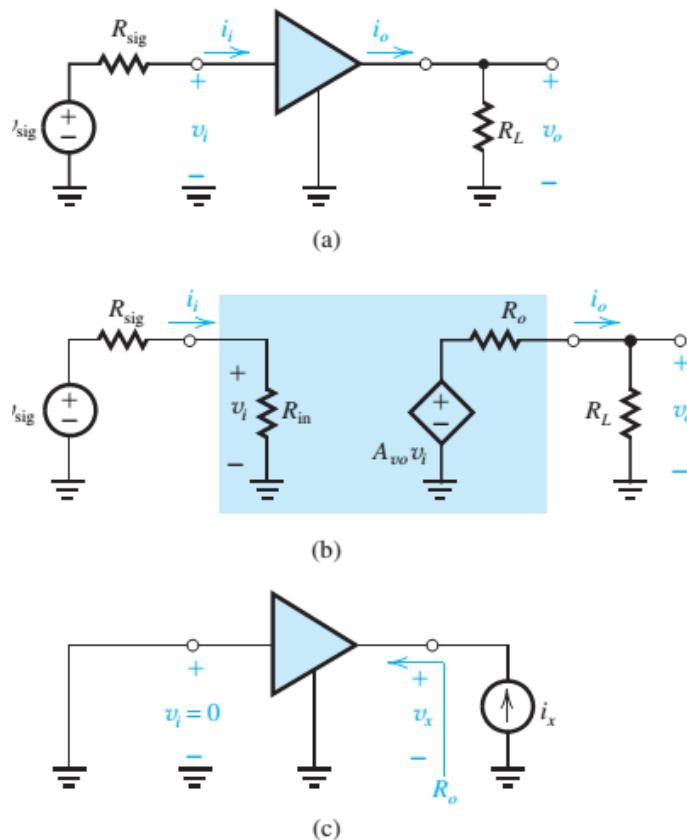
$$R_{in} = \frac{V_i}{I_i}$$

Và cùng với trở kháng R_{sing} tạo thành một bộ phân áp làm giảm v_{sing} đến giá trị v_i xuất hiện ở đầu vào bộ khuếch đại:

$$v_i = \frac{R_{in}}{R_{in} + R_{sing}} v_{sing}$$

(4.69)

Hầu hết các mạch khuếch đại được nghiên cứu trong phần này đều là đơn tầng. Nghĩa là, chúng không có phản hồi nội bộ, và do đó R_{in} sẽ độc lập với R_L . Tuy nhiên, nhìn chung R_{in} có thể phụ thuộc vào tải R_L .



Hình 4.36 Các đặc trưng cơ bản của bộ khuếch đại dùng MOS

Tham số thứ hai trong việc mô tả đặc trưng của bộ khuếch đại là hệ số khuếch đại điện áp hở mạch A_{vo} được định nghĩa là:

$$A_{vo} = \left. \frac{v_o}{v_i} \right|_{R_L=\infty}$$

Tham số thứ ba và cuối cùng là trở kháng đầu ra R_o . Quan sát hình 4.36(b) R_o là trở kháng nhin từ đầu ra của bộ khuếch đại đầu ra với v_i đặt bằng không. Vì vậy, R_o có thể được xác định, như được chỉ ra trong hình 4.36 (c) với:

$$R_O = \frac{v_x}{i_x}$$

Vì R_O được xác định với $v_i = 0$, giá trị của R_O không phụ thuộc vào R_{sing} .

Nguồn dòng được điều khiển $A_{vo} v_i$ và trở kháng đầu ra R_O đại diện cho Th'evenin của mạch khuếch đại ở đầu ra, và điện áp đầu ra v_o có thể được tìm thấy từ:

$$v_0 = \frac{R_L}{R_L + R_0} A_{vo} v_i$$

(4.70)

Do đó **hệ số khuếch đại vòng kín của bộ khuếch đại**, A_v :

$$A_v = \frac{v_0}{v_i} = A_{vo} \frac{R_L}{R_L + R_0}$$

(4.71)

Và **hệ số khuếch đại toàn bộ** mạch điện G_v :

$$G_v = \frac{v_0}{v_{sing}}$$

Có thể được xác định bằng cách kết hợp công thức giữa (4.69) và (4.71):

$$G_v = \frac{R_{in}}{R_{in} + R_{sing}} A_{vo} \frac{R_L}{R_L + R_0} \quad (4.72)$$

4.7.3 Mạch khuếch đại nguồn chung (CS)

Hình 4.37(a) cho thấy một bộ khuếch đại nguồn chung thông thường (bỏ qua phần phân cực) với nguồn tín hiệu v_{sing} có một trở kháng nguồn R_{sing} . Chúng ta phân tích mạch này để xác định R_{in} , A_{vo} , và R_O . Với mục đích này, chúng ta giả sử rằng R_D là một phần của bộ khuếch đại; Do đó nếu một tải R_L được kết nối với đầu ra của bộ khuếch đại, R_L song song với R_D .

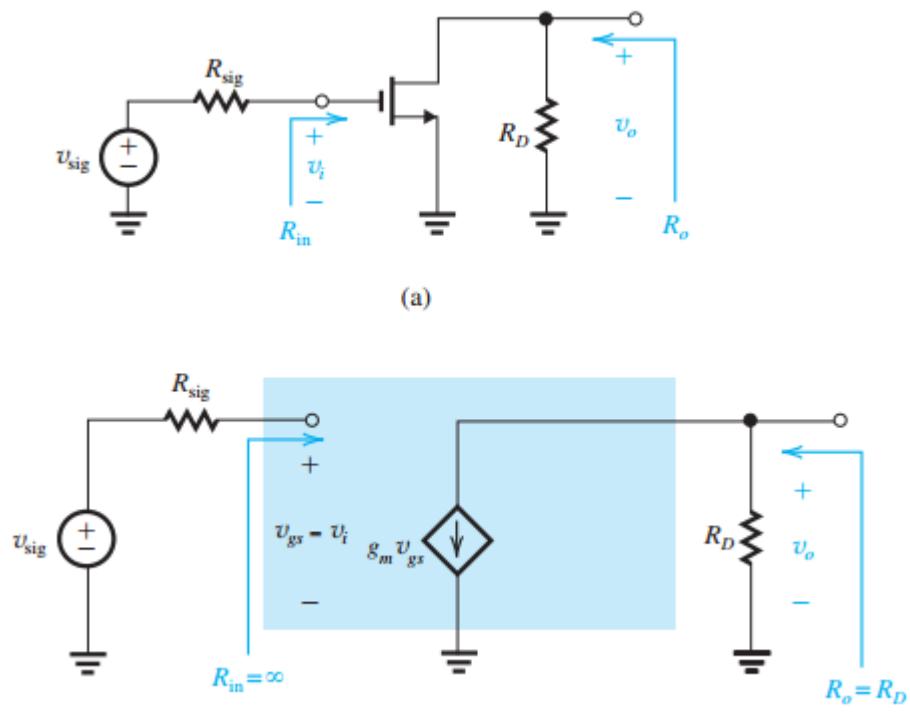
Thay thế MOSFET bằng mô π (không có r_0), ta có được mạch tương đương của bộ khuếch đại CS trong hình 4.37(b), chúng ta có giá trị các tham số của mạch điện:

$$R_{in} = \infty \quad (4.73)$$

$$v_i = v_{sing}$$

$$v_{gs} = v_i$$

$$v_0 = g_m v_{gs} R_D$$



Hình 4.37 BỘ khuếch đại nguồn chung CS

Như vậy:

$$A_{vo} = \frac{v_0}{v_i} = -g_m R_D \quad (4.74)$$

$$R_O = R_D \quad (4.75)$$

Nếu điện trở tải R_L được kết nối với R_D , khi đó hệ số khuếch đại điện áp A_v :

$$A_v = A_{vo} \frac{R_L}{R_L + R_D} \quad (4.76)$$

Hoặc

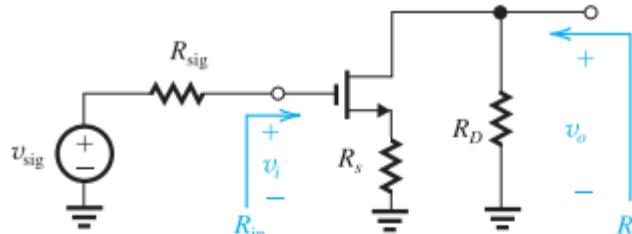
$$A_v = -g_m (R_D // R_L) \quad (4.77)$$

Cuối cùng, vì $R_{in} = \infty$ và do đó $v_i = v_{sing}$, **hệ số khuếch đại toàn bộ mạch điện** G_v bằng với A_v

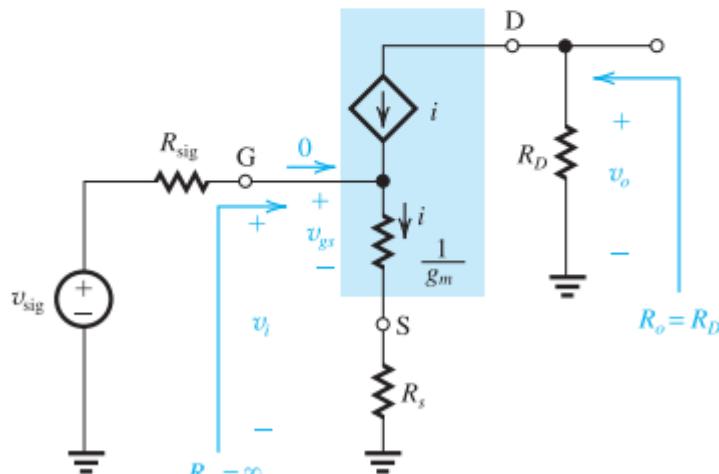
$$G_v = \frac{v_0}{v_{sing}} = -g_m (R_D // R_L) \quad (4.78)$$

4.7.4 Mạch khuếch đại nguồn chung (CS) có thêm điện trở nguồn R_s

Hình 4.38(a) cho thấy một bộ khuếch đại nguồn chung (CS) với một điện trở R_s được mắc với cực nguồn. Mạch tương đương tín hiệu nhỏ tương ứng được hiển thị trong hình 4.38(b).



(a)



(b)

Hình 4.38 Bộ khuếch đại CS có nguồn điện trở R_s : (a) mạch điện không biểu thị phân cực; (b) Mạch điện tương đương hình T của nó.

Trong hình 4.38(b) sử dụng mô hình T cho MOSFET. Mô hình T được sử dụng ưu tiên cho mô hình lai hình π vì nó làm cho việc trong trường hợp này đơn giản hơn. Nói chung, *bất cứ khi nào một điện trở được nối vào đầu cực nguồn*, mô hình T được ưu tiên hơn. Trở kháng nguồn khi đó là điện trở R_s mắc nối tiếp với điện trở củ mô hình $1/g_m$.

Quan sát hình 4.38(b) chúng ta thấy rằng, trở kháng đầu vào $R_{in} = \infty$ và do đó $v_i = v_{sing}$. Không giống bộ khuếch đại CS, tuy nhiên, ở đây chỉ một phần của v_i xuất hiện giữa các cực công và cực nguồn như v_{gs} . Bộ phân áp bao gồm $1/g_m$ và R_s , xuất hiện trên đầu vào bộ khuếch đại, có thể được sử dụng để xác định v_{gs} như sau:

$$v_{gs} = v_i \frac{1/g_m}{1/g_m + R_s} = \frac{v_i}{1+g_m R_s} \quad (4.79)$$

Như vậy chúng ta có thể sử dụng giá trị của R_s để kiểm soát độ lớn của tín hiệu v_{gs} và do đó đảm bảo rằng v_{gs} không quá lớn và gây ra biến dạng phi tuyến không thể chấp nhận. Đây là lợi ích điện trở R_s . Cơ chế mà R_s tạo ra được biết như là *phản hồi âm*.

Để xem xét tính chất phản hồi âm của R_s , chúng ta quan sát hình 4.38(a). Nếu với v_{sing} và do đó v_i không đổi, dòng điện cực máng tăng bởi một số lý do, dòng điện cực nguồn cũng sẽ tăng lên, dẫn đến sự gia tăng điện áp trên R_s . Do đó điện áp cực nguồn tăng lên và điện áp v_{gs} giảm. Hiệu ứng này gây ra dòng điện cực máng giảm xuống, chống lại thay đổi giả định ban đầu, một dấu hiệu biểu thị mạch có phản hồi âm.

Điện áp đầu ra v_o thu được bằng cách nhân dòng được điều khiển nguồn i với điện trở R_D

$$v_o = -iR_D$$

Dòng điện i có thể được tìm thấy bằng cách:

$$i = \frac{v_i}{1/g_m + R_s} = \left(\frac{g_m}{1+g_m R_s} \right) v_i \quad (4.80)$$

Do đó, hệ số khuếch đại điện áp vòng hở A_{vo} thu được:

$$A_{vo} = \frac{v_o}{v_i} = -\frac{g_m R_D}{1+g_m R_s} \quad (4.81)$$

Hoặc:

$$A_{vo} = -\frac{R_D}{1/g_m + R_s} \quad (4.82)$$

Biểu thức hệ số khuếch đại trong phương trình (4.82) có một giải thích mạnh mẽ và sâu sắc: Điện áp đạt được giữa cực cửa và cực máng bằng tỷ lệ của tổng trở kháng cực máng (R_D) trên tổng trở cực nguồn ($1/g_m + R_s$)

$$\text{Hệ số khuếch đại} = -\frac{\text{tổng điện trở cực máng}}{\text{tổng điện trở cực nguồn}} \quad (4.83)$$

Đây là biểu thức tổng quát. Ví dụ, thiết lập $R_s = 0$ trong công thức (4.82) ta có hệ số khuếch A_{vo} của bộ khuếch đại CS.

Cuối cùng, chúng ta xem xét điện trở tải R_L được nối ở đầu ra. Có thể đạt được hệ số khuếch đại A_v bằng cách thay thế điện trở R_D trong phương trình (4.81) hoặc (4.82) bằng $R_D // R_L$. Do đó

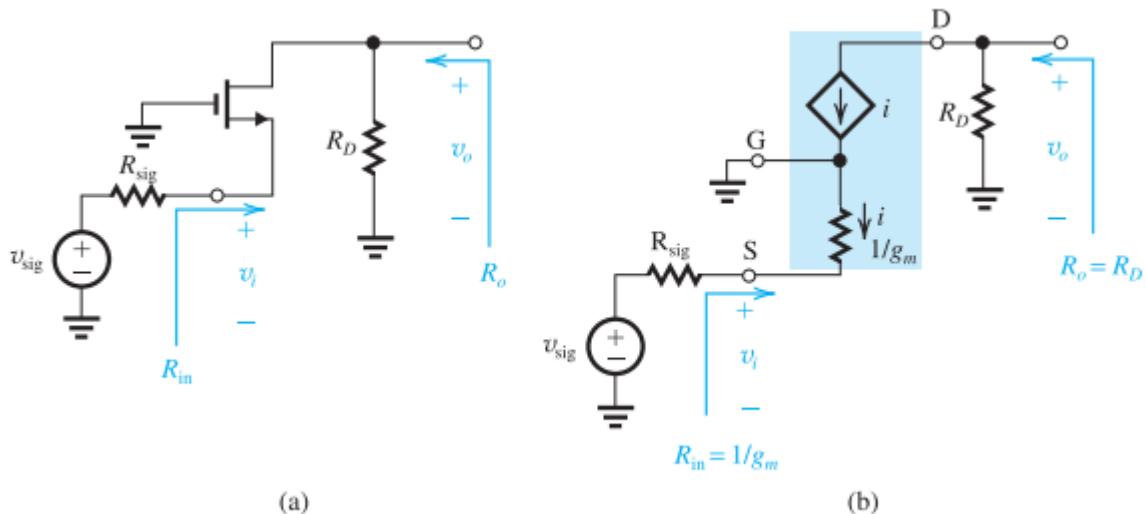
$$A_v = -\frac{g_m(R_D//R_L)}{1+g_m R_s} \quad 4)$$

Hoặc:

$$A_v = - \frac{R_D / R_L}{1/g_m + R_S} \quad (4.85)$$

4.7.5 Mạch khuếch đại công chung (CG)

Hình 4.39 (a) cho thấy mạch khuếch đại cực công chung (CG) không biếu thị phân cực. Bộ khuếch đại được đưa vào với một nguồn tín hiệu đặc trưng bởi v_{sig} và R_{sig} . Vì R_{sig} nối tiếp với cực nguồn, để thuận lợi chúng ta sử dụng mô hình T thay thế tương đương cho MOSFET. Chúng ta thu được mạch tương đương bộ khuếch đại thể hiện trong hình 4.39 (b).



Hình 4.39 (a) Khuếch đại cực công chung (CG) không biếu thị phân cực. (b) mạch tương đương của bộ khuếch đại CG với MOSFET thay thế bằng mô hình T.

Quan sát mạch tương đương của hình 4.39(b), chúng ta thấy rằng trở kháng đầu vào

$$R_{in} = \frac{1}{g_m} \quad (4.86)$$

Thông thường $1/g_m$ có giá trị vài trăm Ω ; Do đó bộ khuếch đại CG có trở kháng đầu vào thấp.

Để xác định được hệ số khuếch đại điện áp vòng hở A_{vo} , chúng ta viết biểu thức điện áp tại nút D:

$$v_o = i R_D$$

Và nguồn dòng i từ:

$$i = \frac{v_i}{1/g_m}$$

Để có được:

$$A_{vo} = \frac{v_o}{v_i} = g_m R_D \quad (4.87)$$

Ngoại trừ dấu, chúng ta thấy rằng hệ số khuếch đại điện áp vòng hở A_{vo} giống với bộ khuếch đại CS.

Điện trở đầu ra của mạch CG:

$$R_o = R_D \quad (4.88)$$

Giống như trong trường hợp bộ khuếch đại CS.

Mặc dù bộ khuếch đại CG thích hợp có cùng độ lớn hệ số khuếch đại vòng hở như bộ khuếch đại CS. Tuy nhiên hệ số khuếch đại toàn bộ G_v lại không như vậy. Nguyên nhân là do điện trở đầu vào thấp của bộ khuếch đại CG có thể làm cho tín hiệu đầu vào bị suy yếu nghiêm trọng. Đặc biệt:

$$\frac{v_i}{v_{sing}} = \frac{R_{in}}{R_{in} + R_{sing}} = \frac{1/g_m}{1/g_m + R_{sing}} \quad (4.89)$$

Từ đó chúng ta thấy rằng hệ số truyền dẫn tín hiệu v_i/v_{sing} có thể rất nhỏ và làm cho điện áp tổng thể G_v có thể nhỏ tương ứng. Cụ thể, với một điện trở R_L kết nối ở đầu ra:

$$G_v = \frac{1/g_m}{1/g_m + R_{sing}} [g_m(R_D // R_L)]$$

Như vậy,

$$G_v = \frac{R_D // R_L}{1/g_m + R_{sing}} \quad (4.80)$$

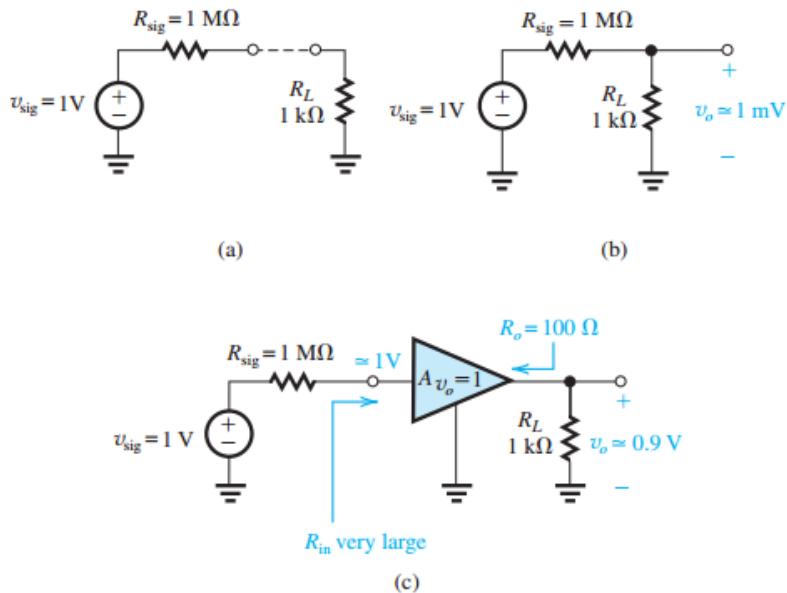
Quan sát chúng ta thấy rằng hệ số khuếch đại điện áp tổng thể chỉ đơn giản là tỷ lệ của tổng trở trong mạch cực máng trên tổng trở trong mạch nguồn. Nếu R_{sing} có cùng bậc như R_D và R_L , G_v sẽ rất nhỏ.

4.7.6 Mạch khuếch đại máng chung (CD) hay mạch lặp nguồn

Bộ khuếch đại transistor cơ bản cuối cùng là bộ khuếch đại thông dụng máng chung, một mạch quan trọng mà được ứng dụng trong việc thiết kế cả bộ khuếch đại tín hiệu nhỏ và các bộ khuếch đại cần thiết để xử lý các tín hiệu lớn và cung cấp một lượng đáng kể tín hiệu đến tải. Bộ khuếch đại máng chung thường được gọi là *mạch lặp nguồn* (*source follower*).

Trước khi bắt tay vào việc phân tích mạch khuếch đại máng chung hay mạch lặp, chúng ta xem xét một trong những ứng dụng phổ biến hơn của chúng. Xem xét tình huống được mô tả trong hình 4.40(a). Một nguồn tín hiệu cung cấp một tín hiệu có biên độ 1V với trở kháng nội $1M\Omega$. Được kết nối với điện trở tải $1k\Omega$. Kết nối nguồn

với tải trực tiếp như trong hình 4.40(b) sẽ dẫn đến suy giảm nghiêm trọng của tín hiệu; Tín hiệu xuất hiện trên tải sẽ chỉ là $1/(1000+1)$ của tín hiệu đầu vào, hoặc khoảng 1 mV.



Hình 4.40 Minh họa sự cần thiết cho bộ khuếch đại bộ đệm

Sơ đồ tương đương được đề xuất ở hình 4.40(c). Ở đây ta đã đặt một bộ khuếch đại giữa nguồn và tải. Tuy nhiên, không giống như bộ khuếch đại mà ta đã nghiên cứu trong chương này, nó có hệ số khuếch đại chỉ là 1. Điều này là do tín hiệu của chúng ta đã có độ lớn và chúng ta không cần phải tăng biên độ của nó. Tuy nhiên, bộ khuếch đại của ta có điện trở đầu vào rất cao, do đó hầu như tất cả tín hiệu v_{sig} (tức là, 1V) sẽ xuất hiện ở đầu vào của bộ khuếch đại. Bộ khuếch đại có trờ kháng đầu ra thấp (100Ω), 90% của tín hiệu này (0.9 V) sẽ xuất hiện ở đầu ra, rõ ràng là một cải tiến rất đáng kể đối với trường hợp mà không có bộ khuếch đại. Mạch điện như vậy gọi là mạch lặp hay mạch khuếch đại đệm.

Hình 4.41(a) cho thấy bộ khuếch đại lặp nguồn, không hiển thị phân cực. Bộ khuếch đại được đưa vào với một nguồn tín hiệu đặc trưng bởi v_{sig} và R_{sig} và có điện trở tải R_L được nối giữa cực nguồn và đất.

Khi MOSFET có trờ kháng R_L được kết nối với cực nguồn, để thuận tiện nhất để sử dụng mô hình T, như trong hình 4.41(b). Từ mạch điện trong hình 4.41(b), chúng ta có:

$$R_{in} = \infty$$

Và hệ số khuếch đại A_{v_o} :

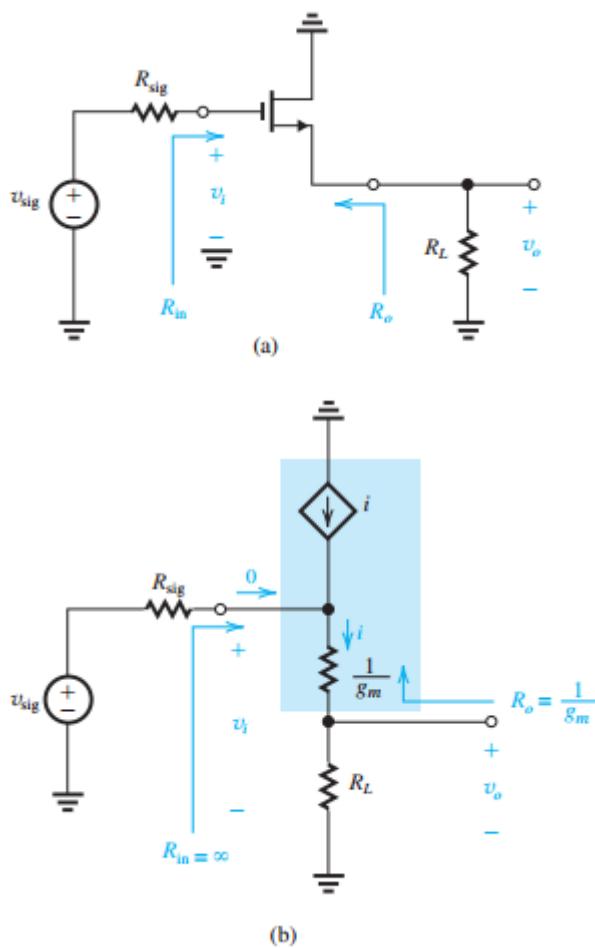
$$A_v = \frac{v_o}{v_i} = \frac{R_L}{R_L + 1/g_m} \quad (4.81)$$

Thiết lập $R_{in} = \infty$ chúng ta có được

$$A_{vo} = 1 \quad (4.82)$$

Điện trở đầu ra R_o được tìm thấy bằng cách đặt $v_i = 0$ (tức là nối đất cực cổng). Nay nhìn từ đầu ra, không bao gồm R_L :

$$R_o = 1/g_m \quad (4.83)$$



Hình 7.42 (a) Bộ khuếch đại mang chung hay lặp nguồn, bỏ qua mạch phân cực. (b) tương đương bằng cách thay thế MOSFET với mô hình T của nó.

Hệ số khuếch đại vòng hở là một, cùng với điện trở đầu ra R_o , có thể được sử dụng để tìm A_v khi nối tải R_L . Kết quả là được biểu thức (4.81).

Cuối cùng, vì $R_{in} = \infty$, $v_i = v_{sig}$, và đạt được hệ số khuếch đại điện áp toàn bộ là:

$$G_v = A_v = \frac{R_L}{R_L + 1/g_m} \quad (4.84)$$

Như vậy G_v sẽ thấp hơn 1. Tuy nhiên, vì $1/g_m$ thường thấp, hệ số khuếch đại xấp xỉ bằng 1. Hệ số khuếch đại điện áp vòng hở đạt được trong công thức (4.82) chỉ ra rằng điện áp tại cực nguồn sẽ lặp lại điện áp đầu vào, do đó nó có tên là *mạch lặp nguồn*.

Kết luận, bộ khuếch đại lặp nguồn có trở kháng đầu vào rất cao, trở kháng đầu ra tương đối thấp ($1/g_m$), và hệ số khuếch đại vòng hở gần bằng 1. Do đó bộ khuếch đại lặp nguồn lý tưởng được sử dụng làm bộ khuếch đại đệm. Bộ khuếch đại lặp nguồn cũng được sử dụng như là đầu ra (tức là cuối cùng) trong bộ khuếch đại nhiều tầng, với chức năng của nó là trang bị cho bộ khuếch đại tổng thể với trở kháng đầu ra thấp, do đó cho phép cung cấp dòng điện tải tương đối lớn mà không bị suy hao.

4.7.7 Tổng kết

Để dễ dàng tham khảo, chúng ta trình bày trong bảng 4.5 các công thức để xác định các tham số đặc trưng cho các cấu hình khác nhau của MOSFET tương ứng.

Bảng 4.5 Các đặc trưng của các bộ khuếch đại MOSFET

Amplifier type	Characteristics ^a				
	R_{in}	A_{vo}	R_o	A_v	G_v
Common source (Fig. 7.35)	∞	$-g_m R_D$	R_D	$-g_m (R_D \parallel R_L)$	$-g_m (R_D \parallel R_L)$
Common source with R_s (Fig. 7.37)	∞	$-\frac{g_m R_D}{1 + g_m R_s}$	R_D	$\frac{-g_m (R_D \parallel R_L)}{1 + g_m R_s}$ $-\frac{R_D \parallel R_L}{1/g_m + R_s}$	$-\frac{g_m (R_D \parallel R_L)}{1 + g_m R_s}$ $-\frac{R_D \parallel R_L}{1/g_m + R_s}$
Common gate (Fig. 7.39)	$\frac{1}{g_m}$	$g_m R_D$	R_D	$g_m (R_D \parallel R_L)$	$\frac{R_D \parallel R_L}{R_{sig} + 1/g_m}$
Source follower (Fig. 7.42)	∞	1	$\frac{1}{g_m}$	$\frac{R_L}{R_L + 1/g_m}$	$\frac{R_L}{R_L + 1/g_m}$

^a For the interpretation of R_{in} , A_{vo} , and R_o , refer to Fig. 7.34(b).

CHƯƠNG 5
TRANSISTOR HAI TIẾP GIÁP (BJTs)

Giới thiệu

5.1 Cấu trúc vật lý, nguyên lý hoạt động của BJT

5.2 Đặc tuyến V-A của BJT

5.3 Các mạch BJT ở chế độ một chiều

5.4 BJT hoạt động ở chế độ khuếch đại và chế độ chuyển mạch

5.5 Phân cực trong các mạch khuếch đại dùng BJT

5.6 Hoạt động của BJT với tín hiệu nhỏ và các mô hình tương đương

5.7 Các mạch khuếch đại BJT đơn tầng

Tổng kết

Bài tập

GIỚI THIỆU

Trong chương này chúng ta sẽ đi nghiên cứu một linh kiện bán dẫn ba cực quan trọng khác, đó là transistor hai tiếp giáp hay còn gọi là transistor lưỡng cực (Bipolar Junction Transistor - BJT).

So với các linh kiện 2 cực như diode đã được nghiên cứu trong chương 3, các linh kiện bán dẫn 3 cực có nhiều ích lợi hơn bởi vì chúng có thể được sử dụng trong rất nhiều các ứng dụng, từ khuếch đại tín hiệu đến thiết kế mạch logic số và các mạch nhó. Nguyên lý cơ bản là sử dụng điện áp giữa hai cực để kiểm soát dòng điện chạy trong cực thứ ba. Bằng cách này, một linh kiện ba cực có thể được dùng như là một nguồn được điều khiển mà chúng ta đã được học trong chương 1 và là cơ sở để thiết kế bộ khuếch đại. Ngoài ra tín hiệu điều khiển có thể được dùng để tạo ra dòng điện trong cực thứ ba với độ lớn thay đổi từ 0 đến một giá trị lớn, do vậy cho phép linh kiện hoạt động giống như một thiết bị chuyển mạch. Như chúng ta đã nghiên cứu trong Chương 1, bộ chuyển mạch là cơ sở cho việc thực hiện bộ biến đổi logic, là thành phần cơ bản của các mạch số.

Sự phát minh của BJT vào năm 1948 tại phòng thí nghiệm Bell Telephone mở ra thời đại cho những mạch bán dẫn, và các thiết bị điện tử làm thay đổi cách chúng ta làm việc, vui chơi và sống. Sự phát minh của BJT cuối cùng cũng dẫn đến sự chiếm lĩnh ưu thế của công nghệ thông tin và sự xuất hiện của nền kinh tế tri thức.

Transistor lưỡng cực trong suốt gần ba thập kỷ được lựa chọn như là một linh kiện dùng trong các thiết kế của cả mạch rời rạc và mạch tích hợp. Mặc dù MOSFET đã được biết đến từ rất sớm nhưng phải đến những năm 1970 và 1980 nó mới trở thành đối thủ cạnh tranh mạnh mẽ với BJT. Tại thời điểm 2003, MOSFET đã được sử dụng rộng rãi trong các thiết bị điện tử, và công nghệ CMOS là công nghệ được lựa chọn trong việc thiết kế các mạch tích hợp. Tuy vậy BJT vẫn là một linh kiện quan trọng và ưu thế hơn trong một số các ứng dụng nhất định. Ví dụ như, độ tin cậy của các mạch dùng BJT dưới các điều kiện môi trường khắc nghiệt làm cho chúng trở thành linh kiện có ưu thế vượt trội trong ngành điện tử ô tô, một lĩnh vực quan trọng mà vẫn còn đang phát triển.

BJT vẫn phổ biến trong các thiết kế mạch rời rạc, với sự lựa chọn đa dạng của các loại BJT có sẵn cho các nhà thiết kế. Ở đây ta nên đề cập đến các đặc tính của transistor lưỡng cực cũng như hiểu rõ rằng nó có thể được dùng để thiết kế các mạch transistor mà đặc tính của chúng có thể dự đoán được và khá nhạy cảm với những thay đổi các thông số của linh kiện.

BJT vẫn là linh kiện được ưu tiên trong các ứng dụng mạch tương tự đòi hỏi sự khắt khe, cả mạch tích hợp và mạch rời rạc. Điều này đặc biệt đúng trong các ứng

dụng tần số cao, chẳng hạn như các mạch tần số vô tuyến (RF) cho các hệ thống không dây. Một họ mạch logic số tốc độ rất cao dùng transistor lưỡng cực là mạch logic ghép emitơ vẫn còn được sử dụng. Cuối cùng transistor lưỡng cực có thể kết hợp cùng với MOSFETs để tạo ra mạch có tính mới mà vẫn giữ được lợi thế của MOSFET là trở kháng đầu vào cao và công suất tiêu thụ thấp, tần số hoạt động rất cao và khả năng chịu dòng lớn của transistor lưỡng cực. Công nghệ này được biết đến với tên gọi là BiMOS hoặc BiCMOS, và nó được tìm thấy ngày càng nhiều trong các lĩnh vực ứng dụng.

Trong chương này, chúng ta sẽ bắt đầu với mô tả đơn giản về hoạt động vật lý của BJT, cơ chế hình thành các loại dòng điện, các thông số cơ bản của BJT. Phần mô tả vật lý cho chúng ta một cái nhìn khá sâu sắc về đặc tuyến của transistor như là một phần tử của mạch. Tiếp đó chúng ta sẽ tìm hiểu về các mạch phân cực cho BJT và tính toán ở chế độ một chiều, ứng dụng của BJT như một phần tử khuếch đại tín hiệu và như một phần tử chuyển mạch (switch). Các mô hình tương đương tín hiệu nhỏ của BJT, các mạch khuếch đại đơn tầng dùng BJT cũng sẽ được nghiên cứu trong phần cuối của chương này.

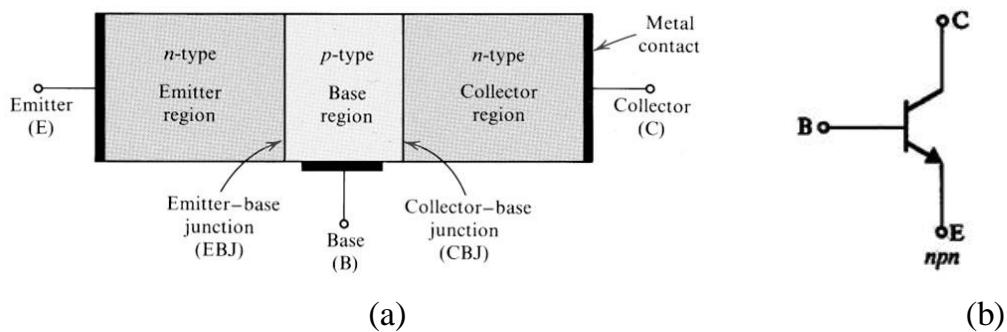
5.1 Cấu trúc vật lý, nguyên lý hoạt động của BJT

5.1.1 Cấu trúc của BJT

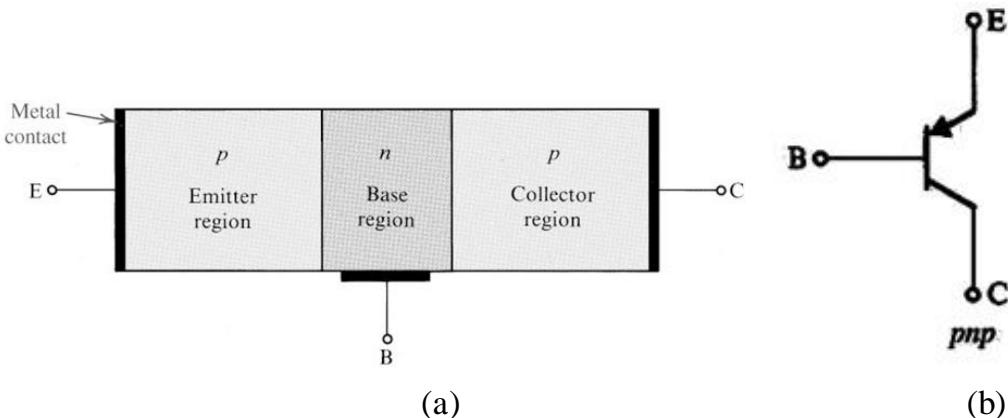
Trên cùng một đế bán dẫn, người ta ghép 3 khối bán dẫn khác loại xen kẽ nhau và tạo ra 2 lớp tiếp giáp P-N ở gần nhau. Dựa trên đặc tuyến dẫn điện của mỗi tiếp giáp và tác dụng tương hỗ giữa chúng sẽ làm cho linh kiện này có khả năng khuếch đại được những tín hiệu điện và người ta gọi đó là đèn bán dẫn 3 cực hay còn gọi là transistor.

Cấu tạo của BJT gồm 3 lớp bán dẫn ghép liên tiếp nhau, hai lớp ngoài cùng có tính dẫn điện cùng loại, lớp ở giữa có tính dẫn điện khác với hai lớp ở ngoài. Tuỳ theo cách sắp xếp của các khối bán dẫn mà ta có 2 loại transistor BJT là transistor thuận (loại *pnp*) và transistor ngược (loại *npn*).

Hình 5.1 chỉ ra cấu tạo của BJT loại *npn*. BJT này bao gồm 3 vùng bán dẫn: vùng phát (loại *n*), vùng gốc (loại *p*) và vùng góp (loại *n*). Một transistor khác như được chỉ ra trong hình 5.2 có một vùng phát loại *p*, một vùng gốc loại *n*, và một vùng góp loại *p*, và được gọi là transistor *pnp*.



Hình 5.1 Cấu trúc (a) và ký hiệu (b) của transistor npn.



Hình 5.2 Cấu trúc (a) và ký hiệu (b) của transistor pnp

Mỗi cực được nối với một trong ba vùng bán dẫn của transistor, với các tên gọi tương ứng là **cực phát** (E) – vùng cực này có nồng độ tạp chất lớn, **cực gốc** (B) – vùng cực này có nồng độ tạp chất rất ít và bè dày rất mỏng (chỉ cỡ μm) và **cực gốp** (C) – vùng này có nồng độ tạp chất ở mức trung bình. Transistor gồm có 2 tiếp giáp pn , tiếp giáp **phát-gốc** (EBJ) và tiếp giáp **gốp-gốc** (CBJ). Chiều mũi tên trong ký hiệu của transistor bao giờ cũng là chiều của điện áp phân cực thuận cho tiếp giáp phát EBJ (có chiều từ bán dẫn P sang bán dẫn N). Tùy thuộc vào điều kiện phân cực (thuận hay ngược) của mỗi lớp tiếp giáp này, transistor BJT sẽ hoạt động ở các chế độ khác nhau và được thể hiện trong Bảng 5.1.

BẢNG 5.1 Các chế độ hoạt động của BJT

Chế độ	EBJ	CBJ
Cắt dòng	Ngược	Ngược
Tích cực	Thuận	Ngược
Tích cực ngược	Ngược	Thuận
Bão hòa	Thuận	Thuận

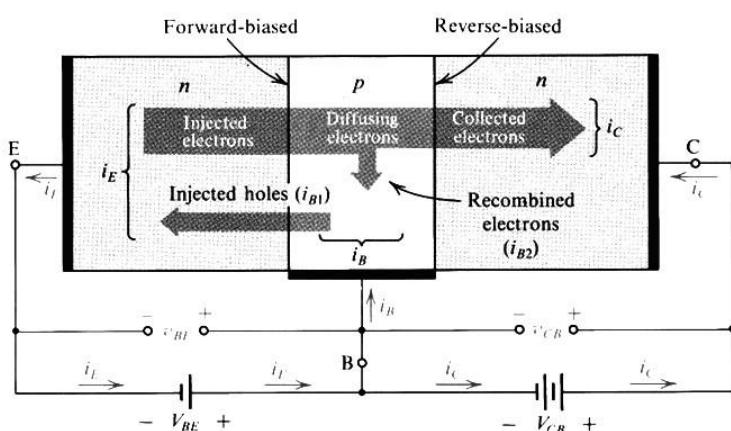
Chế độ **tích cực** (hay còn được gọi là chế độ tích cực thuận) là một chế độ được sử dụng khi transistor hoạt động như một bộ khuếch đại. Các ứng dụng khóa điện tử (ví

dụ các mạch logic) sử dụng cả hai chế độ **cắt dòng** và **bão hòa**. Chế độ **tích cực ngược** (reverse active) có rất ít ứng dụng trong thực tế.

Như chúng ta thấy ngay, các hạt tải điện với cả hai cực tính bao gồm các điện tử và các lỗ trống tham gia vào quá trình dẫn dòng trong một transistor lưỡng cực, đó là lý do BJT được gọi là transistor *lưỡng cực*.

5.1.2 Hoạt động của transistor *npn* ở chế độ tích cực

Ta hãy bắt đầu xét nguyên lý hoạt động của transistor *npn* ở trong chế độ tích cực (hình 5.3). Hai nguồn điện áp ngoài (thể hiện như nguồn pin) được sử dụng để thiết lập các điều kiện phân cực cần thiết cho chế độ hoạt động tích cực (tiếp giáp EBJ phân cực thuận và tiếp giáp CBJ phân cực ngược). Điện áp V_{BE} dẫn đến cực gốc *p* có điện thế cao hơn so với điện thế ở cực phát *n*, do đó phân cực thuận ở lớp tiếp giáp phát-gốc. Điện áp góp-gốc V_{CB} dẫn đến cực góp *n* có điện thế lớn hơn điện thế ở cực gốc *p* để phân cực ngược cho lớp tiếp giáp góp-gốc.



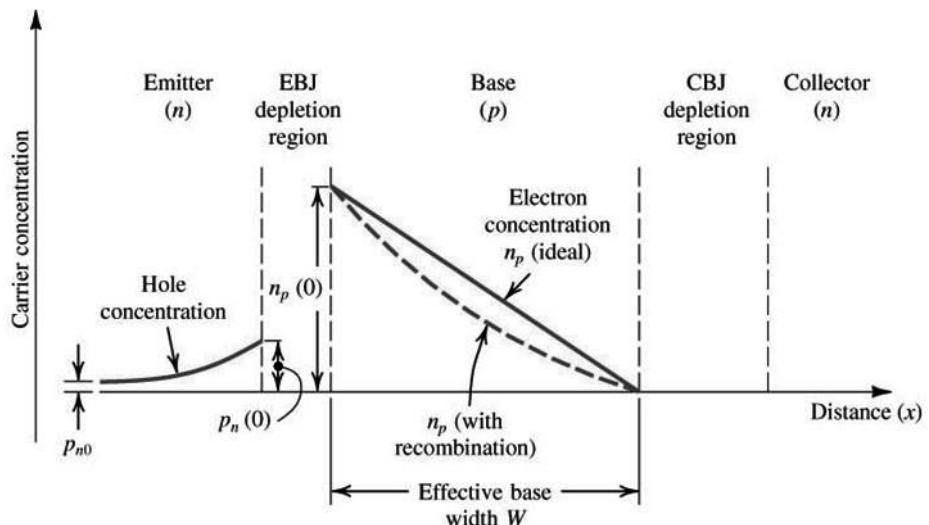
Hình 5.3 Dòng điện chạy trong một transistor *npn* được phân cực để hoạt động ở chế độ **tích cực** (ở đây không biểu diễn các thành phần dòng ngược do trôi nhiệt của các hạt dẫn điện thiểu số).

Do tiếp giáp EBJ được phân cực thuận bằng nguồn V_{BE} , điện trường này có tác dụng gia tốc cho các hạt dẫn điện đa số (điện tử) từ vùng phát qua tiếp giáp EBJ đến vùng gốc tạo thành dòng điện cực phát i_E . Do nồng độ các điện tử ở vùng phát lớn nên dòng điện cực phát i_E có giá trị lớn.

Khi đến vùng gốc, một phần nhỏ điện tử sẽ tái hợp với các phần tử mang điện tích dương đến từ cực dương của nguồn V_{BE} tạo thành dòng điện cực gốc i_B . Do vùng gốc có bề dày mỏng và nồng độ các hạt dẫn điện tích dương rất ít nên dòng điện cực gốc i_B rất nhỏ. Phần lớn các điện tử còn lại khuếch tán qua vùng gốc và di chuyển đến

tiếp giáp góp CBJ. Tại tiếp giáp góp-góc, điện trường V_{CB} thuận chiều với các hạt này nên sẽ cuốn chúng qua tiếp giáp CBJ sang lớp góp để tạo thành dòng điện cực góp i_C .

Thực tế, vì tiếp giáp CBJ phân cực ngược nên trên nó vẫn tồn tại một dòng điện ngược có trị số nhỏ (giống như dòng điện ngược của diốt) I_{CB0} , do mật độ các hạt dẫn thiểu số nhỏ nên dòng I_{CB0} có trị số nhỏ, ta có thể bỏ qua.



Hình 5.4 Mô tả nồng độ của các hạt dẫn điện thiếu số trong cực gốc và cực phát của một transistor npn hoạt động ở chế độ tích cực : $v_{BE} > 0$ và $v_{CB} \geq 0$.

Bây giờ ta hãy xét các điện tử chảy từ cực phát vào cực gốc. Các điện tử này sẽ là các **hạt dẫn điện thiếu số** trong vùng cực gốc loại p . Bởi vì cực gốc thường rất mỏng, trong điều kiện ổn định, nồng độ các hạt thiếu số dư thừa ở cực gốc sẽ có một dạng gần như đường thẳng như thể hiện bằng đường thẳng nét liền trong Hình 5.4. Nồng độ điện tử (electron) sẽ cao nhất (ký hiệu là $n_p(0)$) ở phía cực phát (emitter) và thấp nhất ở phía cực góp (collector). Như trong trường hợp của bất kỳ lớp tiếp giáp $p - n$ phân cực thuận nào, nồng độ $n_p(0)$ sẽ tỉ lệ thuận với e^{v_{BE}/V_T} ,

$$n_p(0) = n_{p0} e^{v_{BE}/V_T} \quad (5.1)$$

Trong đó n_{p0} là giá trị cân bằng nhiệt của các hạt thiếu số (electron) tập trung ở vùng cực gốc, v_{BE} là điện áp phân cực thuận cho tiếp giáp gốc-phát, và V_T là điện thế nhiệt, nó bằng xấp xỉ bằng 25 mV ở nhiệt độ phòng. Nồng độ electron bằng không phía cực góp trong vùng cực gốc là do điện áp collecto v_{CB} dương dẫn đến các electron ở phía cuối sẽ chảy qua vùng nghèo tiếp giáp CBJ.

Một số các điện tử được khuếch tán qua vùng cực gốc sẽ kết hợp với các lỗ trống, là các hạt dẫn điện đa số trong vùng cực gốc. Tuy nhiên, vì cực gốc thường rất mỏng, tỉ lệ các electron “bị mất” trong quá trình tái tổ hợp này khá nhỏ. Tuy nhiên, sự

tái tổ hợp trong vùng cực gốc làm dư thừa nồng độ các hạt dẫn điện thiểu số, dẫn tới đường đặc tuyến bị lệch khỏi đường thẳng và có hình dạng hơi lõm xuống biển thị bởi đường nét đứt như trong Hình 5.4. Độ dốc của đường nồng độ tại tiếp giáp EBJ cao hơn một chút so với tại CBJ, bằng sự tính toán khác nhau cho thấy số lượng ít các hạt electron bị mất trong vùng cực gốc thông qua quá trình tái tổ hợp.

Dòng điện cực góp phụ thuộc vào điện áp phân cực v_{BE} và điện thế nhiệt V_T theo biểu thức :

$$i_C = I_S e^{v_{BE}/V_T} \quad (5.2)$$

Trong đó I_S là dòng điện bão hòa (có giá trị trong khoảng từ 10^{-12} A đến 10^{-18} A).

Có thể thấy ở đây là độ lớn của dòng i_C không phụ thuộc vào điện áp v_{CB} . Nghĩa là, miễn là cực góp dương so với cực gốc, các electron mà tiến đến phía cực góp của vùng cực gốc sẽ chảy vào cực góp và được coi như dòng điện cực góp.

Như vậy, trong transistor BJT, ta có biểu thức dòng điện :

$$i_E = i_B + i_C \quad (5.3)$$

Các tham số cơ bản của BJT:

* *Hệ số truyền đạt dòng điện hay hệ số khuếch đại dòng bazơ chung (α)*: dùng để đánh giá mức độ hao hụt của dòng điện cực phát tại vùng cực gốc.

$$\alpha = \frac{i_C}{i_E} \quad (5.4)$$

$\alpha \rightarrow 1$ càng tốt (giá trị của $\alpha = 0,95 \div 0,99$)

* *Hệ số khuếch đại dòng điện emitơ chung (β)* : dùng đánh giá tác dụng điều khiển của dòng điện cực gốc tới dòng điện cực góp.

$$\beta = \frac{i_C}{i_B} \quad (5.5)$$

β là một hằng số đối với một transistor cụ thể. Với các transistor *n-p-n* hiện đại, β nằm trong khoảng từ 50 đến 200 nhưng có thể bằng 1000 đối với các linh kiện đặc biệt.

Mối quan hệ giữa α và β được biểu diễn qua các phương trình :

$$\alpha = \frac{\beta}{\beta + 1} \quad (5.6)$$

$$\beta = \frac{\alpha}{1 - \alpha} \quad (5.7)$$

Từ công thức (5.5) ta thấy rằng dòng i_B có thể được biểu diễn theo một tỷ lệ của dòng i_C :

$$i_B = \frac{i_C}{\beta} \quad (5.8)$$

Nghĩa là

$$i_B = \left(\frac{I_S}{\beta} \right) e^{v_{BE}/V_T} \quad (5.9)$$

Sử dụng phương trình (5.3) và (5.8) ta có :

$$i_E = \frac{\beta + 1}{\beta} i_C \quad (5.10)$$

Nghĩa là

$$i_E = \frac{\beta + 1}{\beta} I_S e^{v_{BE}/V_T} \quad (5.11)$$

Phương trình (5.4) có thể viết lại dưới dạng :

$$i_C = \alpha i_E \quad (5.12)$$

Do vậy dòng điện cực phát trong Phương trình (5.11) có thể được viết

$$i_E = (I_S / \alpha) e^{v_{BE}/V_T} \quad (5.13)$$

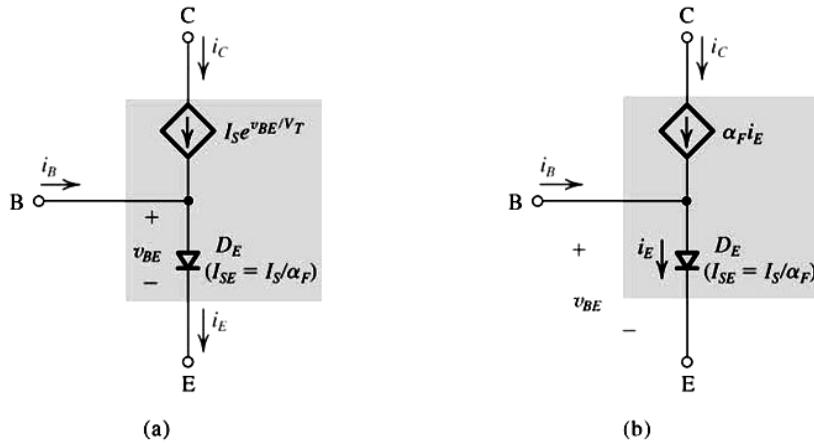
α là một hằng số (đối với một transistor cụ thể), nó nhỏ hơn nhưng có giá trị rất gần bằng 1. Ví dụ, nếu $\beta = 100$ thì $\alpha \approx 0.99$. Phương trình (5.7) chỉ ra rằng một sự thay đổi nhỏ ở hệ số α sẽ tương ứng với một sự thay đổi lớn ở hệ số β . Điều nhận xét về mặt toán học này phản ánh bản chất vật lý của nó, với các transistor cùng loại có thể có các giá trị β lớn khác nhau.

Cuối cùng, chúng ta cần lưu ý rằng vì hệ số khuếch đại α và β là các tham số đặc trưng cho sự hoạt động của BJT trong chế độ tích cực (ngược lại với chế độ tích cực ngược, chúng thường kí hiệu là α_F và β_F). Ta sẽ sử dụng ký hiệu α và α_F thay thế cho nhau và β và β_F cũng tương tự.

Các mô hình mạch tương đương

Ở trên đã trình bày một kiểu mô hình đầu tiên của transistor *n-p-n* hoạt động ở chế độ tích cực (hay chế độ tích cực thuận). Nói chung, điện áp phân cực thuận v_{BE} tạo ra một dòng điện i_C quan hệ theo hàm số mũ chảy trên cực góp. Dòng điện cực góp i_C không phụ thuộc vào giá trị của điện áp cực góp miễn là lớp tiếp giáp góp-gốc CBJ duy trì phân cực ngược, nghĩa là $v_{CB} \geq 0$. Do đó trong chế độ tích cực, cực góp coi như là một nguồn dòng không đổi lý tưởng, trong đó giá trị của dòng điện được xác định bởi điện áp v_{BE} . Dòng điện cực gốc $i_B = 1/\beta_F$ của dòng điện cực góp, và dòng điện cực phát bằng tổng của các dòng điện cực góp và dòng điện cực gốc. Vì dòng i_B nhỏ

hơn rất nhiều so với dòng i_C (nghĩa là $\beta \gg 1$), nên $i_E \approx i_C$. Chính xác hơn, dòng điện cực góp $i_C = \alpha_F i_E$ với α_F có giá trị nhỏ hơn nhưng rất gần bằng 1.



Hình 5.5 Các mô hình mạch tương đương tín hiệu lớn của transistor *npn* hoạt động ở chế độ tích cực thuận.

Mô hình của transistor hoạt động ở chế độ tích cực thuận được biểu diễn bằng mạch điện tương đương như trong Hình 5.5(a). Ở đây diốt D_E có một dòng tý lệ I_{SE} bằng I_S/α_F và tạo ra một dòng điện i_E phụ thuộc vào v_{BE} theo phương trình (5.13). Dòng của nguồn điều khiển, bằng với dòng cực góp được điều khiển bởi v_{BE} theo quan hệ hàm mũ, theo phương trình (5.3). Mô hình này về bản chất là một nguồn dòng điều khiển bằng điện áp tuyến tính. Nó có thể chuyển đổi thành mô hình nguồn dòng được điều khiển bằng dòng điện như trong Hình 5.5(b) bằng cách biểu diễn dòng của nguồn được điều khiển là $\alpha_F i_E$. Chú ý rằng mô hình này cũng không tuyến tính bởi vì mối quan hệ theo hàm số mũ của dòng điện i_E qua diốt D_E và điện áp v_{BE} . Từ mô hình này chúng ta thấy rằng nếu transistor được sử dụng như là mạng điện hai cửa với ngõ vào giữa E và B và ngõ ra giữa C và B (nghĩa là với B như là cực chung), thì hệ số khuếch đại dòng điện quan sát được bằng α_F . Vậy α_F được gọi là hệ số khuếch đại dòng điện bazơ chung.

Đối với transistor thuận *pnp*, nguyên lý làm việc cũng tương tự như transistor ngược *npn*, chỉ khác là ở transistor thuận phần tử mang điện đa số ở cực phát là lỗ trống, đồng thời để cho BJT hoạt động ta phải đổi lại cực tính của các nguồn điện để đảm bảo các điều kiện cho BJT hoạt động ở chế độ tích cực thuận cũng như đổi lại chiều của các dòng điện i_E , i_B , i_C .

Ví dụ 5.1 : Một transistor BJT có hệ số $\beta = 50 \div 150$. Hãy tìm khoảng giá trị của hệ số α tương ứng cho transistor này.

Lời giải :

Theo công thức (5.6) mối quan hệ giữa hai hệ số α và β là : $\alpha = \frac{\beta}{\beta+1}$

Với $\beta = 50$ ta có hệ số α tương ứng là : $\alpha = \frac{50}{50+1} = 0.980$

Với $\beta = 150$ ta có hệ số α tương ứng là : $\alpha = \frac{150}{150+1} = 0.9993$

Vậy với BJT có hệ số β nằm trong khoảng từ 50 tới 150 thì hệ số α tương ứng của nó nằm trong khoảng từ 0.980 đến 0.993.

Ví dụ 5.2 : Kết quả đo được trên một BJT loại *npn* trong một mạch có dòng bazơ là $14.46 \mu A$, dòng emitor là $1.460 mA$, điện áp $V_{BE} = 0.7V$. Hãy tính các tham số α , β và dòng bão hòa ngược I_S của transistor này.

Lời giải :

Ta có : $i_E = i_B + i_C = (\beta + 1)i_B$

Do vậy : $\beta = \frac{i_E}{i_B} - 1 = \frac{1.46}{14.46 \cdot 10^{-3}} - 1 \approx 100$

Hệ số α có thể được tính từ công thức (5.6) : $\alpha = \frac{\beta}{\beta+1} = \frac{100}{100+1} = 0.99$

Sử dụng công thức (5.13) : $i_E = (I_S / \alpha)e^{v_{BE}/V_T}$

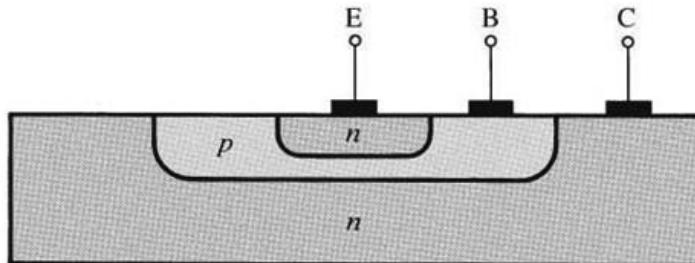
Ta có : $I_S = \frac{\alpha i_E}{e^{v_{BE}/V_T}} = \frac{0.99 \cdot 1.46 \cdot 10^{-3}}{e^{0.7/0.025}} = 10^{-15} A$

5.1.3 Cấu trúc của các transistor thực tế

Hình 5.6 chỉ ra một măt cắt thực tế của một transistor lưỡng cực loại *npn*. Lưu ý rằng cực g?p thực tế bao quanh vùng cực phát, do đó làm các electron khó có thể b?m vào cực gốc m?ng để thoát khỏi việc bị thu thập. Bằng cách này, kết quả là giá trị α_F gần bằng một và β_F lớn.

Cấu trúc của transistor BJT là không đối xứng, nghĩa là nếu cực phát và cực g?p đối ch?o cho nhau thì transistor hoạt động ở chế độ tích cực ngược, kết quả là các giá trị của α và β khi đó kí hiệu là α_R và β_R , sẽ khác các giá trị ở chế độ tích cực

thuận α_F và β_F . Hơn nữa, vì cấu trúc được tối ưu cho hoạt động ở chế độ tích cực thuận, α_R và β_R sẽ có giá trị thấp hơn nhiều so với chế độ tích cực thuận của chúng. Tất nhiên, α_R và β_R quan hệ bởi các phương trình giống hệt như quan hệ giữa α_F và β_F . Thông thường, giá trị α_R nằm trong khoảng từ 0.01 đến 0.5, và khoảng giá trị tương ứng của β_R là từ 0.01 đến 1.

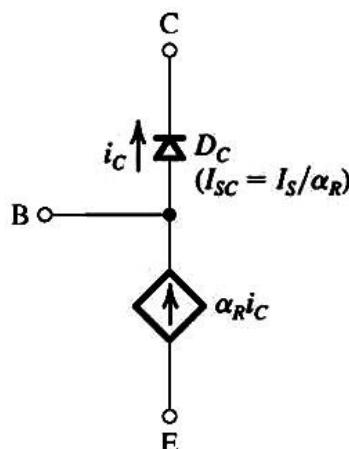


Hình 5.6 Mặt cắt của một transistor lưỡng cực *npn*.

Cấu trúc trong Hình 5.6 cũng chỉ ra rằng vùng điện tích của tiếp giáp CBJ lớn hơn nhiều so với EBJ. Theo đó nếu transistor hoạt động ở chế độ tích cực ngược (nghĩa là CBJ phân cực thuận và EBJ phân cực ngược) và sự hoạt động được mô hình hóa theo kiểu Hình 5.5(b), ta có được mô hình thể hiện trong Hình 5.7. Ở đây diốt D_C biểu diễn lớp tiếp giáp g?p-g?p và có một dòng tỷ lệ I_{SC} lớn hơn nhiều so với dòng tỷ lệ I_{SE} của diốt D_E . Tất nhiên hai dòng điện I_{SC} và I_{SE} có cùng tỉ lệ tiết diện của các lớp tiếp giáp tương ứng. Hơn nữa, có một công thức đơn giản và ngắn gọn liên quan đến dòng tỷ lệ I_{SC} , I_{SE} , và dòng I_S và các hệ số khuếch đại dòng điện α_F và α_R là :

$$\alpha_F I_{SE} = \alpha_R I_{SC} = I_S \quad (5.14)$$

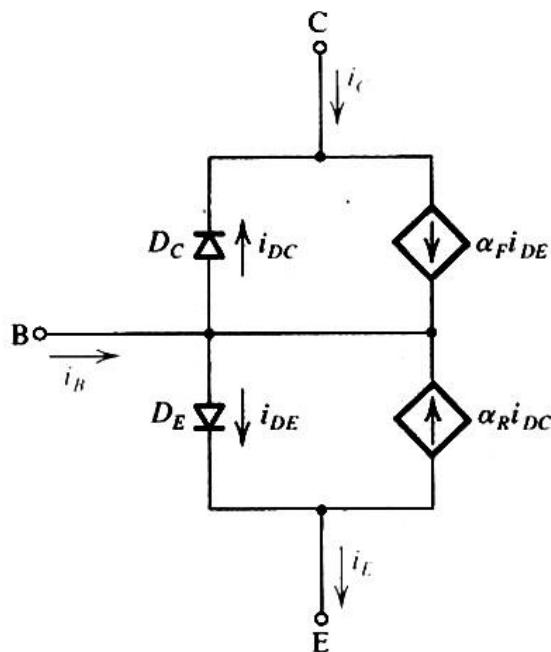
Dòng tỷ lệ I_{SC} lớn có ảnh hưởng tới cùng một dòng, CBJ có một điện áp rơi thấp hơn khi phân cực thuận so với điện áp rơi thuận của EBJ, V_{BE} . Điểm này sẽ bao hàm sự hoạt động của BJT trong chế độ bão hòa.



Hình 5.7 Mô hình của transistor *npn* khi hoạt động ở chế độ tích cực ngược (nghĩa là CBJ phân cực thuận và EBJ phân cực ngược).

5.1.4 Mô hình Ebers-Moll (EM)

Mô hình trên hình 5.5(a) có thể kết hợp với mô hình trên hình 5.7 để có được mô hình mạch điện thể hiện trong hình 5.8. Lưu ý rằng ta đã đặt tên các dòng điện qua D_E và D_C và các dòng điều khiển tương ứng của các nguồn điều khiển là i_{DE} và i_{DC} . Ebers và Moll, hai người đầu tiên làm việc trong lĩnh vực này đã chỉ ra rằng mô hình tổng hợp này có thể được dùng để dự báo sự hoạt động của BJT *trong tất cả các chế độ có thể có của nó*.



Hình 5.8 Mô hình Ebers-Moll của transistor *npn*

Để xem bằng cách nào điều này có thể thực hiện được, ta xuất phát từ biểu thức của các dòng điện i_E, i_C và i_B theo các điện áp tiếp giáp v_{BE} và v_{BC} . Hướng tới mục đích đó, ta viết một biểu thức cho dòng điện tại mỗi nút trong 3 nút của mô hình trong Hình 5.8 như sau:

$$i_E = i_{DE} - \alpha_R i_{DC} \quad (5.15)$$

$$i_C = -i_{DC} + \alpha_F i_{DE} \quad (5.16)$$

$$i_B = (1 - \alpha_F) i_{DE} + (1 - \alpha_R) i_{DC} \quad (5.17)$$

Sau đó ta dùng phương trình điốt để biểu diễn dòng điện i_{DE} và i_{DC}

$$i_{DE} = I_{SE}(e^{v_{BE}/V_T} - 1) \quad (5.18)$$

và

$$i_{DC} = I_{SC}(e^{v_{BE}/V_T} - 1) \quad (5.19)$$

Thay i_{DE} và i_{DC} vào Phương trình (5.15), (5.16) và (5.17) và sử dụng mối quan hệ trong Phương trình (5.14) mang lại các biểu thức cần thiết:

$$i_E = \left(\frac{I_S}{\alpha_F} \right) \left(e^{v_{BE}/V_T} - 1 \right) - I_S \left(e^{v_{BC}/V_T} - 1 \right) \quad (5.20)$$

$$i_C = I_S \left(e^{v_{BE}/V_T} - 1 \right) - \left(\frac{I_S}{\alpha_R} \right) \left(e^{v_{BC}/V_T} - 1 \right) \quad (5.21)$$

$$i_B = \left(\frac{I_S}{\beta_F} \right) \left(e^{v_{BE}/V_T} - 1 \right) + \left(\frac{I_S}{\beta_R} \right) \left(e^{v_{BC}/V_T} - 1 \right) \quad (5.22)$$

Trong đó

$$\beta_F = \frac{\alpha_F}{1 - \alpha_F} \quad (5.23)$$

và

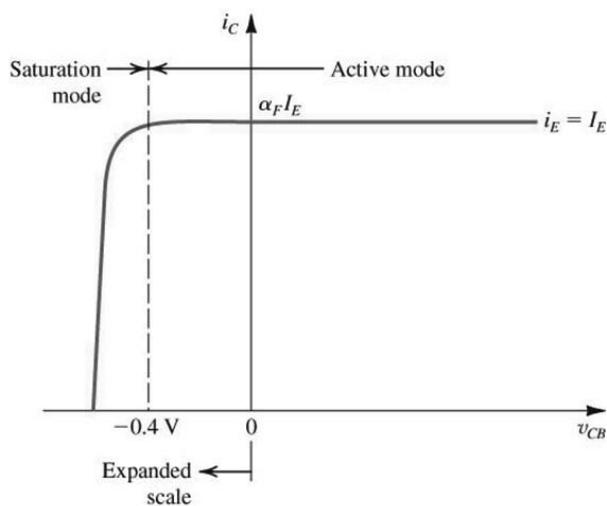
$$\beta_R = \frac{\alpha_R}{1 - \alpha_R} \quad (5.24)$$

Ứng dụng đầu tiên của mô hình EM là ta sẽ sử dụng nó để dự đoán dòng điện trên các cực của một transistor hoạt động trong chế độ tích cực thuận. Lúc này v_{BE} là dương và nằm trong khoảng 0.6V đến 0.8V và điện áp v_{BC} là âm. Một điều có thể dễ dàng nhận thấy là các phương trình có chứa e^{v_{BC}/V_T} nhỏ không đáng kể và có thể được bỏ qua để có được

$$i_E \approx \left(\frac{I_S}{\alpha_F} \right) e^{v_{BE}/V_T} + I_S \left(1 - \frac{1}{\alpha_F} \right) \quad (5.25)$$

$$i_C \approx I_S e^{v_{BE}/V_T} + I_S \left(\frac{1}{\alpha_R} - 1 \right) \quad (5.26)$$

$$i_B \approx \left(\frac{I_S}{\beta_F} \right) e^{v_{BE}/V_T} - I_S \left(\frac{1}{\beta_F} + \frac{1}{\beta_R} \right) \quad (5.27)$$

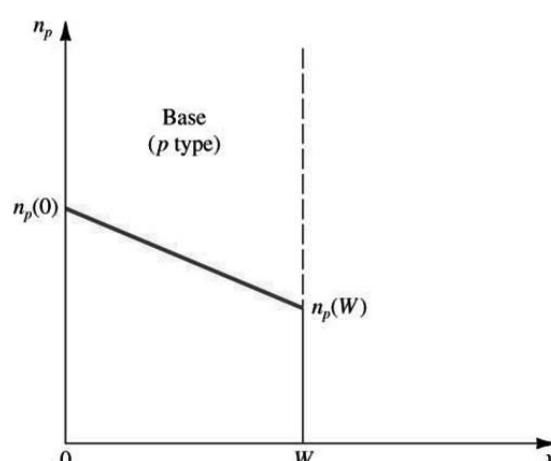


Hình 5.9 Đặc tuyến $i_C - v_{CB}$ của một transistor npn với một dòng cực phát không đổi I_E . Transistor rơi vào chế độ hoạt động bão hòa khi $v_{CB} < -0.4V$ và dòng điện cực góp giảm dần.

Trong ba phương trình này, người ta thường có thể bỏ qua thành phần thứ hai bên tay phải. Điều này dẫn đến các mối quan hệ dòng – áp quen thuộc mà ta đã có được từ trước đó, cụ thể là các Phương trình (5.13), (5.2) và (5.9).

Như vậy để transistor hoạt động ở chế độ tích cực thuận khi $v_{CB} > 0$ thì chắc chắn rằng CBJ được phân cực ngược. Tuy nhiên trong thực tế, một lớp tiếp giáp pn không trở lên hoàn toàn phân cực thuận cho đèn khi điện áp thuận đặt lên nó vượt quá xấp xỉ 0.5V. Theo đó có thể duy trì hoạt động ở chế độ tích cực thuận của một transistor npn với điện áp v_{CB} âm giảm xuống xấp xỉ khoảng -0.4V. Điều này được minh họa trong Hình 5.9, phác họa một dòng điện i_C phụ thuộc vào điện áp v_{CB} để một transistor npn hoạt động với một dòng điện cực phát i_E không đổi. Quan sát thấy rằng dòng i_C vẫn là hằng số $\alpha_F I_E$ dù điện áp v_{CB} tiến tới âm xấp xỉ -0.4V. Dưới giá trị này của điện áp v_{CB} , CBJ bắt đầu dẫn, transistor ra khỏi chế độ tích cực thuận và đi vào hoạt động ở trong chế độ bão hòa, ở đó dòng điện i_C giảm xuống. Chúng ta sẽ nghiên cứu chế độ bão hòa của BJT ở phần tiếp theo. Còn bây giờ, lưu ý rằng ta có thể

sử dụng các phương trình EM để kiểm tra lại các thành phần chứa e^{v_{BC}/V_T} vẫn nhỏ không đáng kể dù v_{CB} lớn bằng 0.4V.



Hình 5.10 Đặc tuyến nồng độ của các hạt dẫn điện thiểu số trong cực gốc (electrons) của một transistor *npn* hoạt động trong chế độ bão hòa.

5.1.5 Hoạt động ở chế độ bão hòa

Hình 5.9 chỉ ra rằng điện áp v_{CB} thấp hơn xấp xỉ dưới - 0.4V, BJT bước vào hoạt động trong chế độ bão hòa. Một cách lý tưởng, điện áp v_{CB} không ảnh hưởng đến dòng điện cực góp trong chế độ tích cực thuận, nhưng trạng thái sẽ thay đổi đáng kể khi ở trong chế độ bão hòa: Tăng điện áp v_{CB} theo chiều âm – nghĩa là, tăng điện áp phân cực thuận của CBJ – giảm dòng i_C . Để thấy rõ điều này, xét biểu thức Ebers-Moll cho dòng i_C trong Phương trình (5.21) và để đơn giản, ta bỏ qua thành phần hàm mũ không quan trọng để có :

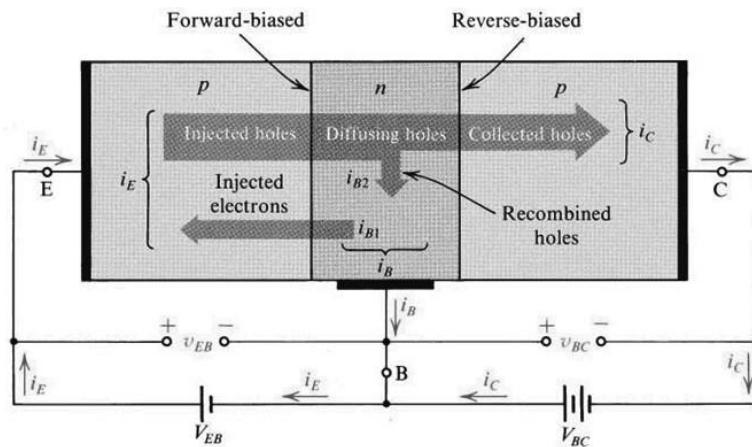
$$i_C = I_S e^{v_{BE}/V_T} - \left(\frac{I_S}{\alpha_R} \right) e^{v_{BC}/V_T} \quad (5.28)$$

Thành phần đầu tiên bên tay phải là một kết quả của phân cực thuận cho EBJ, và thành phần thứ hai là kết quả của phân cực thuận cho CBJ. Thành phần thứ hai bắt đầu đóng vai trò đáng kể khi điện áp v_{BC} vượt quá khoảng 0.4V. Khi v_{BC} tăng, thành phần này trở lên lớn hơn và được trừ với thành phần đầu tiên, dẫn đến dòng i_C giảm xuống, thậm chí giảm tới bằng không. Tất nhiên, transistor có thể hoạt động ở chế độ bão hòa tại bất kì giá trị nào của i_C nhỏ hơn $\alpha_F I_E$. Chúng ta sẽ nói thêm về chế độ hoạt động bão hòa trong phần tiếp theo.

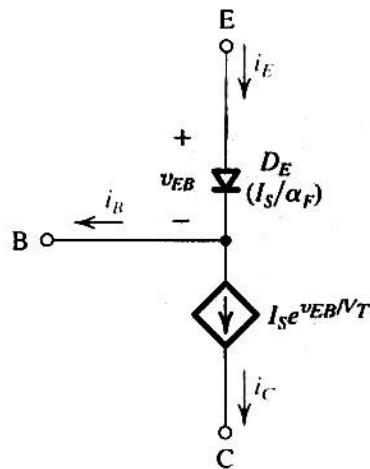
5.1.6 Transistor *pnp*

Transistor *pnp* hoạt động theo cách thức tương tự như hoạt động của transistor *npn* đã mô tả ở trên. Hình 5.11 cho thấy một transistor *pnp* đã phân cực để hoạt động ở chế độ tích cực thuận. Ở đây điện áp V_{EB} làm điện thế tại cực phát loại *p* lớn hơn điện thế tại cực gốc loại *n*, do đó phân cực thuận lớp tiếp giáp gốc-phát. Lớp tiếp giáp góp gốc được phân cực ngược bởi điện áp V_{BC} , điện áp này giữ cho điện thế tại cực góp loại *p* thấp hơn điện thế tại cực gốc loại *n*.

Không giống như transistor *npn*, dòng điện trong linh kiện *pnp* phần lớn được dẫn bởi các lỗ trống khuếch tán từ cực phát vào cực gốc dưới tác dụng của điện áp phân cực thuận V_{EB} , dòng cực phát hầu hết sẽ do các lỗ trống tạo nên. Tại vùng cực gốc, một phần nhỏ các lỗ trống sẽ được tái hợp với các điện tử đến từ cực âm của nguồn V_{EB} tạo ra dòng điện cực gốc i_B . Do vùng cực gốc rất mỏng và nồng độ tạp chất rất nhỏ nên dòng i_B có giá trị nhỏ. Dưới tác dụng gia tốc của điện trường V_{BC} , đa số các lỗ trống ở vùng cực gốc sẽ tiếp tục khuếch tán qua tiếp giáp CBJ sang vùng cực gót và tạo thành dòng điện cực gót i_C .



Hình 5.11 Dòng điện chạy trong một BJT *npn* được phân cực để hoạt động ở chế độ tích cực.



Hình 5.12 Mô hình tín hiệu lớn cho một transistor *pnp* hoạt động trong chế độ tích cực.

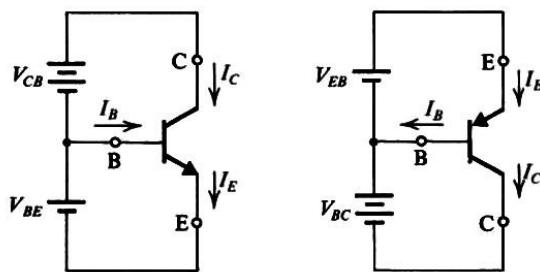
Có thể dễ dàng thấy rằng từ mô tả ở trên, các mối quan hệ dòng - áp trong transistor *pnp* sẽ giống với transistor *npn* ngoại trừ là v_{BE} phải được thay thế bằng v_{EB} . Ngoài ra sự hoạt động của transistor *pnp* ở chế độ tích cực với tín hiệu lớn có thể được

mô hình hóa bởi mạch điện mô tả trong hình 5.12. Giống như trong trường hợp của transistor *npn*, một phiên bản khác của mạch điện tương đương này có thể sử dụng trong đó nguồn dòng được thay thế bởi với một nguồn dòng điều khiển bằng dòng điện $\alpha_F i_E$. Cuối cùng, ta lưu ý rằng transistor *pnp* cũng có thể làm việc ở chế độ bão hòa theo cách tương tự với những gì đã mô tả về linh kiện BJT loại *npn*.

5.2 Đặc tuyến dòng điện – điện áp (đặc tuyến V-A)

5.2.1 Ký hiệu và quy ước

Hình 5.13 minh họa sự phân cực các transistor *npn* và *pnp* để chúng hoạt động ở chế độ tích cực. Hình 5.13 cũng chỉ rõ hướng quy chiếu và hướng thực tế của dòng điện chạy qua transistor. Ký hiệu mà chúng ta quy ước cũng trùng với chiều dòng điện chạy. Do đó chúng ta không thể gấp các giá trị âm của i_E, i_B hoặc i_C .



Hình 5.13 Điện áp phân cực và dòng điện chạy trong transistor ở chế độ tích cực.

Chiều của mũi tên trong ký hiệu của transistor *pnp* chỉ ra rằng chúng ta phải tạo điện áp ở emitơ cao hơn điện áp ở cực bazơ (v_{EB}) để tạo nên dòng điện đi vào cực emitơ (hướng xuống). Lưu ý ký hiệu v_{EB} có nghĩa là điện áp tại cực emitơ (E) là cao hơn ở cực bazơ (B). Do đó, một transistor *pnp* hoạt động ở chế độ tích cực thì v_{EB} là dương, trong khi transistor *npn* thì có v_{BE} là dương.

Từ phần 5.1 ta thấy một transistor *npn* mà tiếp giáp EBJ là phân cực thuận sẽ hoạt động ở chế độ tích cực miễn là điện áp ở cực colectơ không giảm xuống dưới mức 0.4V so với cực bazơ. Nếu $v_{CB} < -0.4V$, transistor sẽ rời khỏi chế độ tích cực (khuếch đại) và đi vào hoạt động ở chế độ bão hòa.

Bảng 5.2 Tổng kết mối quan hệ dòng điện – điện áp của BJT ở chế độ tích cực

$$i_C = I_S e^{v_{BE}/V_T}$$

$$i_B = \frac{i_C}{\beta} = \left(\frac{I_S}{\beta} \right) e^{v_{BE}/V_T}$$

$$i_E = \frac{i_C}{\alpha} = \left(\frac{I_S}{\alpha} \right) e^{v_{BE}/V_T}$$

Chú ý: Với transistor *pnp*, thay v_{BE} bằng v_{EB}

$$i_C = \alpha i_E \quad i_B = (1 - \alpha) i_E = \frac{i_E}{\beta + 1}$$

$$i_C = \beta i_B \quad i_E = (\beta + 1) i_B$$

$$\beta = \frac{\alpha}{1 - \alpha} \quad \alpha = \frac{\beta}{\beta + 1}$$

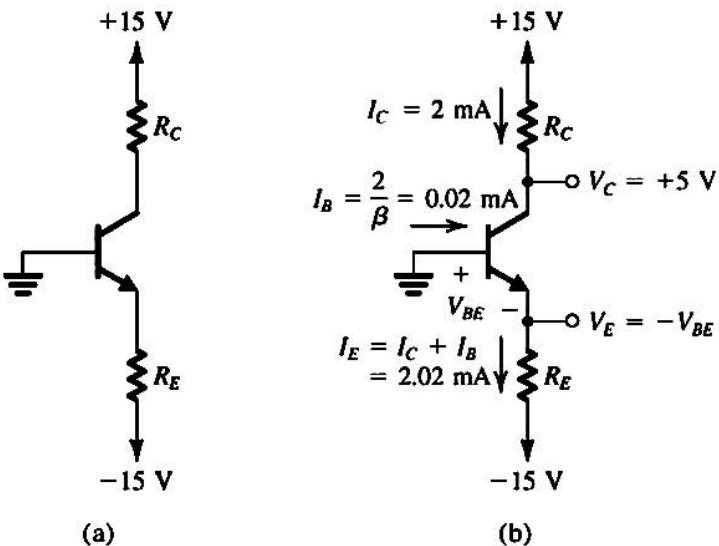
$$V_T \text{ (điện thế nhiệt)} = \frac{kT}{q} \approx 25 \text{ mV} \text{ tại nhiệt độ phòng}$$

Tương tự, transistor *pnp* sẽ hoạt động ở chế độ khuếch đại nếu EBJ là phân cực thuận và điện áp trên cực colecto không được phép tăng lên quá 0.4V hoặc hơn so với cực bazơ.

Bảng 5.2 tổng kết các mối quan hệ dòng áp trong chế độ khuếch đại (tích cực) của BJT. Lưu ý, để đơn giản hóa chúng ta thường sử dụng các ký hiệu α và β hơn là α_F và β_F .

Dòng điện ngược colecto – bazơ (I_{CBO}) : Trong phần thảo luận của chúng ta về dòng điện chạy trong transistor, chúng ta bỏ qua các dòng điện ngược nhỏ được tạo bởi các hạt mang điện thiểu số. Mặc dù, các dòng điện này có thể bỏ qua được với các transistor hiện đại, dòng điện ngược qua tiếp giáp colecto – bazơ vẫn cần được đề cập đến. Dòng điện này, ký hiệu là I_{CBO} , là dòng điện ngược chạy từ colecto tới bazơ với cực emitor hở mạch (vì thế được ký hiệu bởi chỉ số dưới O). Dòng điện này thông thường có giá trị trong khoảng nA, một giá trị có thể lớn hơn nhiều lần so với giá trị dự tính lý thuyết. Như với dòng ngược của diốt, I_{CBO} là một thành phần dòng dò và giá trị của nó phụ thuộc vào v_{CB} . I_{CBO} phụ thuộc rất mạnh vào nhiệt độ, nó tăng gần gấp đôi khi nhiệt độ tăng lên mỗi 10°C .

Ví dụ 5.3 : Transistor trong mạch hình Ex 5.3(a) có $\beta = 100$ và $v_{BE} = 0.7\text{V}$ tại $i_C = 1\text{mA}$. Thiết kế và tính toán các thông số của mạch điện để có một dòng điện 2mA chạy qua cực colecto và điện áp trên cực colecto là +5V.



Hình Ex 5.3 Mạch cho ví dụ 5.3

Lời giải :

Xuất phát từ giả thiết ban đầu chúng ta được yêu cầu thiết kế mạch sao cho $V_C = +5V$, CBJ sẽ phân cực ngược và BJT sẽ hoạt động ở chế độ tích cực. Để nhận được điện áp $V_C = +5V$ điện áp rơi trên R_C phải bằng $15 - 5 = 10V$. Do $I_C = 2mA$, giá trị của R_C nên chọn như sau:

$$R_C = \frac{10V}{2mA} = 5k\Omega$$

Do $v_{BE} = 0.7V$ tại $i_C = 1mA$, giá trị của v_{BE} tại $i_C = 2mA$ là

$$V_{BE} = 0.7 + V_T \ln\left(\frac{2}{1}\right) = 0.717 V$$

Do cực bazơ nối mát nên điện áp của nó là 0V, điện áp emitơ sẽ là

$$V_E = -0.717 V$$

Với $\beta = 100$, $\alpha = 100/101 = 0.99$. Do đó dòng điện emitơ sẽ là

$$I_E = \frac{I_C}{\alpha} = \frac{2}{0.99} = 2.02 mA$$

Giá trị điện trở R_E theo yêu cầu có thể được xác định :

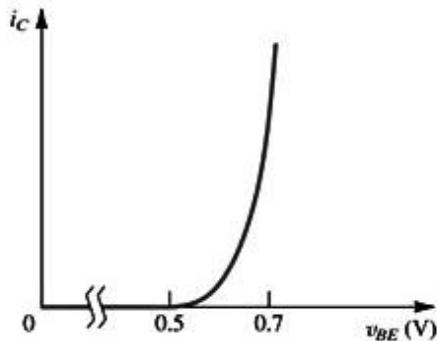
$$R_E = \frac{V_E - (-15)}{I_E} = \frac{-0.717 + 15}{2.02} = 7.07 k\Omega$$

Như vậy là hoàn thành việc tính toán, thiết kế. Tuy nhiên, chúng ta nên để ý các tính toán ở trên với một mức độ chính xác cần thiết trong thực tế, ví dụ sai số cho phép của giá trị các thành phần.

5.2.2 Biểu diễn đồ thị các đặc tuyến của transistor

Đôi khi để mô tả đặc tuyến $i - v$ của transistor bằng phương pháp đồ thị là rất hữu ích. Hình 5.14 biểu diễn đặc tuyến $i_C - v_{BE}$, với mối quan hệ hàm mũ:

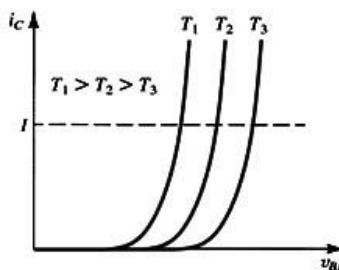
$$i_C = I_S e^{v_{BE}/V_T}$$



Hình 5.14 Đặc tuyến $i_C - v_{BE}$ của transistor *n*p*n*

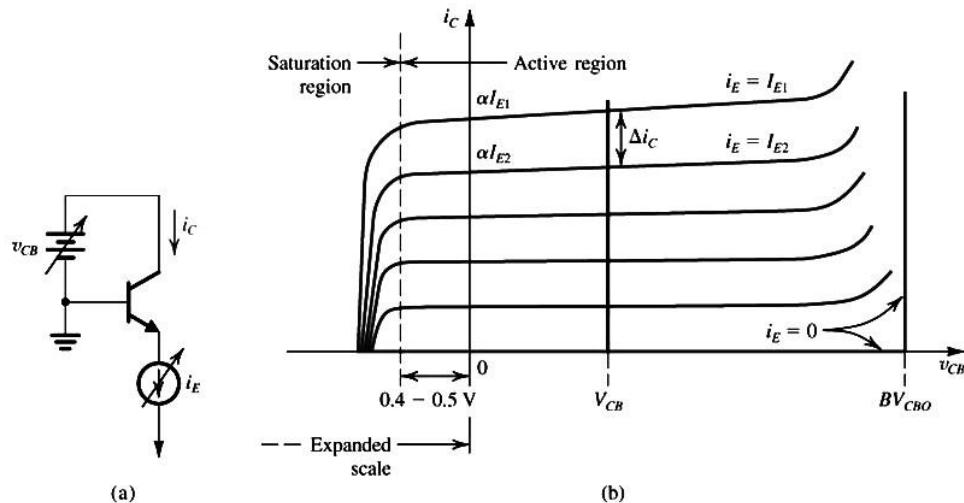
Chúng giống với quan hệ $i - v$ của điốt (nhưng không có giá trị hằng số n). Các đặc tuyến $i_E - v_{BE}$ và $i_B - v_{BE}$ cũng là dạng hàm mũ nhưng khác nhau về tỷ lệ dòng I_S/α cho i_E và I_S/β cho i_B . Bởi vì hằng số của đặc tuyến mũ $1/V_T$ là khá lớn (≈ 40), đường cong tăng lên khá nhanh (đột ngột). Với v_{BE} nhỏ hơn khoảng 0.5V, dòng điện là nhỏ không đáng kể. Tương tự, với đa số dòng điện thông thường khoảng v_{BE} là từ 0.6V tới 0.8V. Khi tính toán ở chế độ một chiều, chúng ta thường giả sử rằng $V_{BE} \approx 0.7V$, điều này tương tự như khi phân tích các mạch điốt (Chương 3). Với transistor *pnp*, đặc tuyến $i_C - v_{EB}$ sẽ tương tự giống như hình 5.14 với v_{BE} được thay thế bởi v_{EB} .

Với các điốt làm bằng Silic, điện áp trên tiếp giáp emitơ – bazơ giảm xuống khoảng 2mV mỗi khi nhiệt độ tăng lên $1^\circ C$, lớp tiếp giáp hoạt động với một dòng điện không đổi. Hình 5.15 biểu diễn sự phụ thuộc nhiệt độ của đường cong $i_C - v_{BE}$ tại 3 nhiệt độ khác nhau cho một transistor *n*p*n*.



Hình 5.15 Ảnh hưởng của nhiệt độ tới đường đặc tuyến $i_C - v_{BE}$. Tại một dòng emitor không đổi (đường nét đứt) v_{BE} thay đổi $-2\text{mV}^{\circ}\text{C}$.

Họ đặc tuyến bazơ chung Một cách để mô tả sự hoạt động của một transistor là vẽ một đồ thị quan hệ giữa dòng i_C và v_{CB} với các giá trị i_E khác nhau. Để xây dựng đặc tuyến này, điện áp bazơ được giữ không đổi, ở đây là tại điện thế của đất và do đó cực bazơ như một điểm chung giữa đầu vào và đầu ra. Vì vậy, họ các đường đặc tuyến như trong hình 5.16(b) được gọi là họ đặc tuyến bazơ chung.



Hình 5.16 Các đường đặc tuyến $i_C - v_{CB}$ của một transistor *npn*.

Trong miền hoạt động tích cực của transistor, khi $v_{CB} \geq -0.4V$, đường đặc tuyến $i_C - v_{CB}$ lệch hướng với hướng mong muốn theo hai hướng. Thứ nhất, các đường cong không theo đường thẳng nằm ngang mà lệch một độ nghiêng dương nhỏ, chứng tỏ rằng i_C ít phụ thuộc vào v_{CE} ở trong chế độ tích cực. Thứ hai, tại các giá trị lớn của v_{CB} , dòng điện colecto tăng lên nhanh chóng, gây ra hiện tượng đánh thủng mà chúng ta sẽ xem xét ở phần sau.

Như chỉ ra trong hình 5.16(b), mỗi đường đặc tuyến cắt trực tung tại một dòng điện có giá trị là αI_E với I_E là dòng điện emitor không đổi tương ứng với mỗi đường cong riêng biệt được đo đặc. Giá trị α là **tổng** hoặc **tín hiệu lớn** α ; nghĩa là $\alpha = i_C / i_E$ trong đó i_C và i_E gọi là tổng các dòng qua colecto và emitor tương ứng. Ở đây, chúng ta nhớ lại rằng α được gọi là hệ số khuếch đại dòng bazơ chung. Một **sự gia tăng** hoặc **tín hiệu nhỏ** α có thể được xác định bằng việc đo sự thay đổi của i_C ,

Δi_C nhận được bởi sự thay đổi dòng i_E bằng cách tăng một lượng Δi_E , $\alpha = \Delta i_C / \Delta i_E$. Kết quả đo thường được thực hiện tại một điện áp v_{CB} không đổi, như chỉ ra trong hình 5.16(b). Thông thường, các giá trị tăng thêm và tổng α khác nhau rất ít.

Cuối cùng, chúng ta chuyển sang vùng bão hòa, phương trình Ebers – Moll có thể được dùng để biểu diễn cho đường cong $i_C - v_{CB}$ trong vùng bão hòa (với $i_E = I_E$),

$$i_C = \alpha_F I_F - I_S \left(\frac{1}{\alpha_R} - \alpha_F \right) e^{v_{BC}/V_T} \quad (5.29)$$

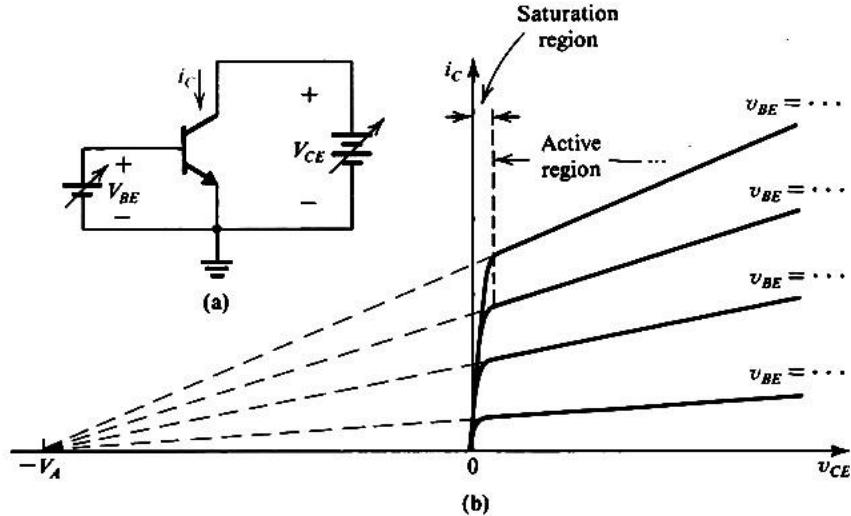
Chúng ta có thể sử dụng phương trình này để xác định giá trị v_{BC} tại điểm i_C giảm tới 0. Nhớ rằng lớp tiếp giáp CBJ lớn hơn nhiều tiếp giáp EBJ, điện áp rơi thuận v_{BC} sẽ nhỏ hơn v_{BE} , kết quả điện áp giữa collecto – emitơ (v_{CE}) có giá trị trong khoảng từ 0.1V tới 0.3V trong vùng bão hòa.

5.2.3 Sự phụ thuộc của i_C vào điện áp collecto – Hiệu ứng sớm

Khi hoạt động ở vùng tích cực, BJT thực tế chỉ ra rằng sự phụ thuộc của dòng collecto vào điện áp collecto, với kết quả là họ đặc tuyến $i_C - v_{CB}$ không hoàn toàn là các đường thẳng. Để quan sát sự phụ thuộc này rõ ràng hơn, xét mạch cơ bản trong hình 5.17(a). Transistor được nối **kiểu emitơ chung**; ở đây cực emitơ là cực chung giữa đầu vào và đầu ra. Điện áp V_{BE} có thể thiết lập bằng cách điều chỉnh nguồn một chiều nối giữa bazơ và emitơ. Với mỗi giá trị V_{BE} , tương ứng có một đường đặc tuyến $i_C - v_{CE}$ xây dựng bằng cách thay đổi nguồn một chiều nối giữa collecto và emitơ và đo tương ứng dòng điện collecto. Kết quả ta có một họ đặc tuyến $i_C - v_{CE}$ trong hình 5.17(b) và được gọi là **họ đặc tuyến emitơ chung**.

Tại các giá trị v_{CE} nhỏ, khi điện áp collecto thấp hơn cực bazơ 0.4V, lớp tiếp giáp collecto – bazơ sẽ phân cực thuận và transistor chuyển từ chế độ khuếch đại sang chế độ bão hòa. Chúng ta sẽ nghiên cứu về đặc tuyến $i_C - v_{CE}$ tại vùng bão hòa sau. Tuy nhiên, tại thời điểm này, chúng ta tập trung nghiên cứu chi tiết đặc tuyến của BJT trong vùng tích cực. Chúng ta chú ý rằng các đường đặc tuyến, mặc dù là đường thẳng nhưng cũng có độ dốc xác định. Thực tế, khi ngoại suy, các đường đặc tuyến sẽ gặp nhau tại một điểm trên trục hoành mà v_{CE} có giá trị âm, đó là tại điểm $v_{CE} = -V_A$. Điện áp V_A là một số dương, nó là một thông số của transistor BJT, giá trị thông thường của nó nằm trong khoảng từ 50V tới 100V. Nó được gọi là **điện áp sớm (Early Voltage)** theo J. M. Early, nhà khoa học đầu tiên nghiên cứu về hiện tượng này.

Tại một giá trị v_{BE} , sự tăng lên của v_{CE} làm tăng điện áp phân cực ngược cho lớp tiếp giáp colecto – bazơ và do đó tăng độ rộng vùng nghèo của lớp tiếp giáp này (xem hình 5.3). Kết quả này làm giảm ảnh hưởng độ rộng vùng bazơ W . Nhớ lại là I_S tỷ lệ nghịch với W , chúng ta thấy rằng I_S sẽ tăng và i_C sẽ tăng tỉ lệ theo. Đây là hiệu ứng sớm.



Hình 5.17 (a) Mạch cơ bản để xây dựng đặc tuyến $i_C - v_{BE}$ của BJT. (b) Đặc tuyến $i_C - v_{BE}$ của BJT thực tế.

Sự phụ thuộc tuyến tính của i_C vào v_{CE} có thể được tính toán bằng cách giả sử I_S là hằng số và chứa thừa số $(1 + v_{CE}/V_A)$ trong phương trình tính i_C như sau:

$$i_C = I_S e^{v_{BE}/V_T} \left(1 + \frac{v_{CE}}{V_A} \right) \quad (5.30)$$

Độ dốc không bằng 0 của các đường thẳng $i_C - v_{BE}$ chứng tỏ rằng **điện trở đầu ra** nhin từ cực colecto là hữu hạn. Giá trị hữu hạn của nó được định nghĩa bởi

$$r_o \equiv \left[\frac{\partial i_C}{\partial v_{CE}} \Big|_{v_{BE}=\text{const}} \right]^{-1} \quad (5.31)$$

Sử dụng phương trình (5.30) chúng ta có thể chỉ ra rằng

$$r_o = \frac{V_A + V_{CE}}{I_C} \quad (5.32)$$

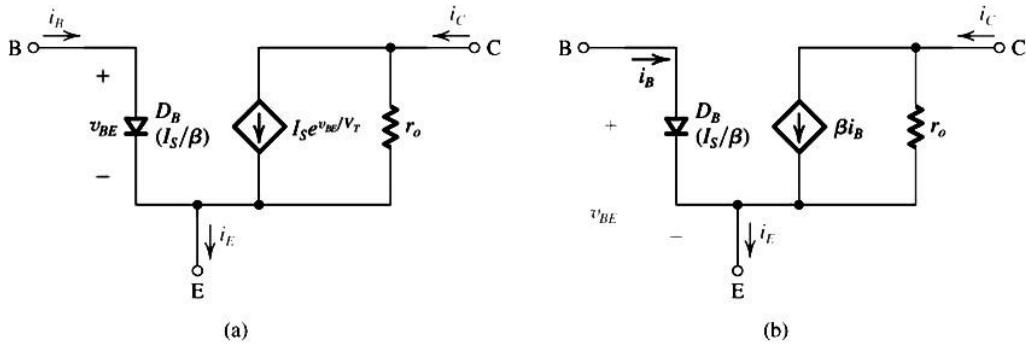
Ở đây I_C và V_{CE} là tọa độ của điểm mà BJT đang hoạt động trên một phần đường cong đặc tuyến $i_C - v_{CE}$ (nghĩa là khi $v_{BE} = V_{BE}$). Mặt khác, chúng ta có thể viết:

$$r_o = \frac{V_A}{I_C} \quad (5.33a)$$

ở đây I'_C là giá trị của dòng colecto trong trường hợp bỏ qua hiệu ứng sớm, nghĩa là :

$$I'_C = I_S e^{V_{BE}/V_T} \quad (5.33b)$$

Điện trở đầu ra r_o hữu hạn có thể có một ảnh hưởng đáng kể đến hệ số khuếch đại của transistor, và sẽ được nghiên cứu ở các phần sau.



Hình 5.18 Các mô hình mạch tương đương tín hiệu lớn của transistor BJT *npn* hoạt động ở chế độ tích cực với cách măc emitơ chung.

Điện trở đầu ra r_o có thể có trong mô hình mạch của transistor. Điều này được minh họa trong hình 5.18, nơi mà chúng ta biểu diễn các mô hình mạch tín hiệu lớn của transistor *npn* nói kiệu emitơ chung và hoạt động ở chế độ tích cực. Xét các mô hình điốt D_B sự phụ thuộc theo hàm số mũ của i_B theo v_{BE} trong đó có một dòng điện tỉ lệ là $I_{SB} = I_S / \beta$. Hơn nữa, cần lưu ý đến sự khác nhau của hai mô hình chỉ là cách điều khiển của transistor: Trong mạch hình 5.18(a) điện áp v_{BE} điều khiển nguồn dòng colecto, trong khi đó mạch trong hình 5.18(b) dòng điện bazơ i_B là thông số điều khiển nguồn dòng βi_B . Ở đây, cần lưu ý rằng β biểu diễn hệ số khuếch đại dòng lý tưởng (nghĩa là khi bỏ qua r_o) trong cách măc emitơ chung, đó là lí do tại sao nó có tên là **hệ số khuếch đại dòng emitơ chung**.

5.2.4 Họ đặc tuyến Emitơ chung

Một cách khác để biểu diễn họ đặc tuyến của transistor măc kiệu emitơ chung được minh họa trong hình 5.19. Ở đây dòng bazơ i_B được dùng như một tham số điều khiển hơn là điện áp bazơ – emitơ v_{BE} . Do đó, mỗi đường đặc tuyến $i_C - v_{CE}$ được xác định tương ứng với một dòng bazơ I_B không đổi. Các đường đặc tuyến thu được cũng

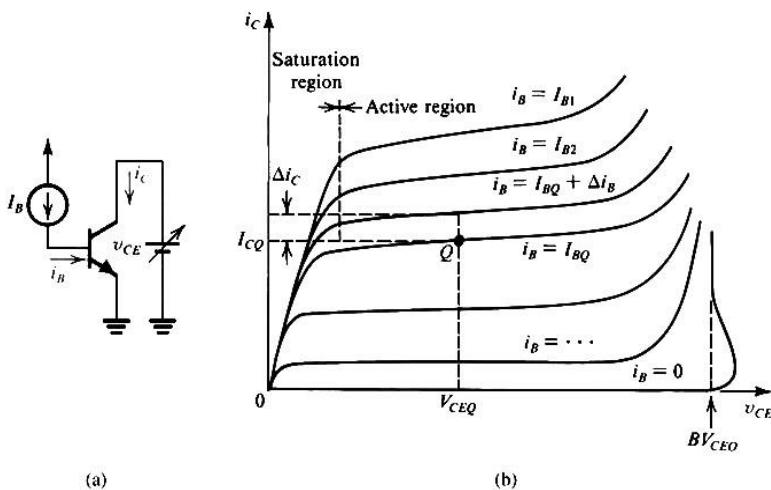
giống như trong hình 5.17 ngoại trừ ở đây chúng ta thấy có hiện tượng đánh thủng mà chúng ta sẽ thảo luận ở phần sau.

* Hệ số khuếch đại dòng emitơ chung (β):

Xét một transistor hoạt động ở vùng tích cực tại điểm Q trong hình 5.19, nghĩa là tại một dòng điện collecto I_{CQ} , một dòng bazơ I_{BQ} và một điện áp collecto – emitơ V_{CEQ} . Tỷ số của dòng collecto và dòng bazơ là **tín hiệu lớn** hay giá trị β một chiều,

$$\beta_{dc} \equiv \frac{I_{CQ}}{I_{BQ}} \quad (5.34)$$

ở đây, tham số β chúng ta đã đề cập trong phần mô tả về hoạt động của transistor. Thông thường β được tra cứu trong các tài liệu kỹ thuật của nhà sản xuất (datasheet) là tham số h_{FE} , một ký hiệu sử dụng cho thông số hỗn hợp h , thông số sử dụng trong mạng hai cửa để đặc trưng cho sự hoạt động của transistor BJT.



Hình 5.19 Các đặc tuyến emitơ chung. Chú ý rằng tỷ lệ theo phương ngang được mở rộng so với nguyên gốc để minh họa vùng bão hòa được chi tiết hơn.

Một cách khác có thể định nghĩa β từ sự gia tăng hoặc các đại lượng biến thiên tín hiệu nhỏ. Trên hình 5.19 chúng ta thấy, khi giữ v_{CE} là hằng số tại giá trị V_{CEQ} , thay đổi i_B từ I_{BQ} tới $(I_{BQ} + \Delta i_B)$, kết quả là i_C tăng lên từ I_{CQ} tới $(I_{CQ} + \Delta i_C)$. Do đó chúng ta có thể định nghĩa **sự gia tăng** của β hay giá trị β **xoay chiều** (β_{ac}) là :

$$\beta_{ac} = \left. \frac{\Delta i_C}{\Delta i_B} \right|_{v_{CE}=const} \quad (5.35)$$

Độ lớn của β_{ac} và β_{dc} là khác nhau, sự sai khác khoảng từ 10% tới 20%. Ở đây, chúng ta không phân biệt sự khác nhau giữa hai đại lượng này. Cuối cùng, chúng ta nên hiểu tham số tín hiệu nhỏ β hay β_{ac} được ký hiệu là h_{fe} . Bởi vì tham số tín

hiệu nhỏ β hoặc h_{fe} được định nghĩa và tính tại v_{CE} là hằng số, có nghĩa với thành phần tín hiệu bằng 0 giữa colecto và emitơ – nên nó được gọi là **hệ số khuếch đại dòng điện ngắn mạch emitơ chung**.

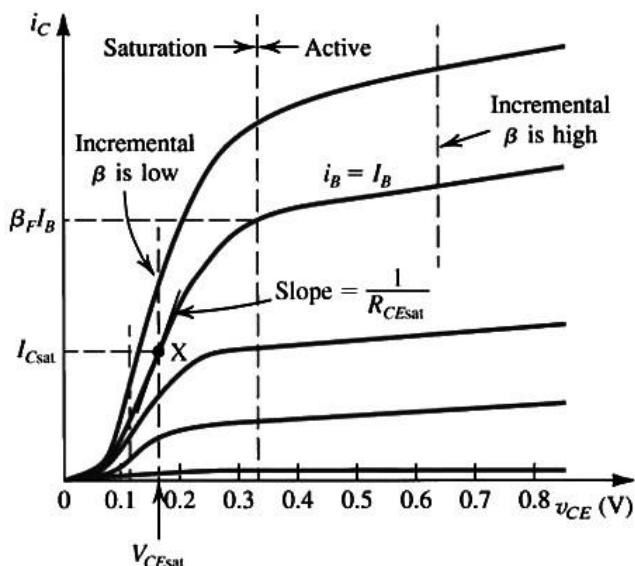
* **Điện áp bão hòa V_{CESat} và điện trở bão hòa R_{CESat}** :

Quan sát rộng hơn tới các đặc tuyến emitơ chung trong vùng bão hòa trên hình 5.20. Các đường cong đặc tuyến được “nhóm” lại với nhau ở vùng bão hòa chỉ ra rằng sự gia tăng giá trị β là thấp hơn so với vùng tích cực. Xét một điểm hoạt động của BJT trong vùng bão hòa được đánh dấu là X trên đồ thị. Nó được đặc trưng bởi dòng điện bazơ I_B , dòng điện colecto bão hòa I_{Csat} , và một điện áp colecto – emitơ bão hòa V_{CESat} . Lưu ý rằng $I_{Csat} < \beta_F I_B$. Bởi vì giá trị của I_{Csat} được xác định bởi người thiết kế mạch, một transistor bão hòa hoạt động với một giá trị β áp đặt được tính bởi

$$\beta_{forced} \equiv \frac{I_{Csat}}{I_B} \quad (5.36)$$

Do đó

$$\beta_{forced} < \beta_F \quad (5.37)$$

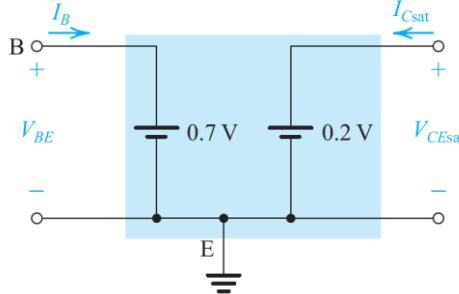


Hình 5.20 Một điểm quan sát rộng hơn về họ đặc tuyến emitơ chung trong vùng bão hòa.

Các đường cong $i_C - v_{CE}$ trong vùng bão hòa là khá dốc, chỉ ra rằng khi transistor bị bão hòa thì nó có điện trở colecto – emitơ R_{CESat} thấp,

$$R_{CEsat} \equiv \left. \frac{\partial v_{CE}}{\partial i_C} \right|_{\substack{i_B=i_C \\ i_C=I_{Csat}}} \quad (5.38)$$

Thông thường, giá trị R_{CEsat} nằm trong khoảng từ vài Ω tới vài chục Ω .



Hình 5.21 Một mô hình mạch điện tương đương đơn giản của BJT hoạt động ở chế độ bão hòa.

Hình 5.21 là mô hình mạch điện tương đương đơn giản của BJT hoạt động ở chế độ bão hòa. Ở đây V_{BE} được giả thiết là hằng số (xấp xỉ 0,7V) và điện áp V_{CE} bão hòa cũng là hằng số ($V_{CEsat} \approx 0,2V$), có nghĩa là chúng ta có thể bỏ qua điện trở R_{CEsat} nhỏ để tiện lợi cho việc sử dụng mô hình này trong tính toán.

Điện áp V_{CEsat} có thể được tính bằng cách thay thế $i_C = I_{Csat} = \beta_{forced} I_B$ và $v_{CE} = V_{CEsat}$ theo công thức :

$$V_{CEsat} = V_T \frac{1 + (\beta_{forced} + 1) / \beta_R}{1 - (\beta_{forced} / \beta_F)} \quad (5.39)$$

5.2.5 Transistor đánh thủng

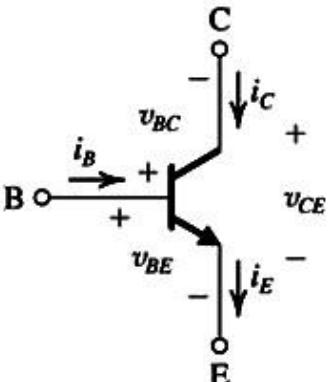
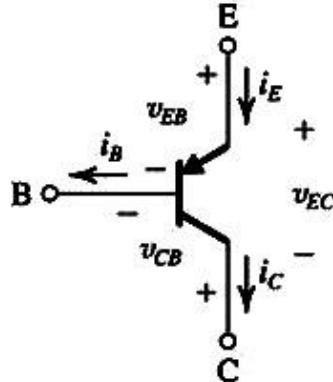
Điện áp lớn nhất có thể đặt lên một transistor bị giới hạn bởi hiệu ứng đánh thủng các lớp tiếp giáp EBJ và CBJ, mà theo sau bởi cơ chế đánh thủng thác lũ. Trong sơ đồ mắc kiểu bazơ chung, họ đặc tuyến $i_C - v_{CB}$ trong hình 5.16(b) cho thấy với $i_E = 0$ (nghĩa là hở mạch emitơ), lớp tiếp giáp collectơ – bazơ bị đánh thủng bởi một điện áp ký hiệu là BV_{CBO} . Với $i_E > 0$, sự đánh thủng xảy ra với điện áp nhỏ hơn BV_{CBO} . Thông thường giá trị $BV_{CBO} > 50V$.

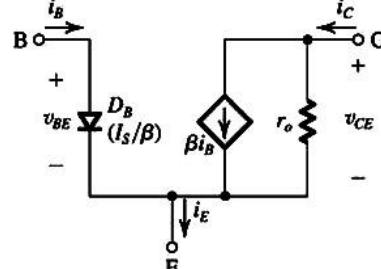
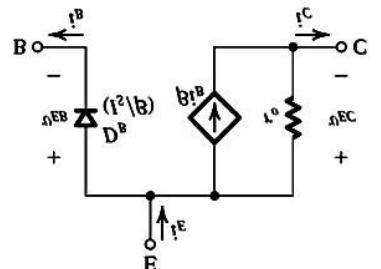
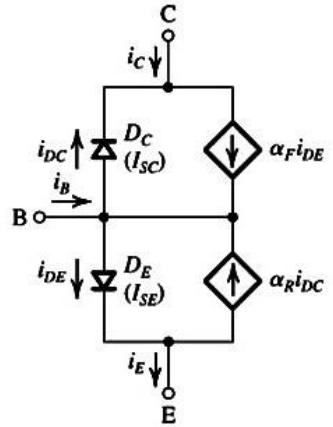
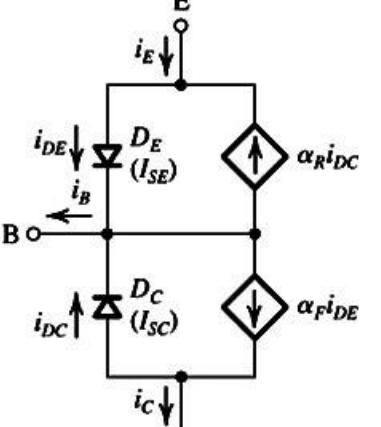
Tiếp theo xét họ đặc tuyến emitơ chung trong hình 5.19, sự đánh thủng xảy ra tại điện áp BV_{CEO} . Ở đây, mặc dù hiện tượng đánh thủng là dạng thác lũ, các ảnh hưởng trên họ đặc tuyến là phức tạp hơn so với kiểu mắc bazơ chung. BV_{CEO} có giá trị là khoảng một nửa BV_{CBO} . Trong datasheet của transistor, BV_{CEO} đôi khi được so với **diện áp duy trì** LV_{CEO} .

Sự đánh thủng của CBJ trong cách măc bazơ chung hoặc emitơ chung không làm hỏng transistor miễn là công suất tiêu hao của linh kiện được giữ nhỏ hơn giá trị giới hạn an toàn. Tuy nhiên, điều này không đúng với tiếp giáp emitơ – bazơ. EBJ bị đánh thủng thác lũ tại một điện áp BV_{EBO} nhỏ hơn nhiều so với BV_{CBO} . Thông thường, BV_{EBO} nằm trong khoảng từ 6V tới 8V, và tại điểm đánh thủng, hệ số β của transistor sẽ bị giảm vĩnh viễn.

5.2.6 Tổng kết

Phân nghiên cứu các đặc tuyến dòng – điện áp của BJT được tổng hợp trong bảng 5.3.

Bảng 5.3 Tổng kết về các họ đặc tuyến dòng – áp của BJT		
Ký hiệu và chiều các dòng điện của BJT	Transistor npn	Transistor pnp
<p>Hoạt động trong chế độ tích cực (đối với các ứng dụng khuếch đại tín hiệu)</p> <p>Các điều kiện:</p> <ol style="list-style-type: none"> EBJ phân cực thuận CBJ phân cực ngược <p>Các quan hệ dòng – áp</p>	 $\begin{aligned} v_{BE} &> V_{BEon}; V_{BEon} \approx 0.5V \\ \text{Thường } v_{BE} &= 0.7V \\ v_{BC} &\leq V_{BCon}; V_{BCon} \approx 0.4V \\ \Rightarrow v_{CE} &\geq 0.3V \end{aligned}$ <ul style="list-style-type: none"> ▪ $i_C = I_s e^{v_{BE}/V_T}$ 	 $\begin{aligned} v_{EB} &> V_{EBon}; V_{EBon} \approx 0.5V \\ \text{Thường } v_{EB} &= 0.7V \\ v_{CB} &\leq V_{CBon}; V_{CBon} \approx 0.4V \\ \Rightarrow v_{EC} &\geq 0.3V \end{aligned}$ <ul style="list-style-type: none"> ▪ $i_C = I_s e^{v_{EB}/V_T}$ <ul style="list-style-type: none"> ▪ $i_B = i_C / \beta \Leftrightarrow i_C = \beta i_B$ ▪ $i_E = i_C / \alpha \Leftrightarrow i_C = \alpha i_E$

	$\beta = \frac{\alpha}{1-\alpha} \Leftrightarrow \alpha = \frac{\beta}{1+\beta}$
Mô hình mạch tương đương tín hiệu lớn (có hiệu ứng sớm)	 $i_B = \left(\frac{I_S}{\beta} \right) e^{v_{BE}/V_T}$ $i_C = I_S e^{v_{BE}/V_T} \left(1 + \frac{V_{CE}}{V_A} \right)$ $r_o = V_A / (I_S e^{V_{BE}/V_T})$  $i_B = \left(\frac{I_S}{\beta} \right) e^{v_{EB}/V_T}$ $i_C = I_S e^{v_{EB}/V_T} \left(1 + \frac{V_{EC}}{ V_A } \right)$ $r_o = V_A / (I_S e^{V_{EB}/V_T})$
Mô hình Ebers-Moll	 $i_{DE} = I_{SE} (e^{v_{BE}/V_T} - 1)$ $i_{DC} = I_{SC} (e^{v_{BC}/V_T} - 1)$  $i_{DE} = I_{SE} (e^{v_{EB}/V_T} - 1)$ $i_{DC} = I_{SC} (e^{v_{CB}/V_T} - 1)$
	$\alpha_F I_{SE} = \alpha_R I_{SC} = I_S$ $\frac{I_{SC}}{I_{SE}} = \frac{\alpha_F}{\alpha_R} = \frac{\text{Dien tích CBJ}}{\text{Dien tích EBJ}}$
Hoạt động trong chế độ bão hòa	Transistor npn
Các điều kiện:	
1. EBJ phân cực thuận	$v_{BE} > V_{BEon}; V_{BEon} \approx 0.5V$ Thường $v_{BE} = 0.7 - 0.8V$
	Transistor pnp
	$v_{EB} > V_{EBon}; V_{EBon} \approx 0.5V$ Thường $v_{EB} = 0.7 - 0.8V$

2. CBJ phân cực thuận	$v_{BC} \geq V_{BCon}; V_{BCon} \approx 0.4V$ Thường $v_{BC} = 0.5 - 0.6V$ $\Rightarrow v_{CE} = V_{CESat} = 0.1 - 0.2V$	$v_{CB} \geq V_{Cbon}; V_{Cbon} \approx 0.4V$ Thường $v_{CB} = 0.5 - 0.6V$ $\Rightarrow v_{EC} = V_{ECSat} = 0.1 - 0.2V$
Dòng điện	$I_{Csat} = \beta_{forced} I_B$ $\beta_{forced} \leq \beta_F, \frac{\beta_F}{\beta_{forced}} = \text{hệ số khởi động nhanh}$	
Các mạch tương đương	$ V_{CESat} = V_T \ln \left[\frac{1 + (\beta_{forced} + 1) / \beta_F}{1 - \beta_{forced} / \beta_F} \right]$ <p>Với $\beta_{forced} = \beta_F / 2; R_{CESat} = 1/10 \beta_F I_B$</p>	

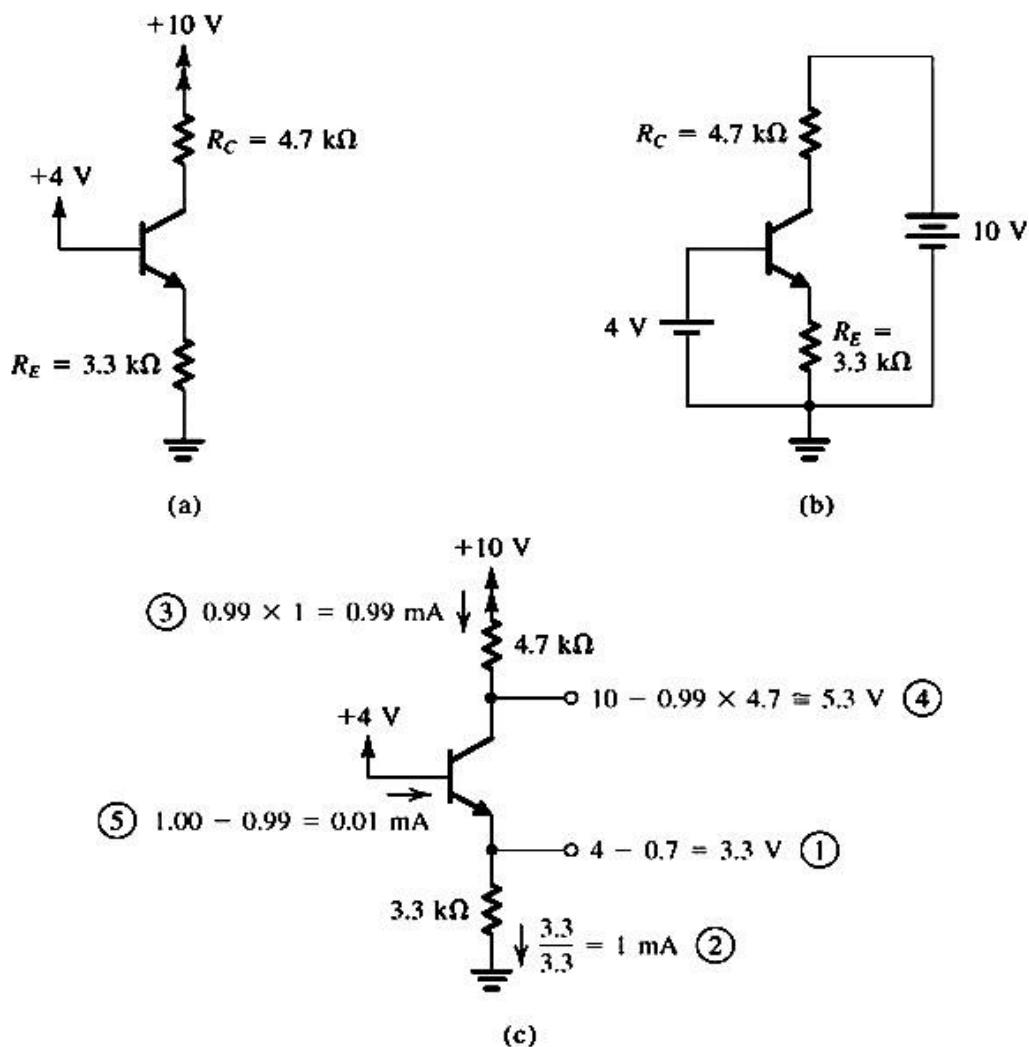
5.3 Các mạch BJT ở chế độ một chiều

Ta sẽ đi phân tích các mạch BJT khi nó được chỉ được cung cấp bởi các điện áp một chiều. Khi đó, trong tính toán ta sẽ sử dụng mô hình đơn giản trong đó transistor dẫn khi $|V_{BE}| = 0.7V$ và $|V_{CE}| = 0.2V$ khi transistor khi hoạt động ở chế độ bão hòa và chúng ta sẽ bỏ qua hiệu ứng sớm (Early Effect). Tất nhiên, các mô hình khác tốt hơn vẫn có thể được sử dụng để thu được những kết quả chính xác hơn.

Khi phân tích một mạch điện câu hỏi đầu tiên mà chúng ta phải trả lời được đó là xác định xem transistor đang làm việc ở chế độ nào? Trong một số trường hợp, câu trả lời sẽ rất rõ ràng bằng cách kiểm tra nhanh điện áp trên các cực của BJT và xét điều kiện để biết transistor đang ở chế độ cắt dòng (khóa) hay đang mở. Nếu đang mở, chúng ta sẽ xác định xem BJT đang hoạt động ở chế độ tích cực hay bão hòa. Tuy nhiên, trong nhiều trường hợp, để có câu trả lời lại không hề đơn giản. Khi người đọc có kiến thức thực tế và kinh nghiệm trong việc phân tích và thiết kế mạch dùng transistor, câu trả lời sẽ trở nên rõ ràng hơn. Tuy nhiên câu trả lời có thể sẽ luôn tìm thấy nếu thông qua quá trình như sau:

Giả thiết rằng transistor đang làm việc ở vùng tích cực, và tiến hành xác định các điện áp trên các cực của BJT và các dòng điện tương ứng của chúng. Tiếp đó đối chiếu các kết quả với giả thiết rằng transistor đang làm việc ở chế độ tích cực; tức là, v_{CB} của một transistor *npn* lớn hơn $-0,4V$ (hay v_{CB} của transistor *pnp* nhỏ hơn $0,4V$) hay không? Nếu câu trả lời là có, thì nhiệm vụ của chúng ta đã hoàn thành. Còn nếu câu trả lời là không, thì giả thiết rằng transistor làm việc ở chế độ bão hòa, sử dụng mô hình trong bảng 5.3 và tiến hành xác định các dòng điện và điện áp, sau đó kiểm tra các kết quả với giả thiết BJT làm việc trong chế độ bão hòa. Ở đây các phép kiểm tra thường là tính toán tỷ lệ I_C/I_B và kiểm tra rằng nó có nhỏ hơn giá trị β của transistor không tức là $\beta_{forced} < \beta$. Vì β của một transistor thường thay đổi trong một khoảng rất rộng, nên sử dụng giá trị β nhỏ nhất cho việc kiểm tra này. Lưu ý rằng thứ tự của hai giả thiết này có thể đảo ngược lại.

Ví dụ 5.4: Xét mạch điện trong Hình Ex 5.4(a) và được vẽ lại trong Hình Ex 5.4(b). Hãy phân tích mạch này để xác định điện áp tại tất cả các nút và các dòng trên các nhánh. Ta sẽ giả thiết rằng β có giá trị là 100.



Hình Ex 5.4 Phân tích mạch điện của Ví dụ 5.4 : (a) mạch điện; (b) mạch điện được vẽ lại ; (c) phân tích theo trình tự các bước được đánh số.

Lời giải :

Quan sát mạch điện trong Hình Ex 5.4(a), ta chú ý rằng cực bazơ được nối với điện áp +4V và cực emitơ được nối với đất thông qua điện trở R_E . Bởi vậy có thể kết luận chắc chắn rằng tiếp giáp bazơ – emitơ sẽ được phân cực thuận. Giả thiết rằng trong trường hợp này V_{BE} xấp xỉ bằng 0,7V, theo đó điện áp emitơ sẽ là :

$$V_E = 4 - V_{BE} \approx 4 - 0.7 = 3.3V$$

Ta biết được điện áp rơi trên điện trở R_E , do đó có thể xác định dòng I_E đi qua nó :

$$I_E = \frac{V_E - 0}{R_E} = \frac{3.3V}{3.3k\Omega} = 1 \text{ mA}$$

Vì cực collectơ được nối với nguồn cung cấp +10V thông qua R_C , nên có thể xảy ra trường hợp điện áp collectơ sẽ cao hơn điện áp bazơ, là điện áp cần thiết cho

transistor hoạt động ở chế độ tích cực. Giả thiết rằng đây là trường hợp đó, ta có thể xác định dòng collecto từ mối quan hệ

$$I_C = \alpha I_E$$

Giá trị của α có thể tính được từ :

$$\alpha = \frac{\beta}{\beta + 1} = \frac{100}{101} \approx 0.99$$

Do vậy: $I_C = 0.99 \times 1 = 0.99 \text{ mA}$

Bây giờ ta sử dụng định luật Ôm để xác định giá trị của điện áp collecto V_C :

$$V_C = 10 - I_C R_C = 10 - 0.99 \times 4.7 \approx +5.3 \text{ V}$$

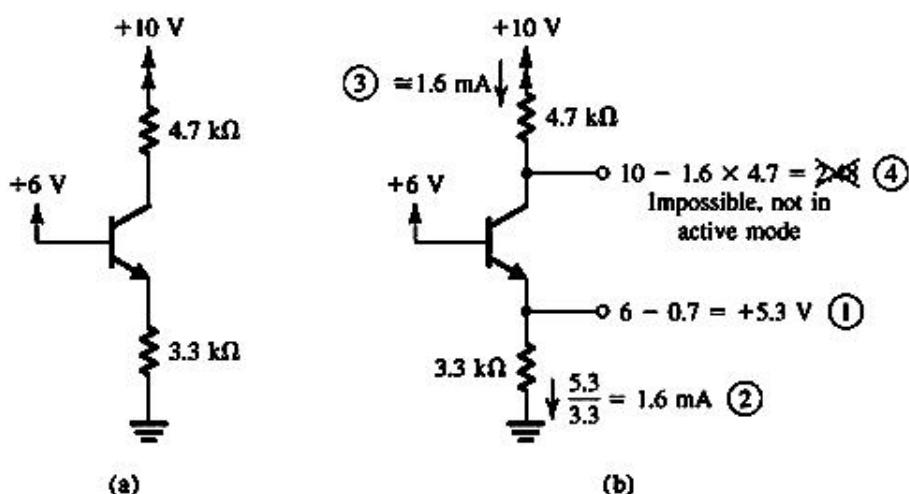
Vì cực bazơ có điện áp +4V, tiếp giáp collecto – bazơ được phân cực ngược 1.3V và transistor hoạt động ở chế độ tích cực như đã giả thiết ở trên.

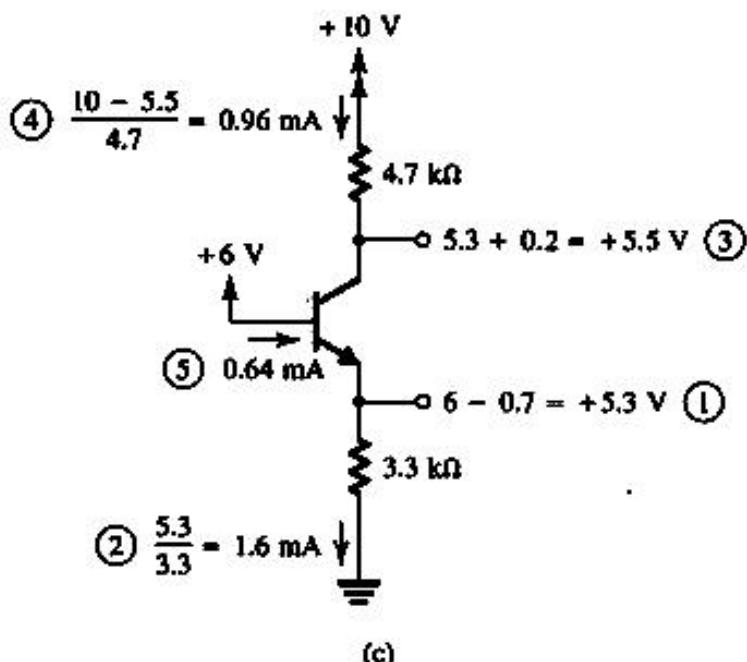
Chỉ còn lại đại lượng duy nhất cần xác định là dòng bazơ I_B :

$$I_B = \frac{I_E}{\beta + 1} = \frac{1}{101} \approx 0.01 \text{ mA}$$

Việc phân tích ở trên được ghi một cách trực tiếp theo các bước được đánh số trên sơ đồ mạch (hình Ex 5.4 (c)). Bằng cách này, ta có thể phân tích các mạch phức tạp trong một khoảng thời gian hợp lý.

Ví dụ 5.5: Hãy phân tích mạch điện trong Hình Ex 5.5(a) để xác định điện áp tại tất cả các nút và dòng qua các nhánh. Chú ý rằng mạch điện này tương tự như mạch điện của Hình Ex 5.4 ngoại trừ việc điện áp ở cực bazơ lúc này là +6V. Giả thiết rằng β của transistor được chỉ định *nhỏ nhất* là 50.





Hình Ex 5.5 Phân tích mạch điện trong ví dụ 5.5. Chú ý các số khoanh tròn chỉ ra thứ tự các bước phân tích.

Lời giải :

Giả thiết rằng khi làm việc ở chế độ tích cực ta có :

$$V_E = +6 - V_{BE} \approx 6 - 0.7 = 5.3V$$

$$I_E = \frac{5.3}{3.3} = 1.6 \text{ mA}$$

$$V_C = +10 - 4.7 \times I_C \approx 10 - 7.52 = 2.48 V$$

Chi tiết của quá trình phân tích trên được mô tả trong Hình Ex 5.5(b). Vì điện áp colecto tính được nhỏ hơn điện áp bazơ 3.52V, nên theo đó những giả thiết ban đầu của chúng ta là transistor hoạt động ở chế độ tích cực là không chính xác. Trong thực tế, transistor làm việc ở chế độ *bão hòa*. Khi đó, ta có :

$$V_E = +6 - 0.7 = +5.3V$$

$$I_E = \frac{V_E}{3.3} = \frac{5.3}{3.3} = 1.6mA$$

$$V_C = V_E + V_{CEsat} \approx +5.3 + 0.2 = +5.5V$$

$$I_C = \frac{+10 - 5.5}{4.7} = 0.96 \text{ mA}$$

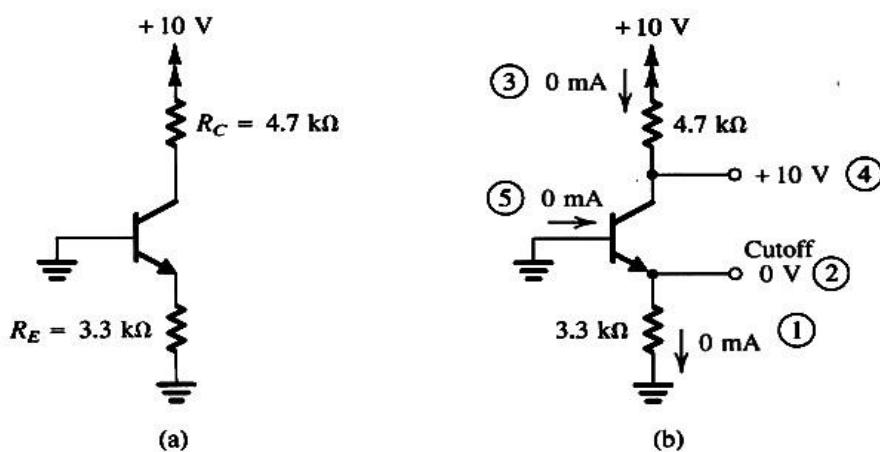
$$I_B = I_E - I_C = 1.6 - 0.96 = 0.64 \text{ mA}$$

Do đó transistor hoạt động với giá trị β áp đặt là :

$$\beta_{forced} = \frac{I_C}{I_B} = \frac{0.96}{0.64} = 1.5$$

Vì β_{forced} nhỏ hơn giá trị chỉ định *nhỏ nhất* của β , nên transistor quả thực đã bão hòa rất sâu. Ở đây ta cần nhấn mạnh rằng khi kiểm tra xem BJT có hoạt động ở chế độ bão hòa không thì nên sử dụng giá trị nhỏ nhất của β . Nếu ta thiết kế một mạch điện trong đó transistor hoạt động ở chế độ bão hòa, ta nên dựa trên giá trị β chỉ định là nhỏ nhất. Rõ ràng, nếu một transistor với giá trị β nhỏ nhất đã hoạt động ở chế độ bão hòa, thì những transistor với giá trị β lớn hơn cũng sẽ bị bão hòa. Mô tả chi tiết của các bước phân tích được thể hiện trong Hình Ex 5.5(c), ở đó thứ tự của các bước phân tích mạch được thể hiện qua các số được khoanh tròn.

Ví dụ 5.6: Phân tích mạch điện trong Hình Ex 5.6(a) để xác định điện áp ở tất cả các nút và dòng điện qua các nhánh. Chú ý rằng mạch điện này giống hệt với mạch đã được xét trong Ví dụ 5.4 và 5.5 trừ việc trong mạch này điện áp bazơ bằng 0.



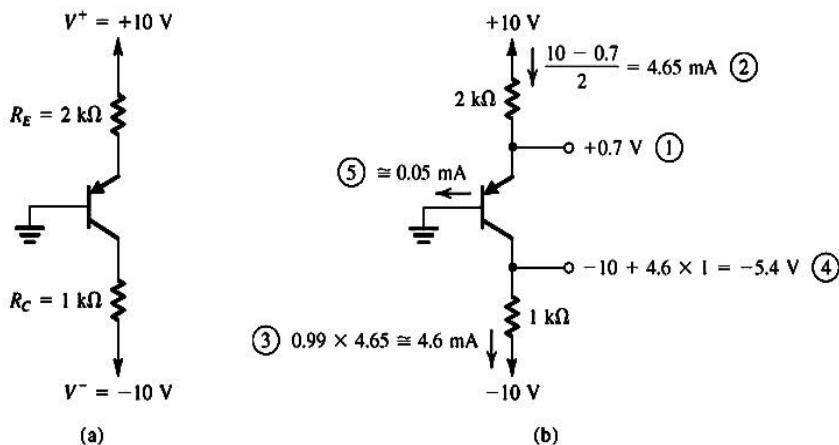
Hình Ex 5.6 (a) mạch điện; (b) phân tích mạch theo các bước được thể hiện bởi các số được khoanh tròn.

Lời giải :

Vì cực bazơ có điện áp 0V và cực emitơ được nối với đất thông qua điện trở R_E , nên tiếp giáp emitơ – bazơ không mở và dòng emitơ bằng 0. Ngoài ra, tiếp giáp collectơ – bazơ không thể dẫn vì cực collectơ loại *n* được nối với nguồn dương qua điện trở R_C trong khi cực bazơ loại *p* được nối với đất. Do đó dòng collectơ sẽ bằng 0. Dòng bazơ cũng phải bằng 0, và transistor hoạt động ở chế độ *cắt dòng*.

Điện áp emitơ tắt nhiên sẽ bằng 0, trong khi điện áp colectơ sẽ bằng +10V, và điện áp rơi trên R_C bằng 0. Hình Ex 5.6(b) mô tả chi tiết quá trình phân tích.

Ví dụ 5.7: Phân tích mạch điện trong Hình Ex 5.7(a) để xác định điện áp ở tất cả các nút và dòng điện trên tất cả các nhánh.



Hình Ex 5.7 (a) mạch điện; (b) phân tích với các bước được khoanh tròn

Lời giải :

Cực bazơ của transistor *pnp* được nối đất, trong khi cực emitơ được nối với dương nguồn ($V^+ = +10V$) qua R_E . Do đó tiếp giáp emitơ – bazơ sẽ được phân cực thuận với

$$V_E = V_{EB} \approx 0.7V$$

Do đó dòng emitơ sẽ được xác định:

$$I_E = \frac{V^+ - V_E}{R_E} = \frac{10 - 0.7}{2} = 4.65\text{ mA}$$

Vì cực colectơ được nối với âm nguồn (âm hơn so với điện áp bazơ) qua R_C , do đó có *khả năng* là transistor hoạt động ở chế độ tích cực. Giả thiết rằng đây là trường hợp đó, ta có :

$$I_C = \alpha I_E$$

Vì chưa biết giá trị của β , nên ta sẽ giả thiết rằng $\beta = 100$, dẫn đến $\alpha = 0.99$. Vì sự thay đổi lớn của β chỉ dẫn đến sự thay đổi nhỏ α , giả thiết này sẽ không còn đóng vai trò then chốt khi xác định giá trị của I_C . Do đó,

$$I_C = 0.99 \times 4.65 = 4.6\text{ mA}$$

Điện áp colectơ sẽ là :

$$\begin{aligned} V_C &= V^- + I_C R_C \\ &= -10 + 4.6 \times 1 = -5.4V \end{aligned}$$

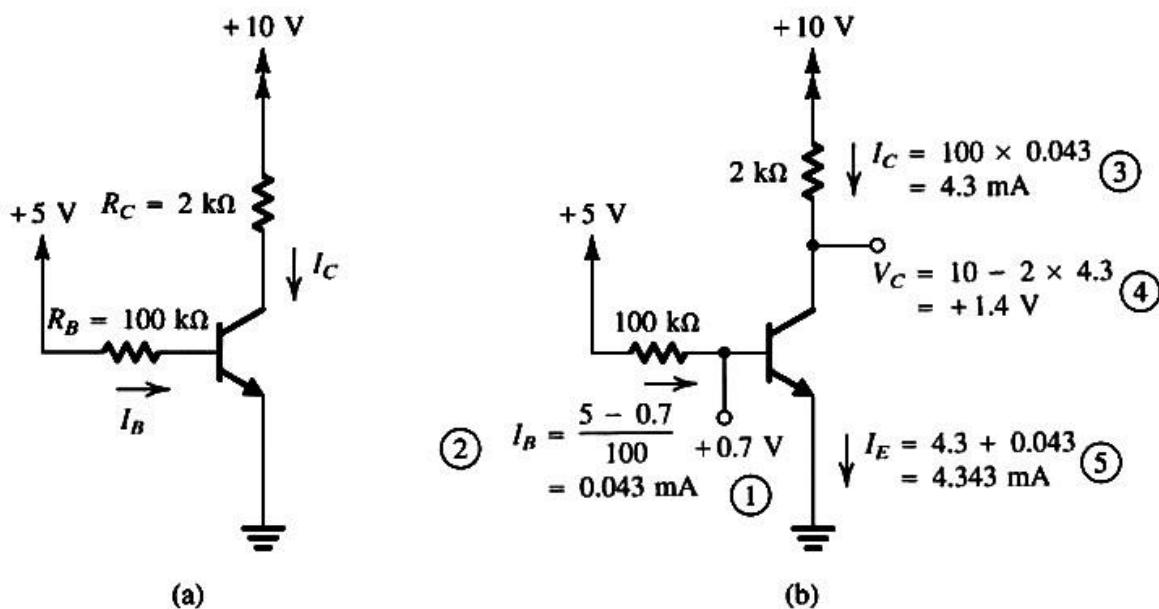
Do đó tiếp giáp colecto – bazơ bị phân cực ngược bởi điện áp 5.4V và transistor thực sự hoạt động ở chế độ tích cực, điều này đúng với giả thiết ban đầu của chúng ta.

Chỉ còn lại một đại lượng duy nhất cần xác định đó là dòng bazơ :

$$I_B = \frac{I_E}{\beta + 1} = \frac{4.65}{101} = 0.05 \text{ mA}$$

Rõ ràng là giá trị của β ảnh hưởng đáng kể tới dòng bazơ. Tuy nhiên chú ý rằng, trong mạch này giá trị của β sẽ không ảnh hưởng đến chế độ hoạt động của transistor. Vì nhìn chung β là một thông số không cụ thể, mạch điện này thể hiện một thiết kế tốt. Như một quy tắc, ta nên cố gắng thiết kế mạch sao cho hiệu suất của nó không nhạy cảm với giá trị của β . Chi tiết quá trình phân tích được thể hiện trong Hình Ex 5.7(b).

Ví dụ 5.8: Phân tích mạch điện trong Hình Ex 5.8(a) để xác định các điện áp ở tất cả các nút và dòng điện trên các nhánh. Giả thiết $\beta = 100$.



Hình Ex 5.8 (a) mạch điện; (b) phân tích với các bước được khoanh tròn

Lời giải :

Tiếp giáp B-E rõ ràng được phân cực thuận. Do đó

$$I_B = \frac{+5 - V_{BE}}{R_B} \approx \frac{5 - 0.7}{100} = 0.043 \text{ mA}$$

Giả thiết rằng transistor làm việc ở trong chế độ tích cực. Khi đó, ta có thể viết

$$I_C = \beta I_B = 100 \times 0.043 = 4.3 \text{ mA}$$

Lúc này, điện áp colecto có thể được xác định theo biểu thức :

$$V_C = +10 - I_C R_C = 10 - 4.3 \times 2 = +1.4 V$$

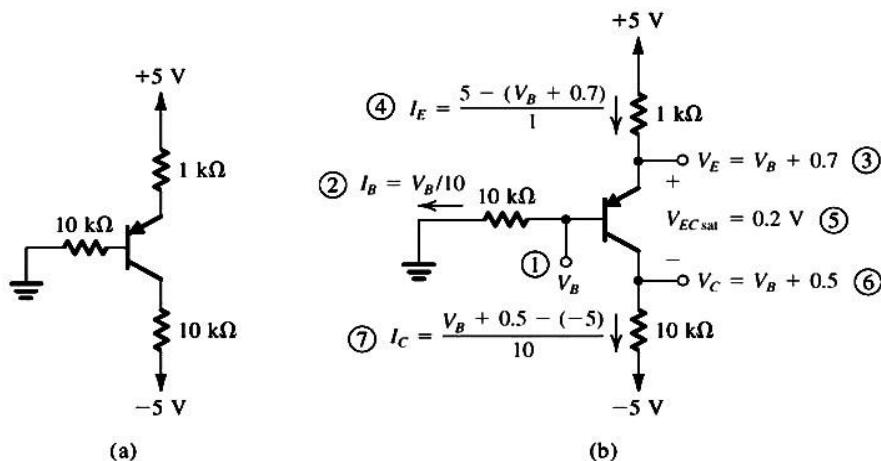
Vì điện áp V_B là : $V_B = V_{BE} = +0.7V$

Theo đó tiếp giáp C-B bị phân cực ngược bởi điện áp 0,7V và transistor thực sự hoạt động ở chế độ tích cực. Dòng emitơ sẽ là :

$$I_E = (\beta + 1) I_B = 101 \times 0.043 \approx 4.3 mA$$

Từ ví dụ này, ta lưu ý rằng dòng colecto và emitơ phụ thuộc hoàn toàn vào giá trị của β . Trong thực tế, nếu β tăng thêm 10% nữa, transistor rời khỏi chế độ tích cực và đi vào chế độ bão hòa. Do đó đây rõ ràng là một thiết kế *không tốt*. Những chi tiết của quá trình phân tích được thể hiện trong Hình Ex 5.8(b).

Ví dụ 5.9: Phân tích mạch điện của Hình Ex 5.9 để xác định điện áp ở tất cả các nút và dòng điện qua tất cả các nhánh. Giá trị nhỏ nhất của β được chỉ định bằng 30.



Hình Ex 5.9 (a) mạch điện; (b) phân tích với các bước được đánh số

Lời giải:

Quan sát mạch điện này ta thấy rằng transistor sẽ làm việc ở chế độ tích cực hoặc chế độ bão hòa. Giả thiết BJT làm việc ở chế độ tích cực và bỏ qua dòng bazơ, ta sẽ thấy rằng điện áp bazơ sẽ xấp xỉ bằng 0V, điện áp emitơ sẽ xấp xỉ bằng 0,7V, và dòng emitơ sẽ xấp xỉ 4,3mA. Vì dòng colecto lớn nhất khi transistor đang hoạt động ở chế độ tích cực xấp xỉ bằng 0,5mA, do đó ta nhận thấy transistor đã thực sự bão hòa.

Giả thiết rằng transistor đã bão hòa và ký hiệu điện áp ở cực gốc là V_B (theo Hình Ex 5.9(b)), theo đó :

$$V_E = V_B + V_{EB} \approx V_B + 0.7$$

$$V_C = V_E - V_{ECsat} \approx V_B + 0.7 - 0.2 = V_B + 0.5$$

$$I_E = \frac{+5 - V_E}{1} = \frac{5 - V_B - 0.7}{1} = 4.3 - V_B \text{ mA}$$

$$I_B = \frac{V_B}{10} = 0.1V_B \text{ mA}$$

$$I_C = \frac{V_C - (-5)}{10} = \frac{V_B + 0.5 + 5}{10} = 0.1V_B + 0.55 \text{ mA}$$

Sử dụng quan hệ $I_E = I_B + I_C$, ta thu được :

$$4.3 - V_B = 0.1V_B + 0.1V_B + 0.55$$

dẫn đến

$$V_B = \frac{3.75}{1.2} = 3.13V$$

Thay vào các biểu thức bên trên ta thu được

$$V_E = 3.83V$$

$$V_C = 3.63V$$

$$I_E = 1.17mA$$

$$I_C = 0.86mA$$

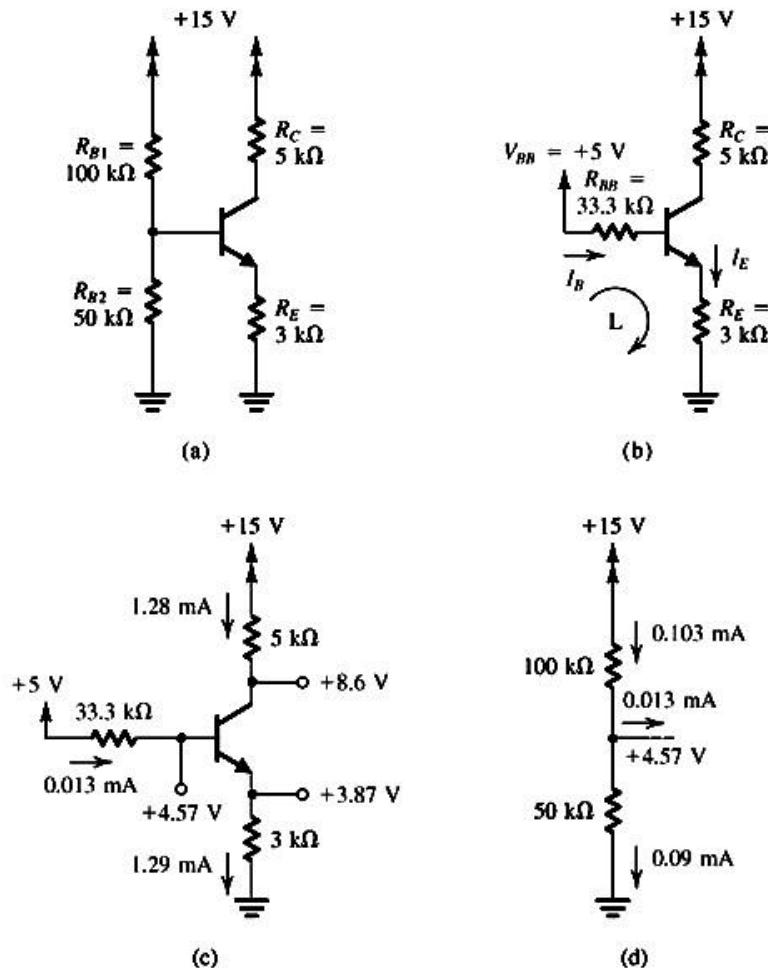
$$I_B = 0.31mA$$

Rõ ràng transistor đã bão hòa, vì giá trị áp đặt của β là

$$\beta_{forced} = \frac{0.86}{0.31} \approx 2.8$$

Nó nhỏ hơn nhiều giá trị chỉ định tối thiểu của β .

Ví dụ 5.10: Phân tích mạch điện trong Hình Ex 5.10(a) để xác định điện áp ở tất cả các nút và dòng điện qua tất cả các nhánh. Giả thiết $\beta = 100$.



Hình Ex 5.10 Các mạch điện cho Ví dụ 5.10

Lời giải:

Bước đầu tiên của quá trình phân tích là đơn giản hóa mạch điện đã cho sử dụng định lý Thevenin. Kết quả được thể hiện trong Hình Ex 5.10(b), trong đó :

$$V_{BB} = +15 \frac{R_{B2}}{R_{B1} + R_{B2}} = 15 \frac{50}{100 + 50} = +5V$$

$$R_{BB} = (R_{B1} // R_{B2}) = (100 // 50) = 33.3 k\Omega$$

Để tính toán dòng bazơ hay dòng emitơ, ta phải viết phương trình mạch vòng theo vòng L trong Hình Ex 5.10(b). Chú ý rằng dòng điện qua R_{BB} là khác so với dòng qua R_E . Phương trình mạch vòng sẽ là :

$$V_{BB} = I_B R_{BB} + V_{BE} + I_E R_E$$

Thay I_B bằng

$$I_B = \frac{I_E}{\beta + 1}$$

Và sắp xếp lại phương trình đã cho, rút ra :

$$I_E = \frac{V_{BB} - V_{BE}}{R_E + [R_{BB}/(\beta+1)]}$$

Thay vào ta có

$$I_E = \frac{5 - 0.7}{3 + (33.3/101)} = 1.29 \text{ mA}$$

Dòng cực gốc sẽ là :

$$I_B = \frac{1.29}{101} = 0.0128 \text{ mA}$$

Điện áp bazơ được xác định:

$$\begin{aligned} V_B &= V_{BE} + I_E R_E \\ &= 0.7 + 1.29 \times 3 = 4.57 \text{ V} \end{aligned}$$

Giả thiết rằng hoạt động của transistor là ở chế độ tích cực. Ta có thể tính toán dòng collecto như sau :

$$I_C = \alpha I_E = 0.99 \times 1.29 = 1.28 \text{ mA}$$

Bây giờ điện áp collecto có thể được xác định như sau :

$$V_C = +15 - I_C R_C = 15 - 1.28 \times 5 = 8.6 \text{ V}$$

Theo đó collecto có điện thế cao hơn cực bazơ 4.03V. Điều đó có nghĩa là transistor làm việc ở chế độ tích cực như đã giả thiết. Kết quả của quá trình phân tích được thể hiện trong Hình Ex 5.10 (c và d).

Ví dụ 5.11: Phân tích mạch điện trong Hình Ex 5.11(a) để xác định điện áp ở tất cả các nút và dòng điện qua các nhánh.

Lời giải :

Trước tiên chúng ta thấy rằng một phần của mạch điện này giống với mạch đã phân tích trong Ví dụ 5.10 – cụ thể là mạch điện trong Hình Ex 5.10(a). Tất nhiên sự khác nhau đó là trong mạch mới ta có thêm transistor Q_2 cùng với điện trở phụ trợ của nó R_{E2} và R_{C2} . Giả thiết rằng Q_1 vẫn hoạt động ở chế độ tích cực. Các giá trị theo đó sẽ giống ở ví dụ trước:

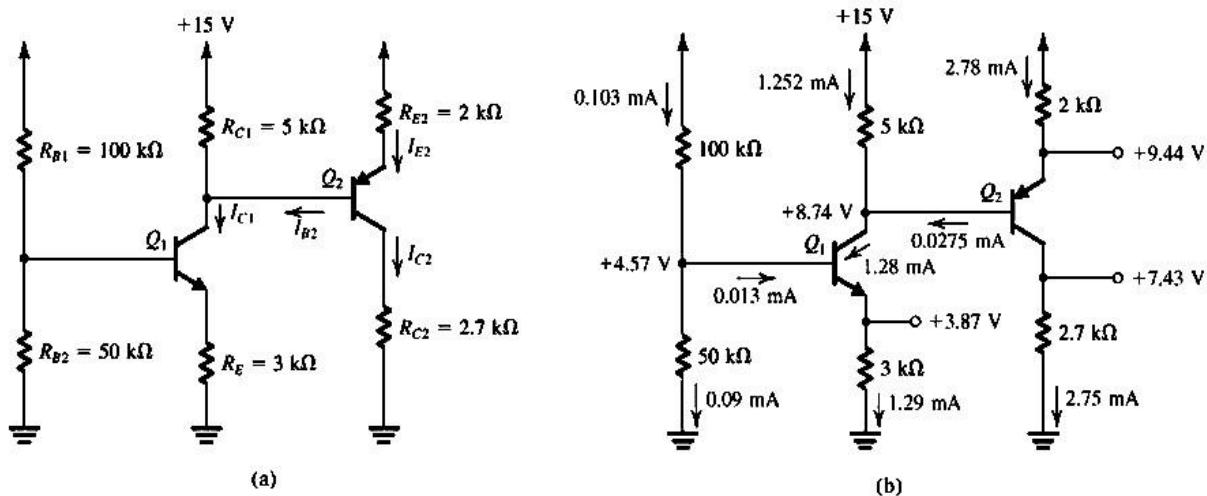
$$\begin{aligned} V_{B1} &= +4.57 \text{ V} & I_{E1} &= 1.29 \text{ mA} \\ I_{B1} &= 0.0128 \text{ mA} & I_{C1} &= 1.28 \text{ mA} \end{aligned}$$

Tuy nhiên, điện áp collecto sẽ khác với giá trị tính toán trước đó vì một phần dòng collecto I_{C1} sẽ chạy qua cực gốc của $Q_2 (I_{B2})$. Ta có thể giả thiết rằng I_{B2} nhỏ hơn nhiều so với I_{C1} : tức là, ta có thể giả thiết rằng dòng điện qua R_{C1} gần như bằng với I_{C1} . Điều này sẽ cho phép ta tính toán giá trị V_{C1} :

$$V_{C1} \approx +15 - I_{C1}R_{C1}$$

$$= 15 - 1.28 \times 5 = +8.6V$$

Do đó Q_1 là ở trong chế độ tích cực, như được giả thiết từ trước.



Hình Ex 5.11 Mạch điện cho Ví dụ 5.11

Xét Q_2 , ta chú ý rằng emitơ của nó được nối với nguồn $+15V$ qua điện trở R_{E2} . Vì vậy có thể tin cậy để giả thiết rằng tiếp giáp E-B của Q_2 sẽ được phân cực thuận. Do đó cực emitơ của Q_2 sẽ có điện áp V_{E2} được tính là :

$$V_{E2} = V_{C1} + V_{EB}|_{Q2} \approx 8.6 + 0.7 = +9.3V$$

Dòng emitơ của Q_2 bây giờ có thể được tính như sau :

$$I_{E2} = \frac{+15 - V_{E2}}{R_{E2}} = \frac{15 - 9.3}{2} = 2.85mA$$

Vì collectơ của Q_2 được đưa trở lại đất qua R_{C2} , do đó có thể là Q_2 đang hoạt động ở chế độ tích cực. Giả thiết đây là trường hợp đó. Bây giờ ta tìm I_{C2} như sau

$$I_{C2} = \alpha_2 I_{E2}$$

$$= 0.99 \times 2.85 = 2.82mA$$

(giả thiết rằng $\beta_2 = 100$)

Điện áp collectơ của Q_2 sẽ là :

$$V_{C2} = I_{C2}R_{C2} = 2.82 \times 2.7 = 7.62V$$

nó nhỏ hơn V_{B2} là $0.98V$. Do đó Q_2 làm việc ở chế độ tích cực như đã giả thiết.

Điều quan trọng ở đây là tìm độ lớn của sai số xảy ra trong quá trình tính toán của chúng ta khi giả thiết rằng I_{B2} có thể bỏ qua. Giá trị của I_{B2} được tính là :

$$I_{B2} = \frac{I_{E2}}{\beta_2 + 1} = \frac{2.85}{101} = 0.028mA$$

Nó thực sự nhỏ hơn I_{C1} (1,28mA). Nếu yêu cầu, ta có thể thu được các kết quả chính xác hơn bằng cách làm đi làm lại nhiều lần, giả thiết I_{B2} là 0,028mA. Các giá trị mới sẽ là

$$\text{Đòng trong } R_{C1} = I_{C1} - I_{B2} = 1.28 - 0.028 = 1.252 mA$$

$$V_{C1} = 15 - 5 \times 1.252 = 9.74V$$

$$V_{E2} = 8.74 + 0.7 = 9.44V$$

$$I_{E2} = \frac{15 - 9.44}{2} = 2.78mA$$

$$I_{C2} = 0.99 \times 2.78 = 2.75mA$$

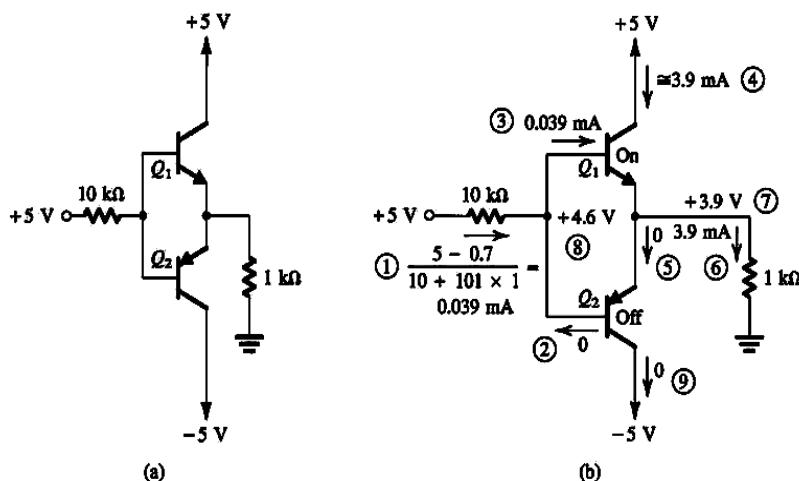
$$V_{C2} = 2.75 \times 2.7 = 7.43V$$

$$I_{B2} = \frac{2.78}{101} = 0.0275 mA$$

Chú ý rằng giá trị mới của I_{B2} là rất gần với giá trị lặp lại của chúng ta, và không cần thiết lặp lại thêm nữa. Kết quả cuối cùng được thể hiện trong Hình Ex 5.11(b).

Trong những ví dụ phía trên, ta hay sử dụng giá trị chính xác của α để tính toán dòng colecto. Vì $\alpha \approx 1$, sai số trong các bài toán này sẽ là rất nhỏ nếu giả thiết $\alpha = 1$ thì $i_C = i_E$. Do đó, ngoại trừ các bài toán mà nó phụ thuộc tuyệt đối vào giá trị của α (ví dụ tính toán dòng bazô), trong các bài toán thường giả thiết $\alpha \approx 1$.

Ví dụ 5.12: Tìm giá trị điện áp của tất cả các điểm và dòng điện qua các nhánh trong mạch điện Hình Ex 5.12(a). Giả thiết rằng $\beta = 100$.



Hình Ex 5.12 (a) mạch điện; (b) Phân tích với các bước được đánh số.

Lời giải :

Quan sát mạch điện ta kết luận rằng hai transistor Q_1 và Q_2 không thể dẫn đồng thời. Do đó nếu Q_1 dẫn, thì Q_2 khóa và ngược lại. Giả thiết rằng Q_2 đang dẫn, theo đó dòng điện chạy từ đất qua điện trở tải $1\text{ k}\Omega$ vào emitor của Q_2 . Do đó cực bazơ của Q_2 sẽ được đặt một điện áp âm, và dòng bazơ sẽ chạy ra khỏi cực bazơ qua điện trở $10\text{ k}\Omega$ và vào nguồn $+5\text{V}$. Điều này là không thể xảy ra, vì nếu cực bazơ âm, dòng trong điện trở $10\text{ k}\Omega$ sẽ phải chạy vào cực bazơ. Do đó ta kết luận rằng giả thiết ban đầu của chúng ta rằng Q_2 dẫn là không đúng. Theo đó Q_2 sẽ khóa và Q_1 sẽ mở.

Câu hỏi đặt ra bây giờ là Q_1 hoạt động ở chế độ tích cực hay chế độ bão hòa. Câu trả lời cho trường hợp này là tương đối rõ ràng. Vì cực bazơ được cung cấp bởi nguồn $+5\text{V}$ và vì dòng bazơ chạy vào cực bazơ của Q_1 , theo đó bazơ của Q_1 sẽ có điện áp thấp hơn $+5\text{V}$. Do đó tiếp giáp C-B của Q_1 bị phân cực ngược và Q_1 hoạt động ở chế độ tích cực. Chỉ còn một điều duy nhất là xác định dòng điện và điện áp bằng cách sử dụng phương pháp đã được mô tả chi tiết ở Hình Ex 5.12(b).

5.4 BJT hoạt động ở chế độ khuếch đại và chế độ chuyển mạch

5.4.1 Bộ khuếch đại điện áp

Với những nghiên cứu về các đặc tính của BJT ở trên, bây giờ chúng ta có thể tìm hiểu về hai lĩnh vực ứng dụng chính của nó là: hoạt động như một bộ khuếch đại tín hiệu và như một chuyển mạch mạch số. Trong ứng dụng khuếch đại tín hiệu, BJT hoạt động ở chế độ tích cực, khi đó BJT giống như một nguồn dòng điều khiển bằng điện áp: Sự thay đổi điện áp bazơ – emitor v_{BE} dẫn đến những thay đổi của dòng collecto i_C theo quan hệ $i_C = I_s e^{\frac{v_{BE}}{V_T}}$ (với BJT loại *n-p-n*), dòng i_C không phụ thuộc vào điện áp v_{CE} vì tiếp giáp CBJ lúc này là phân cực ngược. Vì vậy khi BJT hoạt động ở chế độ tích cực, nó có thể được dùng để tạo ra một bộ khuếch đại hổ dãy tức là bộ khuếch đại mà tín hiệu vào là một điện áp, tín hiệu ở đầu ra là một dòng điện. Tuy nhiên, một bộ khuếch đại điện áp hay được sử dụng nhiều hơn. Một cách đơn giản để chuyển một bộ khuếch đại hổ dãy thành một bộ khuếch đại điện áp là đặt dòng cực gộp đầu ra chạy qua một điện trở R_C và lấy điện áp ra là điện áp v_{CE} .

Chúng ta mong muốn bộ khuếch đại là tuyến tính, nên ta phải làm sao cho có thể đạt được điều này khi mà mối quan hệ giữa dòng collecto i_C và v_{BE} là mối quan hệ theo hàm mũ (phi tuyến). Trước hết, chúng ta cần **phân cực** cho transistor để BJT hoạt động với điện áp một chiều bazơ – emitor v_{BE} và dòng một chiều cực gộp I_C tương

ứng. Tiếp đó ta sẽ xếp chồng tín hiệu được khuếch đại, v_{be} , trên điện áp một chiều V_{BE} . Bằng việc giữ cho biên độ của tín hiệu v_{be} ở giá trị nhỏ, ta sẽ có thể không chế để transistor làm việc ở một đoạn ngắn, gần như tuyến tính trên đặc tuyến $i_C - v_{BE}$; do đó, sự thay đổi của dòng cực góp, i_C , sẽ quan hệ tuyến tính với v_{be} . Ta sẽ nghiên cứu sự hoạt động với tín hiệu nhỏ của BJT ở phần sau. Xét tổng thể, từ đặc tuyến truyền đạt của mạch, ta sẽ có thể thấy rõ ràng vùng làm việc của BJT mà ở đó nó có thể hoạt động như một phần tử khuếch đại tuyến tính hay được sử dụng như một khóa chuyển mạch.

5.4.2 Đặc tuyến truyền đạt (The Voltage-Transfer Characteristic - VTC)

Một công cụ hữu ích để nghiên cứu sự hoạt động của một mạch khuếch đại là sử dụng đặc tuyến truyền đạt, tức là dùng đồ thị quan hệ giữa điện áp đầu ra theo điện áp đầu vào.

Hình 5.22(a) thể hiện cấu trúc phân cực cơ bản của một mạch khuếch đại dùng BJT phổ biến nhất, với **cực phát nối đất** hay còn gọi là **mạch mắc kiểu emitơ chung (CE)**. Điện áp vào tổng v_I (phân cực + tín hiệu) được đặt vào giữa cực gốc và cực phát; tức là, $v_{BE} = v_I$. Điện áp ra tổng v_O (phân cực + tín hiệu) được lấy giữa cực góp và đất; tức là $v_O = v_{CE}$. Điện trở R_C có hai chức năng: để thiết lập một điện áp phân cực một chiều mong muốn ở cực góp, và để biến đổi dòng tín hiệu cực góp i_C thành điện áp ra v_{CE} hay v_O . Điện áp nguồn cung cấp V_{CC} cần thiết để phân cực BJT cũng như để cung cấp nguồn điện cho sự hoạt động của mạch khuếch đại.

Hình 5.22(b) chỉ ra đặc tuyến truyền đạt của mạch mắc kiểu emitơ chung (CE) trên hình 5.22(a). Để hiểu được đặc tuyến này được xây dựng như thế nào, trước tiên ta biểu diễn v_O như sau:

$$v_O = v_{CE} = V_{CC} - R_C i_C \quad (5.40)$$

Do $v_{BE} = v_I$, transistor sẽ hoàn toàn bị khóa khi $v_I < 0.5V$. Do đó, với khoảng $0 < v_I < 0.5V$, i_C nhỏ không đáng kể, và v_O sẽ bằng với điện áp nguồn cung cấp V_{CC} (đoạn XY của đặc tuyến truyền đạt).

Ngay khi v_I vượt quá $0.5V$ thì transistor bắt đầu dẫn, và i_C tăng dần. Từ phương trình (5.40), chúng ta thấy rằng v_O giảm. Tuy nhiên, ban đầu v_O sẽ lớn, BJT sẽ hoạt động ở chế độ tích cực, mà tạo ra một đoạn dốc đột ngột YZ của đặc tuyến truyền

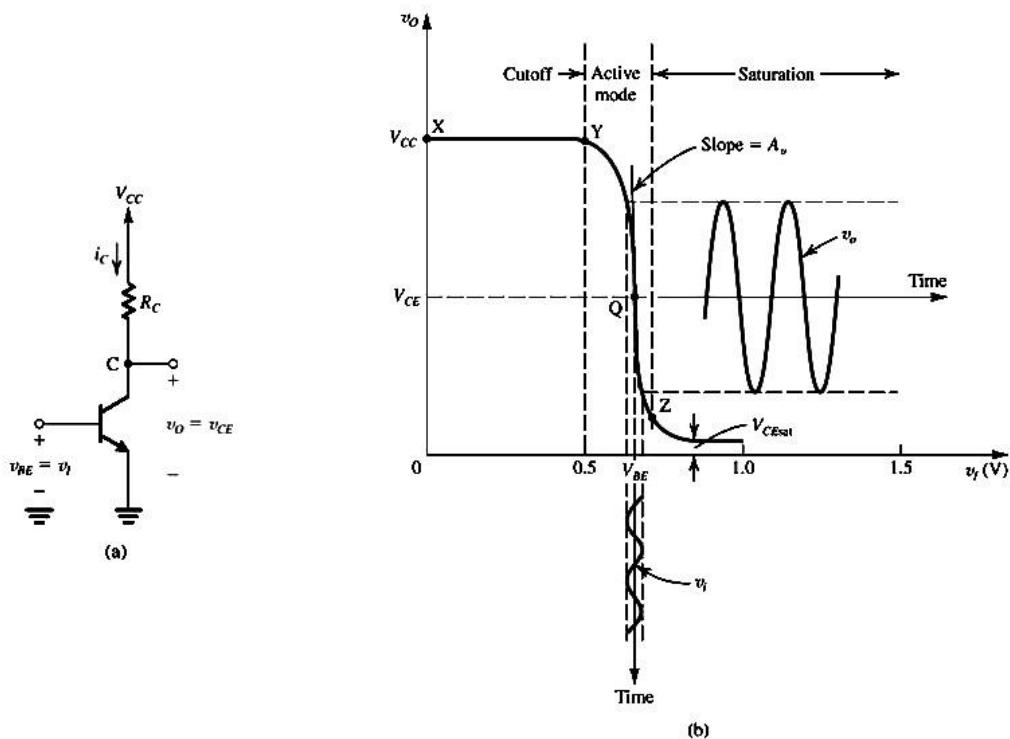
đạt điện áp. Biểu thức cho đoạn đặc tuyến này có thể thu được bằng cách thay vào phương trình (5.40) cách biểu diễn của i_C ở chế độ tích cực, nghĩa là,

$$i_C = I_S e^{v_{BE}/V_T} = I_S e^{v_i/V_T}$$

Để cho đơn giản ta có thể bỏ qua hiệu ứng sớm. Vì thế, ta nhận được

$$v_o = V_{CC} - R_C I_S e^{v_i/V_T} \quad (5.41)$$

Ta quan sát thấy rằng số hạng dạng hàm số mũ trong biểu thức này tạo ra sườn dốc đứng của đoạn YZ trên đặc tuyến truyền đạt. Chế độ hoạt động tích cực của BJT kết thúc khi điện áp colecto (v_o hay v_{CE}) giảm xuống tới mức 0.4V hoặc nhỏ hơn điện áp ở bazơ (v_i hay v_{BE}). Lúc này, CBJ phân cực thuận và transistor chuyển sang hoạt động ở chế độ bão hòa. Điều này thể hiện bởi điểm Z trên đặc tuyến truyền đạt.



Hình 5.22: (a) Mạch khuếch đại emitơ chung cơ bản (b) Đặc tuyến truyền đạt của mạch điện (a). Bộ khuếch đại được phân cực ở điểm Q và một tín hiệu điện áp nhỏ v_i được xép chồng trên điện áp phân cực một chiều v_{BE} . Tín hiệu đầu ra v_o được xép chồng trên điện áp một chiều colecto v_{CE} . Biên độ của v_o lớn gấp biên độ của v_i một hệ số khuếch đại điện áp là A_v .

Quan sát thấy rằng khi v_{BE} tăng thêm nữa sẽ khiến cho v_{CE} chỉ giảm một lượng không đáng kể: Trong vùng bão hòa, $v_{CE} = V_{CEsat}$, mà chỉ giảm trong một khoảng

nhỏ từ 0,1V tới 0,2V. Giá trị V_{CEsat} lúc này gần như là hằng số và tạo ra vùng làm việc này của BJT được gọi là *vùng bão hòa*. Dòng colecto cũng sẽ vẫn gần như không đổi ở giá trị I_{Csat} ,

$$I_{Csat} = \frac{V_{CC} - V_{CEsat}}{R_C} \quad (5.42)$$

Ở phần trước khi nghiên cứu về chế độ bão hòa của BJT, khi đó có tồn tại một điện trở R_{CEsat} rất nhỏ giữa colecto và emitơ. Do đó, khi đã bão hòa, transistor trong sơ đồ Hình 5.22 tạo ra một đường điện trở nhỏ giữa nút colecto (C) và đất và vì thế có thể được hiểu như một khóa mạch kín.

Mặt khác, khi BJT khóa, nó vẫn dẫn một dòng điện nhỏ không đáng kể (lý tưởng là bằng 0) và vì thế nó đóng vai trò như một khóa hở mạch, cực Colecto (C) hoàn toàn được ngắt kết nối với đất. BJT có thể hoạt động như một khóa điện tử - switch (mở hoặc đóng) và được điều khiển bởi điện áp v_{BE} , hay nói cách khác BJT cũng có thể được điều khiển bởi dòng bazơ.

5.4.3 Hệ số khuếch đại

Để sử dụng BJT như một bộ khuếch đại tuyến tính, thì nó phải được phân cực ở một điểm trong vùng tích cực. Hình 5.22(b) chỉ ra một điểm phân cực như vậy, có tên là Q (**điểm làm việc tĩnh**), và được đặc trưng bởi điện áp một chiều bazơ – emitơ V_{BE} và điện áp một chiều colecto – emitơ V_{CE} . Nếu dòng colecto tại giá trị của V_{BE} được ký hiệu là I_C , tức là,

$$I_C = I_s e^{V_{BE}/V_T} \quad (5.43)$$

thì từ mạch điện trong Hình 5.22(a) ta có thể viết

$$V_{CE} = V_{CC} - R_C I_C \quad (5.44)$$

Bây giờ nếu tín hiệu được khuếch đại, v_i , được xếp chồng lên V_{BE} và giữ ở giá trị đủ nhỏ, như được thể hiện trong Hình 5.22(b), điểm làm việc tức thời sẽ bị giới hạn trong một đoạn tương đối ngắn và gần như tuyến tính trên đặc tuyến truyền đạt quanh điểm phân cực Q . Độ dốc của đoạn tuyến tính này sẽ bằng với độ dốc của tiếp tuyến với đặc tuyến truyền đạt tại điểm Q . Có thể xác định hệ số khuếch đại tín hiệu nhỏ A_v bằng cách lấy vi phân biểu thức trong Phương trình (5.41) và tính toán đạo hàm tại điểm Q ; nghĩa là, cho $v_I = V_{BE}$,

$$A_v \equiv \left. \frac{dv_0}{dv_I} \right|_{v_I = V_{BE}} \quad (5.45)$$

Do đó

$$A_v = -\frac{1}{V_T} I_s e^{V_{BE}/V_T} R_C$$

Bây giờ, sử dụng Phương trình (5.43) ta có thể biểu diễn A_v ở dạng thu gọn:

$$A_v = -\frac{I_C R_C}{V_T} = -\frac{V_{RC}}{V_T} \quad (5.46)$$

Trong đó V_{RC} là điện áp một chiều rơi trên R_C ,

$$V_{RC} = V_{CC} - V_{CE} \quad (5.47)$$

Quan sát thấy rằng bộ khuếch đại CE có hệ số khuếch đại âm nghĩa là nó là một bộ khuếch đại đảo, tức là tín hiệu đầu ra lệch pha 180° so với tín hiệu vào, hệ số khuếch đại tỉ lệ với dòng phân cực collector I_C và điện trở R_C . Biểu thức trong phương trình (5.46) chỉ ra rằng hệ số khuếch đại điện áp của bộ khuếch đại emitơ chung là tỷ số của điện áp rơi trên R_C với điện thế nhiệt V_T ($\approx 25mV$ ở nhiệt độ phòng). Theo đó để hệ số khuếch đại là lớn nhất thì điện áp rơi trên R_C phải là lớn nhất có thể. Với giá trị V_{CC} cho trước, phương trình (5.47) chỉ ra rằng để tăng V_{RC} transistor phải hoạt động với một điện áp V_{CE} thấp hơn. Tuy nhiên, căn cứ theo hình 5.22(b) ta nhận thấy rằng với V_{CE} nhỏ hơn thì đồng nghĩa với điểm phân cực Q gần với phần cuối của vùng tích cực. Cuối cùng, cần chú ý rằng hệ số khuếch đại A_v sẽ lớn nhất theo lý thuyết đạt được khi phân cực BJT ở biên của vùng bão hòa. Hệ số khuếch đại đầu ra được tính bởi

$$A_v = -\frac{V_{CC} - V_{CESat}}{V_T} \quad (5.48)$$

Do đó hệ số khuếch đại lớn nhất khi V_{CE} có giá trị nhỏ nhất (khoảng 0,3V)

$$A_{v_{max}} \cong -\frac{V_{CC} - 0,3}{V_T} \quad (5.49)$$

Mặc dù hệ số khuếch đại có thể được tăng lên bằng cách sử dụng một điện áp nguồn cung cấp lớn hơn, thì vẫn cần thiết phải cân nhắc để xác định một giá trị thích hợp cho V_{CC} . Xu hướng trong thực tế hiện nay là sử dụng điện áp nguồn cung cấp ngày càng thấp hơn nữa, hiện nay là gần 1V hoặc trong khoảng ấy. Ở các điện áp cung

cấp thấp như vậy, giá trị hệ số khuếch đại lớn có thể nhận được bằng cách thay thế điện trở R_C bởi một nguồn dòng không đổi.

Ví dụ 5.13: Xét mạch emitor chung dùng BJT có $I_s = 10^{-15} A$, điện trở collecto $R_C = 6.8k\Omega$ và nguồn cung cấp $V_{CC} = 10V$.

a) Xác định giá trị điện áp phân cực V_{BE} cần thiết để transistor hoạt động với $V_{CE} = 3.2V$. Giá trị tương ứng của I_C là bao nhiêu ?

b) Tìm hệ số khuếch đại điện áp A_v tại điểm phân cực. Nếu một tín hiệu sóng sin biên độ 5mV đặt ở đầu vào được xếp chồng trên điện áp V_{BE} , hãy tìm biên độ sóng sin đầu ra (giả thiết bộ khuếch đại hoạt động tuyến tính).

c) Tìm sự gia tăng phần dương v_{BE} (ở trên V_{BE}) mà làm cho transistor hoạt động tới biên của vùng bão hòa, khi mà $v_{CE} = 0.3V$.

d) Tìm sự gia tăng phần âm v_{BE} mà làm cho BJT 1% bị khóa (nghĩa là $v_o = 0.99V_{CC}$).

Lời giải:

a) Ta có:

$$I_C = \frac{V_{CC} - V_{CE}}{R_C} = \frac{10 - 3.2}{6.8} = 1 mA$$

Giá trị của V_{BE} có thể xác định từ :

$$1 \times 10^{-3} = 10^{-15} e^{v_{BE}/V_T}$$

và cho kết quả $V_{BE} = 690.8 mV$

b) Hệ số khuếch đại điện áp :

$$A_v = - \frac{V_{CC} - V_{CE}}{V_T} = - \frac{10 - 3.2}{0.025} = -272 V/V$$

Biên độ sóng sin đầu ra : $\hat{V}_o = 272 \times 0.005 = 1.36 V$

c) Với $v_{CE} = 0.3V$

$$i_C = \frac{10 - 0.3}{6.8} = 1.617 mA$$

Để i_C tăng từ 1 mA tới 1.617 mA, v_{BE} cần phải tăng một lượng là :

$$\Delta v_{BE} = V_T \ln \left(\frac{1.617}{1} \right) = 12 mV$$

d) Với $v_o = 0.99V_{CC} = 9.9V$

$$i_C = \frac{10 - 9.9}{6.8} = 0.0147 mA$$

Để i_C giảm từ 1 mA tới 0.0147 mA, v_{BE} cần phải thay đổi một lượng là :

$$\Delta v_{BE} = V_T \ln\left(\frac{0.0147}{1}\right) = -105.5 \text{ mV}$$

5.4.4 Xác định đặc tuyến truyền đặt bằng cách phân tích đồ thị

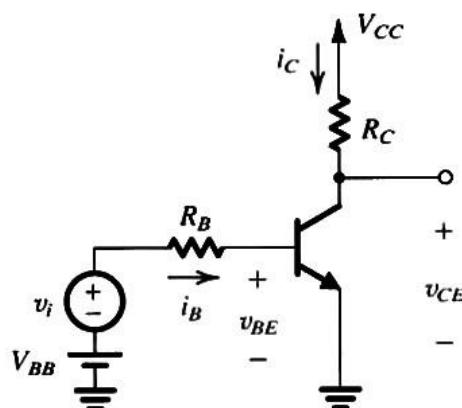
Mặc dù phương pháp phân tích bằng đồ thị cho các mạch dùng transistor thường ít dùng trong thực tế nhưng nó vẫn có thể dùng để minh họa cho các chế độ hoạt động của một mạch khuếch đại transistor đơn giản. Xét mạch điện hình 5.23, nó giống với mạch điện mà ta đã và đang nghiên cứu ở trên ngoại trừ có mắc thêm một điện trở ở cực bazơ, R_B . Phân tích bằng phương pháp đồ thị sự hoạt động của mạch này như sau: Trước tiên, ta phải xác định điểm phân cực một chiều. Tiếp theo ta cho $v_i = 0$ và sử dụng phương pháp được minh họa trong Hình 5.24 để xác định dòng một chiều bazơ I_B . Tiếp đó chúng ta chuyển sang đặc tuyến $i_C - v_{CE}$, được thể hiện trong Hình 5.25. Ta biết rằng điểm làm việc sẽ nằm trên đường cong $i_C - v_{CE}$ tương ứng với giá trị của dòng bazơ mà ta đã xác định (đường cong ứng với $i_B = I_B$). Điểm làm việc này nằm ở đâu trên đường cong sẽ được xác định bởi mạch collectơ. Cụ thể, với mạch collectơ sẽ có phương trình :

$$v_{CE} = V_{CC} - i_C R_C$$

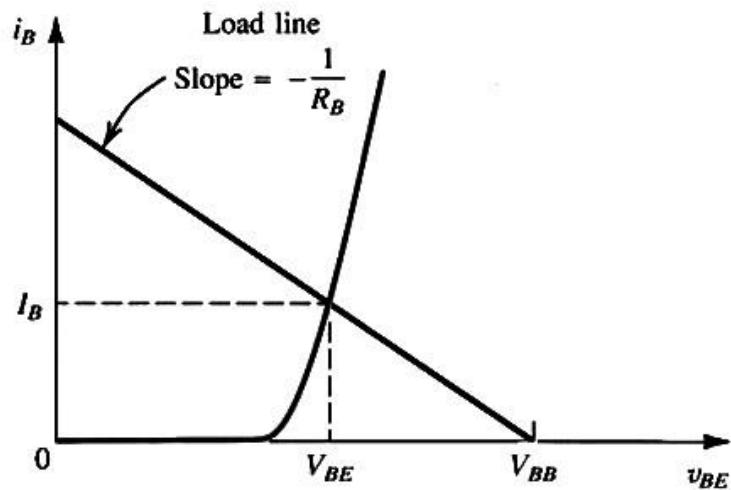
mà có thể được viết lại như sau :

$$i_C = \frac{V_{CC}}{R_C} - \frac{1}{R_C} v_{CE}$$

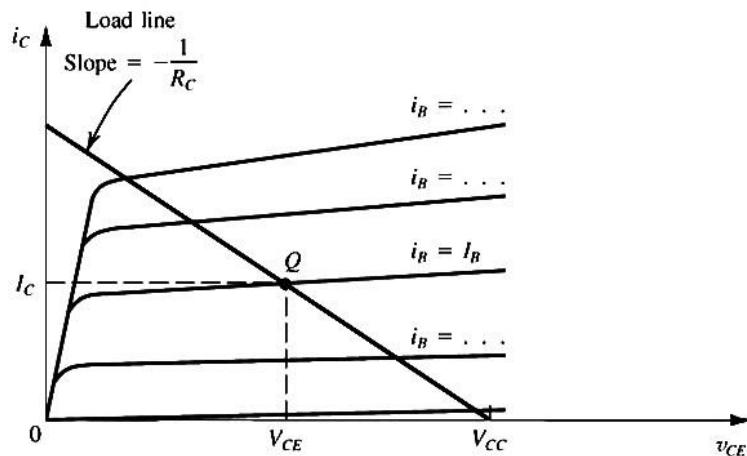
Nó mô tả mối quan hệ tuyến tính giữa i_C và v_{CE} . Quan hệ này có thể được biểu diễn bởi một đường thẳng, như chỉ ra trong Hình 5.25. Vì R_C có thể được xem như tải của bộ khuếch đại, đường thẳng có độ dốc $-1/R_C$ được gọi là đường tải.



Hình 5.23 Mạch điện thể hiện quá trình hoạt động được phân tích bằng đồ thị



Hình 5.24 Đồ thị xác định dòng một chiều bazơ trong mạch điện của Hình 5.23



Hình 5.25 Đồ thị xác định dòng một chiều colectơ I_C và điện áp giữa colectơ và emitơ V_{CE} trong mạch điện Hình 5.23

Điểm phân cực một chiều, hay điểm làm việc tĩnh Q (quiescent point) sẽ là điểm giao nhau của đường tải và đường cong $i_C - v_{CE}$ tương ứng với dòng bazơ I_B . Tọa độ của điểm Q cho ta dòng một chiều colectơ I_C và điện áp một chiều colectơ – emitơ V_{CE} . Quan sát thấy rằng khi BJT hoạt động như một phần tử khuếch đại, điểm Q nên chọn nằm trong vùng tích cực và hơn nữa nó nên được đặt ở chỗ mà cho phép thu được một tín hiệu dao động hợp lý ở đầu ra khi tín hiệu đầu vào v_i được đặt. Điều này sẽ được giải thích rõ ràng hơn ở phần sau.

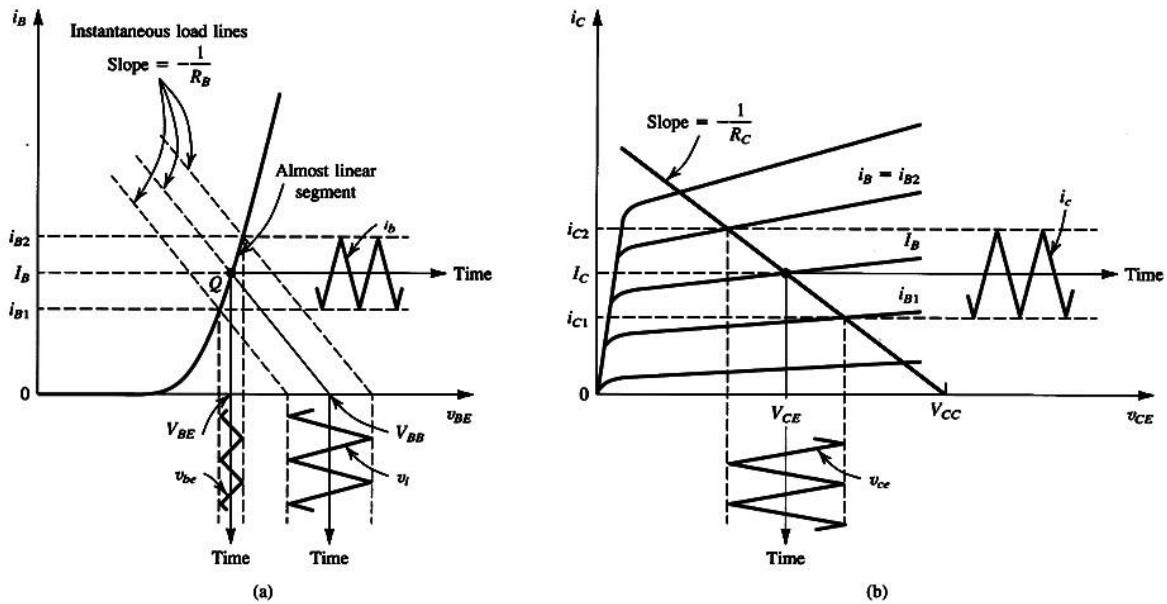
Xét trường hợp khi v_i được đặt vào đầu vào mạch điện hình 5.26. Trước tiên hãy xem xét Hình 5.26(a), trong đó mô tả một tín hiệu v_i có dạng sóng tam giác được

xếp chồng lên điện áp một chiều V_{BB} . Tương ứng với mỗi giá trị tức thời của $V_{BB} + v_i(t)$, ta có thể vẽ một đường thẳng với độ dốc $-1/R_B$. Đường tải một chiều tức thời này giao với đường cong $i_B - v_{BE}$ ở một điểm mà tọa độ của nó cho ta biết giá trị tức thời của i_B và v_{BE} tương ứng với một giá trị cụ thể của $V_{BB} + v_i(t)$. Hình 5.26(a) chỉ ra một đường thẳng tương ứng với $v_i = 0$, v_i tại đỉnh dương và v_i tại đỉnh âm của nó. Nay giờ, nếu biên độ của v_i đủ nhỏ thì điểm làm việc tức thời được giới hạn trong một đoạn gần như tuyến tính của đường cong $i_B - v_{BE}$, khi đó, dạng sóng các tín hiệu i_b và v_{be} sẽ có dạng tam giác, như được chỉ ra trên đồ thị. Đây chính là phép xấp xỉ tín hiệu nhỏ. Nói tóm lại, đồ thị trong hình 5.26(a) có thể được sử dụng để xác định giá trị tức thời của i_B tương ứng với mỗi giá trị của v_i .

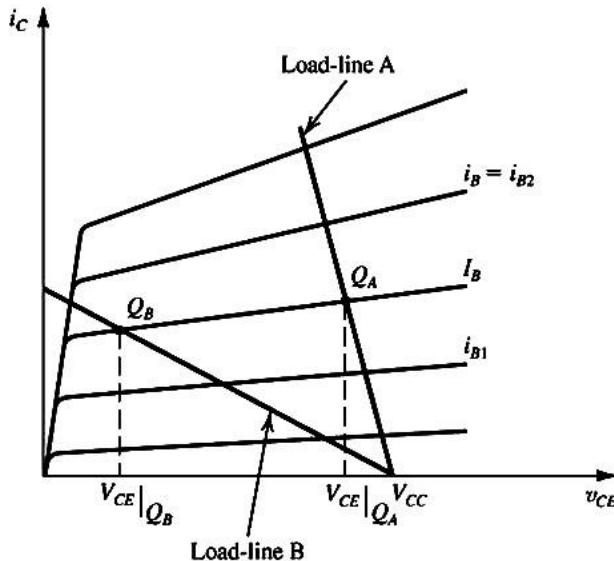
Tiếp theo ta chuyển sang đặc tuyến $i_C - v_{CE}$ ở hình 5.26(b). Điểm làm việc sẽ di chuyển dọc theo đường tải có độ dốc $-1/R_C$ khi i_B đi qua các giá trị tức thời được xác định từ hình 5.26(a). Khi v_i ở đỉnh dương của nó, $i_B = i_{B_2}$ (từ Hình 5.26(a)), và điểm làm việc tức thời trên đặc tuyến $i_C - v_{CE}$ sẽ nằm ở giao điểm của đường tải và đường cong tương ứng với $i_B = i_{B_2}$. Theo cách này, ta có thể xác định các dạng sóng của i_C và v_{CE} và do vậy có thể xác định các thành phần tín hiệu i_c và v_{ce} , như được chỉ ra trong hình 5.26(b).

Ảnh hưởng của vị trí điểm phân cực đến phạm vi tín hiệu cho phép

Vị trí điểm phân cực một chiều trong trên đặc tuyến $i_C - v_{CE}$ có ảnh hưởng đáng kể tới phạm vi cho phép tín hiệu dao động tối đa ở collecto. Quan sát trên hình 5.26(b) thấy rằng đỉnh dương của v_{ce} không thể vượt quá V_{CC} hay nói cách khác, transistor bước vào vùng làm việc cắt dòng. Tương tự như thế, đỉnh âm của v_{ce} không thể mở rộng xuống dưới một vài phần mươi volt (thường là 0,3V), hay nói cách khác, transistor bước vào vùng làm việc bão hòa. Vị trí của điểm phân cực trong Hình 5.26(b) cho phép một phạm vi xấp xỉ cân bằng nhau theo mỗi hướng.



Hình 5.26 Mô tả bằng đồ thị của các thành phần tín hiệu v_{be}, i_b, i_c và v_{ce} khi một thành phần tín hiệu v_i được xếp chồng lên điện áp một chiều V_{BB} (xem Hình 5.23).



Hình 5.27 Ảnh hưởng của vị trí điểm phân cực đến phạm vi tín hiệu cho phép: Đường tải A dẫn đến điểm phân cực Q_A với V_{CE} tương ứng có giá trị gần bằng V_{CC} và do đó giới hạn phần dương của v_{CE} . Ở phương diện khác, đường tải B dẫn đến một điểm làm việc rất gần với vùng bão hòa, do đó giới hạn phần âm của v_{CE} .

Tiếp theo ta xem xét Hình 5.27. Ở đây ta chỉ ra hai đường tải tương ứng với hai giá trị của R_C . Đường A tương đương với giá trị R_C nhỏ và dẫn đến kết quả là điểm làm việc Q_A , trong đó giá trị của V_{CE} rất gần với V_{CC} . Do đó phạm vi phần tín hiệu

dương của v_{ce} sẽ bị giới hạn. Mặt khác, đường B, tương ứng với trường hợp R_c lớn, kết quả là có điểm làm việc Q_B , mà V_{CE} của nó là quá thấp. Do đó, với đường B, dù có không gian rộng cho sai lệch dương của v_{ce} (có nhiều không gian trên), phạm vi tín hiệu âm bị giới hạn đáng kể bởi ở gần với vùng bão hòa (không đủ “không gian dưới”). Vì vậy chúng ta cần quan tâm tới một sự cân bằng giữa hai trường hợp này.

5.4.4 BJT hoạt động ở chế độ chuyển mạch

Để BJT hoạt động như một khóa chuyển mạch, ta sử dụng các chế độ cắt dòng và bão hòa. Để minh họa cho điều này, một lần nữa ta lại xét một mạch emito chung (Hình 5.28) với đầu vào v_I thay đổi. Cho v_I nhỏ hơn khoảng 0,5V, transistor sẽ bị khóa; do đó $i_B = 0, i_C = 0$ và $v_C = V_{CC}$. Ở trạng thái này, nút C bị ngắt kết nối với đất; chuyển mạch ở vị trí mở.

Để mở transistor, ta phải tăng v_I vượt quá 0,5V. Trong thực tế, với dòng đáng kể chạy qua, v_{BE} sẽ khoảng 0,7V và v_I nên đặt lớn hơn. Dòng bazơ sẽ là :

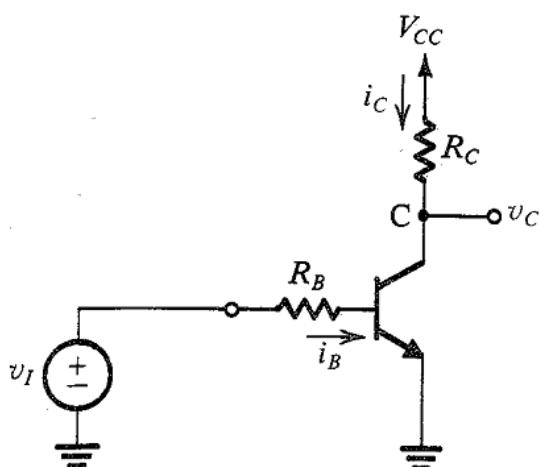
$$i_B = \frac{v_I - V_{BE}}{R_B} \quad (5.50)$$

và dòng colecto sẽ là

$$i_C = \beta i_B \quad (5.51)$$

các biểu thức này chỉ áp dụng khi linh kiện hoạt động ở chế độ tích cực. Điều này đạt được cho tới khi CBJ không còn phân cực ngược, tức là khi $v_C > v_B - 0.4V$, trong đó v_C được tính bởi

$$v_C = V_{CC} - R_C i_C \quad (5.52)$$



Hình 5.28 Mạch đơn giản dùng để minh họa các chế độ hoạt động khác nhau của BJT.

Rõ ràng khi v_I tăng, i_B sẽ tăng (Phương trình 5.50), i_C cũng sẽ tăng lên tương ứng (Phương trình 5.51) và v_C sẽ giảm (Phương trình 5.52). Cuối cùng v_C sẽ trở nên nhỏ hơn v_{BE} một lượng là 0,4V, tại điểm đó transistor rời khỏi vùng tích cực và chuyển sang vùng bão hòa. Điểm **giới hạn bão hòa (Edge of Saturation - EOS)** này được xác định bởi :

$$I_{C(EOS)} = \frac{V_{CC} - 0.3}{R_C} \quad (5.53)$$

Trong đó ta đã giả thiết rằng V_{BE} là xấp xỉ 0,7V và

$$I_{B(EOS)} = \frac{I_{C(EOS)}}{\beta} \quad (5.54)$$

Giá trị tương ứng của v_I cần thiết để hoạt động transistor ở điểm giới hạn bão hòa có thể được xác định từ :

$$V_{I(EOS)} = I_{B(EOS)} R_B + V_{BE} \quad (5.55)$$

Việc tăng v_I lớn hơn $V_{I(EOS)}$ làm tăng dòng bazơ và làm cho transistor hoạt động sâu hơn trong vùng bão hòa. Tuy nhiên điện áp colecto – emitơ chỉ giảm tương đối ít. Với một phép xấp xỉ, ta thường sẽ giả thiết rằng với transistor bão hòa, $V_{CEsat} \approx 0.2V$. Dòng colecto theo đó sẽ được giữ gần như là hằng số ở giá trị I_{Csat} ,

$$I_{Csat} = \frac{V_{CC} - V_{CEsat}}{R_C} \quad (5.56)$$

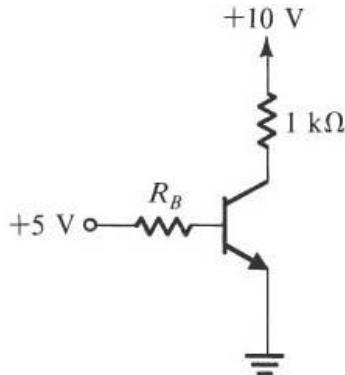
Thêm dòng vào cực bazơ sẽ gây ảnh hưởng rất ít tới I_{Csat} và V_{CEsat} . Ở trạng thái này chuyển mạch đóng, với một điện trở đóng R_{CEoff} có giá trị nhỏ và một điện áp sai lệch tĩnh V_{CEoff} nhỏ.

Cuối cùng, cần nhắc lại rằng khi BJT hoạt động ở trạng thái bão hòa, ta có thể ép cho transistor hoạt động với bất cứ giá trị β mong muốn nào nhỏ hơn giá trị thông thường; tức là, tỷ lệ của dòng colecto I_{Csat} với dòng bazơ có thể được thiết lập như mong muốn và được gọi là giá trị β áp đặt.

$$\beta_{forced} = \frac{I_{Csat}}{I_B} \quad (5.57)$$

Tỉ số giữa I_B và $I_{B(EOS)}$ còn gọi là hệ số thúc đẩy (overdrive factor).

Ví dụ 5.14: Transistor trong hình Ex 5.14 có giá trị β nằm trong khoảng từ 50 tới 150. Tìm giá trị của R_B để transistor làm việc ở vùng bão hòa với một hệ số thúc đẩy nhỏ nhất là 10.



Hình Ex 5.14. Mạch cho ví dụ 5.14

Lời giải :

Khi transistor bão hòa, điện áp colecto sẽ là

$$V_C = V_{CE\text{sat}} \approx 0.2V$$

Do đó dòng colecto được tính bởi

$$I_{Csat} = \frac{+10 - 0.2}{1} = 9.8 \text{ mA}$$

Để bão hòa transistor với β nhỏ nhất, ta cần cung cấp một dòng bazơ tối thiểu là

$$I_{B(EOS)} = \frac{I_{Csat}}{\beta_{\min}} = \frac{9.8}{50} = 0.196 \text{ mA}$$

Với hệ số thúc đẩy là 10, dòng bazơ thu được là :

$$I_B = 10 \times 0.196 = 1.96 \text{ mA}$$

Do đó ta cần một giá trị của R_B là :

$$\frac{+6 - 0.5}{R_B} = 1.96$$

$$R_B = \frac{4.3}{1.94} = 2.2k\Omega$$

5.5 Phân cực trong các mạch khuếch đại dùng BJT

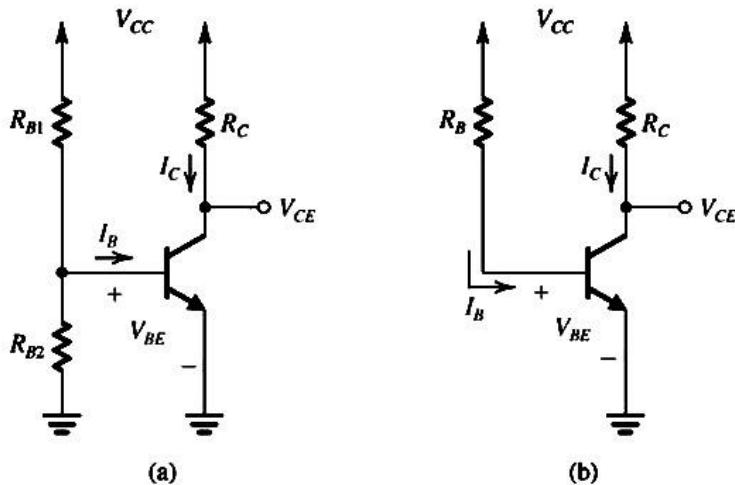
Vấn đề phân cực (định thiên) là đặt một dòng điện một chiều không đổi vào colecto của BJT. Dòng điện này phải được tính toán, dự đoán, và không nhạy cảm với sự thay đổi của nhiệt độ và sự biến thiên lớn giá trị β của các transistor cùng loại. Một vấn đề quan trọng khác trong thiết kế mạch phân cực là chọn điểm phân cực một chiều trên đặc tuyến $i_C - v_{CE}$ để cho phép tín hiệu dao động ở đầu ra lớn nhất. Trong

phần này, chúng ta sẽ tiếp cận theo nhiều cách khác nhau để giải quyết vấn đề phân cực (định thiên) trong các mạch transistor được thiết kế với các linh kiện rời rạc.

Trước khi giới thiệu về các sơ đồ phân cực tốt, chúng ta nên chú ý tại sao hai sơ đồ phân cực sau là không tốt. Thứ nhất, sơ đồ phân cực cho BJT bằng điện áp V_{BE} không đổi sử dụng một mạch phân áp qua một nguồn cung cấp V_{CC} như trong hình 5.29(a) : quan hệ hàm mũ $i_C - v_{CE}$ chỉ rõ là với bất kỳ sự sai khác nhỏ và không tránh được của giá trị V_{BE} sẽ gây ra sự sai khác lớn của I_C và V_{CE} . Thứ hai, phân cực cho BJT bằng một dòng điện không đổi đặt vào cực bazơ, như trong hình 5.29(b), ở đây $I_E \approx (V_{CC} - 0.7)/R_E$ cũng được khuyến cáo không nên tiếp cận. Ở đây, thông thường sự thay đổi lớn giá trị β giữa các linh kiện cùng loại sẽ gây ra sự thay đổi lớn trong giá trị của I_C và V_{CE} .

5.5.1 Phân cực bằng dòng không đổi

Hình 5.30(a) là một sơ đồ mạch thông dụng nhất để phân cực cho một mạch khuếch đại dùng transistor rời rạc khi chỉ có một nguồn cung cấp đơn. Trong mạch này, điện áp cung cấp đến cực bazơ của transistor là một phần của nguồn cung cấp một chiều V_{CC} thông qua bộ phân áp R_1, R_2 .Thêm vào đó, một điện trở R_E được nối tới cực emito.

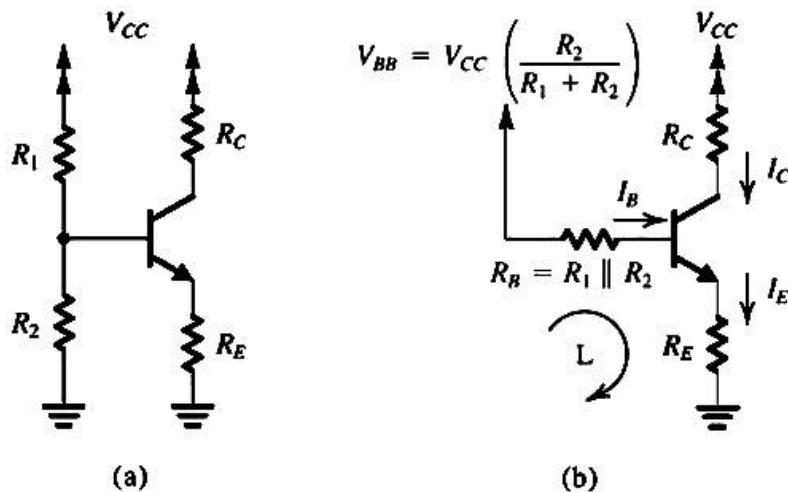


Hình 5.29 Hai sơ đồ để phân cực cho BJT: (a) bằng điện áp không đổi V_{BE} ; (b) bằng dòng không đổi I_B . Cả hai mạch đều gây ra sự thay đổi lớn I_C và V_{CE} và do đó được xem là “không tốt”. Một sơ đồ khác được đề nghị.

Hình 5.30(b) chỉ ra một mạch tương tự với bộ phân áp được thay thế bằng mạch Thevenin tương đương của nó:

$$V_{BB} = \frac{R_2}{R_1 + R_2} V_{CC} \quad (5.58)$$

$$R_B = \frac{R_1 R_2}{R_1 + R_2} \quad (5.59)$$



Hình 5.30 Mạch phân cực kinh điển cho BJT sử dụng một nguồn đơn: (a) mạch điện; (b) Mạch với bộ phân áp cung cấp cho cực bazơ thay thế bằng mạch tương đương Thevenin.

Dòng điện I_E có thể được xác định bởi phương trình vòng Kirchhoff cho vòng mạch bazơ – emitơ – đất, ký hiệu là L, và thay $I_B = I_E / (\beta + 1)$:

$$I_E = \frac{V_{BB} - V_{BE}}{R_E + R_B / (\beta + 1)} \quad (5.60)$$

Để làm cho I_E không nhạy cảm với nhiệt độ và khi β thay đổi, chúng ta thiết kế mạch để thỏa mãn với hai điều kiện ràng buộc:

$$V_{BB} \gg V_{BE} \quad (5.61)$$

$$R_E \gg \frac{R_B}{\beta + 1} \quad (5.62)$$

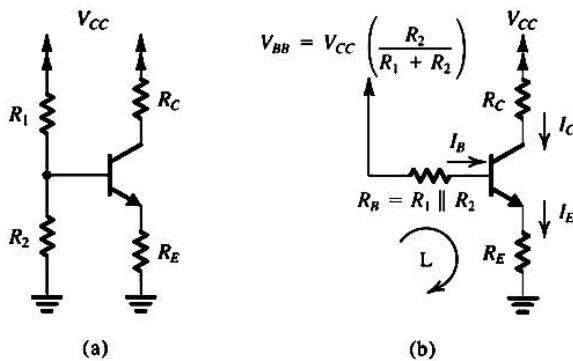
Điều kiện (5.61) đảm bảo sự thay đổi nhỏ của giá trị V_{BE} ($\approx 0.7V$) sẽ làm mất tác dụng bởi điện áp V_{BB} lớn hơn. Tuy nhiên, có một sự giới hạn độ lớn V_{BB} bằng cách: Với một giá trị đã cho của nguồn cung cấp V_{CC} , giá trị V_{BB} cao hơn mà chúng ta dùng, tổng điện áp qua điện trở R_C và tiếp giáp collecto – bazơ (V_{CB}) sẽ nhỏ hơn. Mặt

khác, chúng ta muốn điện áp qua R_C lớn để nhận được hệ số khuếch đại điện áp lớn và tín hiệu dao động lớn (trước khi transistor bị khóa). Chúng ta cũng muốn V_{CB} (hoặc V_{CE}) lớn để cung cấp một tín hiệu dao động lớn (trước khi transistor bị bão hòa). Do vậy, trong bất kỳ trường hợp thiết kế nào, chúng ta có sự đối lập giữa các yêu cầu và phải đưa ra giải pháp dung hòa. Như quy tắc ngón tay cái, các thiết kế là tốt khi V_{BB} cỡ khoảng $1/3 V_{CC}$, V_{CB} (hoặc V_{CE}) khoảng $1/3 V_{CC}$ và $I_C R_C$ khoảng $1/3 V_{CC}$.

Điều kiện (5.62) làm cho I_E không nhạy cảm với sự thay đổi của β và có thể thỏa mãn bằng cách chọn R_B nhỏ. Điều này có thể đạt được bằng cách sử dụng các giá trị R_1 và R_2 thấp hơn. Tuy nhiên, các giá trị R_1 và R_2 thấp hơn có nghĩa là sẽ có dòng điện lớn hơn chạy từ nguồn cung cấp và sẽ làm trở kháng vào của bộ khuếch đại nhỏ hơn (nếu tín hiệu đầu vào được ghép với cực bazơ). Một điều cần lưu ý rằng điều kiện (5.62) có nghĩa là chúng ta muốn điện áp bazơ không phụ thuộc vào giá trị của β và xác định bằng bộ phân áp. Điều này rõ ràng sẽ thỏa mãn nếu dòng điện trong bộ chia áp lớn hơn nhiều dòng bazơ. Thông thường chọn R_1 và R_2 để dòng điện của chúng nằm trong khoảng từ I_E tới $0.1 I_E$.

Chúng ta lưu ý rằng với sơ đồ phân cực như trên hình 5.30(a) sẽ ổn định dòng điện một chiều emitto (và dòng collecto) nhờ điện áp phản hồi qua R_E . Khảo sát thấy rằng có một số lý do làm dòng emitto tăng lên. Sụt áp trên R_E , và do đó V_E sẽ tăng ứng tăng lên. Nay giờ, nếu điện áp bazơ được xác định bởi bộ phân áp R_1 , R_2 , trong trường hợp này nếu R_B nhỏ, nó sẽ giữ là hằng số, và sự tăng lên của V_E sẽ làm giảm V_{BE} tương ứng. Điều này dẫn đến làm giảm dòng điện collecto (và emitto), một sự thay đổi đối lập với giả thiết ban đầu. Do đó R_E tạo ra một phản hồi âm đóng vai trò làm ổn định dòng điện định thiên.

Ví dụ 5.15: Chúng ta muốn thiết kế một mạng phân cực cho bộ khuếch đại trong hình Ex 5.15 để thiết lập một dòng điện $I_E = 1mA$ sử dụng một nguồn cấp $V_{CC} = +12V$. Transistor có giá trị $\beta = 100$.



Hình Ex 5.15 Mạch phân cực cho BJT bằng dòng không đối sử dụng một nguồn đơn:

(a) mạch điện; (b) Mạch với bộ phân áp cung cấp cho cực bazơ thay thế bằng mạch tương đương Thevenin.

Lời giải :

Chúng ta sẽ sử dụng quy tắc ngón tay cái để cập ở trên và chia một phần ba điện áp nguồn rời trên R_2 và một phần ba khác rời trên R_C , một phần ba còn lại cho tín hiệu dao động tại collecto. Do đó:

$$V_B = +4V$$

$$V_E = 4 - V_{BE} = 3.3V$$

Và R_E được xác định từ

$$R_E = \frac{V_E}{I_E} = \frac{3.3}{1} = 3.3k\Omega$$

Từ thảo luận ở phần trên, chúng ta chọn một dòng điện phân áp $0.1 I_E = 0.1 \times 1 = 0.1$ mA. Bỏ qua dòng điện bazơ, ta có :

$$R_1 + R_2 = \frac{12}{0.1} = 120 k\Omega$$

và

$$\frac{R_1}{R_1 + R_2} V_{CC} = 4V$$

Do đó $R_2 = 40k\Omega$ và $R_1 = 80k\Omega$.

Lúc này, để tìm một giá trị chính xác hơn cho I_E , ta có thể tìm được khi tính toán với dòng điện bazơ không phải là bằng 0. Sử dụng phương trình

$$I_E = \frac{V_{BB} - V_{BE}}{R_E + R_B / (\beta + 1)}, \text{ ta có:}$$

$$I_E = \frac{4 - 0.7}{3.3k\Omega + \frac{(80//40)(k\Omega)}{101}} = 0.93mA$$

Giá trị này hơi nhỏ hơn so với giá trị chúng ta giả định 1mA. Điều này dễ thấy từ phương trình ở trên, đó là cách đơn giản để tính lại I_E để giá trị danh định của nó có thể giảm giá trị R_E từ 3.3 kΩ bằng đại lượng của số hạng thứ hai trong mẫu số (0.267 kΩ). Do đó giá trị phù hợp hơn của R_E trong trường hợp này có thể là $R_E = 3k\Omega$, kết quả thu được là $I_E = 1.01mA \approx 1mA$.

Cần lưu ý rằng nếu chúng ta muốn có dòng điện lớn hơn từ nguồn cung cấp và để cho phép một giá trị điện trở đầu vào thấp hơn cho bộ khuếch đại, sau đó chúng ta có thể sử dụng phương trình tính dòng điện từ bộ chia áp, I_E (giả sử là 1mA), kết quả $R_1 = 8k\Omega$ và $R_2 = 4k\Omega$. Chúng ta sẽ tham chiếu mạch điện sử dụng các giá trị sau trong thiết kế 2, với giá trị thực tế của I_E sử dụng giá trị R_E ban đầu 3.3 kΩ sẽ là:

$$I_E = \frac{4 - 0.7}{3.3 + 0.027} = 0.99 \approx 1mA$$

Trong trường hợp này, thiết kế 2, chúng ta không cần thay đổi giá trị của R_E .

Cuối cùng giá trị của R_C có thể được xác định từ phương trình:

$$R_C = \frac{12 - V_C}{I_C}$$

Thế $I_C = \alpha I_E = 0.99 \times 1 = 0.99mA \approx 1mA$ kết quả cho cả hai thiết kế:

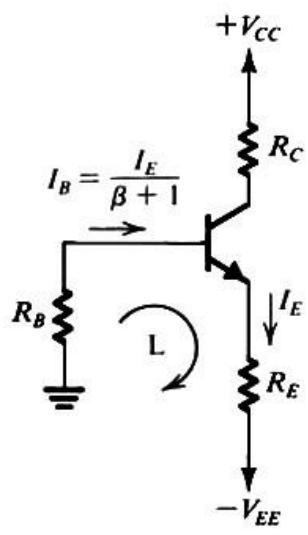
$$R_C = \frac{12 - 8}{1} = 4k\Omega$$

5.5.2 Phân cực dùng hai nguồn cung cấp

Một phương pháp phân cực đơn giản hơn có thể sử dụng hai nguồn cung cấp như mạch trong hình 5.31. Viết phương trình mạch vòng cho vòng đánh dấu là L ta có:

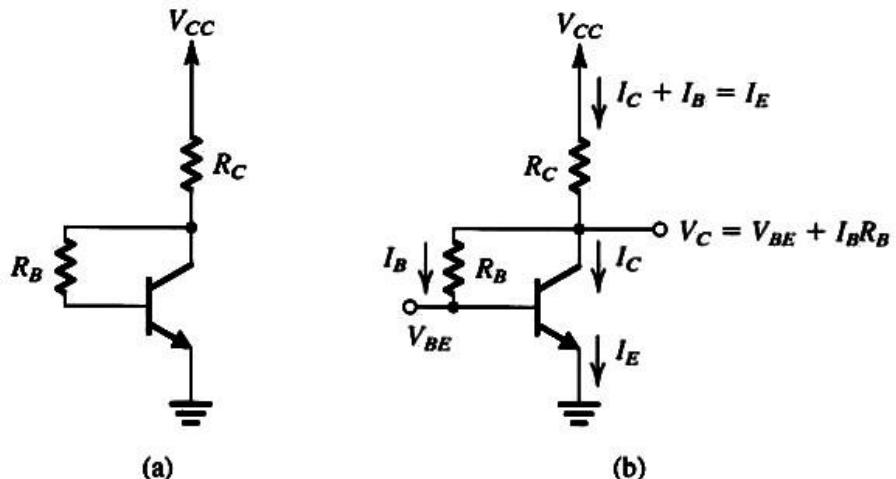
$$I_E = \frac{V_{EE} - V_{BE}}{R_E + R_B / (\beta + 1)} \quad (5.63)$$

Phương trình này giống với phương trình (5.60) ngoại trừ V_{EE} được thay cho V_{BB} . Do đó hai điều kiện của phương trình (5.61) và (5.62) được áp dụng ở đây. Lưu ý rằng, nếu transistor được sử dụng với cực bazơ nối đất (nghĩa là trong cách mắc kiểu bazơ chung) thì R_B có thể loại trừ lẫn nhau. Nói cách khác, nếu tín hiệu đầu vào được nối tới bazơ thì R_B là cần thiết. Chúng ta sẽ nghiên cứu các kiểu mắc bộ khuếch đại dùng BJT trong phần 5.7.



Hình 5.31 Phân cực cho BJT sử dụng hai nguồn cấp. Điện trở R_B chỉ cần thiết khi tín hiệu được nối với cực bazơ. Nói cách khác, cực bazơ có thể được nối trực tiếp với đất hoặc để đặt một nguồn tín hiệu, kết quả là gần như toàn bộ β không phụ thuộc vào dòng phân cực.

5.5.3 Phân cực sử dụng một điện trở phản hồi Colecto tới Bazơ



Hình 5.32 (a) Phân cực cho mạch khuếch đại dùng transistor mắc kiểu emitơ chung bằng điện trở phản hồi R_B . **(b)** Phân tích mạch hình (a)

Hình 5.32 là một sơ đồ phân cực đơn giản nhưng hiệu quả thích hợp cho các bộ khuếch đại mắc kiểu emitơ chung. Mạch này sử dụng một điện trở R_B nối giữa colecto và bazơ. Điện trở R_B tạo ra phản hồi âm giúp ổn định điểm phân cực cho BJT.

Phân tích mạch trong hình 5.32(b), chúng ta có thể viết:

$$\begin{aligned} V_{CC} &= I_E R_C + I_B R_B + V_{BE} \\ &= I_E R_C + \frac{I_E}{\beta+1} R_B + V_{BE} \end{aligned}$$

Do đó dòng điện qua emitơ được tính:

$$I_E = \frac{V_{CC} - V_{BE}}{R_C + R_B / (\beta+1)} \quad (5.64)$$

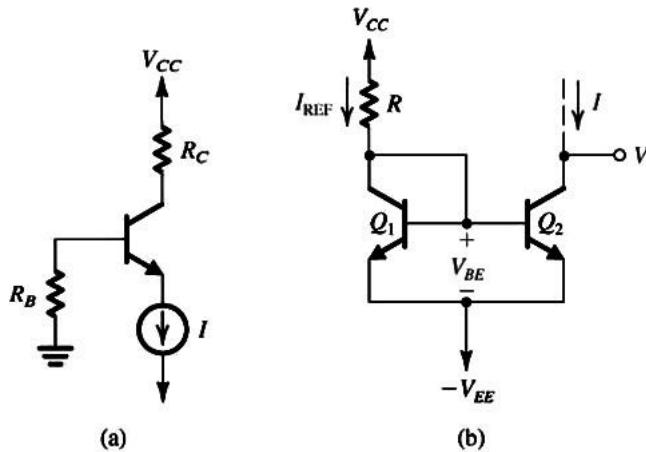
Điều thú vị là phương trình này tương tự giống với phương trình (5.60) ngoại trừ việc V_{CC} được thay cho V_{BB} và R_C thay cho R_E . Theo đó thu được giá trị của I_E mà sẽ không nhạy cảm với sự thay đổi của β , chúng ta chọn $R_B / (\beta+1) \ll R_C$. Tuy nhiên, cần chú ý giá trị của R_C xác định độ dao động của tín hiệu cho phép tại colecto:

$$V_{CB} = I_B R_B = I_E \frac{R_B}{\beta+1} \quad (5.65)$$

5.5.4 Phân cực sử dụng một nguồn dòng điện không đổi

BJT có thể phân cực sử dụng một nguồn dòng điện không đổi I như trong sơ đồ mạch trong hình 5.33(a). Mạch này có một ưu điểm là dòng điện emitơ không phụ thuộc vào giá trị β và R_B . Do đó R_B có thể chọn giá trị lớn cho phép tăng điện trở đầu vào tại cực bazơ mà không làm ảnh hưởng đến điểm phân cực tĩnh. Hơn nữa, nguồn dòng

phân cực làm cho thiết kế đơn giản đáng kể và sẽ được tìm hiểu rõ hơn ở các phần và các chương sau.



Hình 5.33 (a) Phân cực cho BJT sử dụng nguồn dòng không đổi I . (b) Mạch điện tạo nguồn dòng điện I .

Hoạt động đơn giản của một nguồn dòng điện không đổi I được chỉ ra trong hình 5.33(b). Mạch này sử dụng một cặp transistor Q_1 và Q_2 , với Q_1 được nối như một điốt bằng cách ngắn mạch collecto và bazơ của chúng. Nếu giả sử Q_1 và Q_2 có giá trị β lớn, chúng ta có thể bỏ qua các dòng điện bazơ của chúng. Do đó dòng điện qua Q_1 sẽ xấp xỉ bằng với I_{REF} ,

$$I_{REF} = \frac{V_{CC} - (-V_{EE}) - V_{BE}}{R} \quad (5.66)$$

Vì Q_1 và Q_2 có cùng điện áp V_{BE} nên các dòng collecto của chúng sẽ bằng nhau, kết quả là :

$$I = I_{REF} = \frac{V_{CC} + V_{EE} - V_{BE}}{R} \quad (5.67)$$

Bỏ qua hiệu ứng sớm của Q_2 , dòng điện collecto sẽ giữ không đổi tại giá trị được tính bởi phương trình này miễn là Q_2 vẫn làm việc trong vùng tích cực. Điều này có thể đảm bảo bằng cách giữ điện áp tại collecto V lớn hơn điện áp trên bazơ ($-V_{EE} \div V_{BE}$). Việc nối Q_1 và Q_2 như trong sơ đồ hình 5.33(b) được biết đến như là phương pháp **gương dòng**.

5.6 Hoạt động của BJT với tín hiệu nhỏ và các mô hình tương đương

Ở trên khi nghiên cứu sự hoạt động của các mạch khuếch đại dùng BJT, chúng ta thấy rằng mạch khuếch đại là tuyến tính bằng cách phân cực cho transistor làm việc

trong vùng tích cực và giữ cho tín hiệu đầu vào đủ nhỏ. Trong phần này, chúng ta sẽ nghiên cứu kỹ hơn về sự hoạt động của BJT với tín hiệu nhỏ.

Xét mạch điện trong Hình 5.34(a). Ở đây tiếp giáp B-E được phân cực thuận bởi một điện áp một chiều V_{BE} . Sự phân cực ngược cho tiếp giáp C-B được thiết lập bởi việc nối cực collecto với nguồn cung cấp V_{CC} thông qua điện trở R_C . Tín hiệu vào cần được khuếch đại v_{be} được xếp chồng lên điện áp V_{BE} .

Trước tiên ta xét các điều kiện phân cực một chiều thông qua việc thiết lập tín hiệu v_{be} bằng 0. Mạch điện tối giản được mô tả trong Hình 5.34(b), và ta có thể viết các quan hệ sau cho các dòng điện và điện áp một chiều:

$$I_C = I_S e^{V_{BE}/V_T} \quad (5.68)$$

$$I_E = I_C / \alpha \quad (5.69)$$

$$I_B = I_C / \beta \quad (5.70)$$

$$V_C = V_{CE} = V_{CC} - I_C R_C \quad (5.71)$$

Rõ ràng, với việc hoạt động của transistor ở chế độ tích cực, V_C nên lớn hơn so với $(V_B - 0.4)$ một lượng mà nó cho phép một sự dao động tín hiệu âm ở trên cực collecto.

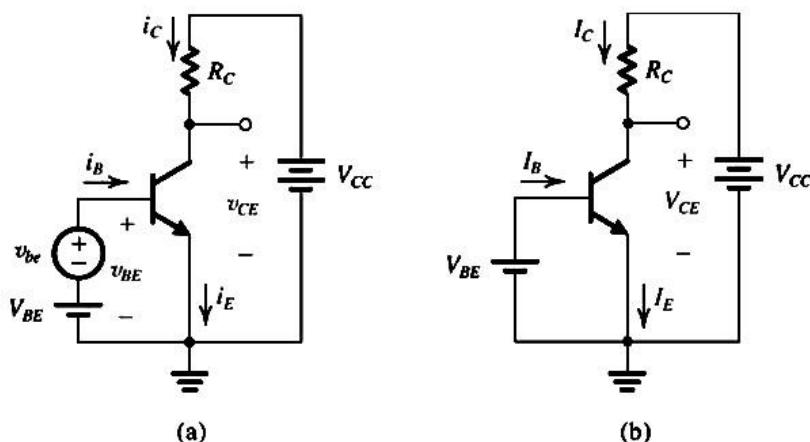
5.6.1 Dòng collecto và hố dẫn

Nếu một tín hiệu v_{be} được đặt vào như được thể hiện trong Hình 5.34(a), điện áp tức thời gốc - phát v_{BE} trở thành

$$v_{BE} = V_{BE} + v_{be}$$

Tương ứng, dòng collecto sẽ là :

$$\begin{aligned} i_C &= I_S e^{v_{BE}/V_T} = I_S e^{(V_{BE}+v_{be})/V_T} \\ &= I_S e^{(V_{BE}/V_T)} e^{(v_{be}/V_T)} \end{aligned}$$



Hình 5.34 (a) Mạch điện nguyên lý minh họa hoạt động của BJT như một bộ khuếch đại.

(b) Mạch (a) với sự loại bỏ nguồn tín hiệu v_{be} cho sự phân tích một chiều (phân cực). Sử dụng kết quả của Phương trình 5.68

$$i_C = I_C e^{v_{be}/V_T} \quad (5.72)$$

Bây giờ, nếu $v_{be} \ll V_T$, ta có thể tính gần đúng Phương trình 5.72 như sau

$$i_C \approx I_C \left(1 + \frac{v_{be}}{V_T}\right) \quad (5.73)$$

Ở đây ta đã khai triển số hạng mũ trong Phương trình (5.72) dưới dạng chuỗi và chỉ giữ lại hai số hạng đầu tiên. Phép lấy gần đúng này, chỉ sử dụng được với v_{be} nhỏ hơn 10mV, được gọi là **phép lấy xấp xỉ gần đúng tín hiệu nhỏ**. Sử dụng phép lấy gần đúng này, dòng collecto tổng được cho bởi Phương trình (5.73) và có thể được viết lại

$$i_C = I_C + \frac{I_C}{V_T} v_{be} \quad (5.74)$$

Do đó dòng collecto là sự kết hợp của giá trị phân cực một chiều I_C và một thành phần tín hiệu i_c ,

$$i_c = \frac{I_C}{V_T} v_{be} \quad (5.75)$$

Biểu thức này thể hiện mối quan hệ giữa tín hiệu dòng điện ở cực collecto với tín hiệu điện áp bazơ – emitơ tương ứng. Nó có thể được viết lại như sau

$$i_c = g_m v_{be} \quad (5.76)$$

Trong đó g_m được gọi là **hỗn dẫn**, và từ Phương trình (5.75), nó được xác định bởi:

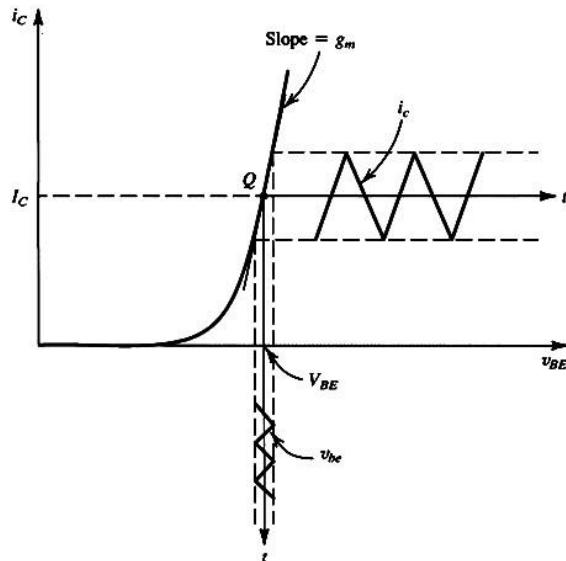
$$g_m = \frac{I_C}{V_T} \quad (5.77)$$

Ta quan sát thấy rằng hỗn dẫn của BJT tỷ lệ thuận với dòng phân cực collecto I_C . Do đó để có được một giá trị cố định có thể dự đoán được cho g_m , ta cần một giá trị cố định có thể dự đoán trước được của I_C . Cuối cùng, ta chú ý rằng BJT có hỗn dẫn tương đối cao (khi so sánh với MOSFETs, linh kiện đã được nghiên cứu trong Chương 4); ví dụ, ở $I_C = 1mA$, $g_m \approx 40mA/V$.

Một sự biểu diễn bằng đồ thị cho g_m trong Hình 5.37, trong đó chỉ ra rằng g_m có độ dốc bằng với độ dốc của đường cong đặc tuyến $i_C - v_{BE}$ tại $i_C = I_C$ (tức là tại điểm phân cực Q). Do đó,

$$g_m = \left. \frac{\partial i_C}{\partial v_{BE}} \right|_{i_C=I_C} \quad (5.78)$$

Phép lấy gần đúng tính hiệu nhỏ cho phép duy trì biên độ tín hiệu đủ nhỏ để *sự hoạt động của BJT* được giới hạn trong một đoạn gần như tuyến tính trên đường cong hàm mũ $i_C - v_{BE}$. Việc tăng biên độ tín hiệu sẽ dẫn đến dòng collecto có các thành phần quan hệ không tuyến tính với v_{be} .



Hình 5.35 Sự hoạt động tuyến tính của transistor với tín hiệu nhỏ: Một tín hiệu nhỏ v_{be} với dạng sóng tam giác được xếp chồng lên điện áp một chiều V_{BE} . Nó làm tăng dòng cực góp i_c , cũng là một dạng sóng tam giác, xếp chồng lên dòng một chiều I_C . Ở đây, $i_c = g_m v_{be}$, trong đó g_m là độ dốc của đường cong $i_C - V_{BE}$ tại điểm phân cực Q .

Khi phân tích ở trên với các tín hiệu nhỏ ($v_{be} \ll V_T$), transistor hoạt động như một nguồn dòng được điều khiển bằng điện áp. Đầu vào của nguồn điều khiển này là giữa bazơ và emitơ và đầu ra là giữa colectơ và emitơ. Hỗn dẫn của nguồn điều khiển là g_m và điện trở ra bằng vô cùng. Đặc tuyến lý tưởng về sau là kết quả mô hình bậc nhất ché độ hoạt động của transistor mà ở đó điện áp colectơ không ảnh hưởng tới dòng colectơ ở ché độ tích cực. Như chúng ta được thấy trong phần 5.2, BJT thực tế có điện trở đầu ra hữu hạn bởi ảnh hưởng của hiệu ứng sớm. Ảnh hưởng của điện trở đầu ra đến hiệu suất bộ khuếch đại sẽ được xem xét sau.

5.6.2 Dòng bazo và trở kháng vào ở cực bazo

Để xác định trở kháng nhin từ v_{be} , trước tiên ta tính dòng bazơ tổng i_B sử dụng Phương trình (5.74) như sau:

$$i_B = \frac{i_C}{\beta} = \frac{I_C}{\beta} + \frac{1}{\beta} \frac{I_C}{V_T} v_{be}$$

Do đó,

$$i_B = I_B + i_b \quad (5.79)$$

trong đó I_B bằng I_C/β và thành phần tín hiệu i_b được xác định:

$$i_b = \frac{1}{\beta} \frac{I_C}{V_T} v_{be} \quad (5.80)$$

Thay thế $\frac{I_C}{V_T}$ bằng g_m ta có

$$i_b = \frac{g_m}{\beta} v_{be} \quad (5.81)$$

Trở kháng vào tín hiệu nhỏ giữa bazơ và emitte *nhìn từ cực bazơ* được ký hiệu là r_π và được xác định theo biểu thức :

$$r_\pi = \frac{v_{be}}{i_b} \quad (5.82)$$

Sử dụng Phương trình (5.81) ta có

$$r_\pi = \frac{\beta}{g_m} \quad (5.83)$$

Do đó r_π phụ thuộc trực tiếp vào β và tỷ lệ nghịch với dòng phân cực I_C . Thay g_m trong phương trình (5.83) vào Phương trình (5.77) và thay I_C/β bằng I_B cho ta một biểu thức khác để tính r_π :

$$r_\pi = \frac{V_T}{I_B} \quad (5.84)$$

5.6.3 Dòng emitơ và trở kháng vào ở cực emitơ

Dòng emitơ tổng i_E có thể được xác định theo biểu thức

$$i_E = \frac{i_C}{\alpha} = \frac{I_C}{\alpha} + \frac{i_c}{\alpha}$$

Do đó :

$$i_E = I_E + i_e \quad (5.85)$$

Trong đó I_E bằng I_C/α và tín hiệu dòng i_e được cho bởi

$$i_e = \frac{i_c}{\alpha} = \frac{I_C}{\alpha V_T} v_{be} = \frac{I_E}{V_T} v_{be} \quad (5.86)$$

Nếu ta ký hiệu trở kháng tín hiệu nhỏ giữa bazơ và emitơ *nhìn vào cực emitơ* là r_e , ta có

$$r_e \equiv \frac{v_{be}}{i_e} \quad (5.87)$$

Sử dụng Phương trình (5.86) ta thấy rằng r_e được gọi là trở kháng emitơ và được xác định theo biểu thức :

$$r_e = \frac{V_T}{I_E} \quad (5.88)$$

So sánh với Phương trình (5.77) ta nhận thấy rằng

$$r_e = \frac{\alpha}{g_m} \approx \frac{1}{g_m} \quad (5.89)$$

Mối quan hệ giữa r_π và r_e có thể tìm được bằng cách kết hợp các phương trình (5.82) và (5.87) :

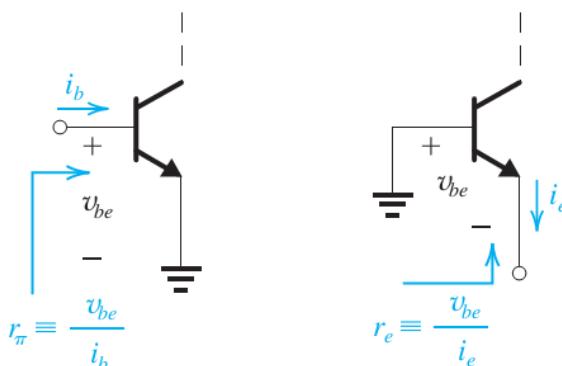
$$v_{be} = i_b r_\pi = i_e r_e$$

Do đó

$$r_\pi = (i_e / i_b) r_e$$

Từ đó cho ta

$$r_\pi = (\beta + 1) r_e \quad (5.90)$$



Hình 5.36 Hình minh họa cho các khái niệm điện trở r_π và r_e

5.6.4 Hệ số khuếch đại điện áp

Khi BJT hoạt động ở chế độ tích cực, transistor đóng vai trò như một nguồn dòng điều khiển bằng điện áp. Để thu được một tín hiệu áp ở đầu ra, ta có thể cho dòng điện này chạy qua một điện trở, như đã thực hiện trong sơ đồ mạch hình 5.34(a). Theo đó điện áp collectơ tổng v_{CE} sẽ là :

$$\begin{aligned} v_{CE} &= V_{CC} - i_c R_C \\ &= V_{CC} - (I_c + i_e) R_C \\ &= (V_{CC} - I_c R_C) - i_e R_C \\ &= V_{CE} - i_e R_C \end{aligned} \quad (5.91)$$

Ở đây V_{CE} là điện áp phân cực một chiều ở cực collecto, và tín hiệu điện áp v_{ce} được xác định bởi :

$$\begin{aligned} v_{ce} &= -i_c R_C = -g_m v_{be} R_C \\ &= (-g_m R_C) v_{be} \end{aligned} \quad (5.92)$$

Do đó hệ số khuếch đại áp của bộ khuếch đại này A_v là

$$A_v = \frac{v_c}{v_{be}} = -g_m R_C \quad (5.93)$$

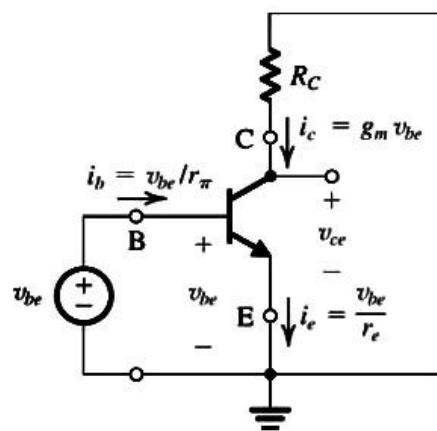
Ở đây ta chú ý rằng bởi vì g_m tỷ lệ thuận với dòng phân cực collecto, do đó hệ số khuếch đại sẽ ổn định khi dòng phân cực collecto được tạo ra. Từ biểu thức tính g_m theo công thức (5.77) cho phép ta biểu diễn hệ số khuếch đại theo dạng sau :

$$A_v = -\frac{I_C R_C}{V_T} \quad (5.94)$$

Nó giống với biểu thức ta đã nhận được từ Phần 5.4.3 (Phương trình 5.46).

5.6.5 Phân tách tín hiệu và các đại lượng một chiều

Các phân tích ở trên chỉ ra rằng mọi dòng điện và điện áp trong mạch khuếch đại ở Hình 5.34(a) đều được coi là tổng của hai thành phần: một thành phần một chiều và một thành phần tín hiệu. Ví dụ, $v_{BE} = V_{BE} + v_{be}$, $i_C = I_C + i_c$ hay tương tự như thế. Các thành phần một chiều được xác định từ mạch điện một chiều được cho trong Hình 5.34(b) và từ các mối quan hệ giữa các thông số của transistor (các phương trình từ 5.68 tới 5.71). Mặt khác, biểu diễn sự hoạt động với tín hiệu nhỏ của BJT có thể nhận được bằng cách loại bỏ đi các nguồn một chiều (hình 5.37).



Hình 5.37 Mạch khuếch đại hình 5.34 (a) với sự loại bỏ (ngắt mạch) các nguồn một chiều V_{BE} và V_{cc} . Vì thế chỉ có thành phần tín hiệu được biểu diễn. Lưu ý rằng đây là sự biểu diễn hoạt động với tín hiệu nhỏ của BJT chứ không phải là một mạch khuếch đại thực tế.

Quan sát thấy rằng vì điện áp của một nguồn một chiều lý tưởng là không thay đổi, tín hiệu điện áp trên nó sẽ bằng không. Vì lý do này ta có thể thay thế V_{CC} và V_{BE} bằng các ngắn mạch. Mạch điện bao gồm các nguồn dòng một chiều lý tưởng, những nguồn này có thể được thay thế bằng các mạch hở. Tuy nhiên chú ý rằng mạch điện trong Hình 5.37 chỉ hữu ích trong trường hợp mà nó thể hiện các tín hiệu dòng điện và điện áp khác nhau; nó không phải là một mạch khuếch đại thực tế vì mạch phân cực một chiều không được thể hiện.

Hình 5.37 cũng chỉ ra sự biểu diễn của cho sự tăng dòng điện (i_c, i_b và i_e) khi một tín hiệu nhỏ v_{be} được đặt vào mạch. Những mối quan hệ này có thể được thể hiện trên một mạch. Một mạch như thế này phải có 3 điện cực – C, B và E – và tạo ra các dòng trên các cực giống như được mô tả trong hình 5.37. Mạch điện nhận được khi đó gọi là *mạch tương đương của transistor khi làm việc với tín hiệu nhỏ* (mô hình tương đương tín hiệu nhỏ).

5.6.6 Mô hình kết hợp dạng π

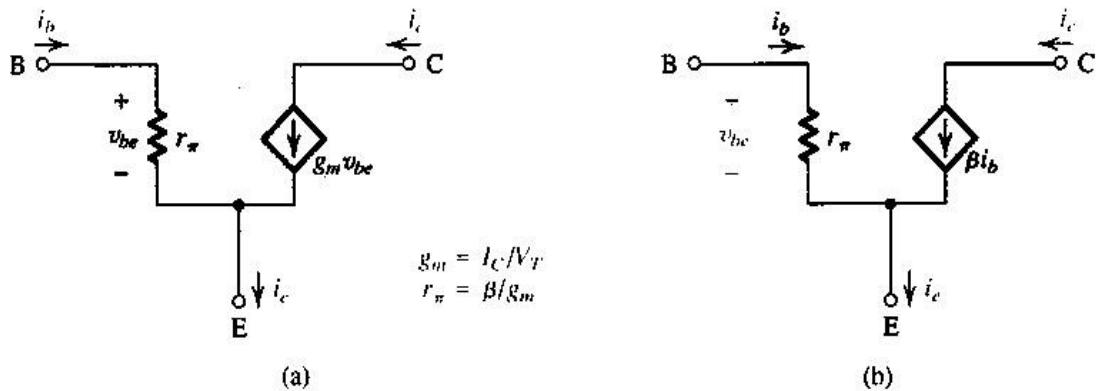
Một mô hình mạch điện tương đương cho BJT được thể hiện trong Hình 5.38(a). Mô hình này mô tả BJT như một nguồn dòng điều khiển bằng điện áp và hiển nhiên tồn tại trở kháng vào *nhìn vào cực bazơ* là r_π .

Mô hình này có $i_c = g_m v_{be}$ và $i_b = v_{be} / r_\pi$. Ta có thể biểu diễn công thức tính cho i_e . Ở cực emitơ, ta có

$$\begin{aligned} i_e &= \frac{v_{be}}{r_\pi} + g_m v_{be} = \frac{v_{be}}{r_\pi} (1 + g_m r_\pi) \\ &= \frac{v_{be}}{r_\pi} (1 + \beta) = v_{be} / \left(\frac{r_\pi}{1 + \beta} \right) \\ &= v_{be} / r_e \end{aligned}$$

Một mô hình mạch tương đương hơi khác một chút có thể nhận được bằng cách biểu diễn dòng của nguồn điều khiển ($g_m v_{be}$) theo dòng bazơ i_b như sau :

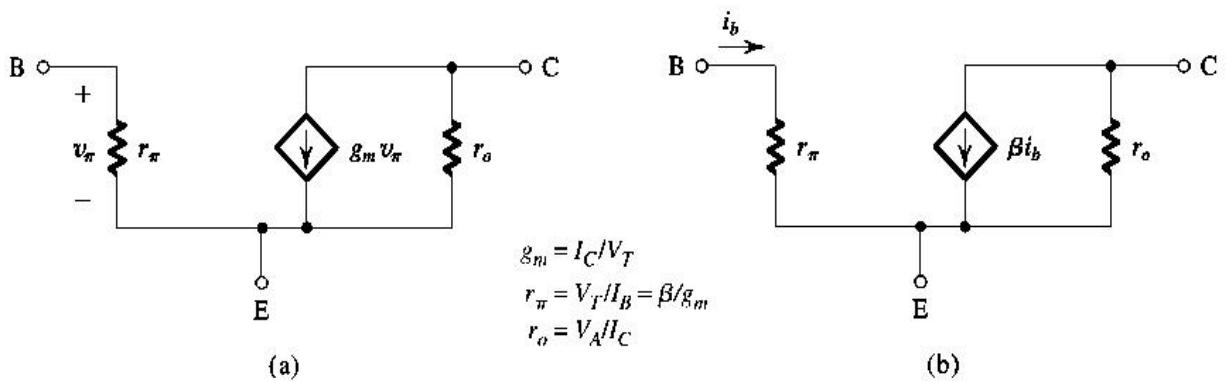
$$\begin{aligned} g_m v_{be} &= g_m (i_b r_\pi) \\ &= (g_m r_\pi) i_b = \beta i_b \end{aligned}$$



Hình 5.38 Hai phiên bản hơi khác nhau của mô hình kết hợp dạng π minh họa sự hoạt động với tín hiệu nhỏ của BJT. Mạch tương đương hình (a) biểu diễn BJT như một nguồn dòng được điều khiển bằng điện áp (một bộ khuếch đại hỗ dẫn) và hình (b) biểu diễn BJT như một nguồn dòng được điều khiển bằng dòng điện (một bộ khuếch đại dòng điện).

Kết quả này tạo ra một mô hình mạch điện tương đương khác được thể hiện trong Hình 5.38(b). Ở đây transistor được mô tả như một nguồn dòng điều khiển bằng dòng điện với dòng điều khiển là i_b .

Khi tính đến hiệu ứng sớm (dòng collecto không chỉ phụ thuộc vào v_{BE} mà còn phụ thuộc vào v_{CE} do điều chế độ rộng vùng bazơ). Sự phụ thuộc vào v_{CE} có thể được mô hình hóa bằng việc tồn tại một điện trở đầu ra hữu hạn tới nguồn dòng có điều khiển. Điện trở ra r_o được thêm vào giữa cực collecto và emitơ (hình 5.39) và có giá trị được xác định theo biểu thức: $r_o = (V_A + V_{CE}) / I_C \approx V_A / I_C$. Trong đó V_A là điện áp sớm và V_{CE} và I_C là tọa độ của điểm phân cực một chiều. Chú ý rằng trong các mô hình trong hình 5.39 ta đã đổi tên v_{be} thành v_π cho phù hợp. Hai mô hình tương đương tín hiệu nhỏ dạng π trong hình 5.39 được dùng rộng rãi nhất cho BJT.



Hình 5.39 Mô hình kết hợp tín hiệu nhỏ dạng π dưới hai phiên bản có tính đến điện trở r_o .

Một điều quan trọng cần lưu ý cho các mạch tương đương tín hiệu nhỏ trong hình 5.39 mô hình hóa sự hoạt động của BJT tại một điểm phân cực đã cho. Điều này dẫn đến một thực tế là các tham số của mô hình g_m, r_π và r_o phụ thuộc vào giá trị dòng phân cực một chiều I_C như chỉ ra trong hình 5.39. Điều đó có nghĩa là các mạch tương đương mô hình hóa sự thay đổi hoạt động của BJT quanh điểm phân cực.

Vậy điện trở ra r_o có ảnh hưởng như thế nào đến hệ số khuếch đại của mạch. Trong các mạch khuếch đại mà emitơ được nối đất, r_o đơn giản được mắc song song với R_C . Do đó, nếu ta tính cả đến r_o trong mạch điện tương đương thì điện áp ra v_o trở thành :

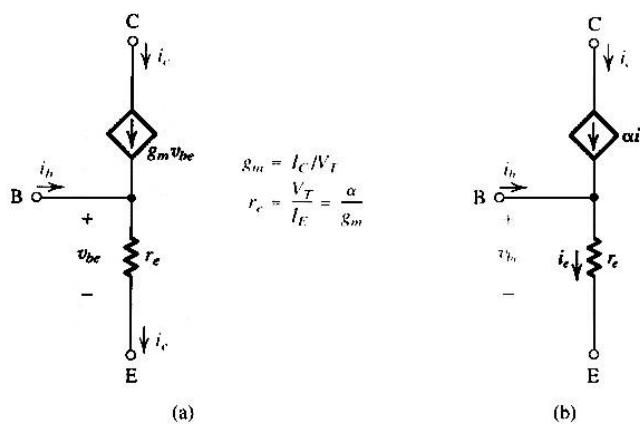
$$v_o = -g_m v_{be} (R_C // r_o)$$

Do đó hệ số khuếch đại phần nào sẽ bị giảm xuống. Rõ ràng nếu $r_o \gg R_C$, sự suy giảm trong hệ số khuếch đại sẽ được bỏ qua, hay có thể bỏ qua ảnh hưởng của r_o . Nói chung, trong cấu hình này r_o có thể được bỏ qua nếu nó lớn hơn $10 R_C$.

Khi cực emitơ của transistor không được nối đất, nếu có r_o trong mô hình có thể làm phức tạp cho quá trình phân tích mạch.

5.6.7 Mô hình dạng T

Mặc dù mô hình hỗn hợp dạng π (một trong hai biến thể được thể hiện trong hình 5.38) có thể được sử dụng để thực hiện phân tích tất cả các mạch transistor làm việc với tín hiệu nhỏ, tuy nhiên có một số trường hợp sử dụng một mô hình khác được thể hiện trong hình 5.40 lại thuận tiện hơn rất nhiều. Mô hình này được gọi là mô hình dạng T và cũng có hai dạng.



Hình 5.40 Hai phiên bản hơi khác nhau của *mô hình dạng T* của BJT. Mạch hình (a) biểu diễn một nguồn dòng điều khiển bằng điện áp và hình (b) biểu diễn một nguồn dòng điều khiển bằng dòng điện. Các mô hình này sử dụng điện trở emitơ r_e chứ không dùng điện trở bazơ r_π như trong mô hình hồn hợp dạng π .

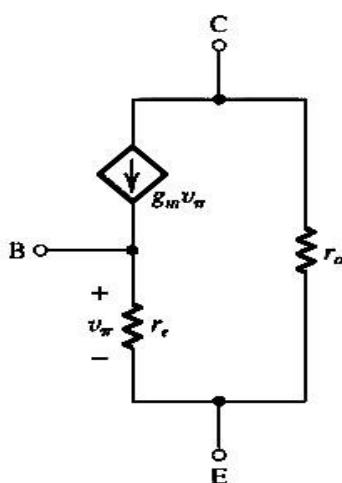
Mô hình trong hình 5.40(a) thể hiện BJT được coi như một nguồn dòng điều khiển bằng điện áp với điện áp điều khiển là v_{be} . Tuy nhiên ở đây điện trở giữa bazơ và emitơ nhin từ cực emitơ được sử dụng. Từ hình 5.40(a) ta thấy rõ ràng là mô hình có thể đưa biểu thức chính xác cho i_c và i_e cũng như i_b .

$$\begin{aligned} i_b &= \frac{v_{be}}{r_e} - g_m v_{be} = \frac{v_{be}}{r_e} (1 - g_m r_e) \\ &= \frac{v_{be}}{r_e} (1 - \alpha) = \frac{v_{be}}{r_e} \left(1 - \frac{\beta}{\beta + 1} \right) \\ &= \frac{v_{be}}{(\beta + 1)r_e} = \frac{v_{be}}{r_\pi} \end{aligned}$$

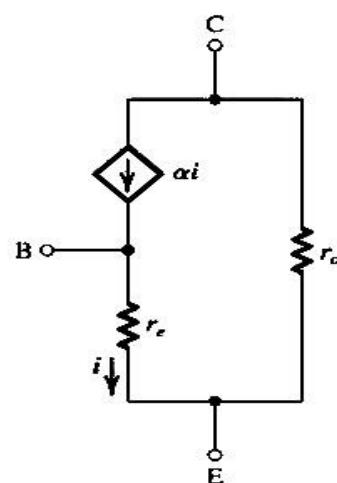
Trong mô hình Hình 5.40(b) dòng điện của nguồn điều khiển được biểu diễn theo dòng emitơ như sau:

$$\begin{aligned} g_m v_{be} &= g_m (i_e r_e) \\ &= (g_m r_e) i_e = \alpha i_e \end{aligned}$$

ta



thu



được mô hình dạng T được chỉ ra trong Hình 5.40(b). Ở đây BJT đóng vai trò như một nguồn dòng điều khiển bằng dòng điện với tín hiệu điều khiển là i_e .

Mô hình dạng T cũng có thể có thêm điện trở ra r_o cho trường hợp i_c phụ thuộc v_{ce} (hiệu ứng sớm) và các mạch tương đương khi đó có dạng như trong hình 5.41.

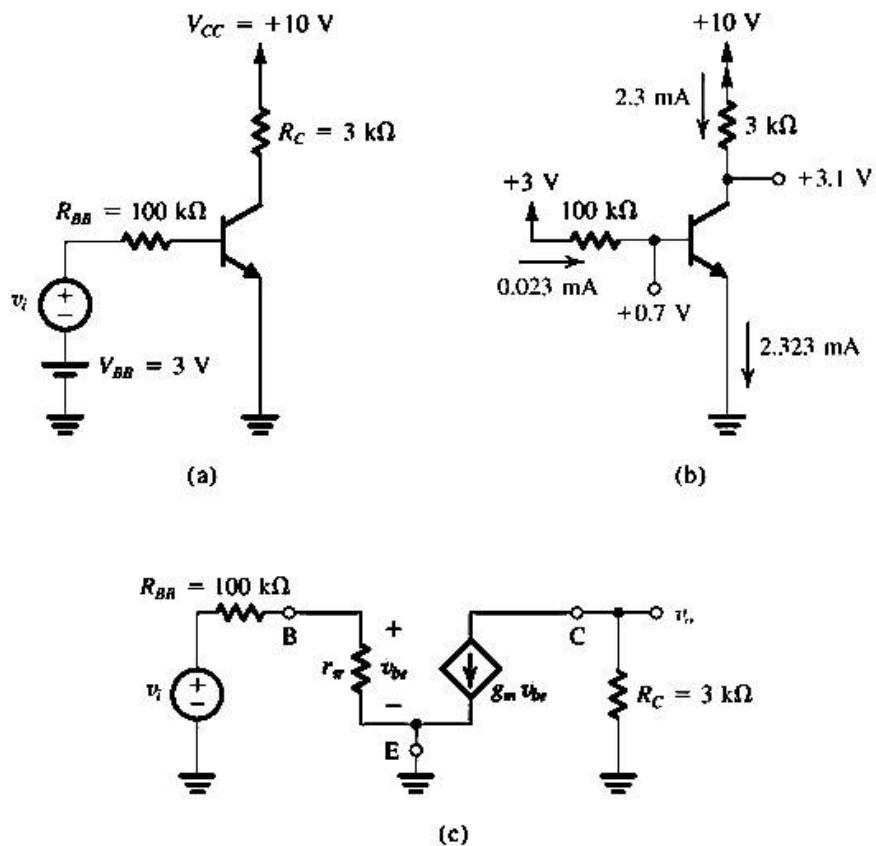
Hình 5.41 Hai phiên bản hơi khác nhau của *mô hình dạng T* của BJT có tính đến
điện trở ra r_o (hiệu ứng sớm)

5.6.8 Ứng dụng của các mạch tương đương tín hiệu nhỏ

Lợi ích của việc sử dụng các mô hình tương đương tín hiệu nhỏ của BJT là làm cho quá trình phân tích các mạch khuếch đại dùng transistor trở nên có tính hệ thống. Quá trình này bao gồm các bước sau:

1. Xác định điểm làm việc một chiều của BJT và dòng một chiều collecto I_C .
2. Tính toán giá trị các thông số mô hình tín hiệu nhỏ: $g_m = I_C / V_T$, $r_\pi = \beta / g_m$ và $r_e = V_T / I_E = \alpha / g_m$.
3. Loại bỏ các nguồn một chiều bằng việc thay thế mỗi nguồn điện áp một chiều bằng một ngãm mạch và mỗi nguồn dòng một chiều bằng một hở mạch.
4. Thay thế BJT bằng một trong các mô hình tương đương tín hiệu nhỏ của nó. Dù sử dụng bất kể mô hình nào thì vẫn sẽ có một kiểu mạch tương đương dùng thuận tiện hơn so với các mạch khác khi phân tích một mạch cụ thể. Điều này sẽ được làm rõ hơn trong chương này.
5. Phân tích mạch thu được để xác định các đại lượng được yêu cầu (ví dụ như hệ số khuếch đại điện áp, trở kháng vào, trở kháng ra).

Ví dụ 5.16: Phân tích bộ khuếch đại dùng transistor trong Hình Ex 5.16(a) để xác định hệ số khuếch đại điện áp của nó. Giả thiết $\beta = 100$.



Hình Ex 5.16: (a) mạch; (b) phân tích một chiều; (c) mô hình tín hiệu nhỏ.

Lời giải :

Bước đầu tiên trong việc phân tích là xác định điểm làm việc tĩnh. Với mục đích này ta giả thiết rằng $v_i = 0$. Dòng một chiều bazơ sẽ là :

$$I_B = \frac{V_{BB} - V_{BE}}{R_{BB}} \approx \frac{3 - 0.7}{100} = 0.023mA$$

Dòng một chiều colectơ sẽ là :

$$I_C = \beta I_B = 100 \times 0.023 = 2.3mA$$

Điện áp một chiều ở colectơ sẽ là

$$\begin{aligned} V_C &= V_{CC} - I_C R_C \\ &= +10 - 2.3 \times 3 = +3.1V \end{aligned}$$

Vì V_B ở mức điện áp +0,7V là nhỏ hơn V_C , theo đó ở chế độ tĩnh transistor sẽ hoạt động ở chế độ tích cực. Phép phân tích một chiều được minh họa trong Hình Ex 5.16(b).

Khi đã xác định được điểm làm việc, bây giờ ta có thể tiến hành xác định các thông số mô hình tín hiệu nhỏ:

$$r_e = \frac{V_T}{I_E} = \frac{25mV}{(2.3/0.99)mA} = 10.8 \Omega$$

$$g_m = \frac{I_C}{V_T} = \frac{2.3mA}{25mV} = 92 mA/V$$

$$r_\pi = \frac{\beta}{g_m} = \frac{100}{92} = 1.09 k\Omega$$

Để tiến hành phân tích tín hiệu nhỏ, có thể sử dụng một trong hai mô hình mạch tương đương hỗn hợp dạng π của Hình 5.39. Khi đó ta có sơ đồ tương đương tín hiệu nhỏ của mạch khuếch đại được biểu diễn trong Hình Ex 5.16(c). Lưu ý rằng không có đại lượng một chiều nào được tính đến trong mạch điện tương đương. Điều quan trọng nhất phải nhớ rằng nguồn điện áp một chiều cung cấp V_{CC} được thay thế bởi *sự ngắn mạch* trong mạch tín hiệu tương đương vì điểm của mạch được nối với V_{CC} sẽ luôn có một điện áp không đổi; tức là, tín hiệu điện áp ở cực này sẽ bằng không. Nói cách khác, *một điểm mạch được nối với một nguồn điện áp không đổi có thể luôn được xem như một tín hiệu nối đất*.

Phân tích mạch điện tương đương trong Hình Ex 5.16(c) ta có:

$$\begin{aligned} v_{be} &= v_i \frac{r_\pi}{r_\pi + R_{BB}} \\ &= v_i \frac{1.09}{101.09} = 0.011v_i \end{aligned}$$

Điện áp ra v_o được tính bởi

$$\begin{aligned} v_o &= -g_m v_{be} R_C \\ &= -92 \times 0.011 v_i \times 3 = -3.04 v_i \end{aligned}$$

Do đó hệ số khuếch đại điện áp sẽ là

$$A_v = \frac{v_o}{v_i} = -3.04 \text{ V/V}$$

trong đó dấu trừ thể hiện sự ngược pha của tín hiệu ra so với tín hiệu vào.

Ví dụ 5.17: Để có sự hiểu biết sâu sắc hơn về chế độ hoạt động của bộ khuếch đại dùng transistor, ta xem xét các dạng sóng ở các điểm khác nhau khi phân tích mạch điện đã được nghiên cứu trong ví dụ trước. Với mục đích này, giả thiết rằng v_i có dạng sóng tam giác. Trước tiên xác định biên độ cực đại cho phép của v_i . Tiếp đó, với giá trị biên độ này của v_i , xác định các dạng sóng $i_B(t), v_{BE}(t), i_C(t)$ và $v_C(t)$.

Lời giải :

Sử dụng một sự không chế biên độ tín hiệu đó là phép xấp xỉ tín hiệu nhỏ, nó quy định rằng v_{be} không nên vượt quá 10 mV. Nếu ta tăng dạng sóng tam giác v_{be} lên thành 20mV đỉnh - đỉnh và làm ngược lại, phương trình $v_{be} = \frac{r_\pi}{r_\pi + R_{BB}} = v_i \frac{1.09}{101.09} = 0.011 v_i$ có thể được sử dụng để xác định biên độ cực đại có thể của v_i ,

$$\hat{V}_i = \frac{\hat{V}_{be}}{0.011} = \frac{10}{0.011} = 0.91V$$

Để kiểm tra xem transistor có còn hoạt động trong chế độ tích cực hay không với v_i có một giá trị đỉnh $\hat{V}_i = 0.91V$, chúng ta phải tính toán điện áp colecto. Điện áp ở colecto sẽ bao gồm một sóng tam giác v_c được xếp chồng lên điện áp một chiều $V_C = 3V$. Điện áp đỉnh của dạng sóng tam giác sẽ là :

$$\hat{V}_c = \hat{V}_i \times gain = 0.91 \times 3.04 = 2.77V$$

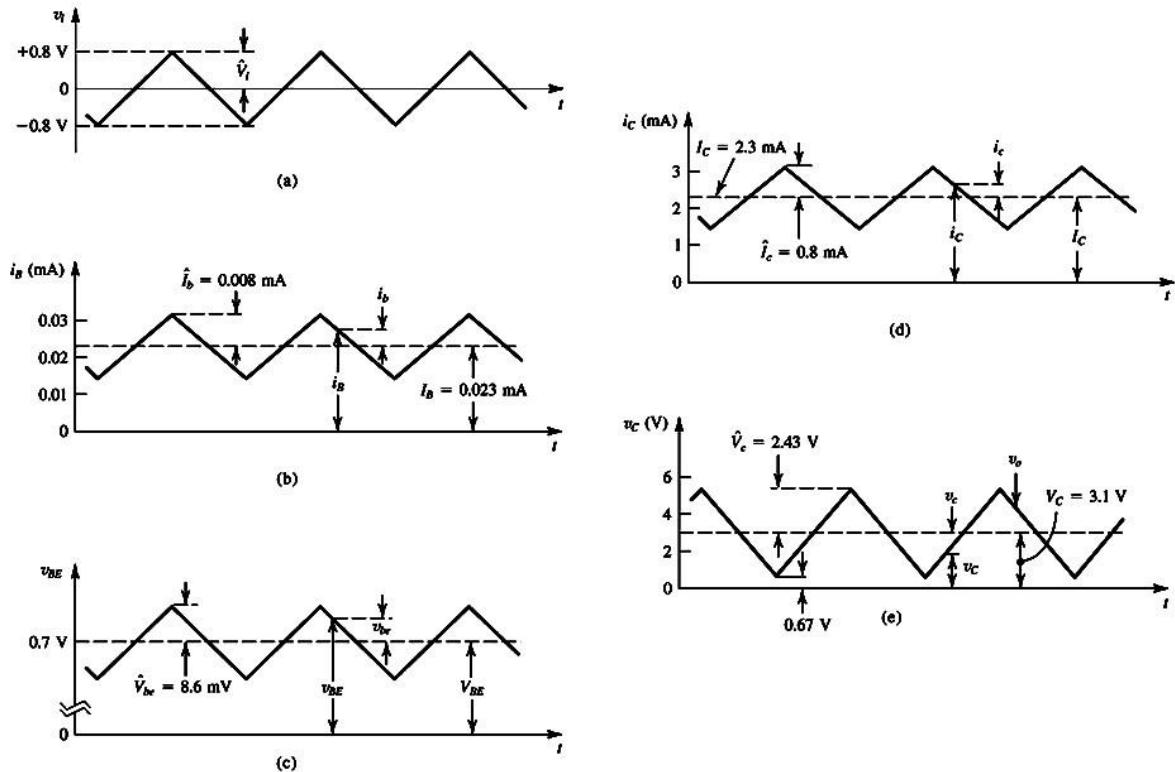
Theo đó khi đầu ra dao động có giá trị âm, điện áp colecto đạt tới một giá trị nhỏ nhất là $3,1 - 2,77 = 0,33V$, thấp hơn điện áp bazơ khoảng dưới 0,4V. Do đó transistor sẽ vẫn hoạt động ở chế độ tích cực với v_i có giá trị đỉnh bằng 0,91V. Tuy vậy, ta sẽ sử dụng giá trị \hat{V}_i thấp hơn một chút là xấp xỉ 0,8V, như được thể hiện trong Hình Ex 5.17(a) và hoàn thành việc phân tích bài toán này. Dòng tín hiệu trong cực bazơ sẽ có dạng tam giác, với giá trị đỉnh \hat{I}_i là :

$$\hat{I}_b = \frac{\hat{V}_i}{R_{BB} + r_\pi} = \frac{0.8}{100+1.09} = 0.008mA$$

Dòng điện dạng sóng tam giác này sẽ được xếp chồng lên dòng cực giao diện I_B , như được chỉ ra trong Hình Ex 5.17(b). Điện áp giao diện – phát sẽ bao gồm một thành phần sóng tam giác xếp chồng lên V_{BE} một chiều có giá trị xấp xỉ 0.7V. Giá trị đỉnh của dạng sóng tam giác sẽ là :

$$\hat{V}_{be} = \hat{V}_i \frac{r_\pi}{r_\pi + R_{BB}} = 0.8 \frac{1.09}{100+1.09} = 8.6mV$$

v_{BE} tổng được phác họa trong Hình Ex 5.17(c).



Hình Ex 5.17 Các dạng sóng tín hiệu trong mạch hình Ex 5.16.

Dòng tín hiệu ở cực collecto sẽ có dạng sóng tam giác, với giá trị đỉnh \hat{I}_c được cho bởi

$$\hat{I}_c = \beta \hat{I}_b = 100 \times 0.008 = 0.8mA$$

Dòng điện này sẽ được xếp chồng lên dòng collecto tĩnh $I_c (= 2.3mA)$, như được thể hiện trong Hình Ex 5.17(d).

Cuối cùng, tín hiệu điện áp ở collecto có thể nhận được bằng cách nhân v_i với hệ số khuếch đại điện áp, tức là :

$$\hat{V}_c = 3.04 \times 0.8 = 2.43 V$$

Hình Ex 5.17(e) thể hiện một phác họa của điện áp collecto tổng v_c theo thời gian. Chú ý sự ngược pha giữa tín hiệu vào v_i và tín hiệu ra v_c .

Ví dụ 5.18: Phân tích mạch điện của Hình Ex 5.18(a) để xác định hệ số khuếch đại điện áp và các dạng sóng tín hiệu ở các điểm khác nhau. Tụ điện C là một tụ ghép tầng, mục đích của nó là để ghép tín hiệu v_i với emitơ trong khi ngăn cản tín hiệu một chiều. Bằng cách này phân cực một chiều được thiết lập bởi V^+ và V^- cùng với R_E và R_C sẽ không bị ảnh hưởng khi tín hiệu v_i được nối vào. Với mục đích trong ví dụ này, tụ C sẽ được giả thiết là có giá trị rất lớn và lý tưởng là bằng vô cùng, nghĩa là nó đóng vai trò như một sự ngăn mạch hoàn hảo ở các tần số tín hiệu. Tương tự, một tụ điện lớn khác được sử dụng để ghép tín hiệu đầu ra v_o với các phần khác của hệ thống.

Lời giải :

Ta sẽ bắt đầu với việc xác định điểm làm việc một chiều như sau (xem Hình Ex 5.18b):

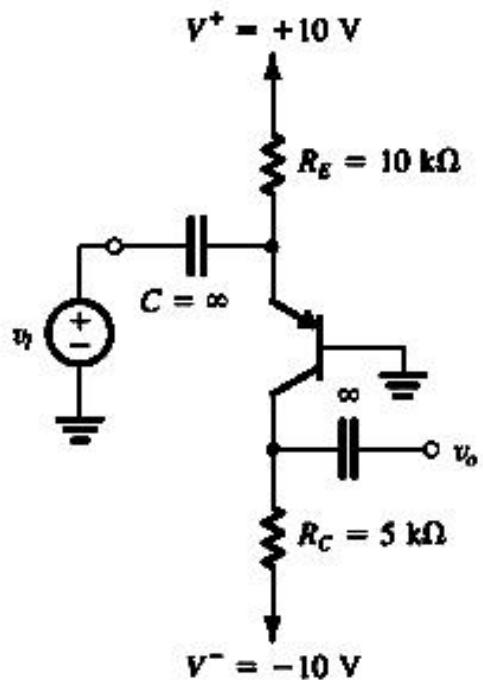
$$I_E = \frac{+10 - V_E}{R_E} \approx \frac{+10 - 0.7}{10} = 0.93 mA$$

Giả thiết rằng $\beta = 100$ thì $\alpha = 0.99$ và

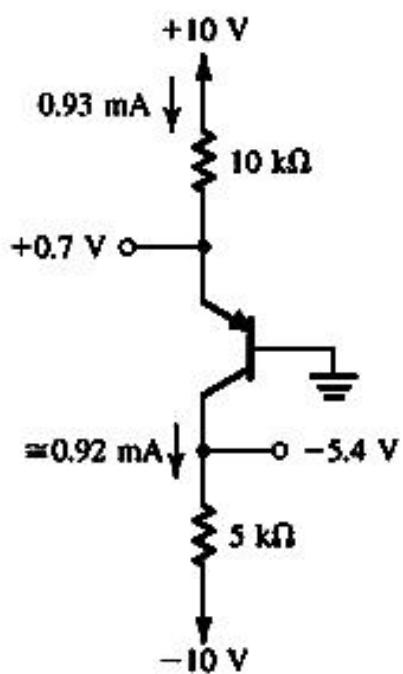
$$I_C = 0.99 I_E = 0.92 mA$$

$$\begin{aligned} V_C &= -10 + I_C R_C \\ &= -10 + 0.92 \times 5 = -5.4 V \end{aligned}$$

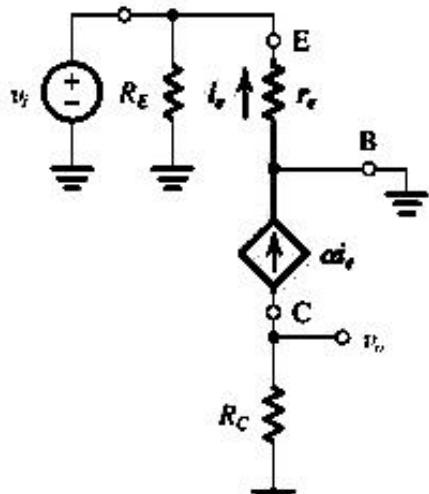
Do đó transistor làm việc ở chế độ tích cực. Hơn nữa, tín hiệu collecto có khoảng dao động từ -5,4V tới +0,4V (lớn hơn 0,4V so với điện áp bazơ) không làm transistor rơi vào chế độ bão hòa. Tuy nhiên, khi một điện áp âm 5,8V dao động trong điện áp collecto, về lý thuyết sẽ tạo ra điện áp collecto nhỏ nhất là -11,2V, nó âm hơn cả điện áp nguồn cung cấp. Theo đó nếu ta cố tình cung cấp một tín hiệu đầu vào mà tạo ra một tín hiệu đầu ra như thế này, thì transistor sẽ khóa và đỉnh âm của tín hiệu ra sẽ bị cắt bớt đi, như được minh họa trong Hình Ex 5.18 e). Tuy nhiên, dạng sóng trong Hình Ex 5.18 e) được chỉ ra là tuyến tính (trừ những đỉnh bị cắt): tức là, ảnh hưởng của đặc tuyến phi tuyến $i_C - v_{BE}$ không được tính đến. Điều này là không chính xác, vì nếu transistor hoạt động trong vùng khóa ở các đỉnh âm của tín hiệu, thì chắc chắn ta sẽ bị vượt quá giới hạn tín hiệu nhỏ, mà sẽ được trình bày sau.



(a)



(b)

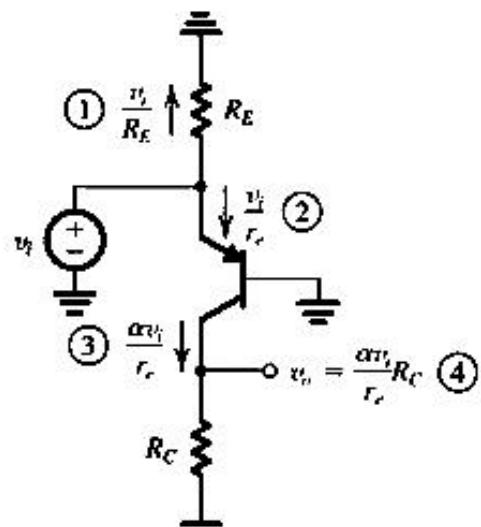


(c)

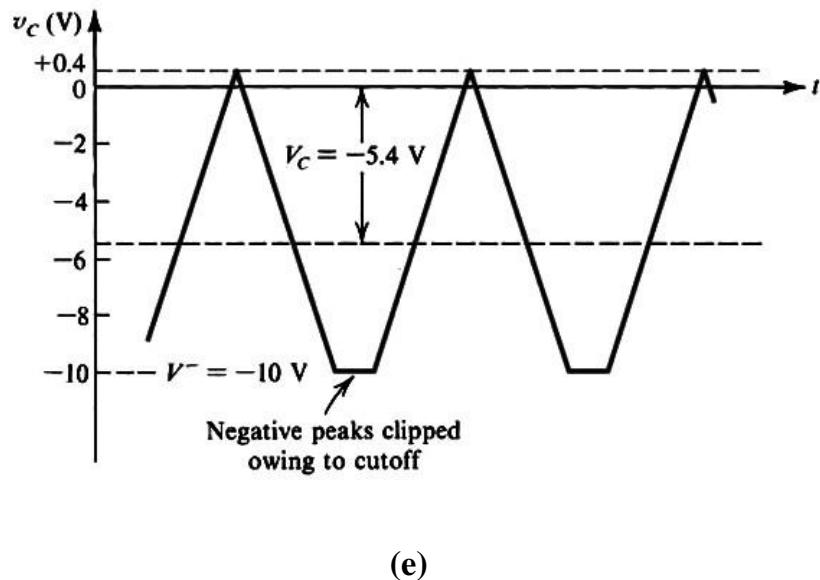
$$i_e = -\frac{v_i}{r_e}$$

$$v_o = -\alpha i_e R_C$$

$$= \frac{\alpha R_C}{r_e} v_i$$



(d)



Hình Ex 5.18: (a) mạch; (b) phân tích một chiều; (c) mô hình tín hiệu nhỏ; (d) phân tích tín hiệu nhỏ thực hiện trực tiếp trên mạch; (e) Sự méo dạng tín hiệu ra do transistor bị khóa. Lưu ý rằng nó được giả thiết là không có méo nhờ có đặc tuyến phi tuyến của transistor

Bây giờ chúng ta xác định hệ số khuếch đại tín hiệu nhỏ. Ta sẽ loại bỏ các nguồn một chiều và thay thế BJT với mạch điện tương đương dạng T của nó. Chú ý rằng vì cực bazơ được nối đất, mô hình dạng T sử dụng ở đây sẽ phần nào tiện lợi hơn mô hình kết hợp dạng π .

Hình Ex 5.18(c) thể hiện một mạch điện tương đương tín hiệu nhỏ của bộ khuếch đại. Các thông số của mô hình là :

$$\alpha = 0.99$$

$$r_e = \frac{V_T}{I_E} = \frac{25 mV}{0.93 mA} = 27 \Omega$$

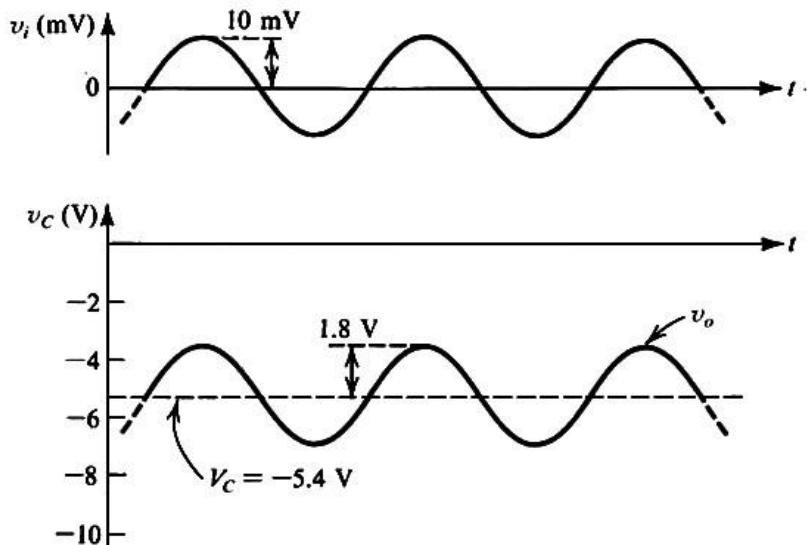
Phân tích mạch điện trong Hình Ex 5.18(c) để xác định điện áp đầu ra v_o và từ đó có thể tìm hệ số khuếch đại áp v_o/v_i và được trình bày trên hình. Kết quả là :

$$A_v = \frac{v_o}{v_i} = 183.3 \text{ V/V}$$

Lưu ý rằng hệ số khuếch đại điện áp là dương, thể hiện rằng tín hiệu đầu ra cùng pha với tín hiệu đầu vào. Đặc tuyến này dựa trên thực tế là tín hiệu vào được đưa tới cực emitơ thay vì tới cực bazơ, như đã làm trong Ví dụ 5.16.

Trở lại với câu hỏi về biên độ tín hiệu cho phép, ta quan sát thấy từ Hình Ex 5.18(c) rằng $v_{eb} = v_i$. Do đó, nếu hoạt động với tín hiệu nhỏ được yêu cầu (tuyến tính),

thì đỉnh của v_i nên được giới hạn xấp xỉ 10mV. Với \hat{V}_i được thiết lập ở giá trị này, như đã thể hiện với đầu vào dạng sóng sin trong hình Ex 5.18 g).



Hình Ex 5.18 g) Các dạng sóng vào và ra của mạch hình Ex 5.18. Khảo sát thấy rằng mạch khuếch đại này không làm đảo pha tín hiệu, một tính chất của mạch mắc kiểu bazơ chung.

Biên độ đỉnh ở colecto \hat{V}_c sẽ là :

$$\hat{V}_c = 183.3 \times 0.01 = 1.833 \text{ V}$$

Và tổng điện áp colecto tức thời $v_c(t)$ sẽ được mô tả trong Hình Ex 5.18 g).

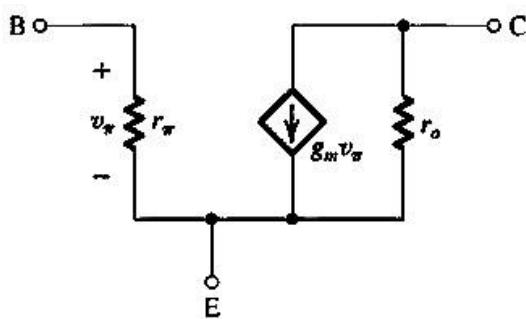
5.6.9 Tổng kết

Việc phân tích và thiết kế các mạch khuếch đại dùng BJT sẽ trở nên dễ ràng nếu chúng ta nắm được mối quan hệ giữa các thông số mô hình tín hiệu nhỏ. Để dễ tham khảo, các mối quan hệ này được tóm tắt trong Bảng 5.4.

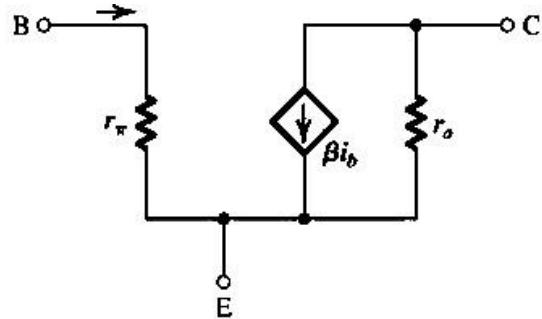
BẢNG 5.4 Các mô hình tín hiệu nhỏ của BJT

Mô hình hỗn hợp dạng π

▪ Dạng ($g_m v_\pi$)

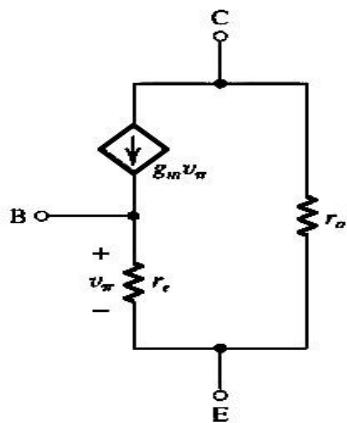


▪ Dạng (βi_b)

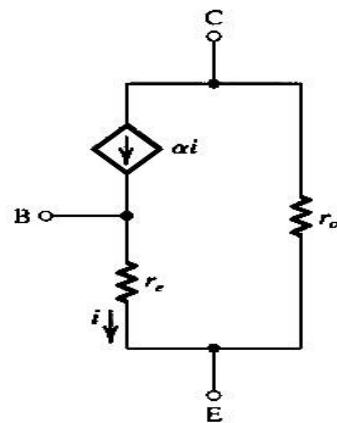


Mô hình dạng T

▪ Dạng ($g_m v_\pi$)



▪ Dạng (αi)



Các tham số mô hình liên quan tới các dòng phân cực một chiều

$$g_m = \frac{I_C}{V_T} \quad r_e = \frac{V_T}{I_E} = \alpha \left(\frac{V_T}{I_C} \right) \quad r_\pi = \frac{V_T}{I_B} = \beta \left(\frac{V_T}{I_C} \right) \quad r_o = \frac{|V_A|}{I_C}$$

Các thông số liên quan tới g_m

$$r_e = \frac{\alpha}{g_m} \quad r_\pi = \frac{\beta}{g_m}$$

Các thông số liên quan tới r_e

$$g_m = \frac{\alpha}{r_e} \quad r_\pi = (\beta + 1)r_e \quad g_m + \frac{1}{r_\pi} = \frac{1}{r_e}$$

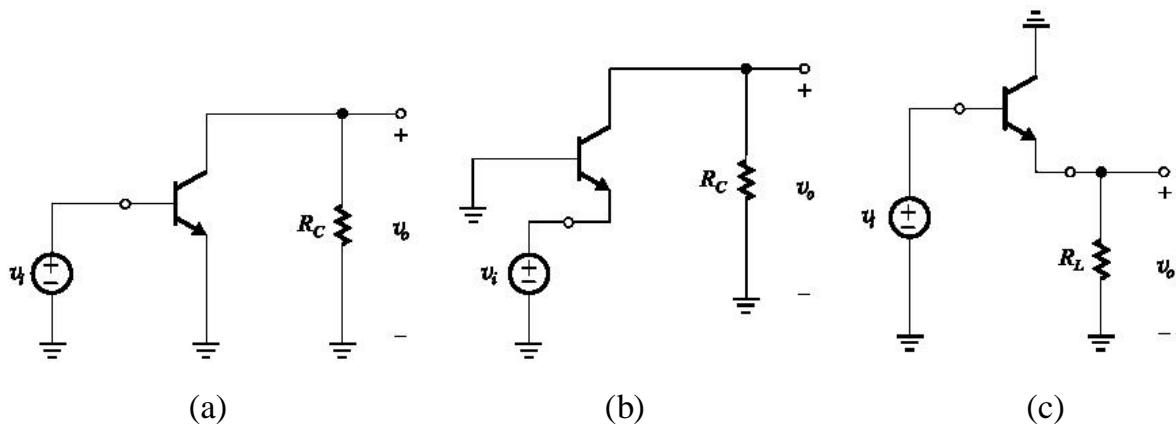
Mối quan hệ giữa α và β

$$\beta = \frac{\alpha}{1 - \alpha} \quad \alpha = \frac{\beta}{1 + \beta} \quad \beta + 1 = \frac{1}{1 - \alpha}$$

5.7 Các mạch khuếch đại BJT đơn tầng

Chúng ta đã nghiên cứu sự hoạt động của các mạch khuếch đại tín hiệu lớn dùng BJT trong phần 5.4 và xác định vùng khi đó transistor được phân cực để có thể làm việc như một bộ khuếch đại tuyến tính đối với các tín hiệu nhỏ. Các phương pháp phân cực một chiều cho BJT đã được nghiên cứu trong phần 5.5 và đã nghiên cứu chi tiết về sự hoạt động của bộ khuếch đại tín hiệu nhỏ trong phần 5.6. Nay chúng ta sẽ khảo sát các mạch khuếch đại thực tế trong phần này mà phù hợp với sự chế tạo của các mạch rời rạc.

Có ba cách mắc cơ bản đối với một bộ khuếch đại đơn tầng dùng BJT: emitor chung, bazơ chung và colectơ chung. Tất cả chúng sẽ được nghiên cứu sau đây, sử dụng cùng cấu trúc cơ bản với cùng cách phân cực.

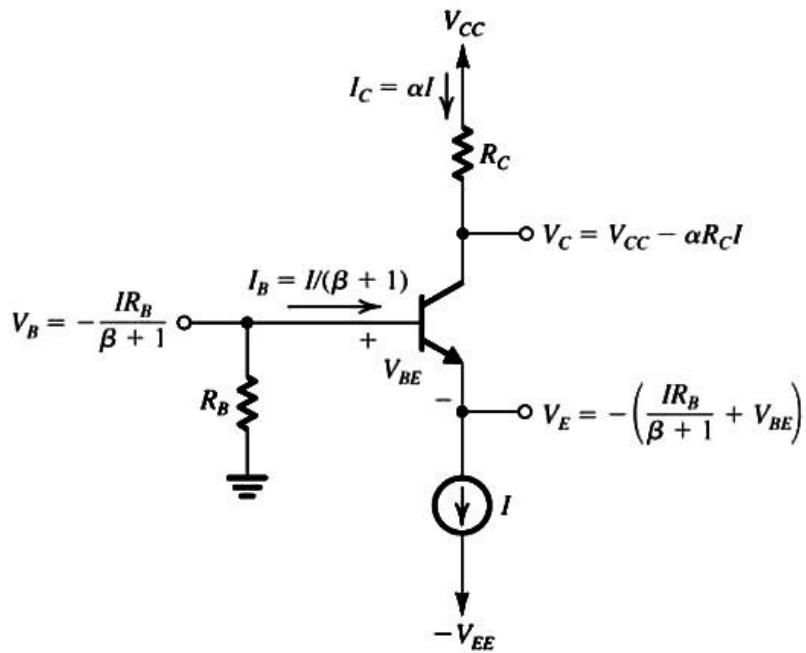


Hình 5.42 Ba cách mắc mạch khuếch đại dùng BJT

(a) Cách mắc Emitor chung (EC); (b) Cách mắc Bazơ chung (CB); (c) Cách mắc Colectơ chung (CC)

5.7.1 Cấu trúc cơ bản

Hình 5.43 chỉ ra một mạch cơ bản mà chúng ta sẽ dùng để thực hiện các kiểu mắc khác nhau của các bộ khuếch đại dùng BJT. Giữa các sơ đồ phân cực khác nhau dùng trong các mạch khuếch đại rời rạc (phần 5.5), để cho đơn giản và hiệu quả chúng ta có thể chọn mạch phân cực bằng dòng không đổi. Hình 5.43 chỉ ra các dòng điện một chiều trên tất cả các nhánh và các điện áp một chiều trên tất cả các nút. Chúng ta cần lưu ý một điều rằng chúng ta mong muốn chọn một giá trị R_B lớn để cho điện trở vào tại bazơ lớn. Tuy nhiên, chúng ta cũng muốn giới hạn điện áp một chiều rơi trên R_B và thậm chí sự thay đổi quan trọng hơn của điện áp một chiều này từ sự thay đổi giá trị β giữa các transistor cùng loại. Điện áp một chiều V_B xác định tín hiệu dao động cho phép ở cực colectơ.



Hình 5.43 Cấu trúc cơ bản của một mạch khuếch đại đơn tầng dùng BJT.

5.7.2 Đặc tính các bộ khuếch đại dùng BJT

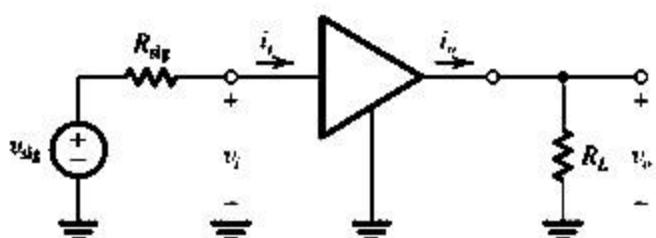
Khi chúng ta bắt đầu nghiên cứu các mạch khuếch đại dùng BJT, một điều rất quan trọng là làm thế nào để biết đặc tính đặc trưng cho bộ khuếch đại được xây dựng như một khối mạch. Vấn đề này đã được nói tới trong phần 1.5. Tuy nhiên, những phân kiến thức trong mục 1.5 bị giới hạn là chỉ dành cho các mạch **khuếch đại một phía** (unilateral amplifiers). Một số các mạch khuếch đại chúng ta sẽ nghiên cứu ở đây không phải là một phía, nghĩa là chúng có phản hồi bên trong mà có thể là nguyên nhân làm cho trở kháng vào phụ thuộc vào điện trở tải. Tương tự, phản hồi trong có thể là nguyên nhân làm cho trở kháng ra phụ thuộc vào giá trị điện trở của nguồn tín hiệu đặt vào bộ khuếch đại. Phù hợp với các bộ **khuếch đại hai phía** (nonunilateral amplifiers), chúng ta giới thiệu trong bảng 5.5 các thông số tổng quát và các mạch tương đương mà chúng ta sẽ dùng trong đặc tính và so sánh các bộ khuếch đại dùng transistor. Có một số điểm cần nhớ như sau:

1. Mạch khuếch đại trong bảng 5.5 được nối với một nguồn tín hiệu có điện áp mạch hở v_{sig} và một điện trở trong R_{sig} . Chúng có thể là các tham số của một nguồn tín hiệu thực tế hoặc mạch tương đương Thevenin của mạch ra của một tầng khuếch đại khác phía trước trong bộ khuếch đại ghép tầng. Tương tự, R_L có thể là một tải thực hoặc trở kháng vào của một tầng khuếch đại phía sau trong bộ khuếch đại ghép tầng.

2. Các tham số R_i, R_o, A_{vo}, A_{vi} và G_m thuộc về mạch khuếch đại riêng, nghĩa là chúng không phụ thuộc vào các giá trị của R_{sig} và R_L . Ngược lại, $R_{in}, R_{out}, A_v, A_i, G_{vo}$ và G_v có thể phụ thuộc vào một hoặc cả R_{sig} và R_L . Cũng chú ý các mối quan hệ giữa từng cặp các tham số này, ví dụ như, $R_i = R_{in}|_{R_L=\infty}$ và $R_o = R_{out}|_{R_{sig}=0}$.
3. Như được đề cập ở trên, cho các bộ khuếch đại hai phía, R_{in} có thể phụ thuộc vào R_L và R_{out} có thể phụ thuộc vào R_{sig} . Một mạch khuếch đại như vậy được nghiên cứu trong phần 5.7.6. Không có sự phụ thuộc như vậy tồn tại cho các mạch khuếch đại một phía, nghĩa là $R_{in} = R_i$ và $R_{out} = R_o$.
4. Tải của bộ khuếch đại của nguồn tín hiệu được xác định bởi trở kháng vào R_{in} . Giá trị R_{in} xác định dòng i_i mà mạch khuếch đại tạo ra từ nguồn tín hiệu. Nó cũng xác định tỉ lệ của tín hiệu v_{sig} mà xuất hiện tại đầu vào của bản thân mạch khuếch đại tức là v_i .
5. Khi tính toán hệ số khuếch đại A_v từ giá trị hệ số khuếch đại mạch hở A_{vo} , điện trở ra R_o sẽ được sử dụng. Điều này là bởi vì A_v được xây dựng trên việc đặt lên bộ khuếch đại một nguồn điện áp lý tưởng v_i . Điều này có thể minh chứng từ mạch tương đương A trong bảng 5.5. Mặt khác, nếu chúng ta tính hệ số khuếch đại điện áp tổng thể G_v từ giá trị mạch hở của nó G_{vo} , điện trở ra R_{out} sẽ được dùng. Điều này là bởi vì G_v được xây dựng trên việc đặt lên bộ khuếch đại một tín hiệu v_{sig} mà có điện trở trong R_{sig} . Điều này có thể minh chứng từ mạch tương đương C trong bảng 5.5.

BẢNG 5.5 Các tham số đặc tính của mạch khuếch đại

Mạch



Các định nghĩa

- Trở kháng vào không tải

$$R_i \equiv \frac{v_i}{i_i} \Big|_{R_L=\infty}$$

- Trở kháng vào

$$R_i \equiv \frac{v_i}{i_i}$$

- Hệ số khuếch đại điện áp mạch hở

$$A_{vo} \equiv \frac{v_o}{v_i} \Big|_{R_L=\infty}$$

- Hệ số khuếch đại điện áp

$$A_v = \frac{v_o}{v_i}$$

- Hệ số khuếch đại dòng điện ngắn mạch

$$A_{is} \equiv \frac{i_o}{i_i} \Big|_{R_L=0}$$

- Hệ số khuếch đại dòng điện

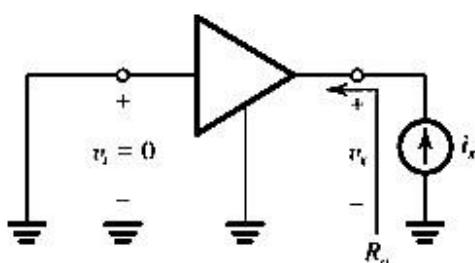
$$A_{is} \equiv \frac{i_o}{i_i}$$

- Hỗn dẫn ngắn mạch

$$G_m \equiv \frac{i_o}{v_i} \Big|_{R_L=0}$$

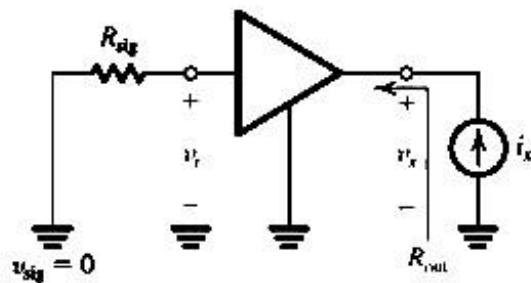
- Điện trở ra của bản thân bộ khuếch đại

$$R_o \equiv \frac{v_x}{i_x} \Big|_{v_i=0}$$



- Trở kháng ra

$$R_{out} \equiv \frac{v_x}{i_x} \Big|_{v_{sig}=0}$$



- Hệ số khuếch đại điện áp tổng thể mạch hở

$$G_{vo} \equiv \frac{v_o}{v_{sig}} \Big|_{R_L=\infty}$$

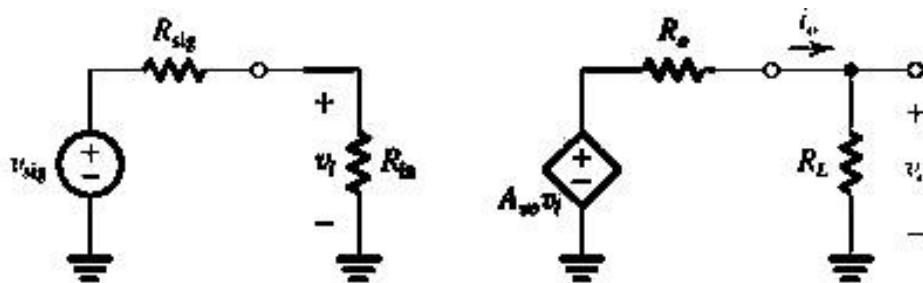
- Hệ số khuếch đại điện áp tổng thể

$$G_{vo} \equiv \frac{v_o}{v_{sig}}$$

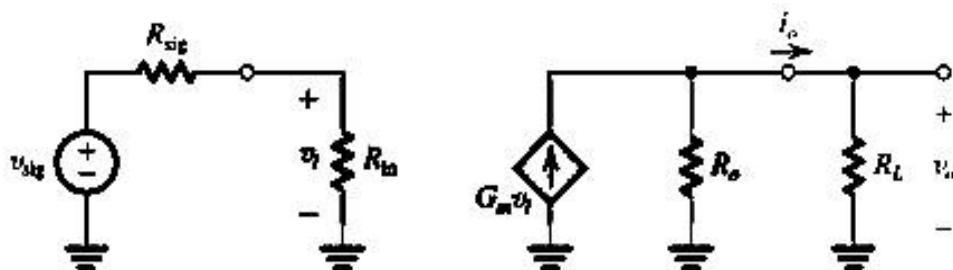
--	--

Các mạch tương đương

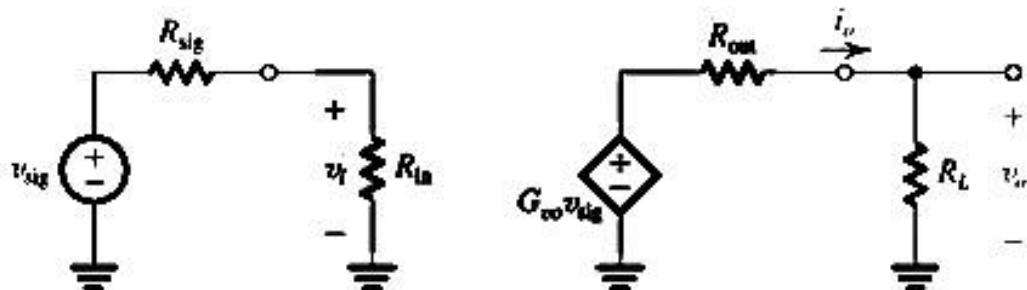
- A:



- B:



- C:



Các mối quan hệ

$$\frac{v_i}{v_{sig}} = \frac{R_{in}}{R_{in} + R_{sig}}$$

$$A_v = A_{vo} \frac{R_L}{R_L + R_o}$$

$$A_{vo} = G_m R_o$$

$$G_v = \frac{R_{in}}{R_{in} + R_{sig}} A_{vo} \frac{R_L}{R_L + R_o}$$

$$G_{v0} = \frac{R_i}{R_i + R_{sig}} A_{vo}$$

	$\blacksquare \quad G_v = G_{vo} \frac{R_L}{R_L + R_{out}}$
--	---

Ví dụ 5.19: Một mạch khuếch đại dùng transistor được cấp một nguồn tín hiệu có điện áp mạch hở v_{sig} là 10 mV và nội trở nguồn R_{sig} là 100 kΩ. Điện áp v_i tại đầu vào mạch khuếch đại và v_o tại đầu ra mạch khuếch đại được đo khi không có và có điện trở tải $R_L = 10k\Omega$ ở đầu ra mạch khuếch đại. Các kết quả đo được như sau:

	v_i (mV)	v_o (mV)
Không có R_L	9	90
Có R_L được nối	8	70

Tìm tất cả các tham số của mạch khuếch đại này.

Lời giải :

Đầu tiên, chúng ta xác định hệ số khuếch đại điện áp mạch hở (cho $R_L = \infty$) :

$$A_{vo} = \frac{v_o}{v_i} = \frac{90}{9} = 10 \text{ V/V}$$

và :

$$G_{vo} = \frac{v_o}{v_s} = \frac{90}{10} = 9 \text{ V/V}$$

Từ công thức :

$$G_{vo} = \frac{R_i}{R_i + R_{sig}} A_{vo}$$

hay

$$9 = \frac{R_i}{R_i + R_{sig}} \times 10$$

ta tính được :

$$R_i = 900k\Omega$$

Tiếp theo, khi tải $R_L = 10k\Omega$ được nối với đầu ra mạch khuếch đại, ta có hệ số khuếch đại điện áp của mạch là :

$$A_v = \frac{70}{8} = 8.75 \text{ V/V}$$

và

$$G_v = \frac{70}{10} = 7 \text{ V/V}$$

Các giá trị của A_v và A_{vo} có thể dùng để xác định R_o như sau:

$$A_v = A_{vo} \frac{R_L}{R_L + R_o}$$

$$8.75 = 10 \frac{10}{10 + R_o}$$

Từ đó tính được:

$$R_o = 1.43k\Omega$$

Tương tự, chúng ta dùng các giá trị của G_v và G_{vo} để xác định R_{out} từ công thức

$$G_v = G_{vo} \frac{R_L}{R_L + R_{out}}$$

$$7 = 9 \frac{10}{10 + R_{out}}$$

Kết quả là :

$$R_{out} = 2.86k\Omega$$

Giá trị của R_{in} có thể được xác định từ công thức: $\frac{v_i}{v_{sig}} = \frac{R_{in}}{R_{in} + R_{sig}}$

hay

$$\frac{8}{10} = \frac{R_{in}}{R_{in} + 100}$$

Từ đó ta tính được :

$$R_{in} = 400k\Omega$$

Hỗn dẫn ngắn mạch G_m có thể tìm được như sau:

$$G_m = \frac{A_{vo}}{R_o} = \frac{10}{1.43} = 7 \text{ mA/V}$$

và hệ số khuếch đại dòng điện A_i có thể được xác định như sau :

$$\begin{aligned} A_i &= \frac{v_o / R_L}{v_i / R_{in}} = \frac{v_o}{v_i} \frac{R_{in}}{R_L} \\ &= A_v \frac{R_{in}}{R_L} = 8.75 \times \frac{400}{10} = 350 \text{ A/A} \end{aligned}$$

Cuối cùng, chúng ta xác định hệ số khuếch đại dòng ngắn mạch A_{is} như sau. Từ mạch tương đương A, dòng đầu ra ngắn mạch là

$$i_{osc} = G_{vo} v_i / R_o$$

Tuy nhiên, để xác định v_i chúng ta cần biết giá trị của R_{in} khi $R_L = 0$. Từ đó, lưu ý rằng từ mạch tương đương C, dòng ngắn mạch đầu ra có thể tìm được là :

$$i_{osc} = G_{vo} v_{sig} / R_{out}$$

Bây giờ, cân bằng hai biểu thức của i_{osc} và thay G_{vo} bởi $G_{vo} = \frac{R_i}{R_i + R_{sig}} A_{vo}$

$$\text{Và } v_i \text{ từ } v_i = v_{sig} \frac{R_{in}|_{R_L=0}}{R_{in}|_{R_L=0} + R_{sig}}$$

Kết quả là :

$$\begin{aligned} R_{in}|_{R_L=0} &= R_{sig} / \left[\left(1 + \frac{R_{sig}}{R_i} \right) \left(\frac{R_{out}}{R_o} \right) - 1 \right] \\ &= 81.8 \text{ k}\Omega \end{aligned}$$

Bây giờ chúng ta có thể dùng :

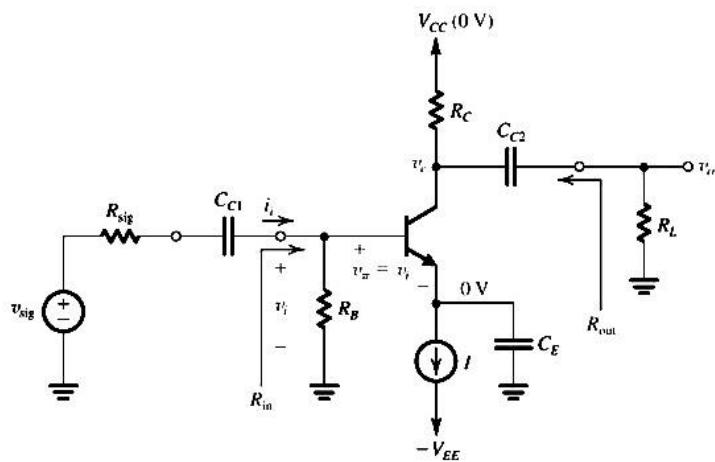
$$i_{osc} = A_{vo} i_i R_{in}|_{R_L=0} / R_o$$

để tính được hệ số khuếch đại dòng ngắn mạch :

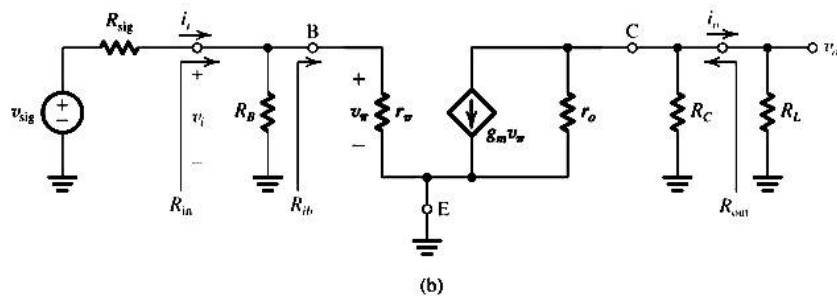
$$A_{is} = \frac{i_{osc}}{i_s} = 10 \times 81.8 / 1.43 = 572 \text{ A/A}$$

5.7.3 Mạch khuếch đại emitơ chung (CE)

Sơ đồ mạch khuếch đại mắc kiểu Emito chung (Common Emitter – CE) được sử dụng rộng rãi nhất trong tất cả các mạch khuếch đại dùng BJT. Hình 5.44(a) chỉ ra một mạch khuếch đại mắc kiểu CE dùng kiểu phân cực cho BJT như sơ đồ trên hình 5.43. Để nối mát **tín hiệu** (hay đôi khi gọi là **tín hiệu xoay chiều nối đất**) ở emitơ, một tụ điện C_E có dung lượng lớn (thường trong khoảng từ μF hoặc hàng chục μF) sẽ được dùng để nối giữa emitơ và đất. Tụ điện này nhằm tạo ra một trở kháng rất thấp đối với đất (lý tưởng là trở kháng bằng 0, nghĩa là tương đương như một ngắn mạch) ở tất cả các tần số. Với cách mắc như vậy, tín hiệu dòng emitơ sẽ đi qua tụ C_E tới đất và *rẽ nhánh* trở kháng ra của nguồn dòng I (hay bát cứ một thành phần mạch nào mà được nối với emitơ); vì thế C_E được gọi là một **tụ rẽ nhánh** (bypass capacitor). Hiển nhiên, tín hiệu với tần số thấp hơn sẽ ít bị ảnh hưởng bởi tụ rẽ nhánh hơn. Ở đây, chúng ta sẽ giả thiết rằng C_E đóng vai trò như một phần tử ngắn mạch và vì thế tạo ra một tín hiệu điện áp bằng 0 ở cực emitơ.



(a)



(b)

Hình 5.44 (a) Một mạch khuếch đại emitơ chung dùng cấu trúc trong hình 5.43. **(b)** Mạch tương đương tín hiệu nhỏ thu được bằng cách thay transistor bằng mô hình hổn hợp dạng π của nó.

Để không làm ảnh hưởng đến các dòng điện và điện áp phân cực một chiều, tín hiệu cần được khuếch đại là một nguồn áp v_{sig} với nội trở R_{sig} được nối tới cực bazô thông qua một tụ điện có điện dung lớn C_{C1} . Tụ điện C_{C1} được gọi là **tụ ghép tầng**, với yêu cầu nó phải là phần tử ngắn mạch tín hiệu tại tất cả các tần số và cách ly được thành phần một chiều.

Tín hiệu điện áp ở cực collecto v_c được nối tới tải R_L thông qua một tụ ghép tầng C_{C2} khác. Tụ C_{C2} cũng đóng vai trò ngắn mạch tín hiệu tại tất cả các tần số, vì thế điện áp ra $v_o = v_c$. Lưu ý rằng R_L có thể là một điện trở tải thực tế mà bộ khuếch đại được yêu cầu cung cấp tín hiệu điện áp ra của nó hoặc nó có thể là điện trở vào của một tầng khuếch đại phía sau trong những trường hợp bộ khuếch đại nhiều tầng.

Để xác định các thông số đặc trưng của mạch khuếch đại CE như là trở kháng vào, hệ số khuếch đại điện áp và trở kháng ra, chúng ta thay BJT bằng mô hình hỗn hợp tín hiệu nhỏ dạng π của nó. Hình 5.44 (b) là sơ đồ mạch tương đương tín hiệu nhỏ của mạch khuếch đại mắc kiểu CE. Chúng ta khảo sát thấy rằng mạch khuếch đại này là không đối xứng và vì thế $R_{in} = R_i$ và $R_{out} = R_o$. Tại đầu vào mạch khuếch đại, trở kháng vào của mạch là :

$$R_{in} \equiv \frac{v_i}{i_i} = R_B \parallel R_{ib} \quad (5.95)$$

trong đó R_{ib} là trở kháng vào nhìn vào cực bazô. Khi emitor được nối đất

$$R_{ib} = r_\pi \quad (5.96)$$

Thông thường, chúng ta chọn $R_B \geq r_\pi$, do đó

$$R_{in} \cong r_\pi \quad (5.97)$$

Vì vậy, chúng ta lưu ý rằng trở kháng vào của mạch khuếch đại CE thường có giá trị khoảng một vài $k\Omega$. Điện áp vào của bộ khuếch đại là :

$$v_i = v_{sig} \frac{R_{in}}{R_{in} + R_{sig}} \quad (5.98)$$

$$= v_{sig} \frac{(R_B \parallel r_\pi)}{(R_B + r_\pi) + R_{sig}} \quad (5.99)$$

Với $R_B \geq r_\pi$ thì lúc đó công thức tính v_i sẽ là :

$$v_i \cong v_{sig} \frac{r_\pi}{r_\pi + R_{sig}} \quad (5.100)$$

Bây giờ chúng ta lưu ý rằng

$$v_\pi = v_i \quad (5.101)$$

Ở đầu ra bộ khuếch đại, chúng ta có :

$$v_o = -g_m v_\pi (r_o \parallel R_C \parallel R_L)$$

Thay v_π bằng v_i chúng ta có thể đưa ra công thức tính hệ số khuếch đại điện áp của mạch khuếch đại :

$$A_v = -g_m (r_o \parallel R_C \parallel R_L) \quad (5.102)$$

Phương trình này đơn giản chỉ ra rằng hệ số khuếch đại điện áp từ bázơ tới collecto có thể tìm được bằng cách nhân g_m với tổng trở giữa collecto và đất. Hệ số khuếch đại điện áp mạch hở A_{vo} có thể tính được bằng cách đặt $R_L = \infty$ trong phương trình (5.102) và ta có :

$$A_{vo} = -g_m (r_o \parallel R_C) \quad (5.103)$$

Như vậy rằng ánh hưởng của r_o ở đây đó là làm giảm hệ số khuếch đại của mạch.

Thông thường nếu $r_o \gg R_C$ thì khi đó

$$A_{vo} \approx -g_m R_C \quad (5.104)$$

Trở kháng ra R_{out} của mạch khuếch đại có thể được tìm thấy từ mạch tương đương trong hình 5.44(b) bằng cách nhìn từ đầu ra của mạch vào khi ngắn mạch nguồn tín hiệu v_{sig} . Khi $v_\pi = 0$, chúng ta có :

$$R_{out} = R_C \parallel r_o \quad (5.105)$$

Do đó r_o làm giảm trở kháng ra của mạch khuếch đại, một lần nữa chỉ khi $r_o \gg R_C$ thì

$$R_{out} \approx R_C \quad (5.106)$$

Nhớ lại rằng đối với mạch khuếch đại không đối xứng $R_o = R_{out}$, chúng ta có thể dùng A_{vo} và R_o để tính hệ số khuếch đại điện áp A_v tương ứng với bất cứ giá trị nào của R_L

$$A_v = A_{vo} \frac{R_L}{R_L + R_o}$$

Hệ số khuếch đại tổng thể từ nguồn tín hiệu tới tải (G_v) có thể được tính bằng cách nhân (v_i / v_{sig}) từ phương trình (5.99) với A_v từ phương trình (5.102)

$$G_v = -\frac{(R_B \parallel r_\pi)}{(R_B \parallel r_\pi) + R_{sig}} g_m (r_o \parallel R_C \parallel R_L) \quad (5.107)$$

Như vậy, điện trở đầu vào r_π hữu hạn sẽ làm giảm hệ số khuếch đại điện áp đi $\frac{r_\pi}{r_\pi + R_{sig}}$ lần. Sự giảm hệ số khuếch đại điện áp này phụ thuộc vào mối quan hệ của các giá trị r_π và R_{sig} .

Đối với trường hợp $R_B \gg r_\pi$, công thức tính G_v trở thành :

$$G_v \cong -\frac{r_\pi \cdot g_m \cdot (R_C \parallel R_L \parallel r_o)}{r_\pi + R_{sig}} = -\frac{\beta(R_C \parallel R_L \parallel r_o)}{r_\pi + R_{sig}} \quad (5.108)$$

Từ cách biểu diễn này chúng ta lưu ý rằng nếu $R_{sig} \gg r_\pi$, hệ số khuếch đại tổng thể sẽ phụ thuộc vào β nhiều hơn. Điều này là không mong muốn khi các giá trị β có thể nằm trong một khoảng giữa các transistor cùng loại. Ở một trường hợp khác, nếu $R_{sig} \ll r_\pi$, chúng ta thấy rằng biểu thức tính hệ số khuếch đại tổng thể sẽ trở thành

$$G_v \cong -g_m (R_C \parallel R_L \parallel r_o) \quad (5.109)$$

Đây chính là công thức tính hệ số khuếch đại điện áp A_v , hay nói cách khác khi R_{sig} nhỏ, hệ số khuếch đại tổng thể gần như bằng với hệ số khuếch đại của bản thân mạch CE và không phụ thuộc vào β . Thông thường, một mạch khuếch đại mắc kiểu CE có hệ số khuếch đại điện áp vào khoảng vài trăm lần. Tuy nhiên, điều không mong muốn đó là đáp ứng tần cao của mạch khuếch đại CE có thể bị giới hạn.

Trong mạch khuếch đại CE, để tìm hệ số khuếch đại dòng ngắn mạch A_{is} , ta có thể quay lại mạch khuếch đại tương đương trong hình 5.44(b). Khi ngắn mạch R_L , dòng điện qua nó sẽ bằng $-g_m v_\pi$,

$$i_{os} = -g_m v_\pi$$

Khi đó v_π liên hệ với i_i theo biểu thức

$$v_\pi = v_i = i_i R_{in}$$

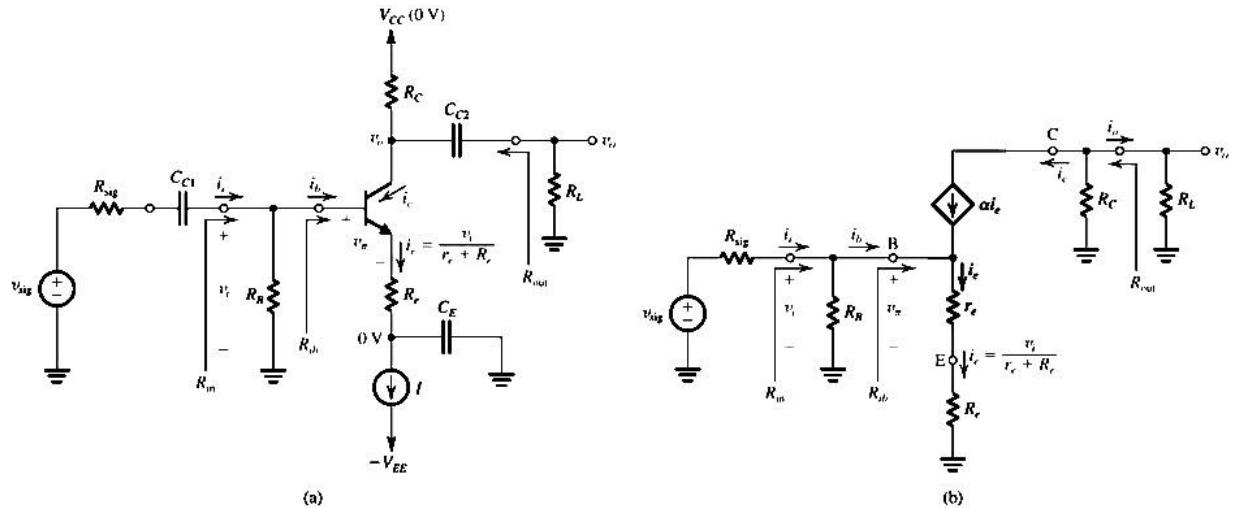
Hệ số khuếch đại dòng ngắn mạch có thể tìm được theo biểu thức sau :

$$A_{is} \equiv \frac{i_{os}}{i_s} = -g_m R_{in} \quad (5.110)$$

Thay $R_{in} = R_B \parallel r_\pi$ chúng ta có thể thấy rằng trong trường hợp $R_B \gg r_\pi$, $|A_{is}|$ giảm tới giá trị β mà như theo định nghĩa β là hệ số khuếch đại dòng ngắn mạch trong sơ đồ mắc kiểu emitor chung.

Sơ đồ mạch khuếch đại mắc kiểu emitor chung có hệ số khuếch đại điện áp và hệ số khuếch đại dòng lớn nhưng có trở kháng vào R_{in} thấp và trở kháng ra R_{out} cao.

5.7.4 Mạch khuếch đại Emitter chung có thêm điện trở emitor



Hình 5.45 (a) Một mạch khuếch đại emitơ chung có thêm điện trở emitơ R_e . **(b)** Mạch tương đương thu được bằng cách thay thế transistor bằng mô hình dạng T của nó.

Khi có thêm một điện trở R_e nối đường tín hiệu giữa emitơ và đất như sơ đồ mạch trong hình 5.45(a) có thể dẫn đến một số thay đổi đáng kể các đặc tính của bộ khuếch đại. Vì thế, điện trở này có thể được các nhà thiết kế coi như một công cụ thiết kế hữu ích khi cần điều chỉnh các đặc tính của mạch khuếch đại cho phù hợp với các yêu cầu thiết kế.

Phân tích mạch trong hình 5.45(a) có thể được thực hiện bằng cách thay BJT bằng một trong những mô hình tín hiệu nhỏ của nó. Mặc dù một trong 2 dạng mô hình tương đương tín hiệu nhỏ của BJT đều có thể được sử dụng, nhưng trong trường hợp này nên sử dụng mô hình tương đương dạng T vì việc phân tích mạch sẽ dễ dàng hơn. Khi đó điện trở R_e sẽ mắc tiếp với điện trở emitơ r_e của mô hình tương đương dạng T. Để đơn giản hóa cho việc phân tích mạch, ta bỏ qua điện trở ra r_o của BJT.

Để xác định trở kháng vào của bộ khuếch đại R_{in} , từ hình 5.45(b) ta thấy R_{in} là điện trở tương đương của 2 điện trở mắc song song R_B và trở kháng vào tại cực bazơ R_{ib} ,

$$R_{in} = R_B \parallel R_{ib} \quad (5.111)$$

Trở kháng vào tại cực bazơ R_{ib} có thể được tính theo biểu thức :

$$R_{ib} \equiv \frac{v_i}{i_b}$$

trong đó :

$$i_b = (1 - \alpha)i_e = \frac{i_e}{\beta + 1}$$

và

$$i_e = \frac{v_i}{r_e + R_e} \quad (5.112)$$

Do vậy

$$R_b = (\beta + 1)(r_e + R_e) \quad (5.113)$$

Đây là một kết quả rất quan trọng. Nó chỉ ra rằng *điện trở vào nhin từ cực bazơ có giá trị gấp $(\beta + 1)$ lần tổng trở trên cực emitơ*. Hệ số $(\beta + 1)$ được biết đến như là **quy tắc phản chiếu điện trở**. Hệ số $(\beta + 1)$ bắt nguồn từ chỗ do dòng bazơ $= 1/(\beta + 1)$ lần dòng emitơ. Cách biểu diễn R_{ib} trong phương trình (5.113) chỉ ra ràng rằng khi có thêm điện trở R_e trong cực emitơ có thể làm tăng điện trở R_{ib} . Thực vậy, giá trị R_{ib} tăng bởi tỉ số

$$\begin{aligned} \frac{R_{ib}(co R_e)}{R_{ib}(không co R_e)} &= \frac{(\beta + 1)(r_e + R_e)}{(\beta + 1)r_e} \\ &= 1 + \frac{R_e}{r_e} \cong 1 + g_m R_e \end{aligned} \quad (5.114)$$

Vì vậy, các nhà thiết kế mạch có thể sử dụng giá trị của R_e để điều chỉnh giá trị của R_{ib} và do đó cho cả R_{in} . Tuy nhiên, để sự điều chỉnh này có hiệu quả, R_B cần phải lớn hơn nhiều so với R_{ib} .

Để xác định hệ số khuếch đại điện áp A_v , từ hình 5.45 (b), ta có :

$$\begin{aligned} v_0 &= -i_c(R_C \parallel R_L) \\ &= -\alpha i_e(R_C \parallel R_L) \end{aligned}$$

Thay thế i_e từ phương trình (5.112) cho ta

$$A_v \equiv \frac{v_o}{v_i} = -\frac{\alpha(R_C \parallel R_L)}{r_e + R_e} \quad (5.115)$$

Vì $\alpha \cong 1$ nên :

$$A_v \cong -\frac{R_C \parallel R_L}{r_e + R_e} \quad (5.116)$$

Mối quan hệ này chỉ ra rằng : *Hệ số khuếch đại điện áp từ bazơ tới collecto bằng tỉ số của tổng trở collecto với tổng trở emitơ*. Cái này có thể áp dụng cho bất cứ một mạch

khuếch đại nào. Hệ số khuếch đại điện áp mạch hở A_{vo} có thể được tìm được bằng cách đặt $R_L = \infty$ trong phương trình (5.115),

$$A_{vo} = -\frac{\alpha R_C}{r_e + R_e} \quad (5.117)$$

và có thể biểu diễn theo cách khác như sau

$$\begin{aligned} A_{vo} &= -\frac{\alpha}{r_e} \frac{R_C}{1 + R_e / r_e} \\ A_{vo} &= -\frac{g_m R_C}{1 + (R_e / r_e)} \cong -\frac{g_m R_C}{1 + g_m R_e} \end{aligned} \quad (5.118)$$

Việc có thêm điện trở R_e sẽ làm giảm hệ số khuếch đại điện áp đi $(1 + g_m R_e)$ lần và cùng với số lần mà R_{ib} được tăng lên. Những điều này đưa tới một sự cân bằng thú vị giữa hệ số khuếch đại và điện trở vào, một sự cân bằng mà người thiết kế mạch có thể bằng kinh nghiệm để chọn lựa một giá trị R_e cho phù hợp.

Trở kháng ra R_{out} có thể được tìm được từ mạch trong hình 5.45(b) :

$$R_{out} = R_C \quad (5.119)$$

Lưu ý rằng đối với bộ khuếch đại này: $R_{in} = R_i$ và $R_{out} = R_o$.

Hệ số khuếch đại dòng điện ngắn mạch A_{is} có thể tìm được từ mạch trong hình 5.45(b) như sau:

$$i_{os} = -\alpha i_e$$

$$i_i = v_i / R_{in}$$

Vì thế

$$A_{is} = -\frac{\alpha R_{in} i_e}{v_i}$$

Thay thế i_e từ phương trình (5.112) và R_{in} từ phương trình (5.111), ta có :

$$A_{is} = -\frac{\alpha (R_B \| R_{ib})}{r_e + R_e} \quad (5.120)$$

Đối với trường hợp $R_B \gg R_{ib}$, công thức rút gọn thành :

$$A_{is} = -\frac{\alpha(\beta+1)(r_e + R_e)}{r_e + R_e} = -\beta$$

và có giá trị giống như trong mạch khuếch đại mắc kiểu CE.

Hệ số khuếch đại điện áp tổng thể từ nguồn tới tải có thể tính được bằng cách nhân A_v với (v_i / v_{sig}) ,

$$G_v = \frac{v_i}{v_{sig}} \cdot A_v = -\frac{R_{in}}{R_{sig} + R_{in}} \frac{\alpha(R_C \| R_L)}{r_e + R_e}$$

Thay thế R_{in} bằng $R_B \| R_{ib}$ với giả thiết rằng $R_B \gg R_{ib}$ và thay thế R_B từ phương trình (5.113), kết quả thu được :

$$G_v \cong -\frac{\beta(R_C \| R_L)}{R_{sig} + (\beta+1)(r_e + R_e)} \quad (5.121)$$

Chúng ta thấy rằng hệ số khuếch đại tổng thể từ bazơ tới collecto này bằng β lần tỉ số của tổng trở cực collecto với tổng trở cực bazơ và nó có giá trị nhỏ hơn so với ở trong mạch khuếch đại CE bởi vì có thêm số hạng $(\beta+1)R_e$ ở trong mẫu số. Tuy nhiên, hệ số khuếch đại này lại ít chịu ảnh hưởng vào giá trị của β hơn.

Một lưu ý quan trọng khác đối với mạch khuếch đại mà có thêm điện trở R_e ở cực emitor đó là nó có thể làm cho bộ khuếch đại có thể cho phép các tín hiệu vào lớn hơn mà không xảy ra méo phi tuyến. Điều này là do chỉ có một phần của tín hiệu vào tại bazơ v_i xuất hiện giữa cực bazơ và cực emitor. Đặc biệt, từ mạch trong hình 5.45(b), chúng ta thấy rằng :

$$\frac{v_\pi}{v_i} = -\frac{r_e}{r_e + R_e} \cong \frac{1}{1 + g_m R_e} \quad (5.122)$$

Vì vậy, đối với cùng một giá trị v_π , tín hiệu ở đầu vào của bộ khuếch đại v_i có thể lớn hơn so với trong mạch khuếch đại emitor chung $(1 + g_m R_e)$ lần.

Tóm lại, đối với mạch khuếch đại CE có thêm điện trở R_e ở cực emitor có những đặc tính sau:

1. Điện trở vào R_{ib} tăng lên $(1 + g_m R_e)$ lần.
2. Hệ số khuếch đại điện áp từ bazơ tới collecto A_v bị giảm xuống $(1 + g_m R_e)$ lần.
3. Đối với cùng một độ méo phi tuyến, tín hiệu vào v_i có thể lớn hơn lên $(1 + g_m R_e)$ lần.
4. Hệ số khuếch đại điện áp tổng thể ít phụ thuộc vào giá trị β hơn.
5. Đáp ứng tần cao được cải thiện đáng kể.

5.7.5 Mạch khuếch đại Bazơ chung (CB)

Bằng cách nối đất tín hiệu ở cực bazơ của BJT, chúng ta có mạch khuếch đại bazơ chung (Common Base – CB) hay **mạch khuếch đại có bazơ nối đất**. Tín hiệu vào được đặt tới emitor và tín hiệu ra được lấy ở cực collecto và cực bazơ là cực chung

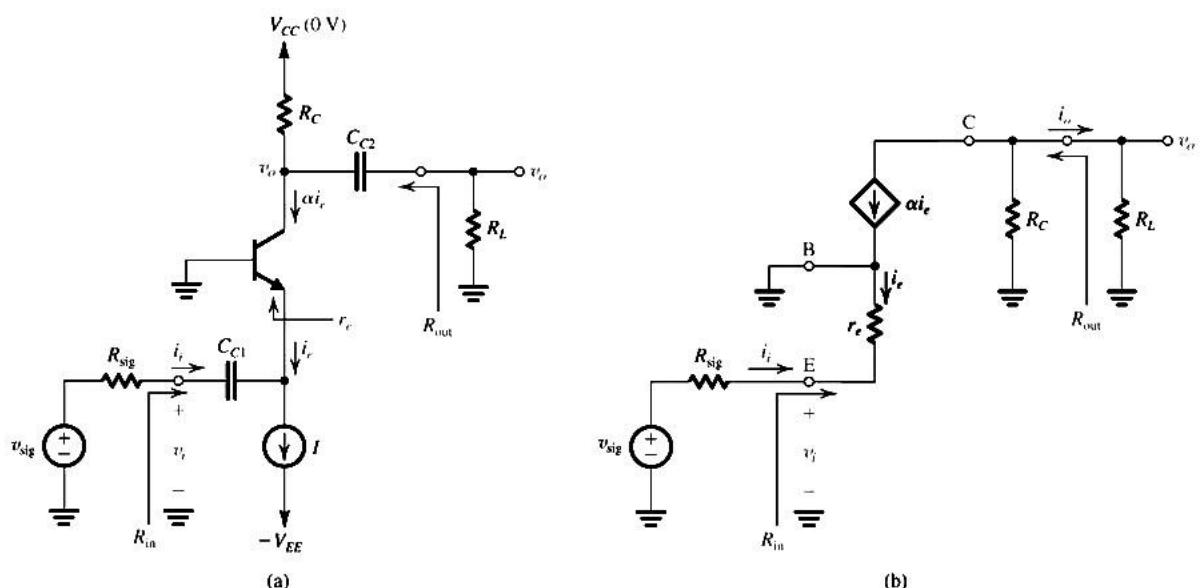
giữa đầu vào và đầu ra. Hình 5.46(a) là mạch khuếch đại CB xây dựng dựa trên mạch trong hình 5.43. Quan sát thấy rằng cả điện áp một chiều và xoay chiều trên cực bazơ đều bằng 0, chúng ta có thể nối cực bazơ trực tiếp với đất, vì thế cũng loại bỏ điện trở R_B . Các tụ ghép tầng C_{C1} và C_{C2} thực hiện các chức năng tương tự giống như ở trong mạch khuếch đại CE.

Mô hình mạch tương đương tín hiệu nhỏ của bộ khuếch đại được thể hiện trong hình 5.46(b). Khi điện trở R_{sig} mắc nối tiếp với cực emitơ, chúng ta chọn sử dụng mô hình tương đương dạng T cho transistor. Mặc dù sử dụng mô hình tương đương kết hợp dạng π cũng cho các kết quả tương tự nhưng mô hình dạng T sử dụng trong trường hợp này là thích hợp hơn. Chúng ta cũng bỏ qua r_o khi phân tích mạch bởi vì có chứa r_o sẽ làm phức tạp cho việc phân tích khi nó xuất hiện giữa đầu ra và đầu vào của bộ khuếch đại. Mặt khác, sự ảnh hưởng của r_o tới các đặc tính của mạch khuếch đại CB rời rạc là rất ít.

Từ mô hình mạch tương đương trong hình 5.46(b), chúng ta thấy rằng điện trở vào là :

$$R_{in} = r_e = \frac{\alpha}{g_m} \approx \frac{1}{g_m} \quad (5.123)$$

Đây là điện trở khi chúng ta nhìn vào cực emitơ và cực bazơ khi đó được nối đất. Thông thường giá trị của r_e nằm trong khoảng vài Ω tới vài chục Ω , vì thế mạch khuếch đại CB có điện trở vào nhỏ.



Hình 5.46 (a) Một mạch khuếch đại bazơ chung dùng cấu trúc của hình 5.43. **(b)** Mạch tương đương tín hiệu nhỏ thu được bằng cách thay thế transistor với mô hình kiểu T của nó.

Để xác định hệ số khuếch đại điện áp, tại nút collecto có :

$$v_o = -\alpha i_e (R_C \parallel R_L)$$

và thay thế dòng emitơ từ

$$i_e = -\frac{v_i}{r_e}$$

ta có

$$A_v \equiv \frac{v_o}{v_i} = \frac{\alpha}{r_e} (R_C \parallel R_L) = g_m (R_C \parallel R_L) \quad (5.124)$$

Biểu thức này tương tự giống như cách biểu diễn của A_v đối với mạch CE, ngoại trừ ở đây có dấu dương trong công thức tính A_v .

Hệ số khuếch đại điện áp mạch hở A_{vo} có thể được tìm được từ phương trình (5.124) bằng cách đặt $R_L = \infty$

$$A_{vo} = g_m R_C \quad (5.125)$$

Một lần nữa thấy rằng công thức lại tương tự với A_{vo} của mạch khuếch đại CE ngoại trừ việc mạch khuếch đại CB không làm đảo pha tín hiệu. Điện trở ra của mạch CB có thể tìm được từ mạch trong hình 5.46(b)

$$R_{out} = R_C$$

điều này tương tự như trường hợp của mạch khuếch đại CE. Ở đây chúng ta nên lưu ý rằng mạch khuếch đại CB với sự bỏ qua r_o là không đối xứng nên $R_{in} = R_i$ và $R_{out} = R_o$.

Hệ số khuếch đại dòng điện ngắn mạch A_{is} được tính bởi công thức :

$$A_{is} = \frac{-\alpha i_e}{i_i} = \frac{-\alpha i_e}{-i_e} = \alpha \quad (5.126)$$

mà tương ứng với định nghĩa của chúng ta về α là hệ số khuếch đại dòng điện ngắn mạch của cách măc CB.

Mặc dù hệ số khuếch đại của bản thân mạch CB có cùng độ lớn như mạch khuếch đại CE, tuy nhiên điều này thường không đúng cho trường hợp hệ số khuếch đại tổng thể. Trở kháng đầu vào thấp của mạch khuếch đại CB có thể là nguyên nhân làm cho tín hiệu vào bị suy yếu nhiều.

$$\frac{v_i}{v_{sig}} = \frac{R_i}{R_{sig} + R_i} = \frac{r_e}{R_{sig} + r_e} \quad (5.127)$$

từ biểu thức trên, chúng ta thấy rằng với trường hợp mà R_{sig} rất lớn so với r_e , hệ số truyền tín hiệu v_i/v_{sig} có thể rất nhỏ. Đây là một lợi thế trong những ứng dụng của mạch CB là để khuếch đại những tín hiệu cao tần mà xuất hiện trên một cáp đồng trục. Để cản trở tín hiệu phản xạ trên cáp, mạch khuếch đại CB được yêu cầu có trở kháng vào bằng với điện trở đặc trưng của cáp, mà thường nằm trong khoảng từ 50Ω tới 75Ω .

Hệ số khuếch đại điện áp tổng thể G_v của mạch khuếch đại CB có thể tính được bằng cách nhân tỉ số v_i/v_{sig} của phương trình (5.127) với A_v từ phương trình (5.124) :

$$G_v = \frac{v_o}{v_{sig}} = \frac{r_e}{R_{sig} + r_e} g_m (R_C \parallel R_L) = \frac{\alpha (R_C \parallel R_L)}{R_{sig} + r_e} \quad (5.128)$$

Do $\alpha \approx 1$, chúng ta thấy rằng hệ số khuếch đại điện áp tổng thể đơn giản là tỉ số giữa tổng trở trong mạch collecto với tổng trở trong mạch emitơ. Chúng ta cũng lưu ý rằng hệ số khuếch đại tổng thể là hầu như không phụ thuộc vào giá trị của β (ngoại trừ một sự phụ thuộc nhỏ của α vào β). Khảo sát thấy rằng R_{sig} cùng bậc giá trị với R_C và R_L , hệ số khuếch đại sẽ rất nhỏ.

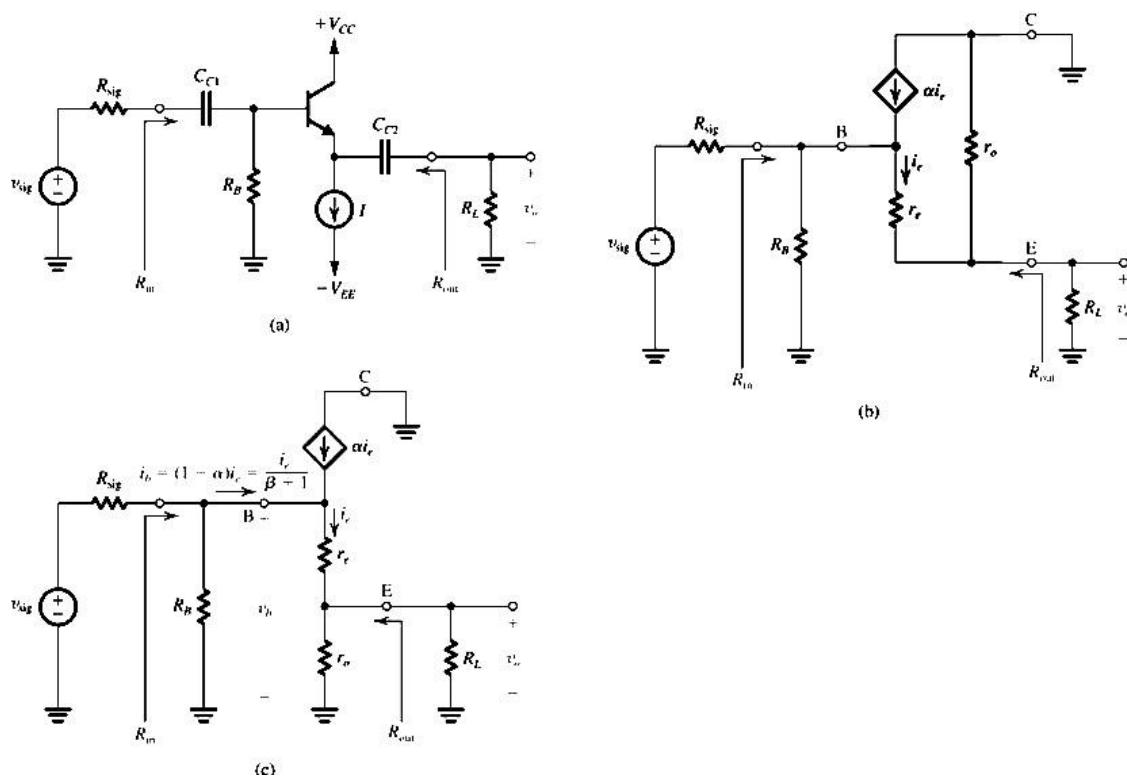
Tóm lại, mạch khuếch đại CB có trở kháng vào rất thấp (r_e), hệ số khuếch đại dòng điện ngắn mạch gần bằng một (α), hệ số khuếch đại điện áp mạch hở là dương và có độ lớn bằng với A_{vo} của mạch khuếch đại CE ($g_m R_C$) và cũng giống như mạch khuếch đại CE, nó có trở kháng ra lớn. Bởi vì trở kháng vào của mạch khuếch đại CB rất thấp nên mạch khuếch đại CB khi đứng một mình sẽ không được ưa thích khi dùng với vai trò một bộ khuếch đại điện áp ngoại trừ trong những ứng dụng đặc biệt như là bộ khuếch đại cáp đã được đề cập ở trên. Mạch khuếch đại CB có đặc tính tần cao rất tốt. Cuối cùng, một ứng dụng rất đáng lưu ý của mạch CB là hệ số khuếch đại dòng bằng 1 hay **dòng đệm** : Nó chấp nhận một tín hiệu dòng vào với một trở kháng vào thấp và cung cấp một dòng gần bằng như thế với trở kháng ra rất cao ở trên cực collecto.

5.7.6 Mạch khuếch đại Colecto chung (CC) hay mạch lặp emitơ

Cách mắc cơ bản cuối cùng của bộ khuếch đại dùng BJT mà chúng ta nghiên cứu là kiểu mắc colecto chung (Common Collector - CC), một mạch rất quan trọng mà có thể tìm thấy trong các ứng dụng thông thường khi thiết kế cho cả các bộ khuếch đại tín hiệu nhỏ và tín hiệu lớn và thậm chí cả trong các mạch số. Mạch này được biết đến

với một cái tên gọi khác là *mạch lặp emitor* mà lý do của cách gọi này sẽ được thấy rõ ngay sau đây.

Một mạch lặp emitor xây dựng dựa trên cấu trúc của mạch trong hình 5.43 được chỉ ra trong hình 5.47(a). Khảo sát thấy rằng do cực collecto có tín hiệu được nối đất, chúng ta có thể loại bỏ điện trở collecto R_C . Tín hiệu vào được đưa tới cực bazơ thông qua một tụ điện C_{C1} và tín hiệu ra lấy trên cực emitor được đưa tới tải R_L cũng thông qua một tụ điện C_{C2} .



Hình 5.47 (a) Một mạch lặp emitor xây dựng trên cấu trúc của hình 5.43. (b) Mạch tương đương tín hiệu nhỏ của mạch lặp emitor với transistor được thay bằng mô hình dạng T có tính đến điện trở r_o . (c) Mạch trong hình (b) được vẽ lại để nhấn mạnh rằng r_o mắc song song với R_L . Điều này sẽ làm đơn giản cho việc phân tích mạch.

Điện trở R_L được nối tiếp với cực emitor, do vậy sử dụng mô hình tương đương dạng T của BJT sẽ thuận tiện hơn cho việc phân tích mạch. Hình 5.47(b) là mạch tương đương tín hiệu nhỏ của mạch lặp emitor với BJT được thay thế bằng mô hình tương đương dạng T có bao gồm cả điện trở r_o . Quan sát mạch trong hình 5.47(b) thấy rằng r_o có thể coi là mắc song song với R_L . Vì thế mạch được vẽ lại trong

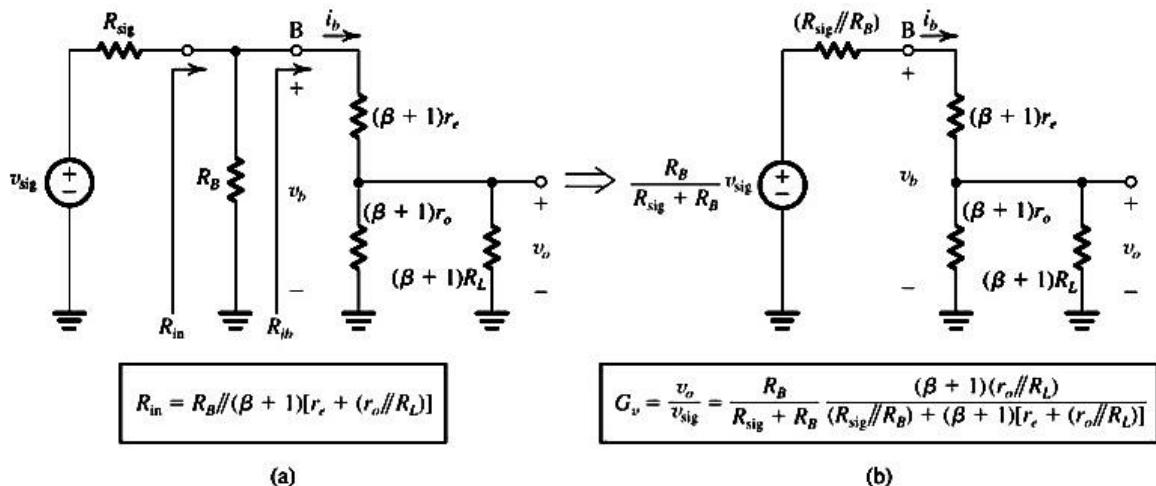
hình 5.47(c) để nhấn mạnh điểm này và thực vậy sẽ đơn giản hơn cho việc phân tích mạch.

Không giống như các mạch CE và CB chúng ta nghiên cứu ở trên, mạch lặp emitor *không phải là dạng mạch một phía*, nghĩa là trở kháng vào phụ thuộc vào R_L và trở kháng ra phụ thuộc vào R_{sig} . Vì thế phải rất thận trọng khi xem xét đặc tính của mạch lặp emitor. Trong phần tiếp theo chúng ta sẽ tìm các biểu thức tính của các đại lượng R_{in}, G_v, G_{vo} và R_{out} .

Trong hình 5.47(c), ta thấy rằng BJT có một điện trở ($r_o \parallel R_L$) nối tiếp với điện trở emitor r_e . Vì vậy ứng dụng quy tắc điện trở phản chiếu, ta có mạch tương đương được chỉ ra trong hình 5.48(a). Nhớ lại rằng trong điện trở phản chiếu tới phía cực bazơ, chúng ta nhân tất cả điện trở của cực emitor với $(\beta + 1)$ lần, là tỉ số giữa i_e và i_b . Bằng cách này các điện áp được giữ nguyên không đổi.

Trong mạch trong hình 5.48(a), điện trở vào tại cực bazơ R_{ib} là :

$$R_{ib} = (\beta + 1)[r_e + (r_o \parallel R_L)] \quad (5.129)$$



Hình 5.48 (a) Một mạch tương đương của mạch lặp emitor thu được từ mạch trong hình 5.47(c) bằng cách phản chiếu tất cả điện trở ở cực emitor tới phía cực bazơ. (b) Mạch trong hình (a) sau khi áp dụng định lý Thevenin cho phần mạch đầu vào bao gồm v_{sig}, R_{sig} và R_B .

R_{ib} trong mạch lặp emitor đóng vai trò làm tăng giá trị của R_L (hay $R_L \parallel r_o$ thì chính xác hơn) lên $(\beta + 1)$ lần. Tổng trở đầu vào của mạch lặp là :

$$R_{in} = R_B \parallel R_{ib}$$

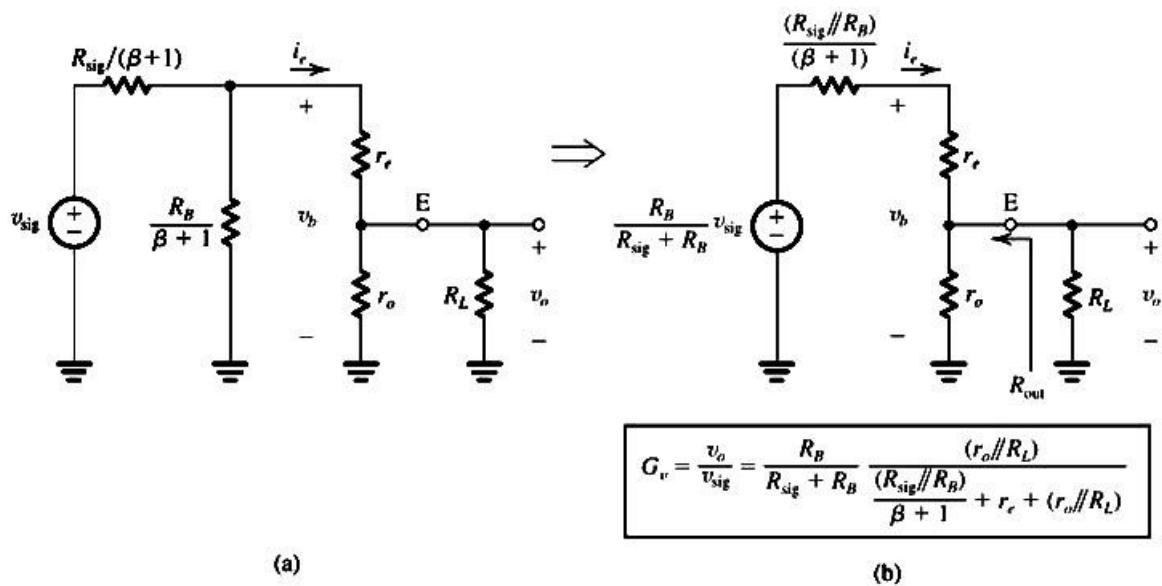
khi chúng ta xem xét toàn bộ ảnh hưởng đến việc tăng R_{ib} , chúng ta lựa chọn một giá trị điện trở phân cực R_B lớn như trong thực tế (nhìn từ một quan điểm thiết kế mạch phân cực). Đồng thời, khi cần thiết chúng ta có thể bỏ qua R_B và nối nguồn tín hiệu trực tiếp với cực bazơ (trong trường hợp đó chúng ta cũng bỏ qua C_{C1}).

Để tìm hệ số khuếch đại điện áp tổng thể G_v , trước tiên chúng ta áp dụng định lý Thevenin ở đầu vào của mạch trong hình 5.48(a) để đơn giản nó tới dạng như trong hình 5.48(b). Từ mạch sau chúng ta thấy rằng v_o có thể được tìm được bằng cách dùng quy tắc của bộ chia áp, ta có :

$$G_v = \frac{R_B}{R_{sig} + R_B} \frac{(\beta+1)(r_o \parallel R_L)}{(R_{sig} \parallel R_B) + (\beta+1)[r_e + (r_o \parallel R_L)]} \quad (5.130)$$

Chúng ta quan sát thấy rằng hệ số khuếch đại điện áp là nhỏ hơn 1, tuy nhiên đối với $R_B \gg R_{sig}$ và $(\beta+1)[r_e + (r_o \parallel R_L)] \gg (R_{sig} \parallel R_B)$, thì nó trở nên rất gần với 1. Vì vậy điện áp tại emitor v_o theo đó sẽ gần như bằng với điện áp tại đầu vào và do vậy mạch mới có tên gọi là **mạch lặp emitor**.

Tương phản với sự phản chiếu của mạng điện trở emitor về phía cực bazơ, chúng ta có thể làm ngược lại: Phản chiếu mạng điện trở bazơ về phía cực emitor. Để giữ cho các điện áp không thay đổi, chúng ta chia tất cả các điện trở phía bazơ cho $(\beta+1)$. Điều này là phù hợp với quy tắc điện trở phản chiếu. Thực hiện điều này cho mạch trong hình 5.47(c) kết quả là làm biến đổi mạch lặp emitor tương đương thành mạch như trong hình 5.49(a). Ở đây chúng ta cũng có thể đơn giản mạch bằng cách áp dụng định lý Thevenin ở phía đầu vào, kết quả ta có mạch hình 5.49(b).



Hình 5.49 (a) Một mạch biến đổi tương đương của mạch lặp emitơ thu được bởi việc phản chiếu tất cả điện trở mạch bazơ tới phía cực emitơ. (b) Mạch trong hình (a) sau khi áp dụng định lý Thevenin tới đầu vào của mạch bao gồm $v_{sig}/(\beta+1)$ và $R_B/(\beta+1)$.

Khảo sát mạch sau cho thấy rằng điện áp ra và vì thế tỉ số v_o/v_{sig} có thể tìm được bằng cách áp dụng quy tắc của bộ chia áp, với kết quả là :

$$G_v = \frac{R_B}{R_{sig} + R_B} \frac{(r_o \parallel R_L)}{\frac{(R_{sig} \parallel R_B)}{\beta+1} + r_e + (r_o \parallel R_L)} \quad (5.131)$$

mà như mong đợi, nó tương tự như cách biểu diễn trong phương trình (5.130) ngoại trừ cả tử số và mẫu số của thừa số thứ hai về phía tay phải được chia cho $(\beta+1)$. Để hệ số khuếch đại biểu diễn cho hoạt động của mạch lặp emitơ rõ hơn nữa, hãy đơn giản biểu thức này cho trường hợp thường gặp $R_B \gg R_{sig}$ và $r_o \gg R_L$. Kết quả là :

$$\frac{v_o}{v_{sig}} \approx \frac{R_L}{\frac{R_{sig}}{\beta+1} + r_e + R_L} \quad (5.132)$$

mà chỉ ra rõ ràng rằng hệ số khuếch đại đạt giá trị 1 khi $R_{sig}/(\beta+1)$ nhỏ hơn rất nhiều so với R_L hay khi $(\beta+1)R_L$ trở nên lớn hơn nhiều so với R_{sig} . Điều này thể hiện vai trò **đệm** của mạch lặp emitơ, mà rút ra từ thực tế rằng mạch có hệ số khuếch đại dòng ngắn mạch là xấp xỉ bằng $(\beta+1)$.

Nó cũng sẽ có ích khi chúng ta biểu diễn đầu ra của mạch lặp emitơ bằng mạch tương đương Thevenin của nó. Điện áp ra mạch hở sẽ là $G_{vo}v_{sig}$ trong đó G_{vo} có thể nhận được từ phương trình (5.131) bằng cách đặt $R_L = \infty$,

$$G_{vo} = \frac{R_B}{R_{sig} + R_B} \frac{r_o}{\frac{R_{sig} \parallel R_B}{\beta+1} + r_e + r_o} \quad (5.133)$$

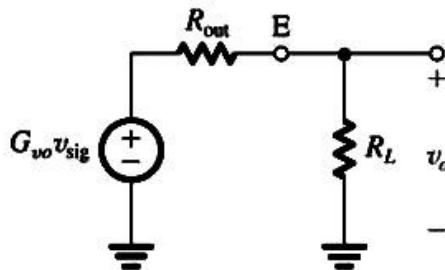
Lưu ý rằng r_o thường là lớn và thừa số thứ hai trở thành gần như là bằng 1. Thừa số đầu đạt giá trị 1 khi $R_B \gg R_{sig}$. Điện trở Thevenin là trở kháng đầu ra R_{out} . Nó có thể được xác định bằng mạch trong hình 5.49(b) : Giảm v_{sig} xuống tới 0, “giữ” cực emitơ và nhìn từ phía sau vào mạch. Kết quả là:

$$R_{out} = r_o \parallel \left(r_e + \frac{R_{sig} \parallel R_B}{\beta+1} \right) \quad (5.134)$$

Thông thường r_o lớn hơn nhiều so với thành phần song song trong dấu ngoặc đơn và có thể bỏ đi, khi đó còn lại :

$$R_{out} \approx r_e + \frac{R_{sig} \parallel R_B}{\beta+1} \quad (5.135)$$

Vì thế, trở kháng ra của mạch lặp emitor là nhỏ, một lần nữa đây là kết quả của việc truyền trở kháng của nó hay với vai trò đệm, mà dẫn tới việc chia ($R_{sig} \parallel R_B$) cho ($\beta+1$). Mạch tương đương Thevenin của mạch lặp emitor được chỉ ra cùng với các công thức tính G_{vo} và R_{out} trong hình 5.50. Mạch này có thể được dùng để tìm v_o và cả G_v cho bất cứ giá trị nào của R_L .



$$G_{vo} = \frac{R_B}{R_{sig} + R_B} \frac{r_o}{\frac{(R_{sig} \parallel R_B)}{(\beta+1)} + r_e + r_o}$$

$$R_{out} = r_o \parallel \left(r_e + \frac{R_{sig} \parallel R_B}{\beta+1} \right)$$

Hình 5.50 Mạch tương đương Thevenin đầu ra của mạch lặp emitor của hình 5.47(a). Mạch này có thể dùng để tìm v_o và do đó cả hệ số khuếch đại điện áp tổng thể v_o/v_{sig} cho bất cứ giá trị nào của R_L .

Tổng kết lại, mạch lặp emitor có trở kháng vào cao, trở kháng ra nhỏ và hệ số khuếch đại điện áp nhỏ hơn nhưng rất gần với 1 và hệ số khuếch đại dòng lớn. Đây là điều lý tưởng phù hợp cho những ứng dụng mà ở đó nội trở của nguồn tín hiệu lớn hay được nối tới một điện trở tải nhỏ và nó được dùng như một tầng khuếch đại cuối hay tầng khuếch đại đầu ra trong một bộ khuếch đại nhiều tầng mà mục đích của nó là không cần khuếch đại điện áp nguồn và cho phép ghép bộ khuếch đại với một trở kháng ra thấp.

Trước khi kết thúc về mạch lặp emitơ, một câu hỏi là tín hiệu dao động lớn nhất cho phép là bao nhiêu ? Bởi vì chỉ có một phần nhỏ tín hiệu vào xuất hiện giữa cực bazơ và emitơ, mạch lặp emitơ hoạt động tuyến tính cho một dải rộng của biên độ tín hiệu vào. Tuy nhiên có một giới hạn tuyệt đối trên của giá trị biên độ tín hiệu ra khi transistor cắt dòng. Để hiểu về điều này như thế nào, hãy quan sát mạch trong hình 5.47(a) khi tín hiệu vào là một sóng dạng sin. Khi tín hiệu vào là âm, đầu ra v_o sẽ cũng âm và dòng điện trên R_L sẽ chạy từ mát vào cực emitơ. Transistor sẽ khóa khi dòng này trở nên bằng với dòng phân cực I . Do đó giá trị đỉnh của v_o có thể được tìm thấy từ

$$\frac{\hat{V}_o}{R_L} = I$$

hay

$$\hat{V}_o = IR_L$$

Giá trị v_{sig} tương ứng sẽ là

$$\hat{V}_{sig} = \frac{IR_L}{G_v}$$

Tăng biên độ của v_{sig} ở trên giá trị này kết quả là transistor sẽ trở thành bị khóa và các đỉnh âm của dạng sóng tín hiệu ra sẽ bị xén.

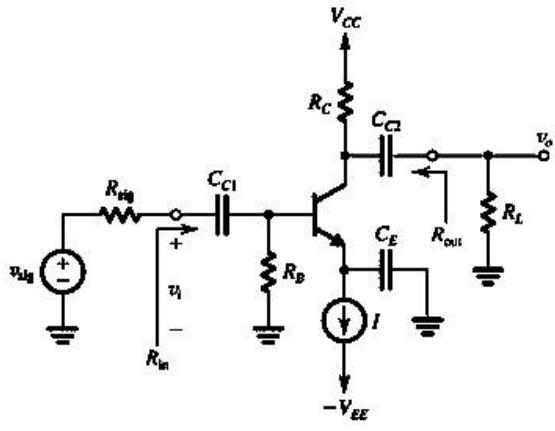
5.7.7 Tổng kết

Để dễ dàng đối chiếu và có thể so sánh, chúng ta đưa ra trong bảng 5.6 các công thức để xác định các tham số đặc tính của các bộ khuếch đại đơn tầng rời rạc dùng BJT.Thêm vào đó để lưu ý những điều đã tìm hiểu trong suốt phần này về các đặc tính và phạm vi ứng dụng của các sơ đồ mắc khác nhau, chúng ta đưa ra các điểm kết luận sau :

1. Cách mắc CE là phù hợp nhất cho các mạch yêu cầu có hệ số khuếch đại lớn. Tùy thuộc vào độ lớn hệ số khuếch đại được yêu cầu, một tầng khuếch đại đơn hoặc một bộ khuếch đại ghép tầng gồm hai hay ba tầng có thể được sử dụng.
2. Việc có thêm điện trở R_e ở cực emitơ dẫn đến tầng CE tạo ra một số đặc tính được cải thiện và hệ số khuếch đại giảm xuống.
3. Trở kháng vào thấp của mạch khuếch đại CB làm nó chỉ hữu dụng trong các ứng dụng đặc biệt. Nó có một đáp ứng tần cao tốt hơn so với mạch khuếch đại CE. Điều ưu thế này sẽ làm nó trở nên hữu ích khi là một bộ khuếch đại cao tần, đặc biệt khi kết hợp cùng với mạch CE.

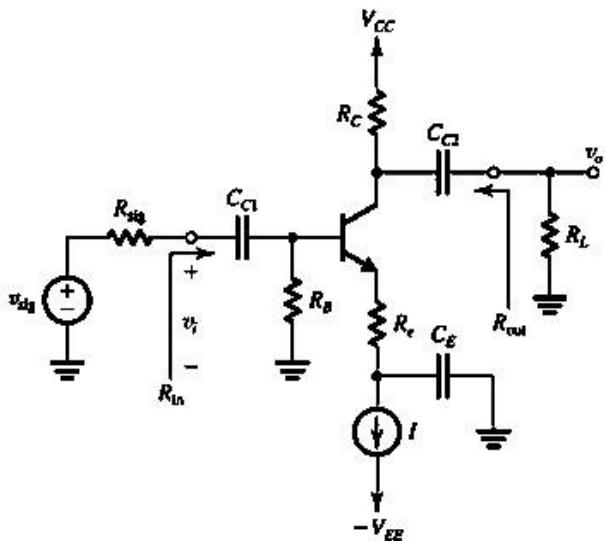
4. Mạch lặp emitter có ứng dụng như là một bộ đệm điện áp để nối một nguồn có nội trở lớn tới một điện trở tải nhỏ và như là tầng đầu ra trong bộ khuếch đại ghép tầng.

BẢNG 5.6 Các đặc tính của mạch khuếch đại rời rạc đơn tầng dùng BJT
Mạch Emitter chung



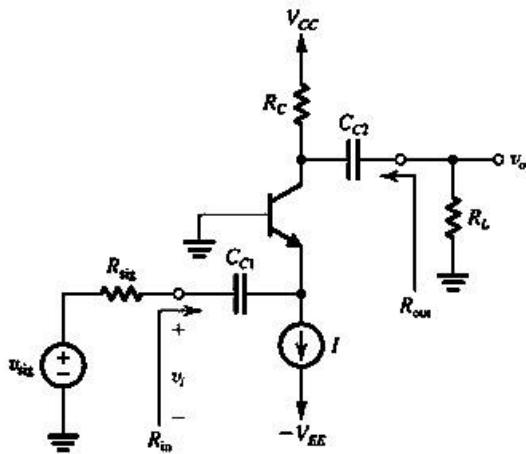
$$\begin{aligned}
 R_{in} &= R_B \parallel r_\pi = R_B \parallel (\beta+1)r_e \\
 A_v &= -g_m (r_o \parallel R_C \parallel R_L) \\
 R_{out} &= r_o \parallel R_C \\
 G_v &= -\frac{(R_B \parallel r_\pi)}{(R_B \parallel r_\pi) + R_{sig}} g_m (r_o \parallel R_C \parallel R_L) \\
 &\cong -\frac{\beta(r_o \parallel R_C \parallel R_L)}{r_\pi + R_{sig}} \\
 A_{is} &= -g_m R_{in} \cong -\beta
 \end{aligned}$$

Mạch Emitter chung với điện trở emitor



$$\begin{aligned}
 &\text{Bỏ qua } r_o: \\
 R_{in} &= R_B \parallel (\beta+1)(r_e + R_e) \\
 A_v &= -\frac{\alpha(R_C \parallel R_L)}{r_e + R_e} \cong \frac{-g_m(R_C \parallel R_L)}{1 + g_m R_e} \\
 R_{out} &= R_C \\
 G_v &= -\frac{\beta(R_C \parallel R_L)}{R_{sig} + (\beta+1)(r_e + R_e)} \\
 \frac{v_\pi}{v_i} &\cong \frac{1}{1 + g_m R_e}
 \end{aligned}$$

Mạch Bazor chung



Bỏ qua r_o :

$$R_{in} = r_e$$

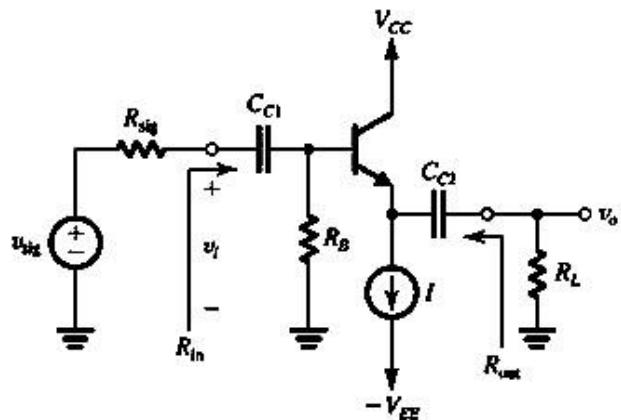
$$A_v = g_m (R_C \parallel R_L)$$

$$R_{out} = R_C$$

$$G_v = \frac{\alpha (R_C \parallel R_L)}{R_{sig} + r_e}$$

$$A_{is} \approx \alpha$$

Mạch Colecto-chung hay mạch lắp Emiso



$$R_{in} = R_B \parallel (\beta + 1) [r_e + (r_o \parallel R_L)]$$

$$A_v = \frac{(r_o \parallel R_L)}{(r_o \parallel R_L) + r_e}$$

$$R_{out} = r_o \parallel \left[r_e + \frac{R_{sig} \parallel R_B}{\beta + 1} \right]$$

$$G_v = \frac{R_B}{R_{sig} + R_B} \frac{(r_o \parallel R_L)}{\frac{(R_{sig} \parallel R_B)}{\beta + 1} + r_e + (r_o \parallel R_L)}$$

$$A_{is} \approx \beta + 1$$

TỔNG KẾT

- Phụ thuộc vào các điều kiện phân cực của hai tiếp giáp, BJT có thể làm việc ở một trong 4 chế độ : cắt dòng (cả hai tiếp giáp phân cực ngược), tích cực (tiếp giáp EBJ phân cực thuận và tiếp giáp CBJ phân cực ngược), bão hòa (cả hai tiếp giáp phân cực thuận) và tích cực ngược (tiếp giáp EBJ phân cực ngược và tiếp giáp CBJ phân cực thuận).
- Đối với các ứng dụng khuếch đại, BJT hoạt động trong chế độ tích cực. Trong các ứng dụng chuyển mạch, BJT hoạt động ở các chế độ cắt dòng và bão hòa. Chế độ hoạt động tích cực ngược chỉ được quan tâm về mặt khái niệm và hầu như không dùng trong thực tế.
- Một BJT hoạt động trong chế độ tích cực tạo ra một dòng colecto $i_C = I_S e^{|v_{BE}|/V_T}$.
Đòng bazơ $i_B = (i_C / \beta)$ và dòng emitơ $i_E = i_C + i_B$. Tương tự, $i_C = \alpha i_E$ và do vậy $\beta = \alpha / (1 - \alpha)$ và $\alpha = \beta / (\beta + 1)$. Xem bảng 5.2 trong giáo trình.
- Để đảm bảo chắc chắn BJT làm việc trong chế độ tích cực, điện áp colecto của một transistor *npn* phải được giữ lớn hơn 0.4V so với điện áp bazơ. Đối với một transistor *pnp* điện áp colecto phải thấp hơn 0.4V so với điện áp bazơ. Nói cách khác, nếu không thoả mãn điều kiện trên thì tiếp giáp CBJ trở thành phân cực thuận và transistor rơi vào vùng bão hòa.
- Một mô hình thuận tiện cho sự phân tích hoạt động với tín hiệu lớn của BJT là mô hình Ebers-Moll. Một quan hệ cơ bản giữa các thông số của nó là $\alpha_F I_{SE} = \alpha_R I_{SC} = I_S$. Trong khi α_F thì rất gần với 1, α_R lại rất là nhỏ (0.01-0.2), và β_R tương ứng cũng nhỏ. Dùng mô hình EM cho phép biểu diễn các dòng điện trên các cực của BJT theo các điện áp v_{BE} và v_{BC} . Các mối quan hệ này được biểu diễn trong các phương trình :

$$i_E = \left(\frac{I_S}{\alpha_F} \right) \left(e^{v_{BE}/V_T} - 1 \right) - I_S \left(e^{v_{BC}/V_T} - 1 \right)$$

$$i_C = I_S \left(e^{v_{BE}/V_T} - 1 \right) - \left(\frac{I_S}{\alpha_R} \right) \left(e^{v_{BC}/V_T} - 1 \right)$$

$$i_B = \left(\frac{I_S}{\beta_F} \right) \left(e^{v_{BE}/V_T} - 1 \right) + \left(\frac{I_S}{\beta_R} \right) \left(e^{v_{BC}/V_T} - 1 \right)$$

$$\beta_F = \frac{\alpha_F}{1 - \alpha_F}$$

$$\beta_R = \frac{\alpha_R}{1 - \alpha_R}$$

- Transistor ở chế độ bão hòa có $|V_{CEsat}| \approx 0.2V$ và $I_{Csat} = (V_{CC} - V_{CEsat})/R_C$. Tỉ số của I_{Csat} với dòng bazơ là hệ số β áp đặt (β_{forced}) và có giá trị nhỏ hơn β . Điện trở collecto – emitơ khi đó R_{CEsat} nhỏ (vài chục Ôm).
- Ở một giá trị dòng collecto không đổi, độ lớn của điện áp bazơ – emitơ giảm khoảng 2 mV khi nhiệt độ tăng thêm 1°C .
- Với emitơ hở mạch ($i_E = 0$), tiếp giáp CBJ bị đánh thủng ở một điện áp ngược BV_{CBO} mà thường $> 50\text{V}$. Đối với $i_E > 0$, điện áp đánh thủng nhỏ hơn BV_{CBO} . Trong mạch emitơ chung điện áp đánh thủng là BV_{CEO} mà bằng khoảng một nửa BV_{CBO} . Tiếp giáp emitơ – bazơ đánh thủng ở một điện áp phân cực ngược từ 6V tới 8V. Sự đánh thủng này thường có một ảnh hưởng xấu lâu dài tới β .
- Tổng kết về các đặc tuyến dòng – áp và các mô hình tín hiệu lớn của BJT trong cả chế độ hoạt động tích cực và bão hòa được thể hiện trong bảng 5.3 của giáo trình.
- Khi phân tích các mạch BJT ở chế độ một chiều, để đơn giản hơn người ta thường giả thiết rằng $|V_{BE}| \approx 0.7V$.
- Để hoạt động như một bộ khuếch đại tuyến tính, BJT được phân cực trong vùng tích cực và tín hiệu v_{be} phải được giữ đủ nhỏ ($v_{be} \ll v_T$).
- Đối với các tín hiệu nhỏ, BJT đóng vai trò như một nguồn dòng được điều khiển bằng điện áp tuyến tính với một hõi dẫn $g_m = (I_C/V_T)$. Điện trở vào giữa bazơ và emitơ nhìn vào cực bazơ là $r_\pi = \beta/g_m$. Các mô hình mạch tương đương tần thấp đơn giản của BJT được chỉ ra trong các hình 5.38 và 5.40 của giáo trình. Các mô hình này có thể được thêm điện trở ra $r_o = |V_A|/I_C$ giữa collecto và emitơ (hình 5.39 và 5.41 của giáo trình). Bảng 5.4 tổng kết các phương trình quan hệ dùng để xác định các tham số cho mô hình.
- Thiết kế phân cực là tìm một dòng collecto một chiều mà không phụ thuộc vào giá trị của β .
- Trong mạch emitơ chung, cực emitơ là một tín hiệu nối đất, tín hiệu vào được đặt vào cực bazơ, và tín hiệu ra được lấy ở cực collecto. Mạch CE có một hệ số khuếch đại điện áp lớn và trở kháng vào cao nhưng đáp ứng tần số lại bị giới hạn.
- Trở kháng vào của mạch khuếch đại emitơ chung có thể được tăng lên bằng cách thêm một điện trở không rẽ nhánh ở cực emitơ. Điện trở suy thoái emitơ này tạo ra các sự cải tiến đặc tính về mặt tiêu thụ công suất và làm giảm hệ số khuếch đại điện áp.

- Trong mạch bazơ chung, cực bazơ là tín hiệu nối đất, tín hiệu vào được đặt vào cực emitơ, và tín hiệu ra được lấy trên cực collectơ. Mạch CB có một hệ số khuếch đại điện áp lớn (từ emitơ tới collectơ) và đáp ứng tần cao rất tốt, nhưng trở kháng vào lại rất thấp. Mạch CB thường có ích khi sử dụng như là một bộ đệm dòng.
- Trong mạch lắp emitơ, cực collectơ là một tín hiệu nối đất, tín hiệu vào được đặt tới cực bazơ, và tín hiệu ra lấy trên emitơ. Mặc dù hệ số khuếch đại điện áp nhỏ hơn 1 nhưng trở kháng vào rất là cao và trở kháng ra rất là thấp. Mạch này hữu ích khi sử dụng như là một bộ đệm điện áp.
- Bảng 5.5 trong giáo trình chỉ ra các thông số cơ bản khi phân tích một mạch khuếch đại.
- Tổng kết về các đặc tính của các bộ khuếch đại BJT đơn tầng rời rạc được thể hiện trong bảng 5.6 của giáo trình.

BÀI TẬP

Phần 5.1: Cấu trúc vật lý, nguyên lý hoạt động của BJT

5.1 Khảo sát một transistor với $v_{BE} = 0.7V, i_C = 1mA$. Tìm v_{BE} khi $i_C = 0.1mA$ và 10 mA.

Đáp án : 0.64V ; 0.76V

5.2 Tính β cho hai transistor có $\alpha = 0.99$ và 0.98. Cho dòng collecto là 10 mA, hãy tìm dòng bazơ cho mỗi transistor.

Đáp án : 99 ; 49 ; 0.1 mA ; 0.2 mA

5.3 Đối với một transistor có $I_s = 10^{-11}A$ và $\beta = 100$, hãy tính v_{EB} tại $i_C = 1.5A$.

Đáp án: 0.643V

5.4 Điện áp trên các cực của các transistor loại *npn* đo được khi chúng hoạt động trong các mạch điện tương ứng với kết quả như trong bảng sau:

Trường hợp	E	B	C	Chế độ
1	0	0.7	0.7	
2	0	0.8	0.1	
3	- 0.7	0	0.7	
4	- 0.7	0	- 0.6	
5	0.7	0.7	0	
6	- 2.7	- 2.0	0	
7	0	0	5.0	
8	-0.10	5.0	5.0	

Trong bảng này, những chỗ mà được ghi là 0 V chỉ ra rằng điện cực đối chiều đó được nối với đầu que đen (âm) của vôn kế. Đối với từng trường hợp, hãy xác định chế độ hoạt động của transistor.

5.5 Giá trị điện áp V_{BE} và hai dòng điện trên hai cực của các transistor *npn* đo được được liệt kê trong bảng dưới. Với mỗi trường hợp này, hãy tính dòng điện trên cực còn lại cũng như các giá trị còn thiếu như α , β và I_s để hoàn thành bảng.

Transistor	a	b	c	d	e
$V_{BE}(mV)$	690	690	580	780	820
$I_C(mA)$	1.000	1.000		10.10	
$I_B(\mu A)$	50		7	120	1050
$I_E(mA)$		1.070	0.137		75.00
α					
β					

I_S						
-------	--	--	--	--	--	--

5.6 Xét một transistor *npn* có điện áp roi bazơ – emitơ là 0.76V, với dòng colectơ là 10 mA. Dòng này sẽ là bao nhiêu tại điện áp $v_{BE} = 0.7V$? Điện áp bazơ – emitơ là bao nhiêu đối với trường hợp $i_C = 10\mu A$?

Đáp án : $i_C = 0.907mA$; $v_{BE} = 0.587V$

5.7 Khảo sát một transistor *npn* có $\beta_F = 100$, $\alpha_R = 0.1$ và $I_S = 10^{-15} A$

(a) Nếu transistor làm việc trong chế độ tích cực thuận với $I_B = 10\mu A$ và $V_{CB} = 1V$, hãy tìm V_{BE} , I_C và I_E .

(b) Nếu transistor làm việc trong chế độ tích cực ngược với điện áp phân cực thuận V_{BC} bằng điện áp V_{BE} tìm được trong ý (a) và với $V_{EB} = 1V$. Hãy tìm I_C , I_B và I_E .

Đáp án : a) $V_{BE} = 0.691V$; $I_C = 1 mA$; $I_E = 1.01 mA$

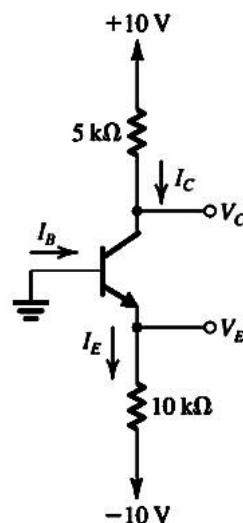
b) $V_{BE} = -1 V$; $I_C = -10.09 mA$; $I_E = -1.01 mA$

5.8 Một transistor công suất *pnp* hoạt động với điện áp emitơ – colectơ là 5V, một dòng emitơ là 10A, và $V_{BE} = 0.85V$. Với $\beta = 15$, dòng bazơ yêu cầu là bao nhiêu? Dòng I_S cho transistor này như thế nào? So sánh diện tích vùng tiếp giáp emitơ – bazơ của transistor này với một transistor tín hiệu nhỏ mà có dòng $i_C = 1mA$ với $v_{EB} = 0.7V$. Nó lớn hơn gấp bao nhiêu lần?

Đáp án : $i_B = 0.625 A$; $I_{S1} = 1.608 \times 10^{-14} A$; $I_{S2} = 6.914 \times 10^{-16} A$; 23.3 lần

Phần 5.2: Đặc tuyến V-A của BJT

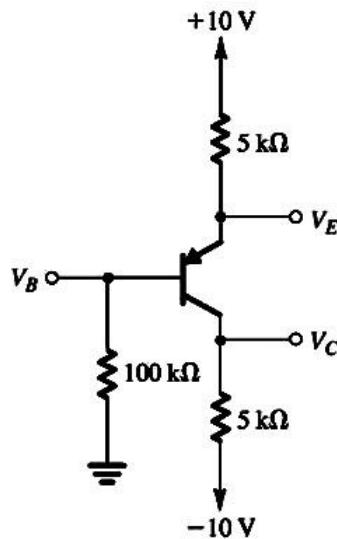
5.9 Trong mạch trong hình E5.9, điện áp tại cực emitơ đo được bằng - 0.7V. Nếu $\beta = 50$, tìm các giá trị I_E , I_B , I_C và V_C .



Hình E5.9

Đáp án : 0.93 mA; 18.2 μA ; 0.91mA; +5.45 V

5.10 Trong mạch chỉ ra trong hình E5.10, đo được giá trị V_B là +1.0V và V_E là +1.7V. Các giá trị α và β của transistor này là bao nhiêu? Điện áp V_C ở cực colecto là bao nhiêu?



Hình E5.10

Đáp án: 0.994; 165; - 1.75 V

5.11 Xét một transistor pnp với $v_{EB} = 0.7V$ tại $i_E = 1mA$. Cho cực bazơ là nối đất, emitor được cung cấp bởi một nguồn dòng không đổi 2-mA, và colecto được nối với một nguồn -5V thông qua một điện trở $1\ k\Omega$. Nếu nhiệt độ tăng lên $30^\circ C$, tìm sự thay đổi điện áp ở cực emitor và colecto. Bỏ qua ảnh hưởng của I_{CBO} .

Đáp án: - 60 mV; 0V.

5.12 Tìm giá trị của v_{CB} tại đó i_C của một transistor *npn* hoạt động trong sơ đồ mắc kiểu CB có $I_E = 1mA$ là (a) giảm tới một nửa giá trị của nó ở chế độ tích cực và (b) giảm tới 0. Giả sử $\alpha_F = 1$ và $\alpha_R = 0.1$. Giá trị của V_{BE} được đo với $v_{CB} = 0$ là 0.7V. Làm lại ý (a) và (b) với $\alpha_R = 0.01$

Đáp án : - 0.628 V; - 0.645V; - 0.568V; - 0.585V.

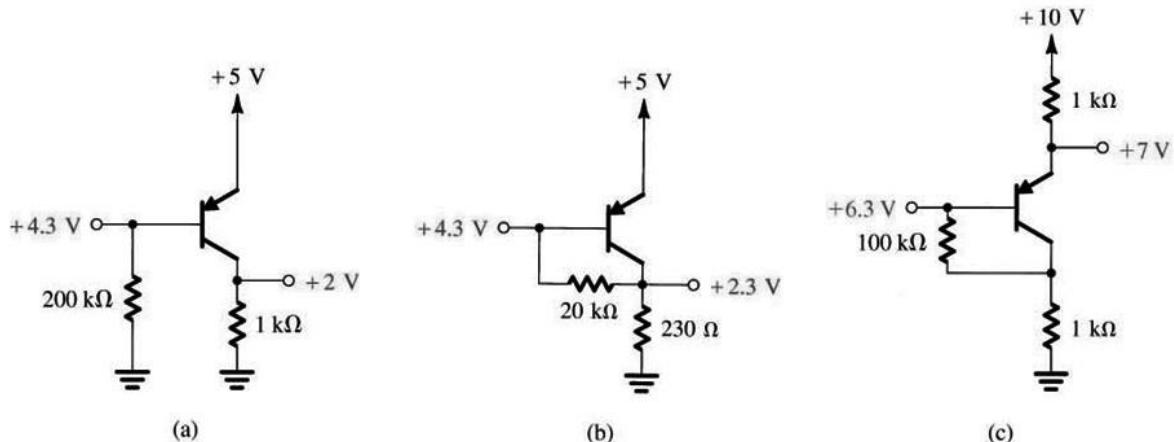
5.13 Tìm điện trở ra của một BJT có $V_A = 100V$ tại $I_C = 0.1, 1$ và $10\ mA$.

Đáp án: $1\ M\Omega$; $100\ k\Omega$; $10\ k\Omega$

5.14 Khảo sát mạch trong hình 5.17(a). Tại $V_{CE} = 1V$, V_{BE} được hiệu chỉnh để có một dòng colecto là 1 mA. Sau đó, trong khi V_{BE} được giữ không đổi, V_{CE} tăng lên 11 V. Tìm giá trị mới của I_C . Đối với transistor này $V_A = 100V$.

Đáp án: 1.1 mA

5.15 Các phép đo trên mạch hình E5.15 có các điện áp được chỉ ra trong hình. Tìm giá trị β cho mỗi transistor.



Hình E5.15

Đáp án: a) $\beta = 93$ b) $\beta = 99$ c) $\beta = 89.9$

5.16 Xét một transistor có điện áp bazơ – emitơ là 0.7V ở 10 mA. Dòng collectơ sẽ là bao nhiêu với $V_{BE} = 0.5V$?

Đáp án: $i_C = 3.35 \mu A$

5.17 Đối với một BJT có điện áp sút là 200V, trở kháng ra sẽ là bao nhiêu khi dòng collectơ là 1 mA và khi là 100 μA ?

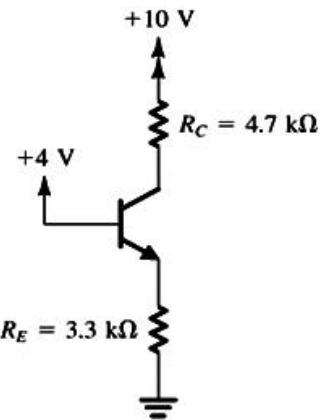
Đáp án: $r_o = 200k\Omega; 2M\Omega$

5.18 Một BJT có $\alpha_R = 0.2$ làm việc với dòng bazơ không đổi nhưng cực collectơ đê hở. Giá trị $V_{CE\ sat}$ khi đó sẽ là bao nhiêu?

Đáp án: $V_{CE\ sat} = 40.2mV$

Phần 5.3: Các mạch BJT ở chế độ một chiều

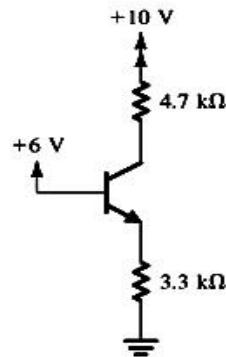
5.19 Thiết kế lại mạch điện trong Hình E5.19 (tức là tìm giá trị mới của R_E và R_C) để dòng collectơ có giá trị 0,5mA và điện áp phân cực ngược trên tiếp giáp collectơ – bazơ bằng 2V. Giả thiết rằng $\alpha = 1$.



Hình E5.19

Đáp án : $R_E = 6.6\text{k}\Omega; R_C = 8\text{k}\Omega$

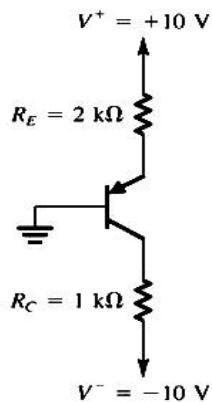
5.20 Cho mạch điện trong Hình E5.20. Tìm giá trị cần thiết của điện áp bazơ để transistor hoạt động trong chế độ bão hòa với β_{forced} bằng 5.



Hình E5.20

Đáp án: +5,18V

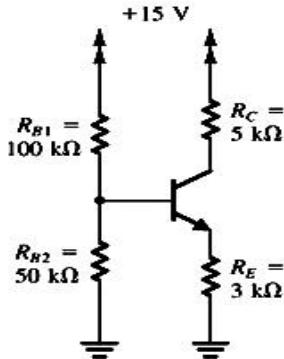
5.21 Cho mạch điện trong Hình E5.21, tìm giá trị lớn nhất có thể của R_C khi transistor vẫn làm việc ở chế độ tích cực.



Hình E5.21

Đáp án: 2.26 kΩ

5.22 Cho mạch điện Hình E5.22. Transistor có $\beta = 50$. Tìm giá trị mới của I_C và thể hiện sự thay đổi của I_C theo tỷ lệ phần trăm.



Hình E5.22

Đáp án: $I_C = 1.15mA$; -10%

5.23 Transistor trong mạch hình E5.23 có hệ số β rất lớn. Hãy tìm V_E và V_C khi V_B là

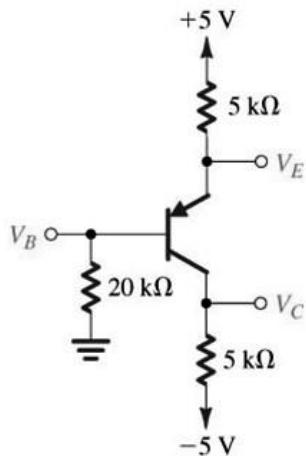
Giả thiết rằng $V_{BE} \cong 0.7V$.

Đáp án: a) $V_E = 1.4V$; $V_C = 3.7V$

b) $V_E = 0.3V$; $V_C = 4.7V$

c) $V_E = 0V$; $V_C = 5V$

5.24 Cho mạch hình E5.24, điện áp emitor đo được là 1.0V. Với giả thiết rằng $|V_{BE}| = 0.7V$, hãy tính các giá trị V_B , I_B , I_E , I_C , V_C , β và α .

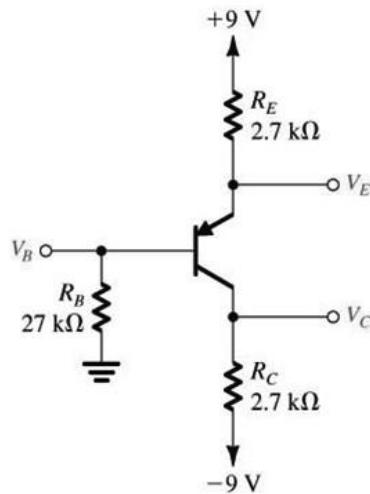


Hình E5.24

Đáp án: $I_E = 0.8mA$; $V_B = 0.3V$; $I_B = 0.015mA$; $I_C = 0.785mA$; $V_C = -1.075V$;

$$\alpha = 0.98; \beta = 52.3$$

5.25 Trong mạch hình E5.25, transistor BJT có $\beta = 30$. Tìm các giá trị V_B , V_E và V_C . Nếu R_B tăng lên là $270\text{ k}\Omega$ thì các điện áp này sẽ thay đổi như thế nào? Với $R_B = 270\text{ k}\Omega$, giá trị của β là bao nhiêu để các giá trị điện áp giống nhau trong kết quả tính lần đầu tiên?

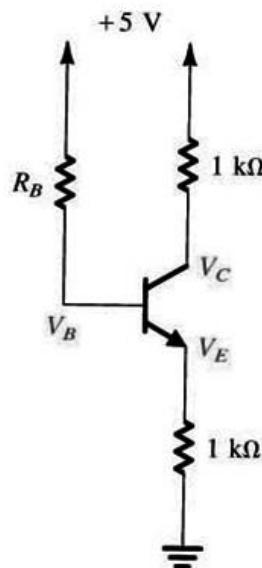


Hình E5.25

Đáp án: $V_B = 2.02V; V_E = 2.72V; V_C = -2.93V$

Khi $R_B = 270\text{ k}\Omega$: $V_B = 6.34V; V_E = 7.04V; V_C = -7.1V; \beta = 309$;

5.26 Đổi với mạch trong hình E5.26, hãy tìm V_B , V_E và V_C khi mà $R_B = 100\text{ k}\Omega$, $10\text{ k}\Omega$ và $1\text{ k}\Omega$. Cho $\beta = 100$.



Hình E5.26

Đáp án: Khi $R_B = 100\text{ k}\Omega$: $V_E = 2.16V; V_B = 2.86V; V_C = 2.86V$ (chế độ tích cực)

Khi $R_B = 10\text{ k}\Omega$: $V_E = 2.49V; V_B = 3.19V; V_C = 2.69V$ (chế độ bão hòa)

Khi $R_B = 1\text{ k}\Omega$: $V_E = 3V; V_B = 3.7V; V_C = 3.2V$ (chế độ bão hòa)

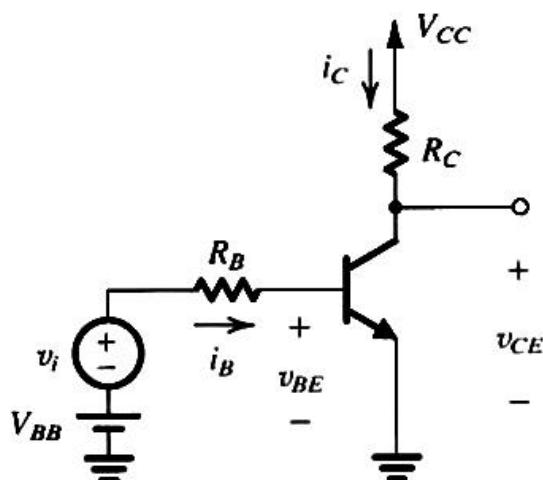
Phần 5.4: BJT hoạt động ở chế độ khuếch đại và chế độ chuyển mạch

5.27 Với trường hợp trong ví dụ 5.13, trong khi giữ I_C không đổi ở 1mA, tìm giá trị của R_C để có được hệ số khuếch đại điện áp là -320V/V. Phạm vi tín hiệu âm lớn nhất cho phép ở đầu ra là bao nhiêu (giả thiết rằng v_{CE} không giảm xuống dưới 0,3V)? Biên độ của tín hiệu vào tương ứng (xấp xỉ) bằng bao nhiêu? (giả thiết bộ khuếch đại là tuyến tính).

Đáp án: 8 k Ω ; 1.7V; 5.3 mV

5.28 Xét mạch điện Hình E5.28 với $V_{BE} = 1.7V$, $R_B = 100k\Omega$, $V_{CC} = 10V$, và $R_C = 5k\Omega$. Transistor có $\beta = 100$. Tín hiệu đầu vào v_i là sóng tam giác có giá trị đỉnh - đỉnh là 0,4V. Dựa vào Hình 5.26 và sử dụng phương pháp đồ thị đã được miêu tả ở đó để trả lời các câu hỏi sau:

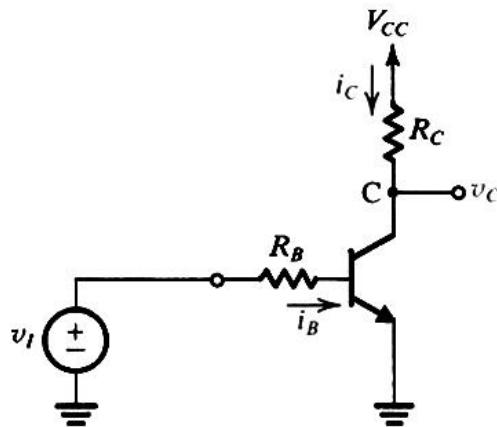
- (a) Nếu $V_{BE} = 0.7V$, tìm I_B
- (b) Giả thiết rằng transistor hoạt động trên một đoạn thẳng của đường cong hàm $i_B - v_{BE}$, chứng minh rằng nghịch đảo độ dốc của nó là V_T / I_B , và tính toán giá trị của nó.
- (c) Tìm giá trị xấp xỉ cho biên độ đỉnh - đỉnh của i_b và của v_{be} .
- (d) Giả thiết rằng đường cong $i_C - v_{CE}$ là đường nằm ngang (tức là, bỏ qua hiệu ứng Sörm), tìm I_C và V_{CE} .
- (e) Tìm biên độ đỉnh tới đỉnh của i_c và của v_{ce} ?
- (f) Hệ số khuếch đại điện áp của bộ khuếch đại bằng bao nhiêu?



Hình E5.28

Đáp án: a) 10 μ A; b) 2.5k Ω ; c) 4 μ A, 10 mV; d) 1 mA, 5V;
e) 0.4 mA, 2V; f) -5 V/V

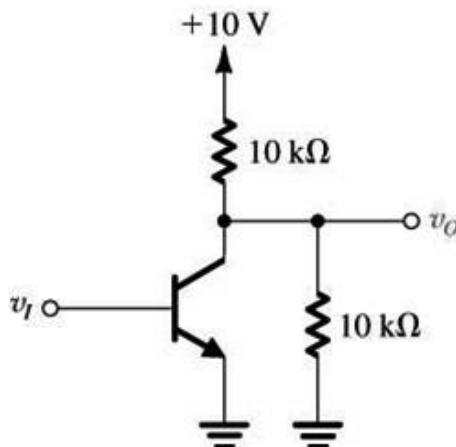
5.29 Xét mạch điện trong Hình E5.29 trong trường hợp $V_{CC} = +5V$; $v_I = +5V$; $R_B = R_C = 1k\Omega$ và $\beta = 100$. Tính giá trị dòng bazơ, dòng collecto, và điện áp collecto. Nếu transistor bị bão hòa, hãy tìm β_{forced} . Giá trị R_B nên tăng lên bao nhiêu để đưa transistor tới điểm biên vùng bão hòa?



Hình E5.29

Đáp án: 4.3mA; 4.8mA; 0.2V; 1.1; 91.5 k Ω .

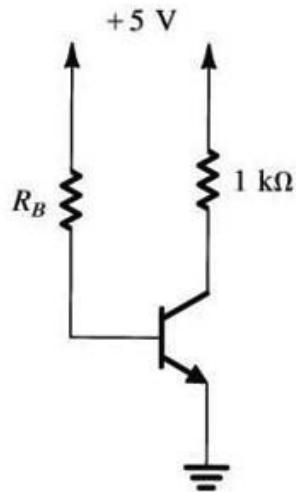
5.30 Transistor trong mạch hình E5.30 được phân cực với dòng một chiều collecto là 0.5 mA. Hệ số khuếch đại điện áp của mạch là bao nhiêu? (Gợi ý: Dùng định lý Thevenin để chuyển mạch về dạng như trong hình 5.22a).



Hình E5.30

Đáp án: -100 V/V

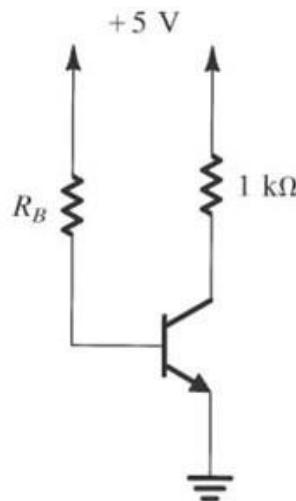
5.31 Đối với mạch trong hình E5.31 chọn một giá trị của R_B mà transistor bão hòa với một hệ số thúc đẩy bằng 10. BJT có một giá trị β nhỏ nhất là 20 và $V_{CEsat} = 0.2V$. Giá trị β_{forced} là bao nhiêu?



Hình E5.31

Đáp án: $\beta_{forced} = 2$; $R_B = 1.8k\Omega$

5.32 Đối với mạch trong hình E5.32 chọn một giá trị R_E sao cho transistor bão hòa với $\beta_{forced} = 10$. Giả thiết rằng $V_{BE} = 0.7V$ và $V_{ECsat} = 0.2V$.

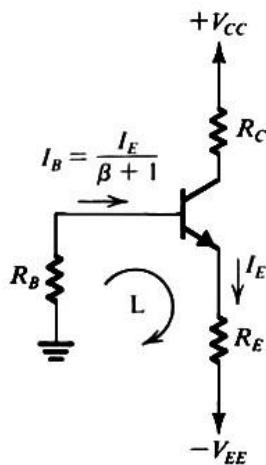


Hình E5.32

Đáp án: $R_E = 710\Omega$

Phần 5.5: Phân cực trong các mạch khuếch đại dùng BJT

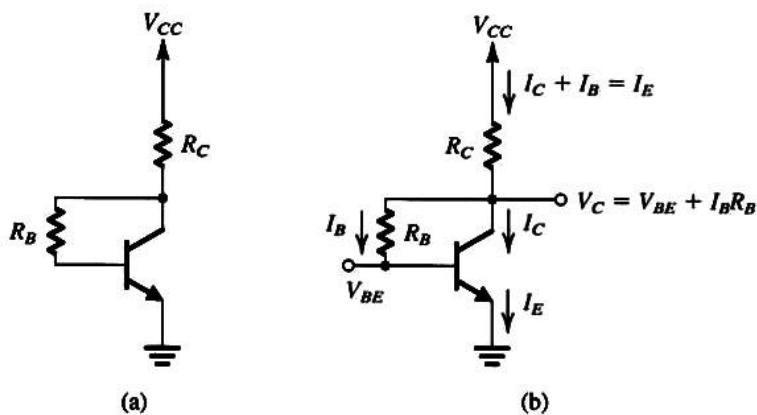
5.33 Sơ đồ phân cực trong hình E5.33 được sử dụng cho bộ khuếch đại bazơ chung. Thiết kế mạch điện để thiết lập dòng điện emitơ là 1mA và tạo ra hệ số khuếch đại điện áp lớn nhất có thể trong khi cho phép độ dao động tín hiệu lớn nhất ở collectơ là $\pm 2V$. Sử dụng nguồn cấp 10V và -5V.



Hình E5.33

Đáp án: $R_B = 0$; $R_E = 4.3k\Omega$; $R_C = 8.4k\Omega$

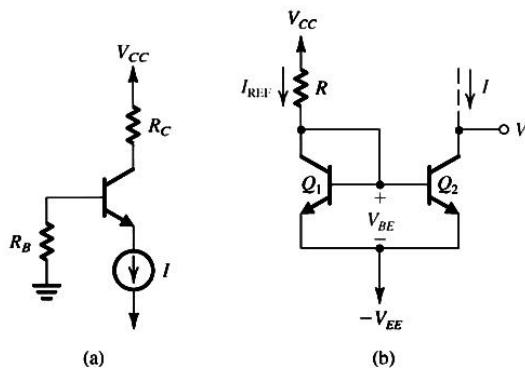
5.34 Thiết kết mạch trong hình E5.34 để thu được dòng điện một chiều emitơ là 1mA và đảm bảo độ dao động tín hiệu tại colectơ là $\pm 2V$, thiết kế sao cho $V_{CE} = +2.3V$. Cho $V_{CC} = 10V$ và $\beta = 100$.



Hình E5.34

Đáp án: $R_B = 162k\Omega$; $R_C = 7.7k\Omega$. Với giá trị thực tế của điện trở, ta chọn $R_B = 160k\Omega$; $R_C = 7.5k\Omega$. Khi đó $I_E = 1.02mA$ và $V_C = +2.3V$.

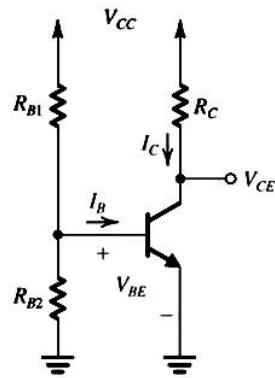
5.35 Với mạch điện trong hình E5.35(a) với $V_{CC} = 10V$, $I = 1mA$, $\beta = 100$, $R_B = 100k\Omega$ và $R_C = 7.5k\Omega$, tìm điện áp một chiều tại bazơ, emitơ và colectơ. Cho $V_{EE} = 10V$, tìm giá trị yêu cầu của R trong mạch hinh E5.35(b) để thực hiện nguồn dòng điện I .



Hình E5.35

Đáp án: -1 V; -1.7 V; +2.6 V; 19.3 kΩ.

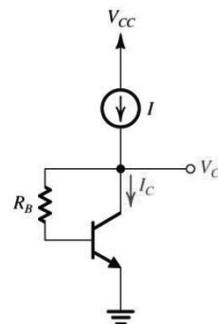
5.36 Đối với mạch trong hình E5.36, bỏ qua dòng bazơ I_B khi so sánh với dòng của bộ chia áp. Yêu cầu phân cực cho transistor để có $I_C = 1mA$, mà chọn R_{B1} và R_{B2} sao cho $V_{BE} = 0.690V$. Nếu $V_{CC} = 5V$, thì tỉ số R_{B1}/R_{B2} là bao nhiêu ?



Hình E5.36

Đáp án: $\frac{R_{B1}}{R_{B2}} = 6.24$

5.37 Một mạch mà có thể tạo ra một hệ số khuếch đại điện áp lớn đối với một tải trở kháng cao có sơ đồ như trong hình E5.37. Tìm các giá trị I và R_B để phân cực cho transistor tại $I_C = 3mA$ và $V_C = 1.5V$. Cho $\beta = 90$.



Hình E5.37

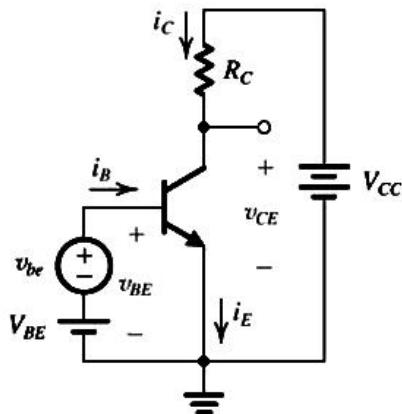
Đáp án: $I = 3.03mA$; $R_B = 24.2k\Omega$

Phần 5.6: Hoạt động của BJT với tín hiệu nhỏ và các mô hình tương đương

5.38 Một BJT có $\beta = 100$ được phân cực với dòng một chiều colecto là 1 mA. Tìm giá trị của g_m, r_e và r_π tại điểm phân cực.

Đáp án : 40 mA/V; 25 Ω; 2.5 kΩ

5.39 Trong mạch hình E5.39, V_{BE} được hiệu chỉnh để có dòng một chiều colecto là 1 mA. Cho $V_{CC} = 15V$, $R_C = 10k\Omega$ và $\beta = 100$. Tìm hệ số khuếch đại điện áp v_c/v_{be} . Nếu $v_{be} = 0.005\sin\omega t$ (V), tìm $v_c(t)$ và $i_B(t)$.



Hình E5.39

Đáp án : - 400 V/V; 5 – 2sinωt (V); 10 + 2sinωt μA.

5.40 Để tăng hệ số khuếch đại điện áp của mạch khuếch đại đã phân tích trong ví dụ 5.18, điện trở colecto R_C được tăng lên tới 7.5 kΩ. Tìm giá trị mới của V_C, A_v và biên độ đỉnh của sóng sin đầu ra tương ứng khi đặt một tín hiệu sóng sin có đỉnh 10 mV ở đầu vào.

Đáp án: -3.1 V; 275 V/V; 2.75 V.

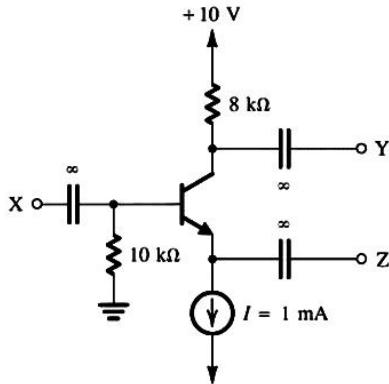
5.41 Transistor trong hình E5.41 được phân cực bằng một nguồn dòng không đổi $I = 1 mA$ và có $\beta = 100$ và $V_A = 100V$.

(a) Tìm các điện áp một chiều trên các cực bazơ, emitơ và colecto.

(b) Tìm g_m, r_π và r_o .

(c) Nếu đầu cực Z được nối đất, X nối với nguồn tín hiệu v_{sig} với nội trở nguồn $R_{sig} = 2k\Omega$ và Y nối với một điện trở tải 8 kΩ, sử dụng mô hình hỗn hợp dạng π , hãy vẽ mạch tương đương tín hiệu nhỏ của bộ khuếch đại. (Lưu ý rằng nguồn dòng I thay thế bằng một mạch hở). Tính hệ số khuếch đại điện áp tổng thể v_y/v_{sig} . Nếu r_o được bỏ qua, cái gì gây ra lỗi khi tính độ lớn hệ số khuếch đại? (Lưu ý: Một tụ điện có điện dung vô cùng được dùng để chỉ ra rằng tụ điện là đủ lớn để nó đóng vai trò như một

ngăn mạch tại tất cả các tần số. Tuy nhiên, tụ điện vẫn ngăn cản được tín hiệu một chiều).



Hình E5.41

Đáp án : (a) -0.1 V, -0.8 V, +2 V; (b) 40 mA/V, 2.5 kΩ, 100 kΩ; (c) -77 V/V, +3.9%.

5.42 Một transistor *npn* với emitơ được nối đất làm việc với $V_{BE} = 0.700V$, có dòng colecto là 1 mA. Một điện trở 10 kΩ được nối giữa cực colecto và nguồn +15V. Điện áp colecto V_C sẽ là bao nhiêu ? Bây giờ, nếu như một tín hiệu được đặt vào cực bazơ v_{BE} tăng lên 705 mV, tìm dòng điện colecto tổng i_C và điện áp colecto tổng v_C dùng quan hệ hàm mũ $i_C = e^{v_{BE}}$. Đổi với trường hợp này, giá trị v_{be} và v_c là bao nhiêu ? Hãy tính hệ số khuếch đại điện áp v_c / v_{be} . So sánh với giá trị thu được khi dùng phương pháp xấp xỉ tín hiệu nhỏ, có nghĩa là $-g_m R_C$.

Đáp án : $V_C = 5V$; $i_C = I_C + i_c = 1mA + 0.2mA$; $v_C = V_C + v_c = 5V - 2V$; $v_{be} = 0.005V$;
 $v_c = -2V$; $A_v = v_c / v_{be} = -400 (V/V)$; $-g_m R_C = -400 (V/V)$

5.43 Một BJT *pnp* được phân cực để làm việc có $I_C = 2.0mA$. Tính giá trị của g_m . Nếu $\beta = 50$, giá trị điện trở tín hiệu nhỏ nhín vào cực emitơ (r_e) là bao nhiêu ? Điện trở tín hiệu nhỏ nhín vào cực bazơ (r_π) là bao nhiêu ? Nếu colecto được nối với một tải 5 kΩ, với một tín hiệu có điện áp định là 5 mV được đặt vào giữa cực bazơ và emitơ thì kết quả tín hiệu điện áp ra sẽ như thế nào ?

Đáp án : $g_m = 80 mA/V$; $r_e = 12.25\Omega$; $r_\pi = 625\Omega$; $\hat{V}_o = -2V$

5.44 Bảng sau tổng hợp một số các tham số cơ bản của một số BJT khác nhau, làm việc như bộ khuếch đại dưới các điều kiện khác nhau. Hãy tính toán và điền giá trị các thông số còn thiếu vào trong bảng.

Transistor	a	b	c	d	e	f	g
α	1.000					0.90	
β		100		∞			

I_C (mA)	1.00		1.00				
I_E (mA)		1.00				5	
I_B (mA)			0.020				1.10
g_m (mA/V)							700
r_e (Ω)				25	100		
r_π (Ω)					10.1k Ω		

Phần 5.7: Các mạch khuếch đại BJT đơn tầng

5.45 Xem lại mạch khuếch đại ở ví dụ 5.19.

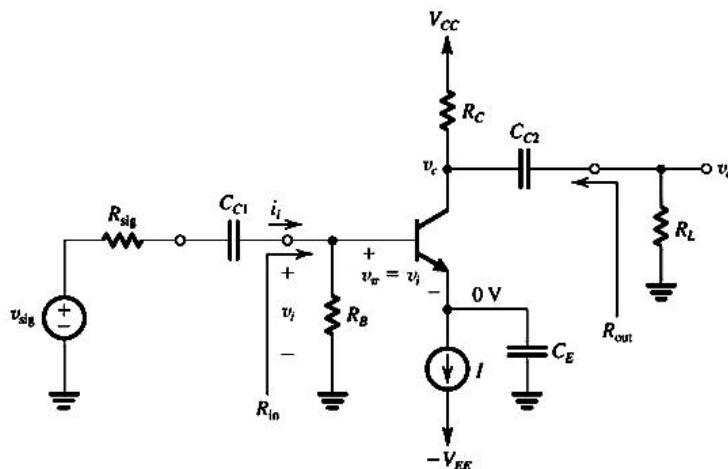
- Nếu R_{sig} tăng lên gấp đôi, tìm các giá trị R_{in}, G_v và R_{out} .
- Lắp lại với R_L tăng lên gấp đôi (nhưng R_{sig} không thay đổi và vẫn là 100 k Ω).
- Làm lại cho trường hợp giá trị của cả R_{sig} và R_L đều tăng giá gấp đôi.

Đáp án: a) 400 k Ω , 5.83 V/V, 4.03 k Ω ;

b) 538 k Ω , 7.87 V/V, 2.86 k Ω ;

c) 538 k Ω , 6.8 V/V, 4.03 k Ω .

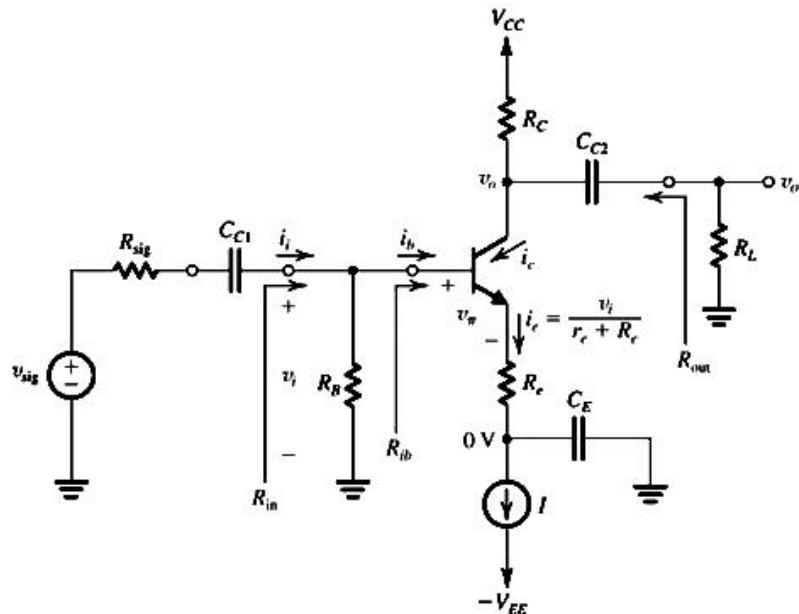
5.46 Cho mạch khuếch đại CE (hình E5.46) với các thông số: $V_{CC} = V_{EE} = 10V$; $I = 1mA$; $R_B = 100k\Omega$; $R_C = 8k\Omega$ và $\beta = 100$. Tính R_{in} (khi không có và khi có R_B), A_{vo} (khi có và không có r_o), R_{out} (khi có và không có r_o) và A_{is} (khi không có và có R_B). Cho $R_L = 5k\Omega$, tìm A_v . Nếu $R_{sig} = 5k\Omega$, tìm hệ số khuếch đại điện áp tổng thể G_v . Nếu sóng sin v_π bị giới hạn đỉnh là 5 mV, biên độ đỉnh tối đa cho phép của v_{sig} và biên độ đỉnh tương ứng của v_o sẽ là bao nhiêu?



Hình E5.46

Đáp án: 2.5 k Ω , 2.4 k Ω ; -320 V/V, -296 V/V; 8 k Ω , 7.4 k Ω ; -100 A/A, -98 A/A; -119 V/V; -39 V/V; 15 mV; 0.6 V.

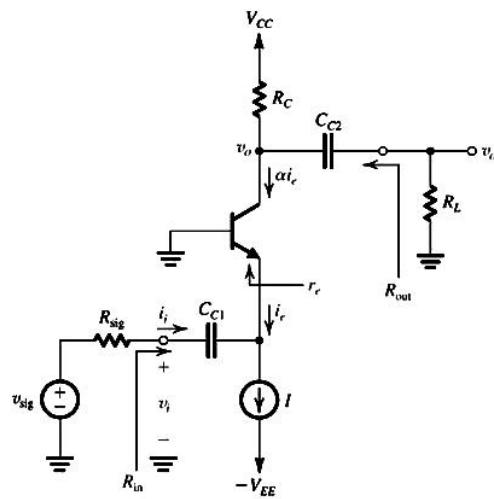
5.47 Cho mạch khuếch đại CE có thêm điện trở R_E (hình E5.47) với các thông số: $V_{CC} = V_{EE} = 10V$; $I = 1mA$; $R_B = 100k\Omega$; $R_C = 8k\Omega$ và $\beta = 100$. Bộ khuếch đại được cấp một nguồn có $R_{sig} = 5k\Omega$ và cho $R_L = 5k\Omega$. Tìm giá trị của R_e khi mà R_{in} bằng bốn lần điện trở nguồn R_{sig} . Với giá trị này của R_e , tìm $A_{vo}, R_{out}, A_v, G_v$ và A_{is} . Nếu v_π bị giới hạn tới 5 mV, thì giá trị lớn nhất có thể của v_{sig} khi có và không có R_e là bao nhiêu? Tìm v_o tương ứng.



Hình E5.47

Đáp án: 225Ω ; -32 V/V ; $8 \text{ k}\Omega$; -12.3 V/V ; -9.8 V/V ; -79.2 A/A ; 62.5 mV ; 15 mV ; 0.6V .

5.48 Cho mạch khuếch đại CB (hình E5.48) với các thông số: $V_{CC} = V_{EE} = 10V$; $I = 1mA$; $R_B = 100k\Omega$; $R_C = 8k\Omega$ và $\beta = 100$. Cho $R_{sig} = R_L = 5k\Omega$. Tìm các giá trị $R_{in}, A_{vo}, R_o, A_v, v_i/v_s$ và G_v . Giá trị R_{sig} cần phải giảm xuống là bao nhiêu để có được hệ số khuếch đại điện áp tổng thể là -39 V/V ?



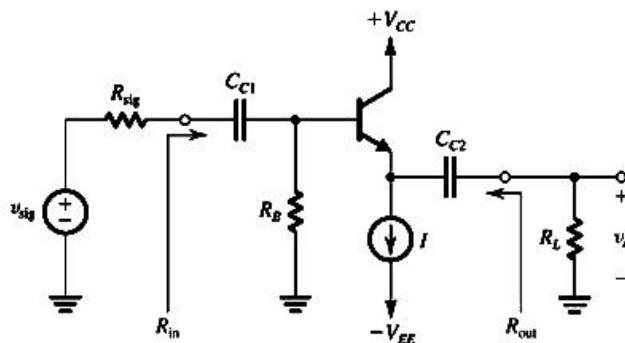
Hình E5.48

Đáp án: 25Ω ; $+320 \text{ V/V}$; $8 \text{ k}\Omega$; $+123 \text{ V/V}$; 0.005 V/V ; 0.6 V/V ; 54Ω

5.49 Cần phải thiết kế một mạch khuếch đại CB để cung cấp tín hiệu tới một cáp đồng trục 50Ω . Mạch khuếch đại cung cấp một tín hiệu “đầu cuối thích hợp” cho cáp và có một hệ số khuếch đại điện áp tổng thể là $+100 \text{ V/V}$. Tính giá trị của dòng phân cực I_E và tổng trở trong mạch collecto.

Đáp án: 0.5 mA ; $10 \text{ k}\Omega$

5.50 Mạch lặp emitơ (mạch khuếch đại CC) trong hình E5.50 được nối với một nguồn có $R_{sig} = 10k\Omega$ và tới một tải $R_L = 1k\Omega$. Transistor được phân cực với dòng $I = 5mA$, dùng một điện trở $R_B = 40k\Omega$ và có $\beta = 100$ và $V_A = 100V$. Tìm $R_{ib}, R_{in}, G_v, G_{vo}$ và R_{out} . Biên độ đỉnh lớn nhất của một tín hiệu hình sin đầu ra có thể là bao nhiêu khi mà transistor không bị khóa? Nếu giới hạn méo phi tuyến của tín hiệu điện áp bazơ – emitơ là 10 mV đỉnh, biên độ tương ứng ở đầu ra sẽ là bao nhiêu? Hệ số khuếch đại điện áp tổng thể là bao nhiêu nếu R_L thay đổi thành $2 \text{ k}\Omega$? 500Ω ?



Hình E5.50

Đáp án: $96.7 \text{ k}\Omega$; $28.3 \text{ k}\Omega$; 0.735 V/V ; 0.8 V/V ; 84Ω ; $5V$; 1.9 V ; 0.768 V/V ; 0.685 V/V .

CHƯƠNG 6

CÁC MẠCH TẠO VÀ BIẾN ĐỔI DẠNG XUNG (Signal Generators and Waveform-Shaping Circuits)

- 6.1 Khái niệm chung
- 6.2 Chế độ khóa của các dụng cụ bán dẫn
- 6.3 Các mạch trigơ
- 6.4 Các mạch đa hài tự kích
- 6.5 Các mạch đa hài đợi
- 6.6 Mạch tạo xung vuông dùng IC555
- 6.7 Các mạch tạo xung răng cưa
- 6.8 Các mạch sửa xung

Bài tập

6.1 Khái niệm chung

“Kỹ thuật xung - số” là thuật ngữ bao gồm một lĩnh vực khá rộng và quan trọng của ngành kỹ thuật điện tử - tin học. Ngày nay trong bước phát triển nhảy vọt của kỹ thuật tự động hóa, nó mang ý nghĩa là khâu then chốt và là công cụ không thể thiếu để giải quyết các nhiệm vụ kỹ thuật cụ thể hướng tới mục đích làm giảm chi phí về năng lượng và thời gian cho một quá trình công nghệ hay kỹ thuật, nâng cao tính hiệu quả của chúng. Trong chương này, do thời gian có hạn nên chúng ta chỉ đề cập đến một số vấn đề có tính chất cơ bản về kỹ thuật xung cũng như một số mạch tạo và biến đổi dạng xung.

Ngày nay có rất nhiều các thiết bị làm việc trong một chế độ đặc biệt, đó là chế độ xung. Khác với các thiết bị điện tử làm việc trong chế độ liên tục, trong chế độ xung, dòng điện hay điện áp tác dụng lên mạch một cách rời rạc theo một quy luật nào đó. Ở những thời điểm đóng hoặc ngắt điện áp, trong mạch sẽ phát sinh quá trình quá độ, phá huỷ chế độ làm việc tĩnh của mạch. Vì vậy việc nghiên cứu các quá trình xảy ra trong các thiết bị xung có liên quan mật thiết đến việc nghiên cứu quá trình quá độ trong các mạch đó. Các thiết bị xung được ứng dụng rất rộng rãi trong nhiều lĩnh vực khoa học kỹ thuật hiện đại như: thông tin, điều khiển, radar, vô tuyến truyền hình, máy tính điện tử, điện tử ứng dụng....

Tùy theo từng nhiệm vụ mà trong các thiết bị có sử dụng nhiều loại sơ đồ xung khác nhau. Chúng khác nhau về nguyên tắc cấu tạo, nguyên lý làm việc cũng như về tham số. Tổ hợp tất cả các phương pháp và thiết bị để tạo và biến đổi dạng xung, để biểu thị và chọn xung gọi là “**KỸ THUẬT XUNG**”.

Trước khi đi vào nghiên cứu các quá trình xung, ta cần hiểu thế nào là tín hiệu xung và các tham số đặc trưng của nó.

6.1.1 Tín hiệu xung và các dạng của tín hiệu xung

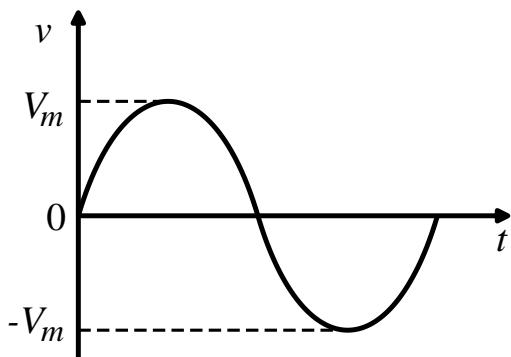
6.1.1.1. Tín hiệu xung

Các tín hiệu điện có giá trị thay đổi theo thời gian được chia ra làm hai loại cơ bản là tín hiệu liên tục và tín hiệu gián đoạn. Tín hiệu liên tục còn được gọi là tín hiệu tương tự, tín hiệu gián đoạn còn được gọi là tín hiệu xung hay số.

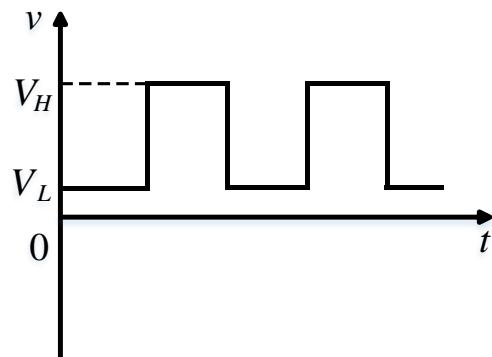
Nói cách khác: *Xung điện* là những điện áp hay dòng điện tồn tại trong một khoảng thời gian ngắn có thể so sánh được với thời gian quá độ trong mạch điện mà chúng tác dụng.

6.1.1.2. Các dạng tín hiệu xung

Tín hiệu xung hình sin được xem như là một tín hiệu tiêu biểu cho loại tín hiệu liên tục. Với tín hiệu hình sin, có đường biểu diễn như hình 6.1, ta có thể tính được giá trị của nó ở từng thời điểm.



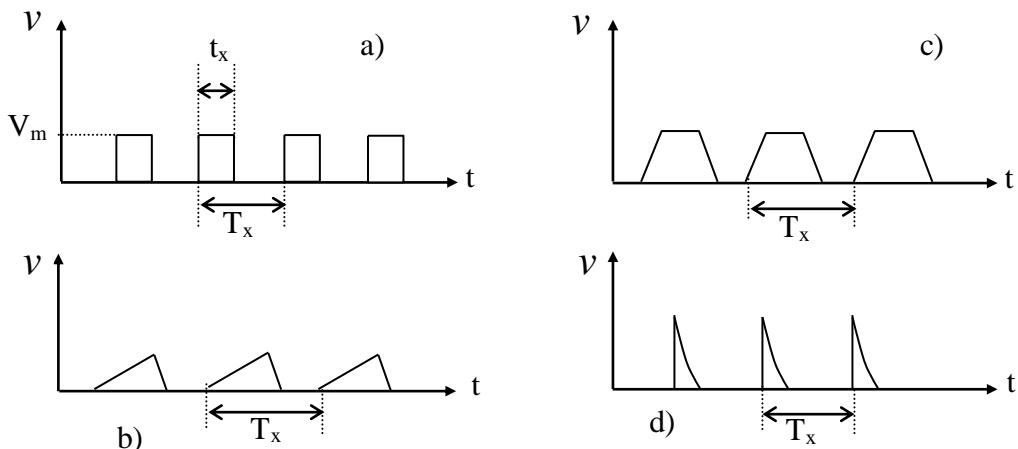
Hình 6.1 Tín hiệu hình sin



Hình 6.2 Tín hiệu hình vuông

Ngược lại tín hiệu xung hình vuông được xem là một tín hiệu tiêu biểu cho loại tín hiệu gián đoạn. Với tín hiệu hình vuông, có đường biểu diễn như hình 6.2, thì nó có 2 giá trị là mức cao (V_H) và mức thấp (V_L), thời gian để chuyển từ mức thấp lên mức cao hay từ mức cao xuống mức thấp rất ngắn và được xem như tức thời.

Trên thực tế thì tín hiệu xung không chỉ có loại hình vuông, mà còn có các dạng khác như xung tam giác, xung răng cưa, xung nhọn, xung hình thang... Trong nhiều trường hợp xung tam giác có thể gọi là xung răng cưa và ngược lại.



Hình 6.3 Một số dạng xung thường gặp

a - xung vuông; b - xung tam giác; c - xung hình thang ; d - xung kim

Các dạng xung cơ bản như trong hình 6.3 rất khác nhau về dạng sóng, nhưng có một điểm chung đó là thời gian tồn tại xung rất ngắn hay sự biến thiên giá trị từ thấp lên cao (như xung nhọn) hay từ cao xuống thấp (xung tam giác) xảy ra rất nhanh.

6.1.2. Các tham số của tín hiệu xung

Thông thường hay gặp là những dãy xung có chu kỳ lặp lại T_x , khi đó dãy xung được đặc trưng bằng các tham số như: Tần số lặp lại f_x , độ rộng Q_x và hệ số đầy η .

+ Độ rộng của một dãy xung là tỷ số giữa chu kỳ lặp lại T_x với độ rộng của xung t_x

$$Q_x = \frac{T_x}{t_x} \quad (6.1)$$

+ Trị số nghịch đảo của Q_x là hệ số đầy của xung

$$\eta = \frac{t_x}{T_x} \quad (6.2)$$

Thông thường phạm vi biến đổi của Q_x khá lớn từ một vài cho đến hàng trăm, thậm chí hàng nghìn đơn vị.

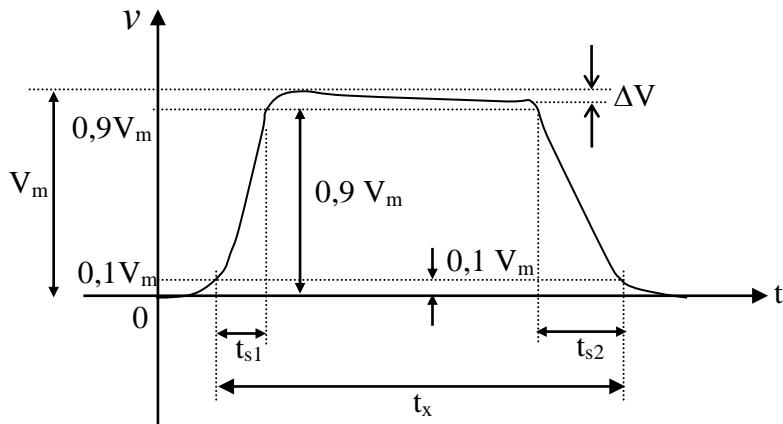
+ Tần số lặp lại của dãy xung được đo bằng Hz tức là số xung trong một giây và liên hệ với độ rộng theo biểu thức :

$$f_x = \frac{1}{T_x} = \frac{1}{Q_x t_x} \quad (6.3)$$

Dạng xung là quy luật biến đổi của trị số điện áp (dòng điện) xung theo thời gian, cũng là một tham số cơ bản của tín hiệu xung. Tùy theo mục đích công tác mà người ta sử dụng các dãy xung có hình dạng khác nhau.

Qua các ví dụ trên ta thấy thông thường thời gian tồn tại của xung t_x rất nhỏ so với chu kỳ lặp lại T_x và có những thời điểm xung biến đổi đột ngột. Tuy vậy trong thực tế còn gặp những dãy xung mà thời gian tồn tại t_x bằng một nửa hoặc lớn hơn một nửa chu kỳ lặp lại. Những dãy xung như vậy được gọi là dãy xung rộng. Tuy nhiên khái niệm này hoàn toàn không phải là tuyệt đối, ví dụ: trong điều khiển tự động thường dùng xung có độ rộng đến hàng giây, trong thông tin liên lạc dùng xung có độ rộng vài chục μs đến vài ms còn trong vật lý lại dùng xung cỡ ns hoặc xung có độ rộng hẹp hơn.

Để đặc trưng cho dạng của tín hiệu xung, người ta thường dùng một số các tham số cơ bản sau (hình 6.4).



Hình 6.4

- Độ rộng xung t_x : là khoảng thời gian tồn tại của xung.
- Biên độ xung V_m (I_m): là giá trị cực đại của xung.
- Độ rộng sườn trước t_{s1} : là khoảng thời gian tăng của giá trị xung từ $0,1V_m$ tới $0,9V_m$.
- Độ rộng sườn sau t_{s2} : là khoảng thời gian giảm của giá trị xung từ $0,9V_m$ tới $0,1V_m$.

Đôi khi để thay cho tham số về độ rộng sườn xung người ta còn sử dụng tham số "độ dốc sườn xung" tức là tốc độ tăng hoặc giảm của xung (độ dốc sườn trước t_{s1} , độ dốc sườn sau t_{s2})

$$t_{s1} = \frac{V_m}{\Delta V} ; \quad t_{s2} = \frac{V_m}{\Delta V} \quad (6.4)$$

- Độ sụt đỉnh xung ΔV : là độ giảm giá trị xung ở phần đỉnh xung. Trong thực tế thường dùng độ sụt đỉnh tương đối để dễ dàng so sánh mức sụt đỉnh của xung với biên độ của nó:

$$\delta V = \frac{\Delta V}{V_m} \quad (6.5)$$

Trong thực tế rất khó xác định các điểm bắt đầu và kết thúc sườn xung cũng như đỉnh xung. Bởi vậy người ta thường đo độ rộng sườn xung theo quy ước là khoảng thời gian để xung tăng từ $0,1V_m$ đến $0,9V_m$ hoặc ngược lại. Khi đó độ rộng xung được đo bằng khoảng thời gian xung lớn hơn $0,1V_m$. Có thể lấy mức βV_m tùy ý, nhưng thông thường người ta lấy $\beta = 0,1; 0,01; 0,05$. Trong thực tế người ta còn sử dụng thông số độ rộng hiệu dụng của xung t_x , tức là độ rộng của xung ở mức giá trị xung bằng $0,5V_m$.

Trong kỹ thuật xung - số, người ta thường sử dụng phương pháp số đối với dạng tín hiệu xung với quy ước chỉ có hai trạng thái phân biệt :

- Trạng thái có xung (khoảng t_x) với giá trị xung lớn hơn một mức ngưỡng V_H gọi là mức cao hay mức “1”, mức V_H thường được chọn cỡ bằng $1/2$ điện áp nguồn cung cấp.
- Trạng thái không có xung (khoảng t_{ng}) với giá trị nhỏ hơn một mức ngưỡng V_L gọi là mức thấp hay mức “0”, mức V_L được chọn tùy theo phần tử khoá (transistor, IC).
- Các mức điện áp ra trong dải $V_L < v_{out} < V_H$ là các trạng thái cảm.

6.2. Chế độ khóa của các dụng cụ bán dẫn

Trong các thiết bị xung, các dụng cụ điện tử và bán dẫn thường làm việc ở tất cả các chế độ, song chủ yếu nhất là làm việc trong chế độ đóng mở. Khi đó về thực chất, các đèn điện tử và dụng cụ bán dẫn đóng vai trò như một cái khóa điện tử nằm ở một trong hai trạng thái: khóa hở là đèn tắt và khóa đóng là đèn thông. Chế độ đóng mở này được đặc trưng bằng sự chuyển đổi của khoá một cách nhanh chóng từ trạng thái đèn tắt sang trạng thái đèn thông bao hoà, và ngược lại, dưới tác dụng của tín hiệu vào đặt lên các điện cực điều khiển. Khi đèn đã nằm ở một trong hai trạng thái trên thì mọi sự thay đổi nhỏ ở đầu vào đều không làm ảnh hưởng gì đến điện áp hoặc dòng điện ở đầu ra.

Một cách gần đúng, khi so với các sơ đồ thực tế, ta có thể coi các khóa lý tưởng có nội trở bằng vô cùng khi khóa hở và bằng không khi khóa đóng. Như vậy một khóa điện tử có thể được đặc trưng bằng các giá trị nội trở của khoá ở hai trạng thái. Ngoài ra khoá còn được đặc trưng bằng công suất yêu cầu đối với các tín hiệu điều khiển ở đầu vào và thời gian cần thiết để chuyển khoá từ trạng thái này sang trạng thái khác.

Về mặt năng lượng mà nói, các khóa điện tử dùng transistor yêu cầu công suất điều khiển nhỏ hơn so với đèn điện tử. Song nội trở của khóa transistor khi khóa mở lại nhỏ hơn nhiều so với đèn điện tử. Đó là điều cần hết sức lưu ý trong những sơ đồ thực tế.

Nhìn chung, trong các thiết bị xung, các đèn điện tử và bán dẫn làm việc trong chế độ mà điện áp điều khiển trên các điện cực thay đổi trong phạm vi lớn thường được gọi là chế độ tín hiệu lớn. Khi đó đặc tuyến vôn – ampe của đèn có độ cong rất lớn và tùy theo độ chính xác, có thể thay chúng bằng những đường cong toán học khác nhau. Song việc thay thế đặc tuyến vôn – ampe của đèn bằng những đường cong như vậy chỉ dùng được trong một phạm vi rất hẹp để giải những bài toán đặc biệt, không được áp dụng rộng rãi trong tính toán kỹ thuật.

Bởi vậy, trong thực tế thường thay thế các đường cong đó bằng những đường gãy và được gọi là phương pháp tuyến tính hóa từng đoạn. Khi đó, với những công cụ toán thông thường, việc giải các bài toán cụ thể trở nên dễ dàng, thuận lợi hơn.

6.2.1 Chế độ khóa của transistor

Transistor làm việc ở chế độ khóa hoạt động như một khóa điện tử đóng mở mạch với tốc độ nhanh ($10^{-9} - 10^{-6}$ s), nó có trạng thái làm việc hoặc ở khu vực cắt dòng hoặc ở khu vực bão hòa, chỉ trong khoảnh khắc của quá trình quá độ (chuyển từ bão hòa sang cắt dòng & ngược lại) transistor mới làm việc trong khu vực khuếch đại.

* Các yêu cầu cơ bản :

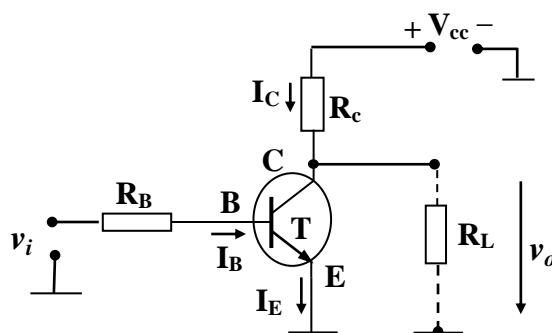
Yêu cầu cơ bản với một transistor ở chế độ khoá là điện áp đầu ra có hai trạng thái khác biệt :

$$v_o \geq V_H \text{ khi } v_i \leq V_L \text{ (transistor khóa)} \quad (6.6)$$

$$v_o \leq V_L \text{ khi } v_i \geq V_H \text{ (transistor mở)}$$

Chế độ khoá của transistor được xác định bởi chế độ điện áp hay dòng điện một chiều cung cấp từ ngoài qua một mạch phụ trợ (khoá thường đóng hay thường mở). Việc chuyển trạng thái của khóa thường được thực hiện nhờ một tín hiệu xung có cực tính thích hợp (biên độ đủ lớn) tác động tới đầu vào. Cũng có trường hợp khoá tự động chuyển đổi trạng thái một cách tuần hoàn nhờ mạch hồi tiếp dương nội bộ, khi đó không cần xung điều khiển.

Để đưa ra những đặc điểm chủ yếu của chế độ khoá, hãy xét mạch cụ thể (hình 6.5).



Hình 6.5 Mạch khoá (đảo) dùng transistor BJT

Sơ đồ thực hiện được điều kiện (6.6) khi lựa chọn các mức V_H , V_L cũng như các giá trị R_c và R_B thích hợp.

- Ban đầu (khi $v_i = 0$ hay $v_i \leq V_L$) transistor ở trạng thái cắt dòng, dòng điện ra $I_c = 0$, lúc không có tải R_L .

$$v_o \approx V_{CC}$$

- Khi có xung điều khiển cực tính dương đưa vào $v_i \geq V_H$, transistor chuyển sang trạng thái mở (bão hòa), điện áp ra khi đó phải thỏa mãn điều kiện $v_o \leq V_L$

$$v_o = V_{CEsat} \approx (0,2 \div 0,3)V$$

Đối với transistor Silic người ta thường chọn $V_L = 0,4V$. Điện trở R_c chọn thích hợp để thời gian quá độ đủ nhỏ và dòng I_c không quá lớn, chặng hạn $R_c = 5k\Omega$.

Một điểm cần lưu ý là khi sử dụng transistor làm phần tử khóa cần chú ý tới các tính chất động (quá độ) của mạch và yêu cầu cơ bản là cần nâng cao tính tác động nhanh của khóa.

Hoàn toàn tương tự có thể sử dụng các FET (transistor trường) làm phần tử khóa với nhiều ưu điểm về mức tiêu hao công suất tín hiệu nhỏ, tác động nhanh.

Ví dụ: Xác định R_B để khi $v_i = V_H = 1,5V$ thì $v_o \leq V_L = 0,4V$. Biết $I_{Csat} = V_{cc} / R_c = 1mA$ với $\beta = 100$ khi đó dòng bazơ $I_{Bsat} = 10 \mu A$. Để transistor bão hòa vững, chọn $I_B = 100 \mu A$ (tức là có dự trữ 10 lần), lúc đó lưu ý $V_{BE} = 0,6V$ ta có:

$$R_B = \frac{(1,5 - 0,6)V}{100 \mu A} = 9k\Omega.$$

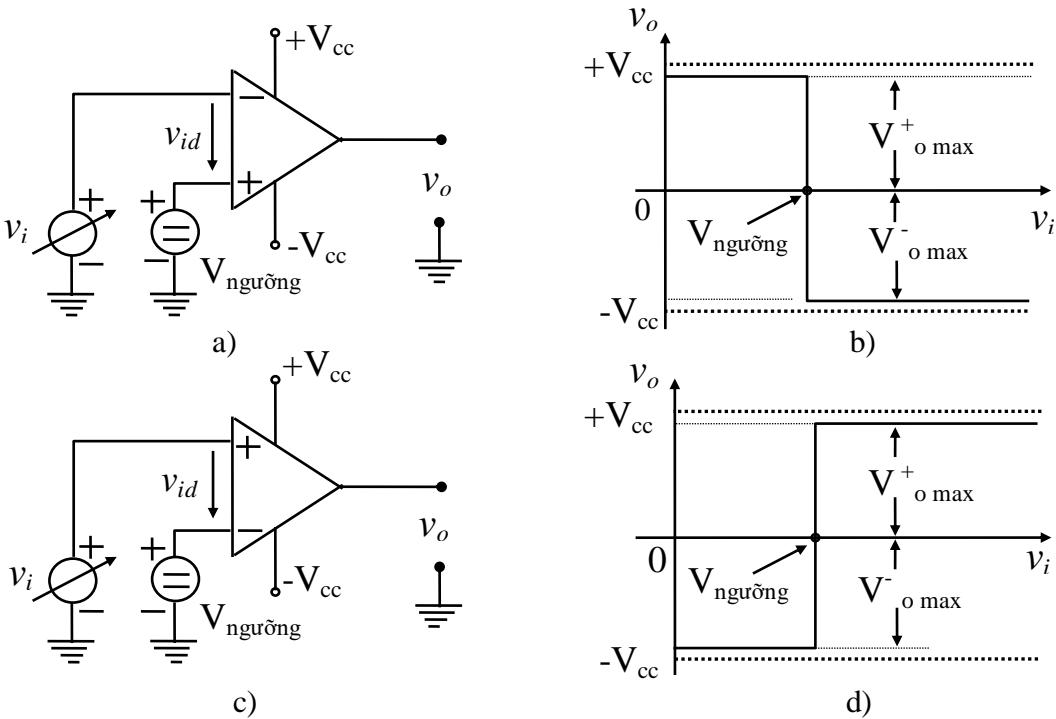
6.2.2 Chế độ khóa của khuếch đại thuật toán

Khi làm việc ở chế độ xung, IC KĐTT hoạt động như một khóa điện tử đóng, mở mạch với tốc độ nhanh, điểm làm việc luôn nằm trong vùng bão hòa của đặc tuyến truyền đạt $v_o = f(v_i)$. Khi đó điện áp ra chỉ nằm ở một trong hai mức bão hòa V^+_{omax} và V^-_{omax} ứng với các giá trị v_i đủ lớn. Để minh họa nguyên lý hoạt động của một IC khoá ta xét một ví dụ điển hình là mạch so sánh (comparator).

6.2.2.1. Mạch so sánh một ngưỡng

Mạch so sánh (hình 6.6) thực hiện quá trình so sánh giá trị của điện áp đưa vào (v_i) với một điện áp chuẩn (V_{nguong}) có cực tính có thể là dương hay âm. Thông thường giá trị V_{nguong} được định trước cố định và mang ý nghĩa là một thông tin chuẩn (tương tự như quả cân trong phép cân trọng lượng kiểu so sánh), còn giá trị v_i là một lượng biến đổi theo thời gian cần được giám sát theo dõi, đánh giá, mang thông tin của quá trình động (thường biến đổi chậm theo thời gian) cần được điều khiển trong một dải hay ở một trạng thái mong muốn.

Khi hai mức điện áp này bằng nhau ($v_i = V_{nguong}$) tại đầu ra bộ so sánh sẽ có sự thay đổi cực tính của điện áp từ V^+_{omax} tới V^-_{omax} hoặc ngược lại. Trong trường hợp riêng, nếu chọn $V_{nguong} = 0$ thì thực chất mạch so sánh đánh dấu lúc đổi cực tính của v_i .



Hình 6.6 a),c) – Bộ so sánh dùng IC KĐTT với hai kiểu mắc khác nhau và
b),d) – Đặc tuyến truyền đạt tương ứng của chúng

Trong mạch hình (6.6a), v_i và $V_{nguồng}$ được đưa tới hai đầu vào đảo và không đảo tương ứng của IC KĐTT. Hiệu của chúng $v_{id} = v_i - V_{nguồng}$ là điện áp giữa hai đầu vào của IC sẽ xác định hàm truyền của nó:

$$\begin{aligned} \text{Khi } v_i < V_{nguồng} \text{ thì } v_{id} < 0 \text{ do đó } v_o = V_{o \max}^+ \\ \text{Khi } v_i \geq V_{nguồng} \text{ thì } v_{id} > 0 \text{ do đó } v_o = U_{o \max}^- \end{aligned} \quad (6.7)$$

tức là điện áp ra đổi cực tính khi v_i chuyển qua giá trị ngưỡng $V_{nguồng}$. Nếu v_i và $V_{nguồng}$ trong hình (6.6a) đổi vị trí cho nhau hay cùng đổi cực tính (khi vị trí giữ nguyên) thì đặc tính hình (6.6b) đảo ngược lại nghĩa là tương ứng với hình 6.6c và d.

* *Chú ý :* Trong những trường hợp giá trị của v_i và $V_{nguồng}$ lớn hơn giá trị điện áp đầu vào tối đa cho phép của IC KĐTT, cần mắc chúng qua bộ phân áp điện trở hoặc nối hai diode mắc song song ngược trước khi đưa tới các đầu vào của IC. Giống như khoá transistor, khi làm việc với các tín hiệu xung biến đổi nhanh cần lưu ý tới tính chất quán tính (trễ) của IC KĐTT. Với các IC KĐTT tiêu chuẩn hiện nay, thời gian tăng của điện áp ra khoảng $V/\mu s$, do đó việc dùng chúng trong các mạch so sánh (comparator) có nhiều hạn chế khi đòi hỏi độ chính xác cao. Trong điều kiện tốt hơn, việc sử dụng các IC chuyên dụng được chế tạo sẵn sẽ có tốc độ chuyển biến nhanh hơn nhiều cấp (cỡ V/ns ví dụ loại $\mu A710$, $A110$, $LM310-339$ hay $NE521...$). Hoặc dùng các biện pháp kỹ thuật mạch để giảm khoảng cách giữa hai mức $V_{o \max}^\pm$.

Ví dụ 6.1: Cho mạch điện như hình Ex 6.1:

IC KĐTT là lý tưởng; $\pm V_{cc} = \pm 15V$,

$\pm V_{omax} = \pm 12V$; $V_1 = -8V$

$R_1 = 15k\Omega$; $R_2 = 5k\Omega$.

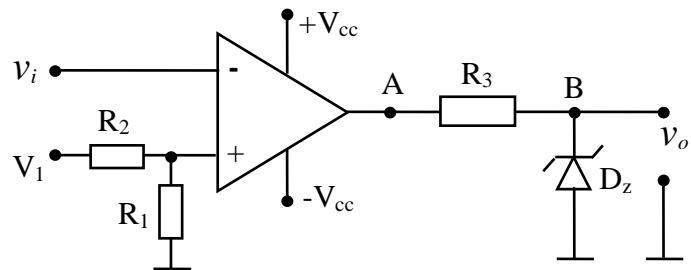
a) Vẽ và phân tích dạng đặc tuyến truyền đạt $v_A(v_i)$.

b) Cho $v_i = 10\sin(100\pi t - 30^\circ)$ (V)

$I_{Dz} = 10mA$, $V_{Dz} = 3.5V$.

- Vẽ và giải thích các điện áp $v_i(t)$; $v_A(t)$; $v_o(t)$

- Tính giá trị điện trở R_3 .



Hình Ex 6.1

Lời giải :

a) Vẽ và phân tích dạng đặc tuyến truyền đạt $v_A(v_i)$.

Đây là mạch so sánh một ngưỡng dạng đảo có

$$V_{ngưỡng} = V_1 \cdot R_1 / (R_1 + R_2) = -8 \cdot 15 / 20 = -6(V)$$

và một mạch hạn chế biên độ dùng đòn ồn áp.

Đặc tuyến truyền đạt của mạch so sánh có dạng như hình bên.

Khi $v_i < V_{ngưỡng}$ thì $v_A = +V_{omax} = +12V$

Khi $v_i > V_{ngưỡng}$ thì $v_A = -V_{omax} = -12V$

Mạch lật trạng thái tại giá trị $v_i = V_{ngưỡng} = -6V$

b) Vẽ và giải thích các điện áp $v_i(t)$; $v_A(t)$; $v_o(t)$.

$$v_i(t) = 10\sin(100\pi t - 30^\circ)$$
 (V)

* Điện áp vào là điện áp hình sin có :

+ Biên độ $\pm V_{im} = \pm 10V$

+ Tần số $f = 50Hz$

+ Góc pha ban đầu $\varphi_0 = -30^\circ$

$$v_i(t=0) = 10\sin(-30^\circ) = -5(V)$$

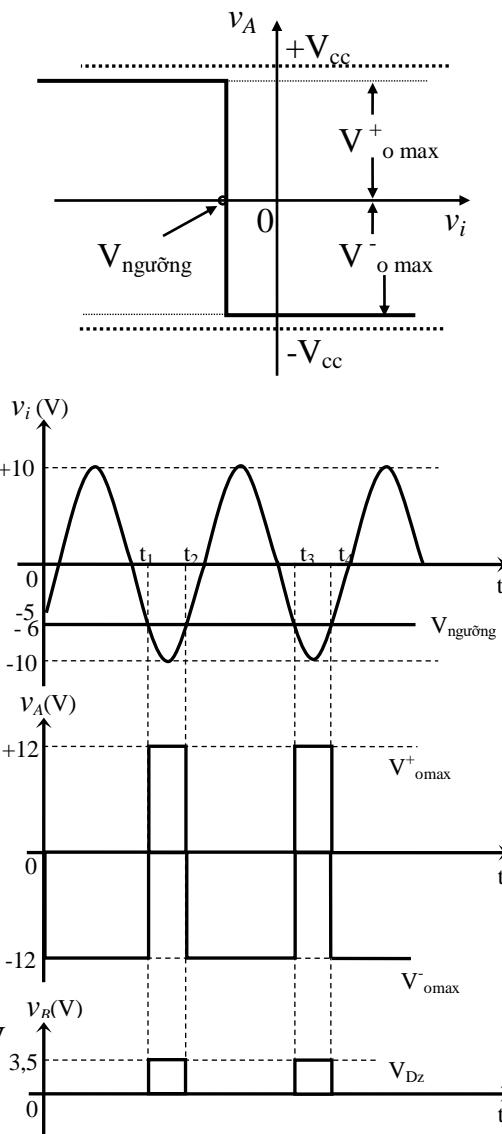
* Vẽ và giải thích điện áp ra tại A, B theo v_i

Khi $t = 0 \div t_1$: $v_i > V_{ngưỡng}$ nên $v_A = -V_{omax} = -12V$

Khi $t = t_1 \div t_2$: $v_i < V_{ngưỡng}$ nên $v_A = +V_{omax} = +12V$

Khi $t = t_2 \div t_3$: $v_i > V_{ngưỡng}$ nên $v_A = -V_{omax} = -12V$

Khi $t = t_3 \div t_4$: $v_i < V_{ngưỡng}$ nên $v_A = +V_{omax} = +12V$



Giải thích tương tự cho các chu kỳ tiếp theo và ta có đồ thị điện áp tại điểm A như hình trên.

* Điện áp tại điểm B :

Khi $u_A = +12V$ thì diốt Zener làm việc ở chế độ ổn áp nên khi đó $u_{ra} = u_B = U_{DZ} = 3,5V$

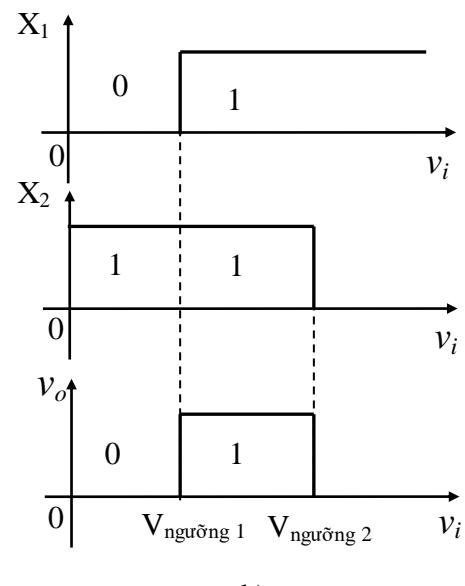
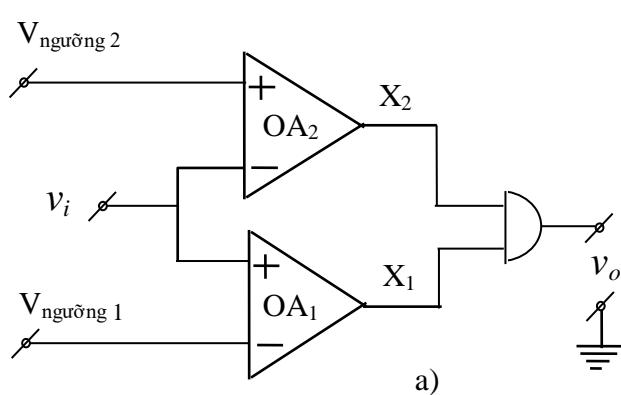
Khi $u_A = -12V$ thì diốt Zener làm việc giống như một diốt bình thường. Nếu coi diốt là lý tưởng thì khi đó $u_{ra} = u_B = 0V$

Ở đây mạch đầu ra là một mạch hạn chế biên độ, diốt ổn áp có tác dụng ngăn phần xung âm và chỉ giữ lại phần xung dương ở đầu ra của mạch.

$$* \text{Tính } R_3 : \quad R_3 = \frac{U_A - U_{Dz}}{I_{Dz}} = \frac{12 - 3,5}{10 \cdot 10^{-3}} = 0,85k\Omega$$

6.2.2.2. Mạch so sánh hai ngưỡng

Để xác định xem điện áp vào có nằm trong một giới hạn giá trị cho trước hay không, người ta sử dụng mạch so sánh hai ngưỡng hình 6.7a. Thực chất mạch này là sự kết hợp các mạch hình 6.6a và 6.6c trong cùng một sơ đồ. Để phối hợp các đầu ra của OA₁ và OA₂, ở đây dùng một công logic phụ G (công “AND” hay còn gọi là công “VÀ”). Tại lối ra của G, $v_o = Y = 1$ (tương ứng với mức điện áp cao) chỉ khi tại các đầu ra của OA₁ và OA₂ có $X_1 = X_2 = 1$. Các trường hợp còn lại với mọi giá trị X_1 và X_2 (tức là khi $X_1 \cdot X_2 = 0$), $v_o = Y = 0$ (tương ứng với mức điện áp thấp).



Hình 6.7 Mạch nguyên lý so sánh hai ngưỡng (a) và đặc tính truyền đạt (b)

Kết hợp các tính chất của mạch hình 6.6a và c với tính chất của công G ta nhận được đặc tính truyền đạt X_1, X_2 và $Y = v_o$ phụ thuộc v_i thể hiện trên hình 6.7b.

Từ hình 6.7b thấy rõ: $v_o = 1$ khi $V_{ngưỡng 1} < v_i < V_{ngưỡng 2}$

$$v_o = 0 \text{ khi } v_i < V_{ngưỡng 1} \text{ hoặc } v_i > V_{ngưỡng 2} \quad (6.8)$$

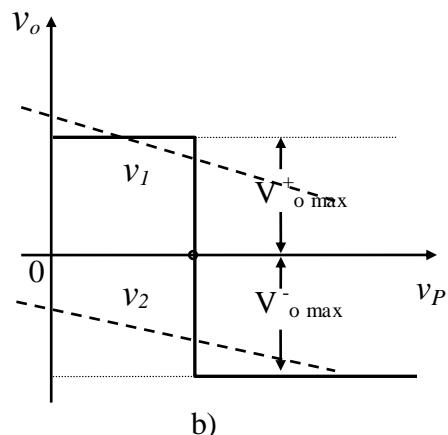
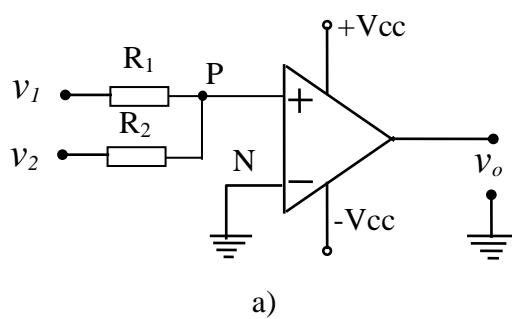
(lưu ý ở đây cần chọn $V_{ngưỡng 2} > V_{ngưỡng 1}$)

Bộ so sánh hai ngưỡng được ứng dụng đặc biệt thuận lợi khi cần theo dõi và không chế tự động một thông số nào đó của một quá trình trong một giới hạn cho phép đã được định sẵn (thể hiện ở hai giá trị điện áp ngưỡng) hoặc ngược lại không cho phép thông số này rơi vào một vùng giới hạn cấm đã chỉ ra nhờ hai ngưỡng điện áp tương ứng.

Hai trạng thái ngưng và dẫn của khóa dùng transistor và mạch so sánh hai ngưỡng của khuếch đại thuật toán OP-AMP được dùng để cho ra hai điện áp mức cao và mức thấp, tạo ra các tín hiệu xung điện.

6.2.2.3 Một số mạch so sánh cơ bản

a) Mạch so sánh lấy tổng



Hình 6.8 Bộ so sánh lấy tổng (a) và đặc tuyến truyền đạt của nó (b).

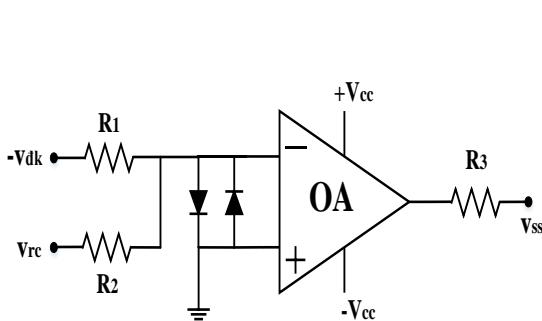
Có thể mở rộng chức năng của mạch so sánh nhờ mạch hình 6.8a với đặc tuyến truyền đạt cho trên hình 6.8b, gọi là bộ so sánh tổng.

Từ đặc tính hình 6.8b thấy rõ bộ so sánh tổng sẽ chuyển trạng thái ở đầu ra lúc tổng đại số của hai điện áp vào (đưa tới cùng một đầu vào) đạt tới giá trị ngưỡng (đưa tới đầu vào kia).

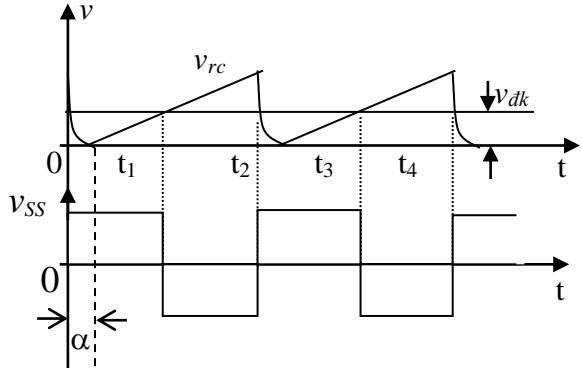
Nếu chọn $V_{\text{ngưỡng}} = 0$ thì mạch lật lúc có điều kiện $v_1 + v_2 = 0$. Các nhận xét khác đối với mạch hình 6.6a ở đây đều đúng cho bộ so sánh tổng khi đảo lại : đặt v_1 và v_2 tới đầu vào N và $V_{\text{ngưỡng}}$ tới đầu vào P.

Thực vậy ta xét cụ thể mạch so sánh lấy tổng như sau (hình 6.9). Trong sơ đồ này ta so sánh hai tín hiệu điện áp có cực tính khác nhau đó là v_{dk} và v_{rc} . Trong đó v_{dk} là tín hiệu điện áp một chiều có giá trị thay đổi được và có cực tính âm, còn v_{rc} là tín hiệu điện áp biến đổi đường thẳng (điện áp răng cưa).

Sơ đồ nguyên lý và giản đồ xung của mạch so sánh lấy tổng dùng khuếch đại thuât toán như hình sau:



Hình 6.9 a) Sơ đồ nguyên lý



b) Giản đồ điện áp

+ Nguyên lý làm việc:

Điện áp răng cưa có điện thế dương ($v_{rc} > 0$) được xem là điện áp tựa (điện áp chuẩn), điện áp điều khiển có điện thế âm ($v_{dk} < 0$), thời điểm điện áp ra của bộ so sánh lật trạng thái được xác định khi $|v_{dk}| = V_{rc}$ (quá trình so sánh được thực hiện ở sườn trước của xung răng cưa).

$$+ \text{ Khi } |v_{dk}| > V_{rc} \rightarrow v_{ss} \approx + V_{cc}$$

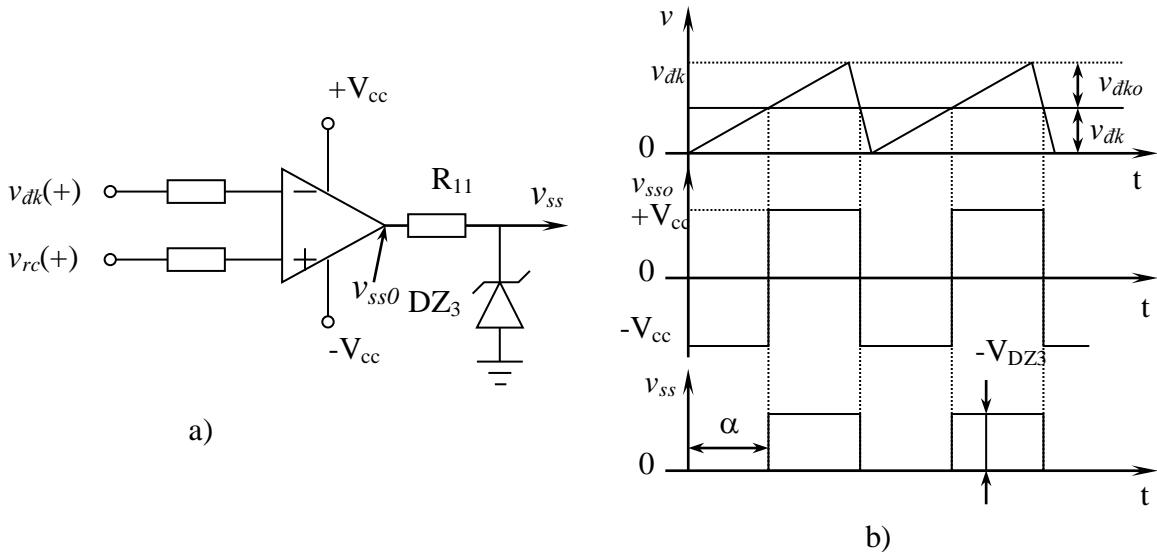
$$+ \text{ Khi } |v_{dk}| < V_{rc} \rightarrow v_{ss} \approx - V_{cc} \quad (6.9)$$

Như vậy ta có thể thay đổi thời điểm lật trạng thái của điện áp đầu ra bộ so sánh bằng cách cho v_{dk} thay đổi từ $0 \div V_{rc\max}$.

b) Mạch so sánh song song dùng khuếch đại thuât toán

Ta xét cụ thể mạch so sánh song song như hình 6.10. Trong sơ đồ này ta so sánh hai tín hiệu điện áp có cực tính dương đó là v_{dk} và v_{rc} . Trong đó v_{dk} là tín hiệu điện áp một chiều có giá trị thay đổi được, còn v_{rc} là tín hiệu điện áp biến đổi đường thẳng (điện áp răng cưa) có biên độ không đổi ($V_{rcm} = \text{const}$).

Sơ đồ nguyên lý và giản đồ xung của mạch so sánh song song dùng khuếch đại thuât toán như hình sau:



Hình 3.10 Sơ đồ nguyên lý mạch so sánh song song (a)
Giản đồ thời gian mô tả hoạt động của mạch so sánh song song(b)

Với sơ đồ này :

$$\begin{aligned} |v_{dk}| > v_{rc} \rightarrow v_{ss0} &\approx -V_{cc} \\ |v_{dk}| \leq v_{rc} \rightarrow v_{ss0} &\approx +V_{cc} \end{aligned} \quad (6.10)$$

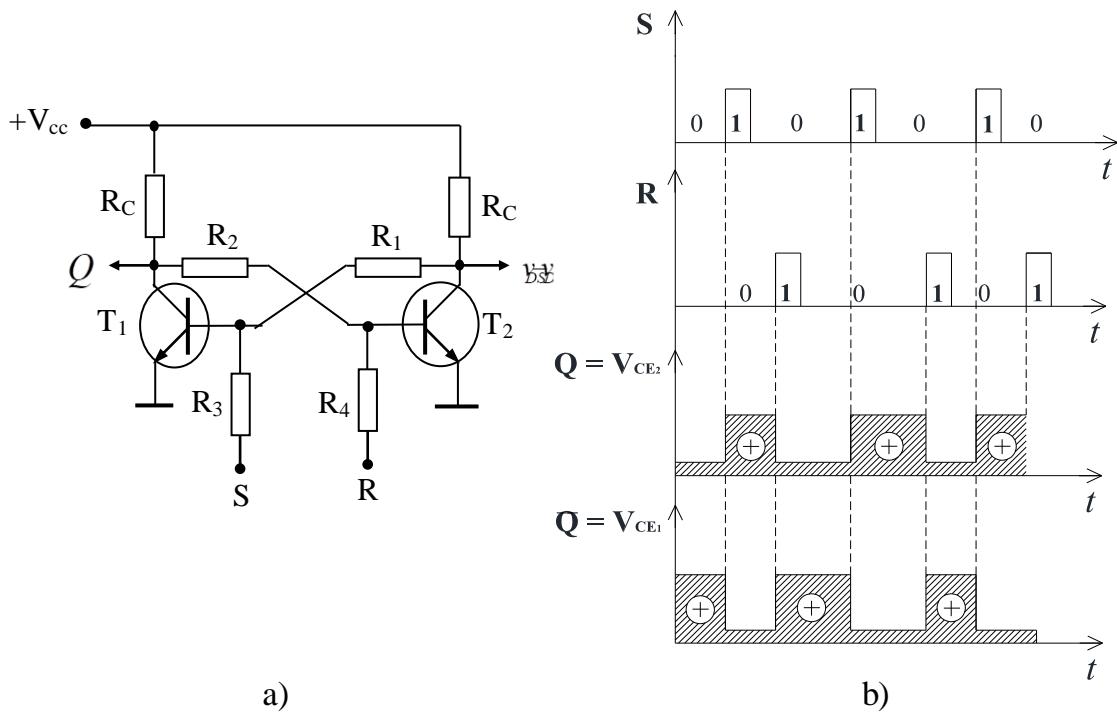
Trong quá trình làm việc v_{rc} được xem như điện áp tia. Còn điện áp v_{dk} là tín hiệu điện áp một chiều có giá trị thay đổi được. v_{ss0} là dãy xung vuông có cực tính thay đổi, nhờ R_{11} , DZ_3 mà điện áp v_{ss} chỉ còn là phần xung dương, biên độ bằng V_{DZ3} .

6.3 Các mạch trigor

Trigor (Flip - Flop) là phần tử cơ bản nhất để từ đó chế tạo ra các mạch dãy (mạch logic có nhớ). Mạch trigor thuộc loại mạch không đồng bộ có 2 trạng thái ổn định bền theo thời gian ở đầu ra ứng với hai mức logic “1” và “0”. Trạng thái của trigor có thể thay đổi khi tác động xung lên các đầu vào. Trạng thái tương lai của trigor không những phụ thuộc vào các biến vào mà còn phụ thuộc vào trạng thái hiện tại. Khi ngừng tác động xung lên các đầu vào, trạng thái trigor được giữ nguyên, với đặc điểm này các mạch trigor được dùng để lưu trữ thông tin (ghi, đọc) dưới dạng mã nhị phân.

6.3.1 Mạch trigor đối xứng (RS-trigor) dùng transistor

Hình 6.11 a) đưa ra dạng mạch nguyên lý của một trigor RS đối xứng và hình 6.11b là giản đồ thời gian mô tả hoạt động của mạch.



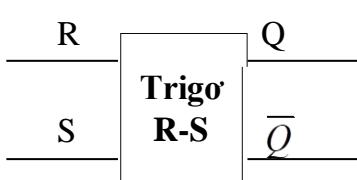
Hình 6.11 Sơ đồ nguyên lý (a) và giản đồ thời gian (b) của trigo đối xứng RS dùng transistor BJT.

* *Nguyên lý hoạt động:*

Mạch 6.11a chỉ có hai trạng thái ổn định bền là : T_1 mở T_2 khoá ứng với mức điện áp ra $Q=1, \bar{Q}=0$ hay T_1 khoá T_2 mở ứng với trạng thái ra $Q=0, \bar{Q}=1$.

Các trạng thái còn lại là không thể xảy ra (T_1 và T_2 cùng khoá) hay là không ổn định (T_1 và T_2 cùng mở). T_1 và T_2 không thể cùng khoá do nguồn $+V_{cc}$ khi đóng mạch sẽ đưa một điện áp dương nhất định tới các cực bazơ. T_1 và T_2 có thể cùng mở nhưng do tính chất đối xứng không lí tưởng của mạch, chỉ cần một sự chênh lệch vô cùng bé giữa dòng điện trên hai nhánh ($I_{B1} \neq I_{B2}$ hay $I_{C1} \neq I_{C2}$), thông qua các mạch hồi tiếp dương, độ chênh lệch này sẽ bị khoét sâu nhanh chóng tới mức sơ đồ chuyển về một trong hai trạng thái ổn định bền đã nêu (chẳng hạn thoát đầu $I_{B1} > I_{B2}$ từ đó $I_{C1} > I_{C2}$, các giảm áp âm trên colecto của T_1 và dương trên colecto của T_2 thông qua phân áp R_2R_4 hay R_1R_3 đưa về làm $I_{B1} \gg I_{B2} \dots$ dẫn tới T_1 mở T_2 khoá. Nếu ngược lại lúc đầu $I_{B1} < I_{B2}$ thì sẽ dẫn tới T_1 khoá T_2 mở).

Tuy nhiên, không nói chắc được mạch sẽ ở trạng thái nào trong hai trạng thái ổn định đã nêu. Để đầu ra đơn trị, trạng thái vào ứng với lúc $R = S = 1$ (cùng có xung dương) là bị cấm. Nói khác đi điều kiện cấm là $R.S = 1$).



Trạng thái của Trigor RS			
Đầu vào		Đầu ra	
R _n	S _n	Q _{n+1}	Q̄ _{n+1}
0	0	Q _n	Q̄ _n
0	1	1	0
1	0	0	1
1	1	x	x

Bảng 6.1 Bảng trạng thái của trigor RS

Trigor RS không đồng bộ là loại trigor cơ bản nhất để từ đó tạo ra các loại trigor khác gồm có hai đầu vào là R,S và hai đầu ra Q, \bar{Q} với Q là đầu ra chính thường được sử dụng và \bar{Q} là đầu ra phụ (luôn thoả mãn điều kiện $Q + \bar{Q} = 1$). Đầu vào R gọi là đầu vào xoá (Reset). Đầu vào S gọi là đầu vào thiết lập (Set).

Ý tưởng thiết kế trigor R-S không đồng bộ theo các điều kiện sau:

- + $R_n = S_n = 0$, trạng thái của trigor giữ nguyên $\rightarrow Q_{n+1} = Q_n$.
- + $R_n = 0; S_n = 1$ đầu ra trigor nhận giá trị "1" $\rightarrow Q_{n+1} = 1$.
- + $R_n = 1; S_n = 0$ đầu ra trigor nhận giá trị "0" $\rightarrow Q_{n+1} = 0$.
- + $R_n = 1; S_n = 1$ đây là trạng thái cấm, trạng thái trigor là không xác định, trong bảng trạng thái được đánh dấu bằng dấu "x".

Từ việc phân tích trên rút ra bảng trạng thái của trigor RS cho phép xác định trạng thái ở đầu ra của nó ứng với tất cả các khả năng có thể của các xung đầu vào trong bảng 6.1. Ở đây:

- n: Trạng thái hiện tại của đầu ra.
- n + 1: Trạng thái tương lai của đầu ra.
- "-": Giá trị tùy chọn - có thể lấy giá trị "1" hoặc "0".
- x: Trạng thái cấm tại đó giá trị của hàm ra là không xác định.

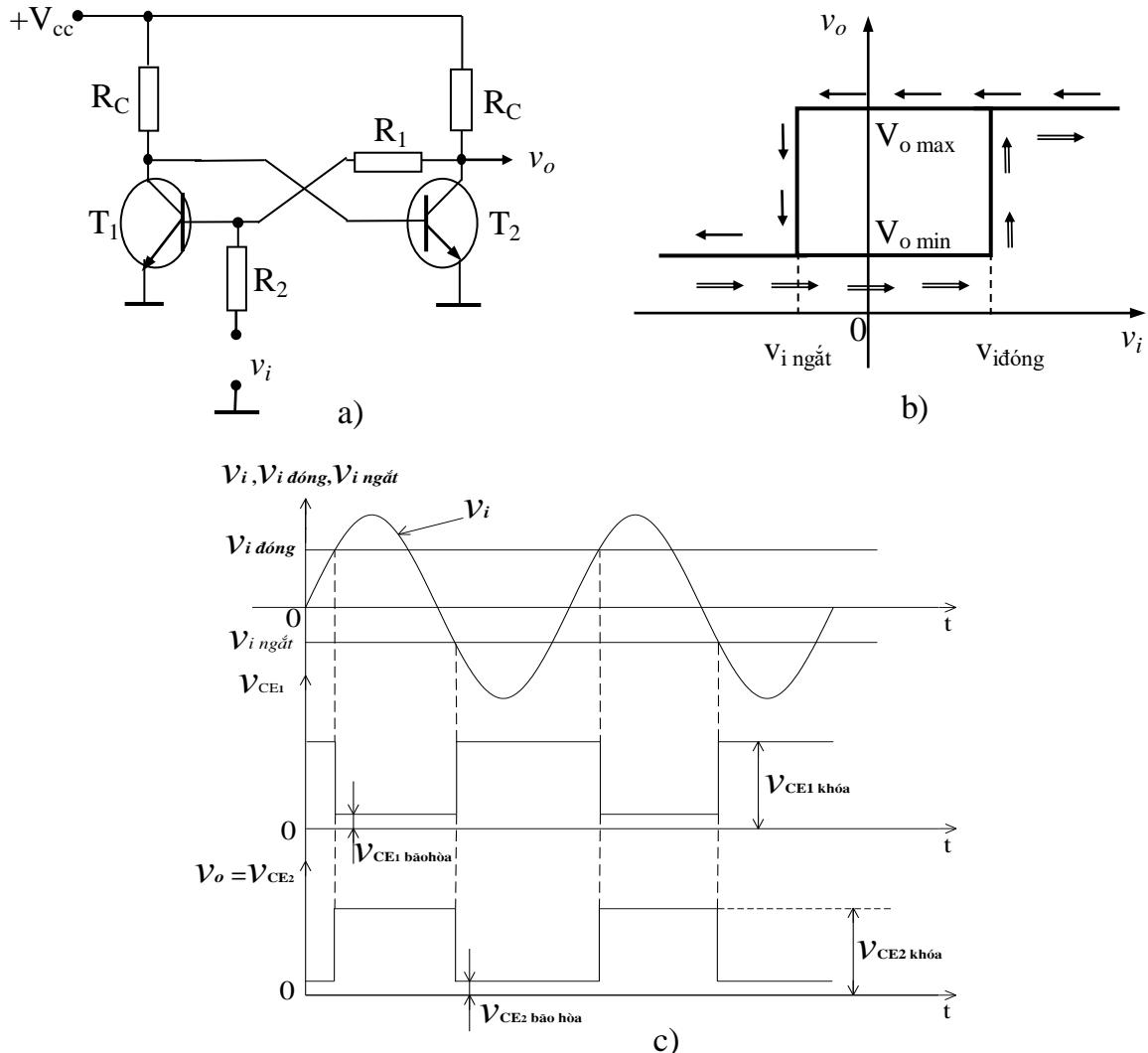
6.3.2 Mạch Trigor Smit

6.3.2.1 Trigor Smit dùng transistor

Sơ đồ trigor RS ở trên lật trạng thái khi đặt vào cực bazơ của transistor BJT đang khóa một xung dương có biên độ thích hợp để mở nó (chỉ xét với quy ước logic dương).

Có thể sử dụng chỉ một điện áp vào duy nhất với cực tính và hình dạng tùy ý (chỉ yêu cầu mức biên độ đủ lớn) để lật trạng thái của mạch trigor. Loại mạch này có tên là

trigơ Smit được cấu tạo từ các transistor hay IC tuyển tính (còn gọi là bộ so sánh có trẽ).



Hình 6.12 Mạch nguyên lý trigơ Smit dùng transistor BJT (a), đặc tuyến truyền đạt (b) và giản đồ thời gian của nó (c).

Qua đặc tuyến hình 6.12b thấy rõ :

Lúc tăng dần v_i từ một trị số âm lớn thì :

$$\text{khi } v_i < v_{i \text{ dòng}} : v_o = V_{o \text{ min}} \quad (6.11)$$

$$\text{khi } v_i \geq v_{i \text{ dòng}} : v_o = V_{o \text{ max}}$$

Lúc giảm dần v_i từ một trị số dương lớn thì :

$$\text{khi } v_i > v_{i \text{ ngắt}} : v_o = V_{o \text{ max}} \quad (6.12)$$

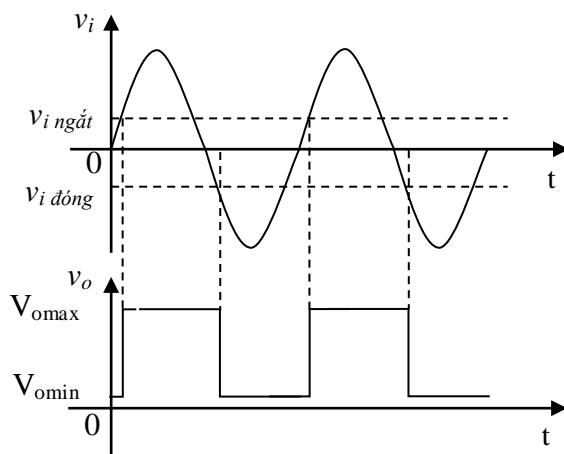
$$\text{khi } v_i \leq v_{i \text{ ngắt}} : v_o = V_{o \text{ min}}$$

Có thể giải thích hoạt động của mạch như sau:

Ban đầu T_1 khoá (do B_1 được đặt tới một điện áp âm lớn) T_2 mở (do R_c định dòng làm việc từ V_{cc}) lúc đó: $v_o = V_{CE2\ bão\ hoà} = V_{o\ min}$. Khi tăng v_i tới lúc $v_i \geq v_i\ dòng$ T_1 mở, qua mạch hồi tiếp dương ghép trực tiếp từ colecto T_1 về bazơ T_2 làm T_2 bị khoá do đột biến điện áp âm từ C_1 đưa tới, qua mạch R_1R_2 đột biến điện áp dương tại C_2 đưa tới bazơ T_1 ...quá trình dẫn tới T_1 mở bão hoà, T_2 khoá và $v_o = V_{o\ max}$. Phân tích tương tự, mạch sẽ lật trạng thái về T_1 khoá, T_2 mở lúc v_i giảm qua giá trị $v_i\ ngắt$.

Các giá trị $v_i\ dòng$ và $v_i\ ngắt$ do việc lựa chọn các giá trị R_c , R_1 , R_2 của sơ đồ 6.12a quyết định. Hiện tượng trên cho phép dùng trigo Smit giống như một bộ tạo xung vuông, nhờ hồi tiếp dương mà quá trình lật trạng thái xảy ra tức thời ngay cả khi v_i biến đổi từ từ.

Hình 6.13 mô tả một ví dụ biến đổi tín hiệu hình sin thành xung vuông nhờ trigo Smit. Giá trị hiệu số $v_i\ dòng - v_i\ ngắt$ gọi là độ trễ chuyển mạch và càng nhỏ (điều mong muốn), nếu hiệu $V_{o\ max} - V_{o\ min}$ càng nhỏ hay hệ số suy giảm tín hiệu do phân áp R_1, R_2 gây ra càng lớn tức là hệ số hồi tiếp dương càng giảm, (điều này làm xấu tính chất của dạng xung).

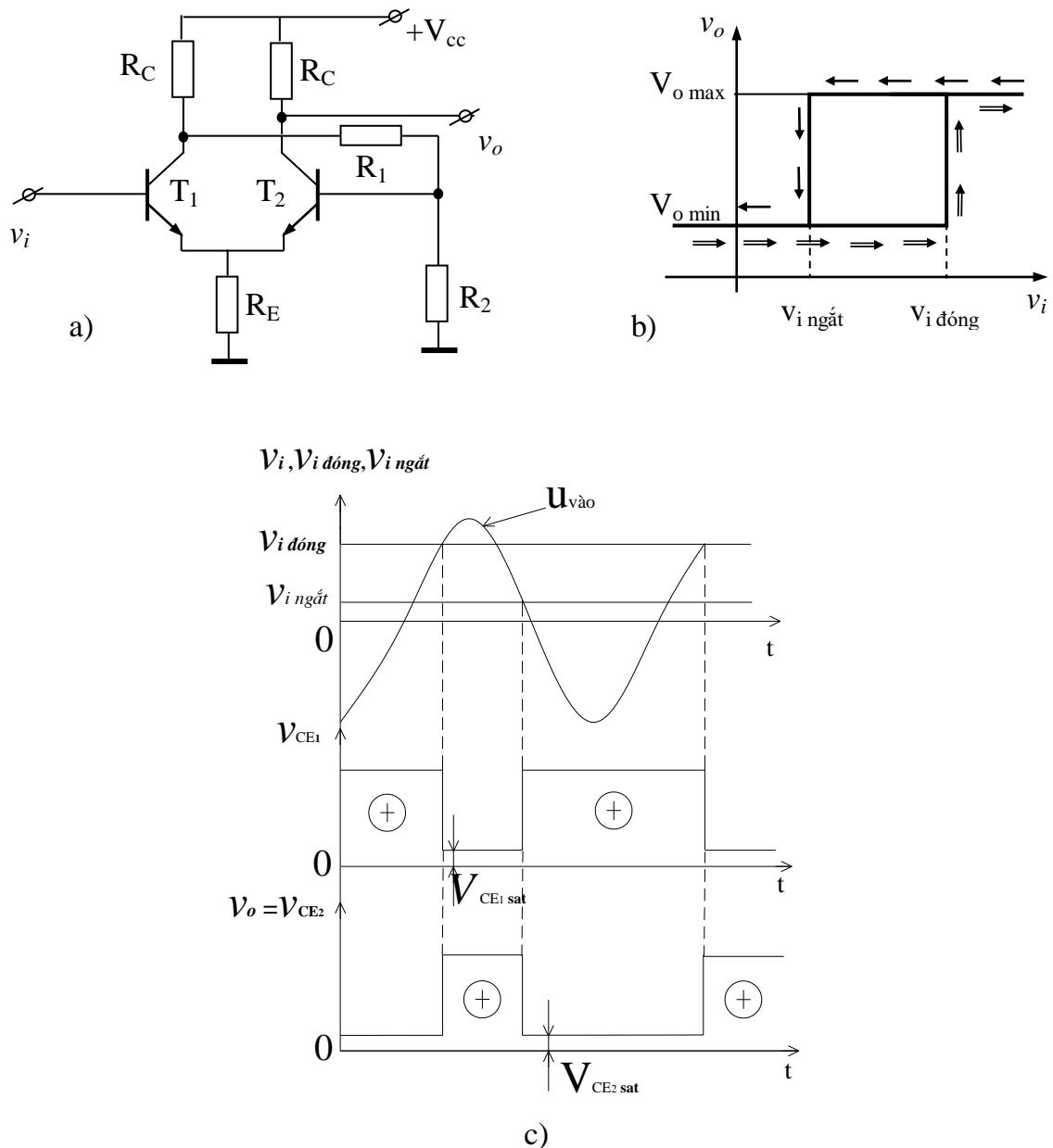


Hình 6.13 Giản đồ thời gian biến đổi tín hiệu hình sin thành xung vuông nhờ trigo Smit.

Như trên đã phân tích, mọi cố gắng làm giảm độ trễ chuyển mạch $\Delta V_{trễ} = V_{o\ max} - V_{o\ min}$ đều làm xấu đi tính chất hồi tiếp dương và có thể làm mất đi hai trạng thái ổn định đặc trưng của sơ đồ hình 6.12a. Để khắc phục nhược điểm này, người ta dùng trigo Smit ghép cực emitor như trên hình 6.14a.

Mạch hình 6.14a là một tầng khuếch đại vi sai có hồi tiếp dương qua R_1 , R_2 và hồi tiếp âm dòng điện qua R_E . Bằng cách lựa chọn tham số thích hợp, có thể đạt tới trạng thái khi mạch lật dòng I_c của một transistor (từ mở chuyển sang khoá) hoàn toàn truyền tới transistor kia, nói khác đi, không xảy ra trạng thái bão hòa ở các transistor

lúc mở và do đó nâng cao được mức V_{omin} ($V_{omin} \approx V_{CE\text{ sat}}$) làm tăng tần số chuyển mạch lên đáng kể (100MHz).



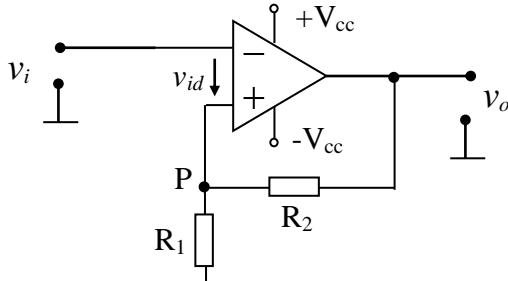
Hình 6.14 Mạch nguyên lý trigger Smit ghép emitơ (a), đặc tuyến truyền đạt (b) và giản đồ thời gian của nó (c).

6.3.2.2 Trigger Smit dùng IC KĐTT

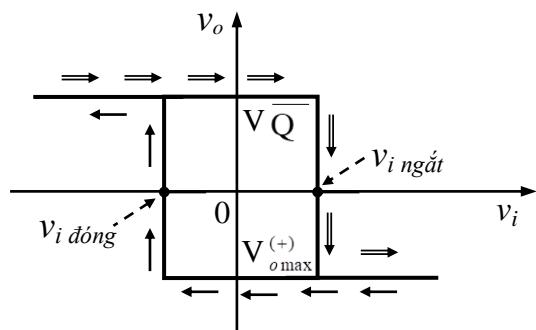
Trigger Smit dùng IC KĐTT thực chất là mạch phát triển tiếp theo của sơ đồ hình 6.14a, có dạng cơ bản là một mạch so sánh hình 6.6a hoặc c, nhưng nhờ có mạch hồi

tiếp dương nên mức nối và ngắt mạch không trùng nhau như ở bộ so sánh bình thường. Do có hai dạng cơ bản của mạch so sánh, theo đó cũng có hai dạng cơ bản của trigger Smit cho trên hình 6.15a và hình 6.16a.

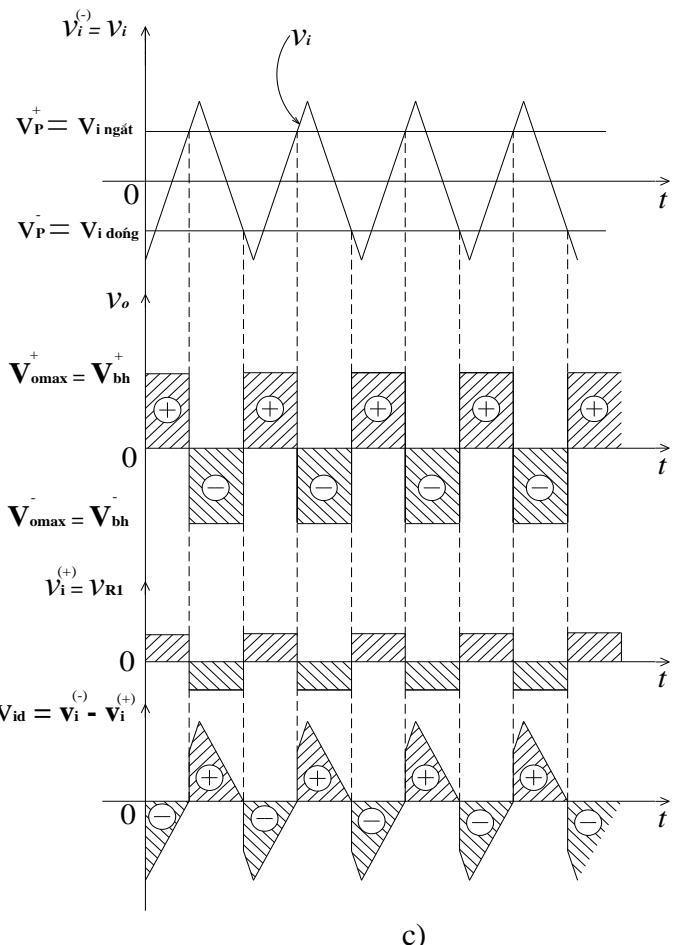
a) Mạch trigor Smit đảo



a)



b)



c)

Hình 6.15 Trigor Smit đảo (a), đặc tuyến truyền đạt (b) và giản đồ thời gian (c)

Với mạch trigor Smit đảo (hình 6.15a) khi tăng dần v_i từ một giá trị âm lớn, ta thu được đặc tính truyền đạt dạng hình 6.15b.

+ Khi v_i có giá trị âm lớn: $v_o = V_{omax}^+$ trên lối vào không đảo (P) có:

$$v_p = V_p^+ = \frac{V_{omax}^+}{R_1 + R_2} \cdot R_1 = v_{ingat} \quad (6.13)$$

Tăng dần v_i , trạng thái này không đổi chừng nào v_i chưa đạt tới V_p^+ . Khi $v_i \geq V_p^+$, điện áp v_{id} giữa hai đầu vào IC KĐTT đổi dấu, dẫn tới $v_o = V_{omin} = V_{omax}^-$, qua mạch hồi tiếp dương có:

$$v_p = V_p^- = \frac{V_{omax}^-}{R_1 + R_2} \cdot R_1 = v_{idong} \quad (6.14)$$

và tiếp tục giữ nguyên khi v_i tăng.

+ Khi giảm v_i từ một giá trị dương lớn, cho tới lúc $v_i = v_{idong} = V_p^-$ mạch mới lật trạng thái làm v_o chuyển từ V_{omax}^- tới V_{omax}^+ .

+ Để đạt được hai trạng thái ổn định cần có điều kiện:

$$\frac{R_1}{R_1 + R_2} K \geq 1 \quad (6.15)$$

với K là hệ số khuếch đại không tải của IC.

Khi đó độ trễ chuyển mạch được xác định bởi:

$$\Delta V_{\text{trễ}} = \frac{R_1}{R_2 + R_1} (V_{\text{omax}}^+ - V_{\text{omax}}^-) = \beta (V_{\text{omax}}^+ - V_{\text{omax}}^-) \quad (6.16)$$

Vụ du 6.2: Cho mạch điện như hình Ex 6.2

a. Phân tích và vẽ đặc tuyến truyền đạt $v_A(v_i)$

với giả thiết IC KĐTT là lý tưởng.

b. Cho $v_i(t) = 10\cos 100\pi t$ (V),

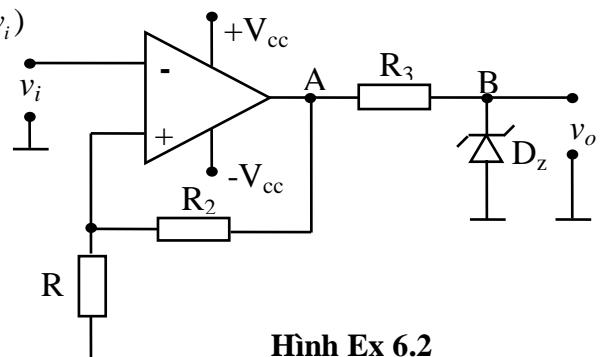
$\pm V_{cc} = \pm 15V$, $R_1 = 15k\Omega$, $R_2 = 5k\Omega$,

$\pm V_{\text{omax}} = \pm 12V$, $I_{DZtb} = 5\text{mA}$, $V_{DZ} = 3.5V$.

- Vẽ và giải thích các giản đồ điện áp

$v_i(t)$; $v_A(t)$; $v_o(t)$

- Tính điện trở R_3 .



Hình Ex 6.2

Lời giải :

a) Vẽ và phân tích đặc tuyến truyền đạt $v_A(v_i)$

Mạch trên bao gồm một mạch trigor Smit đảo và một mạch hạn chế biên độ dùng đòn ồn áp

Đặc tuyến truyền đạt $v_A(v_i)$ có dạng như hình bên.

+ Khi tăng dần v_i từ một giá trị âm lớn:

$$v_A = +V_{\text{omax}} = +12V$$

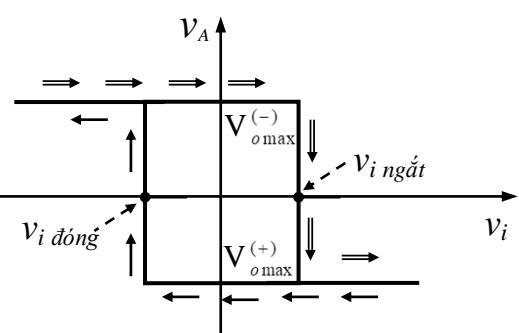
$$v_P = v_p^+ = v_{ingat} = \frac{V_{\text{omax}}}{R_1 + R_2} R_1 = \frac{12.15}{20} = 9(V)$$

Tăng dần v_i , trạng thái này giữ nguyên không đổi cho tới khi v_i chưa đạt tới giá trị v_i ngắt.

Khi $v_i \geq u_{vngat} = 9V \rightarrow$ mạch sẽ lật trạng thái và chuyển giá trị $v_A = -V_{\text{omax}} = -12V$ và giữ nguyên trạng thái này khi tiếp tục tăng giá trị v_i .

+ Khi giảm dần giá trị v_i từ một giá trị dương lớn:

$$v_A = -V_{\text{omax}} = -12V$$



$$v_P = v_P^- = v_{idong} = -\frac{V_{o\max}}{R_1 + R_2} R_1 = -9(V)$$

Giảm dần v_i , trạng thái này giữ nguyên không đổi cho tới khi v_i chưa đạt tới giá trị v_i đóng.

Khi $v_i \leq v_i$ đóng = -9V \rightarrow mạch sẽ lật trạng thái và chuyển giá trị $v_A = +V_{omax} = +12V$ và giữ nguyên trạng thái này khi tiếp tục giảm giá trị v_i .

b) Vẽ và giải thích các điện áp $v_i(t)$; $v_A(t)$; $v_o(t)$

* Điện áp $v_i(t) = 10\cos 100\pi t$ (V) = $10\sin(100\pi t + \pi/2)$ (V) là điện áp xoay chiều hình sin có biên độ $\pm V_{im} = \pm 10V$; góc lệch pha ban đầu $\varphi_0 = \pi/2$; $v_i(t=0) = 10V$

* Điện áp tại điểm A :

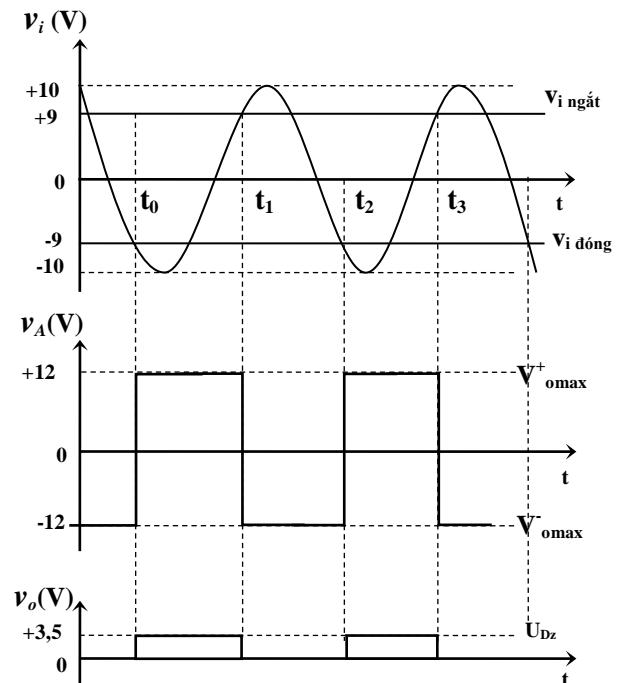
Khi $t = 0 \div t_0$ tương ứng với trường hợp giảm dần v_i từ một giá trị dương lớn và $v_i > v_i$ đóng nên $v_A = -V_{omax} = -12V$

Khi $t = t_0 \div t_1$ tương ứng với trường hợp giảm dần v_i từ một giá trị dương lớn và $v_i < v_i$ đóng và trường hợp tăng dần v_i từ một giá trị âm lớn đồng thời $v_i < v_i$ ngắt nên

$$v_A = +V_{omax} = +12V$$

Khi $t = t_1 \div t_2$ tương ứng với trường hợp tăng dần v_i từ một giá trị âm lớn và $v_i > v_i$ ngắt và trường hợp giảm dần v_i từ một giá trị dương lớn đồng thời $v_i > v_i$ đóng nên

$$v_A = -V_{omax} = -12V$$



* Điện áp tại điểm B :

Khi $v_A = +12V$ thì diode Zener làm việc ở chế độ ổn áp nên $v_o = v_B = V_{DZ} = 3,5V$

Khi $v_A = -12V$ thì diode Zener làm việc giống như một diode bình thường. Nếu coi diode là lý tưởng thì khi đó : $v_o = v_B = 0V$.

Ở đây mạch đầu ra là một mạch hysteresis, diode Zener có tác dụng ngăn phần xung âm và chỉ giữ lại phần xung dương ở đầu ra.

* Tính điện trở R_3

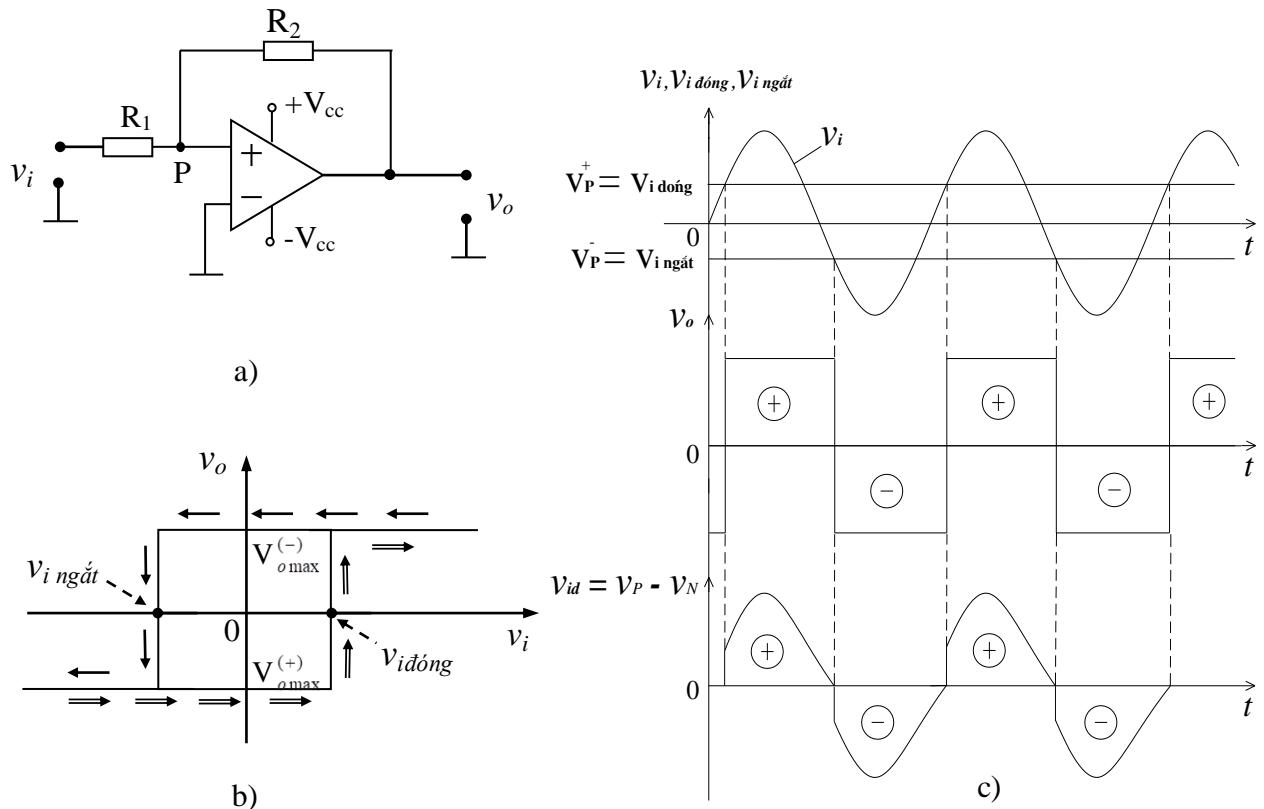
Khi $v_A = +12V$ thì diode Zener làm việc ở chế độ ổn áp nên $v_o = v_B = V_{DZ} = 3,5V$

$$R_3 = \frac{V_A - V_{Dz}}{I_{Dztb}} = \frac{12 - 3,5}{5 \cdot 10^{-3}} = 1,7 k\Omega$$

b) Mạch trigor Smit không đảo

Mạch trigor Smit không đảo (hình 6.16a) có đặc tính truyền đạt (hình 6.16b) dạng ngược với đặc tính hình 6.15b và giản đồ thời gian (hình 6.16c). Thực chất sơ đồ

hình 6.16a có dạng là một bộ so sánh tổng như sơ đồ hình 6.8a với một trong số hai đầu vào được nối tới đầu ra ($v_2 = v_o$) .



Hình 6.16 Trigơ Smit không đảo (a), đặc tuyến truyền đạt (b) và giản đồ thời gian (c)

Áp dụng định luật 1 Kiếch Hopkins tại nút P ta có :

$$\frac{v_i}{R_1} = -\frac{v_o}{R_2} \quad (6.17)$$

Từ (6.17) ta suy ra các giá trị ngưỡng :

$$v_{ingat} = V_P^- = -\frac{R_1}{R_2} V_{omax}^+ \quad (6.18)$$

$$v_{idong} = V_P^+ = -\frac{R_1}{R_2} V_{omax}^- \quad (6.19)$$

hay độ trễ chuyển mạch xác định bởi :

$$\Delta V_{trẽ} = \frac{R_1}{R_2} (V_{omax}^+ - V_{omax}^-) \quad (6.20)$$

Do cách đưa điện áp vào lối vào không đảo (P) nên khi v_i có giá trị âm lớn : $v_o = -V_{omax}$ và khi v_i có giá trị dương lớn: $v_o = +V_{omax}$. Các phân tích khác tương tự như với mạch 6.15a đã xét .

Tương tự như sơ đồ trigơ Smit dùng transistor hình 6.12a, có thể dùng các mạch 6.15a và 6.16a để tạo các xung vuông từ các dạng điện áp vào bất kì (tuần hoàn). Khi

đó chu kì xung ra $T_o = T_i$ điều này đặc biệt có ý nghĩa khi cần sửa và tạo lại dạng một tín hiệu tuần hoàn với thông số cơ bản là tần số giống nhau (hay chu kì đồng bộ nhau).

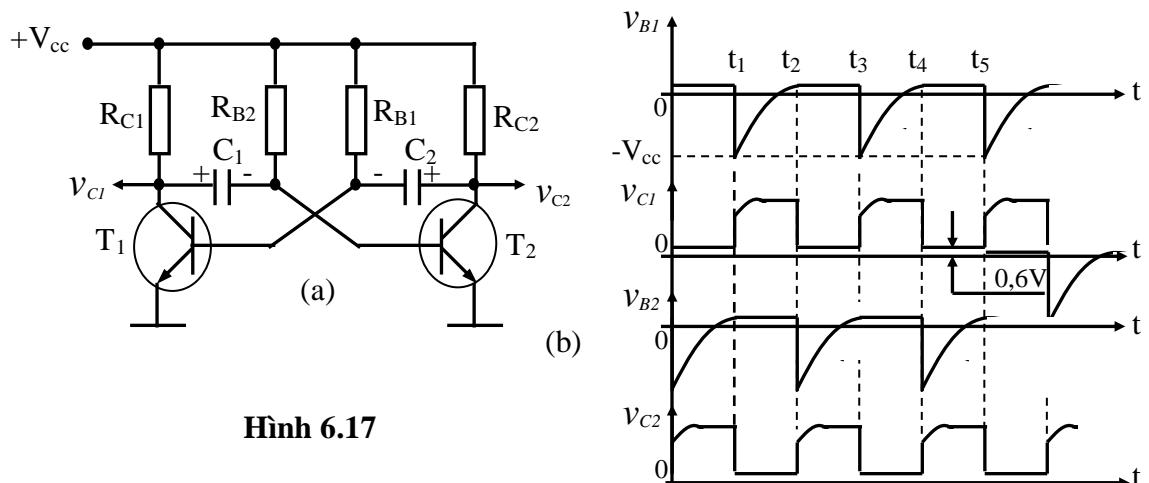
Các hệ thức từ (6.13) đến (6.20) cho phép xác định các mức ngưỡng lật của trigger Smit và những thông số quyết định tới giá trị của chúng. Trigger Smit là dạng mạch cơ bản để từ đó xây dựng các mạch tạo dao động xung dùng IC KDTT sẽ được xét trong các phần tiếp của chương này.

6.4 Các mạch đa hài tự kích

Để tạo ra dãy xung vuông liên tục có thể điều chỉnh một cách dễ dàng biên độ cũng như tần số người ta thường sử dụng các mạch đa hài tự kích (đa hài tự dao động) dùng transistor hay IC KDTT hoặc dùng IC chuyên dụng như IC 555....

6.4.1 Đa hài tự dao động dùng transistor BJT

Mạch đa hài tự kích dùng transistor BJT có cấu tạo từ hai tầng khuếch đại phụ tải cực góp mắc hồi tiếp với nhau bởi các tụ C_1, C_2 như hình 6.17a.



* Nguyên lý hoạt động:

Ta giả thiết mạch là đối xứng thì khi đóng mạch nguồn cung cấp cả hai transistor đều thông, dòng điện qua hai transistor là bằng nhau, điện thế trên cực góp của các transistor là như nhau. Tuy nhiên hiện tượng đối xứng tuyệt đối trong thực tế là không tồn tại do có sai số giữa các điện trở, tụ điện, độ tản mạn các tham số của các transistor cùng loại .. v.v nên một trong hai transistor sẽ dẫn mạnh hơn.

Giả thiết tranzistor T_1 dẫn mạnh hơn $\rightarrow i_{C1}$ tăng $\rightarrow v_{C1}$ giảm, lượng giảm áp này thông qua tụ C_1 đưa cả sang cực gốc đèn T_2 làm v_{B2} giảm theo. Điện áp điều khiển v_{B2} của T_2 giảm làm i_{C2} giảm và v_{C2} tăng. Lượng tăng áp trên cực góp của T_2 thông qua tụ C_2 đưa cả đến cực gốc của T_1 nên v_{B1} tăng $\rightarrow i_{C1}$ tiếp tục tăng. Quá trình này chỉ kết

thúc khi i_{C2} giảm về bằng “0” (T_2 khoá hẵn: $v_{C2} \approx +V_{cc}$) và i_{C1} đạt giá trị $I_{C1\text{ sat}}$ (T_1 mở bão hòa: $v_{C1} \approx 0$).

Ngay khi T_1 mở bão hòa, T_2 khoá chắc chắn thì tụ C_2 được nạp theo đường: $+V_{cc} \rightarrow R_{C2} \rightarrow C_2 \rightarrow r_{beTr1} \rightarrow$ mát (âm nguồn V_{cc}). Đồng thời với quá trình nạp điện của tụ C_2 là quá trình phóng điện của tụ C_1 : $+C_1 \rightarrow r_{ceTr1} \rightarrow V_{cc}$ (qua nội trở của nguồn) $\rightarrow R_{B2} \rightarrow -C_1$. Chính quá trình phóng điện của tụ C_1 tạo nên một sụt áp âm trên tiếp giáp gốc - phát của T_2 giữ cho T_2 ở trạng thái khóa chắc chắn.

Theo thời gian dòng phóng của tụ C_1 giảm dần, điện thế trên cực gốc của T_2 bớt âm dần. Khi điện áp $v_{beTr2} \geq 0,6V$ thì transistor T_2 sẽ thông lại bắt đầu một quá trình hồi tiếp như sau:

$$i_{C2} \text{ tăng} \rightarrow v_{C2} \text{ giảm} \rightarrow v_{B1} \text{ giảm} \rightarrow i_{C1} \text{ giảm} \rightarrow v_{C1} \text{ tăng} \rightarrow v_{B2} \text{ tăng}$$

Kết thúc quá trình hồi tiếp trên, T_1 khóa, T_2 thông bão hòa bắt đầu quá trình nạp điện của tụ C_1 và phóng điện của tụ C_2 . Kết thúc các quá trình nạp của tụ C_1 và phóng của tụ C_2 thì $v_{C1} \approx V_{cc}$, $v_{C2} \approx 0$.

Qua các phân tích ở trên ta thấy mạch có thể tự động chuyển từ trạng thái cân bằng không ổn định này sang trạng thái cân bằng không ổn định khác mà không cần tín hiệu kích thích từ ngoài. Mạch có hai đầu ra được lấy trên hai cực góp của hai transistor T_1 (v_{C1}) và T_2 (v_{C2}). v_{C1} , v_{C2} thực chất là hai dãy xung có biên độ sấp xỉ bằng nguồn nuôi của mạch là V_{cc} và $V_{C1m} = V_{C2m}$. Chu kỳ T của hai dãy xung ra này được tính theo biểu thức: $T = \tau_1 + \tau_2$.

$$\text{Trong đó } \tau_1 = R_{B2} \cdot C_1 \cdot \ln 2 \approx 0,7 \cdot R_{B2} \cdot C_1 \quad (6.21)$$

$$\tau_2 = R_{B1} \cdot C_2 \cdot \ln 2 \approx 0,7 \cdot R_{B1} \cdot C_2 \quad (6.22)$$

τ_1 , τ_2 là hằng số thời gian phóng của tụ C_1 và tụ C_2 .

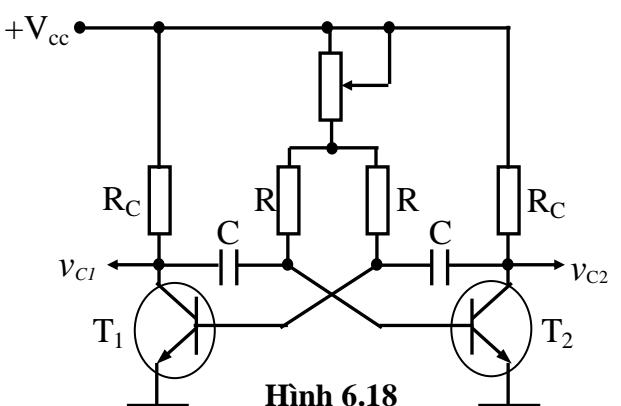
$$\Rightarrow T \approx 0,7 \cdot (R_{B2} \cdot C_1 + R_{B1} \cdot C_2)$$

Nếu ta chọn $R_{B1} = R_{B2} = R$, $C_1 = C_2 = C$ thì:

$$T = 1,4 \cdot R \cdot C \quad (6.23)$$

Nhìn vào biểu thức của T ta thấy khi muốn thay đổi tần số xung ra ta chỉ việc thay đổi điện dung tụ C hoặc giá trị điện trở R .

Ở hình 6.18, khi ta thay đổi biến trở WR thì hằng số thời gian phóng nạp của tụ C_1 và C_2 đều thay đổi, dẫn đến độ rộng xung ra thay đổi.



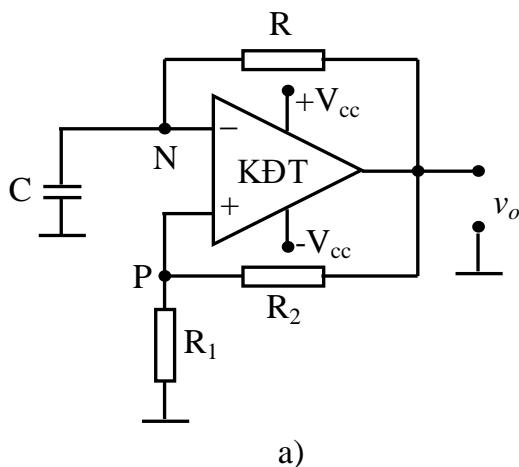
Với cách mắc trên ta có chu kỳ T là:

$$T \approx 1,4.(WR + R).C$$

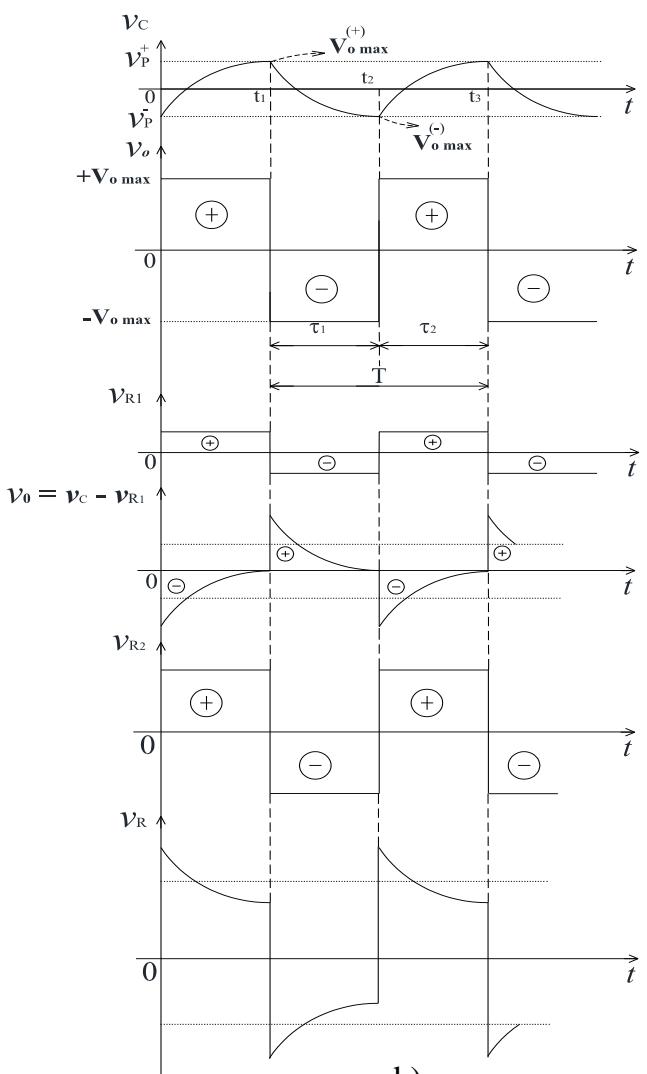
Trong mạch này, ta chọn transistor là loại N-P-N có công suất nhỏ nhưng hệ số khuếch đại lớn như loại transistor Silic có nhãn hiệu C₈₂₈, hoặc C₉₄₅.

6.4.2 Đa hài tự dao động dùng IC KĐTT

Để tạo ra các xung vuông có tần số thấp hơn 1000Hz sơ đồ đa hài (đối xứng hoặc không đối xứng) dùng IC KĐTT dựa trên cấu trúc của một mạch so sánh hồi tiếp dương có nhiều ưu điểm hơn sơ đồ dùng transistor đã nêu. Do tính chất tần số của IC KĐTT khá tốt nên ở tần số cao việc ứng dụng sơ đồ dùng IC KĐTT mang nhiều ưu điểm hơn. Hình 6.19 là sơ đồ nguyên lý (a) và giản đồ thời gian (b) làm việc của mạch phát xung vuông dùng vi mạch khuếch đại thuật toán.



a)



Hình 6.19 Sơ đồ nguyên lý mạch phát xung (a) và giản đồ thời gian (b).

Nhìn vào sơ đồ nguyên lý ta thấy KĐTT cùng hai điện trở R₁ và R₂ tạo thành một mạch trigor Smit có điện áp ngưỡng lấy trên điện trở R₁: $v_P = v_{R1}$. Điện áp đặt tới đầu vào của trigor Smit (đầu vào đảo của KĐTT) được lấy trên tụ C và tuân theo quy luật biến thiên của điện áp trên tụ: $v_N = v_C$.

Với cách mắc của trigor Smit nói trên cùng mạch R, C như hình vẽ ta được một mạch dao động tự kích có giản đồ thời gian mô tả hoạt động như hình 6.19b.

* Nguyên lý hoạt động của mạch:

Khi điện thế trên đầu vào N (điện áp trên tụ C) đạt tới ngưỡng lật của trigo Smit thì sơ đồ sẽ lật trạng thái và điện áp ra đột biến giá trị ngược lại với giá trị cũ. Sau đó thế trên đầu vào N thay đổi theo hướng ngược lại và tiếp tục cho đến khi đạt ngưỡng lật khác. Quá trình thay đổi v_N được điều khiển bởi thời gian phỏng nạp của tụ C từ v_o qua R.

+ Khoảng thời gian ($t_1 \div t_2$) điện áp ra của KĐTT ở giá trị $v_o = +V_{o\ max}$.

$$\Rightarrow v_p = V_p^+ = +V_{o\ max} \frac{R_1}{R_1 + R_2} = \beta \cdot V_{o\ max}, \text{ với } \beta = \frac{R_1}{R_1 + R_2}$$

Đến thời điểm t_1 điện thế trên N đạt đến ngưỡng $v_c = V_p^+ = +\beta \cdot V_{o\ max}$ của trigo Smit nên sơ đồ lật trạng thái.

+ Từ $t_1 \div t_2$, $v_o = -V_{o\ max} \rightarrow$ điện áp ngưỡng cũng lật trạng thái: $v_p = V_p^- = -\beta \cdot V_{o\ max}$, đồng thời tụ C phỏng điện từ $+C \rightarrow R \rightarrow$ KĐTT $\rightarrow -V_{cc} \rightarrow$ nội trở nguồn \rightarrow mát $\rightarrow -C$. Khi điện áp trên tụ giảm về bằng không thì tụ lại nạp theo chiều ngược lại từ mát $\rightarrow C \rightarrow R \rightarrow$ KĐTT $\rightarrow -V_{cc}$, điện áp trên tụ tăng dần với cực tính ngược lại. Tại t_2 điện thế trên N đạt đến giá trị ngưỡng $v_c = V_p^- = -\beta \cdot V_{o\ max} \rightarrow$ sơ đồ lại lật trạng thái $\rightarrow v_o = +V_{o\ max} \rightarrow v_p = V_p^+ = +\beta \cdot V_{o\ max}$, đồng thời tụ C phỏng điện theo đường $+C \rightarrow$ mát \rightarrow nội trở nguồn $\rightarrow +V_{cc} \rightarrow R \rightarrow -C$. Khi điện áp trên tụ giảm về “0” thì tụ được nạp theo chiều ngược lại từ $+V_{cc} \rightarrow$ KĐTT $\rightarrow R \rightarrow C \rightarrow$ mát.

Qua các phân tích trên ta thấy quá trình phỏng và nạp của tụ C đều thông qua điện trở R trong các khoảng thời gian $0 \div t_1$, $t_1 \div t_2$, lúc đó phương trình vi phân để xác định $v_N(t)$ có dạng:

$$\frac{dv_N}{dt} = \pm \frac{V_{o\ max} - v_N}{RC} \quad (6.24)$$

Giải phương trình vi phân trên với điều kiện đầu là $v_N(t=0) = V_p^- = -\beta \cdot V_{o\ max}$ ta có nghiệm sau:

$$v_N(t) = V_{o\ max} \left[1 - (1 + \beta) \cdot e^{-\frac{t}{RC}} \right] \quad (6.25)$$

Tại thời điểm t_1 điện áp trên tụ đạt giá trị $v_N(t_1) = V_p^+ = \beta \cdot V_{o\ max}$

$$\Rightarrow v_N(t_1) = V_p^+ \Leftrightarrow V_{o\ max} \left[1 - (1 + \beta) \cdot e^{-\frac{\tau_1}{RC}} \right] = \beta \cdot V_{o\ max} \quad (6.26)$$

Với τ_1 là hằng số thời gian phỏng nạp của tụ C khi $v_o = V_{o\ max}$.

Khi đó, phương trình (6.26) trở thành $(1 - \beta) = (1 + \beta) \cdot e^{-\frac{\tau_1}{RC}}$, thay $\beta = \frac{R_1}{R_1 + R_2}$, tối giản và lấy ln hai vế ta được:

$$\frac{\tau_1}{R.C} = \ln(1 + 2 \frac{R_1}{R_2}) \Rightarrow \tau_1 = R.C \cdot \ln(1 + 2 \frac{R_1}{R_2}) \quad (6.27)$$

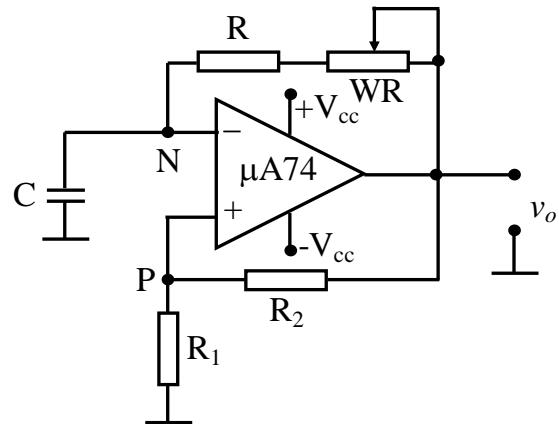
Nếu ta chọn $R_1 = R_2$ thì: $\tau_1 = R.C \cdot \ln 3 \approx 1,1 \cdot R.C$

Do quá trình phóng nạp của tụ đều qua R nên ta có $\tau_1 = \tau_2 = \tau \approx 1,1.R.C$ nên chu kỳ T của xung ra :

$$T = 2 \cdot \tau \approx 2.1.1.R.C = 2.2.R.C \quad (6.28)$$

Nhìn vào biểu thức trên ta thấy: khi muốn thay đổi tần số của dãy xung ra ta có thể thực hiện bằng cách thay đổi điện dung của tụ C hoặc thay đổi giá trị điện trở R.

Hình 6.20 Sơ đồ nguyên lý mạch phát xung sử dụng IC KĐTT μA741.



Hình 6.20 là sơ đồ nguyên lý một mạch phát xung dùng khuếch đại thuận toản μA741 có độ rộng thay đổi được nhờ biến trờ WR. Với mạch này ta có công thức tính chu kỳ của xung ra như sau:

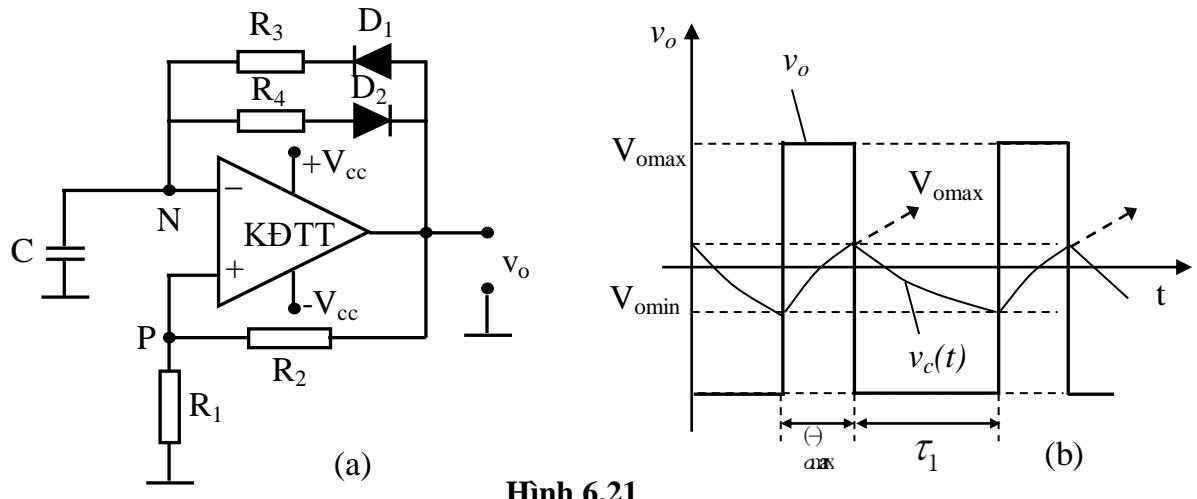
$$T = 2 \cdot \tau \approx 2.1.1.(WR + R).C = 2.2.(WR + R).C \quad (6.29)$$

Khi cần dạng xung ra không đối xứng, ta có sơ đồ nguyên lý (hình 6.21a) và giản đồ thời gian (hình 6.21b). Sơ đồ này có đặc điểm là tạo ra sự không đối xứng giữa mạch phóng (qua R_4, D_2) và mạch nạp (qua R_3, D_1) với $R_3 \neq R_4$.

Khi đó :

$$\begin{cases} \tau_1 = R_4 C \ln(1 + \frac{2R_1}{R_2}) \\ \tau_2 = R_3 C \ln(1 + \frac{2R_1}{R_2}) \end{cases} \Rightarrow T = \tau_1 + \tau_2 = C(R_3 + R_4) \ln(1 + \frac{2R_1}{R_2}) \quad (6.30)$$

Như vậy bằng cách thay đổi giá trị của R_3 và R_4 ta sẽ thay đổi được τ_1 hoặc τ_2 trong khi đó chu kỳ $T = \tau_1 + \tau_2$ được giữ nguyên không đổi. Các diode D_1 và D_2 có nhiệm vụ khoá và ngắt nhánh tương ứng khi nhánh kia làm việc hoặc ngược lại.



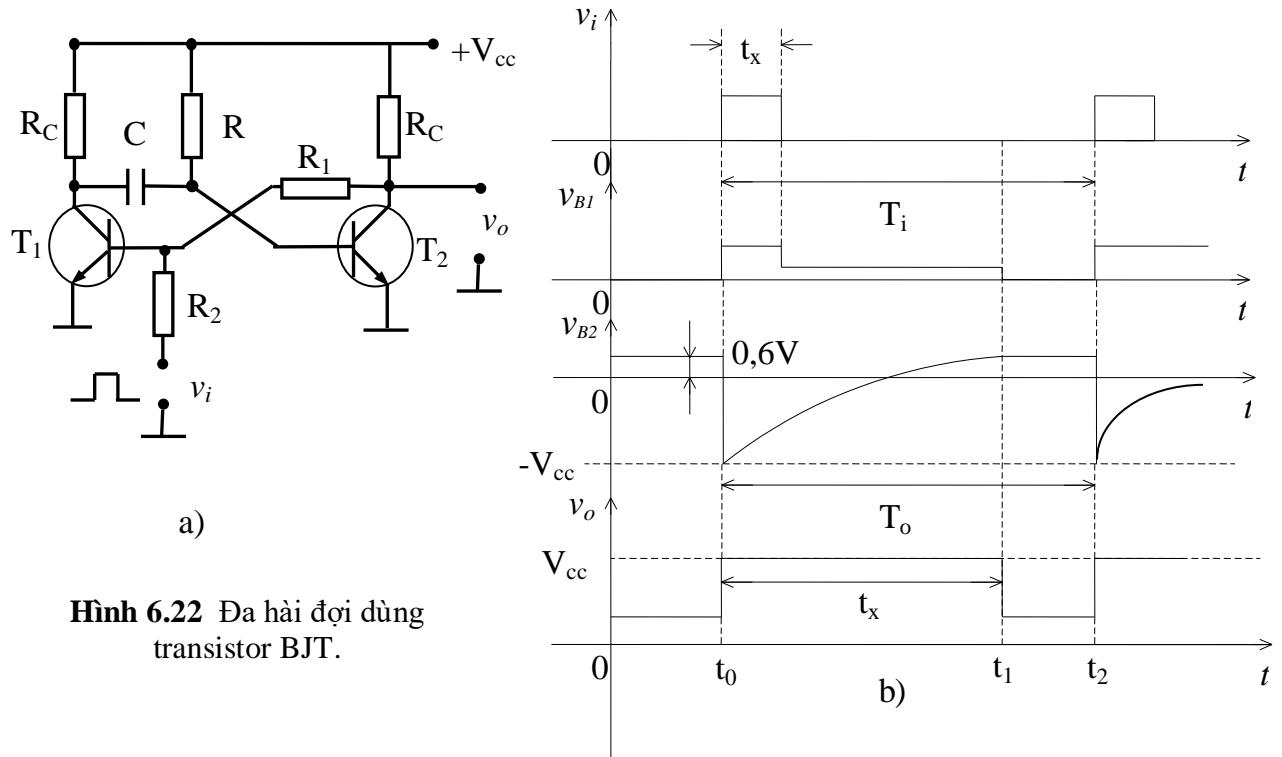
Hình 6.21

6.5 Các mạch đa hài đợi

Đây là loại mạch có một trạng thái ổn định bền. Trạng thái thứ hai của nó chỉ ổn định trong một khoảng thời gian nhất định nào đó (phụ thuộc vào tham số của mạch) sau đó mạch lại quay về trạng thái ổn định bền ban đầu. Vì thế mạch còn có tên là trigger một trạng thái ổn định hay đa hài đợi hay đơn giản hơn là mạch role thời gian.

6.5.1 Đa hài đợi dùng transistor BJT

Hình 6.22a là mạch điện nguyên lý và hình 6.22b là giản đồ điện áp - thời gian minh họa nguyên lý hoạt động của mạch đa hài đợi dùng transistor BJT.



Hình 6.22 Đa hài đợi dùng transistor BJT.

Thực chất mạch hình 6.22a là một trigơ RS, trong đó một trong các điện trở hồi tiếp dương được thay bằng một tụ điện. Trạng thái ban đầu T_2 mở T_1 khoá nhờ R , T_2 mở bão hòa làm $v_{CE2} \approx V_{BE1} \approx 0$ nên T_1 khoá, đây là trạng thái ổn định bền (gọi là trạng thái đợi). Lúc $t = t_0$ có xung điện áp dương ở lối vào mở T_1 , điện thế cực collecto của T_1 giảm từ $+V_{cc}$ xuống gần bằng 0. Bước nhảy điện thế này thông qua bộ lọc tần cao RC đặt toàn bộ đến cực bazơ của T_2 làm điện thế ở đó đột biến từ mức thông (khoảng $+0,6V$) đến mức $-V_{cc} + 0,6V \approx -V_{cc}$, do đó T_2 bị khoá lại. Khi đó T_1 được duy trì ở trạng thái mở nhờ mạch hồi tiếp dương R_1R_2 ngay cả khi điện áp vào bằng 0. Tụ C (đầu qua R đến điện thế $+V_{cc}$) bắt đầu nạp điện làm điện thế cực bazơ T_2 biến đổi theo quy luật :

$$v_{B2} \approx V_{cc} \left[1 - 2 \exp\left(-\frac{t}{RC}\right) \right] \quad (6.31)$$

với điều kiện đầu : $v_{B2}(t = t_0) = -V_{cc}$ và điều kiện cuối : $v_{B2}(t \rightarrow \infty) = V_{cc}$

T_2 bị khoá cho tới lúc $t = t_1$ (hình 6.22b) khi v_{B2} đạt tới giá trị $+0,6V$, khoảng thời gian này xác định từ điều kiện $v_{B2}(t_1) \approx 0$ và quyết định độ dài xung ra t_x :

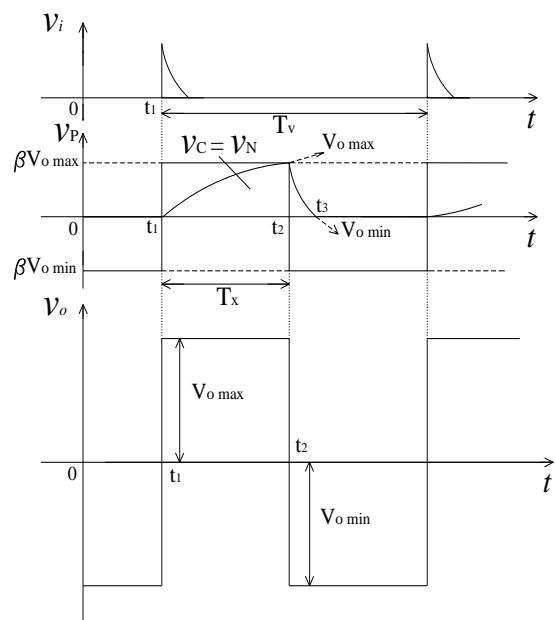
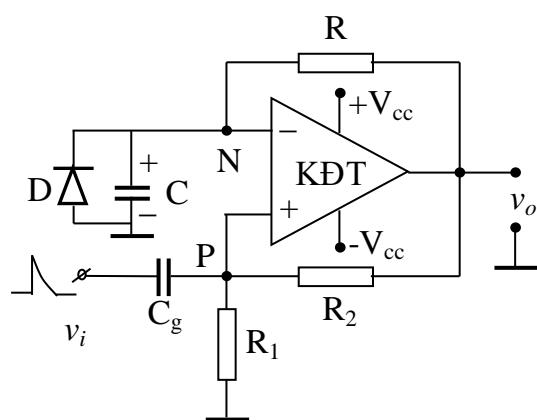
$$t_1 - t_0 = t_x = RCln2 = 0,7RC \quad (6.32)$$

Sau lúc $t = t_1$, T_2 mở và quá trình hồi tiếp dương qua R_1, R_2 đưa mạch về lại trạng thái ban đầu, đợi xung vào tiếp sau (lúc $t = t_2$). Lưu ý những điều trình bày trên đúng khi :

$$T_i > t_x > \tau_x \quad (6.33)$$

(τ_x là độ rộng xung vào và T_i là chu kỳ xung vào) và khi điều kiện (6.33) được thoả mãn thì ta luôn có chu kỳ xung ra $T_o = T_i$.

6.5.2 Đa hài đợi dùng IC khuếch đại thuật toán



(a) (b)

Hình 6.23 Mạch đa hài đợi dùng IC KĐTT

Hình 6.23 là mạch đa hài đợi dùng IC KĐTT với sơ đồ nguyên lý (a) và giản đồ thời gian (b) miêu tả hoạt động của mạch. Để đơn giản ta giả thiết IC được cung cấp bằng một nguồn đôi xứng $\pm V_{cc}$ và khi đó $V_{omax} = |V_{omin}| = V_{max}$. Ban đầu lúc $t < t_1$, $v_i = 0$, D thông nối đất (bỏ qua sụt áp thuận trên diốt), ta có $v_o = -V_{omax}$ từ đó $v_N = v_C = 0$. Qua mạch hồi tiếp dương $R_1, R_2, -V_{omax}$ đưa tới đầu vào P khi đó điện áp $v_p = -\beta V_{omax}$

với $\beta = \frac{R_1}{R_1 + R_2}$ là hệ số phân áp mạch hồi tiếp. Đây là trạng thái ổn định bền (trạng thái đợi) của mạch.

Lúc $t = t_1$ có xung nhọn cực tính dương đưa tới đầu vào P, nếu biên độ thích hợp vượt hơn giá trị $-\beta U_{omax}$, sơ đồ lật trạng thái cân bằng không bền với $v_o = +V_{omax} = V_{max}$ và qua mạch hồi tiếp dương có $v_p = \beta V_{omax}$. Sau lúc t_1 , điện áp ra V_{max} nạp cho tụ C làm cho $v_C = v_N$ dương dần cho tới lúc $t = t_2$ khi đó $v_N = \beta V_{omax}$ thì xảy ra đột biến do điện thế đầu vào vì mạch $v_N - v_p$ đổi dấu, điện áp ra đổi dấu lần thứ hai $v_o = -V_{omax}$.

Trong khoảng thời gian t_1 đến t_2 , $v_N = v_C > 0$ nên diốt bị phân cực ngược và tách khỏi mạch. Tiếp đó, sau lúc t_2 tụ C phóng điện qua R hướng tới giá trị điện áp ra lúc đó là $-V_{omax}$, đến khi $t = t_3$ thì $v_N = v_C \approx 0$ diốt D mở, ghim mức thế đầu vào đảo ở giá trị 0, mạch quay về trạng thái ban đầu. Khi đó ta có độ rộng xung $\tau_x = t_2 - t_1$ có liên quan tới quá trình nạp cho tụ C từ mức 0 tới mức βU_{omax} , từ đó với giả thiết $V_{omax} = |V_{omin}| = V_{max}$ ta có :

$$v_C(t) = v_N(t) = V_{max} \left(1 - e^{-\frac{(t-t_1)}{RC}}\right) \quad (6.34)$$

Thay các giá trị $v_C(t_1) = 0, v_C(t_2) = \beta V_{max}$ vào (6.34) ta có :

$$\tau_x = t_2 - t_1 = RC \ln\left(\frac{1}{1 - \beta}\right) = RC \ln\left(1 + \frac{R_1}{R_2}\right) \quad (6.35)$$

Gọi $t_3 - t_2 = t_{hp}$ là thời gian hồi phục về trạng thái ban đầu của sơ đồ, nó có liên quan tới quá trình phóng điện của tụ C từ mức βV_{omax} về 0 hướng tới lúc xác lập $v_C(\infty) = -V_{max}$ xuất phát từ phương trình :

$$v_C(t) = v_C(\infty) - [v_C(\infty) - v_C(t_2)] e^{-\frac{(t-t_2)}{RC}} \quad (6.36)$$

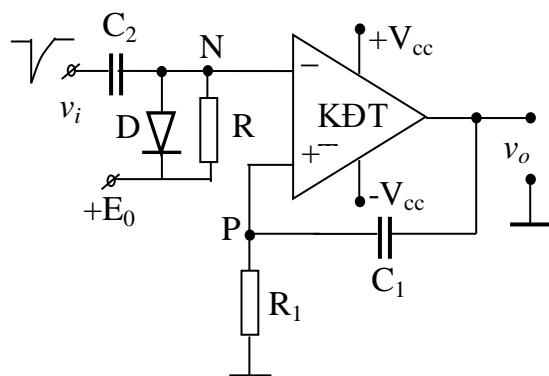
từ đó ta có :

$$t_{hp} = RC \ln(1 + \beta) = RC \ln\left(1 + \frac{R_1}{R_1 + R_2}\right) \quad (6.37)$$

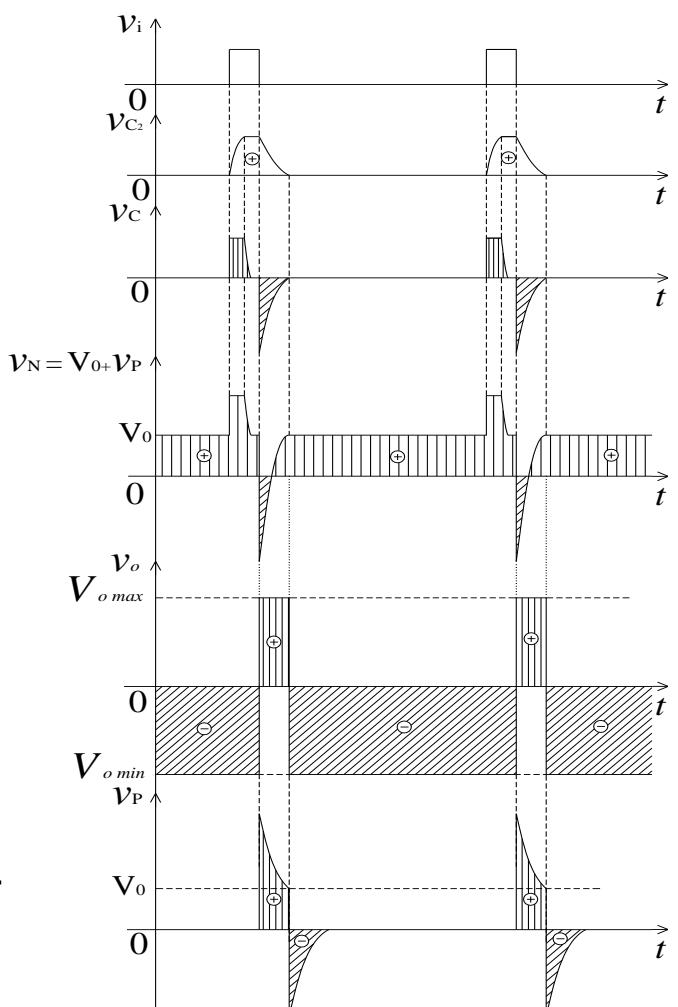
So sánh (6.35) và (6.37) ta thấy do $\beta < 1$ nên $\tau_x >> t_{hp}$. Người ta cố gắng chọn các thông số và cải tiến mạch để t_{hp} giảm nhỏ, nâng cao độ tin cậy của mạch khi có dãy xung tác động đầu vào

$$\begin{aligned} & \tau_x + t_{hp} \\ & < T_i = T_o \end{aligned} \quad (6.38)$$

Nếu xung khởi động đầu vào có cực tính âm có thể dùng sơ đồ hình 6.24a, với tần số xung ra thay đổi được nhờ R , giản đồ thời gian minh họa hoạt động của mạch được thể hiện trên hình 6.24b.



(a)



Hình 6.24

(b)

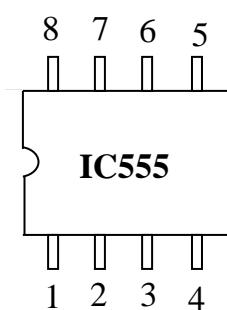
6.6 Mạch tạo xung vuông dùng IC555

6.6.1 Khái niệm

Vì mạch định thì 555 và họ của nó được ứng dụng rất rộng rãi trong mọi lĩnh vực điện nói chung và điện tử nói riêng, vì nếu nó được kết hợp với các linh kiện RC rời bên ngoài một cách thích hợp thì nó có thể thực hiện nhiều chức năng như định thì, tạo xung chuẩn, tạo tín hiệu kích thích ... Vì mạch 555 là loại vi mạch được dùng để phát xung vuông chuyên dụng.

6.6.2 Sơ đồ chân và cấu trúc bên trong của IC555

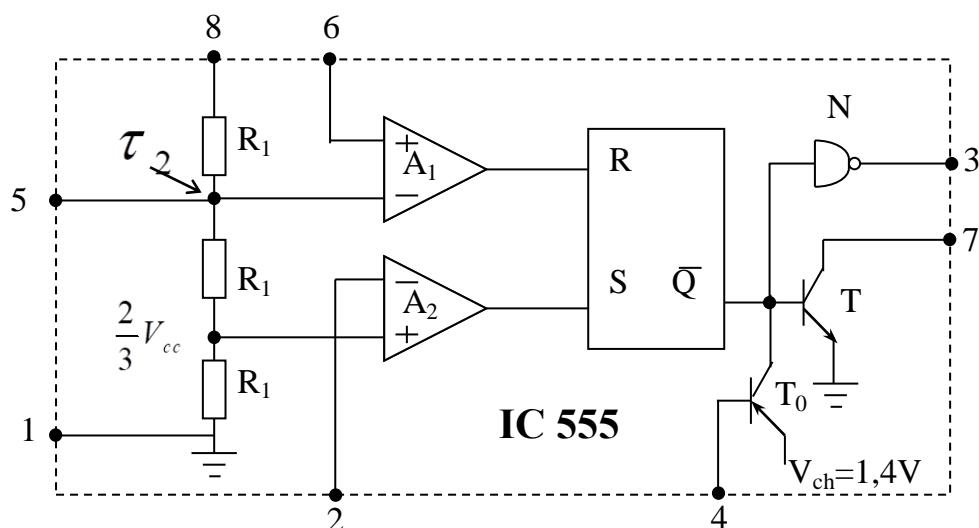
6.6.2.1 Sơ đồ chân



Chân 1 : GND (nối đất)
 Chân 2 : Đầu kích mức thấp
 Chân 3 : Output (đầu ra)
 Chân 4 : Reset (hồi phục)
 Chân 5 : Điện áp điều khiển
 Chân 6 : Đầu kích mức cao
 Chân 7 : Xả điện (đầu phóng điện)
 Chân 8 : Đầu cấp nguồn

Hình 6.25

6.6.2.2 Cấu trúc bên trong của IC555



Hình 6.26

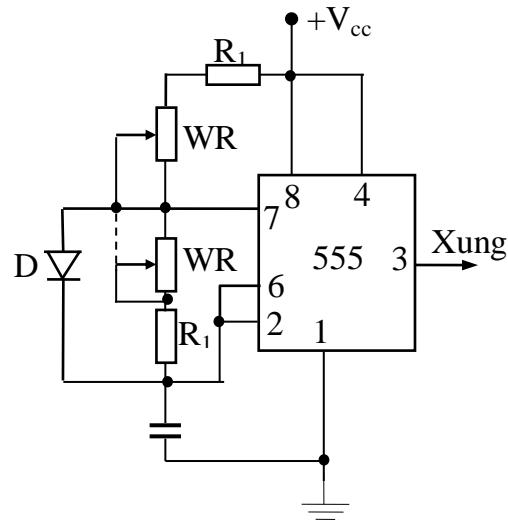
* Cấu tạo của IC 555 gồm có :

- + Bộ phân áp gồm 3 điện trở $R_1 = 5K\Omega$ nối từ nguồn dương xuống mass cho ra hai điện áp chuẩn là $\frac{2}{3}V_{cc}$ và $\frac{1}{3}V_{cc}$.

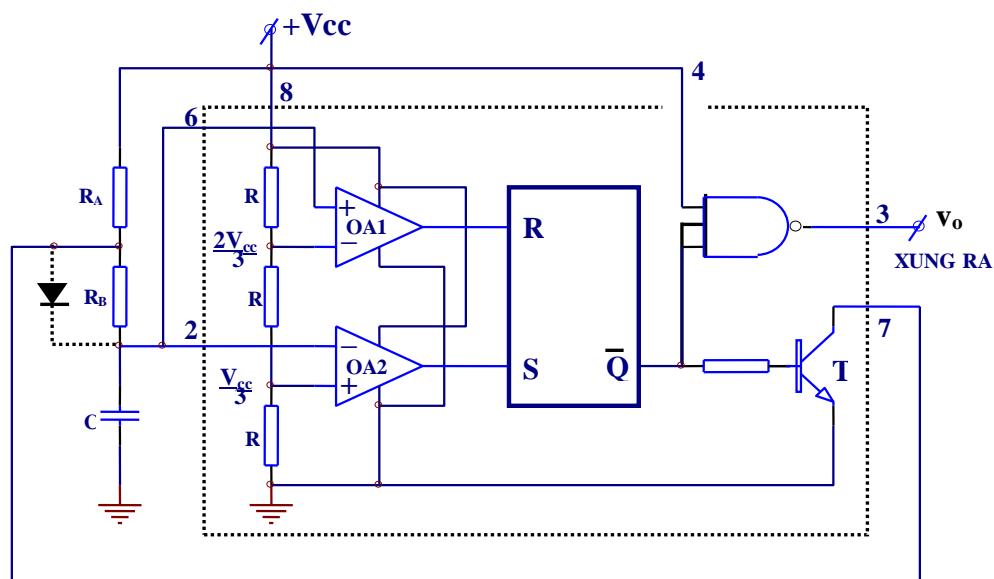
- + A₁ và A₂ là hai IC KĐTT mắc theo kiểu so sánh có ngưỡng lật được lấy trên bộ phân áp gồm 3R₁ là $\frac{1}{3}V_{cc}$ đối với A₂ và $\frac{2}{3}V_{cc}$ đối với A₁. Tín hiệu đầu ra của A₁ được đưa tới đầu vào R của trigơ RS (Tín hiệu này phụ thuộc vào tín hiệu so sánh ở chân 6). Tín hiệu đầu ra của A₂ được đưa tới đầu vào S của trigơ RS (Tín hiệu này phụ thuộc vào tín hiệu so sánh ở chân 2).
- + Trigơ RS là mạch có hai trạng thái cân bằng ổn định. Khi chân set (S) có điện áp cao thì điện áp này kích đổi trạng thái của trigơ làm đầu ra Q lên mức cao còn đầu ra \bar{Q} xuống mức thấp. Khi chân Reset (R) có điện áp cao thì điện áp này kích đổi trạng thái của trigơ làm đầu ra \bar{Q} lên mức cao còn đầu ra Q xuống mức thấp. Khi chân Reset (R) và chân set (S) đều có mức điện áp thấp hoặc chuyển từ mức điện áp cao về mức điện áp thấp thì trạng thái đầu ra của trigơ RS được giữ nguyên. Khi chân Reset (R) và chân set (S) đều có mức điện áp cao thì trạng thái đầu ra của trigơ RS là không xác định.
- + Mạch Ouput là mạch khuếch đại đầu ra để tăng độ khuếch đại dòng cấp cho tải. Đây là mạch khuếch đại đảo có đầu vào là chân \bar{Q} của trigơ RS, nên khi \bar{Q} có mức cao thì đầu ra chân 3 có mức điện áp thấp ($\approx 0V$), và ngược lại \bar{Q} có mức thấp thì đầu ra chân 3 có mức điện áp cao ($\approx V_{cc}$).
- + Transistor T₀ có chân E nối vào điện áp chuẩn khoảng 1,4V, nên khi cực B nối ra ngoài bởi chân 4 có điện áp cao hơn 1,4V thì T₀ khoá và không ảnh hưởng tới hoạt động của mạch. Khi chân 4 mắc với một điện trở nhỏ rồi nối mass thì T₀ mở bão hoà, làm đầu ra chân 3 có điện áp thấp. Chân 4 gọi là chân Reset, có nghĩa là nó Reset IC 555 bất chấp trạng thái ở các đầu vào khác. Khi sử dụng nếu không dùng chức năng Reset thì nối chân 4 lên mức điện áp cao để tránh mạch bị Reset do nhiễu.
- + Transistor T có cực C đê hở nối ra chân 7. Do cực B được phân cực bởi mức điện áp ra \bar{Q} nên khi \bar{Q} có mức cao thì T mở bão hoà và khi đó cực C của T coi như được nối mass, lúc đó đầu ra chân 3 cũng có mức điện áp thấp ($\approx 0V$), và ngược lại \bar{Q} có mức thấp T khoá cực C bị hở mạch, lúc đó đầu ra chân 3 có mức điện áp cao ($\approx V_{cc}$).
- + Chân 5 thường được nối với một tụ có dung lượng nhỏ khoảng 0,01 μF , rồi nối xuống mass để lọc nhiễu tần số cao có thể làm ảnh hưởng tới điện áp chuẩn $\frac{2}{3}V_{cc}$.

6.6.3 Mạch đa hài tự kích dùng IC555

Hình 6.27 Sơ đồ nguyên lý mạch đa hài tự kích dùng IC 555



Hình 6.27 là sơ đồ nguyên lý của một mạch đa hài tự kích dùng IC555. Muốn tạo ra được dãy xung liên tục người ta tiến hành ghép vi mạch này với tụ điện và điện trở như hình vẽ. Để hiểu rõ nguyên lý hoạt động của phát xung của vi mạch 555 ta quan sát sơ đồ trái của vi mạch 555 (hình 6.28).

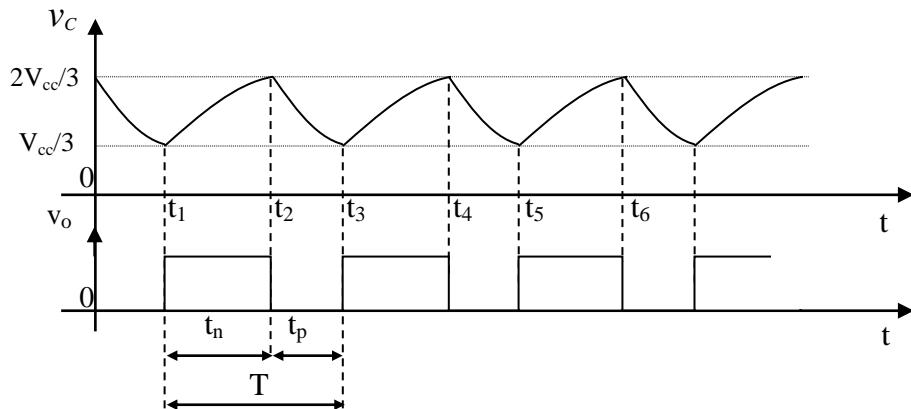


Hình 6.28 Sơ đồ trái của vi mạch định thời IC555

Phần được đóng khung bằng nét đứt là vi mạch 555, nó có cấu tạo cơ bản từ hai phần tử khuếch đại thuật toán OA1, OA2 và một Trig-R-S. Trong đó hai khuếch đại thuật toán được mắc theo kiểu mạch so sánh có điện áp ngưỡng được lấy trên bộ phân áp dùng ba điện trở có cùng giá trị R. Với cách mắc như trên thì điện áp ngưỡng của các mạch so sánh là $\frac{V_{cc}}{3}$ đối với OA₂ và $\frac{2V_{cc}}{3}$ đối với OA₁. Quan sát trên sơ đồ ta thấy

điện áp trên tụ C được đặt tới đầu vào còn lại của hai mạch so sánh nên giá trị điện áp trên tụ sẽ quyết định trạng thái của chúng.

- Nguyên lý hoạt động của mạch phát xung:



Hình 6.29 Biểu đồ thời gian của điện áp trên tụ và tín hiệu đầu ra.

* Giả sử tại thời điểm đầu ($t = 0$) điện áp trên tụ C là $v_C = \frac{2V_{cc}}{3}$ thì đầu ra OA1 có mức logic “1” còn đầu ra OA2 có mức logic “0”, đầu ra \bar{Q} có mức logic “1” ($R = 1$, $S = 0$), transistor T thông. Tụ C phóng điện qua R_B , qua T về mát làm cho điện áp trên nó giảm dần. Đầu ra của mạch phát xung không có xung ra (mức logic “0”).

+ Khi $\frac{2V_{cc}}{3} > v_C > \frac{V_{cc}}{3}$ thì đầu ra của OA₁ và OA₂ đều có mức logic “0” trigor vẫn giữ nguyên trạng thái ($R = 0$, $S = 0$), T vẫn mở, tụ C tiếp tục phóng điện, điện áp trên nó tiếp tục giảm, xung ra ở mức logic “0”.

+ Đến thời điểm t_1 : $v_C \leq \frac{V_{cc}}{3}$, đầu ra OA₂ có mức logic “1”, còn đầu ra OA₁ vẫn có mức logic “0”, \bar{Q} nhận trị “0” ($R = 0$, $S = 1$). Qua cổng NAND ta nhận được xung ra ở mức logic “1”, đồng thời transistor T khóa tụ C được nạp từ $+V_{cc} \rightarrow R_A \rightarrow R_B \rightarrow C \rightarrow$ mát. Quá trình tụ nạp điện áp trên nó tăng dần theo biểu thức sau:

$$v_C = V_{cc} \cdot \left(1 - e^{-\frac{t}{(R_A + R_B)C}} \right) + \frac{V_{cc}}{3} \cdot e^{-\frac{t}{(R_A + R_B)C}} = V_{cc} - \frac{2V_{cc}}{3} e^{-\frac{t}{(R_A + R_B)C}} = V_{cc} \left[1 - \frac{2}{3} e^{-\frac{t}{(R_A + R_B)C}} \right] \quad (6.39)$$

+ Trong khoảng thời gian điện áp trên tụ thoả mãn: $\frac{V_{cc}}{3} \leq v_C < \frac{2V_{cc}}{3}$ các đầu ra bộ so sánh đều nhận trị “0”, trigor giữ nguyên trạng thái ($R = 0$, $S = 0$), xung ra vẫn tồn tại ở mức logic “1”, T vẫn khóa tụ C tiếp tục được nạp điện.

+ Cho đến thời điểm t_2 , $v_C \geq 2V_{cc}/3$ đầu ra của OA₁ chuyển trạng thái lên mức logic “1”, đầu ra của OA₂ vẫn giữ nguyên trạng thái ở mức “0”, \bar{Q} nhận trị “1” ($R = 1$, $S = 1$).

0), xung ra nhận mức logic “0” đồng thời T thông bão hoà, tụ C phóng điện, hoạt động của mạch lặp lại như quá trình từ $0 \div t_1$. Kết quả là ta thu được một dãy xung vuông ở đầu ra trên chân 3 của vi mạch 555.

Để thay đổi tần số xung ra thì ta thay đổi hằng số thời gian phóng, nạp của tụ C bằng cách thay đổi giá trị các điện trở R_A và R_B .

Thời gian để điện áp trên tụ được nạp từ giá trị $V_{cc}/3$ đạt đến giá trị $2V_{cc}/3$ ta tính được theo công thức sau:

$$\frac{2V_{cc}}{3} = \frac{V_{cc}}{3} \cdot e^{-\frac{t_n}{(R_A+R_B)C}} + V_{cc} \left(1 - e^{-\frac{t_n}{(R_A+R_B)C}}\right) \quad (6.40)$$

Đơn giản phương trình ta được :

$$2 \frac{V_{cc}}{3} \cdot e^{-\frac{t_n}{(R_A+R_B)C}} = \frac{V_{cc}}{3} \quad (6.41)$$

Ln hai vế:

$$t_n = (R_A + R_B) \cdot C \cdot \ln 2 \approx 0,7 \cdot (R_A + R_B) \cdot C \quad (6.42)$$

Trong khoảng từ $0 \div t_1$ tụ C phóng điện từ giá trị ban đầu là $2V_{cc}/3$ đến $V_{cc}/3$.

$$\text{Biểu thức điện áp trên tụ: } v_C(t) = \frac{2}{3} V_{cc} \cdot e^{-\frac{t}{R_B \cdot C}} \quad (6.43)$$

$$\text{Tại } t = t_1: \quad \frac{V_{cc}}{3} = \frac{2}{3} V_{cc} \cdot e^{-\frac{t_p}{R_B \cdot C}} \quad (6.44)$$

Với t_p là hằng số thời gian phóng của tụ C

$$t_p = R_B \cdot C \cdot \ln 2 \approx 0,7 \cdot R_B \cdot C \quad (6.45)$$

Chu kỳ T của dãy xung ra:

$$T = t_n + t_p = 0,7(R_A + R_B) \cdot C + 0,7R_B \cdot C = 0,7(R_A + 2R_B) \cdot C \quad (6.46)$$

Nếu măc thêm điốt D song song với điện trở R_B như hình vẽ thì tụ C sẽ nạp điện theo đường $+V_{cc} \rightarrow R_A \rightarrow D \rightarrow C \rightarrow$ mát, thời gian nạp của tụ C sẽ được tính: $t_n = 0,69 \cdot C \cdot R_A$, và khi này chu kỳ của dãy xung ra sẽ được tính:

$$T = t_n + t_p = 0,7 \cdot R_A \cdot C + 0,7 \cdot R_B \cdot C = 0,7 \cdot (R_A + R_B) \cdot C \quad (6.47)$$

Nếu ta chọn $R_A = R_B \rightarrow t_n = t_p \rightarrow T = 2 \cdot t_n = 2 \cdot t_p = 2 \cdot 0,7 \cdot R_A \cdot C = 1,4 \cdot R_A \cdot C$. Trong trường hợp này xung ra có độ rộng và khoảng thời gian không tồn tại xung là bằng nhau. Nhìn vào biểu thức ta thấy khi muốn thay đổi chu kỳ T của xung ra, ta có thể thực hiện bằng 2 cách là thay đổi dung lượng của tụ C hoặc thay đổi giá trị của điện trở R_A và R_B . Trên hình 6.27 để có thể thay đổi được T ta điều chỉnh hai biến trở WR_1 và WR_2 , đây là hai biến trở đồng trực mà khi ta tăng thì chúng cùng tăng còn khi ta

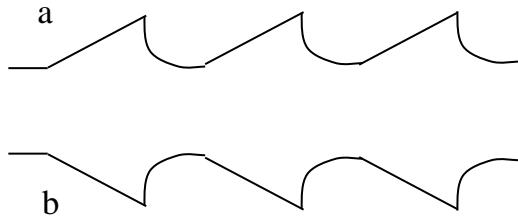
giảm thì chúng cùng giảm nên $WR_1 = WR_2 = WR$. Với mạch như hình 6.27 công thức tính chu kỳ của xung ra như sau:

$$T = 2.0,7.(WR+R_1).C_1 = 1,4.(WR+R_1).C_1 \quad (6.48)$$

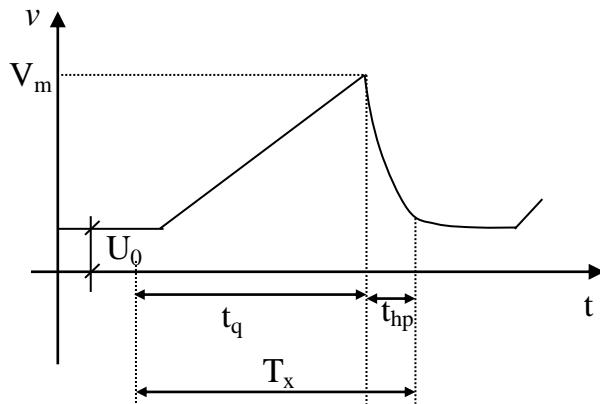
6.7. Các mạch tạo xung răng cưa

Xung tam giác (xung răng cưa) được sử dụng phổ biến trong các hệ thống điện tử : thông tin, đo lường hay tự động điều khiển làm tín hiệu chuẩn hai chiều biên độ (mức) và thời gian, có vai trò quan trọng không thể thiếu được hầu như trong mọi hệ thống điện tử hiện đại.

Các điện áp biến đổi đường thẳng còn gọi là điện áp hình răng cưa hay điện áp quét vì căn cứ vào hình dạng và ứng dụng cơ bản của nó để quét tia điện tử trong các ống tia điện tử của máy hiện sóng, máy thu hình. Các mạch tạo điện áp biến đổi đường thẳng là một trường hợp ứng dụng phổ biến của mạch tích phân và tích phân thuật toán.



Hình 6.30



Hình 6.31

Hình 6.30 và 6.31 là các dạng điện áp biến đổi đường thẳng . Theo hình vẽ ta thấy các điện áp biến đổi đường thẳng là những xung có chứa một phần điện áp biến đổi theo quy luật đường thẳng theo thời gian. Các đoạn đó có thể là tăng hoặc giảm theo quy luật đường thẳng (hình 6.30a,b).

Các mạch tạo điện áp biến đổi đường thẳng có thể làm việc ở chế độ chờ hoặc tự dao động. Ở chế độ chờ, trạng thái ban đầu của mạch là trạng thái ổn định và được thiết lập sau mỗi chu kỳ dao động, còn chu kỳ dao động do chu kỳ của xung điều khiển quyết định. Ở chế độ tự dao động, mạch không có trạng thái ổn định nào và chu kỳ dao động do các tham số của mạch quyết định. Khi đó các xung điều khiển chỉ làm nhiệm vụ đồng bộ chu kỳ dao động mà thôi. Song vì nhiều lý do ta chỉ xét đối với loại mạch tạo điện áp biến đổi đường thẳng làm việc ở chế độ chờ .

Thông thường một xung điện áp biến đổi đường thẳng (xung răng cưa) có dạng như hình 6.31.

Nó được đặc trưng bằng các tham số sau:

+ V_m : biên độ xung quét

+ t_q : thời gian quét thuận

+ t_{hp} : thời gian hồi phục (quét ngược), thông thường $t_{hp} << t_q$

+ Ngoài ra còn được đặc trưng bởi mức một chiều ban đầu $V_0 = v_q(t=0)$ và tốc

độ biến đổi của điện áp quét thuận $K = \frac{dv_q(t)}{dt}$ hay độ nghiêng vi phân của đường quét.

Yêu cầu đối với một mạch tạo điện áp biến đổi đường thẳng là phải sao cho trong thời gian quét thuận điện áp biến đổi theo quy luật càng đường thẳng càng tốt và thời gian quét ngược càng nhỏ càng tốt. Để đặc trưng cho tính đường thẳng của điện áp quét người ta sử dụng hệ số không đường thẳng ε biểu thị sự sai lệch đối với quy luật đường thẳng của điện áp quét.

$$\varepsilon = \frac{dv_q / dt(t=0) - dv_q / dt(t=t_q)}{dv_q / dt(t=0)} = \frac{\dot{v}_q(0) - \dot{v}_q(t_q)}{\dot{v}_q(0)} \cdot 100\% \quad (6.49)$$

Trong đó: $dv_q / dt(t=0)$ và $dv_q / dt(t=t_q)$ là tốc độ biến đổi điện áp quét tại điểm đầu và điểm cuối của hành trình quét thuận. Trong thực tế ε thường khoảng $0,1 \div 10\%$. Trong các máy hiện sóng $\varepsilon \leq 10\%$. Trong vô tuyến truyền hình $\varepsilon \leq 5\%$. Trong các thiết bị ra đa $\varepsilon \leq 0,1\%$.

Ngoài ra còn các tham số khác như: tốc độ quét trung bình $K_{TB} = \frac{V_m}{t_q}$ và hệ số sử dụng điện áp nguồn cung cấp :

$$\eta = \frac{V_m}{V_{cc}} \quad (6.50)$$

Trong đó V_m là biên độ của điện áp quét và V_{cc} là điện áp nguồn cung cấp.

Các mạch tạo điện áp răng cưa hiện nay chủ yếu dựa trên quá trình phóng nạp của tụ điện qua một mạch nào đó. Như ta đã biết sự thay đổi điện áp trên hai bản cực của tụ được tính theo công thức:

$$v_c(t) = \frac{1}{C} \int_0^t i_c(t) dt \quad (6.51)$$

Với i_c là dòng qua tụ. Qua biểu thức trên ta thấy nếu i_c không đổi thì:

$$v_c(t) = \frac{I_c}{C} t = k \cdot t ; \quad k = \text{const} \quad (6.52)$$

Rõ ràng khi đó $v_C(t)$ sẽ biến đổi tuyến tính theo thời gian. Sự phụ thuộc của điện áp trên tụ điện theo thời gian càng tuyến tính khi dòng điện phóng hay nạp của tụ càng ổn định.

Có hai dạng xung tam giác cơ bản là: trong thời gian quét thuận t_q , v_q tăng đường thẳng nhờ quá trình nạp cho tụ từ nguồn một chiều nào đó và trong thời gian quét thuận t_q , v_q giảm đường thẳng nhờ quá trình phóng của tụ điện qua một mạch tải. Với mỗi dạng kể trên có các yêu cầu khác nhau, để đảm bảo $t_{hp} \ll t_q$, với dạng tăng đường thẳng cần nạp chậm phóng nhanh và ngược lại với dạng giảm đường thẳng cần nạp nhanh phóng chậm.

Để điều khiển tức thời các mạch phóng nạp, thường sử dụng các khóa điện tử transistor hay IC KĐTT đóng mở theo nhịp điều khiển từ ngoài. Trên thực tế để ổn định dòng điện nạp hay dòng điện phóng của tụ cần một khối tạo nguồn dòng điện để nâng cao chất lượng xung tam giác.

Để tạo được một dãy các xung điện áp quét cần thực hiện việc đảo mạch nạp và phóng của tụ điện tại thời điểm $t = 0$ và $t = t_q$. Như vậy một mạch tạo điện áp răng cưa phải bao gồm hai phần tử cơ bản nhất là nguồn dòng điện không đổi và thiết bị đảo mạch. Các thiết bị đảo mạch cần phải có nội trở nhỏ và ổn định trong khi ngắn mạch và nội trở lớn khi hở mạch. Mặt khác chúng cần có khả năng điều khiển được bằng những xung công suất nhỏ. Để tạo ra những dòng điện nạp và phóng của tụ có trị số ổn định, ngày nay người ta sử dụng rất nhiều phương pháp khác nhau như nạp điện (hoặc phóng) cho tụ qua một điện trở có trị số lớn bằng nguồn điện áp một chiều, thực hiện nạp phóng cho tụ qua mạch hai cực ổn dòng, hoặc sử dụng những sơ đồ bù điện áp dùng transistor hay dùng IC KĐTT. Sau đây ta sẽ xét lần lượt các phương pháp trên.

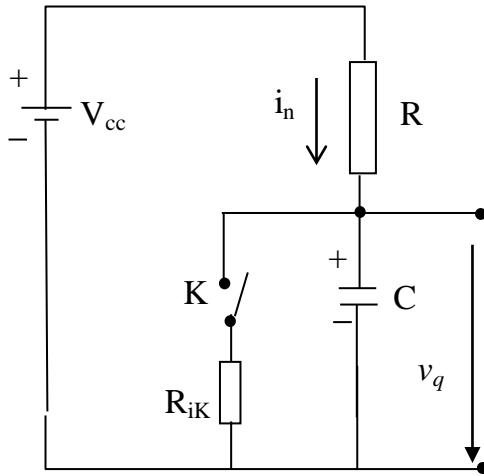
6.7.1 Mạch tạo điện áp răng cưa dùng mạch tích phân đơn giản

Sơ đồ cơ bản của một mạch tạo điện áp răng cưa dùng mạch tích phân đơn giản có dạng hình 6.32.

Đây là mạch tạo điện áp tăng đường thẳng (DATĐT). Tại thời điểm $t = 0$ khoá K hở mạch tụ C được nạp điện qua điện trở R từ nguồn V_{cc} . Tới thời điểm $t = t_q$ khoá K đóng lại tụ C phóng điện qua nội trở khoá R_{IK} . Nếu nội trở của khoá R_{IK} rất nhỏ thì mạch điện sẽ nhanh chóng khôi phục lại trạng thái ban đầu. Giả thiết điện áp ban đầu trên tụ là V_{C0} thì trong quá trình quét thuận tụ C được nạp điện, điện áp trên tụ thay đổi theo qui luật hàm số mũ và được xác định theo biểu thức:

$$v(t) = v_q \approx (V_{cc} - V_{C0})(1 - e^{-\frac{t}{\tau}}) + V_{C0} \quad (6.53)$$

Với $\tau = R.C$ là hằng số thời gian của mạch nạp. Nếu chỉ sử dụng phần đầu của đường cong $v(t)$, thì điện áp biến thiên gần như theo quy luật đường thẳng. Tức là khi thỏa mãn điều kiện: $t_q \ll \tau$



Hình 6.32

Sau khi khai triển biểu thức xác định v_q theo chuỗi MacLoren và hạn chế các số hạng từ bậc hai trở lên ta có :

$$v(t) = v_q = (V_{cc} - V_{C0}) \cdot \frac{t_q}{\tau} + V_{C0} \quad (6.54)$$

Theo công thức xác định $v(t)$ và ξ ta có :

$$\xi = 1 - e^{-t/\tau} \quad (6.55)$$

$$\text{Nếu } \tau \gg t_q \rightarrow \varepsilon = \frac{t_q}{\tau} \quad (6.56)$$

$$\text{Nếu } V_{cc} \gg V_{C0} \rightarrow \eta = \frac{(V_{cc} - V_{C0}) \cdot \frac{t_q}{\tau}}{V_{cc}} = \frac{t_q}{\tau} \quad (6.57)$$

Như vậy khi sử dụng mạch tích phân đơn giản để tạo điện áp răng cưa hệ số không đường thẳng gần bằng hệ số lợi dụng điện áp (hiệu suất năng lượng). Do đó nó chỉ được sử dụng trong những mạch yêu cầu chất lượng thấp ($\varepsilon > 10\%$) và biên độ điện áp ra nhỏ. Ví dụ nếu yêu cầu hệ số sử dụng điện áp nguồn cung cấp $\eta = 3\%$ khi sử dụng nguồn $V_{cc} = 100$ V thì biên độ xung ra $V_m = 3$ V.

Đến thời điểm $t = t_q$ kết thúc quá trình quét thuận khoá K đóng lại, tụ C phóng điện qua điện trở khoá R_{ik} nối song song với R. Do hằng số thời gian của mạch nhỏ, điện áp trên tụ giảm nhanh chóng và đạt trị số V_{C0} ban đầu theo phương trình :

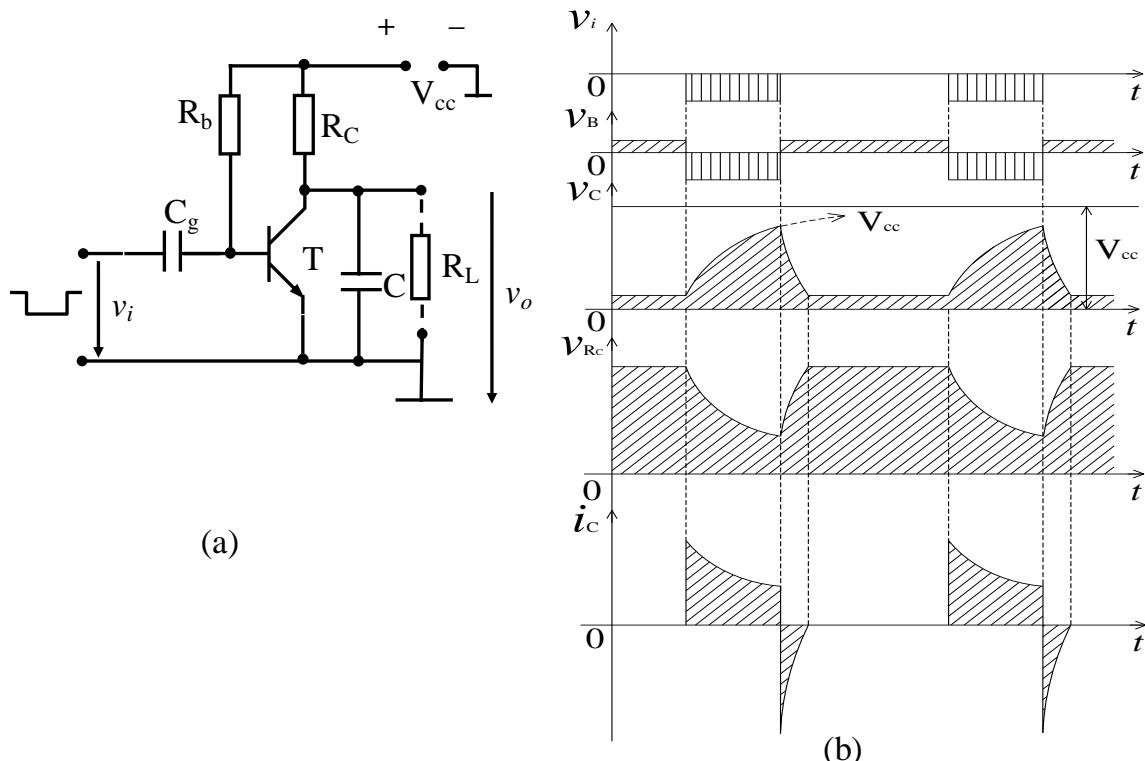
$$v(t) = (V_{cc} - V_{C0}) \cdot \frac{t_q}{\tau} e^{-\frac{t-t_q}{\tau_{hp}}} + V_{C0} \quad (6.58)$$

$$\text{Với } \tau_{hp} = C \cdot \frac{R_{iK} \cdot R}{R_{iK} + R} \approx C \cdot R_{iK} \quad (R_{iK} \ll R)$$

Do đó $\tau_{hp} \ll \tau$.

Nếu coi ở cuối hành trình quét ngược, khi điện áp trên tụ đạt $1,05 V_{C0}$ là tới xác lập thì khoảng thời gian hồi phục xấp xỉ $3\tau_{hp}$.

Có thể dùng transistor đóng vai trò khoá K trong sơ đồ khi đó mạch điện có dạng như hình vẽ sau :



Hình 6.33

Nếu kể đến ảnh hưởng của điện trở tải R_L thì hệ số không đường thẳng của điện áp ra tăng lên.

$$\varepsilon' = \frac{t_q}{\frac{R \cdot R_t}{R+R_t} \cdot C} = \frac{t_q}{R \cdot C} \left(1 + \frac{R}{R_t} \right) = \varepsilon \left(1 + \frac{R}{R_t} \right) \quad (6.59)$$

R_L ở đây bao gồm điện trở vào tầng sau và điện trở dò của tụ C bởi vậy muốn giảm ảnh hưởng của R_L cần dùng tầng sau có điện trở vào lớn và chọn tụ có dòng điện dò nhỏ.

Nguyên lý làm việc của sơ đồ được tóm tắt như sau: Khi chưa có xung điều khiển ($v_i = 0$) transistor T mở bão hòa do việc chọn R_b đảm bảo điều kiện:

$$I = \frac{E}{R_b} > I_{bsat}$$

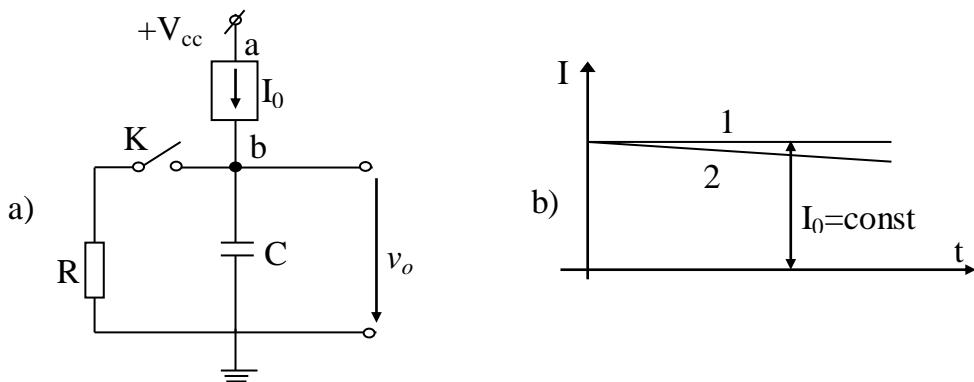
Khi đó điện áp ra $v_o = V_{Cmin} = V_{CEsat} \approx 0V$. Tại thời điểm $t = t_0$ ở đầu vào có xung điều khiển cực tính âm đưa tới cực bazơ làm transistor T khoá lại. Tụ C bắt đầu được nạp điện từ nguồn V_{cc} qua điện trở R_C . Điện áp trên tụ tăng dần từ trị số ban đầu là V_{CEsat} theo quy luật $v_C(t) = V_{cc} \cdot (1 - e^{-t/\tau_{RC}})$. Tại thời điểm $t = t_0 + t_x$ nếu ngừng xung điều khiển ở đầu vào, transistor thông, tụ C phóng điện nhanh chóng qua nội trở của transistor thông bão hòa (khá nhỏ) điện áp trên tụ giảm nhanh về giá trị ban đầu. Nếu t_x (độ rộng của xung điều khiển) $\ll \tau$ và $V_{CEsat} = 0$ thì :

$$V_m = V_{cc} \cdot \frac{t_q}{\tau} = V_{cc} \cdot \frac{t_x}{\tau} \quad (t_x = t_q) \quad \text{và} \quad \varepsilon \approx \frac{V_m}{V_{cc}} \quad (6.60)$$

Từ biểu thức hệ số không đường thẳng ε ở trên ta thấy rõ muốn hệ số không đường thẳng bé cần chọn nguồn V_{cc} lớn và biên độ ra của xung tam giác V_m nhỏ.

6.7.2 Mạch tạo điện áp răng cưa dùng phần tử ổn dòng

6.7.2.1 Mạch tạo điện áp răng cưa dùng mạch hai cực ổn dòng



Hình 6.34 Sơ đồ nguyên lý (a) và đặc tuyến vôn-ampe (b)

Để tăng tính đường thẳng của điện áp quét có thể dùng phương pháp nạp điện (hoặc phóng điện) cho tụ qua một mạch hai cực ổn dòng. Sơ đồ mạch có dạng như hình 6.34.

Một mạch hai cực ổn dòng lý tưởng phải có đặc tuyến V-A như đường 1 hình 6.34b, song về mặt vật lý không tồn tại những mạch hai cực như vậy mà thông thường có dạng như đường 2. Tại thời điểm $t = 0$, giả sử khoá K mở, tụ C sẽ được nạp điện từ $+V_{cc}$ qua khâu ổn dòng I_0 , qua tụ và về mát, điện áp trên tụ tăng dần theo quy luật :

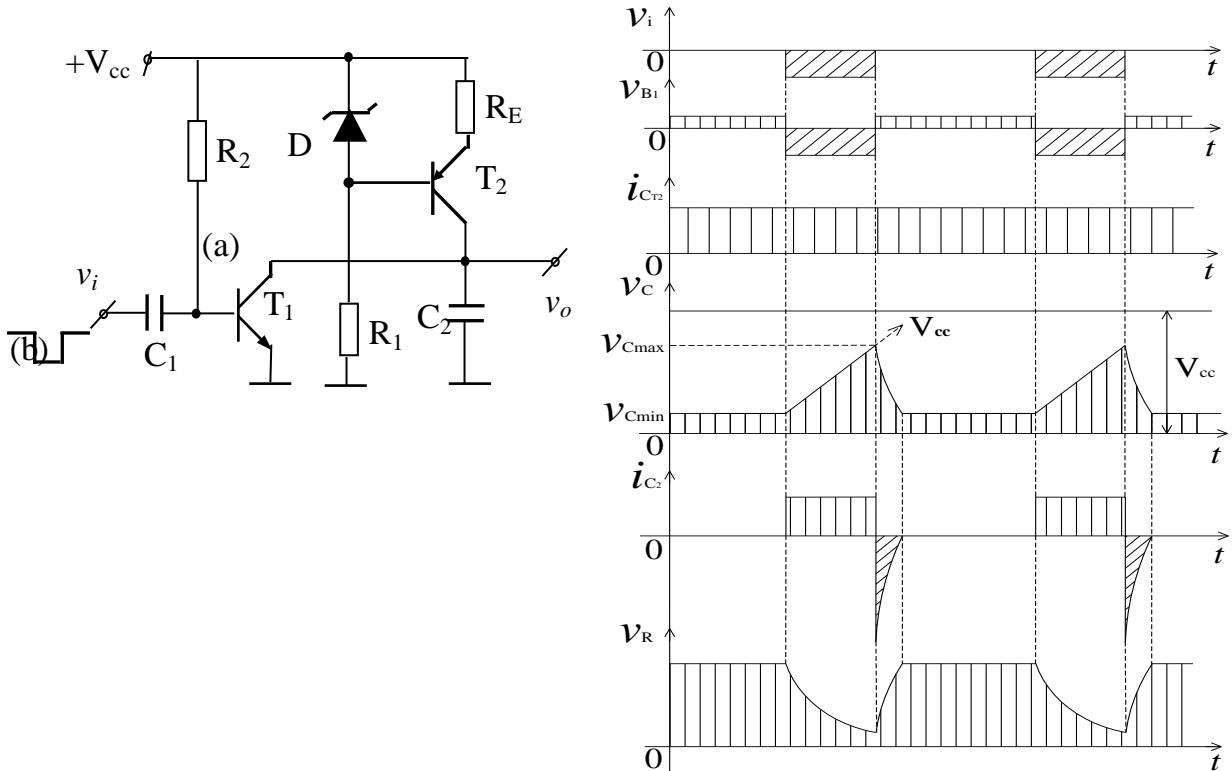
$$v_c(t) = \frac{1}{C} \int I_0 dt + V_{C0} = \frac{I_0}{C} t + V_{C0} \text{ với } V_{C0} \text{ là điện áp ban đầu trên tụ}$$

Tại thời điểm $t = t_1$, tụ C đã được nạp đầy ($V_{cmax} < V_{cc}$) ta đóng khoá K, tụ sẽ phóng điện qua R và điện tích trên tụ sẽ giảm dần tới $V_{cmin} = V_{C0}$.

6.7.2.2 Mạch tạo điện áp răng cưa dùng transistor có khâu ổn dòng

Với sơ đồ hình 6.35a Transistor T₂ mắc theo kiểu bazơ chung có tác dụng như một nguồn ổn dòng (có bù nhiệt nhờ dòng ngược qua diốt ổn áp D_Z), cung cấp dòng ổn định I_{E2} nạp cho tụ trong thời gian có xung vuông cực tính âm điều khiển làm khoá T₁, với điều kiện gần đúng dòng cực colector T₂ không đổi thì :

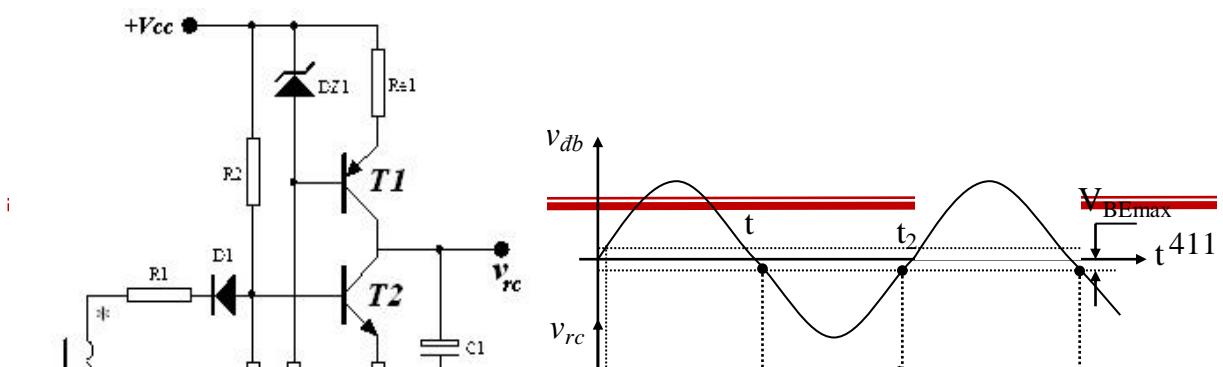
$$v_c(t) = \frac{1}{C} \int_0^{t_q} I_{C2} dt = \frac{I_{C2}}{C} t \quad \text{là quan hệ bậc nhất} \quad (6.61)$$



Hình 6.35 Mạch tạo xung răng cưa dùng transistor có khâu ổn dòng.

Với sơ đồ này cho phép ta tận dụng toàn bộ nguồn V_{cc} tạo xung tam giác với biên độ nhận được là : $V_m \approx V_{cc}$. Tuy vậy, khi có tải R_L nối song song trực tiếp với tụ C thì có phần dòng qua R_L dẫn đến V_m giảm và do đó hệ số không đường thẳng ε tăng.

Để sử dụng tốt cần có biện pháp nâng cao R_L hay làm giảm ảnh hưởng của R_L với mạch ra của sơ đồ .



* Một dạng khác của mạch tạo điện áp răng cưa dùng transistor có khâu ổn dòng, mà hiện nay người ta hay sử dụng trong lĩnh vực tự động hoá, đó là sử dụng trực tiếp điện áp xoay chiều làm tín hiệu điều khiển. Mạch này có ưu điểm là tạo ra được sự đồng bộ hoá trong quá trình điều khiển. Sơ đồ nguyên lý mạch và giản đồ điện áp của mạch phát sóng răng cưa như hình 6.36.

Trên sơ đồ nguyên lý mạch phát sóng răng cưa gồm có:

- + BAĐB: Là biến áp đồng bộ để tạo tín hiệu đồng bộ hoá.
- + Các phần tử còn lại là mạch tạo điện áp răng cưa, trong đó T_1 , D_{Z1} , R_{e1} , R_4 tạo thành mạch ổn định dòng điện nạp cho tụ C_1 .
- + v_{db} : là điện áp đồng bộ lấy trên cuộn thứ cấp BAĐB.

* Nguyên lý hoạt động:

Trước tiên ta tìm hiểu về nguyên lý làm việc của mạch ổn dòng, ổn định dòng điện nạp cho tụ C_1 . Quan sát trên sơ đồ ta thấy:

$$\begin{aligned}V_{Re1} + V_{ebT1} - V_{Dz} &= 0. \\ \Rightarrow V_{Re1} + V_{ebT1} &= V_{Dz} = \text{const } (V_{Dz} - \text{điện áp ổn định trên diốt ổn áp } D_z). \\ \Leftrightarrow I_{eT1}.R_{e1} + V_{ebT1} &= V_{Dz} = \text{const.}\end{aligned}$$

Mặt khác $I_{eT1} = I_{bT1} + I_{cT1} \approx I_{cT1}$ (vì dòng I_{bT1} rất nhỏ so với dòng I_{cT1}).

Ta giả thiết vì một lý do nào đó làm cho dòng I_{cT1} tăng quá giá trị ổn định, điều này sẽ làm cho dòng I_{eT1} cũng tăng theo và làm $I_{eT1}.R_{e1}$ tăng. Do tổng điện áp $I_{eT1}.R_{e1} + U_{ebT1}$ luôn luôn bằng hằng số nên khi $I_{eT1}.R_{e1}$ tăng thì V_{ebT1} phải giảm. Điện áp điều khiển của T_1 giảm sẽ làm cho T_1 dẫn kém đi và vì thế mà I_{cT1} giảm dần về giá trị ổn định. Chẳng hạn vì một lý do khác làm cho dòng I_{cT1} giảm nhỏ hơn giá trị ổn định thì dẫn đến I_{eT1} cũng giảm theo và $I_{eT1}.R_{e1}$ giảm. Sự giảm của $I_{eT1}.R_{e1}$ làm V_{ebT1} tăng, điện áp điều khiển của T_1 tăng làm T_1 dẫn mạnh nên, I_{cT1} tăng nên giá trị ổn định. Nếu ta giả thiết nguyên nhân gây ra các quá trình trên là do tải thì I_{cT1} luôn luôn được mạch giữ ổn định mặc dù có sự thay đổi của tải.

Khi điện áp đồng bộ ở nửa chu kỳ dương có cực tính dương ở (*), phân cực ngược cho diốt D_1 , D_1 khoá. Dưới tác dụng của nguồn cung cấp V_{cc} qua điện trở định

thiên R_2 trong mạch định thiên theo kiểu phân áp gồm R_2 và R_3 , transistor T_2 mở. Người ta tính chọn R_2 và R_3 sao cho T_2 mở bão hòa. Giả sử trước đó tụ C_1 đã có điện thì tụ sẽ phóng điện theo đường: $+C_1 \rightarrow T_2 \rightarrow R_{e2} \rightarrow -C_1$. Điện áp trên tụ sẽ giảm về đến giá trị $V_{ce\text{ sat}}$ của transistor T_2 , nhưng giá trị này rất nhỏ nên ta coi như tụ C_1 phóng hết điện.

Khi điện áp đồng bộ chuyển sang nửa chu kỳ âm có cực tính âm ở (*), diốt D_1 được phân cực thuận nên thông. Trên điện trở R_4 xuất hiện một điện áp có cực tính dương đặt tới chân E và cực tính âm đặt tới chân B của T_2 . Điện áp này gây ra bởi điện áp đồng bộ v_{db} khi ở nửa chu kỳ âm. Khi điện áp này có giá trị đủ lớn thì T_2 khoá do tiếp giáp EBJ của nó bị phân cực ngược. Transistor T_2 khóa thì tụ C_1 được nạp điện từ nguồn ổn dòng, dòng nạp cho tụ C_1 chính là dòng $I_{cT1} = \text{const}$. Điện áp trên tụ C_1 tăng dần và được tính theo biểu thức:

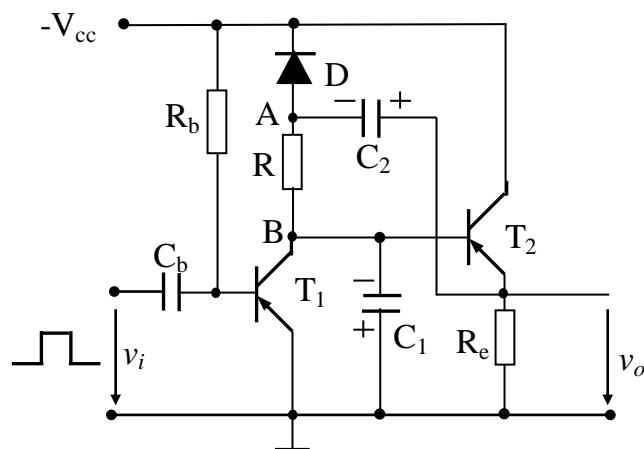
$$v_{C1} = \frac{1}{C_1} \int_0^t I_{cT1} dt = \frac{1}{C_1} I_{cT1} t = \frac{1}{C_1} I_{cT1} t \quad (6.62)$$

Ta thấy điện áp trên tụ C_1 có dạng là một hàm bậc nhất, do đó điện áp trên tụ C_1 khi tụ nạp điện là một hàm tuyến tính theo thời gian.

Tại các điểm lân cận điểm “0”, điện áp đồng bộ chưa đủ lớn để phân cực ngược cho tiếp giáp EBJ của T_2 nên T_2 vẫn mở bởi cặp điện trở định thiên R_2 và R_3 .

Điện áp ra của mạch DBH-FSRC v_{rc} được lấy trên tụ C_1 nên nó cũng có các quy luật biến thiên theo điện áp v_{C1} . Đây là một dãy điện áp răng cưa có tần số bằng tần số điện áp v_{db} . Sùn trước của điện áp răng cưa được tạo bởi quá trình nạp điện của C_1 từ nguồn dòng ổn định do đó nó có dạng là đường thẳng tuyến tính theo thời gian. Quá trình phóng điện của tụ qua T_2 tạo nên phần sùn sau của điện áp răng cưa.

6.7.3 Mạch tạo điện áp răng cưa dùng phương pháp bù điện áp (phản hồi điện áp)



Hình 6.37 Mạch tạo điện áp răng cưa kiểu bù điện áp (hồi tiếp dương) dùng transistor.

Ở trạng thái ban đầu, khi $v_i = 0$, Transistor T₁ (đóng vai trò khoá K) thông và làm việc ở chế độ bão hòa. Do đó điện áp ban đầu trên tụ C₁ xấp xỉ bằng không, lúc này diốt D cũng thông, tụ C₂ được nạp điện tới điện áp $V_{C20} \approx V_{cc}$, vì sụt áp trên nội trở diốt D, R_e nhỏ có thể bỏ qua.

Khi đầu vào có xung dương điốt D và transistor T₁ khoá, bắt đầu quá trình nạp điện cho tụ C₁, với đặc tính như hình vẽ, làm cho điện áp trên tụ giảm theo quy luật đường thẳng. Do đó điện áp ra trên tải cũng giảm theo quy luật đường thẳng. Lúc này điện thế tại điểm B (cũng là điện thế tại cực bazơ T₂) âm dần tới T₂ mở mạnh, giá trị ΔV_{c1} qua T₂, qua C₂ (có điện dung lớn) gần như được đưa toàn bộ về điểm A bù thêm với phần điện áp có sẵn tại A (đang giảm theo quy luật của điện áp v_{c1}), giữ ổn định dòng trên R nạp cho C₁. Khi dòng hồi tiếp qua C₂ về A có trị số bằng V_{cc}/R thì không còn dòng qua D dẫn tới cân bằng động, nguồn V_{cc} hầu như tách khỏi mạch và C₁ được nạp nhờ điện áp V_{cc} đã được nạp trước trên C₂.

Khi kết thúc xung dương ở đầu vào, T₁ thông và C₁ phóng điện một cách nhanh chóng qua T₁. Do T₁ làm việc ở chế độ bão hòa sâu nên thời gian phóng của C₁ rất ngắn có thể bỏ qua. Do đó thời gian hồi phục của sơ đồ chủ yếu do thời gian nạp điện của tụ C₂ quyết định. Bởi vì trong thời gian phóng điện của C₁, D vẫn khoá nên mạch nạp cho tụ C₂ bị ngắt, sau khi D thông tụ C₂ được nạp điện qua nội trở của D và R_e. Do đó thời gian hồi phục có thể tính theo công thức :

$$t_{hp} = t_{pc1} + t_{nc2} \approx t_{nc2} \quad (6.63)$$

Trong đó : t_{pc1} là thời gian phóng điện của tụ C₁, t_{nc2} là thời gian nạp điện của tụ C₂ có thể tính theo công thức:

$$t_{nc2} \approx 3C_2(R_d + R_e) \quad (6.64)$$

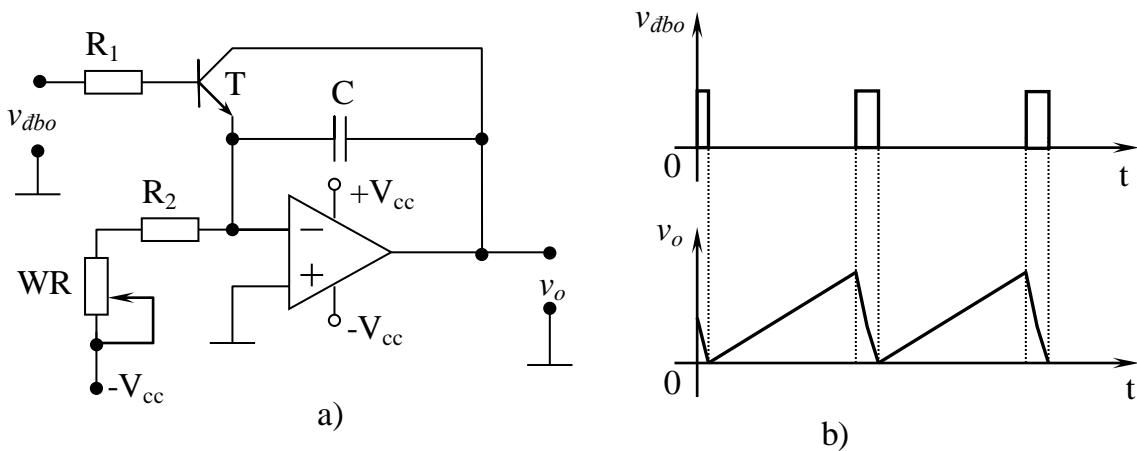
Để giảm thời gian nạp của C₂ có thể giảm giá trị điện trở R_e, song khi đó lại làm giảm điện trở vào của transistor T₂.

6.7.4 Mạch tạo điện áp răng cưa dùng vi mạch khuếch đại thuật toán

6.7.4.1 Mạch tạo điện áp răng cưa một cực tính dùng vi mạch KĐTT

Hình 6.38a là sơ đồ nguyên lý của mạch tạo điện áp răng cưa một cực tính dùng IC KĐTT và hình 6.38b là giản đồ thời gian minh họa hoạt động của mạch.

Sơ đồ này làm việc ở chế độ đợi, nhận dãy xung vào là v_{dbo}, cho ra dãy xung răng cưa cùng tần số. Xung răng cưa có sườn trước biến đổi tuyến tính, có thể điều chỉnh được trị số của biên độ.



Hình 6.38 Sơ đồ nguyên lý (a), giản đồ thời gian (b).

Khi $v_{db0} = 0$ thì transistor T khoá, khi đó điện áp $-V_{cc}$ qua WR_1, R_2 đưa đến đầu vào đảo KĐTT nên đầu ra của KĐTT có điện áp dương, tụ C được nạp điện, dòng nạp cho tụ C trong mạch: $+V_{cc} \rightarrow IC\ KĐTT \rightarrow C \rightarrow R_2 \rightarrow WR \rightarrow -V_{cc}$. Dòng điện này có trị số không đổi.

$$i_{C_{nap}} = \frac{+V_{cc}}{R_2 + WR} \quad (6.65)$$

vì điện áp giữa hai lối vào đảo và không đảo của KĐTT có trị số nhỏ nên điện áp ra có trị số được xem bằng điện áp trên tụ C.

$$v_o = v_c = \frac{1}{C} \int_0^t i_C dt + V_{C_0} \quad (6.66)$$

Nếu tần số của xung đồng bộ là $f_{db0} = 100$ Hz thì khoảng thời gian tụ C được nạp có trị số $\approx 0,01$ giây. Với giả thiết sau mỗi chu kỳ của xung đồng bộ tụ C phỏng hết điện tích, điện áp trên tụ C giảm về 0 thì $V_{C0} = 0$. Khi đó:

$$v_{rcmax} = \frac{1}{C} \int_0^{0,01} i_C dt = \frac{+V_{cc}}{C(R_2 + WR)} \cdot 0,01 \quad (V) \quad (6.67)$$

Khi thiết kế bộ phát xung răng cưa ta cần đưa ra các thông số: V_{cc} , V_{rcmax} , f_{db0} . Trên cơ sở các thông số đã cho ta có thể tính được hằng số thời gian của khâu tích phân, chọn giá trị của tụ C và suy ra giá trị của $(R_2 + WR)$.

- Tính chọn cho mạch tạo xung răng cưa:

$$\text{Từ công thức } V_{rcmax} = \frac{+V_{cc}}{C(R_2 + WR)} \cdot 0,01 \quad (V)$$

$$\Rightarrow C(R_2 + WR) = \frac{+V_{cc}}{V_{rc\max}} \cdot 0,01$$

Với $+V_{cc} = +15$ (V), chọn $V_{rc\max} = +5$ (V).

$$\Rightarrow C(R_2 + WR) = \frac{15}{5} \cdot 0,01 = 0,03(\text{s})$$

Chọn tụ có dung lượng: $C = 1$ (μF) = $1 \cdot 10^{-6}$ (F).

$$\Rightarrow (R_2 + WR) = \frac{0,03}{1 \cdot 10^{-6}} = 3 \cdot 10^4 \ (\Omega)$$

Chọn $R_2 = 10\,000$ (Ω) = 10 ($\text{k}\Omega$); $WR = 20\,000$ (Ω) = 20 ($\text{k}\Omega$).

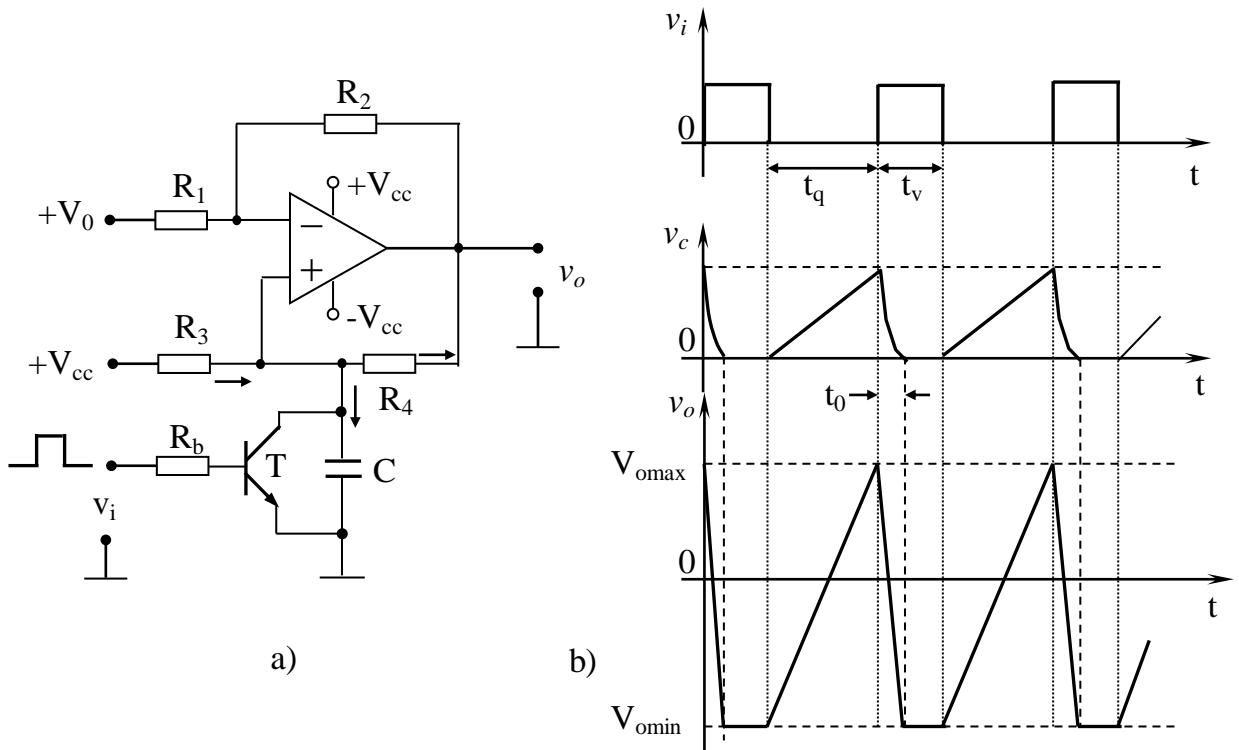
Khuếch đại thuần túy có thể chọn loại μA 741.

6.7.4.2 Mạch tạo điện áp răng cưa hai cực tính dùng vi mạch KĐTT

Nguyên lý làm việc của mạch tạo điện áp răng cưa hai cực tính dùng vi mạch KĐTT được trình bày trên hình 6.39.

Khi có xung điều khiển cực tính dương, T mở bão hoà, thông mạch cho tụ C phỏng điện trong khoảng thời gian t_0 ($t_0 < t_i$ là thời gian có xung điều khiển). Trong khoảng thời gian t_q (không có xung điều khiển) IC KĐTT làm việc ở chế độ khuếch đại tuyến tính, nếu $V_{C0} = 0$ thì :

$$v_p = v_n = v_c \quad (6.68)$$



Hình 6.39 Sơ đồ nguyên lý (a) và giản đồ thời gian (b) mạch tạo điện áp răng cưa 2 cực tính dùng IC KĐTT.

Ta xác định quy luật biến đổi của $v_C(t)$ từ đó tìm điều kiện để có quan hệ tuyến tính như sau:

Ta có phương trình dòng điện tại nút N với mạch hồi tiếp âm :

$$\frac{V_0 - v_N}{R_1} = \frac{v_N - v_o}{R_2} \Rightarrow v_o = v_N \frac{R_1 + R_2}{R_1} - V_0 \frac{R_2}{R_1} \quad (6.69)$$

Ta có phương trình dòng điện tại nút P với mạch hồi tiếp dương:

$$\frac{V_{cc} - v_P}{R_3} = C \frac{dv_C}{dt} + \frac{v_P - v_o}{R_4} \quad (6.70)$$

Từ (6.69) và (6.70) ta có:

$$\frac{dv_C}{dt} + \frac{v_C}{C} \left(\frac{1}{R_3} - \frac{R_2}{R_1 R_4} \right) = \frac{1}{C} \left(\frac{V_{cc}}{R_3} - V_0 \frac{R_2}{R_1 R_4} \right) \quad (6.71)$$

Ta thấy (6.71) là phương trình vi phân tuyến tính cấp 1, giải phương trình này ta sẽ tìm được $v_C(t)$. Một khái niệm khác ta có nhận xét sau: Tính chất biến đổi của $v_C(t)$ phụ thuộc vào hệ số của số hạng thứ hai về trái của (6.71).

+ Nếu $R_3 > \frac{R_1 R_4}{R_2}$ → $v_C(t)$ có dạng đường cong lồi.

+ Nếu $R_3 < \frac{R_1 R_4}{R_2}$ → $v_C(t)$ có dạng đường cong lõm.

+ Nếu $\frac{R_2}{R_1} = \frac{R_4}{R_3}$ → $v_C(t)$ phụ thuộc vào t theo quan hệ bậc nhất.

$$v_C = \frac{1}{C} \left(\frac{V_{cc}}{R_3} - V_0 \frac{R_2}{R_1 R_4} \right) t \quad (6.72)$$

Nếu chọn $R_1 = R_3$ và $R_2 = R_4$ ta có biểu thức rút gọn:

$$v_C = \frac{1}{R_3 C} (V_{cc} - V_0) t \quad (6.73)$$

Qua (3-43) ta thấy:

+ Nếu $V_{cc} > V_0$ thì v_o là điện áp tăng đường thẳng.

+ Nếu $V_{cc} < V_0$ thì v_o giảm đường thẳng.

+ Nếu chọn $V_0 = 0$ ta nhận được xung tam giác cực tính dương, còn nếu chọn V_0 là một nguồn điều chỉnh được thì v_o có dạng hai cực tính với biên độ gần bằng $2V_{cc}$ ($\pm V_{cc}$ là nguồn nuôi của IC KĐTT).

Trong thực tế thường V_0 lấy từ V_{cc} qua phân áp. Giá trị cực đại của điện áp trên tụ được tính theo công thức :

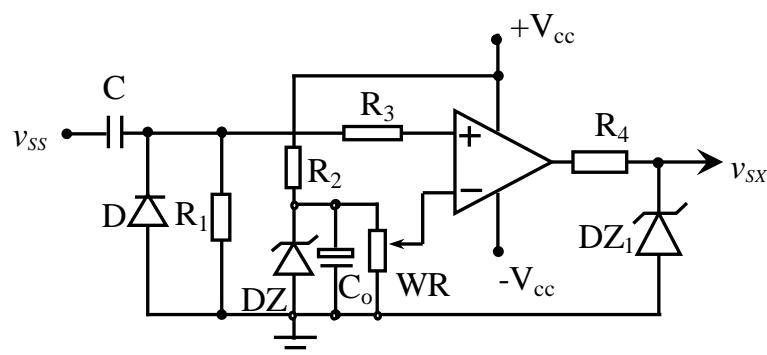
$$V_{C_{\max}} = \frac{1}{R_3 C} (V_{cc} - V_0) t_q \quad (6.74)$$

6.8 Các mạch sửa xung

Mạch sửa xung có nhiệm vụ sửa lại dạng xung cho phù hợp với yêu cầu, chẳng hạn như để kích mở cho Thyristo khi xung vào chưa đáp ứng được yêu cầu đó. Tuy nhiên mạch sửa xung phải đảm bảo không dịch chuyển thời điểm xuất hiện xung vào cần sửa.

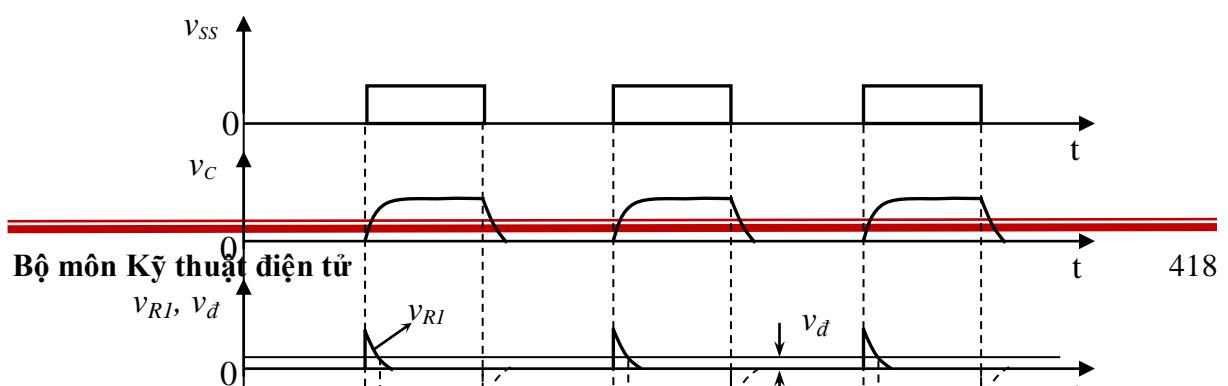
6.8.1 Mạch sửa xung dùng mạch vi phân và khuếch đại thuật toán

Sơ đồ nguyên lý của mạch sửa xung dùng mạch vi phân và khuếch đại thuật toán (hình 6.40) và giản đồ thời gian (hình 6.41).



Hình 6.40 Sơ đồ nguyên lý mạch sửa xung

Các phần tử R_2 , C_0 , DZ , WR tạo nên mạch ổn áp thông số, điện áp trên WR có giá trị không đổi. Điện áp v_{ss} là xung điện áp cần sửa được đặt lên C và R_1 nối tiếp, điện áp trên R_1 có dạng là hai xung hàm mũ có cực tính trái dấu, nhờ có diốt D ngăn mạch phản xung âm chỉ còn phản xung dương qua R_3 đưa tới đầu vào không đảo. Khuếch đại thuật toán thực hiện việc so sánh điện áp vi phân (trên R_1) và điện áp đặt lấy trên WR . Đầu ra của khuếch đại thuật toán là dãy xung vuông có cực tính thay đổi, nhờ R_4 và DZ_1 , điện áp v_{sx} là dãy xung vuông có sườn trước của các xung trùng với sườn trước của xung v_{ss} , độ rộng của xung v_{sx} có thể thay đổi được. Ta nhận thấy độ rộng xung ra phụ thuộc vào thông số của mạch vi phân (C , R_1) và điện áp đặt v_d .



Với giả thiết biên độ của v_{SS} bằng 5V, điện áp trên điện trở R_1 được tính:

$$v_{R_1} = 5 \cdot e^{-\frac{t}{C \cdot R_1}} \quad (6.75)$$

Chọn điện áp đặt $v_d = 2,5$ V.

Nếu độ rộng theo yêu cầu của xung điều khiển là t_x ta có: $2,5 = 5 \cdot e^{-\frac{t_x}{C \cdot R_1}}$ (*)

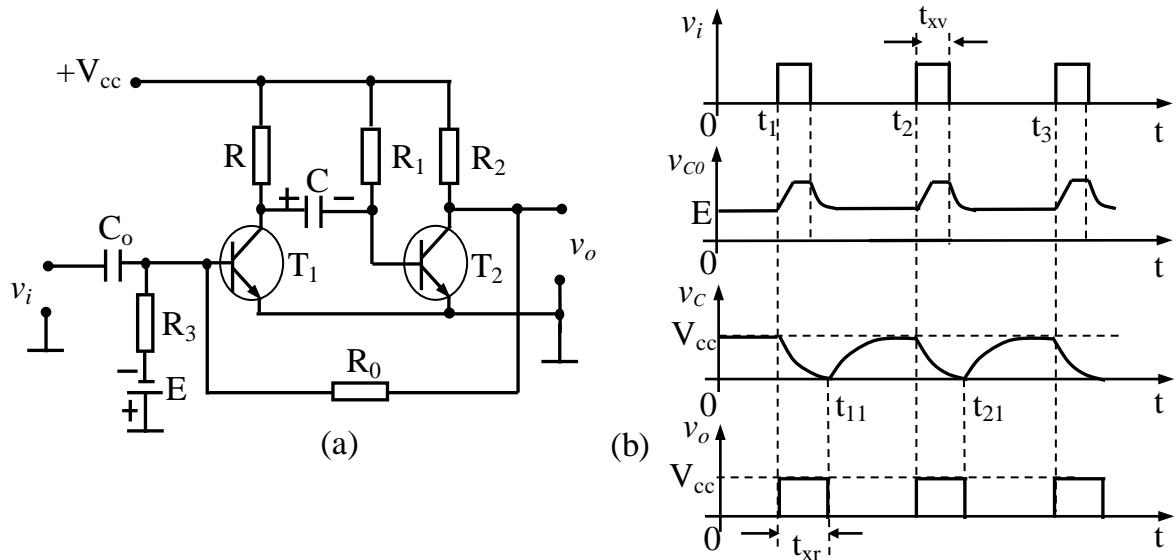
Lấy Ln hai vế của (*): $-\frac{t_x}{C \cdot R_1} = \ln 0,5 = -0,69 \Rightarrow t_x = 0,69 \cdot C \cdot R_1 \rightarrow C \cdot R_1 = \frac{t_x}{0,69}$.

Trường hợp $t_x = 500(\mu s)$

Ta có: $C \cdot R_1 = 7,25 \cdot 10^{-4}$ (s), chọn $C = 200nF = 2 \cdot 10^{-7}$ F

$$\rightarrow 2 \cdot 10^{-7} \cdot R_1 = 7,25 \cdot 10^{-4} \text{ (s)} \rightarrow R_1 = 3,63 \cdot 10^3 (\Omega) = 3,63 (\text{k}\Omega).$$

6.8.2 Mạch sửa xung dùng transistor kết hợp với mạch vi phân



Hình 6.42

Trong sơ đồ này tụ C và điện trở R là hai phần tử quyết định độ dài xung ra. Tụ C_0 là tụ ghép tầng dùng để truyền xung tới đầu vào mạch sửa xung. C_1 có dung lượng đủ

nhỏ, chỉ cần đủ để kích mở T_1 tại thời điểm có xung vào. Nguồn E và R_3 dùng để khoá T_1 một cách chắc chắn. R_0 là điện trở của mạch phản hồi dương được dùng để duy trì trạng thái mở T_1 khi điện áp ra bằng V_{cc} .

* Nguyên lý làm việc của sơ đồ:

Giả sử trong khoảng thời gian $t = 0 \div t < t_1$ chưa có xung vào, nhờ điện trở định thiên R_1 mà T_2 mở bao hoà nên điện áp ra v_o có giá trị bằng không. Do $v_o = 0$, chưa có tín hiệu vào nên trên gốc - phát của T_1 có điện áp ngược gây nên bởi nguồn thiền áp ngược E nên T_1 khoá. Lúc này tụ C được nạp điện bởi nguồn một chiều V_{cc} qua điện trở R , C , gốc - phát T_2 và về mass. Điện áp trên tụ tăng dần theo quy luật hàm số mũ cho tới khi gần bằng V_{cc} .

Tại thời điểm $t = t_1$, có xung dương đưa tới đầu vào, tụ C_0 được nạp điện bởi xung vào v_i , qua tiếp giáp EBJ của T_1 làm cho T_1 mở bao hoà. T_1 mở tụ C sẽ phóng điện qua T_1 , qua nguồn V_{cc} , qua R_1 và về bản âm của tụ. Do sụt áp trên T_1 rất nhỏ cho nên gần như toàn bộ điện áp trên tụ C được đặt lên cực gốc - phát của T_2 .

Với đặc tính của tụ C lúc này làm cho T_2 khoá lại, bỏ qua sụt áp trên R_2 ta có điện áp ra $v_o \approx V_{cc}$, xuất hiện xung điện áp trên đầu ra. Mặc dù tụ C_0 có giá trị rất nhỏ nên chỉ một thời gian rất ngắn sau thời điểm xuất hiện xung vào thì tụ C_0 đã nạp đầy và dòng qua tụ bằng 0, tụ C_0 không tác động tới đầu vào T_1 nữa, nhưng T_1 vẫn được duy trì mở bao hoà nhờ điện áp đầu ra lúc này $v_o \approx V_{cc}$ được đưa trở lại cực gốc T_1 qua R_0 .

Khi điện áp trên tụ C giảm về bằng không thì trên cực gốc T_2 lại có điện áp thuận do nguồn cung cấp truyền tới qua R_1 nên T_2 lại mở và điện áp ra $v_o \approx 0V$. Do không còn xung vào, mặt khác do $v_o \approx 0(V)$ nên không có tín hiệu phản hồi dương về cực gốc của T_1 và T_1 khoá lại, tụ C lại tiếp tục được nạp điện từ nguồn qua C qua T_2 và sẽ nạp đến giá trị gần bằng V_{cc} để chuẩn bị cho lần làm việc tiếp theo.

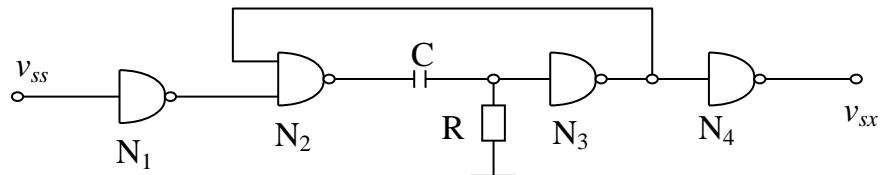
Như vậy, thời gian tồn tại của một xung điện áp ra (t_{xr}) bằng khoảng thời gian phóng của tụ C qua T_1 mở bao hoà. Điện áp trên C khi phóng là:

$$v_c(t) = V_{cc} - 2V_{cc}e^{-\frac{(t-t_1)}{RC}} \quad (6.76)$$

$$\begin{aligned} \text{Thay } t = t_1 + t_{xr} \text{ và cho } v_c(t_1+t_{xr}) = 0, \text{ ta có : } 0 = V_{cc} - 2V_{cc}e^{-\frac{t_{xr}}{RC}} \rightarrow 2 = e^{\frac{t_{xr}}{RC}} \\ \rightarrow \qquad \qquad \qquad t_{xr} = RC \ln 2 \end{aligned} \quad (6.77)$$

Như vậy ta thấy rằng độ dài xung ra chỉ phụ thuộc vào R và C mà không phụ thuộc vào độ dài xung vào. Sơ đồ này tuy đơn giản, có thể sửa được độ dài xung, đảm bảo được thời điểm xuất hiện xung vào và xung ra là như nhau, song việc tính chọn thiền áp ngược E và R_3 là rất khó.

6.8.3 Mạch sửa xung dùng mạch vi phân kết hợp với các công logic



Hình 6.43 Sơ đồ nguyên lý mạch sửa xung dùng các công logic.

Nếu điện áp ra của các phần tử logic ở mức "1" là E thì ở phần dương của điện áp trên R ta có:

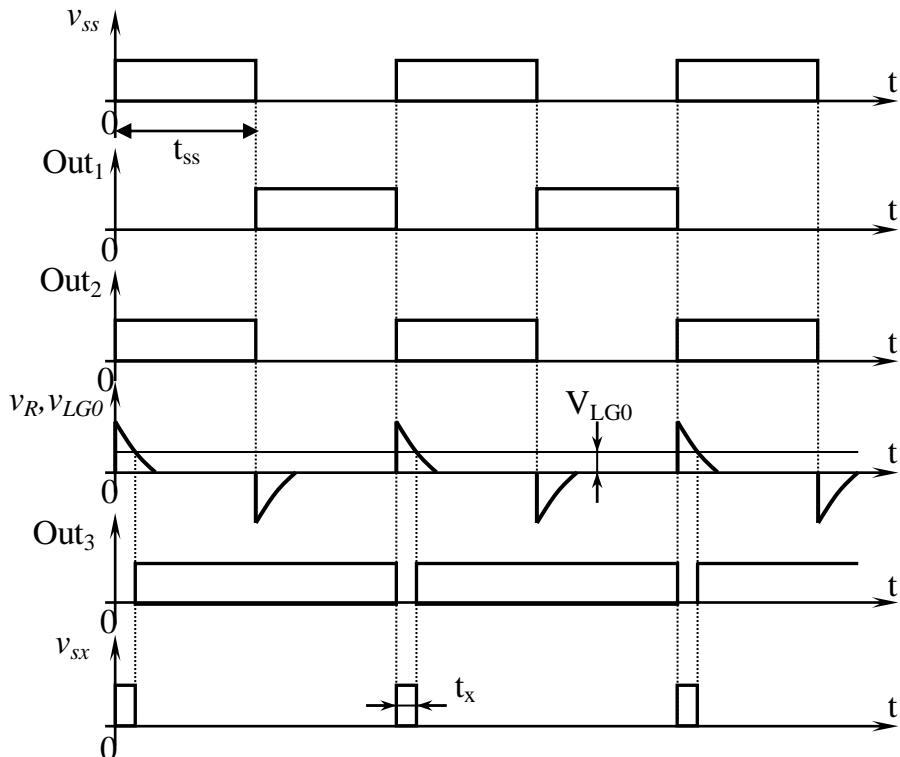
$$v_R = E \cdot e^{-\frac{t}{\tau}} = E \cdot e^{-\frac{t}{C \cdot R}} \quad (6.78)$$

Để tính chọn thông số của mạch sửa xung (khâu vi phân) cần phải biết độ rộng xung t_x cần phải tạo ra. Trên giản đồ xung ta có:

$$E \cdot e^{-\frac{t_x}{C \cdot R}} = V_{LGO} \quad (6.79)$$

Với V_{LGO} là mức lôgic "0" ở lối vào của IC lôgic, thông số này được xác định dựa vào sổ tay tra cứu.

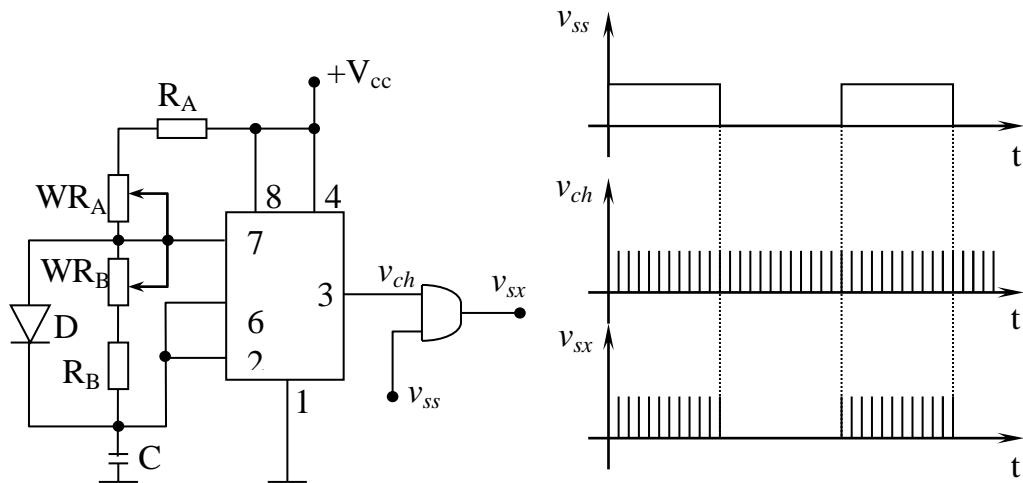
Biết E, V_{LGO} , t_x tìm được trị số R,C bằng cách chọn C (tuỳ ý) và suy ra được R.



Hình 6.44 Giản đồ thời gian mạch sửa xung dùng công logic.

6.8.4 Mạch sửa xung dùng IC 555 kết hợp với các công logic

Mạch sửa xung có thể được thực hiện bởi mạch phát xung chùm (IC 555) kết hợp với mạch AND.



Hình 6.45

Hình 6.45 là sơ đồ nguyên lý mạch phát xung chùm và giản đồ thời gian. Ở sơ đồ này nếu $R_A = R_B$ thì hằng số thời gian nạp, phỏng của tụ C là bằng nhau, chu kỳ của dãy xung vuông được tạo ra:

$$T_o = 1,4 \cdot (R + WR) \cdot C \quad (R = R_A = R_B) \quad (6.80)$$

Mỗi xung đơn được tạo ra phải có độ rộng $\geq t_x$ để có thể mở Thyristor một cách chắc chắn. Thông số RC được chọn theo công thức:

$$t_x \leq \frac{1,4 \cdot (R + WR)C}{2} = 0,7 \cdot (R + WR) \cdot C \quad (6.81)$$

Chọn C và tìm được $(R + WR)$.

Để xung vuông được tạo ra có độ rộng t_x và thời gian nghỉ của xung t_{nghi} là bằng nhau thì $R_A = R_B = R$, $WR_A = WR_B = WR$.

- Tính chọn cho mạch phát xung chùm:

Đây là một mạch phát ra dãy xung vuông, độ rộng cũng như chu kỳ của dãy xung được tính chọn dựa trên cơ sở độ rộng xung theo yêu cầu đặt ra.

Ví dụ 6.3 : Tính chọn các thông số của mạch sửa xung dùng IC 555 kết hợp với các công logic để có độ rộng xung theo yêu cầu $t_x = 200\mu s$.

Lời giải:

$$T = 2 \cdot t_x = 2 \cdot 200 = 400 \mu s = 4 \cdot 10^{-4} s, \text{ với } T \text{ là chu kỳ của xung ra.}$$

Mặt khác $T \approx 1,4 \cdot (WR + R) \cdot C$

$$\Rightarrow 1,4 \cdot (WR + R) \cdot C = 4 \cdot 10^{-4}$$

$$\Rightarrow (WR + R) \cdot C = \frac{4 \cdot 10^{-4}}{1,4} = 2,9 \cdot 10^{-4}$$

Ta chọn tụ C có dung lượng là $C = 0,01(\mu\text{F}) = 1.10^{-8} (\text{F})$

$$\Rightarrow (WR + R) = \frac{2,9.10^{-4}}{1.10^{-8}} = 29.10^3 (\Omega)$$

Chọn $R = 5000 (\Omega) = 5 (\text{K}\Omega) \Rightarrow WR = 24000 (\Omega) = 24 (\text{K}\Omega)$.

Khi ta chỉnh biến trở WR về giá trị min thì độ rộng xung ra của mạch trên có giá trị nhỏ nhất. Với các thông số trên và khi $WR = 0$ thì ta có chu kỳ T_{\min} như sau:

$$T_{\min} \approx 1,4(WR + R).C = 1,4.5000.1.10^{-8} = 7.10^{-5} (\text{s})$$

$$\text{Vậy độ rộng xung } t_{x \min} = T_{\min}/2 = 3,5.10^{-5} = 35 (\mu\text{s})$$

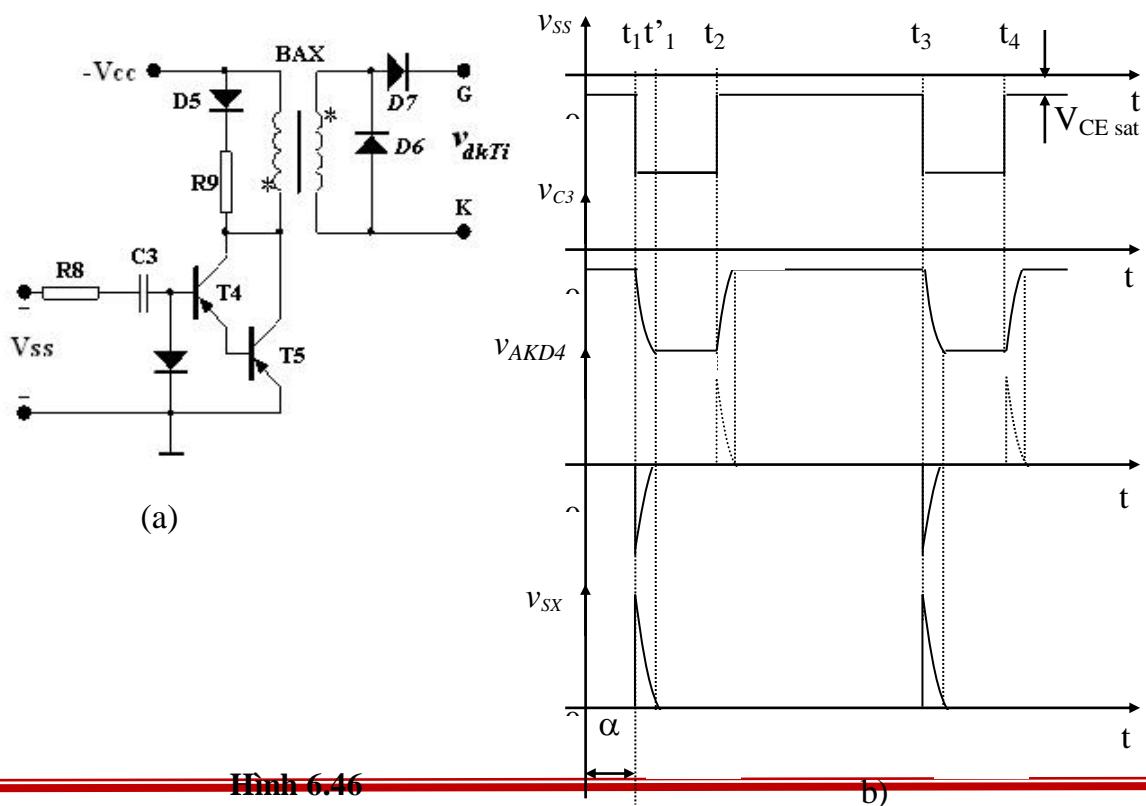
Tương tự trên khi ta chỉnh WR nên giá trị max ($WR = 24000$) thì ta có T_{\max} như sau:

$$T_{\max} \approx 1,4.(WR + R).C = 1,4.(5000 + 24000).1.10^{-8} = 40.10^{-5} (\text{s})$$

$$\Rightarrow t_{x \max} = T_{\max}/2 = 20.10^{-5} = 200 (\mu\text{s})$$

6.8.5 Mạch sửa xung dùng mạch vi phân, khuếch đại xung dùng transistor loại pnp lắp theo mạch Darlington có biến áp ra

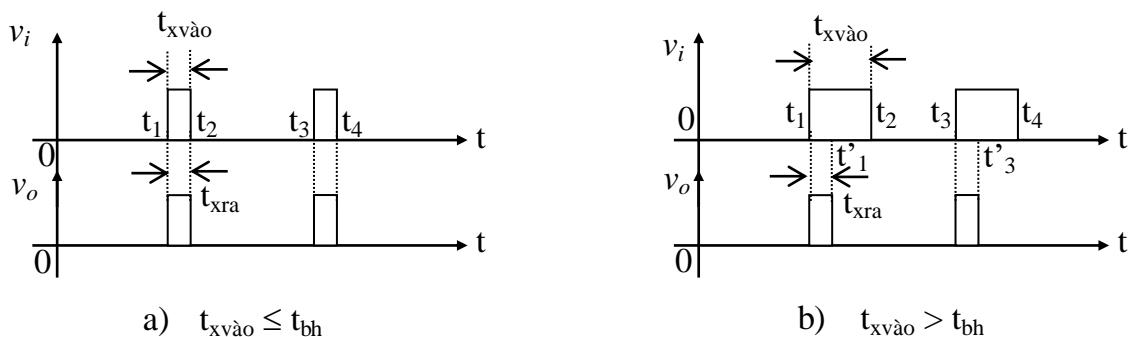
Hình 6.46 là sơ đồ nguyên lý mạch sửa xung và khuếch đại xung để kích mở cho Thyristor cùng giản đồ thời gian mô tả hoạt động của mạch. Trong sơ đồ, mạch khuếch đại xung được kết cấu từ hai transistor T_4 , T_5 ghép kiểu Darlington (mắc nối tiếp hai transistor) theo sơ đồ cực phát chung. Hai transistor mắc nối tiếp như vậy tương đương với một transistor có hệ số khuếch đại dòng điện (β) theo sơ đồ phát chung bằng tích hệ số khuếch đại dòng của hai transistor thành phần: $\beta = \beta_4 \cdot \beta_5$. Trong đó β_4 , β_5 là hệ số khuếch đại dòng điện của hai transistor T_4 và T_5 .



Hình 6.46

Trong mạch người ta lợi dụng nội trở trên tiếp giáp EBJ của T₄ và T₅ để cùng tụ C₃ tạo thành mạch sửa xung. Thực chất đây là mạch vi phân tín hiệu gồm tụ C₃ và nội trở r_{ebT4} + r_{ebT5} của hai Tranzistor. Điện áp vào của mạch vi phân là điện áp lấy ra của mạch so sánh v_{ss}, còn điện áp ra của mạch vi phân được lấy trên điện trở của mạch hay chính là điện áp V_{KAD4} trên diốt D₄. Nhìn trên sơ đồ nguyên lý ta thấy điện áp này đặt tới chân E của T₅ và chân B của T₄, đồng thời nó phân cực thuận cho hai tiếp giáp EBJ của T₄ và T₅. Do đó điện áp này có tác dụng mở hai transistor T₄ và T₅.

Biến áp xung (BAX) trong mạch có chức năng chính là truyền xung từ mạch khuếch đại xung đến Thyristor để cách ly giữa mạch điều khiển và mạch động lực. Ngoài ra nhờ vào tính chất bão hòa từ của lõi thép mà biến áp xung còn tham gia sửa dạng xung khi độ rộng của xung đưa tới mạch khuếch đại còn quá rộng. Nguyên lý sửa xung của máy biến áp xung được thể hiện trên hình 6.46. Trong đó t_x là độ rộng của xung vào cuộn sơ cấp BAX (v_i), còn t_{bh} là khoảng thời gian tính từ lúc cấp xung cho BAX đến lúc từ thông trong lõi thép của BAX bão hòa.



Hình 6.47 Giản đồ thời gian mô tả nguyên lý hoạt động của BAX.

* *Nguyên lý sửa xung của BAX :*

Trên hình 6.47a là trường hợp xung vào cuộn sơ cấp biến áp xung có độ rộng nhỏ hơn hoặc bằng khoảng thời gian bão hòa từ của BAX. Do đó xung ra v_o lấy trên cuộn thứ cấp biến áp xung có độ rộng bằng độ rộng của xung vào.

Ở hình 6.47b là trường hợp độ rộng của xung vào BAX lớn hơn thời gian bão hòa từ của BAX. Tại thời điểm t₁ có xung vào cuộn sơ cấp BAX nên trên cuộn sơ cấp BAX ta cũng thu được một xung ra. Đến thời điểm t'₁ từ thông trong lõi thép BAX bão hòa nên mất xung trên cuộn thứ cấp BAX mặc dù lúc này vẫn còn xung vào.

Như vậy xung ra lấy trên cuộn thứ cấp BAX có độ rộng lớn nhất là bằng khoảng thời gian bão hòa từ của lõi thép BAX. Dưới đây ta phân tích nguyên lý hoạt động của

mạch mạch sửa xung và khuếch đại xung với giả thiết xung đưa đến mạch BAX có độ rộng nhỏ hơn hoặc bằng khoảng thời gian bão hòa của BAX.

* *Nguyên lý hoạt động của mạch sửa xung và khuếch đại xung:*

+ Từ thời điểm $t = 0$ đến thời điểm $t = t_1$, điện áp v_{SS} có giá trị $V_{SS} = V_{CE\ sat} \approx 0$ nên ta coi điện áp vào mạch vi phân bằng không, transistor T_4 và T_5 khoá, không có xung ra trên cuộn thứ cấp biến áp xung.

+ Tại thời điểm $t = t_1$ điện áp $v_{SS} = -V_{cc2}$ đặt tới mạch vi phân và có cực tính như hình vẽ. Khi đó tụ C_3 được nạp điện từ $+V_{ss} \rightarrow r_{ebT5} \rightarrow r_{ebT4} \rightarrow C_3 \rightarrow R_8 \rightarrow$ nội trở của nguồn $V_{ss} \rightarrow$ mát. Quá trình nạp điện của tụ C_3 tạo nên dòng điện chảy qua các chân B của hai transistor T_4 và T_5 nên chúng đều mở dẫn dòng qua cuộn sơ cấp biến áp xung theo chiều từ (*) đến không (*). Lúc này trên cuộn thứ cấp biến áp xung cũng xuất hiện một điện áp có cực tính dương ở (*) và âm ở không (*). Đây chính là xung đưa đến điều khiển Thyristor $v_{dkTi} > 0$.

+ Đến thời điểm $t = t'_1$, điện áp vào mạch sửa xung vẫn có giá trị $v_{SS} = -V_{cc2}$ nhưng tụ C_3 đã đầy điện nên không nạp nữa, điện áp trên tụ giữ nguyên ở giá trị $-v_{C3} = V_{cc2}$. Khi C_3 ngừng nạp thì dòng nạp cho tụ chảy qua các chân B của transistor T_4 , T_5 cũng chuyển về bằng không nên T_4 và T_5 khoá, ngừng dẫn dòng qua cuộn sơ cấp biến áp xung. Lúc này điện áp trên cuộn sơ cấp biến áp xung bằng không nên điện áp trên cuộn thứ cấp BAX cũng chuyển về bằng không: $v_{dkTi} = 0$. Do dòng điện chạy qua cuộn sơ cấp BAX đột ngột giảm về bằng không nên trên các cuộn dây sẽ sinh ra một sức điện động tự cảm có cực tính dương ở không (*) và âm ở (*) để chống lại sự biến thiên của dòng điện. Sức điện động tự cảm này phân cực thuận cho diode D_5 nên D_5 thông dập tắt sức điện động này. Diode D_6 mắc song song với cuộn thứ cấp biến áp xung cũng có chức năng dập sức điện động tự cảm trên cuộn thứ cấp biến áp xung.

+Ở thời điểm t_2 điện áp vào mạch vi phân lại chuyển về giá trị $v_{SS} = V_{CE\ sat} \approx 0$, tụ C_3 bắt đầu thực hiện quá trình phóng điện theo đường: $+C_3 \rightarrow D_4 \rightarrow$ mát \rightarrow nội trở nguồn $V_{ss} \rightarrow R_8 \rightarrow -C_3$. Quá trình phóng điện của tụ C_3 gây ra một sụt áp thuận trên D_4 , sụt áp này đặt cả lên hai tiếp giáp EBJ của T_4 và T_5 và phân cực ngược cho hai tiếp giáp này. Đây là xung âm đặt tới hai tiếp giáp điều khiển của hai transistor và chúng được thể hiện trên giản đồ thời gian bằng nét đứt ở trục V_{KAD4} .

* *Kết luận:*

Quá trình trên cứ diễn ra liên tục và lặp đi lặp lại, kết quả là trên cuộn thứ cấp của biến áp xung ta thu được một dãy xung có tần số bằng tần số của dãy xung v_{ss} . Xung ra của mạch khuếch đại xung v_{dkTi} có sườn trước không thay đổi so với xung v_{ss} , song độ rộng của xung đã được sửa với độ rộng thích hợp để mở Thyristor. Độ rộng của

xung v_{dKTi} đúng bằng khoảng thời gian T_4 và T_5 dẫn dòng qua cuộn sơ cấp biến áp xung, đây cũng chính là khoảng thời gian tụ C_3 nạp điện từ giá trị $-v_{C3} = V_{CEsat} \approx 0$ đến giá trị $-v_{C3} = V_{cc}$. Trong thực tế người ta thường tính chọn cho mạch vi phân sao cho độ rộng của xung đưa đến mở Thyristor nằm trong khoảng từ $200\mu s$ đến $600\mu s$.

* *Tính chọn cho mạch sửa xung:*

Để tính chọn cho mạch sửa xung và khuếch đại xung ta chọn nguồn nuôi có giá trị $V_{cc3} = 12$ (V).

Khâu sửa xung gồm tụ C_3 và nội trở tiếp giáp EBJ của hai transistor T_4 và T_5 . Vì độ rộng của xung v_{dKTi} (t_x) bằng khoảng thời gian tụ C_3 nạp điện (t_n) từ giá trị $-v_{C3} = V_{CEsat}$ đến $-v_{C3} = V_{cc2}$ nên nếu ta chọn độ rộng xung $t_x = 200\mu s$ thì $t_n = 200\mu s$. Trong quá trình tụ C_3 nạp điện ta có biểu thức:

$$v_{C3} = V_{cc}(1 - e^{-\frac{t}{\tau}}) + V_{CEsat}$$

Trong đó t là thời gian nạp của tụ từ giá trị $-v_{C3} = V_{CEsat} = 0,6$ (V) đến $-v_{C3} = V_{cc}$, τ là hằng số thời gian nạp của tụ C_3 thì $\tau = (r_{ebT5} + r_{ebT4} + R_8).C_3$, với r_{ebT5}, r_{ebT4} là nội trở tiếp giáp EBJ của hai transistor T_4, T_5 . Do nội trở tiếp giáp EBJ của transistor rất nhỏ so với R_8 nên ta coi như không có, vậy ta có công thức τ như sau: $\tau = R_8.C_3$. Đến thời điểm t_1 tụ C_3 nạp đầy điện ta có biểu thức:

$$v_{C3}(t_1) = V_{cc3}(1 - e^{-\frac{t_1}{\tau}}) + V_{CEsat}$$

Thay các giá trị $V_{cc3} = 12$ (V), $V_{CEsat} = 0,6$ (V), $t_1 = 200\mu s = 2.10^{-4}$ s, $\tau = R_8.C_3$, $v_{C3}(t_1) = V_{cc2} = 12$ (V), vào biểu thức trên ta được:

$$\begin{aligned} v_{C3} &= V_{cc}(1 - e^{-\frac{t_1}{\tau}}) + V_{CEsat} \Leftrightarrow 12 = 12.(1 - e^{-\frac{2.10^{-4}}{R_8.C_3}}) + 0,6 \\ &\Rightarrow e^{-\frac{2.10^{-4}}{R_8.C_3}} = 0,6 \Rightarrow e^{\frac{2.10^{-4}}{R_8.C_3}} = 1,7 \end{aligned}$$

Lấy ln hai vế và biến đổi ta được: $R_8.C_3 = 4.10^{-4}$. $\Rightarrow R_8 = \frac{4.10^{-4}}{C_3}$

Chọn tụ C_3 có dung lượng là 200 (nF) = 2.10^{-7} (F). Khi đó suy ra: $R_8 = 2(k\Omega)$.

* *Tính chọn cho mạch khuếch đại xung:*

Mạch khuếch đại xung gồm hai transistor T_4 và T_5 là các BJT thuận ghép Darlington kết hợp với biến áp xung BAX. Để chọn được các transistor trong tầng khuếch đại ta phải hiểu tại sao người ta thường ghép như vậy để tạo ra một tầng khuếch đại. Nguyên do là transistor công suất dùng để khuếch đại công suất xung lại có hệ số khuếch đại nhỏ, trong khi đó transistor có hệ số khuếch đại lớn lại có công suất nhỏ. Vậy muốn có một tầng khuếch đại có công suất cũng như hệ số khuếch đại

lớn thì chỉ có cách ghép nối tiếp chúng lại với nhau. Khi đó hệ số khuếch đại của mạch sẽ tương đương tích hệ số khuếch đại của hai transistor thành phần. Đối với transistor có hệ số khuếch đại dòng điện lớn ta chọn là loại B₅₆₂ hay một loại khác tương đương. Còn transistor công suất lớn ta chọn là loại A671 hoặc một loại khác tương đương.

Biến áp xung BAX ta chọn loại có tỉ lệ 1:1. Các diode trong mạch ta chọn là diode chỉnh lưu có nhãn hiệu IN 4007.

BÀI TẬP

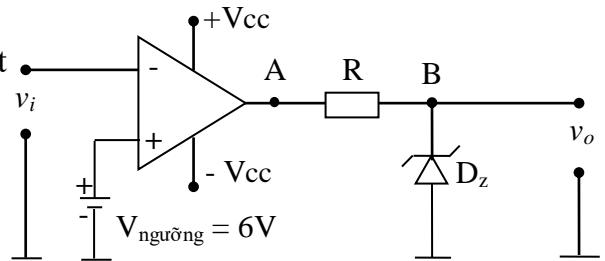
6.1 Cho mạch điện như hình Ex 6.1:

a) Vẽ và phân tích dạng đặc tuyến truyền đạt $v_A(v_i)$.

b) Cho $v_i(t) = 9 \sin(\omega t - \frac{\pi}{2})$ (V);

$\pm V_{cc} = \pm 15V$, $\pm V_{omax} = \pm 12V$,

$I_{DZtb} = 10mA$, $V_{DZ} = 3V$.



Hình Ex 6.1

- Vẽ và giải thích các điện áp $v_i(t)$; $v_A(t)$; $v_o(t)$.

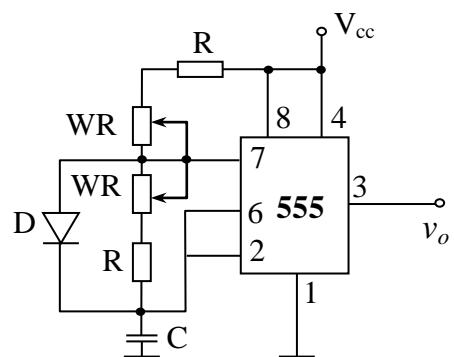
- Tính giá trị điện trở R.

- Nêu các phương pháp thay đổi độ rộng xung ra.

6.2 Cho mạch đa hài tự kích dùng IC 555 như hình Ex 6.2.

a) Vẽ các giản đồ thời gian minh họa và trình bày nguyên lý hoạt động của mạch.

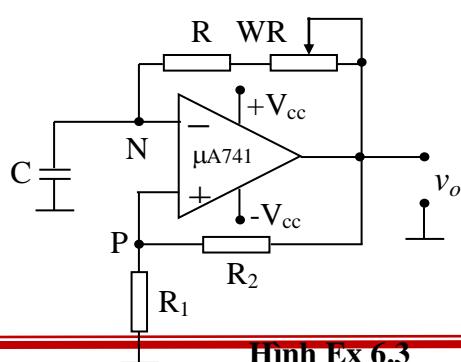
b) Tính chọn tham số của mạch sao cho tần số điện áp ra thay đổi từ (100 ÷ 1500) Hz, biết C = 100nF.



Hình Ex 6.2

6.3 Cho mạch đa hài tự kích dùng KĐTT như hình Ex 6.3.

a) Vẽ các giản đồ thời gian minh họa và trình bày nguyên lý hoạt động của mạch.



Hình Ex 6.3

b) Tính chọn tham số của mạch sao cho tần số điện áp ra thay đổi từ $(10 \div 1000)$ Hz, biết $C = 200\text{nF}$.

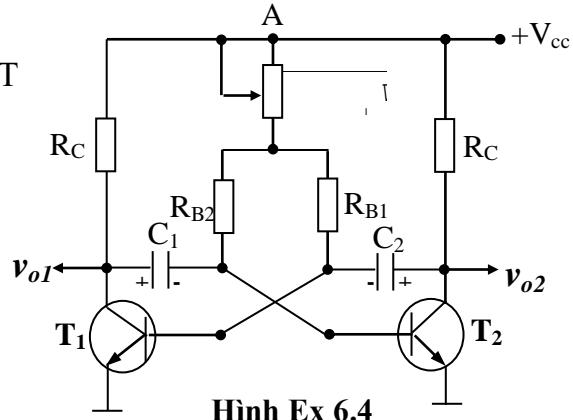
6.4 Cho mạch đa hài tự kích dùng transistor BJT như hình Ex 6.4.

- Phân tích nguyên lý hoạt động của mạch.
- Cho $R_{B1} = R_{B2} = 10\text{k}\Omega$; $R_{C1} = R_{C2} = 1,8\text{k}\Omega$;

$$C_1 = C_2 = 0,47\mu\text{F}.$$

Xác định giá trị WR để tần số xung ra là 50Hz.

- Có nhận xét gì khi $C_1 \neq C_2$.

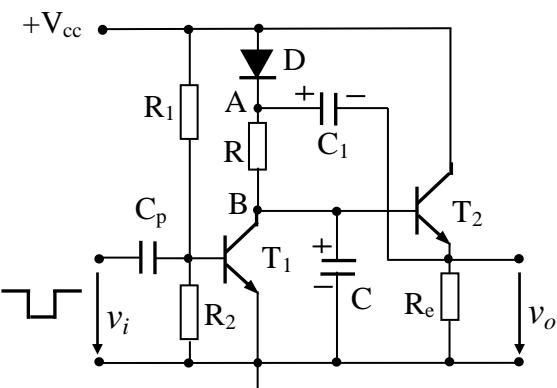


Hình Ex 6.4

6.5 Cho mạch điện như hình Ex 6.5.

Biết v_i là dãy xung vuông âm đổi xứng tần số 100Hz; $+V_{cc} = 12\text{V}$; $C = 1\mu\text{F}$; $C_1 = 10\mu\text{F}$; $R_1 = 30\text{k}\Omega$; $R_2 = 1\text{k}\Omega$; $R = 10\text{k}\Omega$;

- Phân tích nguyên lý hoạt động của mạch.
- Điện áp ra thay đổi thế nào nếu tụ C_1 hỏng mạch.



Hình Ex 6.5

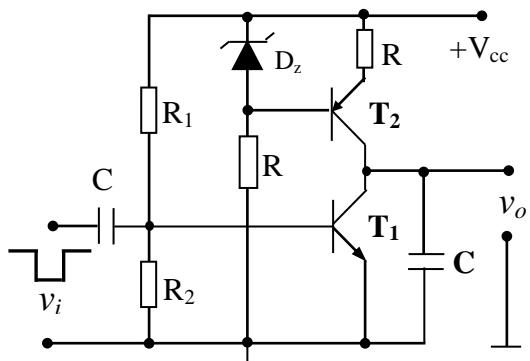
6.6 Cho mạch điện như hình Ex 6.6.

Biết: $+E_c = 10\text{V}$; $V_{DZ} = 5,6\text{V}$; $R_1 = 20\text{k}\Omega$

$R_2 = 0,5\text{k}\Omega$; $R_E = 10\text{k}\Omega$; $C = 1\mu\text{F}$

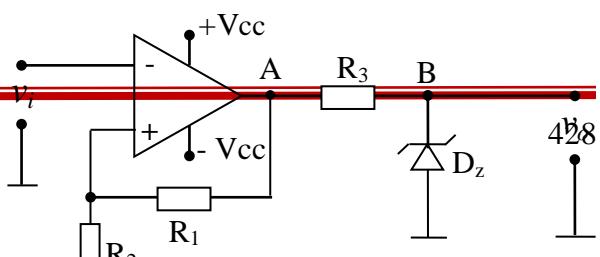
u_v là dãy xung vuông âm đổi xứng tần số 50Hz.

- Phân tích nguyên lý hoạt động của mạch.
- Điện áp ra thay đổi thế nào khi tăng hoặc giảm R_E .



Hình Ex 6.6

6.7 Cho mạch điện như hình Ex 6.7.



a) Phân tích và vẽ đặc tuyến truyền đạt $v_o(v_i)$ của mạch với giả thiết IC KĐTT là lý tưởng.

b) Cho $v_i(t) = 9\sin\omega t$ (V); $\pm V_{cc} = \pm 15V$, $R_1 = 10k\Omega$, $R_2 = 20k\Omega$, $\pm V_{omax} = \pm 12V$, $I_{DZtb} = 10mA$, $V_{DZ} = 3V$.

- Vẽ và giải thích các đồ thị điện áp $v_i(t)$; $v_A(t)$; $v_o(t)$.

- Tính giá trị điện trở R_3 .

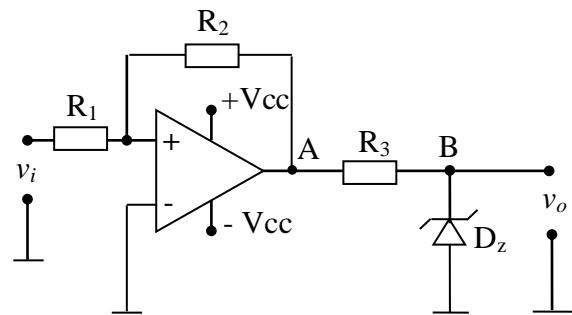
6.8 Cho mạch điện như hình Ex 6.8.

a) Phân tích và vẽ đặc tuyến $v_A(v_i)$ của mạch với giả thiết IC KĐTT là lý tưởng.

b) Cho $v_i(t) = 9\sin\omega t$ (V); $\pm V_{cc} = \pm 15V$, $R_1 = 10k\Omega$, $R_2 = 20k\Omega$, $\pm V_{omax} = \pm 12V$, $I_{DZtb} = 10mA$, $V_{DZ} = 3V$.

- Vẽ và giải thích các điện áp $v_i(t)$; $v_A(t)$; $v_o(t)$.

- Tính R_3 .



Hình Ex 6.8

6.9. Cho mạch điện như hình Ex 6.9.

Biết:

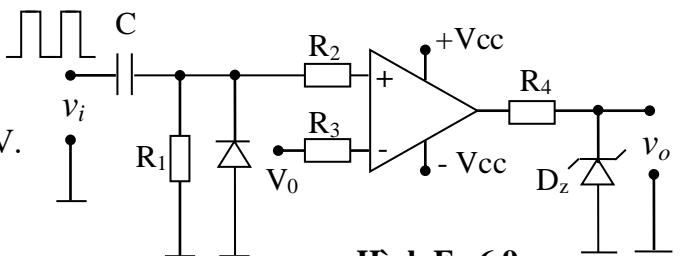
v_i là dãy xung vuông dương có biên độ 5V.

V_0 là điện áp một chiều $+2V$; $C = 0,2\mu F$;

$V_{Dz} = 3,6V$.

- a) Vẽ các giản đồ điện áp minh họa và phân tích nguyên lý hoạt động của mạch.

b) Xác định giá trị của R_1 để độ rộng xung ra $t_x = 300\mu s$.



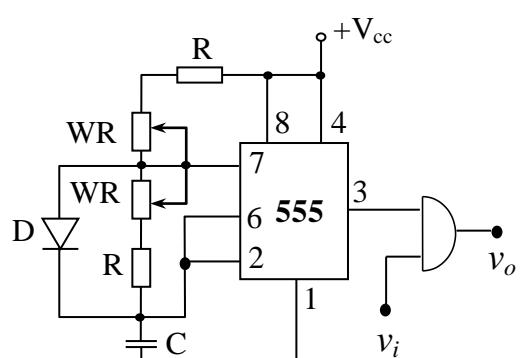
Hình Ex 6.9

6.10. Cho mạch sửa xung dùng IC 555 như hình Ex 6.10, biết:

v_i là dãy xung vuông dương tần số 100Hz; $C = 0,01\mu F$

- a) Vẽ các giản đồ điện áp minh họa và phân tích nguyên lý hoạt động của mạch.

b) Xác định R , WR để độ rộng xung ra thay đổi từ $(100 \div 400) \mu s$.



Hình Ex 6.10

MỤC LỤC

CHƯƠNG 1 NHẬP MÔN ĐIỆN TỬ HỌC	Error! Bookmark not defined.
1.1 TÍN HIỆU	Error! Bookmark not defined.
1.2 PHỔ TẦN SỐ CỦA TÍN HIỆU	Error! Bookmark not defined.
1.3 TÍN HIỆU TƯƠNG TỰ VÀ TÍN HIỆU SỐ.....	Error! Bookmark not defined.
1.4 CÁC BỘ KHUẾCH ĐẠI.....	Error! Bookmark not defined.
1.4.1 Khuếch đại tín hiệu	Error! Bookmark not defined.
1.4.2 Ký hiệu mạch khuếch đại	Error! Bookmark not defined.
1.4.3 Hệ số khuếch đại điện áp	Error! Bookmark not defined.
1.4.4 Hệ số khuếch đại công suất và khuếch đại dòng điện	Error! Bookmark not defined.
1.4.5 Biểu thị hệ số khuếch đại theo Decibels.....	Error! Bookmark not defined.
1.4.6 Những ứng dụng bộ khuếch đại công suất ..	Error! Bookmark not defined.
1.4.7 Trạng thái bão hòa bộ khuếch đại	Error! Bookmark not defined.
1.4.8 Đặc tính truyền đạt phi tuyến và sự phân cực...	Error! Bookmark not defined.
1.4.9 Quy tắc ký hiệu	Error! Bookmark not defined.
1.5 MÔ HÌNH MẠCH ĐIỆN BỘ KHUẾCH ĐẠI	Error! Bookmark not defined.
1.5.1 Bộ khuếch đại điện áp	Error! Bookmark not defined.
1.5.2 Bộ khuếch đại ghép tầng	Error! Bookmark not defined.
1.5.3 Những dạng khuếch đại khác.....	Error! Bookmark not defined.
1.5.4 Mối quan hệ giữa các mô hình của bốn bộ khuếch đại.....	Error! Bookmark not defined.
1.6 ĐÁP ỨNG TẦN SỐ BỘ KHUẾCH ĐẠI.	Error! Bookmark not defined.
1.6.1 Phép xác định đáp ứng tần số bộ khuếch đại	Error! Bookmark not defined.
1.6.2 Dải thông của bộ khuếch đại	Error! Bookmark not defined.
1.6.3 Đánh giá đáp ứng tần của các bộ khuếch đại	Error! Bookmark not defined.

Bài giảng Kỹ thuật điện tử tương tự

1.6.4 Hệ thống STC (hàng số thời gian đơn)	Error! Bookmark not defined.
1.6.5 Phân loại các bộ khuếch đại dựa trên đáp ứng tần số.....	Error! Bookmark not defined.
<u>1.7 PHẢN HỒI TRONG BỘ KHUẾCH ĐẠI</u>	Error! Bookmark not defined.
CHƯƠNG 2 KHUẾCH ĐẠI THUẬT TOÁN	45
Giới thiệu	46
2.1 Khuếch đại thuật toán lý tưởng	47
2.1.1 Các đầu vào/ra của khuếch đại thuật toán.....	47
2.1.2 Chức năng và đặc tính của khuyếch đại thuật toán lý tưởng.....	48
2.1.3 Tín hiệu vi sai và tín hiệu chế độ chung	50
2.2 Cấu trúc dạng đảo	51
2.2.1 Hệ số khuếch đại vòng kín	52
2.2.2 Ảnh hưởng của hệ số khuếch đại vòng hở hữu hạn.....	53
2.2.3 Trở kháng vào/ra	55
2.2.4 Bộ cộng có trọng số	58
2.3 Cấu trúc không đảo	60
2.3.1 Hệ số khuếch đại vòng kín	60
2.3.2 Đặc điểm của mạch khuếch đại không đảo.....	61
2.3.3 Ảnh hưởng của hệ số khuếch đại vòng hở hữu hạn.....	62
2.3.4 Mạch lặp điện áp	62
2.4 Bộ khuếch đại vi sai.....	63
2.4.1 Mạch khuếch vi sai dùng khuếch đại thuật toán đơn	64
2.4.2 Bộ khuếch đại vi sai cải tiến	68
2.5 Mạch tích phân và mạch vi phân.....	73
2.5.1 Cấu hình đảo với trở kháng	74
2.5.2 Mạch tích phân đảo	76
2.5.3 Mạch vi phân	82
BÀI TẬP	84
CHƯƠNG 5 TRANSISTOR HAI TIẾP GIÁP (BJTs)	228
GIỚI THIỆU	229
5.1 Cấu trúc vật lý, nguyên lý hoạt động của BJT	230
5.1.1 Cấu trúc của BJT	230
5.1.2 Hoạt động của transistor npn ở chế độ tích cực	232

Bài giảng Kỹ thuật điện tử tương tự

5.1.3 Cấu trúc của các transistor thực tế	237
5.1.4 Mô hình Ebers-Moll (EM).....	239
5.1.5 Hoạt động ở chế độ bão hòa	242
5.1.6 Transistor pnp	242
5.2 Đặc tuyến dòng điện – điện áp (đặc tuyến V-A)	244
5.2.1 Ký hiệu và quy ước.....	244
5.2.2 Biểu diễn đồ thị các đặc tuyến của transistor	247
5.2.3 Sự phụ thuộc của i_C vào điện áp colectơ – Hiệu ứng sớm	249
5.2.4 Hệ đặc tuyến Emittor chung	251
5.2.5 Transistor đánh thủng.....	255
5.3 Các mạch BJT ở chế độ một chiều	258
5.4 BJT hoạt động ở chế độ khuếch đại và chế độ chuyển mạch.....	272
5.4.1 Bộ khuếch đại điện áp	272
5.4.2 Đặc tuyến truyền đạt (The Voltage-Transfer Characteristic - VTC)	273
5.4.3 Hệ số khuếch đại.....	275
5.4.4 Xác định đặc tuyến truyền đạt bằng cách phân tích đồ thị.....	278
5.4.4 BJT hoạt động ở chế độ chuyển mạch.....	282
5.5 Phân cực trong các mạch khuếch đại dùng BJT	284
5.5.1 Phân cực bằng dòng không đổi.....	285
5.5.2 Phân cực dùng hai nguồn cung cấp.....	289
5.5.3 Phân cực sử dụng một điện trở phản hồi Colectơ tới Bazơ	291
5.5.4 Phân cực sử dụng một nguồn dòng điện không đổi.....	291
5.6 Hoạt động của BJT với tín hiệu nhỏ và các mô hình tương đương .	292
5.6.1 Dòng colectơ và hỗ dẫn.....	293
5.6.2 Dòng bazơ và trở kháng vào ở cực bazơ	295
5.6.3 Dòng emitơ và trở kháng vào ở cực emitơ	296
5.6.4 Hệ số khuếch đại điện áp	297
5.6.5 Phân tách tín hiệu và các đại lượng một chiều	298
5.6.6 Mô hình kết hợp dạng π	299
5.6.7 Mô hình dạng T	301
5.6.8 Ứng dụng của các mạch tương đương tín hiệu nhỏ	303
5.6.9 Tổng kết.....	311
5.7 Các mạch khuếch đại BJT đơn tầng	313

5.7.1 Cấu trúc cơ bản	313
5.7.2 Đặc tính các bộ khuếch đại dùng BJT	314
5.7.3 Mạch khuếch đại emitơ chung (CE)	321
5.7.4 Mạch khuếch đại Emitơ chung có thêm điện trở emitơ	325
5.7.5 Mạch khuếch đại Bazơ chung (CB).....	328
5.7.6 Mạch khuếch đại Colectơ chung (CC) hay mạch lặp emitơ	332
5.7.7 Tổng kết.....	338
TỔNG KẾT	342
BÀI TẬP	345
CHƯƠNG 6 CÁC MẠCH TẠO VÀ BIẾN ĐỔI DẠNG XUNG (Signal Generators and Waveform-Shaping Circuits).....	363
6.1 Khái niệm chung	364
6.1.1 Tín hiệu xung và các dạng của tín hiệu xung	364
6.1.2. Các tham số của tín hiệu xung	366
6.2. Chế độ khóa của các dụng cụ bán dẫn	368
6.2.1 Chế độ khóa của transistor	369
6.2.2 Chế độ khóa của khuếch đại thuật toán	370
6.3 Các mạch trigơ	377
6.3.1 Mạch trigơ đối xứng (RS-trigơ) dùng transistor.....	377
6.3.2 Mạch Trigơ Smit	379
6.4 Các mạch đa hài tự kích.....	389
6.4.1 Đa hài tự dao động dùng transistor BJT.....	389
6.4.2 Đa hài tự dao động dùng IC KĐTT	391
6.5 Các mạch đa hài đợi.....	395
6.5.1 Đa hài đợi dùng transistor BJT	395
6.5.2 Đa hài đợi dùng IC khuếch đại thuật toán	396
6.6 Mạch tạo xung vuông dùng IC555.....	400
6.6.1 Khái niệm.....	400
6.6.2 Sơ đồ chân và cấu trúc bên trong của IC555	400
6.6.3 Mạch đa hài tự kích dùng IC555	402
6.7. Các mạch tạo xung răng cưa	405
6.7.1 Mạch tạo điện áp răng cưa dùng mạch tích phân đơn giản.....	407
6.7.2 Mạch tạo điện áp răng cưa dùng phần tử ổn dòng	410

Bài giảng Kỹ thuật điện tử tương tự

6.7.3 Mạch tạo điện áp răng cưa dùng phương pháp bù điện áp (phản hồi điện áp)	413
6.7.4 Mạch tạo điện áp răng cưa dùng vi mạch khuếch đại thuật toán	414
6.8 Các mạch sửa xung.....	418
6.8.1 Mạch sửa xung dùng mạch vi phân và khuếch đại thuật toán ...	418
6.8.2 Mạch sửa xung dùng transistor kết hợp với mạch vi phân	419
6.8.3 Mạch sửa xung dùng mạch vi phân kết hợp với các cổng logic	421
6.8.4 Mạch sửa xung dùng IC 555 kết hợp với các cổng logic	422
6.8.5 Mạch sửa xung dùng mạch vi phân, khuếch đại xung dùng transistor loại pnp lắp theo mạch Darlington có biến áp ra	423
BÀI TẬP	427