

TRƯỜNG ĐẠI HỌC KỸ THUẬT CÔNG NGHIỆP  
KHOA ĐIỆN TỬ

-----o0o-----

**TÀI LIỆU  
HƯỚNG DẪN BÀI TẬP**

**TÊN HỌC PHẦN: KỸ THUẬT ĐIỆN TỬ SỐ**

**MÃ HỌC PHẦN: TEE311**

**NGƯỜI BIÊN SOẠN: THS. NGUYỄN THỊ HẢI NINH**

**BỘ MÔN: KỸ THUẬT ĐIỆN TỬ**

**Lưu hành nội bộ**

TRƯỜNG ĐẠI HỌC KỸ THUẬT CÔNG NGHIỆP  
KHOA ĐIỆN TỬ

-----o0o-----

**TÀI LIỆU**  
**HƯỚNG DẪN BÀI TẬP**

**TÊN HỌC PHẦN: KỸ THUẬT ĐIỆN TỬ SỐ**

**MÃ HỌC PHẦN: TEE311**

*Thái nguyên, ngày .... tháng.... năm 2015*

**TRƯỜNG BỘ MÔN KTĐT**

**NGƯỜI BIÊN SOẠN**

**NGUYỄN PHƯƠNG HUY**

**NGUYỄN THỊ HẢI NINH**

**Lưu hành nội bộ**

## Chương 1. CƠ SỞ ĐẠI SỐ LOGIC

- 1.1. Nêu các phép toán, các quy tắc, định luật, định lý cơ bản của đại số lôgic.
- 1.2. Trình bày các phương pháp biểu diễn hàm lôgic.
- 1.3. Trình bày về phương pháp biểu diễn hàm logic dạng giải tích. Lấy ví dụ minh họa.
- 1.4. Trình bày về phương pháp biểu diễn hàm logic dùng bảng chân lý. Lấy ví dụ minh họa.
- 1.5. Trình bày về phương pháp biểu diễn hàm logic dùng bảng Các nô. Lấy ví dụ minh họa.
- 1.6. Trình bày về phương pháp biểu diễn hàm logic dùng giản đồ thời gian. Lấy ví dụ minh họa.
- 1.7. Trình bày về phương pháp biểu diễn hàm logic dùng sơ đồ logic. Lấy ví dụ minh họa.
- 1.8. Trình bày về phương pháp tối giản hoá hàm lôgic bằng phương pháp đại số. Cho ví dụ minh họa.
- 1.9. Trình bày nguyên tắc tối giản hoá hàm lôgic bằng phương pháp bìa Các nô. Cho ví dụ minh họa.
- 1.10. Trình bày về các hệ thống số đếm thường sử dụng trong kỹ thuật số. Lấy ví dụ.
- 1.11. Phần tử lôgic “Phủ định” - NOT: Định nghĩa, hàm lôgic, ký hiệu, bảng trạng thái, giản đồ thời gian, mạch điện thực hiện phần tử NOT.
- 1.12. Phần tử lôgic “Và” - AND: Định nghĩa, hàm lôgic, ký hiệu, bảng trạng thái, giản đồ thời gian, mạch điện thực hiện phần tử AND.
- 1.13. Phần tử lôgic “Hoặc” - OR: Định nghĩa, hàm lôgic, ký hiệu, bảng trạng thái, giản đồ thời gian, mạch điện thực hiện phần tử OR.
- 1.14. Phần tử lôgic “Và - phủ định” - NAND: Định nghĩa, hàm lôgic, ký hiệu, bảng trạng thái, giản đồ thời gian, mạch điện thực hiện phần tử NAND.
- 1.15. Phần tử lôgic “Hoặc - phủ định” - NOR: Định nghĩa, hàm lôgic, ký hiệu, bảng trạng thái, giản đồ thời gian, mạch điện thực hiện phần tử NOR.
- 1.16. Phần tử lôgic tương đương (cùng dấu): Định nghĩa, hàm lôgic, ký hiệu, bảng trạng thái, giản đồ thời gian, mạch điện thực hiện phần tử cùng dấu.
- 1.17. Phần tử khác dấu (cộng môđun 2): Định nghĩa, hàm lôgic, ký hiệu, bảng trạng thái, giản đồ thời gian, mạch điện thực hiện phần tử khác dấu.
- 1.18. Biểu diễn các hàm logic sau dưới dạng tuyển chính quy:

a)  $F(A, B, C) = \overline{A} \cdot B + \overline{A} \cdot \overline{B} \cdot \overline{C} + A \cdot C$

b)  $F(A, B, C, D) = A \cdot B + \overline{A} \cdot B \cdot D + \overline{A} \cdot C \cdot \overline{D}$

c)  $F(x, y, z, t) = x \cdot \overline{y} \cdot z + \overline{x} \cdot \overline{y} + x \cdot y \cdot \overline{z} \cdot t$

d)  $F(x_1, x_2, x_3) = x_1 \cdot x_2 + \overline{x_1} \cdot x_3 + x_2 \cdot x_3$

e)  $F(x_1, x_2, x_3, x_4) = x_1 \cdot x_3 + \overline{x_1} \cdot x_2 \cdot x_3 + x_1 \cdot \overline{x_2} \cdot x_4$

**1.19.** Biểu diễn các hàm logic sau dưới dạng hội chính quy:

a)  $F(A, B, C) = (A + B) \cdot (C + \overline{B})$

b)  $F(A, B, C, D) = (A + \overline{B} + C) \cdot (\overline{B} + C + \overline{D}) \cdot (A + \overline{B} + \overline{C} + D)$

c)  $F(A, B, C) = (A + B) \cdot (A + \overline{B} + C) \cdot (\overline{A} + C)$

d)  $F(A, B, C) = (\overline{A} + B) \cdot (A + \overline{B} + C)$

e)  $F(A, B, C) = (A + C) \cdot (AB + AC)$

**1.20.** Biến đổi biểu thức sau thành tổng của các tích

a.  $(A + B)(A + \overline{C})(A + D)(B\overline{C}D + E)$

b.  $(A + \overline{B} + C)(\overline{B} + C + D)(\overline{A} + C)$

c.  $(A + \overline{B}C + \overline{D})(\overline{B}C + \overline{D} + E)(A + \overline{E})(AD + \overline{E})$

d.  $(\overline{A} + B\overline{E})(B\overline{E} + C + D)(E + \overline{C})$

e.  $(\overline{A} + B)(\overline{C} + \overline{B}D)(A + E + \overline{B}D)$

f.  $(A + \overline{B})(A + C + D)(A + B + \overline{D})$

g.  $(A + B)(B + C)(B + \overline{D})(AC\overline{D} + E)$

h.  $(AB + \overline{C})(A + \overline{C})(A + \overline{B} + D\overline{E})(\overline{B} + \overline{C} + D\overline{E})$

i.  $(A + \overline{B})(A + C + D)(A + \overline{B} + D)$

j.  $(\overline{A} + B)(\overline{A} + C)(C + D)(B + D)$

**1.21.** Biến đổi biểu thức sau thành tích của các tổng

a.  $DE + \overline{F}\overline{G}$

g.  $\overline{H}\overline{I} + JK$

b.  $W\overline{X} + W\overline{Y}Z' + WYZ$

h.  $ABC + \overline{A}\overline{B}C + C\overline{D}$

c.  $\overline{A}CD + \overline{E}\overline{F} + BCD$

i.  $A\overline{B} + ACD + AD\overline{E}$

d.  $ABE + \overline{D}E + A\overline{C}E$

j.  $A\overline{B}C + BCD + EF$

e.  $A\overline{C}D + \overline{C}\overline{D} + \overline{A}\overline{D}$

k.  $W\overline{X}Y + \overline{W}\overline{X} + \overline{W}\overline{Y}$

f.  $H + I\overline{J} + \overline{K}L$

l.  $A\overline{B} + (C\overline{D} + E)$

**1.22.** Bằng phương pháp đại số hãy rút gọn các hàm logic sau:

a)  $F(A, B, C) = AB\overline{C} + \overline{ABC}$

b)  $F(A, B, C, D) = A + \overline{B}C + \overline{D}(A + \overline{B}C)$

c)  $F(A, B, C, D) = A\overline{B}(C + D) + (\overline{C} + \overline{D})$

d)  $F(A, B, C, D, E) = (AB + \overline{CD})(AB + \overline{DE})$

e)  $F(X, Y, Z, W) = (\overline{VW} + X)(X + Y + Z + \overline{V})$

**1.23.** Làm tương tự bài 1.22

a)  $F(x_1, x_2, x_3) = \overline{x_1} + x_1 x_2 \overline{x_3} + (\overline{x_1} + x_1 x_2 \overline{x_3}).(x_1 + \overline{x_1} \overline{x_2} x_3) + x_1 x_2 x_3 + x_1 \overline{x_2}$

b)  $F(A, B, C, D) = AB + BCD + \overline{A}.C + \overline{B}.C$

c)  $F(A, B, C, D, E) = F = CE(\overline{A} + B + \overline{C} + \overline{E}).(B + \overline{C} + D + \overline{E}).(A + B + \overline{C} + \overline{E})$

d)  $F(A, B, C) = ABC + \overline{A}.C + \overline{B}.C$

e)  $F(A, B, C, D) = A + \overline{B}.C + \overline{D}.(A + \overline{B}.C)$

**1.24.** Bằng phương pháp đại số hãy chứng minh các đẳng thức sau:

a)  $\overline{W}XY + WZ = (\overline{W} + Z)(W + XY)$

b)  $(A + C)(AB + \overline{C}) = AB + A\overline{C}$

c)  $AB + \overline{AC} = (A + C).(\overline{A} + B)$

d)  $\overline{AC + BC} = \overline{AC} + \overline{B}\overline{C}$

e)  $A\overline{B} + \overline{A}\overline{C}\overline{D} + \overline{A}\overline{B}.D + \overline{A}\overline{B}.C\overline{D} = \overline{B} + \overline{A}\overline{C}\overline{D}$

**1.25.** Làm tương tự bài 1.24

a)  $A.\overline{A} \oplus B \oplus \overline{C} = A.B.\overline{C} + A.\overline{B}.C$

b)  $A + BC + \overline{A}.(\overline{B} + \overline{C}).(AD + C) = A + C$

c)  $\overline{AB + \overline{AB} + \overline{C}} = (A \oplus B).C$

d)  $(A \oplus B) \oplus C = A \oplus (B \oplus C)$

e)  $(\overline{a} + \overline{b} + \overline{d})(\overline{a} + b + \overline{d})(b + c + d)(a + \overline{c})(a + \overline{c} + d) = \overline{a}\overline{c}d + ac\overline{d} + b\overline{c}\overline{d}$

**1.26.** Đơn giản biểu thức sau:

a.  $F = \overline{a}b \oplus bc \oplus ab \oplus \overline{b}\overline{c}$

b.  $F = ab \oplus bc \oplus \overline{a}\overline{b} \oplus b\overline{c}$

**1.27.** Chứng minh phát biểu sau luôn là đúng:

- a. Nếu  $x(y + \bar{a}) = x(y + \bar{b})$ , thì  $a=b$
- b. Nếu  $a=b$ , thì  $x(y + \bar{a}) = x(y + \bar{b})$
- c. Nếu  $A+B=C$ , thì  $\bar{A}\bar{D} + \bar{B}\bar{D} = \bar{C}\bar{D}$
- d. Nếu  $\bar{A}B + \bar{A}C = \bar{A}D$ , thì  $B + C = D$
- e. Nếu  $A + B = C$ , thì  $A + B + D = C + D$
- f. Nếu  $A + B + C = C + D$ , thì  $A + B = D$

**1.28.** Dùng phương pháp bìa các nô hãy tối thiểu hóa hàm logic sau:

a. $f_1(\bar{a}, b, c) = \sum(1, 3, 4, 6)$	e. $f_5(a, b, c) = \sum(1, 4, 5, 6)$
b. $f_2(d, e, f) = \sum(1, 4, 5, 7)$	f. $f_6(d, e, f) = \prod(0, 2, 4, 7)$
c. $f_3(r, s, t) = \bar{r}\bar{t} + r\bar{s} + rs$	g. $f_7(r, s, t) = \bar{r}s\bar{t} + rt + st + rs\bar{t}$
d. $f_4(x, y, z) = \prod(1, 7)$	

**1.29.** Biểu diễn hàm logic sau bằng bìa các nô:

$$F(A, B, C, D) = \bar{A}\bar{B} + C\bar{D} + ABC + \bar{A}\bar{B}C\bar{D} + A\bar{B}\bar{C}D$$

- a. Tối thiểu hóa hàm logic theo dạng tuyển
- b. Tối thiểu hóa hàm logic theo dạng hội

**1.30.** Làm tương tự bài 1.29

- a.  $f(a, b, c, d) = \sum(0, 1, 2, 4, 6, 7, 8, 9, 13, 15)$
- b.  $f(a, b, c, d) = \sum(0, 1, 5, 8, 12, 14, 15) + d(2, 7, 11)$

**1.31.** Cho hàm lôgic 3 biến có biểu thức như sau:

$$F(x_1, x_2, x_3) = \bar{x}_1.x_3 + x_2.x_3 + \bar{x}_1\bar{x}_2.x_3$$

- a) Hãy lập bảng chân lý của hàm F, từ đó xây dựng bìa Cácnô cho hàm F
- b) Tối giản hóa hàm F (dạng tuyển) bằng quy tắc Cácnô

**1.32.** Một hàm lôgic 3 biến  $F(x_1, x_2, x_3)$  gồm có 6 số hạng, ở dạng đầy đủ có biểu thức sau:

$$F(x_1, x_2, x_3) = \bar{x}_1\bar{x}_2\bar{x}_3 + \bar{x}_1\bar{x}_2.x_3 + \bar{x}_1.x_2\bar{x}_3 + x_1\bar{x}_2\bar{x}_3 + x_1\bar{x}_2.x_3 + x_1.x_2\bar{x}_3$$

- a) Hãy thiết lập bảng chân lý và viết bìa Cácnô cho hàm F
- b) Tìm biểu thức tối giản của F bằng quy tắc bìa Cácnô
- c) Biểu diễn hàm F dưới dạng giản đồ thời gian

**1.33.** Cho các hàm lôgic 3 biến có biểu thức như sau:

$$\begin{aligned} F_1 &= x_1.x_2 + \bar{x}_1.x_3 ; G_1 = (x_1 + x_2)(\bar{x}_1 + x_3) \\ F_2 &= x_1.x_2 + \bar{x}_1.x_3 + x_2.x_3 ; G_2 = (x_1 + x_2)(\bar{x}_1 + x_3)(x_1 + x_2) \end{aligned}$$

- a) Chứng minh rằng  $F_1 = F_2 = F$ ;  $G_1 = G_2 = G$
- b) Lập bảng chân lý và bìa Cácnô cho hàm F và hàm G.

**1.34.** Cho 2 hàm lôgic 3 biến có biểu thức như sau:

$$F_1 = x.y + y.z + z.x$$

$$F_2 = \overline{x}.\overline{y} + \overline{y}.\overline{z} + \overline{z}.\overline{x}$$

- a) Tìm mối liên hệ giữa 2 hàm  $F_1$  và  $F_2$
- b) Lập bảng chân lý và bìa Cácnô của  $F_1$  và của  $F_2$
- c) Biểu diễn hàm  $F_1$  dưới dạng giản đồ thời gian

**1.35.** Cho hàm logic 4 biến dưới dạng bìa Cácnô như hình bên:

- a) Hãy tối giản hàm F (dạng tuyễn) dùng phương pháp bìa Cácnô.
- b) Biểu diễn hàm F dưới dạng tuyễn chính quy và hội chính quy.

		F			
		cd			
		00	01	11	10
ab		1	0	1	1
00					
01		0	1	1	1
11		x	x	x	x
10		1	1	x	x

**1.27.** Tối giản các hàm logic có bìa Cácnô như sau:

		F <sub>1</sub>			
		FQ			
		00	01	11	10
MN		0	0	0	1
00					
01		1	1	0	0
11		0	0	1	1
10		0	0	1	1

		F <sub>2</sub>			
		CD			
		00	01	11	10
AB		1	0	0	x
00					
01		1	x	1	1
11		x	1	0	1
10		1	1	0	1

		F <sub>3</sub>			
		CD			
		00	01	11	10
AB		0	1	x	0
00					
01		x	1	1	0
11		0	0	1	x
10		x	1	0	0

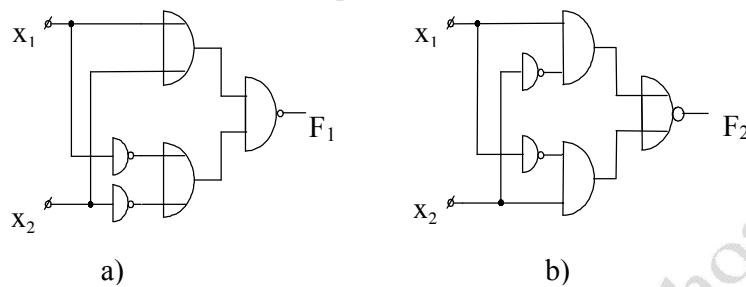
		F <sub>4</sub>			
		ZW			
		00	01	11	10
XY		0	0	x	1
00					
01		0	1	1	1
11		1	1	1	x
10		x	0	0	1

**1.36.** Cho các mạch logic có cấu trúc như hình 1.28 a) và b) với hai đầu vào có các biến lôgic  $x_1$  và  $x_2$  tác động, một đầu ra nhận được các hàm lôgic lần lượt là  $F_1$  và  $F_2$ .

a) Hãy tìm biểu thức của  $F_1$  và  $F_2$  ở dạng đầy đủ

b) Biến đổi các biểu thức đã tìm được ở câu a) về dạng tối giản theo 2 cách: dạng tổng của tích các biến và dạng tích của tổng các biến, qua đó chứng minh rằng  $F_1 = F_2$

c) Tìm cấu trúc tương đương với cấu trúc hình 1.28 trong đó chỉ sử dụng một loại phần tử NAND (hoặc chỉ một loại phần tử NOR) có 2 đầu vào.



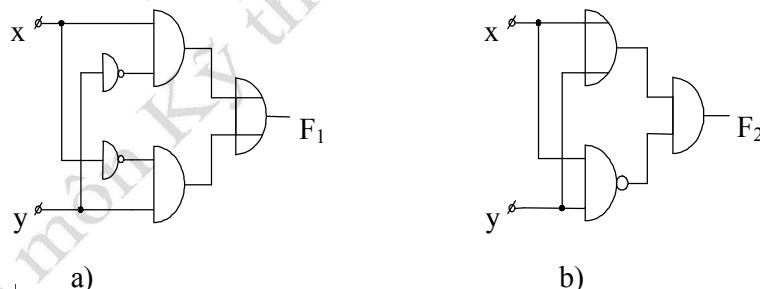
Hình 1.28

**1.37.** Cho 2 mạch logic tổ hợp có cấu trúc trên hình 1.29 a) và b) với các biến đầu vào ký hiệu là  $x$  và  $y$  để tổng hợp các hàm trạng thái ra  $F_1$  và  $F_2$  tương ứng.

a) Viết biểu thức lôgic đầy đủ của hàm  $F_1$  và  $F_2$

b) CMR khi tối giản  $F_1$  và  $F_2$  ta có  $F_1 = F_2$

c) Tìm một dạng cấu trúc thứ 3 tương đương với cấu trúc hình 1.29 a) để thực hiện hàm  $F_1$  chỉ từ các phần tử NAND 2 đầu vào. Tương tự tìm một cấu trúc chỉ gồm các phần tử NOR tương đương với hình 1.29 b) để thực hiện hàm  $F_2$



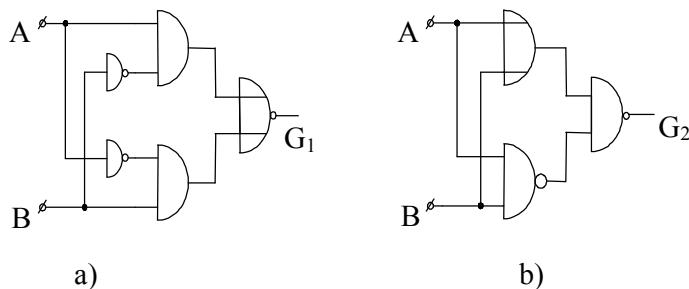
Hình 1.29

**1.38.** Cho 2 cấu trúc như hình 1.30 a) và b) dùng để thực hiện các hàm lôgic  $G_1$  và  $G_2$  với các biến lôgic đầu vào là  $A$  và  $B$

a) Thiết lập biểu thức lôgic của  $G_1$  và  $G_2$

b) Đơn giản biểu thức đã thu được và tìm mối quan hệ giữa  $G_1$  và  $G_2$

c) Tìm 2 cấu trúc tương đương với 2 cấu trúc trên chỉ thực hiện các hàm  $G_1$  (hoặc  $G_2$ ) bằng các phần tử NAND (hoặc NOR) có 2 đầu vào.



Hình 1.30

**1.39.** Cho hàm lôgic 3 biến có biểu thức như sau:  $F(x_1, x_2, x_3) = x_1 \cdot \overline{x_2} \cdot x_3 + x_1 \cdot \overline{x_3} + x_2 \cdot \overline{x_3}$

- a) Hãy thiết lập bảng trạng thái của F, từ đó xây dựng bìa Cácnô của F
- b) Tối giản hoá hàm F bằng quy tắc Cácnô
- c) Xây dựng cấu trúc thực hiện hàm F chỉ dùng phần tử NAND (hoặc NOR) 2 đầu vào.

**1.340.** Cho hàm logic 4 biến:  $F(a,b,c,d) = \sum m(0,1,2,4,6,8,9,10)$  và không xác định tại các  $m = 5,11,13,15$ .

- a) Lập bảng chân lý (bảng thật) cho hàm F.
- b) Biểu diễn hàm F dưới dạng tuyễn chính quy và hội chính quy.
- c) Tối giản hoá hàm F (dạng tuyễn) bằng phương pháp bìa Cácnô.
- d) Xây dựng mạch logic thực hiện hàm F :
  - ❖ Dùng các phần tử logic cơ bản.
  - ❖ Chỉ dùng phần tử NAND (hoặc NOR) 2 đầu vào.

**1.41.** Cho hàm logic 4 biến:  $F(x,y,z,t) = \prod M(0,1,2,8,9,12)$  và không xác định tại  $M = 11, 14$

- a) Lập bảng chân lý (bảng thật) cho hàm F.
- b) Biểu diễn hàm F dưới dạng tuyễn chính quy và hội chính quy.
- c) Tối giản hoá hàm F (dạng tuyễn) bằng phương pháp bìa Cácnô.
- d) Xây dựng mạch logic thực hiện hàm F :
  - ❖ Dùng các phần tử logic cơ bản.
  - ❖ Chỉ dùng phần tử NAND (hoặc NOR) 2 đầu vào.

**1.42.** Cho hàm logic 3 biến:  $F(x,y,z) = \Sigma m(3,5,6)$  và không xác định tại  $m = 0,7$

- a) Lập bảng chân lý (bảng thật) cho hàm F.

- b) Biểu diễn hàm F dưới dạng tuyễn chính quy và hội chính quy.
- c) Tối giản hoá hàm F (dạng tuyễn) bằng phương pháp bìa Cácnô.
- d) Xây dựng mạch logic thực hiện hàm F :
  - ❖ Dùng các phần tử logic cơ bản.
  - ❖ Chỉ dùng phần tử NAND (hoặc NOR) 2 đầu vào.

**1.43.** Cho hàm logic 4 biến:  $F(x,y,z,t) = \prod M(0,2,3,6,7,9)$  và không xác định tại  $M = 5, 10, 12$

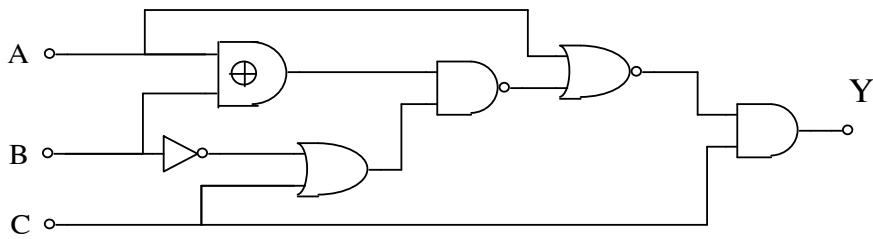
- a) Lập bảng chân lý (bảng thật) cho hàm F.
- b) Biểu diễn hàm F dưới dạng tuyễn chính quy và hội chính quy.
- c) Tối giản hoá hàm F (dạng tuyễn) bằng phương pháp bìa Cácnô.
- d) Xây dựng mạch logic thực hiện hàm F :
  - ❖ Dùng các phần tử logic cơ bản.
  - ❖ Chỉ dùng phần tử NAND (hoặc NOR) 2 đầu vào.

**1.44.** Cho hàm logic 3 biến có bảng chân lý như bảng dưới:

<b>a</b>	<b>B</b>	<b>c</b>	<b>F</b>
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

- a) Viết biểu thức tuyễn chính quy và hội chính quy của hàm F.
- b) Tối giản hoá hàm F (dạng tuyễn) bằng phương pháp bìa Cácnô.
- c) Xây dựng mạch logic thực hiện hàm F chỉ dùng cỗng NAND 2 đầu vào.

**1.45.** Cho hàm Y có sơ đồ logic như sau:



Hãy tìm hàm Y và tối giản hóa.

**1.46.** Cho hàm logic có bìa Các nô như sau:

		CDE	000	001	011	010	110	111	101	100
		AB	00	1	1	1	1	x	1	1
		01	1	0	x	0	0	1	x	1
		11	1	0	1	1	1	1	0	x
		10	0	0	1	x	1	1	1	1

- a) Tối giản hàm F (dạng tuyển) dùng phương pháp bìa Các nô
- b) Tối giản hàm F (dạng hội) dùng phương pháp bìa Các nô
- c) Biểu diễn hàm F dưới dạng sơ đồ logic dùng các phần tử logic cơ bản
- d) Biểu diễn hàm F dưới dạng sơ đồ logic chỉ dùng phần tử NAND có 2 đầu vào
- e) Biểu diễn hàm F dưới dạng sơ đồ logic chỉ dùng phần tử NOR có 2 đầu vào

**1.47.** Có 4 công tắc điều khiển 1 động cơ. Mỗi khi có 2 công tắc được đóng thì động cơ chạy, ngoài ra động cơ ngưng.

- a. Hãy thiết kế mạch.
- b. Vẽ sơ đồ mạch sao cho chỉ dùng NAND 2 ngõ vào.
- c. Vẽ sơ đồ mạch sao cho chỉ dùng NOR 2 ngõ vào.

**1.48.** Hãy thiết kế mạch số có 4 ngõ vào D,C,B,A và 3 ngõ ra Y<sub>1</sub>, Y<sub>2</sub>, Y<sub>3</sub> thoả các điều kiện sau:

- a. Khi D=0 thì 3 ngõ ra Y<sub>3</sub>Y<sub>2</sub>Y<sub>1</sub> lần lượt bằng C, B, A.
- b. Khi D=1 thì 3 ngõ ra Y<sub>3</sub>Y<sub>2</sub>Y<sub>1</sub> lần lượt bằng A,C,B.

## Chương 2. CÁC MẠCH SỐ HỌC

- 2.1.** Thiết kế bộ trừ hai số nhị phân 3 bit
- 2.2.** Thiết kế bộ trừ hai số nhị phân 4 bit
- 2.3.** Thiết kế bộ cộng hai số nhị phân 3 bit
- 2.4.** Thiết kế bộ cộng hai số nhị phân 4 bit
- 2.5.** Thiết kế bộ so sánh hai số nhị phân 3 bit
- 2.6.** Thiết kế bộ so sánh hai số nhị phân 4 bit
- 2.7.** Thiết kế mạch nhân hai số nhị phân 3 bit
- 2.8.** Thiết kế mạch nhân hai số nhị phân 4 bit

## Chương 3. CÁC MẠCH TRIGO

- 3.1. Trigô (Flip-Flop) là gì? Nêu các đặc điểm của Trigô.
- 3.2. Trình bày về trigô R-S không đồng bộ: Sơ đồ mô phỏng, nguyên lý làm việc, bảng trạng thái, bảng chuyển tiếp, bảng kích, phương trình đặc tính, cấu trúc logic.
- 3.3. Trình bày về trigô J-K : Sơ đồ mô phỏng, nguyên lý làm việc, bảng trạng thái, bảng chuyển tiếp, bảng kích, phương trình đặc tính, cấu trúc logic..
- 3.4. Trình bày về trigô T : Sơ đồ mô phỏng, nguyên lý làm việc, bảng trạng thái, bảng chuyển tiếp, bảng kích, phương trình đặc tính, cấu trúc logic..
- 3.5. Trình bày về trigô D : Sơ đồ mô phỏng, nguyên lý làm việc, bảng trạng thái, bảng chuyển tiếp, bảng kích, phương trình đặc tính, cấu trúc logic.
- 3.6. Chuyển đổi giữa các loại trigô
- 3.7. Từ phương trình đặc tính của các trigô, hãy biến đổi tương đương để có thể dùng trigô J-K thay thế cho các loại trigô R-S, trigô D và trigô T.
- 3.8. Từ phương trình đặc tính của các trigô, hãy biến đổi tương đương để có thể dùng trigô D thay thế cho các loại trigô R-S, trigô T và trigô J-K.
- 3.9. Từ phương trình đặc tính của các trigô, hãy biến đổi tương đương để có thể dùng trigô T thay thế cho các loại trigô R-S, trigô D và trigô J-K.
- 3.10. Từ phương trình đặc tính của các trigô, hãy biến đổi tương đương để có thể dùng trigô R-S thay thế cho các loại trigô T, trigô D và trigô J-K.

## Chương 4. BỘ ĐÉM

- 4.1.** Bộ đếm là gì ? Nêu vai trò của bộ đếm trong đời sống và kỹ thuật.
- 4.2.** Phân loại bộ đếm. Cấu trúc tổng quan của một bộ đếm.
- 4.3.** Thế nào là bộ đếm nhị phân không đồng bộ (bộ đếm mắc kiểu nối tiếp). Nêu ưu nhược điểm của bộ đếm này. Nêu các bước để thiết kế một bộ đếm nhị phân không đồng bộ.
- 4.4.** Thế nào là bộ đếm nhị phân đồng bộ (bộ đếm mắc kiểu song song). Nêu ưu nhược điểm của bộ đếm này. Nêu các bước để thiết kế một bộ đếm nhị phân đồng bộ.
- 4.5.** Thế nào là bộ đếm nhị phân thuận ngược. Nêu ưu nhược điểm của bộ đếm này.
- 4.6.** Thiết kế bộ đếm nhị phân ngược (nối tiếp) môđun 8 dùng trigơ J-K
- 4.7.** Thiết kế bộ đếm nhị phân thuận (nối tiếp) môđun 8 dùng trigơ T
- 4.8.** Thiết kế bộ đếm nhị phân thuận (nối tiếp) môđun 8 dùng trigơ D
- 4.9.** Thiết kế bộ đếm nhị phân thuận (nối tiếp) môđun 8 dùng trigơ R-S
- 4.10.** Thiết kế bộ đếm nhị phân ngược (nối tiếp) môđun 5 dùng trigơ J-K
- 4.11.** Thiết kế bộ đếm nhị phân thuận (nối tiếp) môđun 5 dùng trigơ T
- 4.12.** Thiết kế bộ đếm nhị phân thuận (nối tiếp) môđun 5 dùng trigơ D
- 4.13.** Thiết kế bộ đếm nhị phân thuận (nối tiếp) môđun 5 dùng trigơ R-S
- 4.14.** Thiết kế bộ đếm nhị phân thuận (song song) môđun 5 dùng trigơ J-K
- 4.15.** Thiết kế bộ đếm nhị phân thuận (song song) môđun 5 dùng trigơ T
- 4.16.** Thiết kế bộ đếm nhị phân thuận (song song) môđun 5 dùng trigơ R-S
- 4.17.** Thiết kế bộ đếm nhị phân thuận (song song) môđun 5 dùng trigơ D
- 4.18.** Thiết kế bộ đếm nhị phân ngược (song song) môđun 5 dùng trigơ J-K
- 4.19.** Thiết kế bộ đếm nhị phân ngược (song song) môđun 5 dùng trigơ T
- 4.20.** Thiết kế bộ đếm nhị phân ngược (song song) môđun 5 dùng trigơ R-S
- 4.21.** Thiết kế bộ đếm nhị phân ngược (song song) môđun 5 dùng trigơ D
- 4.22.** Thiết kế bộ đếm nhị phân đồng bộ ngược modun 14 dùng trigơ D.

- Phân tích yêu cầu thiết kế: xác định số bit cần dùng, số trạng thái dư, đồ hình chuyển đổi trạng thái, giản đồ thời gian
  - Lập bảng trạng thái cho bộ đếm ngược modul 14 dùng trigơ D
  - Tìm các hàm đầu vào kích ở dạng tối giản.
  - Xây dựng mạch điện mô phỏng trên phần mềm MultiSim hoặc Proteus và hiển thị trên 2 LED 7 thanh.
- + Khởi phát xung sử dụng mạch đa hài tự kích dùng IC KDTT.

- + Bộ đếm
- + Bộ giải mã
- + Khối hiển thị

**4.23. Thiết kế bộ đếm nhị phân đồng bộ ngược modun 10 dùng trigơ J-K .**

- Phân tích yêu cầu thiết kế: xác định số bit cần dùng, số trạng thái dư, đồ hình chuyển đổi trạng thái, giản đồ thời gian
- Lập bảng trạng thái cho bộ đếm ngược modul 12 dùng trigơ J-K
- Tìm các hàm đầu vào kích ở dạng tối giản.
- Xây dựng mạch điện mô phỏng trên phần mềm MultiSim hoặc Proteus (có thể dùng các loại IC có sẵn) và hiển thị trên 2 LED 7 thanh.
  - + Khối phát xung sử dụng mạch đa hài tự kích dùng IC 555
  - + Bộ đếm
  - + Bộ giải mã
  - + Khối hiển thị

**4.24. Thiết kế bộ đếm vòng nhị phân đồng bộ  $0 \rightarrow 2 \rightarrow 4 \rightarrow 6 \rightarrow 8 \rightarrow 10 \rightarrow 12 \rightarrow 14 \rightarrow 0$  dùng trigơ J-K.**

- Phân tích yêu cầu thiết kế: xác định số bit cần dùng, số trạng thái dư, đồ hình chuyển đổi trạng thái, giản đồ thời gian
- Lập bảng trạng thái cho bộ đếm dùng trigơ J-K
- Tìm các hàm đầu vào kích ở dạng tối giản.
- Xây dựng mạch điện mô phỏng trên phần mềm MultiSim hoặc Proteus và hiển thị trên 2 LED 7 thanh.
  - + Khối phát xung sử dụng mạch đa hài tự kích dùng IC 555
  - + Bộ đếm
  - + Bộ giải mã
  - + Khối hiển thị

**4.25. Thiết kế bộ đếm vòng nhị phân đồng bộ  $1 \rightarrow 3 \rightarrow 5 \rightarrow 7 \rightarrow 9 \rightarrow 11 \rightarrow 13 \rightarrow 15 \rightarrow 1$  dùng trigơ R-S.**

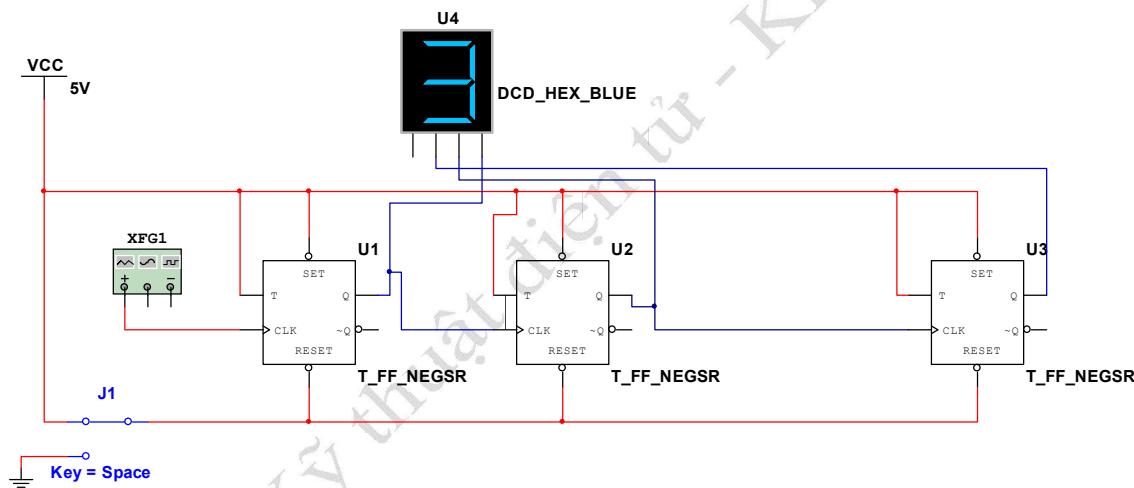
- Phân tích yêu cầu thiết kế: xác định số bit cần dùng, số trạng thái dư, đồ hình chuyển đổi trạng thái, giản đồ thời gian
- Lập bảng trạng thái cho bộ đếm dùng trigơ R-S
- Tìm các hàm đầu vào kích ở dạng tối giản.
- Xây dựng mạch điện mô phỏng trên phần mềm MultiSim hoặc Proteus và hiển thị trên 2 LED 7 thanh.
  - + Khối phát xung sử dụng mạch đa hài tự kích dùng IC KĐTT
  - + Bộ đếm
  - + Bộ giải mã

+ Khối hiển thị

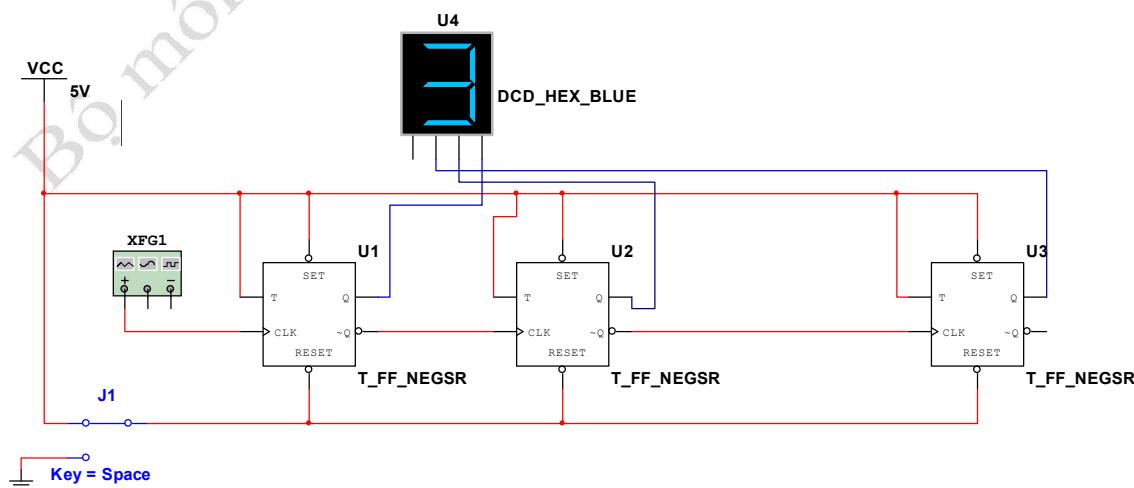
**4.26.** Thiết kế bộ đếm nhị phân đồng bộ thuận modun 15 dùng trigor T .

- Phân tích yêu cầu thiết kế: xác định số bit cần dùng, số trạng thái dư, đồ hình chuyển đổi trạng thái, giản đồ thời gian
- Lập bảng trạng thái cho bộ đếm thuận modul 15 dùng trigor T
- Tìm các hàm đầu vào kích ở dạng tối giản.
- Xây dựng mạch điện mô phỏng trên phần mềm MultiSim hoặc Proteus và hiển thị trên 2 LED 7 thanh.
- + Khối phát xung sử dụng mạch đa hài tự kích dùng transistor
- + Bộ đếm
- + Bộ giải mã
- + Khối hiển thị

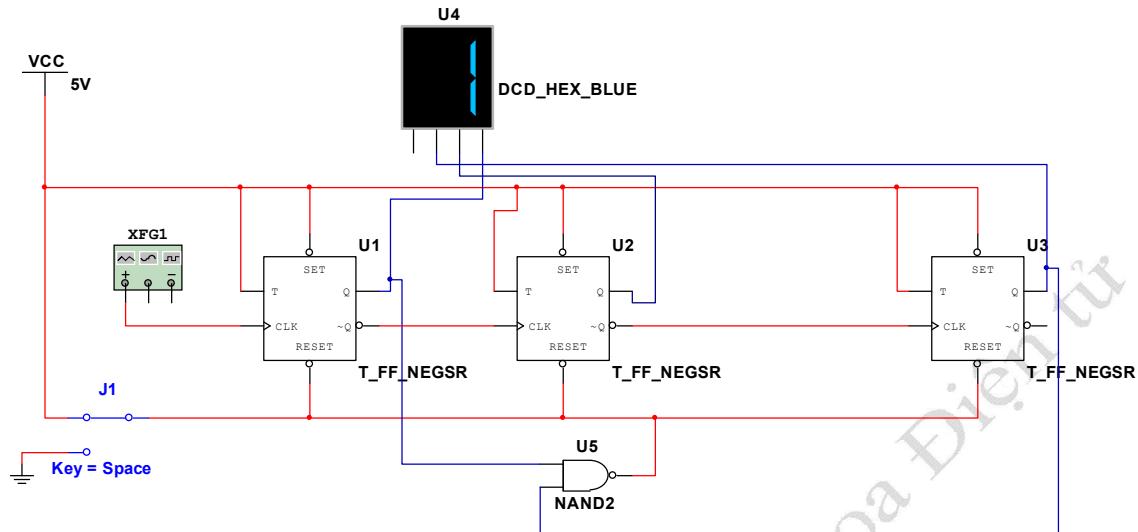
**4.26.** Hãy cho biết đây là sơ đồ mạch gì? Vẽ dạng xung đầu ra của mạch?



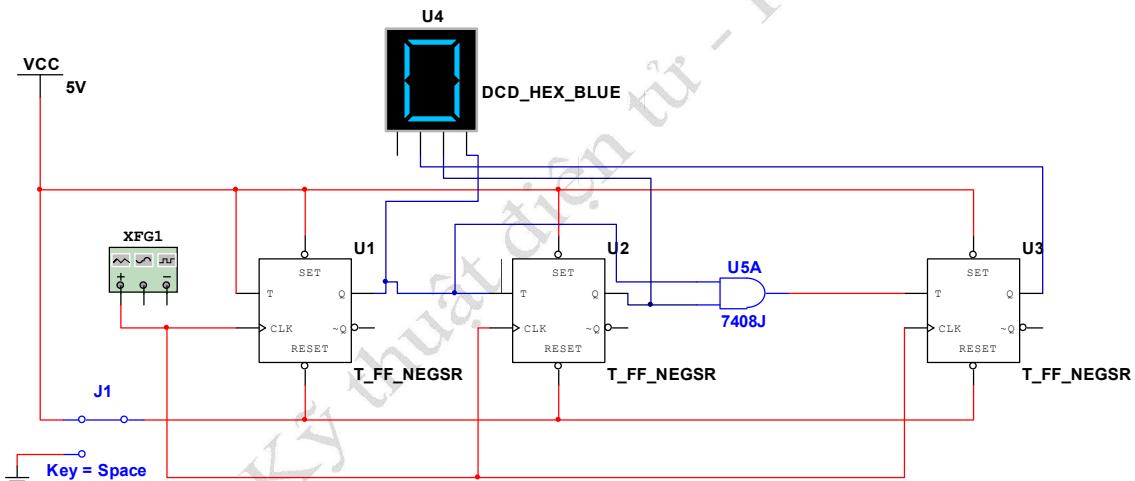
**4.27.** Hãy cho biết đây là sơ đồ mạch gì? Vẽ dạng xung đầu ra của mạch?



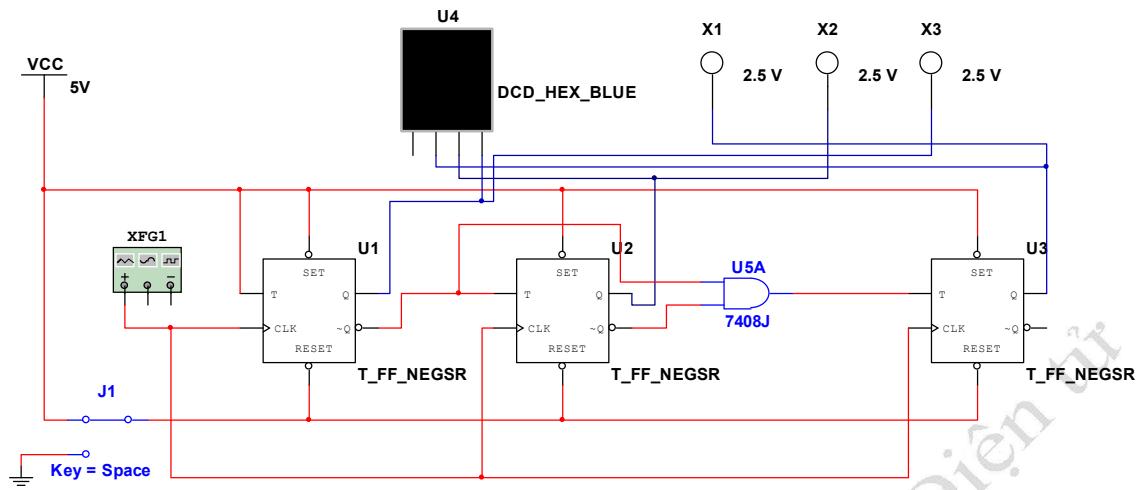
4.27. Hãy cho biết đây là sơ đồ mạch gì? Vẽ dạng xung đầu ra của mạch?



4.28. Hãy cho biết đây là sơ đồ mạch gì? Vẽ dạng xung đầu ra của mạch?



4.29. Hãy cho biết đây là sơ đồ mạch gì? Vẽ dạng xung đầu ra của mạch?



## Chương 5. CÁC MẠCH LOGIC TỔ HỢP

**5.1.** Bộ mã hóa (Encoder) là gì ? Ké tên một số loại mã mà anh (chị) biết. Nêu các bước thực hiện trong bài toán thiết kế một bộ mã hóa.

**5.2.** Bộ giải mã (Decoder) là gì ? Trong thực tế chúng ta thường gặp những loại bộ giải mã nào ? Các ứng dụng cơ bản của chúng. Nêu các bước thực hiện trong bài toán thiết kế một bộ giải mã.

**5.3.** Khái niệm về bộ chọn kênh (Multiplexer). Nêu các ứng dụng của bộ chọn kênh trong thực tế. Nêu các bước thực hiện trong bài toán thiết kế một bộ chọn kênh.

**5.4.** Khái niệm về bộ tách kênh (Demultiplexer). Nêu các ứng dụng của bộ tách kênh trong thực tế. Nêu các bước thực hiện trong bài toán thiết kế một bộ tách kênh.

**5.9.** Xây dựng mạch giải mã:

- a. từ 2 → 4.
- b. từ 3 → 8.
- c. từ 4 → 16.

**5.10.** Xây dựng mạch mã hóa:

- a. từ 4 → 2.
- b. từ 8 → 3.
- c. từ 10 → BCD.

**5.11.** Xây dựng mạch giải mã nhị phân sang mã “1 từ 6” dùng các cổng NAND 2 đầu vào.

**5.12.** Xây dựng mạch giải mã nhị phân sang mã “1 từ 6” dùng các cổng NOR 2 đầu vào

**5.13.** Xây dựng mạch giải mã nhị phân sang mã “ 1 từ 6” dùng ma trận điốt

**5.14.** Xây dựng mạch dồn kênh 6 đầu vào thành 1 đầu ra dùng các cổng NAND 2 đầu vào.

**5.15.** Xây dựng mạch tách kênh 1 đầu vào thành 7 đầu ra dùng các cổng NOR 2 đầu vào.

**5.16.** Thiết kế bộ mã hóa nhị phân từ 25 sang 5 dùng các phần tử NAND 2 đầu vào.

- Tìm hiểu về mạch mã hóa (ENCODER)
- Phân tích yêu cầu thiết kế, xác định số bit nhị phân cần sử dụng
- Mã hóa các đầu vào, đầu ra
- Xây dựng bảng trạng thái cho bộ mã hóa (SV tự lựa chọn mức tích cực ở đầu vào, đầu ra).
- Tìm các hàm quan hệ giữa đầu ra và đầu vào.
- Xây dựng mạch điện mô phỏng trên phần mềm MultiSim hoặc Proteus.

**5.17.** Thiết kế bộ giải mã nhị phân sang mã “1 từ 18” dùng ma trận điện trở - điốt.

- Tìm hiểu về mạch giải mã (DECODER)
- Phân tích yêu cầu thiết kế, xác định số bit nhị phân cần sử dụng
- Mã hóa các đầu vào, đầu ra
- Xây dựng bảng trạng thái (bảng chân lý) cho bộ giải mã.
- Tìm các hàm quan hệ giữa đầu ra và đầu vào.
- Xây dựng mạch điện mô phỏng trên phần mềm MultiSim hoặc Proteus.

**5.18.** Tìm hiểu về bộ giải mã LED 7 thanh mắc Katôt chung.

- Tìm hiểu về mạch giải mã (DECODER)
- Mã hóa đầu vào, đầu ra bộ giải mã LED 7 thanh
- Lập bảng trạng thái bộ giải mã.
- Tìm tất cả các hàm ra của các thanh a,b,c,d,e,f,g (dạng tuyễn) và vẽ sơ đồ logic cho các hàm trên chỉ dùng phần tử NAND 2 đầu vào.
- Xây dựng mạch điện mô phỏng trên phần mềm MultiSim hoặc Proteus.

**5.19.** Tìm hiểu về bộ giải mã LED 7 thanh mắc Anôt chung.

- Tìm hiểu về mạch giải mã (DECODER)
- Mã hóa đầu vào, đầu ra bộ giải mã LED 7 thanh
- Lập bảng trạng thái bộ giải mã.
- Tìm tất cả các hàm ra của các thanh a,b,c,d,e,f,g (dạng tuyễn) và vẽ sơ đồ logic cho các hàm trên chỉ dùng phần tử NOR 2 đầu vào.
- Xây dựng mạch điện mô phỏng trên phần mềm MultiSim hoặc Proteus.

**5.20.** Thiết kế mạch cộng 2 số thập phân A và B ( $0 \leq A,B < 10$ ) dùng các phần tử logic mà anh (chị) biết.

- Phân tích yêu cầu thiết kế
- Thiết kế phần mạch mã hóa và hiển thị trên LED 7 thanh để biểu thị 2 số thập phân A và B được nhập vào.
- Lập bảng chân lý cho mạch cộng 2 số nhị phân 4 bit A và B
- Tìm quan hệ logic, xây dựng sơ đồ cấu trúc mạch logic cho mạch cộng 2 số nhị phân
- Thể hiện kết quả trên LED 7 thanh
- Xây dựng mạch điện mô phỏng trên phần mềm MultiSim hoặc Proteus.

**5.21.** Thiết kế mạch trừ 2 số thập phân A và B ( $0 \leq A,B < 10$ ) chỉ dùng các phần tử logic NAND 2 đầu vào.

- Phân tích yêu cầu thiết kế

- Thiết kế phần mạch mã hóa và hiển thị trên LED 7 thanh để biểu thị 2 số thập phân A và B được nhập vào
- Lập bảng chân lý cho mạch trừ 2 số A cho B
- Tìm quan hệ logic, xây dựng sơ đồ cấu trúc mạch logic cho mạch trừ 2 số nhị phân chỉ dùng phần tử NAND 2 đầu vào (xét cả trường hợp số bị trừ A nhỏ hơn số trừ B).
- Thể hiện kết quả trên LED 7 thanh
- Xây dựng mạch điện mô phỏng trên phần mềm MultiSim hoặc Proteus.

**5.22.** Thiết kế mạch nhân 2 số thập phân A và B ( $0 \leq A,B < 10$ ) chỉ dùng phần tử logic NOR 2 đầu vào.

- Phân tích yêu cầu thiết kế
- Thiết kế phần mạch mã hóa và hiển thị trên LED 7 thanh để biểu thị 2 số thập phân A và B được nhập vào.
- Lập bảng chân lý cho mạch nhân 2 số A cho B
- Tìm quan hệ logic, xây dựng sơ đồ cấu trúc mạch logic cho mạch nhân 2 số nhị phân chỉ dùng phần tử NOR 2 đầu vào.
- Thể hiện kết quả trên LED 7 thanh
- Xây dựng mạch điện mô phỏng trên phần mềm MultiSim hoặc Proteus.

**5.23.** Thiết kế bộ dồn kênh gồm 20 đầu vào dữ liệu và 1 đầu ra dùng các phần tử logic cơ bản.

- Tìm hiểu về bộ dồn kênh (MULTIPLEXER)
- Phân tích yêu cầu thiết kế: xác định số bit địa chỉ cần dùng
- Mã hóa đầu vào, đầu ra, các biến địa chỉ
- Lập bảng trạng thái cho mạch chọn kênh
- Tìm quan hệ hàm đầu ra và đầu vào.
- Xác định các địa chỉ thứ 5,9,15
- Xây dựng mạch điện mô phỏng trên phần mềm MultiSim hoặc Proteus

**5.24.** Thiết kế bộ tách kênh gồm 1 đầu vào dữ liệu và 25 đầu ra dùng các phần tử NAND 2 đầu vào.

- Tìm hiểu về mạch tách kênh (DEMULTIPLEXER)
- Phân tích yêu cầu thiết kế: xác định số bit địa chỉ cần dùng
- Mã hóa đầu vào, đầu ra, các biến địa chỉ
- Lập bảng trạng thái cho mạch tách kênh
- Tìm quan hệ các hàm đầu ra và đầu vào
- Xác định các địa chỉ thứ 7,15,24
- Xây dựng mạch điện mô phỏng trên phần mềm MultiSim hoặc Proteus

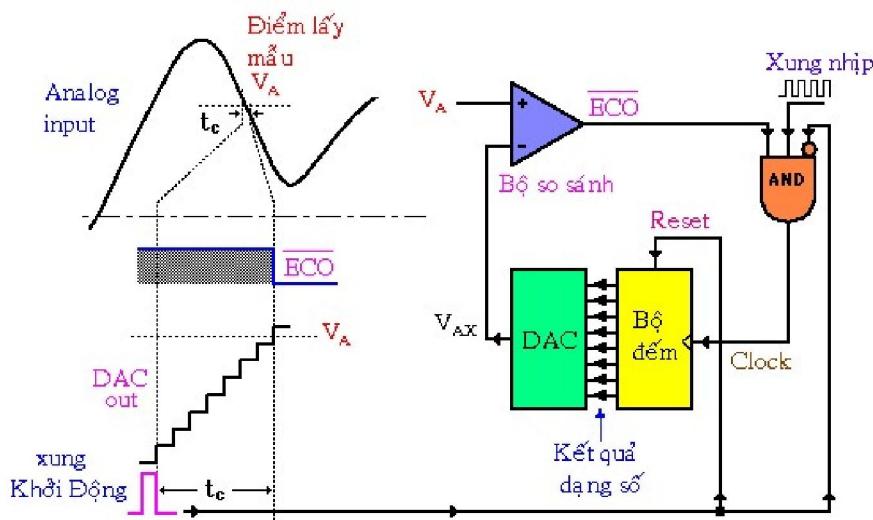
## Chương 6. BỘ NHỚ

- 6.1.** Bộ nhớ là gì? Phân loại bộ nhớ. Khi so sánh các bộ nhớ ta thường lưu ý đến các đặc tính gì?
- 6.2.** RAM là gì? Phân loại RAM. Trình bày nguyên lý hoạt động của bộ nhớ RAM dùng transistor lưỡng cực.
- 6.3.** Trình bày nguyên lý hoạt động của SRAM.
- 6.4.** Trình bày nguyên lý hoạt động của DRAM.
- 6.5.** So sánh ưu nhược điểm của các loại bộ nhớ RAM
- 6.6.** ROM là gì? Phân loại bộ nhớ ROM. Ứng dụng của bộ nhớ ROM.

## Chương 7. CÁC BỘ CHUYỂN ĐỔI TÍN HIỆU

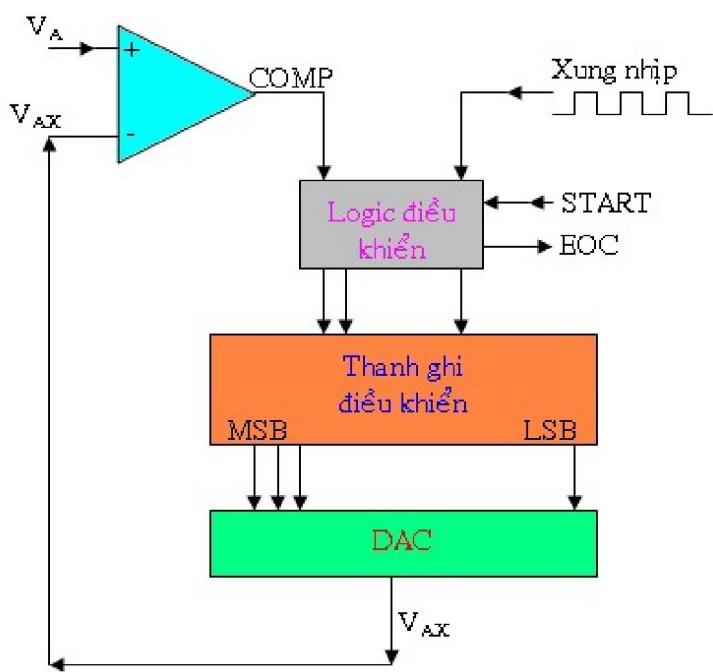
- 7.1. Nêu chức năng, bản chất của mạch chuyển đổi tín hiệu tương tự - số (ADC). Cho một ví dụ minh họa.
- 7.2. Nêu chức năng, bản chất của mạch chuyển đổi tín hiệu số - tương tự (DAC). Cho một ví dụ minh họa.
- 7.3. Trình bày mạch DAC với điện trở có trọng số khác nhau.
- 7.4. Trình bày mạch DAC với mạng điện trở hình thang.
- 7.5. Trình bày mạch ADC sử dụng bộ đếm theo kiểu bậc thang tuyến tính
- 7.6. Trình bày mạch ADC sử dụng bộ đếm thuận ngược
- 7.7. Trình bày mạch ADC dùng phương pháp xấp xỉ liên tục
- 7.8. Trình bày mạch ADC dùng phương pháp so sánh song song
- 7.9. Trình bày mạch ADC dùng phương pháp tích phân hai sườn dốc
- 7.10. Cho một mạch ADC dạng sóng bậc thang như *hình 1* với các thông số sau đây: tần số xung nhịp = 1kHz;  $V_T = 0.1\text{mV}$ ; DAC có đầu ra cực đại = 10.23V và đầu vào 10 bit. Hãy xác định :

- Giá trị số tương đương cho  $V_A = 3.728\text{V}$
- Thời gian chuyển đổi
- Độ phân giải của bộ chuyển đổi này



**Hình 7.10. Mạch ADC sử dụng bộ đếm theo kiểu bậc thang tuyến tính**

- 7.11. Cho một mạch ADC dùng phương pháp xấp xỉ liên tục (SAC) như *hình 2*. Mạch SAC 8 bit này có độ phân giải là 20mV. Với đầu vào tương tự là 2.17V, hãy tính đầu ra số tương ứng.



Hình 7.11. Mạch ADC sử dụng phương pháp xấp xỉ liên tục