

Chương 3

CÁC MẠCH TRIGƠ

Nội dung:

- Giới thiệu về mạch Trigơ
- Mạch Trigơ RS không đồng bộ
- Mạch Trigơ RS đồng bộ
- Mạch Trigơ MS
- Mạch Trigơ T
- Mạch Trigơ D
- Mạch Trigơ JK

Trigơ (Flip - Flop) là phần tử cơ bản nhất để từ đó chế tạo ra các mạch dãy (mạch logic có nhớ). Mạch Trigơ thuộc loại mạch không đồng bộ có hai trạng thái ổn định bền theo thời gian ứng với hai mức logic "1" và "0". Trạng thái của Trigơ có thể thay đổi khi tác động xung lên các đầu vào. Trạng thái tương lai của Trigơ không những phụ thuộc vào các biến vào mà còn phụ thuộc vào trạng thái hiện tại. Khi ngừng tác động xung lên các đầu vào, trạng thái Trigơ giữ nguyên, với đặc điểm này các mạch Trigơ được dùng để lưu trữ thông tin dưới dạng mã nhị phân.

3.1. Trigơ R-S

3.1.1. Trigơ R-S không đồng bộ

Là loại Trigơ cơ bản nhất để từ đó tạo ra các loại Trigơ khác gồm có 2 đầu vào là R, S và hai đầu ra Q, \bar{Q} với:

- Q: Đầu ra chính thường được sử dụng.
- \bar{Q} : Đầu ra phụ, luôn thoả mãn $Q + \bar{Q} = 1$

- R (Reset): Đầu vào xoá.
- S (Set): Đầu vào thiết lập.

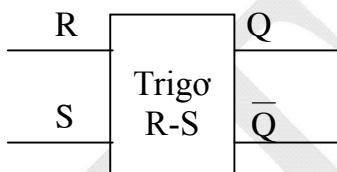
Ý tưởng thiết kế trigơ R-S không đồng bộ theo các điều kiện sau:

- + $R_n = S_n = 0$; trạng thái của trigơ giữ nguyên $\rightarrow Q_{n+1} = Q_n$.
- + $R_n = 0$; $S_n = 1$; đầu ra trigơ nhận giá trị "1" $\rightarrow Q_{n+1} = 1$.
- + $R_n = 1$; $S_n = 0$; đầu ra trigơ nhận giá trị "0" $\rightarrow Q_{n+1} = 0$.
- + $R_n = 1$; $S_n = 1$; đây là trạng thái cấm, trạng thái Trigo là không xác định,

trong bảng trạng thái được đánh dấu bằng dấu "x".

Hoạt động của trigơ R-S tuân theo bảng trạng thái như hình vẽ.

- n: Trạng thái hiện tại
- n + 1: Trạng thái tương lai.
- "-": Giá trị tùy chọn - có thể lấy giá trị "1" hoặc "0".
- x: Trạng thái cấm tại đó giá trị của hàm ra là không xác định.



Hình 3.1. Sơ đồ mô phỏng

R_n	S_n	Q_n	Q_{n+1}
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	x
1	1	1	x

Hình 3.3. Bảng chuyển tiếp.

R_n	S_n	Q_{n+1}
0	0	Q_n
0	1	1
1	0	0
1	1	x

Hình 3.2. Bảng trạng thái

Q_n	Q_{n+1}	R_n	S_n
0	0	-	0
0	1	0	1
1	0	1	0
1	1	0	-

Hình 3.4. Bảng đầu vào kích.

Q_{n+1} $R_n S_n$					
		Q_n	00	01	11
0	1	0	1	x	0
1	1	1	1	x	0

Hình 3.5. Bìa các nô

Từ bảng trạng thái hình 3.2 ta có bảng chuyển tiếp hình 3.3, bảng kích hình 3.4.

Từ hình 3.5 ta thực hiện nhóm các ô có giá trị “1” trong bảng trạng thái (dạng tuyển) ta có:

$$Q_{n+1} = S_n + \overline{R_n} \cdot Q_n \quad (3.1)$$

Nhóm các ô có giá trị “0” trong bảng trạng thái (dạng hội) ta có:

$$Q_{n+1} = \overline{R_n} \cdot (Q_n + S_n) \quad (3.2)$$

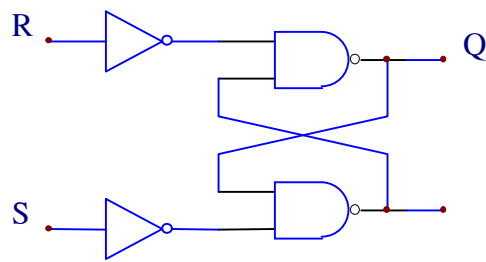
$$\text{Từ (1)} \rightarrow Q_{n+1} = S_n + Q_n \cdot \overline{R_n} = \overline{\overline{S_n} \cdot \overline{Q_n} \cdot R_n} \quad (3.3)$$

$$\begin{aligned} \text{Từ (2)} \rightarrow Q_{n+1} &= \overline{R_n} \cdot (Q_n + S_n) = \overline{R_n} \cdot \overline{\overline{Q_n} \cdot \overline{S_n}} \\ &\rightarrow \overline{Q_{n+1}} = \overline{R_n} \cdot (\overline{Q_n} \cdot \overline{S_n}) \end{aligned} \quad (3.4)$$

$$\text{Từ (2)} \rightarrow Q_{n+1} = \overline{R_n} \cdot (Q_n + S_n) = \overline{R_n} + \overline{(Q_n + S_n)} \quad (3.5)$$

$$\begin{aligned} \text{Từ (1)} \rightarrow Q_{n+1} &= S_n + \overline{R_n} \cdot Q_n = S_n + \overline{Q_n} + \overline{R_n} \\ \overline{Q_{n+1}} &= \overline{S_n + \overline{Q_n} + \overline{R_n}} \end{aligned} \quad (3.6)$$

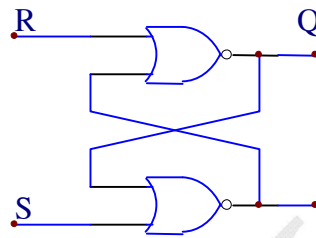
Từ (3.3) và (3.4), (3.5) và (3.6) cho phép ta xây dựng Trigơ RS không đồng bộ từ các phần tử NAND, các phần tử NOR hai lối vào.



a)

\overline{R}_n	\overline{S}_n	Q_{n+1}
0	0	X
0	1	0
1	0	1
1	1	Q_n

b)

Hình 3.6. Trilog RS xây dựng từ NAND (a) và bảng trạng thái (b)

a)

R_n	S_n	Q_{n+1}
0	0	Q_n
0	1	0
1	0	1
1	1	X

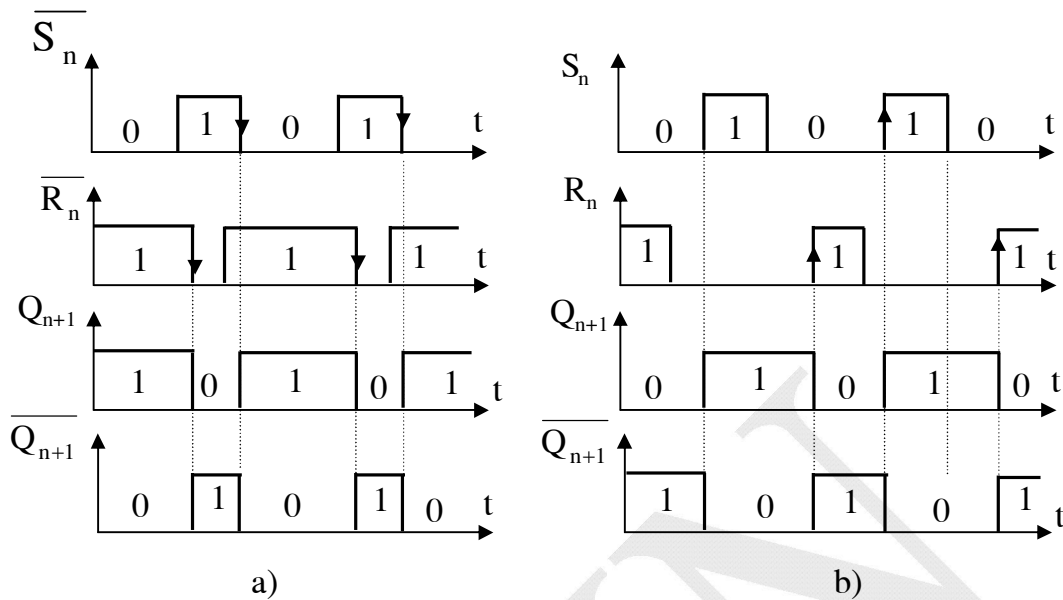
b)

Hình 3.7. Trilog RS xây dựng từ NOR (a) và bảng trạng thái (b)

Với các tín hiệu xung vào $\overline{R}_n, \overline{S}_n$ và R_n, S_n đã cho kết hợp với các bảng trạng thái hình 3.6b, 3.7b ta vẽ được dạng xung ra của các Trilog R-S không đồng bộ (hình 3.8). Trên giản đồ xung ta có nhận xét:

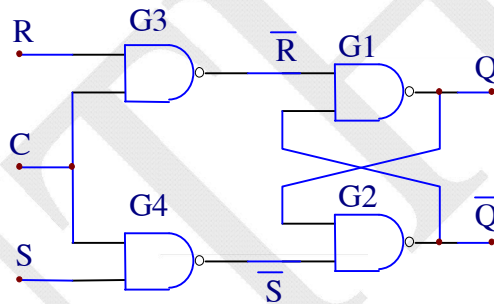
- Đối với Trilog R-S được xây dựng từ các phần tử NAND trạng thái Trilog chỉ thay đổi (lật) ở các thời điểm xung điều khiển chuyển từ trị "1" về "0". Ta nói đó là loại Trilog chỉ phản ứng với các sườn âm của xung điều khiển đặt tới lối vào.

- Đối với Trilog được xây dựng từ các phần tử NOR trạng thái của Trilog chỉ thay đổi ở các thời điểm xung điều khiển chuyển từ trị "0" lên "1" ta nói đó là loại Trilog chỉ phản ứng với các sườn dương của xung điều khiển.



Hình 3.8. Giải đồ điện áp tín hiệu xung minh họa quá trình làm việc của Trigơ R-S được xây dựng từ NAND (a), từ NOR (b)

3.1.2. Trigơ R-S đồng bộ.



Hình 3.9. Trigơ R-S đồng bộ

Người ta muốn Trigơ chỉ phản ứng vào những thời điểm xác định, điều này được thực hiện bằng cách đưa thêm tới đầu vào tín hiệu phụ C được gọi là tín hiệu đồng bộ. Khi $C = "0"$ thì $\bar{R} = \bar{S} = 1$ trạng thái Trigơ giữ nguyên còn $C = "1"$ hoạt động của sơ đồ giống Trigơ R-S không đồng bộ như đã phân tích ở phần trên.

3.2. Trigơ D (Delay)

Gồm có hai đầu vào C, D_n và hai đầu ra Q_n , \bar{Q}_n với:

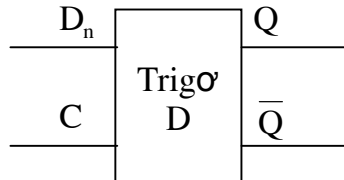
- C: Biên điều khiển (xung nhịp - xung đồng bộ)
- D_n : Dữ liệu vào.

Ý tưởng thiết kế trigơ D tuân theo các điều kiện sau:

+ Khi $C = 0$, trạng thái của trigơ giữ nguyên $\rightarrow Q_{n+1} = Q_n$.

+ Khi $C = 1$, giá trị đầu ra trigơ nhận giá trị đưa đến đầu vào D $\rightarrow Q_{n+1} = D_n$.

Hoạt động của trigơ D tuân theo bảng trạng thái như hình 3.10.



D_n	Q_{n+1}
0	0
1	1

Hình 3.9. Sơ đồ mô phỏng trigơ D.

Hình 3.10. Bảng trạng thái của trigơ D.

	D_n	0	1
Q_n	0	0	1
	1	0	1

Q_n	Q_{n+1}	D
0	0	0
0	1	1
1	0	0
1	1	1

Hình 3.11. Bìa các nô

Hình 3.12. Bảng đầu vào kích.

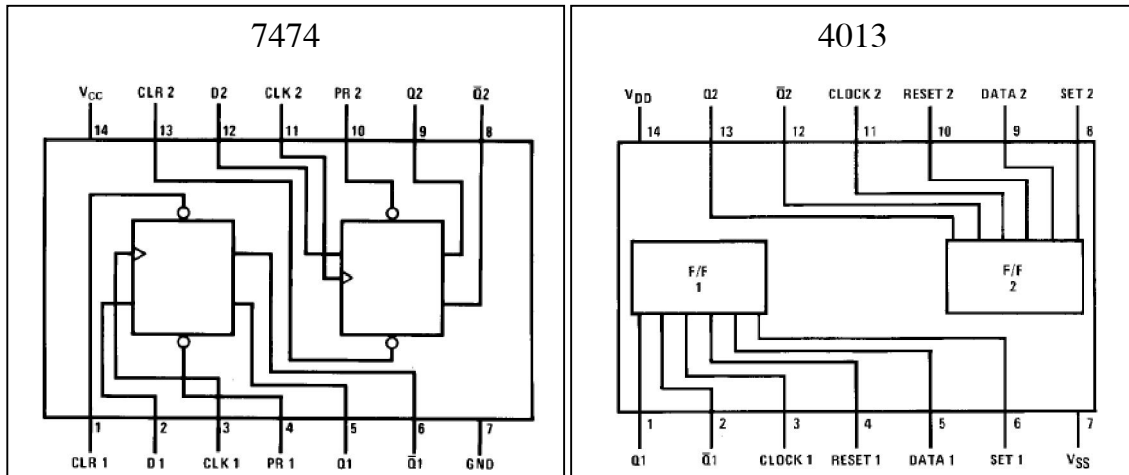
D_n	Q_n	Q_{n+1}
0	0	0
0	1	0
1	0	1
1	1	1

Hình 3.13. Bảng chuyển tiếp

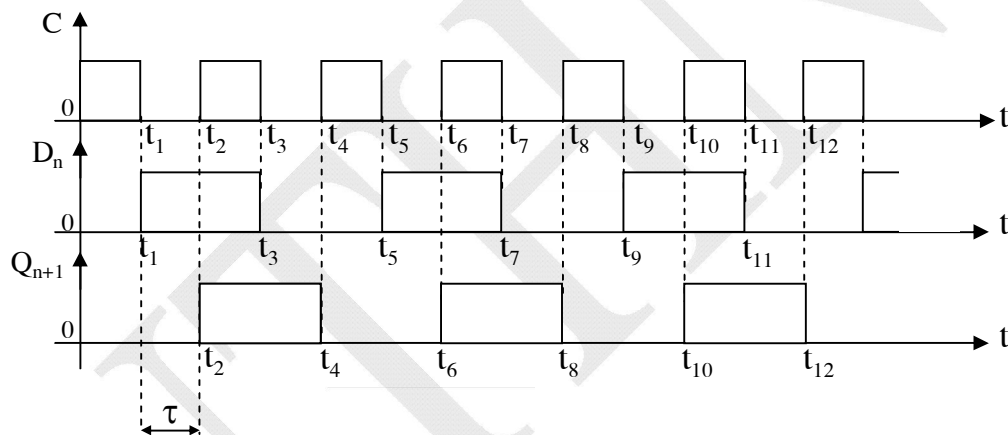
Từ bảng trạng thái hình 3.10 ta có bìa các nô hình 3.11, bảng kích hình 3.12, bảng chuyển tiếp hình 3.13.

Từ bảng 3.11 ta có phương trình đặc tính của trigơ D như sau:

$$Q_{n+1} = D_n \quad (3.7)$$



Hình 3.14. Sơ đồ chân của Trgơ D họ TTL 7474 và họ CMOS 4013



Hình 3.15. Giải đồ xung minh họa quá trình làm việc của Trgơ D.

Trên giản đồ xung ta nhận thấy xung ra chậm sau so với xung vào một khoảng thời gian là τ (chính vì đặc điểm này mà người ta gọi nó là trigơ trễ D-Delay), ở giản đồ trên độ rộng xung ra bằng chu kỳ của dãy xung C.

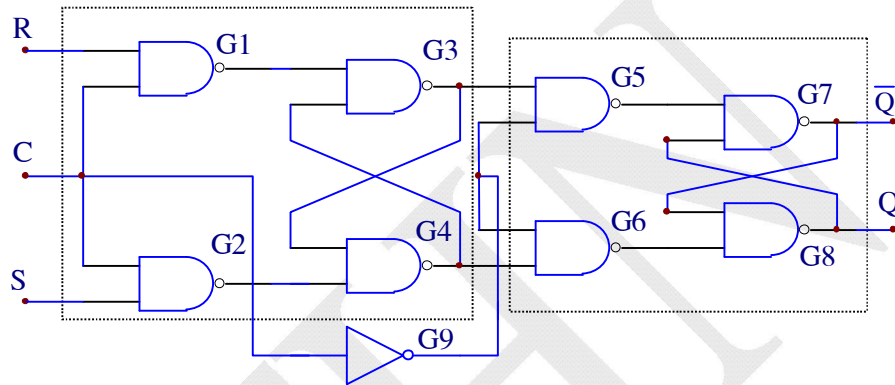
Trigơ D là phần tử cơ bản xây dựng nên các bộ ghi thông tin nhị phân, các bộ chốt đệm dữ liệu (khi $C = 1$ thực hiện nhận dữ liệu – chế độ đệm, $C = 0$ trạng thái trigơ không đổi – chốt dữ liệu).

3.3. Trigơ chính – phụ (Trigơ M - S)

Thông thường để tránh ảnh hưởng của nhiễu, tăng độ tin cậy trong việc ghi đọc thông tin, từ R-S Trigơ người ta xây dựng các M-S Trigơ bằng cách ghép

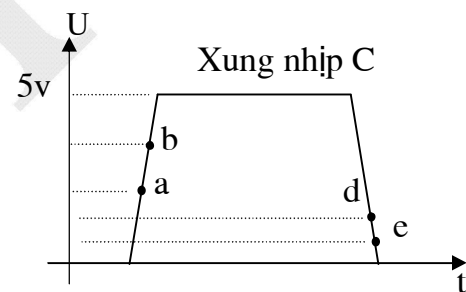
hai Trigơ R-S đồng bộ liên tiếp nhau (hình 1). Khi đó việc ghi thông tin chỉ xảy ra khi lỗi ra bị khoá và ngược lại việc đọc thông tin chỉ xảy ra khi lỗi vào đã bị khoá.

Nhóm các phần tử G_1, G_2, G_3, G_4 tạo nên R-S Trigơ chính, nhóm G_5, G_6, G_7, G_8 tạo nên R-S Trigơ phụ. Hai nhóm làm việc với hai dãy xung nhịp C ngược pha nhau nhờ cửa đảo G_9 . Ở đây chỉ minh hoạ cho quá trình ghi và đọc thông tin qua giản đồ thời gian của xung nhịp C (hình 2).



Hình 3.16. M-S Trigơ cấu trúc từ phần tử NAND

Tại sườn dương khi biên độ xung tăng tương ứng với điểm a Trigơ phụ ngắt khỏi Trigơ chính nhờ $\bar{C} = "0"$ khoá G_5, G_6 . khi biên độ xung tăng tới mức b thông tin đặt tới lỗi vào sẽ được ghi vào Trigơ chính. Tại sườn âm khi biên độ xung giảm tới mức d Trigơ chính bị ngắt khỏi lỗi vào nhờ khi đó $C = 0$ khoá G_1, G_2 , lúc đạt tới mức e thông tin được chuyển từ Trigơ chính sang Trigơ phụ (do $\bar{C} = "1"$) và đặt tới lỗi ra Q (sự thay đổi trạng thái ở lỗi ra chỉ xảy ra trên sườn âm của xung nhịp C)



Hình 3.17. Quá trình ghi, đọc thông tin được điều khiển bởi xung nhịp C

3.4. Trigơ vạn năng J-K

Gồm có 3 đầu vào C, J_n , K_n và hai đầu ra Q_n, \bar{Q}_n với:

- C: Xung đồng bộ.

- J_n, K_n : Các đầu vào điều khiển.

Ý tưởng thiết kế trigơ vạn năng J, K theo các điều kiện sau:

+ $K_n = J_n = 0$, trạng thái của trigơ giữ nguyên $\rightarrow Q_{n+1} = Q_n$.

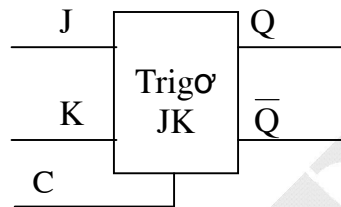
+ $K_n = 0; J_n = 1$ đầu ra trigơ nhận giá trị "1" $\rightarrow Q_{n+1} = 1$.

+ $K_n = 1; J_n = 0$ đầu ra trigơ nhận giá trị "0" $\rightarrow Q_{n+1} = 0$.

+ $K_n = 1; J_n = 1$ trigơ lật trạng thái $\rightarrow Q_{n+1} = \overline{Q_n}$.

(Các trạng thái trên xảy ra tại các thời điểm xung đồng bộ C chuyển trạng thái từ "1" về "0" nếu như Trigơ được xây dựng từ các phần tử NAND)

Hoạt động của trigơ vạn năng J-K tuân theo bảng trạng thái như hình vẽ.



Hình 3.18. Sơ đồ mô phỏng Trigơ JK

K_n	J_n	Q_{n+1}
0	0	Q_n
0	1	1
1	0	0
1	1	$\overline{Q_n}$

Hình 3.19. Bảng trạng thái Trigơ JK

J_n	K_n	Q_n	Q_{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

Hình 3.20. Bảng chuyển tiếp trigơ JK

Q_n	Q_{n+1}	K_n	J_n
0	0	-	0
0	1	-	1
1	0	1	-
1	1	0	-

Hình 3.21. Bảng đầu vào kích Trigơ JK.

		$K_n J_n$			
Q_n	Q_{n+1}	00	01	11	10
		0	1	1	0
0	0	0	1	1	0
1	1	1	1	0	0

Hình 3.22. Bìa các nô Trigơ JK.

Từ bảng trạng thái hình 3.19 ta có bảng chuyển tiếp hình 3.20, bảng kích hình 3.21 và bìa các nô 3.22.

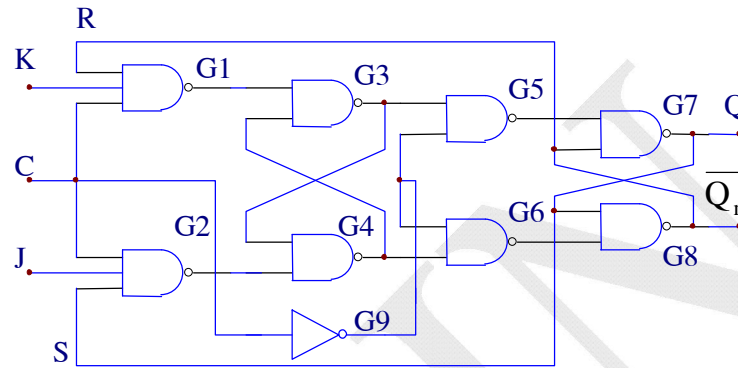
Thực hiện nhóm các ô có giá trị "1" trong bảng trạng thái (dạng tuyến) ta có:

$$Q_{n+1} = \overline{K_n} \cdot Q_n + J_n \cdot \overline{Q_n} \quad (3.8)$$

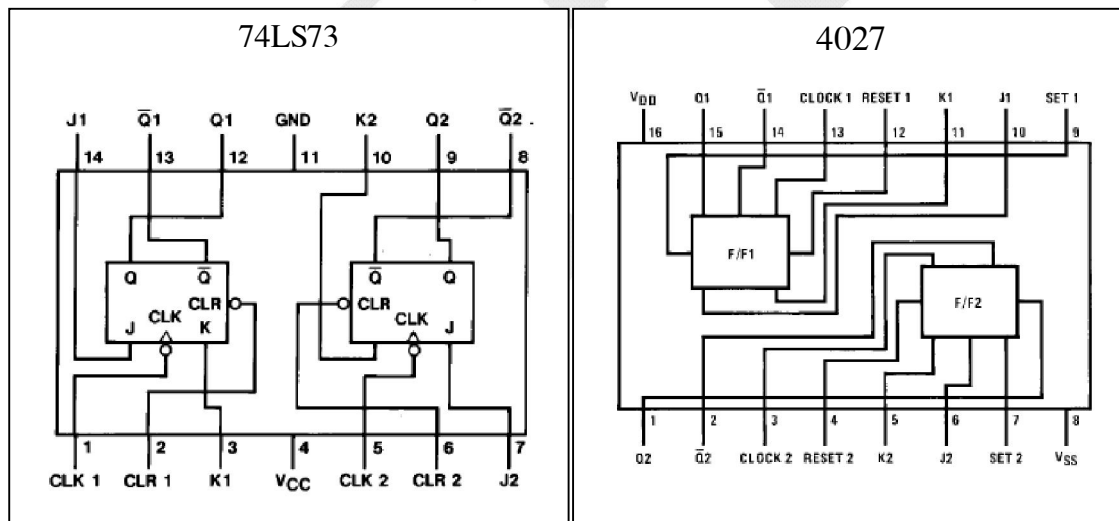
Nhóm các ô có giá trị “0” trong bảng trạng thái (dạng hội) ta có:

$$Q_{n+1} = (\overline{K_n} + \overline{Q_n}) \cdot (J_n + Q_n) \quad (3.9)$$

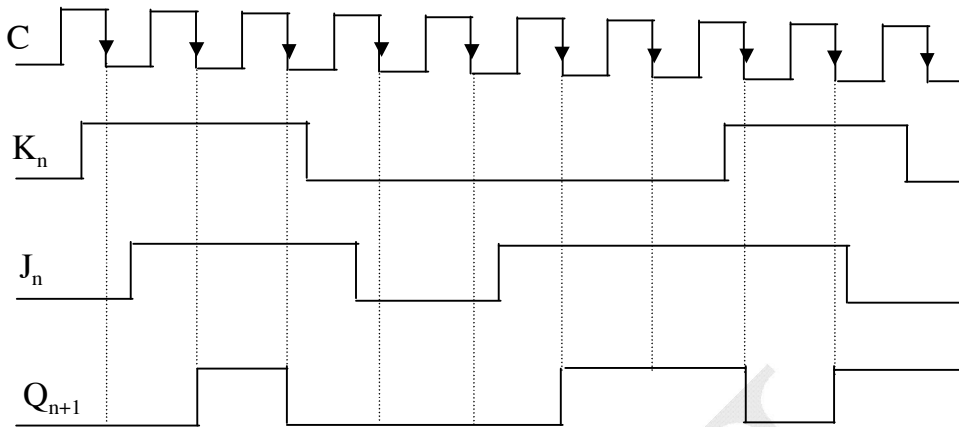
Các biểu thức (1) hoặc (2) được gọi là phương trình đặc tính của Trigơ vạn năng J-K.



Hình 3.23. Trigơ vạn năng J-K được xây dựng từ các phần tử NAND.



Hình 3.24. Sơ đồ chân của Trigơ J-K họ TTL 74LS73 và họ CMOS 4027



Hình 3.25. Giải đồ xung minh họa quá trình làm việc của Trigơ J-K

Nhờ hai mạch vòng hồi tiếp $Q = R$, $\bar{Q} = S$ nên khi $J = K = 1$ thì tín hiệu ra bị đảo qua mỗi sườn âm của xung đồng bộ. Để tăng khả năng điều khiển của Trigơ người ta chế tạo có nhiều đầu vào J, K, điều này được thực hiện bằng cách chọn các cổng logic G1, G2 có nhiều đầu vào, trong mạch điện sử dụng số đầu vào J, K không dùng đến sẽ được nối với mức logic "1" để chống nhiễu.

Được gọi là Trigơ vạn năng là vì bằng cách thay đổi cách nối các đầu vào J, K và mức logic của chúng sẽ tạo ra các loại Trigơ khác.

3.5. Trigơ đếm T

Có hai đầu vào T, C, hai đầu ra Q, \bar{Q} .

- C: Xung đồng bộ (xung nhịp).
- T: Biến điều khiển, thỏa mãn yêu cầu sau:

$$+ T = "0" \text{ trạng thái Trigơ giữ nguyên} \rightarrow Q_{n+1} = Q_n.$$

$$+ T = "1" \text{ Trigơ lật trạng thái} \rightarrow Q_{n+1} = \bar{Q}_n.$$

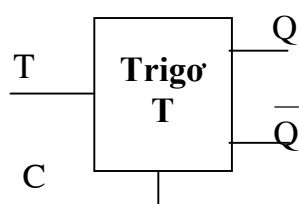
Như vậy hoạt động của Trigơ đếm T tuân theo bảng trạng thái như hình 1b

Từ bảng trạng thái ta có bảng chuyển tiếp hình 1c, bảng kích hình 1d.

$$\text{Từ bảng chuyển tiếp ta có: } Q_{n+1} = T_n \cdot \bar{Q}_n + \bar{T}_n \cdot Q_n \quad (3.10)$$

$$Q_{n+1} = (T_n + Q_n) \cdot (\bar{T}_n + \bar{Q}_n) \quad (3.11)$$

Biểu thức (3.10) và (3.11) được gọi là phương trình đặc tính của Trigo đếm T.



a)

T_n	Q_{n+1}
0	Q_n
1	$\overline{Q_n}$

b)

J_n	K_n	Q_n	Q_{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

c)

Q_n	Q_{n+1}	T_n
0	0	0
0	1	1
1	0	1
1	1	0

d)

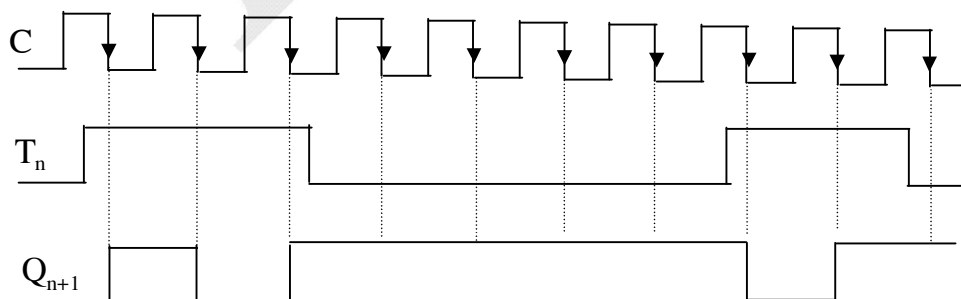
Q_{n+1}	T_n
0	1
1	0

e)

Hình 3.26. Trigo T

- a) Mạch mô phỏng
c) Bảng chuyển tiếp
e) Bìa các nô

- b) Bảng trạng thái
d) Bảng kích



Hình 3.27. Giải đồ xung của Trigo đếm T

3.6 Chuyển đổi Trigơ vạn năng J-K thành các loại trigơ khác.

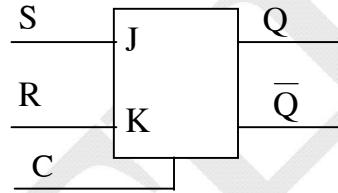
3.6.1. Chuyển đổi Trigơ J-K thành Trigơ R-S

Phương trình đặc tính của Trigơ J-K: $Q_{n+1} = \overline{K_n} \cdot Q_n + J_n \cdot \overline{Q_n}$ (3.12)

Phương trình đặc tính của Trigơ R-S: $Q_{n+1} = S_n + \overline{R_n} \cdot Q_n$ (3.13)

Từ (3.13) $\rightarrow Q_{n+1} = S_n \cdot (\overline{Q_n} + Q_n) + \overline{R_n} \cdot Q_n = S_n \cdot \overline{Q_n} + S_n \cdot Q_n + \overline{R_n} \cdot Q_n$
 $= S_n \cdot \overline{Q_n} + \overline{R_n} \cdot Q_n + S_n \cdot Q_n \cdot (\overline{R_n} + R_n) = S_n \cdot \overline{Q_n} + \overline{R_n} \cdot Q_n + S_n \cdot Q_n \cdot R_n + S_n \cdot Q_n \cdot \overline{R_n}$
 $= S_n \cdot \overline{Q_n} + \overline{R_n} \cdot Q_n \cdot \underbrace{(1 + S_n)}_1 + \underbrace{S_n \cdot Q_n \cdot R_n}_0$
 $= S_n \cdot \overline{Q_n} + \overline{R_n} \cdot Q_n$ (3.14)

So sánh (3.12) và (3.14) $\rightarrow S_n = J_n ; R_n = K_n$.



Hình 3.28. Nối Trigơ J-K thành R-S

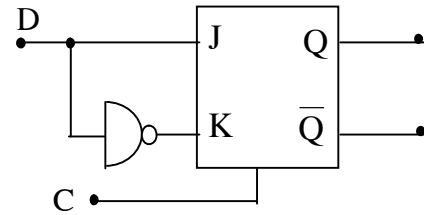
3.6.2. Chuyển đổi Trigơ J-K thành Trigơ D

Phương trình đặc tính của Trigơ D: $Q_{n+1} = D_n$ (3.15)

Từ (3.15) $\rightarrow Q_{n+1} = D_n \cdot (Q_n + \overline{Q_n}) = D_n \cdot Q_n + D_n \cdot \overline{Q_n}$ (3.16)

So sánh (3.12) và (3.16) $\rightarrow D_n = J_n = \overline{K_n}$

(Nhờ phần tử đảo mà ở sơ đồ bên luôn đảm bảo $J \neq K$, mặt khác từ bảng trạng thái của Trigơ vạn năng JK ta thấy khi $J \neq K$ thì đầu ra Q luôn thay đổi theo J, mà $D = J \rightarrow Q_{n+1} = D_n$)



Hình 3.29. Nối Trigơ J-K thành D

3.6.3. Chuyển đổi Trigơ J-K thành Trigơ đếm T

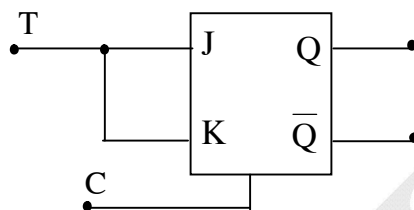
Phương trình đặc tính của Trigơ đếm T :

$$Q_{n+1} = \overline{T_n} \cdot Q_n + T_n \cdot \overline{Q_n} \quad (3.17)$$

So sánh (3.12) và (3.17) $\rightarrow T_n = J_n = K_n$

+ Khi $T = 0 \rightarrow J = K = 0$ trạng thái Trigơ giữ nguyên $Q_{n+1} = Q_n$;

+ Khi $T = 1 \rightarrow J = K = 1$ Trigơ lật trạng thái : $Q_{n+1} = \overline{Q_n}$



Hình 3.30. Nối Trigơ J-K thành Trigơ đếm T