CPU 设计报告

学校 北京航空航天大学

姓名 汪俊辰

一、设计简介

W-MIPS 是一款基于 MIPS 架构设计的 32 位 CPU，无中断和异常。W-MIPS 使用了六级流水线结构（PF、IF、ID、EX(EM1)、MEM(EM2)、WB(WB2)），采用单发射机制，实现了 27 条指令（包括性能测试的 22 条指令和 subu nop srav blez add），使用数据旁路（Bypass）的方式解决数据冲突，使用流水线暂停（stall）解决访存结构冲突，使用延迟槽和动态分支预测解决分支冲突。为了提升 CPU 的性能，本项目实现了指令 cache（icache），但是由于评测需要，没有实现数据 cache（dcache），而是采取了多周期访存的方式。本项目设计了 EM1、EM2 和 WB2 三级流水来执行乘法指令，以减少乘法指令带来的暂停时间。

本项目已经通过三级功能测试和性能测试，时钟频率最高可达到 255MHZ。

决赛阶段在原先项目的基础上将访存指令执行和乘法指令执行单元合并为 LSU，共两级流水，另外将不用写寄存器堆的分支、跳转指令送入执行单元 BRU 中执行，将其余指令送入执行单元 EXU 中。在 CPU 的前端，添加了 IS 流水级；在后端，增加了 RO 流水级，用于同时回收 EXU 和 LSU 执行完成的指令。除此之外，还在寄存器堆新增了一个写数据接口。其余没有太大变化。

二、设计方案

（一）总体设计思路

W-MIPS 由六级流水线以及 SRAM 控制器（sram_ctrl）、串口通信控制器(SPC)共三个 IO 控制器组成。

六级流水线包括预取指（PF）、取指（IF）、译码（ID）、执行（EX）、访存（MEM）、写回（WB）六个基础阶段，以及为了处理乘法指令而增设的 EM1、EM2 和 WB2 三个阶段。在 PF 阶段，PC 从 PC_reg 传输到 icache，同时给出分支预测的结果，如果 PC 命中缓存，则下一个周期会将对应的指令取出，否则 icache 将访问主存取出数据块，icache 访存的过程中流水线暂停；在 IF 阶段，从 icache 中取出的指令（IR）和对应的 PC 被送入下一个流水

级；在 ID 阶段，根据 IR 生成控制信号，并从寄存器堆中取出操作数；在 EX 阶段，执行运算操作；在 MEM 阶段，执行访存操作；在 WB 阶段，将指令执行结果写入寄存器堆。如果 ID 段的指令是乘法指令，则下周期会在 EX 阶段写入一个气泡，并将指令送入 EM1 阶段，乘法指令经过 EM1 和 EM2 两个阶段方可执行完成，之后在 WB2 阶段写回寄存器堆。流水线架构部分参考了文献[1]。

流水线（icache）向 IO 控制器发出访存请求，IO 控制器将访存结果传输到流水线（icache）。SRAM 控制器负责沟通流水线和 SRAM，SPC 控制器负责沟通流水线和串口。

本项目使用数据旁路的方式解决数据冲突。数据旁路的起点为 EX 阶段执行结果（EX_ALUD）、EX/MEM 流水级的 ALUD 寄存器输出和访存结果（MemDout）、WB 阶段将要写入寄存器堆的操作数（WB_WD），终点为 ID/EX 流水级的 RD1、RD2 寄存器输入。

本项目使用流水线暂停的方式解决访存结构冲突。当 MEM 阶段和 IF 阶段缓存给出访存请求时，流水线暂停；如果两者同时给出访存请求，则 MEM 阶段优先访存。

（二）PF 模块设计

PF 阶段负责给出待取出指令的地址并送入 icache，同时根据 BTB 表生成分支预测信号，将 PC 和分支预测信号传入 IF 阶段。主要子模块如下：

PFU：预取址元件，负责给出待取指令地址。接收来自 IF 的分支预测信号、来自 ID 阶段的跳转信号、来自 EX 的分支信号和 JR 指令相关信号，根据相关控制信号生成下一周期的 PC 送入 PC 寄存器（pc_reg），输出 PC 寄存器的值。

BTB：分支目标缓冲器，负责给出分支预测信号。接收来自 EX 的 PC、分支指令目标地址、实际是否执行等分支信号，输出预测分支是否执行和预测分支执行的目标地址。项目采用的分支预测方式是动态分支预测（Dynamic Prediction），具体方式是构建一个 BTB 表储存历史分支信息，根据历史信息预测当前 PC 指令是否可能执行。

（三）IF 模块设计

IF 阶段负责从 icache 中取出指令，将其和对应的 PC 送入 ID 阶段，同时将分支预测信号送入 PF 阶段（为了兼容延迟槽）。主要子模块如下：

Icache：指令缓存器，负责给出 PC 对应指令（有一个周期的延迟），采用二路组相联的地址映射方式；当指令未命中时，需要从内存中载入对应指令，并给出暂停信号以暂停整

个流水线。

（四）ID 模块设计

ID 阶段负责根据 IR 生成控制信号，并从寄存器堆中取出操作数，将控制信号和操作数、PC、IR 等必要信号送入 EX 阶段；如果接下来要执行的是乘法指令，则会将信号送入 EM1 阶段。主要子模块如下：

Controler：控制信号生成器，先译码生成指令信号，再生成对应的控制信号。

RGF：寄存器堆，包含 MIPS 标准对应的 32 个寄存器，有一个写端口和两个读端口，时钟上升沿写入（不使用寄存器内部转发）。

Relate：数据相关控制信号生成模块，负责根据 ID 和 EX、MEM、WB 三个阶段的指令的数据相关情况生成相应的数据旁路控制信号。

（五）EX 模块设计

EX 阶段负责根据操作数执行运算，使用 ALU 生成运算结果、要写入的寄存器的地址或者访存地址，并将运算结果传入 MEM 阶段；同时也会给出分支、JR 指令的信号。主要子模块如下：

ALU：算数逻辑单元。负责生成运算结果。

BRD：分支指令检测单元，根据分支指令控制信号和操作数给出分支指令执行结果，送入 PFU 和 BTB。

（六）EX 模块设计

EX 阶段负责根据操作数执行运算，使用 ALU 生成运算结果、要写入的寄存器的地址或者访存地址，并将运算结果传入 MEM 阶段；同时也会给出分支、JR 指令的信号。主要子模块如下：

ALU：算数逻辑单元。负责生成运算结果。

BRD：分支指令检测单元，根据分支指令控制信号和操作数给出分支指令执行结果，送入 PFU 和 BTB。

（七）MEM 模块设计

MEM 阶段负责根据访存地址发出访存请求，并接收 IO 控制器发来的访存结果。主要

子模块如下：

DM_transceiver：访存信号接发器，负责发送访存请求并接收访存结果。

（八）EM1、EM2 模块设计

EM1 和 EM2 两个模块负责处理乘法指令。在 EM1 阶段执行两个 32 位操作数的高低 16 位两两之间的乘法运算，在 EM2 阶段根据 EM1 阶段执行的结果执行加法运算生成乘法运算结果的低 32 位，执行结果送入 WB2 模块。

（九）WB、WB2 模块设计

WB 和 WB2 模块负责将指令执行结果写回寄存器堆。通过对 CPU 流水级暂停信号的设计，保证不会发生 WB2 和 WB 对寄存器堆写入的争用。WB2 的写入优先级高于 WB，

（十）SRAM 控制器模块设计

SRAM 控制器负责接收来自 MEM 和 IF 的访存请求，根据优先级执行，并将访存结果发送到对应模块。

SRAM 控制器是一个有限状态机，共有一个空闲状态和多个工作状态（数量视访存周期而定）。在空闲状态中，如果接收到访存请求则进入工作状态；在最后一个工作状态，如果接收到了新的访存请求，则直接进入第一个工作状态，否则进入空闲状态。

根据不同的时钟频率，SRAM 控制器可以选择不同的访存周期，一共有 3、4、5 三种选择。

（十一）串口通信控制器模块设计

串口通信控制器（SPC）负责接收来自 MEM 的访存请求，将通信结果发送到 DM_transceiver，或将要发送的数据通过串口发送出去。

三、设计结果

（一）设计交付物说明

项目目录层次：

```
2024349\THINPAD_TOP.SRCS
+---constrs_1   //约束文件
|    \---new
+---sim_1   //仿真文件
|    +---imports
|    \---new
|         \---include
\---sources_1
      +---imports
      |    \---new
      +---ip //IP 核文件
      \---new //项目 verilog 源代码
```

对项目仿真时，需要将 ram.v 中的二进制文件路径更改为自己设备上的路径。

（二）设计演示结果

表 1 正确性测试结果

测试名	得分
一级评测	100
二级评测	100
三级评测	100
性能测试	100

表 2 性能测试结果

测试名	100MHZ	140MHZ	200MHZ	250MHZ	255MHZ
STREAM	0.079	0.056	0.043	0.038	0.037
MATRIX	0.143	0.102	0.085	0.078	0.077
CRYPTONIGHT	0.320	0.228	0.176	0.153	0.150
总计	0.542	0.386	0.304	0.269	0.264

表 3 访存时钟周期

100MHZ	140MHZ	200MHZ	250MHZ	255MHZ
3	3	4	5	5

四、参考设计说明

本项目的接口定义和流水线框架部分参考了华中科技大学版的《计算机组成原理》，SRAM 控制器的设计部分参考了 NSCSCC2022 个人赛开源代码。

五、参考文献

[1] 谭志虎. 计算机组成原理[M]. 北京：人民邮电出版社，2021.