



Data Sheet

MS1793, BLE chip

32 位基于 ARM Cortex M0 核心的蓝牙低功耗芯片

Revision History:

Rev. No.	History	Issue Date	Remark
0.1	Initial issue	Aug 30, 2017	Preliminary
0.2	更新供电电流特性	Sept 20, 2017	
0.3	更新 ROM/RAM size 和版本信息	Sept 25, 2017	
0.4	更新 ROM/RAM size	Nov 20, 2017	
0.5	修正 pin description	Dec 28, 2017	
1.0	更新 stop/standby 电流	Jan 25, 2018	Release
1.1	更新内部时钟源特性	Feb 12, 2018	

Important Notice:

MACROGIGA reserves the right to make changes to its products or to discontinue any integrated circuit product or service without notice. MACROGIGA integrated circuit products are not designed, intended, authorized, or warranted to be suitable for use in life-support applications, devices or systems or other critical applications. Use in such applications is done at the sole discretion of the customer. MACROGIGA will not warrant the use of its devices in such applications.



Table of Contents

1. 总介.....	4
1.1 特性.....	4
2. 规格说明.....	5
2.1 概述.....	5
2.2.1 ARM®的 Cortex®-M0 核心并内嵌闪存和 SRAM.....	5
2.2.2 内置闪存存储器.....	5
2.2.3 内置 SRAM.....	5
2.2.4 嵌套的向量式中断控制器（NVIC）.....	6
2.2.5 外部中断/事件控制器（EXTI）.....	6
2.2.6 时钟和启动.....	6
2.2.7 自举模式.....	7
2.2.8 供电方案.....	8
2.2.9 供电监控器.....	8
2.2.10 电压调压器.....	8
2.2.11 低功耗模式.....	8
2.2.12 DMA.....	8
2.2.13 定时器和看门狗.....	9
2.2.14 通用异步收发器（UART）.....	10
2.2.15 I2C 总线.....	10
2.2.16 串行外设接口（SPI）.....	10
2.2.17 通用串行总线（USB）.....	11
2.2.18 通用输入输出接口（GPIO）.....	11
2.2.19 ADC（模拟/数字转换器）.....	11
2.2.20 串行单线 SWD 调试口（SW-DP）.....	11
2.2.21 蓝牙低功耗广播.....	11
3. 引脚定义.....	12
4. 存储器映像.....	14
5. 典型应用电路.....	17
6. 电器特性.....	18
6.1 测试条件.....	18
6.1.1 最小和最大数值.....	18
6.1.2 典型数值.....	18
6.1.3 典型曲线.....	18
6.1.4 负载电容.....	19
6.1.5 引脚输入电压.....	19
6.1.6 供电方案.....	20
6.1.7 电流消耗测量.....	20
6.2 RF 一般特性.....	21



6.3 RF 发射机特性.....	21
6.4 RF 接收机特性.....	21
6.5 绝对最大额定值.....	21
6.6 绝对最大额定值工作条件.....	22
6.6.1 通用工作条件.....	22
6.6.2 上电和掉电时的工作条件.....	23
6.6.3 内嵌复位和电源控制模块特性.....	23
6.6.4 供电电流特性.....	24
6.6.5 外部时钟源特性（NA）.....	25
6.6.6 控制模块内部时钟源特性.....	25
6.6.7 PLL 特性.....	26
6.6.8 存储器特性.....	26
6.6.9 EMC 特性.....	27
6.6.10 绝对最大值（电气敏感性）.....	28
6.6.11 I/O 端口特性.....	28
6.6.12 NRST 引脚特性.....	31
6.6.13 TIM 定时器特性.....	32
6.6.14 通信接口.....	32
6.6.15 12 位 ADC 特性.....	37
7. PCB 设计建议.....	38
7.1 电源设计建议.....	38
7.2 PCB 注意事项.....	39
7.3 2.4G 射频天线设计.....	39
8. 封装特性.....	41



1. 总介

MS1793 是单模超低功耗蓝牙芯片，射频采用 2.4GHz ISM 频段的频率，2MHz 信道间隔，符合蓝牙规范。MS1793 使用高性能的 ARM®Cortex®-M0 为内核的 32 位微控制器，最高工作频率可达 48MHz，内置高速存储器，丰富的增强型 I/O 端口和外设连接到 AHB 和 APB 总线。

MS1793 产品系列工作电压为 2.0V ~ 3.6V，工作温度范围包含 -40°C ~ +85°C 常规型。多种省电工作模式适合低功耗应用的要求。

MS1793 产品提供 QFN32 封装形式，提供低成本解决方案，适合于多种应用场合：

- Beacon
- LED 灯控
- 工业应用：工业遥控、遥测
- 警报系统、门禁系统、数据采集和传输系统

1.1 特性

- 内核与系统：
 - 32 位 ARM®Cortex-M0 处理器内核
 - 最高工作频率可达 48MHz
 - 单指令周期 32 位硬件乘法器
- 存储器
 - 128K 字节的闪存程序存储器
 - 8K 字节的 SRAM
 - Bootloader 支持片内 Flash、UART 在线用户编程（IAP）/在线系统编程（ISP）
- 单模 BLE 射频收发机
 - 数据包处理引擎
 - GFSK 编码方式
 - 内部电压调节器保证 PSRR
 - 可编程输出功率范围：-28dBm ~ +4dBm
 - 1Mbps 空气数据传输
 - 优秀的射频链路预算：高达 -85dBm
- 时钟、复位和电源管理
 - 2.0V ~ 3.6V 供电
 - 上电/断电复位（POR/PDR）、可编程电压监测器（PVD）
 - 外部 16MHz 高速晶体振荡器
 - 内嵌经出厂调校的 48MHz 高速振荡器
 - 内嵌 40KHz 低速振荡器
 - PLL 支持 CPU 最高运行在 48MHz
- 低功耗
 - 睡眠、停机和待机模式



- 1 个 12 位模数转换器，1 μ S 转换时间
 - 转换范围：0~V_{DDA}
- 2 个比较器
- 5 通道 DMA 控制器
 - 支持的外设：Timer、UART、I2C、SPI 和 ADC
- 多达 21 个快速 I/O 端口：
 - 所有 I/O 口可以映像到 16 个外部中断；
- 调试模式
 - 串行单线调试（SWD）
- 多达 9 个定时器
 - 1 个 16 位高级定时器 4 通道高级控制定时器，有 4 通道 PWM 输出，以及死区生成和紧急停止功能
 - 1 个 32 位定时器和 1 个 16 位定时器，有高达 4 个 IC/OC，可用于 IR 控制解码
 - 2 个 16 位定时器，有 1 个 IC/OC 和 1 个 OCN，死区生成，紧急停止，调制器门电路用于 IR 控制
 - 1 个 16 位定时器，有 1 个 IC/OC
 - 2 个看门狗定时器（独立的和窗口型的）
 - 系统时间定时器：24 位自减型计数器
- 多达 3 个通信接口
 - 1 个 UART 接口
 - 1 个 I2C 接口
 - 1 个 SPI 接口
- 低成本外围元件 BOM 成本

2. 规格说明

2.1 概述

2.2.1 ARM®的 Cortex®-M0 核心并内嵌闪存和 SRAM

ARM 的 Cortex®-M0 处理器是最新一代的嵌入式 ARM 处理器，它为实现 MCU 的需要提供了低成本的平台、缩减的引脚数目、降低的系统功耗，同时提供卓越的计算性能和先进的中断系统响应。

ARM 的 Cortex®-M0 是 32 位的 RISC 处理器，提供额外的代码效率，在通常 8 和 16 位系统的存储空间上发挥了 ARM 内核的高性能。

MS1793 拥有内置的 ARM 核心，因此它与所有的 ARM 工具和软件兼容。

2.2.2 内置闪存存储器

128K 字节的内置闪存存储器，用于存放程序和数据。

2.2.3 内置 SRAM

8K 字节的内置 SRAM。



2.2.4 嵌套的向量式中断控制器（NVIC）

MS1793 内置嵌套的向量式中断控制器，能够处理多达 68 个可屏蔽中断通道（不包括 16 个 Cortex®M0 的中断线）和 16 个可编程优先级。

- 紧耦合的 NVIC 能够达到低延迟的中断响应处理
- 中断向量入口地址直接进入内核
- 紧耦合的 NVIC 接口
- 允许中断的早期处理
- 处理晚到的较高优先级中断
- 支持中断尾部链接功能
- 自动保存处理器状态
- 中断返回时自动恢复，无需额外指令开销

该模块以最小的中断延迟提供灵活的中断管理功能。

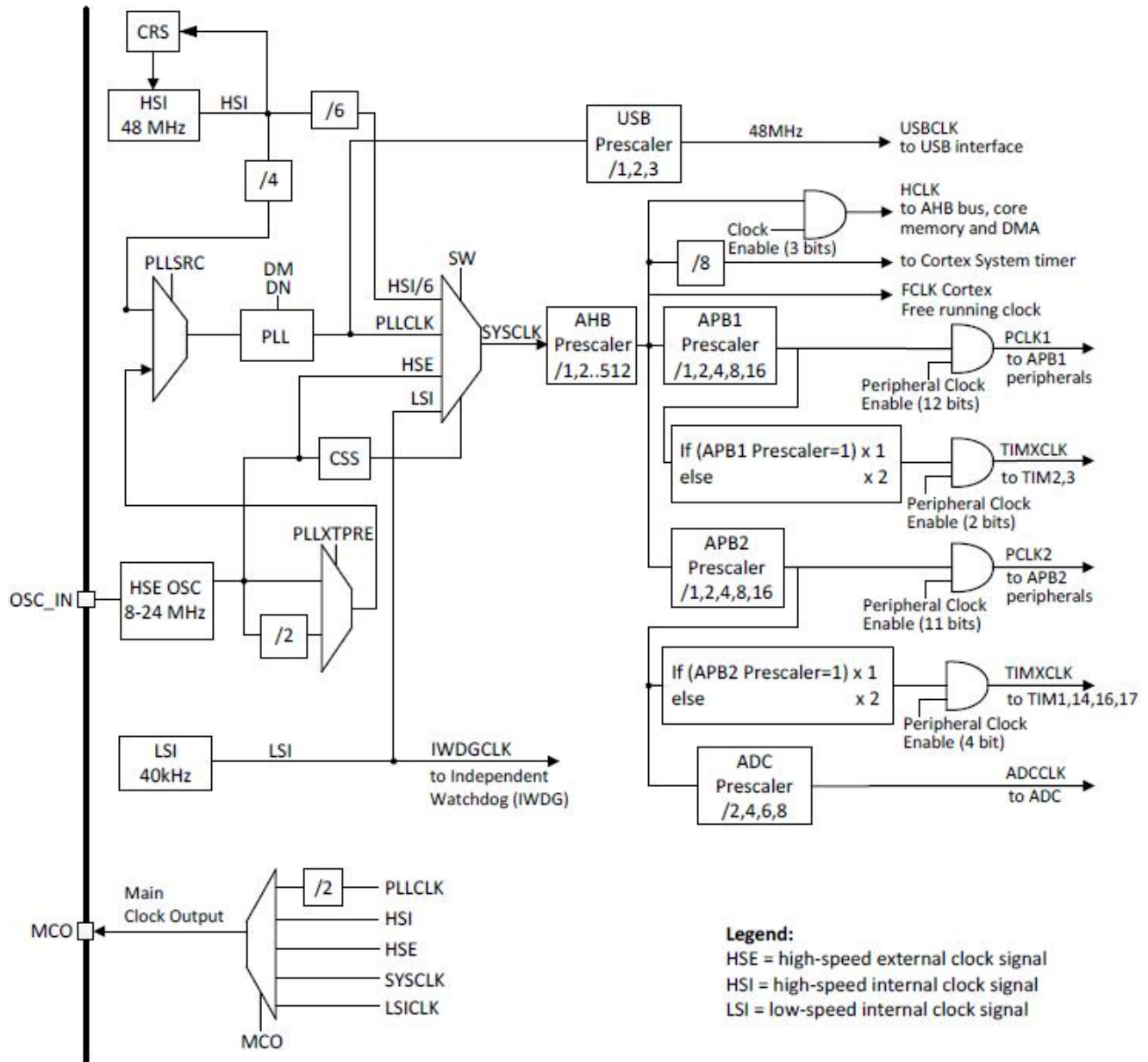
2.2.5 外部中断/事件控制器（EXTI）

外部中断/事件控制器包含 20 个边沿检测器，用于产生中断/事件请求。每个中断线都可以独立地配置它的触发事件（上升沿或下降沿或双边沿），并能够单独地被屏蔽；有一个挂起寄存器维持所有中断请求的状态。EXTI 可以检测到脉冲宽度小于内部 APB2 的时钟周期。多达 34 个通用 I/O 口连接到 16 个外部中断线。

2.2.6 时钟和启动

复位时内部 48MHz 的振荡器被选为默认的 CPU 时钟。

多个预分频器用于配置 AHB 的频率、高速 APB（APB2 和 APB1）区域。AHB 和高速 APB 的最高频率是 48MHz。参考下图的时钟驱动框图。



2.2.7 自举模式

在启动时，通过自举引脚可以选择三种自举模式中的一种：

- 从程序闪存存储器自举
- 从系统存储器自举
- 从内部 SRAM 自举

自举加载程序（Bootloader）存放于系统存储器中，可以通过 UART1 对闪存重新编程。



2.2.8 供电方案

- $V_{DD} = 2.0V \sim 3.6V$: V_{DD} 引脚为 I/O 引脚和内部调压器供电。
- $V_{SSA}, V_{DDA} = 2.0V \sim 3.6V$: 为复位模块、振荡器和 PLL 的模拟部分提供供电。 V_{DDA} 和 V_{SSA} 必须分别连接到 V_{DD} 和 V_{SS} 。

2.2.9 供电监控器

本芯片内部集成了上电复位 (POR) /掉电复位 (PDR) 电路, 该电路始终处于工作状态, 保证系统在供电超过 1.8V 时工作; 当 V_{DD} 低于设定的阈值 (V_{POR}/PDR) 时, 置器件于复位状态, 而不必使用外部复位电路。

器件中还有一个可编程电压监测器 (PVD), 它监视 V_{DD}/V_{DDA} 供电并与阈值 V_{PVD} 比较, 当 V_{DD} 低于或高于阈值 V_{PVD} 时产生中断, 中断处理程序可以发出警告信息或将微控制器转入安全模式。PVD 功能需要通过程序开启。

2.2.10 电压调压器

调压器将外部电压转成内部数字逻辑工作的电压, 该调压器在复位后始终处于工作状态。

2.2.11 低功耗模式

本芯片支持低功耗模式, 可以在要求低功耗、短启动时间和多种唤醒事件之间达到最佳的平衡。

- 睡眠模式 SLEEP

在睡眠模式, 只有 CPU 停止, 所有外设处于工作状态并可在发生中断/事件时唤醒 CPU。

- 停机模式 STOP

在保持 SRAM 和寄存器内容不丢失的情况下, 停机模式可以达到最低的电能消耗。在停机模式下, 停止所有内部 1.5V 部分的供电, HSI 的振荡器和 HSE 晶体振荡器被关闭, 调压器可以被置于普通模式或低功耗模式。

可以通过任一配置成 EXTI 的信号把微控制器从停机模式中唤醒, EXTI 信号可以是 16 个外部 I/O 口之一、PVD 的输出的唤醒信号。

2.2.12 DMA

灵活的 5 路通用 DMA 可以管理存储器到存储器、设备到存储器和存储器到设备的数据传输; DMA 控制器支持环形缓冲区的管理, 避免了控制器传输到达缓冲区结尾时所产生的中断。

每个通道都有专门的硬件 DMA 请求逻辑, 同时可以由软件触发每个通道; 传输的长度、传输的源地址和目标地址都可以通过软件单独设置。



DMA 可以用于主要的外设：UART、I2C、SPI、通用/基本/高级控制定时器 TIMx、ADC 和 USB。

2.2.13 定时器和看门狗

本芯片包含 1 个高级控制定时器、5 个通用定时器，以及 2 个看门狗定时器和 1 个系统嘀嗒定时器。

下表比较了高级控制定时器、通用定时器和基本定时器的功能：

定时器类型	Timer	计数器分辨率	计数器类型	预分频系数	DMA 请求生成	捕获/比较通道	互补输出
高级	TIM1	16 位	递增、递减、递增/递减	1 和 65536 之间的任意整数	有	4	有
通用	TIM2	32 位	递增、递减、递增/递减	1 和 $2^{32}-1$ 之间的任意整数	有	4	无
	TIM3	16 位	递增、递减、递增/递减	1 和 65536 之间的任意整数	有	4	无
	TIM14	16 位	递增	1 和 65536 之间的任意整数	无	1	无
	TIM16 TIM17	16 位	递增	1 和 65536 之间的任意整数	有	1	有

高级控制定时器（TIM1）

高级控制定时器（TIM1）可以被看成是分配到 6 个通道的三相 PWM 发生器，它具有带死区插入的互补 PWM 输出，还可以被当成完整的通用定时器。四个独立的通道可以用于：

- 输入捕获
- 输出比较
- 产生 PWM（边缘或中心对齐模式）
- 单脉冲输出

配置为 16 位通用定时器时，它与 TIMx 定时器具有相同的功能。配置为 16 位 PWM 发生器时，它具有全调制能力（0 ~ 100%）。

在调试模式下，计数器可以被冻结，同时 PWM 输出被禁止，从而切断由这些输出所控制的开关。

很多功能都与通用的 TIM 定时器相同，内部结构也相同，因此高级控制定时器可以通过定时器链接功能与 TIM 定时器协同操作，提供同步或事件链接功能。

通用定时器（TIM2/3/14/16/17）

本芯片内置了多达 5 个可同步运行的通用定时器。每个定时器都 PWM 输出，或作为简单时间基准。

TIM2/3

本芯片具有两个可同步的 4 通道通用定时器。TIM2 基于一个 32 位自动重载递增/递减计数器和一个 16 位预分频。TIM3 基于一个 16 位自动重载递增/递减计数器和一个 16 位预分频。它们都具有 4 个独立通道，用于输入捕获/输出比较、PWM、单脉冲模式输出。在最大的封装中，可提供多达 12 个输入捕捉/输出比较/PWM。

TIM2 和 TIM3 通用定时器可通过定时器链接功能与 TIM1 高级控制定时器协同工作，提供同步或事件链接功能。

TIM2 和 TIM3 都可生成独立的 DMA 请求。

这些定时器能够处理正交（增量）编码器信号，也能处理 1 到 3 个霍尔效应传感器的数字输出。

在调试模式下，其计数器可被冻结。

TIM14

该定时器基于一个 16 位自动重载递增计数器和一个 16 位预分频器。

TIM14 具有一个单通道，用于输入捕获/输出比较，PWM 或单脉冲模式输出。



在调试模式下，其计数器可被冻结。

TIM16/17

两种定时器基于一个 16 位自动重载递增计数器和一个 16 位预分频器。它们每个都有一个单通道，用于输入捕获/输出比较，PWM 或单脉冲模式输出。TIM16 和 TIM17 有互补输出，带死区生成和独立 DMA 请求生成功能。在调试模式下，其计数器可被冻结。

独立看门狗

独立的看门狗是基于一个 12 位的递减计数器和一个 8 位的预分频器，它由一个内部独立的 40KHz 的振荡器提供时钟；因为这个振荡器独立于主时钟，所以它可运行于停机和待机模式。它可以被当成看门狗用于在发生问题时复位整个系统，或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。在调试模式下，计数器可以被冻结。

窗口看门狗

窗口看门狗内有一个 7 位的递减计数器，并可以设置成自由运行。它可以被当成看门狗用于在发生问题时复位整个系统。它由主时钟驱动，具有早期预警中断功能；在调试模式下，计数器可以被冻结。

系统时基定时器

这个定时器是专用于实时操作系统，也可当成一个标准的递减计数器。它具有下述特性：

- 24 位的递减计数器
- 自动重加载功能
- 当计数器为 0 时能产生一个可屏蔽系统中断
- 可编程时钟源

2.2.14 通用异步收发器 (UART)

UART 接口具有硬件的 CTS 和 RTS 信号管理。所有 UART 接口都可以使用 DMA 操作。

2.2.15 I2C 总线

1 个 I2C 总线接口，能够工作于多主模式或从模式，支持标准和快速模式。I2C 接口支持 7 位或 10 位寻址，7 位从模式时支持双从地址寻址。

2.2.16 串行外设接口 (SPI)

1 个 SPI 接口，在从或主模式下，全双工和半双工的通信速率可达 18 兆位/秒。3 位的预分频器可产生 8 种主模式频率，可配置成每帧 1 ~ 32 位。所有的 SPI 接口都可以使用 DMA 操作。



2.2.17 通用串行总线（USB）

NA

2.2.18 通用输入输出接口（GPIO）

每个 GPIO 引脚都可以由软件配置成输出（推挽或开漏）、输入（带或不带上拉或下拉）或复用的外设功能端口。多数 GPIO 引脚都与数字或模拟的复用外设共用。除了具有模拟输入功能的端口，所有的 GPIO 引脚都有大电流通过能力。

在需要的情况下，I/O 引脚的外设功能可以通过一个特定的操作锁定，以避免意外的写入 I/O 寄存器。在 AHB 上的 I/O 脚可达 18MHz 的翻转速度。

2.2.19 ADC（模拟/数字转换器）

本芯片内嵌 1 个 12 位的模拟/数字转换器（ADC），可以实现单次或扫描转换。在扫描模式下，自动进行在选定的一组模拟输入上的转换。

ADC 可以使用 DMA 操作。

模拟看门狗功能允许非常精准地监视一路、多路或所有选中的通道，当被监视的信号超出预置的阈值时，将产生中断。

由通用定时器（TIMx）和高级控制定时器（TIM1）产生的事件，可以分别内部级联到 ADC 的触发，应用程序能使 AD 转换与时钟同步。

2.2.20 串行单线 SWD 调试口（SW-DP）

内嵌 ARM 的两线串行调试端口（SW-DP）

ARM 的 SW-DP 接口允许通过串行线调试工具连接到单片机。

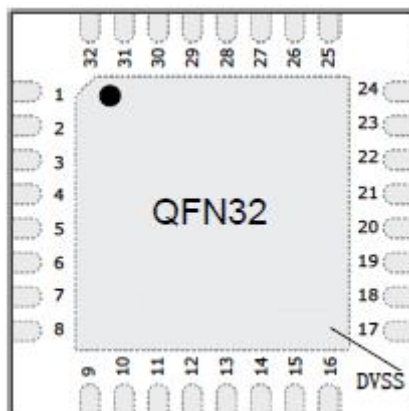
2.2.21 蓝牙低功耗广播

本芯片集成了蓝牙规范和射频收发器，兼容国际通信联盟无线电通信局定义的无需授权许可的 2.4GHz 的 ISM 频段。

为本芯片供电后，射频收发外围只需搭建简单的外围元件即可实现无线收发功能。它提供高达-85dBm 的优秀射频链路预算，待机电流低于 2uA。



3. 引脚定义



Pin No.	Symbol	I/O	Function Description	可选复用功能
1	VBAT	Power	Power Supply	
2	SPI_MISO_RF	DO	SPI Slave Data Output, connect to pin27	
3	VDD_LDO	Power	连接 10uF 电容	
4	IRQ_VPP	DO	Maskable Interrupt Output	
5	NRST	DI		
6	VBAT	Power	Power Supply	
7	PA0	DIO	PA0-WKUP	UART2_CTS/ADC_IN0
8	XO16M	AO	Crystal Pin	
9	XI16M	AI	Crystal Pin	
10	PA3	DIO		ADC_IN3/TIM2_CH4
11	PA4	DIO		ADC_IN4/TIM14_CH1
12	PA7	DIO		ADC_IN7/TIM17_CH1
13	VSS	Power	Ground (0V)	
14	Antp	AO	Antenna interface	
15	VBAT	Power	Power Supply	
16	PA8	DIO		TIM1_CH1/MCO
17	PA9	DIO		UART1_TX/TIM1_CH2/UART1_RX/I2C_SCL/MCO
18	PA10	DIO		UART1_RX/TIM1_CH3/UART1_TX/I2C_SDA



19	VBAT	Power	Power Supply	
20	PA11	DIO		UART1_CTS/TIM1_CH4/I2C_SCL
21	PA12	DIO		UART1_RTS/TIM1_ERT/I2C_SDA
22	PA13	DIO		SWDIO
23	PD2	DIO		
24	PD3	DIO		
25	PA14	DIO		SWCLK/UART2_TX
26	PB3	DO	SPI clock output, 连接 pin31	TIM2_CH2/SPI1_SCK
27	PB4/MISO	DI	SPI Master Data input, 连接 pin2	TIM3_CH1/SPI1_MISO
28	PB5/MOSI	DO	SPI Master Data Output, 连接 pin32	TIM3_CH2/SPI1_MOSI
29	BOOT0	DI		
30	SPI_CSN	DIO	SPI chip select	PB8
31	SPI_SCK_RF	DI	SPI clock, connect to pin26	
32	SPI_MOSI_RF	DI	SPI Slave Data input, connect to pin28	

Table3.1 Pin Description

端口功能复用表

引脚名	AF0	AF1	AF2	AF3	AF4	AF5
PA0		UART2_CTS	TIM2_CH1_ETR			
PA3		UART2_RX	TIM2_CH4			
PA4					TIM14_CH1	
PA7		TIM3_CH2			TIM14_CH1	TIM17_CH1
PA8	MCO		TIM1_CH1		CRS_SYNC	
PA9		UART1_TX	TIM1_CH2	UART1_RX	I2C_SCL	MCO
PA10	TIM17_BKIN	UART1_RX	TIM1_CH3	UART1_TX	I2C_SDA	
PA11		UART1_CTS	TIM1_CH4			I2C_SCL



PA12		UART1_RTS	TIM1_ETR			I2C_SDA
PB3	SPI1_SCK		TIM2_CH2			
PB4	SPI1_MISO	TIM3_CH1				
PB5	SPI1_MOSI	TIM3_CH2	TIM16_BKIN			
PB8	SPI1_CSN*					
PD2						
PD3						

4. 存储器映像

总线	编址范围	大小	外设
AHB	0x4800 1000 - 0x5FFF FFF	~384 MB	Reserved
	0x4800 0C00 - 0x4800 0FFF	1 KB	GPIOB
	0x4800 0800 - 0x4800 0BFF	1 KB	GPIOC
	0x4800 0400 - 0x4800 07FF	1 KB	GPIOB
	0x4800 0000 - 0x4800 03FF	1 KB	GPIOA
	0x4002 6400 - 0x47FF FFFF	~128 MB	Reserved
	0x4002 2400 - 0x4002 63FF	16 KB	Reserved
	0x4002 2000 - 0x4002 23FF	1 KB	Flash 接口
	0x4002 1400 - 0x4002 1FFF	3 KB	Reserved
	0x4002 1000 - 0x4002 13FF	1 KB	RCC
	0x4002 0400 - 0x4002 0FFF	3 KB	Reserved
	0x4002 0000 - 0x4002 03FF	1 KB	DMA
APB2	0x4001 4C00 - 0x4001 7FFF	13 KB	Reserved
	0x4001 4800 - 0x4001 4BFF	1 KB	TIM17
	0x4001 4400 - 0x4001 47FF	1 KB	TIM16
	0x4001 4000 - 0x4001 43FF	1 KB	TIM14
	0x4001 3C00 - 0x4001 3FFF	1 KB	CPT



MacroGiga Electronics Ltd. Co.

	0x4001 3800 - 0x4001 3BFF	1 KB	UART1
	0x4001 3400 - 0x4001 37FF	1 KB	DBGMCU
	0x4001 3000 - 0x4001 33FF	1 KB	SPI1
	0x4001 2C00 - 0x4001 2FFF	1 KB	TIM1
	0x4001 2800 - 0x4001 2BFF	1 KB	Reserved
	0x4001 2400 - 0x4001 27FF	1 KB	ADC
	0x4001 0800 - 0x4001 23FF	7 KB	Reserved
	0x4001 0400 - 0x4001 07FF	1 KB	EXTI
	0x4001 0000 - 0x4001 03FF	1 KB	SYSCFG
APB1	0x4000 7400 - 0x4000 FFFF	35 KB	Reserved
	0x4000 7000 - 0x4001 73FF	1 KB	PWR
	0x4000 6C00 - 0x4000 6FFF	1 KB	CRS
	0x4000 6000 - 0x4000 6BFF	3 KB	Reserved
	0x4000 5C00 - 0x4000 5FFF	1 KB	USB
	0x4000 5800 - 0x4000 5BFF	1 KB	Reserved
	0x4000 5400 - 0x4000 57FF	1 KB	I2C
	0x4000 4800 - 0x4000 53FF	3 KB	Reserved
	0x4000 4400 - 0x4000 47FF	1 KB	UART2
	0x4000 3C00 - 0x4000 43FF	2 KB	Reserved
	0x4000 3800 - 0x4000 3BFF	1 KB	SPI2
	0x4000 3400 - 0x4000 37FF	1 KB	Reserved
	0x4000 3000 - 0x4000 33FF	1 KB	IWDG
	0x4000 2C00 - 0x4000 2FFF	1 KB	WWDG
	0x4000 2800 - 0x4000 2BFF	1 KB	BKP
	0x4000 0800 - 0x4000 27FF	8 KB	Reserved
	0x4000 0400 - 0x4000 07FF	1 KB	TIM3
	0x4000 0000 - 0x4000 03FF	1 KB	TIM2
SRAM	0x2000 2000 - 0x2FFF FFFF	~512 MB	Reserved
	0x2000 0000 - 0x2000 1FFF	8 KB	SRAM
Flash	0x1FFF F810 - 0x1FFF FFFF	~2 KB	Reserved
	0x1FFF F800 - 0x1FFF F80F	16 B	Option Byte



MacroGiga Electronics Ltd. Co.

	0x1FFF F400 - 0x1FFF F7FF	1 KB	System memory
	0x1FFE 1C00 - 0x1FF F3FF	~256 MB	Reserved
	0x1FFE 1000 - 0x1FFE 1BFF	3 KB	Security space
	0x1FFE 0200 - 0x1FFE 0FFF	3.5 KB	Reserved
	0x1FFE 0000 - 0x1FFE 01FF	0.5 KB	Protect Bytes
	0x0802 0000 - 0x1FFD FFFF	~256 MB	Reserved
	0x0800 0000 - 0x0801 FFFF	128 KB	Main Flash memory
	0x0002 0000 - 0x07FFF FFFF	~128 MB	Reserved
	0x0000 0000 - 0x0001 FFFF	128 KB	主闪存存储器/系统存储器 /SRAM, 依赖 BOOT 配置



5. 典型应用电路

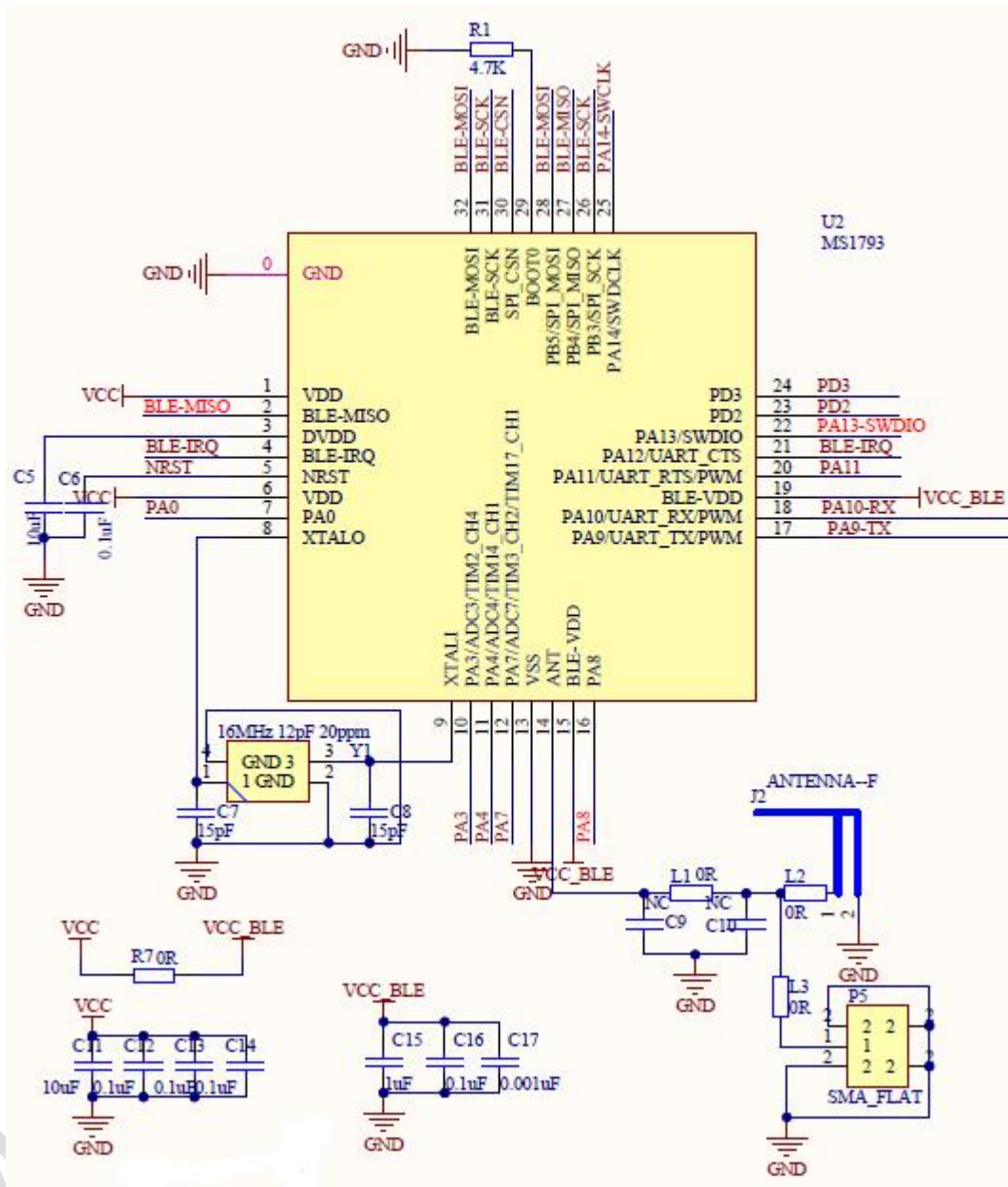


图 5.1 Example Application Schematic



6. 电器特性

6.1 测试条件

除非特别说明，所有电压的都以 VSS 为基准。所有性能均在 50Ω 天线连接器下测得。

6.1.1 最小和最大数值

除非特别说明，最小和最大数值是在环境温度 $T_A=25^{\circ}\text{C}$, $V_{DD}=3.3\text{V}$ 下执行的测试。

6.1.2 典型数值

除非特别说明，典型数据是基于 $T_A=25^{\circ}\text{C}$, $V_{DD}=3.3\text{V}$ 。这些数据仅用于设计指导。

6.1.3 典型曲线

除非特别说明，典型曲线仅用于设计指导。

		外部提供 3.3v 的直流电压						单位
标注	参数	测试条件		最小	典型	最大	单位	
I _{BAT}	Supply current	RESET			0.005			mA
		SLEEP			4.8	5.3		
		STOP			0.195	0.200		
		STANDBY			0.019	0.022		
		RX	内部			38.39		
		TX	+3 dBm		36			
			0 dBm		30			
			-3 dBm		28			

表 6.1.1 功耗参数

外设	典型电流消耗	单位
	$V_{DD}=3.0\text{V}, T_A=25^{\circ}\text{C}$	
GPIOA	0.26	mA
GPIOB	1.0	
GPIOD	0.14	

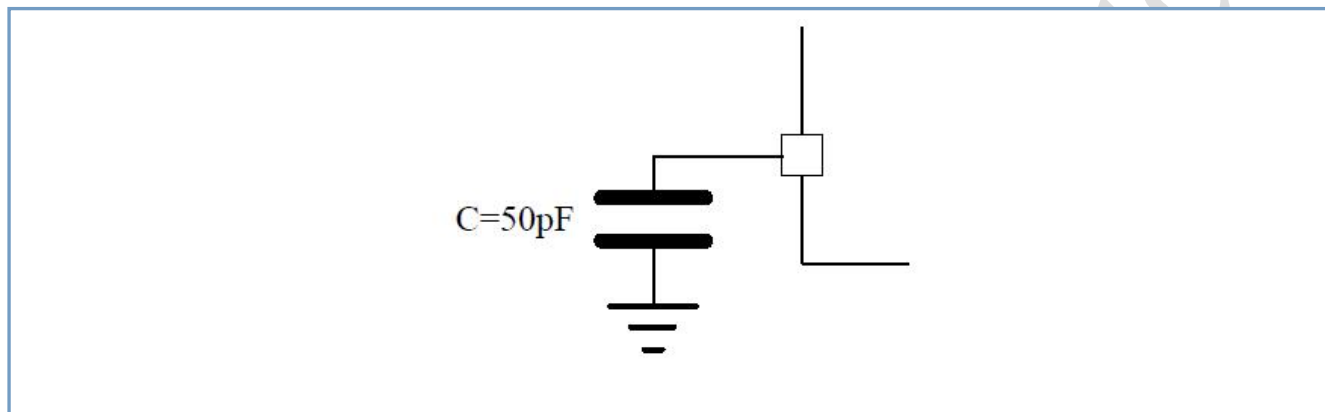


UART1	0.45	
IIC	0.71	

表 6.1.2 外围电流消耗

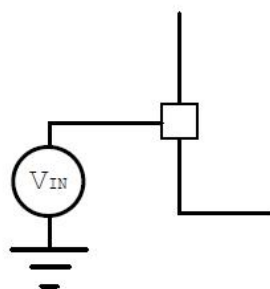
6.1.4 负载电容

测量引脚参数时的负载条件示意如下：



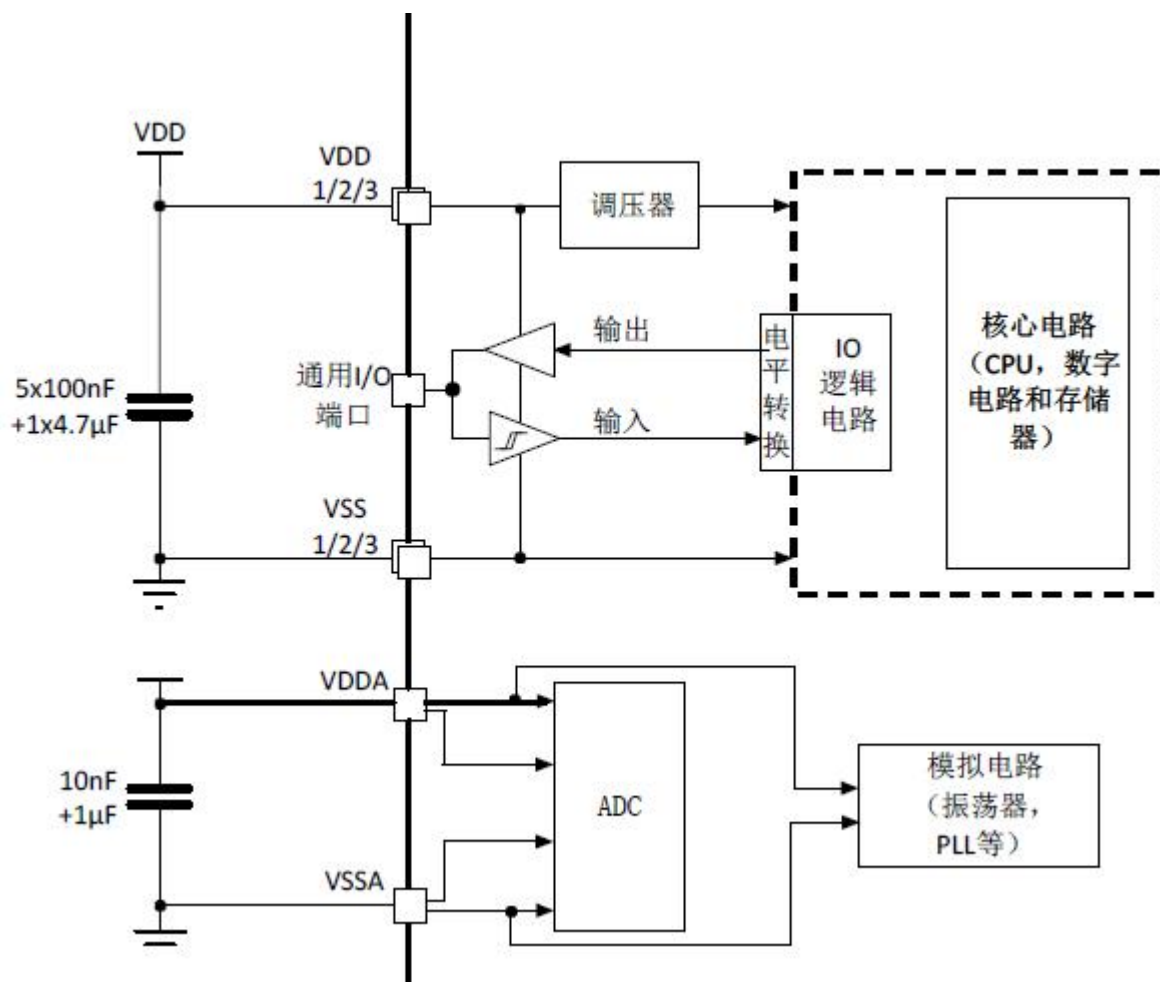
6.1.5 引脚输入电压

引脚输入电压的测量方式示意如下：

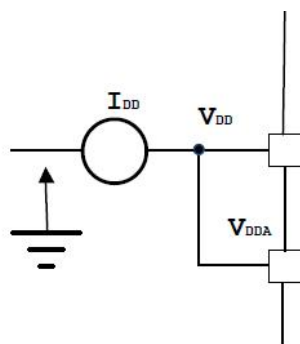




6.1.6 供电方案



6.1.7 电流消耗测量





6.2 RF 一般特性

标注	参数	测试条件	Min.	Typ	Max.	Unit
FREQ	频率变化	VDD=3.0V, TA=25°C	2400		2480	MHz
FC	信道间隔	VDD=3.0V, TA=25°C		2		MHz
RFch	RF 通道中心	VDD=3.0V, TA=25°C	2400		2480	MHz

6.3 RF 发射机特性

标注	参数	测试条件	最小	典型	最大	单位
MOD	调制方式	GFSK				
BT	带宽			0.5		
M _{index}	调制指数		0.45	0.5	0.55	
DR	空气传输速率			1 Mbps		
P _{MAX}	最大输出功率				+4	dBm
P _{BW1M}	6dB 带宽调制载波 (1Mbps)		500			KHz
P _{SPUR}	杂散发射				-41	dBm
CF _{dev}	中心频率偏移				±150	KHz
Freqdrift	频率漂移				±50	KHz
IFreqdrift	初始载波频率漂移				±20	KHz

6.4 RF 接收机特性

标注	参数	测试条件	最小	典型	最大	单位
RXSENS	接收灵敏度	BER<0.1%		-85		dBm

6.5 绝对最大额定值

加在器件上的载荷如果超过‘绝对最大额定值’列表中给出的值，可能会导致器件永久性地损坏。这里只是给出能承受的最大载荷，并不意味着在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

符号	描述	最小值	最大值	单位
VDD-VSS	外部主供电电压（包含 VDDA 和 VDD）	-0.3	3.6	V



V_{in}	引脚上的输入电压	$V_{SS}-0.3$	3.6	V
$ \Delta VDDx $	不同供电引脚之间的电压差		50	mV
$ VSSx-VSS $	不同接地引脚之间的电压差		50	mV
$V_{ESD(HBM)}$	ESD 静电放电电压（人体模型）		2000	V

表 6.5.1 电压特性

符号	描述	最大值	单位
I_{VDD}	经过 VDD/VDDA 电源线的总电流（供应电流）	150	mA
I_{VSS}	经过 VSS 地线的总电流（流出电流）	150	mA
I_{IO}	任意 I/O 和控制引脚上的输出灌电流	20	mA
	任意 I/O 和控制引脚上的输出电流	-18	mA
$I_{INJ(PIN)}$	引脚的注入电流	± 5	mA
$\Sigma I_{INJ(PIN)}$	所有 I/O 和控制引脚上的总注入电流	± 25	mA

表 6.5.2 电流特性

符号	描述	最大值	单位
T_{STG}	储存温度范围	$-45 \sim +150$	$^{\circ}\text{C}$
T_J	最大结温度	150	$^{\circ}\text{C}$

表 6.5.3 温度特性

6.6 绝对最大额定值工作条件

6.6.1 通用工作条件

符号	参数	条件	最小值	最大值	单位
f_{HCLK}	内部 AHB 时钟频率		0	48	MHz
f_{PCLK}	内部 APB 时钟频率		0	48	MHz



VDD	标准工作电压		2.0	3.6	V
VDDA	模拟部分工作电压	与 VDD 相同	2.0	3.6	V
P _D	功率耗散温度: T _A =85℃		-	-	mW
T _A	环境温度 T _A =85℃	最大功率耗散	-25	85	℃
		低功率耗散	-25	105	℃

6.6.2 上电和掉电时的工作条件

下表中给出的参数是在一般的工作条件下测试得出。

符号	参数	条件	最小值	最大值	单位
t _{VDD}	VDD 上升速率	T _A =27 °C	100	-	us/V
	VDD 下降速率		100	-	us/V

6.6.3 内嵌复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
V _{PVD}	可编程的电压检测器的电平选择	PLS[3:0]=0000(上升沿)	1.813	1.819	1.831	V
		PLS[3:0]=0000(下降沿)		1.705		V
		PLS[3:0]=0001(上升沿)	2.112	2.116	2.124	V
		PLS[3:0]=0001(下降沿)		2.0		V
		PLS[3:0]=0010(上升沿)	2.411	2.414	2.421	V
		PLS[3:0]=0010(下降沿)		2.297		V
		PLS[3:0]=0011(上升沿)	2.711	2.714	2.719	V
		PLS[3:0]=0011(下降沿)		2.597		V
		PLS[3:0]=0100(上升沿)	3.011	3.013	3.018	V
		PLS[3:0]=0100(下降沿)		2.895		V



		PLS[3:0]=0101(上升沿)	3.311	3.313	3.317	V
		PLS[3:0]=0101(下降沿)		3.194		V
		PLS[3:0]=0110(上升沿)	3.611	3.613	3.616	V
		PLS[3:0]=0110(下降沿)		3.494		V
$V_{PVDhyst}$	PVD 迟滞			100		mV
$V_{POR/PDR}$	上电/掉电复位 阈值	下降沿	1.623	1.656	1.675	V
		上升沿		1.747		V
$V_{PDRhyst}$	PDR 迟滞			100		mV
$T_{RSTTEMPO}$	复位持续时间			2		mS

6.6.4 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。
本节中给出的所有运行模式下的电流消耗测量值，都是在执行一套精简的代码。

最大电流消耗

微控制器处于下列条件：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上—— V_{DD} 或 V_{SS} （无负载）。
- 所有的外设都处于关闭状态，除非特别说明。
- 闪存存储器的访问时间调整到 f_{HCLK} 的频率（0 ~ 24MHz 时为 0 个等待周期，24 ~ 48MHz 时为 1 个等待周期）。
- 指令预取功能开启（提示：这个参数必须在设置时钟和总线分频之前设置）。当开启外设时： $f_{PCLK1} = f_{HCLK}/2$ ， $f_{PCLK2} = f_{HCLK}$ 。

符号	参数	条件	最大值	单位
I_{DD}	待机模式下的供应电流	复位后进入待机模式	190	μA
	待机模式下的供应电流	复位后进入待机模式	2	μA

表 6.4.4.1 停机和待机模式下的典型和最大电流消耗

典型的电流消耗

MCU 处于下述条件下：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上—— V_{DD} 或 V_{SS} （无负载）。
- 所有的外设都处于关闭状态，除非特别说明。
- 闪存存储器的访问时间调整到 f_{HCLK} 的频率（0 ~ 24MHz 时为 0 个等待周期，24 ~ 48MHz 时为 1 个等待周期）。



- 指令预取功能开启（提示：这个参数必须在设置时钟和总线分频之前设置）。当开启外设时： $f_{PCLK1} = f_{HCLK}/4$, $f_{PCLK2} = f_{HCLK}/2$ 。

符号	参数	条件	f_{HCLK}	典型值		单位
				使能所有外设	关闭所有外设	
I_{DD}	运行模式下的 供应电流	运行于高速内部振荡器(HSI), 使用 AHB 预分频以减低频率	48MHz	7.63	4.28	mA
			8MHz	1.40	0.85	mA

表 6.4.4.2 运行模式下的典型电流消耗，数据处理代码从内部 **Flash** 中运行

1. 典型值是在 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 3.3\text{V}$ 时测试得到。
2. 外部时钟为 8MHz，当 $f_{HCLK} > 8\text{MHz}$ 时启用 PLL。

符号	参数	条件	f_{HCLK}	典型值		单位
				使能所有外设	关闭所有外设	
I_{DD}	睡眠模式下的 供应电流	运行于高速内部振荡器(HSI), 使用 AHB 预分频以减低频率	48MHz	5.89	2.49	mA
			8MHz	1.03	0.48	mA

表 6.4.4.3 睡眠模式下的典型电流消耗，数据处理代码从内部 **Flash** 或 **RAM** 中运行

1. 典型值是在 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 3.3\text{V}$ 时测试得到。
2. 外部时钟为 8MHz，当 $f_{HCLK} > 8\text{MHz}$ 时启用 PLL。

6.6.5 外部时钟源特性 (NA)

6.6.6 控制模块内部时钟源特性

下表中给出的特性参数是使用环境温度和供电电压符合表 6.1.2 的条件测量得到。

高速内部(HSI)振荡器

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSI}	频率		39.94	48.26	64.14	MHz
ACC_{HSI}	HSI 振荡器的精度	$T_A = -40 \sim 105^\circ\text{C}$	-10		9	%
		$T_A = -10 \sim 85^\circ\text{C}$				
		$T_A = 0 \sim 70^\circ\text{C}$				
		$T_A = 25^\circ\text{C}$	-1		1	
$t_{SU(HSI)}$	HSI 振荡器启动时间				2	μs
$I_{DD(HSI)}$	HSI 振荡器功耗			80.53	122	μA

低速内部(LSI)振荡器



符号	参数	条件	最小值	典型值	最大值	单位
f_{LSI}	频率		31.3	50.58	74.83	KHz
$t_{SU(LSI)}$	LSI 振荡器启动时间				1	μs
$I_{DD(LSI)}$	LSI 振荡器功耗			1.082	1.652	μA

从低功耗模式唤醒的时间

表中列出的唤醒时间是在一个 8MHz 的 HSI 振荡器的唤醒阶段测量得到。唤醒时使用的时钟源依当前的操作模式而定：

- 停机或待机模式：时钟源是振荡器
- 睡眠模式：时钟源是进入睡眠模式时所使用的时钟

所有的时间是使用环境温度和供电电压符合表 6.1.2 的条件测量得到。

符号	参数	条件	最大值	单位
$t_{WUSLEEP}$	从睡眠模式唤醒	使用 HSIRC 时钟唤醒	4	μs
t_{WUSTOP}	从停机模式唤醒(调压器处于运行模式)	HSIRC 时钟唤醒=2 μs	8	
$t_{WUSTDBY}$	从待机模式唤醒	HSIRC 时钟唤醒=2 μs 调压器从关闭模式唤醒时间 = 38 μs	20000	

唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令。

6.6.7 PLL 特性

下表列出的参数是使用环境温度和供电电压符合表 6.1.2 的条件测量得到。

符号	参数	数值			单位
		最小值	典型值	最大值	
f_{PLL_IN}	PLL 输入时钟	8		24	MHz
	PLL 输入时钟占空比	40		60	%
f_{PLL_OUT}	PLL 倍频输出时钟	40		100	MHz
t_{LOCK}	PLL 锁相时间			100	μs

6.6.8 存储器特性

闪存存储器

除非特别说明，所有特性参数是在 $T_A = -40 \sim 105^\circ C$ 得到。



符号	参数	条件	最小值	典型值	最大值	单位
t_{prog}	8 位的编程时间	$T_A = -40 \sim 105^\circ\text{C}$	4			μs
t_{ERASE}	页(512K 字节)擦除时间	$T_A = -40 \sim 105^\circ\text{C}$	4		5	ms
t_{ME}	整片擦除时间	$T_A = -40 \sim 105^\circ\text{C}$	20		40	ms
I_{DD}	供电电流	读模式, $f_{\text{HCLK}} = 48\text{MHz}$		5	6	mA
		写模式, $f_{\text{HCLK}} = 48\text{MHz}$			7	mA
		擦除模式, $f_{\text{HCLK}} = 48\text{MHz}$			2	mA
I_{SB}	standby 电流			1@25°C	50@125°C	μA
I_{DEP}	Deep standby 电流			0.5@25°C	15@125°C	μA
V_{prog}	编程电压			3.3		V

符号	参数	条件	最小值	典型值	最大值	单位
N_{END}	寿命(擦写次数)	$T_A = -40 \sim 85^\circ\text{C}$ (尾缀为 6) $T_A = -40 \sim 105^\circ\text{C}$ (尾缀为 7)	10			千次
t_{RET}	数据保存期限	$T_A = 85^\circ\text{C}$ 时, 1000 次擦写之后	30			年
		$T_A = 105^\circ\text{C}$, 1000 次擦写之后	10			
		$T_A = 55^\circ\text{C}$, 1 万次擦写之后	20			

6.6.9 EMC 特性

敏感性测试是在产品的综合评估时抽样进行测试的。

功能性 EMS (电磁敏感性)

当运行一个简单的应用程序时(通过 I/O 端口闪烁 2 个 LED), 测试样品被施加 2 种电磁干扰直到产生错误, LED 闪烁指示了错误的产生。

- 静电放电(ESD)(正放电和负放电)施加到芯片所有的引脚直到产生功能性错误。这个测试符合 IEC1000-4-2 标准。
- FTB: 在 V_{DD} 和 V_{SS} 上通过一个 100pF 的电容施加一个瞬变电压的脉冲群(正向和反向)直到产生功能性错误。这个测试符合 IEC1000-4-4 标准。

芯片复位可以使系统恢复正常操作。



6.6.10 绝对最大值 (电气敏感性)

基于三个不同的测试(ESD, LU), 使用特定的测量方法, 对芯片进行强度测试以决定它的电气敏感性方面的性能。

静电放电(ESD)

静电放电(一个正的脉冲然后间隔一秒钟后一个负的脉冲)施加到所有样品的所有引脚上, 样品的大小与芯片上供电引脚数目相关(3 片 $x(n+1)$ 供电引脚)。这个测试符合 JESD22-A114/C101 标准。

静态栓锁

为了评估栓锁性能, 需要在 6 个样品上进行 2 个互补的静态栓锁测试:

- 为每个电源引脚, 提供超过极限的供电电压。
- 在每个输入、输出和可配置的 I/O 引脚上注入电流。

这个测试符合 EIA/JESD78A 集成电路栓锁标准。

符号	参数	条件	类型	最大值	单位
$V_{ESD(HBM)}$	静电放电电压(人体模型)	$T_A=+25^{\circ}\text{C}$, 符合 JESD22-A114		2000	V
$V_{ESD(CDM)}$	静电放电电压(充电设备模型)	$T_A=+25^{\circ}\text{C}$, 符合 JESD22-C101		500	
I_{LU}	静态栓锁类(Latch-up current)	$T_A=+25^{\circ}\text{C}$, 符合 JESD78A		200	mA

6.6.11 I/O 端口特性

通用输入/输出特性

除非特别说明, 下表列出的参数是按照表 6.1.2 的条件测量得到。所有的 I/O 端口都是兼容 CMOS 和 TTL。

符号	参数	条件	最小值	典型值	最大值	单位
V_{IL}	输入低电平电压	TTL 端口			0.8	V
V_{IH}	输入高电平电压		2			
V_{IL}	输入低电平电压	CMOS 端口	-0.5		1.1	V
V_{IH}	输入高电平电压		2.08			
V_{hys}	I/O 脚施密特触发器电压迟滞		500	700	800	mV
I_{lkg}	输入漏电流				1	μA



R_{PU}	弱上拉等效电阻	$V_{IN}=V_{SS}$	30	50	100	k Ω
R_{PD}	弱下拉等效电阻	$V_{IN}=V_{DD}$	30	50	100	
C_{IO}	I/O 引脚的电容			5		pF

表 6.6.11.1 I/O 静态特性

所有 I/O 端口都是 CMOS 和 TTL 兼容(不需软件配置), 它们的特性考虑了多数严格的 CMOS 工艺或 TTL 参数:

- 对于 V_{IH} :
 - 如果 V_{DD} 是介于[2.50V~3.08V]; 使用 CMOS 特性但包含 TTL。
 - 如果 V_{DD} 是介于[3.08V~3.60V]; 使用 TTL 特性但包含 CMOS。
- 对于 V_{IL} :
 - 使用 CMOS 特性但包含 TTL。

输出驱动电流

GPIO(通用输入/输出端口)可以吸收或输出多达 $\pm 8\text{mA}$ 电流, 并且吸收 $+20\text{mA}$ 电流(不严格的 V_{OL})。

在用户应用中, I/O 脚的数目必须保证驱动电流不能超过绝对最大额定值:

- 所有 I/O 端口从 V_{DD} 上获取的电流总和, 加上 MCU 在 V_{DD} 上获取的最大运行电流, 不能超过绝对最大额定值 I_{VDD} 。
- 所有 I/O 端口吸收并从 V_{SS} 上流出的电流总和, 加上 MCU 在 V_{SS} 上流出的最大运行电流, 不能超过绝对最大额定值 I_{VSS} 。

输出电压

除非特别说明, 下表列出的参数是使用环境温度和 V_{DD} 供电电压符合表 6.1.2 的条件测量得到。所有的 I/O 端口都是兼容 CMOS 和 TTL 的。

符号	参数	条件	最小值	最大值	单位
V_{OL}	输出低电平, 当 8 个引脚同时吸收电流	TTL 端口, $I_{IO}=+8\text{mA}$ $2.7\text{V}<V_{DD}<3.6\text{V}$		0.5	V
V_{OH}	输出高电平, 当 8 个引脚同时输出电流		$0.8V_{DD}$		
V_{OL}	输出低电平, 当 8 个引脚同时吸收电流	CMOS 端口, $I_{IO}=+8\text{mA}$ $2.7\text{V}<V_{DD}<3.6\text{V}$		0.4	
V_{OH}	输出高电平, 当 8 个引脚同时输出电流		$0.8V_{DD}$		
V_{OL}	输出低电平, 当 8 个引脚同时吸收电流	$I_{IO}=+20\text{mA}$ $2.7\text{V}<V_{DD}<3.6\text{V}$		0.4	
V_{OH}	输出高电平, 当 8 个引脚同时输出电流		$0.8V_{DD}$		
V_{OL}	输出低电平, 当 8 个引脚同时吸收电流	$I_{IO}=+6\text{mA}$ $2\text{V}<V_{DD}<2.7\text{V}$		TBD	
V_{OH}	输出高电平, 当 8 个引脚同时输出电流		TBD		



表 6.6.11.2 输出电压特性

输入输出交流特性

输入输出交流特性的定义和数值在下图和表列出。

除非特别说明，下表列出的参数是使用环境温度和供电电压符合表 6.1.2 的条件测量得到。

MODEx[1:0] 的配置	符号	参数	条件	最小值	最大值	单位
10 (2MHz)	$f_{\max(\text{IO})\text{out}}$	最大频率	$C_L=50\text{pF}$, $V_{DD}=2\sim 3.6\text{V}$		2	MHz
	$t_{f(\text{IO})\text{out}}$	输出高至低电平的下降时间	$C_L=50\text{pF}$, $V_{DD}=2\sim 3.6\text{V}$		125	ns
	$t_{r(\text{IO})\text{out}}$	输出低至高电平的上升时间			125	
01 (10MHz)	$f_{\max(\text{IO})\text{out}}$	最大频率	$C_L=50\text{pF}$, $V_{DD}=2\sim 3.6\text{V}$		10	MHz
	$t_{f(\text{IO})\text{out}}$	输出高至低电平的下降时间	$C_L=50\text{pF}$, $V_{DD}=2\sim 3.6\text{V}$		25	ns
	$t_{r(\text{IO})\text{out}}$	输出低至高电平的上升时间			25	
11 (50MHz)	$f_{\max(\text{IO})\text{out}}$	最大频率	$C_L=30\text{pF}$, $V_{DD}=2.7\sim 3.6\text{V}$		50	MHz
			$C_L=50\text{pF}$, $V_{DD}=2.7\sim 3.6\text{V}$		30	
			$C_L=50\text{pF}$, $V_{DD}=2\sim 2.7\text{V}$		20	
	$t_{f(\text{IO})\text{out}}$	输出高至低电平的下降时间	$C_L=30\text{pF}$, $V_{DD}=2.7\sim 3.6\text{V}$		5	ns
			$C_L=50\text{pF}$, $V_{DD}=2.7\sim 3.6\text{V}$		8	
			$C_L=50\text{pF}$, $V_{DD}=2\sim 2.7\text{V}$		12	
	$t_{r(\text{IO})\text{out}}$	输出低至高电平的上升时间	$C_L=30\text{pF}$, $V_{DD}=2.7\sim 3.6\text{V}$		5	
			$C_L=50\text{pF}$, $V_{DD}=2.7\sim 3.6\text{V}$		8	
			$C_L=50\text{pF}$, $V_{DD}=2\sim 2.7\text{V}$		12	
	$t_{\text{EXTI}pw}$	EXTI 控制器检测到外部信号的脉冲宽度		10		

表 6.6.11.3 输入输出交流特性

1.I/O 端口的速度可以通过 MODEx[1:0]配置。

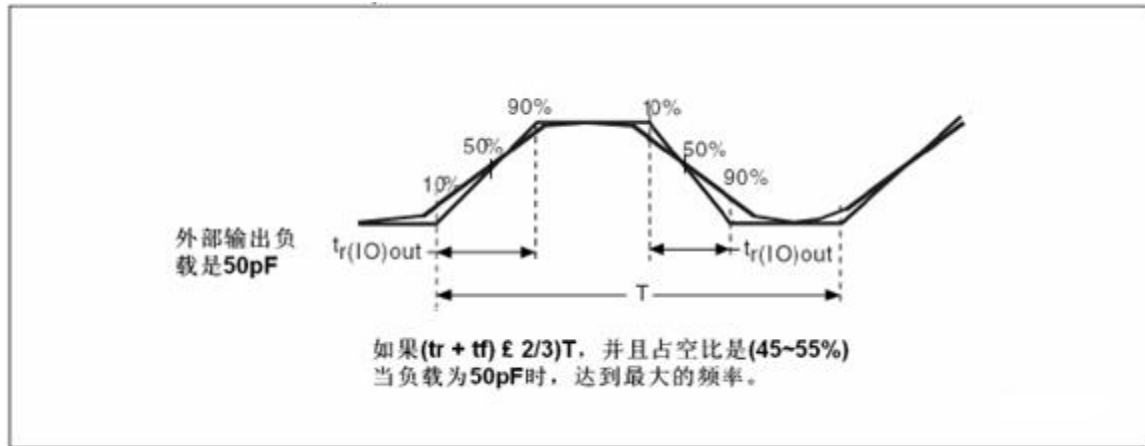


图 6.6.11.4 输入输出交流特性定义

6.6.12 NRST 引脚特性

NRST 引脚输入驱动使用 CMOS 工艺，它连接了一个不能断开的上拉电阻 R_{PU} 。

除非特别说明，下表列出的参数是使用环境温度和 V_{DD} 供电电压符合表 6.1.2 的条件测量得到。

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}$	NRST 输入低电平电压		-0.5		0.8	V
$V_{IH(NRST)}$	NRST 输入高电平电压		2		V_{DD}	
$V_{hys(NRST)}$	NRST 施密特触发器电压迟滞			$0.2V_{DD}$		mV
R_{PU}	弱上拉等效电阻	$V_{IN}=V_{SS}$		15		k Ω
$V_F(NRST)$	NRST 输入滤波脉冲				100	ns
$V_{NF(NRST)}$	NRST 输入非滤波脉冲		300			

表 6.6.12.1 NRST 引脚特性

上拉电阻是设计为一个真正的电阻串联一个可开关的 PMOS 实现。这个 PMOS/NMOS 开关的电阻很小（约占 10%）。

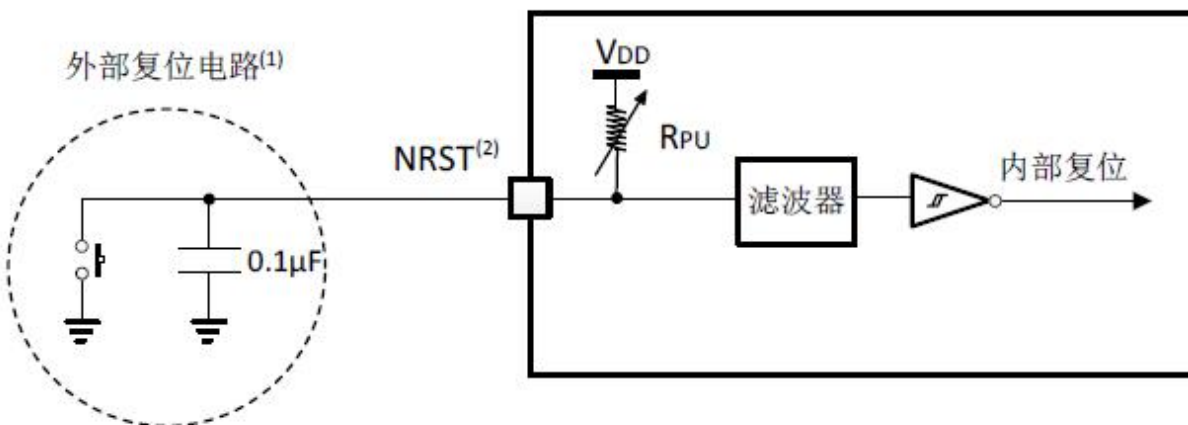


图 6.6.12.2 建议的 NRST 引脚保护

6.6.13 TIM 定时器特性

下表列出的参数由设计保证。

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器分辨时间		1		$t_{TIMxCLK}$
		$f_{TIMxCLK}=48MHz$	10.4		ns
f_{EXT}	CH1 至 CH4 的定时器外部时钟频率		0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK}=48MHz$	0	24	
Re_{TIM}	定时器分辨率			16	位
$t_{COUNTER}$	当选择了内部时钟时, 16 位计数器时钟周期		1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK}=48MHz$	0.0104	682	μs
t_{MAX_COUNT}	最大可能的计数			65536×65536	$t_{TIMxCLK}$
		$f_{TIMxCLK}=48MHz$		44.7	s

表 6.6.13.1 TIMx 特性

6.6.14 通信接口

I2C 接口特性

除非特别说明, 下表列出的参数是使用环境温度, f_{PCLK1} 频率和 V_{DD} 供电电压符合表 6.1.2 的条件测量得到。



I2C 接口符合标准 I2C 通信协议，但有如下限制：SDA 和 SCL 不是“真”的引脚，当配置为开漏输出时，在引出脚和 V_{DD} 之间的 PMOS 管被关闭，但仍然存在。

符号	参数	标准 I2C		快速 I2C		单位
		最小值	最大值	最小值	最大值	
$t_{w(SCL)}$	SCL 时钟低时间	4.7		1.3		μs
$t_{w(SCLH)}$	SCL 时钟高时间	4.0		0.6		
$t_{su(SDA)}$	SDA 建立时间	250		100		ns
$t_h(SDA)$	SDA 数据保持时间	0		0	900	
$t_r(SDA)$ $t_r(SCL)$	SDA 和 SCL 上升时间		1000	$2.0+0.1C_b$	300	
$t_f(SDA)$ $t_f(SCL)$	SDA 和 SCL 下降时间		300		300	
$t_h(STA)$	开始条件保持时间	4.0		0.6		μs
$t_{su(STA)}$	重复的开始条件建立时间	4.7		0.6		
$t_{su(STO)}$	停止条件建立时间	4.0		0.6		
$t_w(STO:STA)$	停止条件至开始条件的时间(总线空闲)	4.7		1.3		
C_b	每条总线的容性负载		400		400	pF

表 6.6.14.1 I2C 接口特性

为达到标准模式 I2C 的最大频率， f_{PCLK1} 必须大于 2MHz。为达到快速模式 I2C 的最大频率， f_{PCLK1} 必须大于 4MHz。

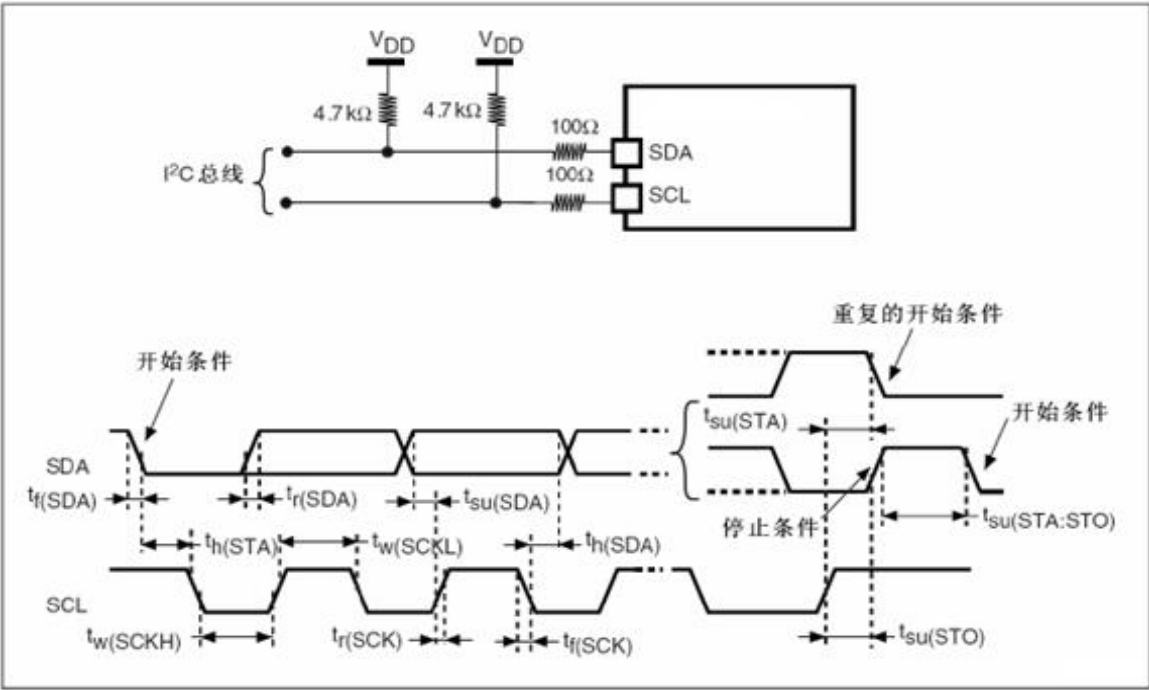


图 6.6.14.2 I2C 总线交流波形和测量电路

SPI 接口特性

除非特别说明，下表列出的参数是使用环境温度， f_{PCLKx} 频率和 V_{DD} 供电电压符合表 6.1.2 的条件测量得到。

符号	参数	条件	最小值	最大值	单位
$f_{SCK}/t_c(SCK)$	SPI 时钟频率	主模式	0	36	MHz
		从模式	0	18	
$t_r(SCK)$ $t_f(SCK)$	SPI 时钟上升和下降时间	负载电容: $C=30pF$		8	ns
$t_{su}(NSS)$	NSS 建立时间	从模式	$4t_{PCLK}$		
$t_h(NSS)$	NSS 保持时间	从模式	73		
$t_w(SCKH)$ $t_w(SCKL)$	SCK 高和低的时间	主模式, $f_{PCLK}=36MHz$, 预分频系数=4	50	60	
$t_{su}(MI)$	数据输入建立时间, 主模式	SPI1	1		
$t_{su}(SI)$	数据输入建立时间, 从模式		1		
$t_h(MI)$	数据输入保持时间, 主模式	SPI1	1		



$t_{h(SI)}$	数据输入保持时间，从模式		3	
$t_{a(SO)}$	数据输出访问时间	从模式, $f_{PCLK} = 36\text{MHz}$, 预分频系数=4	0	55
		从模式, $f_{PCLK}=24\text{MHz}$		$4t_{PCLK}$
$t_{dis(SO)}$	数据输出禁止时间	从模式	10	
$t_{v(SO)}$	数据输出有效时间	从模式(使能边沿之后)		25
$t_{v(MO)}$	数据输出有效时间	主模式(使能边沿之后)		3
$t_{h(SO)}$	数据输出保持时间	从模式(使能边沿之后)	25	
$t_{h(MO)}$		主模式(使能边沿之后)	4	

表 6.6.14.3 SPI 特性

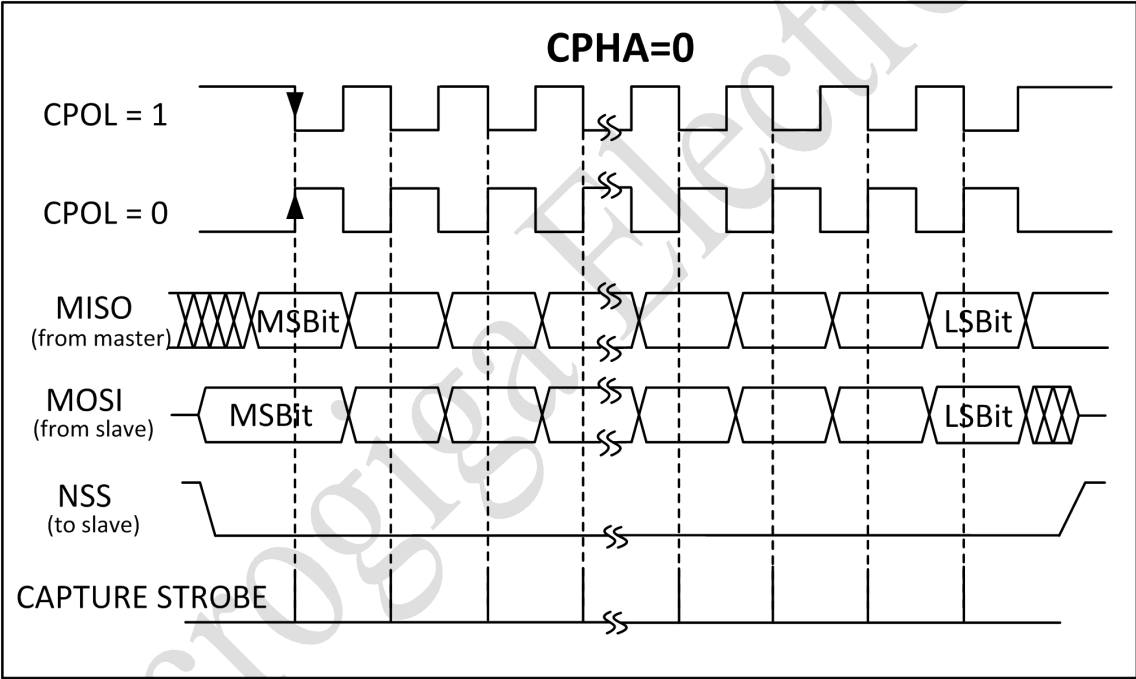


图 6.6.14.4 SPI 时序图 - 从模式和 CPHA=0

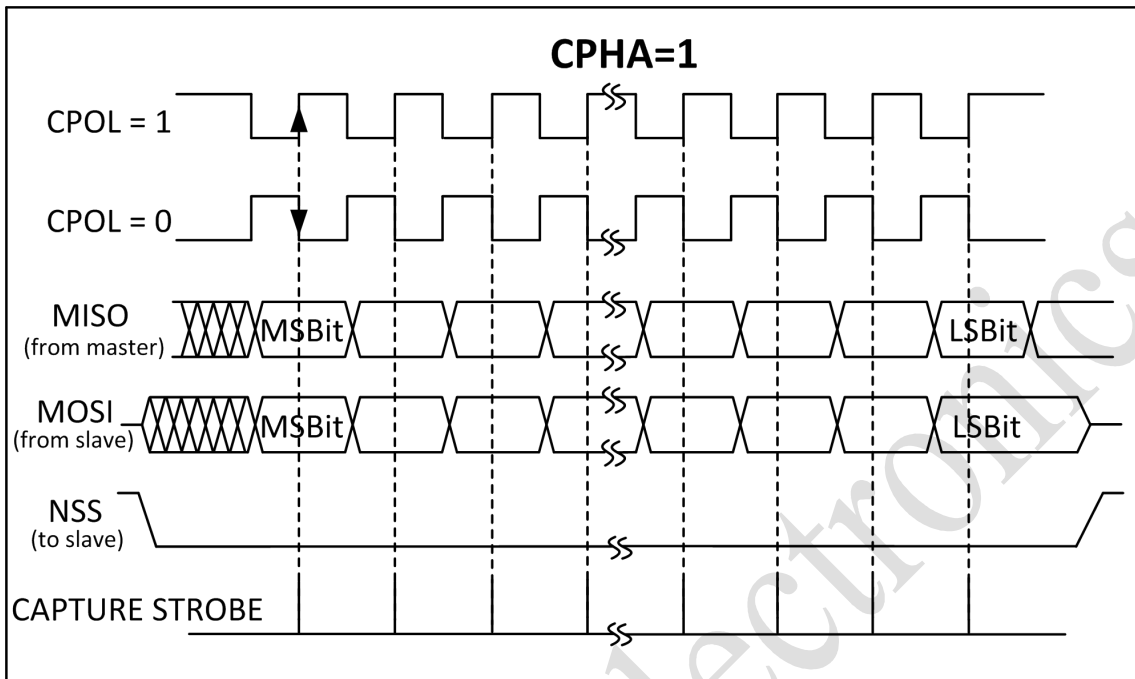


图 6.6.14.5 SPI 时序图 - 从模式和 CPHA=1

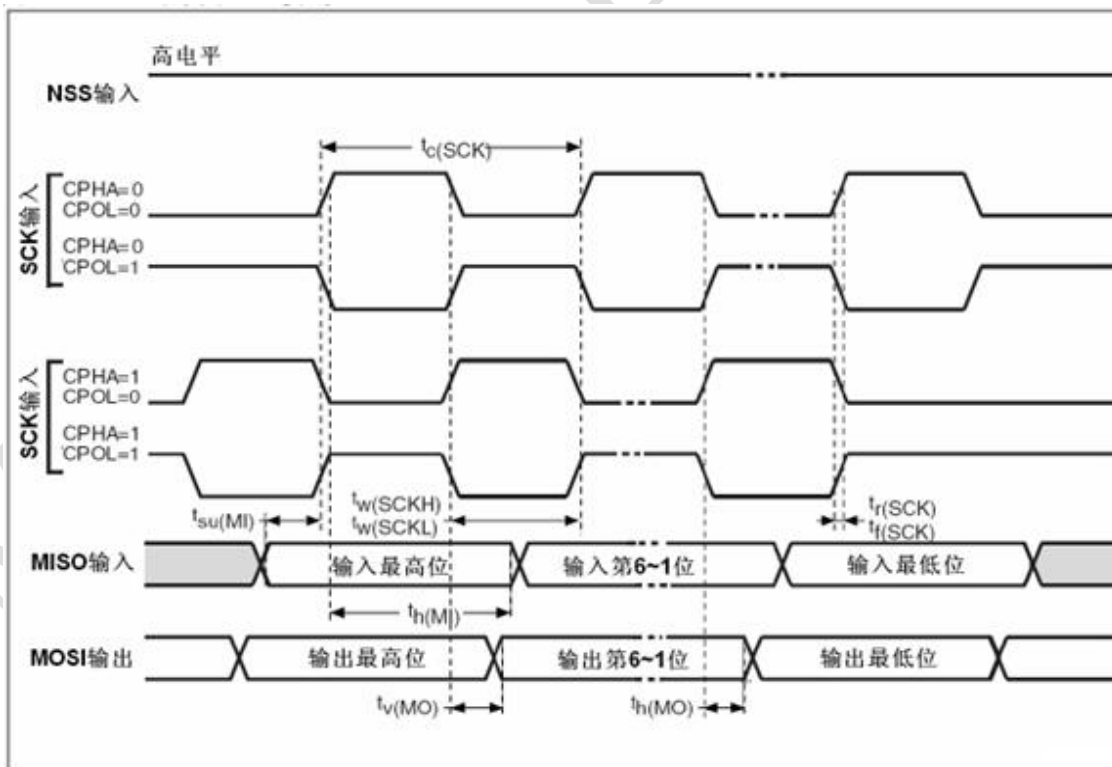


图 6.6.14.6 SPI 时序图 - 主模式



6.6.15 12 位 ADC 特性

除非特别说明，下表列出的参数是使用环境温度， f_{PCLKx} 频率和 V_{DD} 供电电压符合表 6.1.2 的条件测量得到。

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	供电电压		2.5	3.3	3.6	V
V_{REF+}	正参考电压		2.5		V_{DDA}	V
f_{ADC}	ADC 时钟频率				15	MHz
f_s	采样速率				1	MHz
f_{TRIG}	外部触发频率	$f_{ADC}=15\text{MHz}$				
V_{AIN}	转换电压范围		0		V_{REF+}	V
R_{AIN}	外部输入阻抗					K Ω
R_{ADC}	采样开关电阻				1	K Ω
C_{ADC}	内部采样和保持电容			10		pF
t_s	采样时间	$f_{ADC}=15\text{MHz}$	0.1		16	μs
t_{STAB}	上电时间			1		μs
t_{CONV}	总转换时间	$f_{ADC}=15\text{MHz}$	1		16.9	μs

表 6.6.15.1 ADC 特性

最大 R_{AIN} 公式：
$$R_{AIN} < \frac{T_s}{f_{ADC} \times C_{ADC} \times \ln(2^{N+2})} - R_{ADC}$$
 用于决定最大的外部阻抗，使得误差可以小于 1/4LSB。其中 N=12(表示 12 位分辨率)。

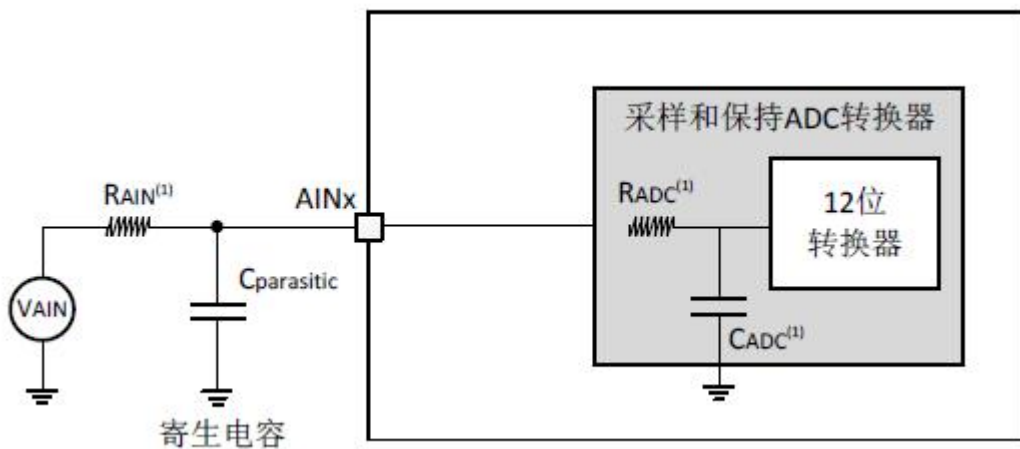
T_s (周期)	t_s (μs)	最大 R_{AIN} (k Ω)
1.5	0.1	1.2
7.5	0.5	10
13.5	0.9	19
28.5	1.9	41
41.5	2.76	60



55.5	3.7	80
71.5	4.77	104
239.5	16.0	350

表 6.6.15.2 $f_{\text{ADC}}=15\text{MHz}$ 时的最大 R_{AIN}

使用 ADC 典型的连接图如下：



$C_{\text{parasitic}}$ 表示 PCB 与焊盘上的寄生电容（大约 7pF）。较大的 $C_{\text{parasitic}}$ 数值将降低转换的精度，解决的办法是减小 f_{ADC} 。

7. PCB 设计建议

7.1 电源设计建议

电源的去耦必须按照下图连接。图中的 10nF 电容必须是瓷介电容（好的质量），它们应该尽可能地靠近芯片。

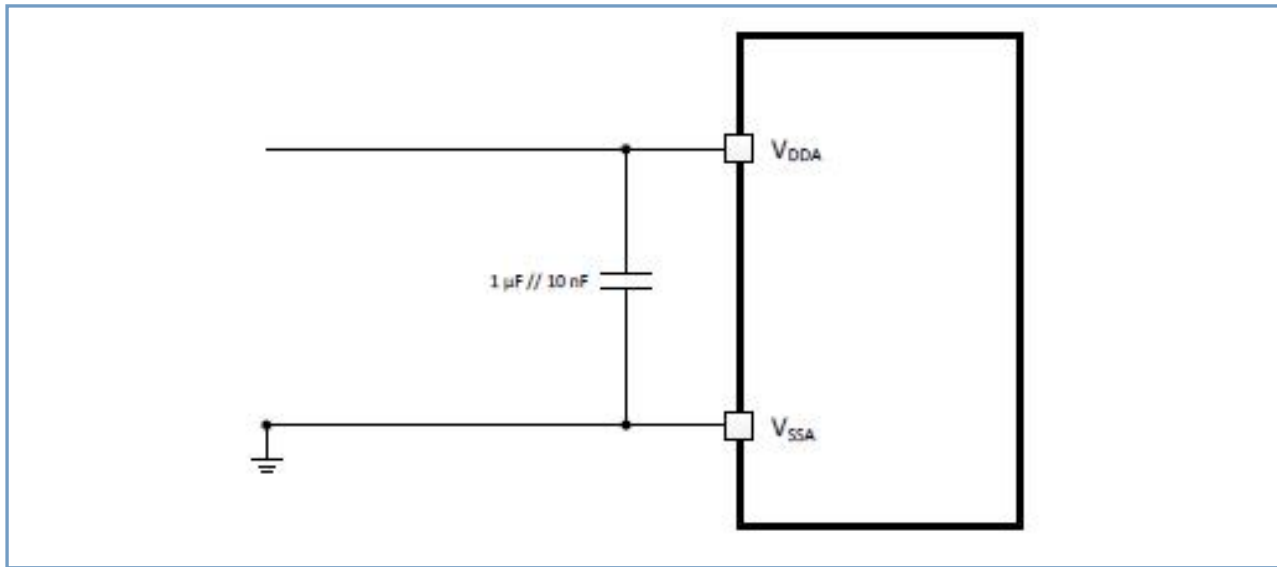


图 7.1 供电电源和参考电源去耦线路

7.2 PCB 注意事项

蓝牙工作在 2.4G 无线频段，应尽量避免各种因素对无线收发的影响，注意以下几点：

- 包围蓝牙模块的产品外壳避免使用金属。使用部分金属外壳时，应尽量让模块天线部分远离金属部分。
- 产品内部金属连接线或者金属螺钉，应尽量远离模块天线部分。
- 模块天线部分应靠载板 PCB 四围放置，不允许放置于板中，且天线下方载板铣空，与天线平行的方向，不允许铺铜或走线。直接把天线部分直接露出载板，也是比较好的选择。
- 模块下方尽量铺大片 GND，走线尽量往外围延伸。
- 建议在基板上的模块贴装位置使用绝缘材料进行隔离，例如在该位置放一个整块的丝印 (TopOverLay)。
- 电源电源线、地线的布线直接关系到产品的性能，把噪声干扰降到最低。布线时要尽量加宽地线、电源线宽度，地线>电源线>信号线，通常信号线宽 0.2~0.3mm，电源线宽 1.2~2.5mm，用大面积铜层做地线用，在 PCB 上把没有用的空间都铺成地。
- 电源加两个去耦滤波电容：如果使用 LDO 供电，分别取值 1uF 和 0.1uF 用来滤波；如果使用纽扣电池供电，分别取值 10uF 和 10uF 用来稳压。
- 芯片 ANT 到天线之间的走线不能太长，线宽要考虑阻抗匹配要求。

7.3 2.4G 射频天线设计

小型天线尺寸可能会因为性能的影响而导致产生比较大的变化。因此，强烈建议做一个准确的参考设计以达到最佳性能。绘制 PCB 天线时，可参考下图给出的尺寸来绘制天线。

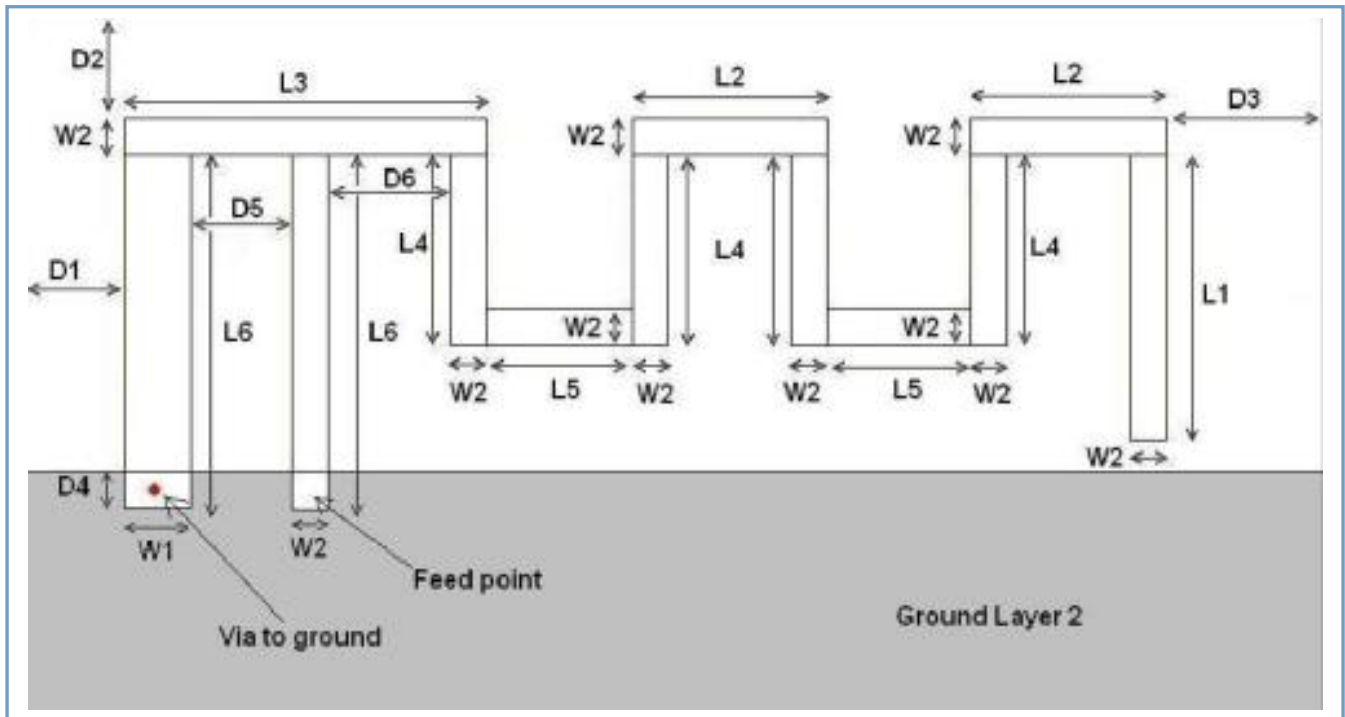
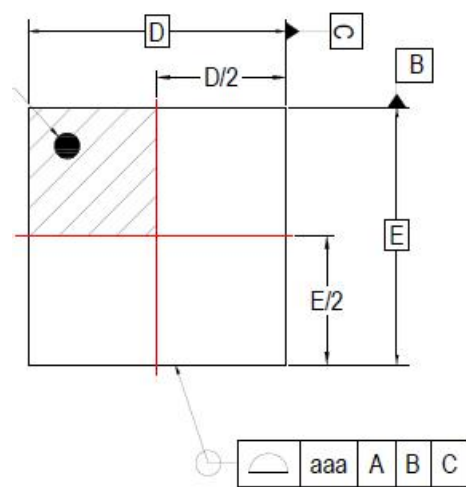


图 7.2 天线尺寸

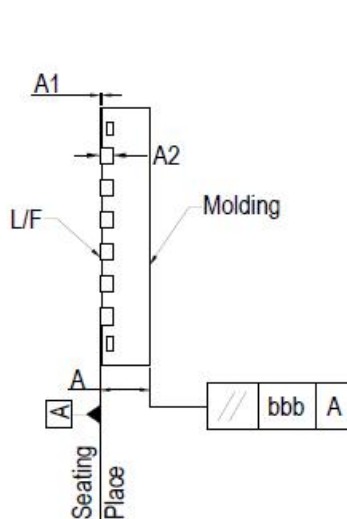
L1	3.94mm
L2	2.70mm
L3	5.00mm
L4	2.64mm
L5	2.00mm
L6	4.90mm
W1	0.90mm
W2	0.50mm
D1	0.50mm
D2	0.30mm
D3	0.30mm
D4	0.50mm
D5	1.40mm
D6	1.70mm



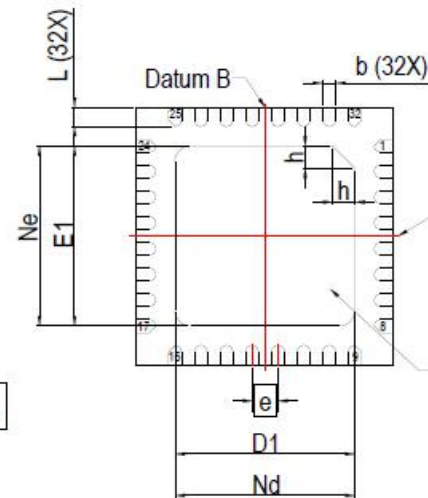
8. 封装特性



Top View



Side View



Bottom View

Dimensional References				unit: mm			
Ref.	MIN	NOR	MAX	Ref.	MIN	NOR	MAX
A	0.90	0.95	1.00	D	3.90	4.00	4.10
A1	0.00	-	0.05	E	3.90	4.00	4.10
A2	0.203 BCS			D1	2.70	2.80	2.90
Ne	2.80 BCS			E1	2.70	2.80	2.90
Nd	2.80 BCS			b	0.15	0.20	0.25
e	0.40 BCS			L	0.25	0.30	0.35
aaa	0.05			h	0.20	0.25	0.30
bbb	0.10						