**体系结构 第五章**

**陈彦帆 2018K8009918002**

1.

图5.6 CPU-GPU-北桥-南桥结构：

CPU：运算器，控制器

内存：存储器

BOOTROM：输入设备

北桥，南桥：输入、输出设备

GPU：运算器

图5.7 CPU-北桥-南桥结构：

CPU：运算器，控制器

内存：存储器

BOOTROM：输入设备

北桥，南桥：输入、输出设备

图5.8 CPU-弱北桥-南桥结构：

CPU：运算器，控制器

内存：存储器

BOOTROM：输入设备

北桥，南桥：输入、输出设备

图5.9 CPU-南桥结构

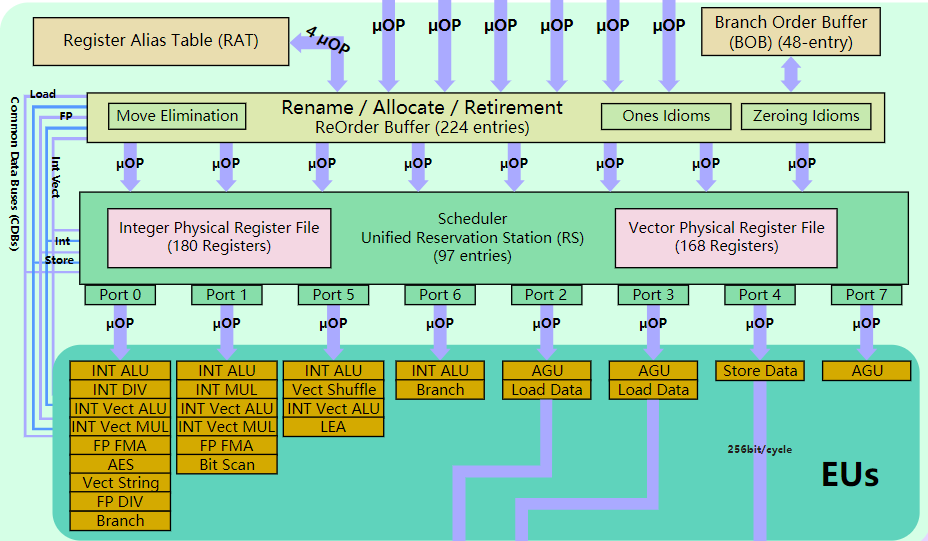
CPU：运算器，控制器

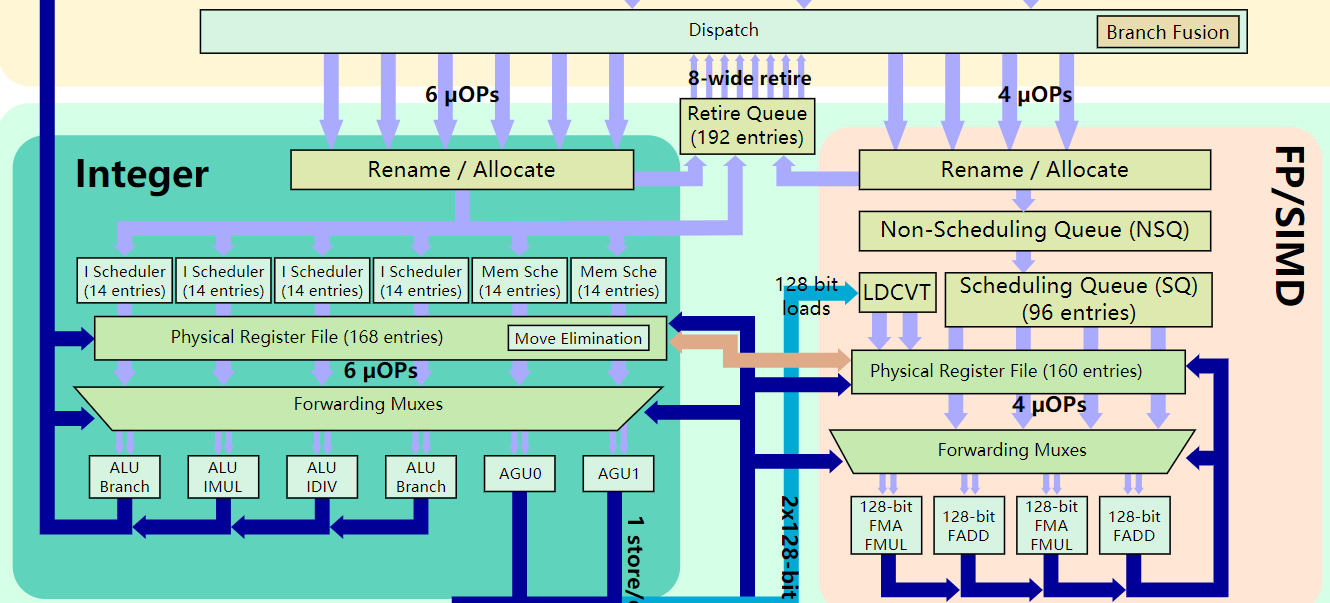
内存：存储器

BOOTROM：输入设备

南桥：输入、输出设备

2. 以下图片来自wikichip

skylake:

Zen:

比较：Skylake的运算器更专门化，除alu外，有专门的乘、除法，移位部件。Zen的alu更全能，每个alu可以完成所有简单的运算，而乘除运算也是集成在特定的alu内部的。

3.

ROB（重排序缓存）：用于保存乱序执行后的指令，使其按序提交。

保留站：发射后执行前的指令放到保留站，等待所需操作数都准备好则执行（可乱序）。

重命名寄存器：将提交前写回的数据放到重命名寄存器以消除WAW，WAR相关。

|  |  |  |
| --- | --- | --- |
|  | skylake | zen |
| ROB | 224 | 192 |
| 发射队列 | 97 | 84定点96浮点 |
| 重命名寄存器 | 180定点，168浮点 | 168定点，160浮点 |

4.

1位BHT：命中率80%

2位BHT：第一重命中7，第二重命中7+9\*9，第三重命中7+9\*99，总命中率89.46%

5.

A：1+0.05\*(30+0.2\*150) = 4

B: 1+0.05\*(20+0.25\*(50+0.2\*150)) = 3

处理器B访问延迟更低。

6.

close page: 4拍（若连续访问同一个bank，则为6拍）

open page: 命中率70%时，0.7\*2+0.3\*6 = 3.2拍

命中率30%时，0.3\*2+0.7\*6 = 4.8拍

命中率70%时，采用open page性能更高。命中率30%时，采用close page性能更高。

7. 通信方式：

PIO：CPU从IO设备/内存中把数据读到CPU内部寄存器中，再写入到内存/IO设备。

DMA：在内存和外设之间开辟直接的数据传输通道，由DMA控制器控制数据在内存和外设之间直接、连续传输。

8. 同步方式：

查询： CPU通过不断读取IO状态寄存器的内容获取设备控制器的状态。

中断： 设备完成某个操作时，产生中断通知CPU查询和处理。

9. 同步方式：CPU、GPU为中断，DC为查询

通信过程：

CPU读写DC中的控制寄存器，启动DMA，PIO操作

CPU在内存中分配GPU使用的空间，并将相关数据填入

CPU读写GPU中的控制寄存器，启动DMA，PIO操作

GPU读内存，DMA操作

GPU将计算结果写入显存framebuffer，桥片内的访存显存操作

DC读内存framebuffer，完成显示。桥片内的访存显存操作

10.

以下数据来自2020.11.15日的京东网销量第一的产品。

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 类型 | 型号 | 容量 | 价格/元 | 每GB价格/元 |
| 光盘 | 联想DVD+R | 4.7GB\*50 | 59 | 0.251 |
| 硬盘 | 西部数据蓝盘 | 1TB | 289 | 0.289 |
| SSD | 西部数据SN550 | 1TB | 819 | 0.819 |
| 内存 | 金士顿DDR4 3200 骇客神条 | 8GB\*2 | 499 | 31.2 |