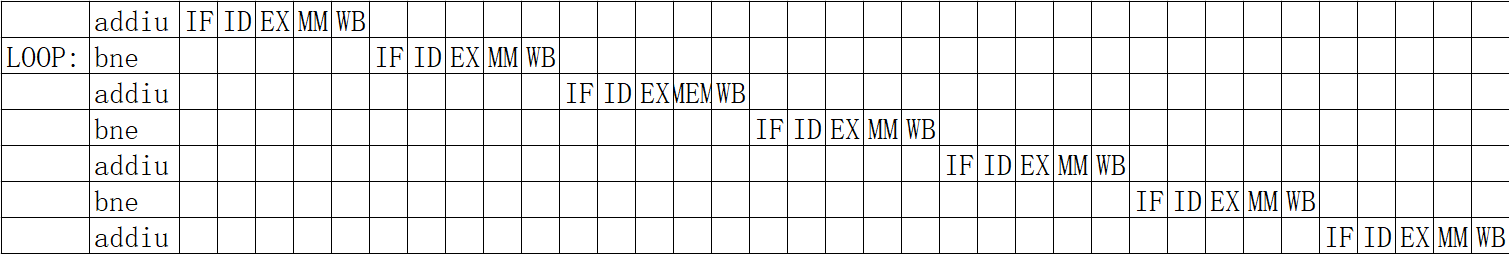
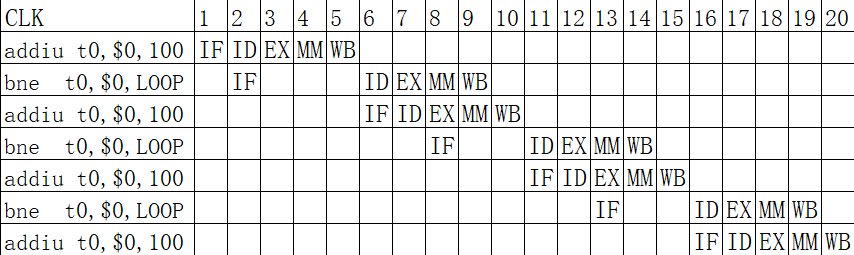
**体系结构 第九章**

**陈彦帆 2018K8009918002**

1. 设每种指令都需要运行5拍。共需(200+1+2)\*5 = 1015 拍。

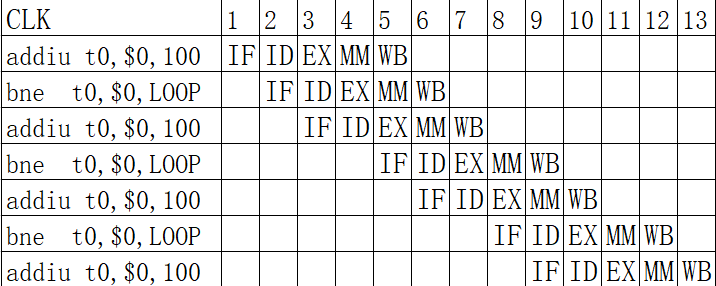
时空图如下：

2. 根据题目所给程序，需要有分支延迟槽设计。根据图9.6，分支指令是否跳转在执行级算出。

共需5\*101+5 = 510 拍。

3. 根据题目所给程序，需要有分支延迟槽设计。分支指令是否跳转在执行级算出。

设前递时无需额外阻塞一拍。

共需101\*3 -1 + 5 = 307 拍

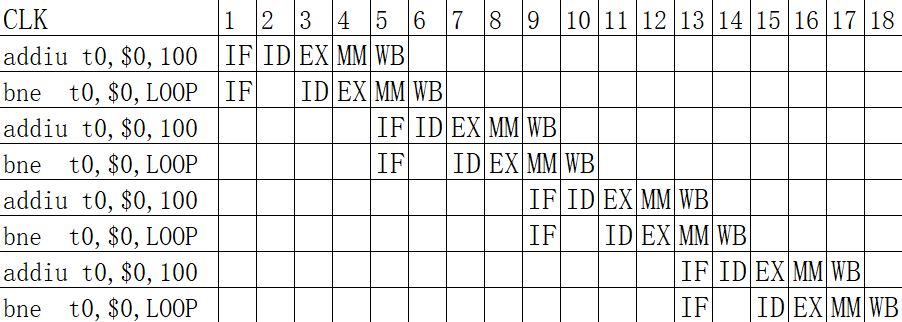
4. 当addiu与bne双发射时，需要阻塞的情况为：

bne与同时发射的addiu数据相关，bne阻塞一拍。

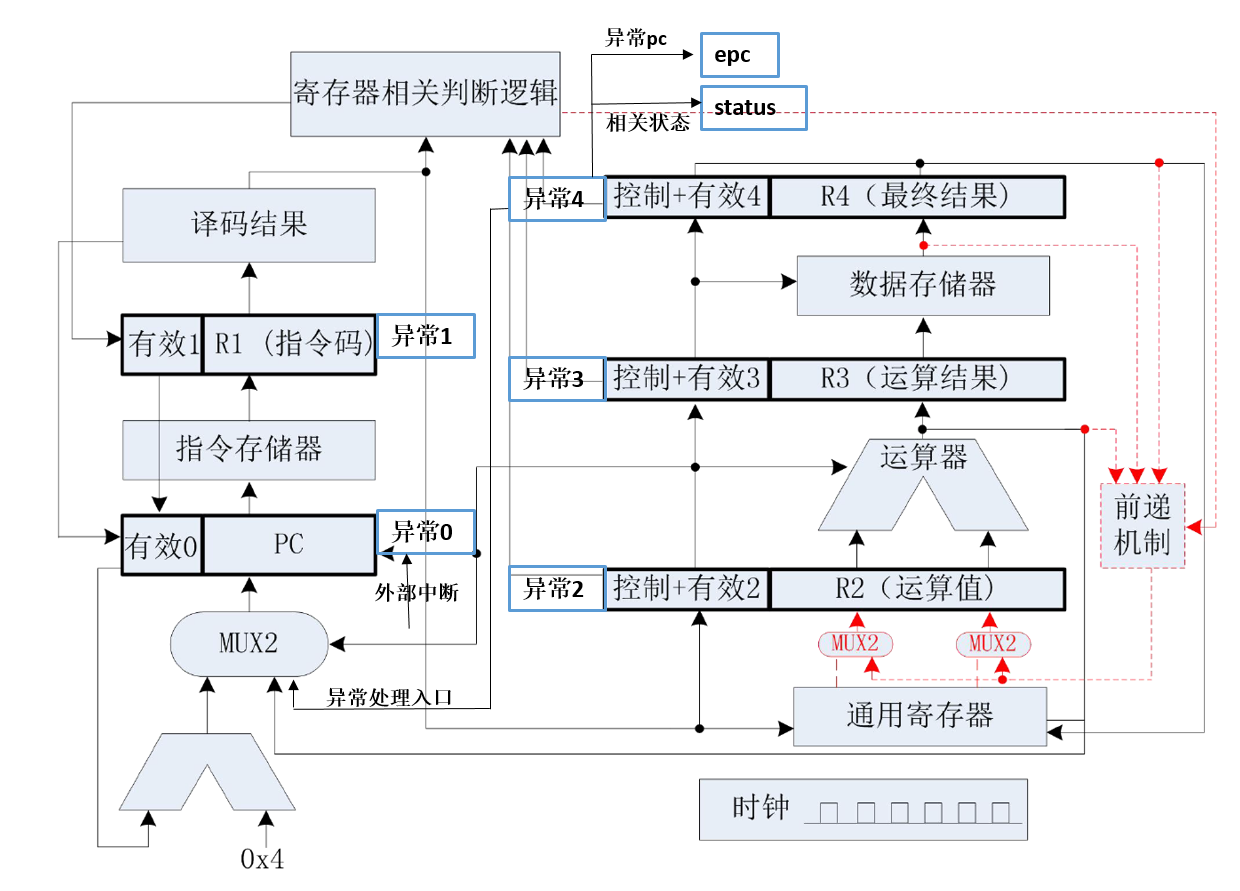
bne与上一次双发射的bne控制相关。阻塞到上一级的bne执行级结束后开始取指。同时addiu陪同阻塞。

最后一条指令无须陪同阻塞，需要额外3拍。共需4\*101 + 3 = 407 拍。

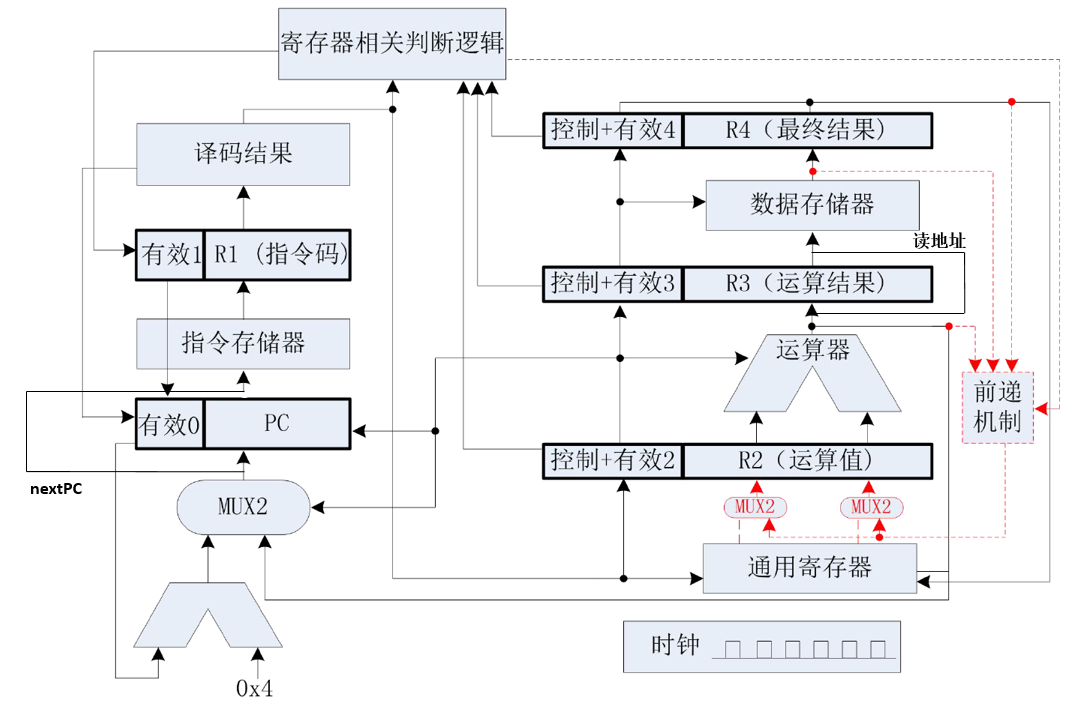
时空图如下：



5. 转移指令在译码级算出是否转移以及转移地址，并且通过组合逻辑前递到下一指令的取指级即可。

6.

每级的增加的异常寄存器记录与异常相关的信息，包括异常的事件，相关的数据（如错误的地址，发生异常的pc），传递至写回阶段处理。处理时，取消其后的所有指令，更新异常相关寄存器，并更新pc为异常处理程序入口。

7.

如上图，将执行级运算结果的读地址连接至数据存储器的读地址端口，将nextPC连接至指令存储器的输入端口。这样在下一拍存储器即可读出正确的数据。

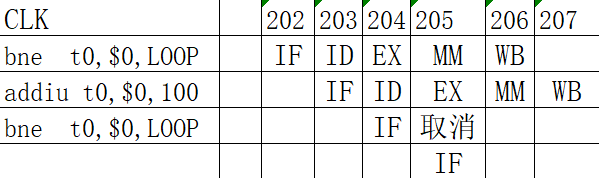
8. 包括写后读，写后写，读后写。

静态流水线处理器只需考虑写后读相关。通过阻塞或者前递方法解决。

动态流水线寄存器具有一个重排序缓存（ROB），发射后执行前的指令放到保留站并在ROB预留位置，若操作数所在寄存器已被重命名，则等待ROB中对应的重命名寄存器准备好。等到所需操作数都准备好则执行。写回时，先写到ROB中重命名寄存器中。最后按照指令顺序将ROB提交到寄存器或存储器。

9.

在前100次循环全部预测正确。第101次由于有延迟槽，addiu也正确，addiu其后的一条指令需要延迟一拍。

共需207拍，最后三条指令的流水线时空图如下：

10. 设cache命中时所有指令的平均CPI为t

第一种方案CPI/相对主频 = [0.4\*(t+0.15\*100)+0.6t] \* 1

第二种方案CPI/相对主频 = [0.4\*(t+0.05\*100)+0.6t] \* 10/9

解得当t<34时，第二种方案更优，t>34时，第一种方案更优。

特别地，当t = 1时，第一种方案CPI/相对主频 = 7，第二种方案CPI/相对主频 = 3.33，第二种方案更优。