**第一套参考答案及评分标准**

1. **选择题**
2. D 2.C 3.D 4.B 5.C 6.C 7. C 8.C 9.B 10.D 11. D

12. B/C 13.A 14. B 15.A

1. **简答题**
2. 答：实现外设与内存数据交换的一种通道方式，功能包括五个方面：
3. 向CPU申请DMA传送；
4. 处理总线控制权的转移；
5. 管理总线
6. 确定数据传送的地址与长度；
7. 完成任务后，发出DMA结束任务信号。
8. 答：三个相关性，结构、数据、控制
9. 答：三个方面的问题
10. 微操作是有一定的次序的，其次序不容改变；
11. 被控对象不同的微操作，应尽量安排在一个节拍中；
12. 若有些微操作所占的时间不长，应尽可能地安排在一个节拍内完成。
13. 答：一般完成6个方面的内容
14. “0”地址的转存，0→MAR;;
15. 向主存发写命令，1→W;
16. 将断点送MDR, PC→MDR;
17. MDR→(MAR);
18. 修改地址指针，向量地址→PC
19. 关中断，“0”→EINT
20. 回答题

取指add @A STA @A

T0： PC→MAR PC→MAR

1→R 1→R

T1： M(MAR)→MDR M(MAR)→MDR

T2： MDR→IR MDR→IR

(PC)+→PC (PC)+→PC

间址

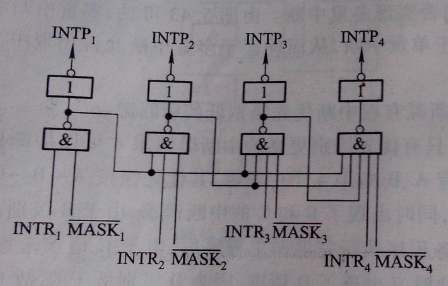
T0：AD(IR)→MAR AD(IR)→MAR

1→R 1→w

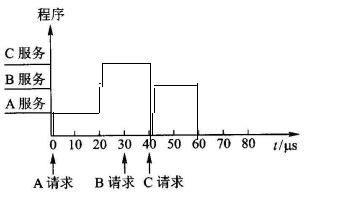
T1：(MAR)→MDR AC→MDR

T2：(AC)+(MDR)→AC MDR→(MAR)

1. 综合题
2. 答：



1. 答：



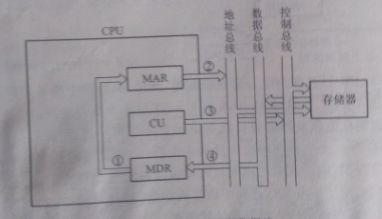
1. 分析题
2. 答：由于具有128种操作，16位字长，故操作码需占据7位，而寻址模式占据1位，剩余8位。

➀ 一地址模式占用8位，因此共有28=256种

二地址模式分别占用4位，因此共有24+24=32种

➁一地址模式占据8位，因此寻址范围为：-128~127（0~255）

1. 答：一条指令存在间址周期的原因是该指令存在访存操作，也就是需要对内存进行访问。

.

**第二套参考答案及评分标准**

一、选择题 (15分)

1、B 2、B 3、B 4、D 5、A 6、B 7、B 8、C 9、A 10、C 11、A 12.B 13. ①C ②A 14.D

二、简述题 (20分)

1、解答：（8分）

（1）D 完成触发器，代表设备准备就绪、MASK中断屏蔽触发器。（2分）

（2）向量地址：外设的中断服务程序入口地址所存存储单元的地址。

入口地址：中断服务程序的第1条指令所在存储单元的地址。（2分）

（3）假设右边是输入设备键盘，结合中断接口电路，说明工作过程。 （4分）

中断请求 中断判优 中断响应 中断处理（或中断服务） 中断返回

2、解答：（17分）

组合逻辑控制器的设计思想是采用硬连接逻辑，首先根据指令系统，写出对应所有机器指令的全部微操做及其节拍安排，然后列出操作时间表，写出每种微操做的逻辑表达式，化简后画出相应的逻辑电路。

微程序控制器的设计思想是采用存储逻辑，首先根据指令系统，写出对应所以机器指令的全部微操做及其节拍安排，然后列出操作时间表，再根据微操做的数目，进过压缩后确定微指令的控制方式、下地址形成方式、微指令格式及微指令字长、编写出全部微指令的代码，最后将微指令的码点存入到ROM中。

组合逻辑控制器完成ADD X的微操做命令及节拍安排：

取指周期： 

执行周期：

微程序控制器设计：

取指周期： 

执行周期： 

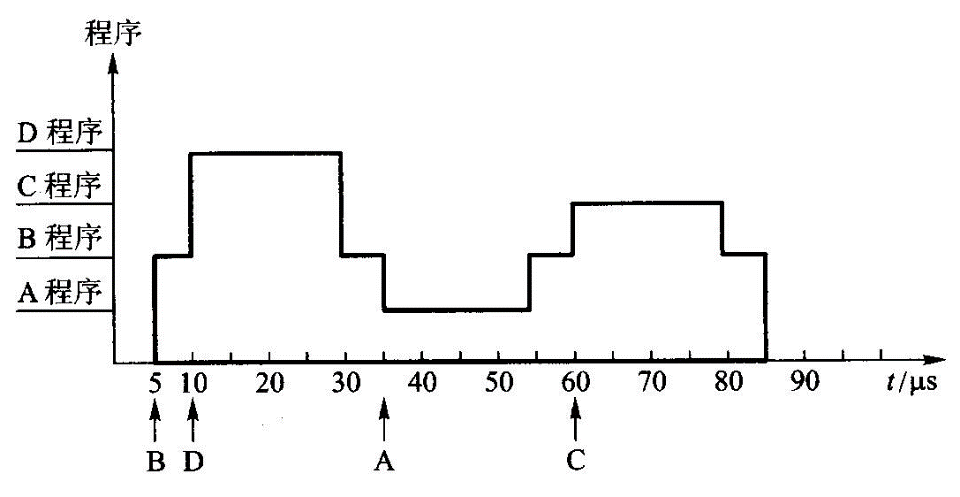
三、分析计算题 （40分）

1、解答：(10分)

1. 中断处理次序改为D>A>C>B后，每个中断源新的屏蔽字为：（4分）

|  |  |
| --- | --- |
| 中断源 | 屏蔽字  A B C D |
| A  B  C  D | 1 1 1 0  0 1 0 0  0 1 1 0  1 1 1 1 |

2)根据新的中断优先级，CPU执行程序的轨迹如图：（6分）



2、解答：（10分，每问2分）

（1）EA=3000+002B=302B, 而 (302B)= 3500H

（2）EA=3000+02B0+002B=32DB 而（32DB）=2800H

（3） 002BH

（4）EA=3500 而(3500)=2600H

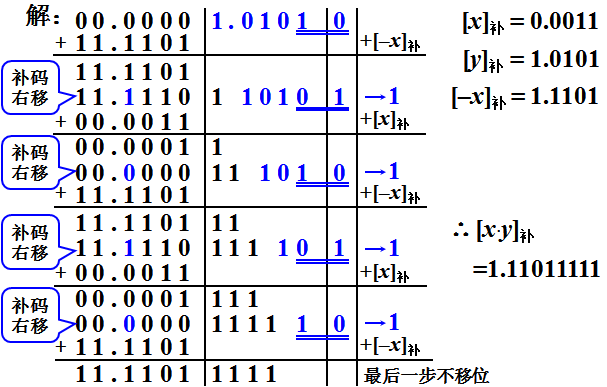
（5）EA=(PC)+002B=4500+002B=452BH

3、解答：

（1）操作控制字段18位，判别测试字段3位，控存容量是27×28=128×28；（3分）

（2） 共24=16条指令，需16×7=112条微指令，112<128，控存合适，能满足需要。（3分）

4、解答：（12分）



四、设计题 （20分）

参考答案：

（1）ROM地址分配如下: (4分)

A15 A11 A7 A3 A0

1 0 0 0 0 0 O 0 0 0 0 0 0 0 0 0

1 0 0 0 0 1 1 1 1 1 1 1 1 1 1 1

2k\*8位的ROM 1片；

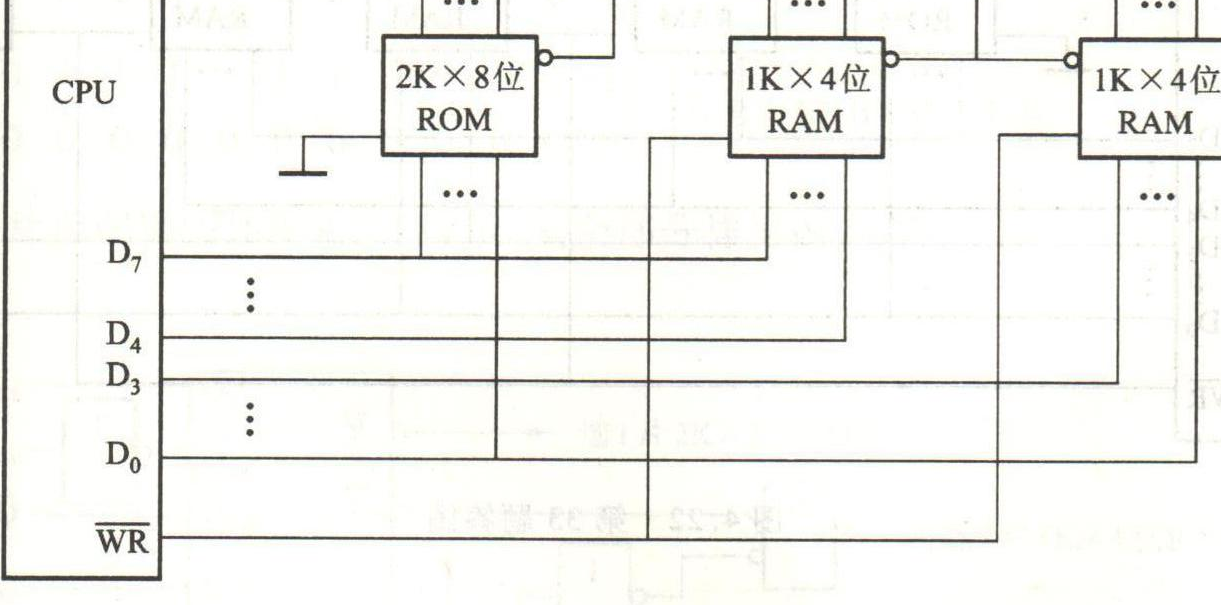
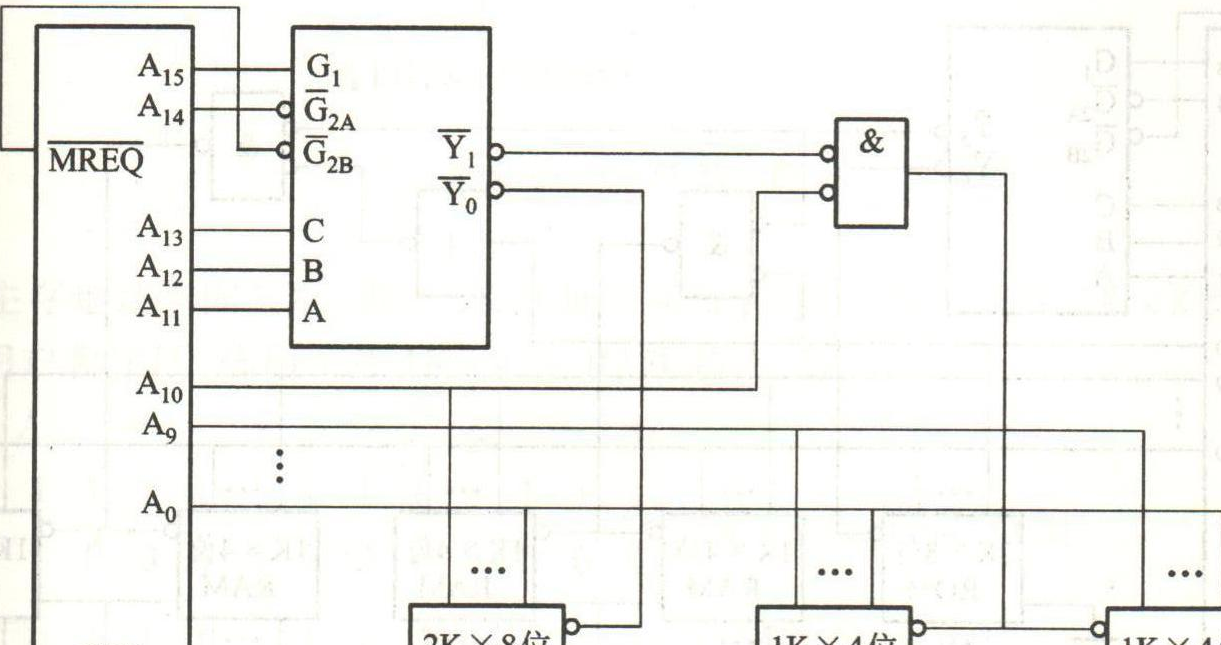
（2）RAM地址分配如下: (4分)

1 0 0 0 1 0 O 0 0 0 0 0 0 0 0 0

1 0 0 0 1 0 1 1 1 1 1 1 1 1 1 1

1k\*4位的RAM 2片；

（3）连接图如下所示： (12分)



**第三套**

1. **选择题**

1-5：CCDBC 6-10：CCCBD 11-15. DBABA 16-20：CCCBB

1. **简答题**
2. 答：实现外设与内存数据交换的一种通道方式，功能包括五个方面：
3. 向CPU申请DMA传送；
4. 处理总线控制权的转移；
5. 管理总线
6. 确定数据传送的地址与长度；
7. 完成任务后，发出DMA结束任务信号。

2、解答：取指周期：

T0： PC→MAR 1→R

T1： M(MAR)→MDR (PC)+1→PC

T2： MDR→IR

间址周期：

T0：Ad(IR)→MAR 1→R

T1：M(MAR)→MDR

T2：MDR→Ad(IR)

执行周期：

T0：Ad(IR)→MAR 1→R

T1：M(MAR)→MDR

T2：（AC）+(MDR)→AC

3.答：一般完成6个方面的内容

1. “0”地址的转存，0→MAR;;
2. 向主存发写命令，1→W;
3. 将断点送MDR, PC→MDR;
4. MDR→(MAR);
5. 修改地址指针，向量地址→PC
6. 关中断，“0”→EINT

4、解答：

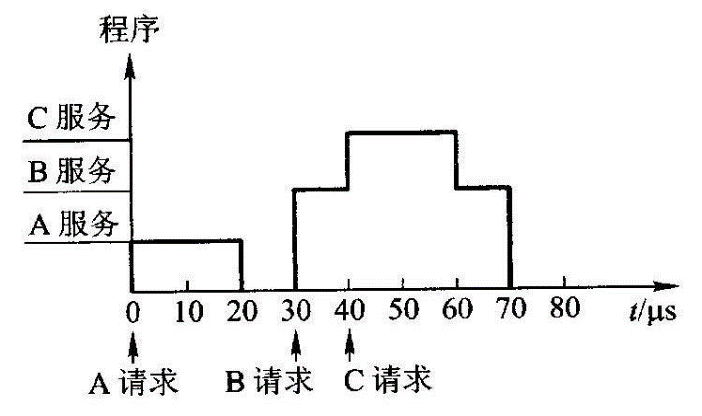
|  |  |  |
| --- | --- | --- |
| Yi Yi+1 | Yi+1 - Yi | 操 作 |
| 1. 0 2. 1 3. 0   1 1 | 0  1  -1  0 | 部分积右移一位  部分积加（X）补再右移一位  部分积加（-X）补再右移一位  部分积右移一位 |

三、分析题

1、解答：

（1）改变后的优先级：A,C,B (3分)

（2）CPU执行轨迹如下：（7分）



2、解答：由于具有128种操作，16位字长，故操作码需占据7位，而寻址模式占据1位，剩余8位。

1）一地址模式占用8位，因此共有28=256种

二地址模式分别占用4位，因此共有24+24=32种

2）一地址模式占据8位，因此寻址范围为：-128~127（0~255）

3、解答：假设判别测试字段中每一位作为一个判别标志，那么由于有4个转移条件，故该字段为4位。下地址字段9位，因为控存容量为512单元。微命令字段则是（48-4-9）＝35位。 （6分）

4、 1）800 2）500 3）300 4）325 5）900 6）400 7）700 （8分）

四、设计题 （15分）

解答：（1）ROM地址分配如下: (4分)

A15 A11 A7 A3 A0

1 0 0 0 0 0 O 0 0 0 0 0 0 0 0 0

1 0 0 0 0 1 1 1 1 1 1 1 1 1 1 1

2k\*8位的ROM 1片；

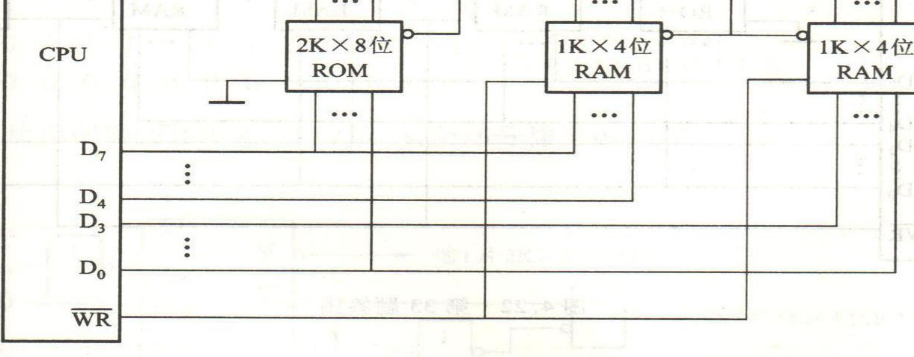
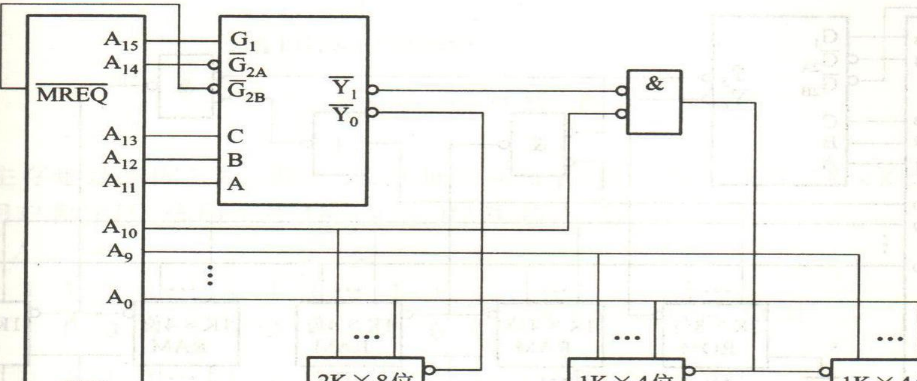
（2）RAM地址分配如下: (4分)

1 0 0 0 1 0 O 0 0 0 0 0 0 0 0 0

1 0 0 0 1 0 1 1 1 1 1 1 1 1 1 1

1k\*4位的RAM 2片；

（3）连接图如下所示： (8分)



**第四套**

一、选择题 (15分)

1、B 2、C 3、B 4、B 5、C 6、B 7、B 8、A 9、D 10、B 11、A 12.C 13.B 14、① C ② A

二、简述题 (20分)

1、解答：（8分）

（1）D 完成触发器，代表设备准备就绪、MASK中断屏蔽触发器。（2分）

（2）向量地址：外设的中断服务程序入口地址所存存储单元的地址。

入口地址：中断服务程序的第1条指令所在存储单元的地址。（2分）

（3）假设右边是输入设备键盘，结合中断接口电路，说明工作过程。 （4分）

中断请求 中断判优 中断响应 中断处理（或中断服务） 中断返回

2、解答：（17分）

组合逻辑控制器的设计思想是采用硬连接逻辑，首先根据指令系统，写出对应所有机器指令的全部微操做及其节拍安排，然后列出操作时间表，写出每种微操做的逻辑表达式，化简后画出相应的逻辑电路。

微程序控制器的设计思想是采用存储逻辑，首先根据指令系统，写出对应所以机器指令的全部微操做及其节拍安排，然后列出操作时间表，再根据微操做的数目，进过压缩后确定微指令的控制方式、下地址形成方式、微指令格式及微指令字长、编写出全部微指令的代码，最后将微指令的码点存入到ROM中。

组合逻辑控制器完成ADD X的微操做命令及节拍安排：

取指周期： 

执行周期：

微程序控制器设计：

取指周期： 

执行周期： 

三、分析计算题 （40分）

1、解答：(6分)

最多可安排63条二地址指令格式，31条一地址指令格式，32条零地址指令格式。三种指令格式如下：

000000 xxxxx xxxxx

┊ 63条二地址指令 （2分）

111110 xxxxx xxxxx

111111 00000 xxxxx

┊ 31条一地址指令 （2分）

111111 11110 xxxxx

111111 11111 00000

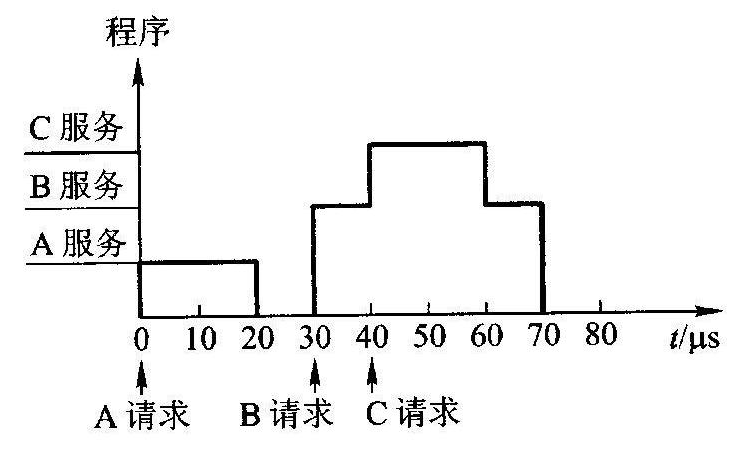
┊ 32条零地址指令 （2分）

111111 11111 11111

2、解答：(12分)

（1）改变后的优先级：A,C,B (3分)

（2）CPU执行轨迹如下：（7分）



3、解答：（10分，每问2分）

（1）EA=3000+002B=302B, 而 (302B)= 3500H

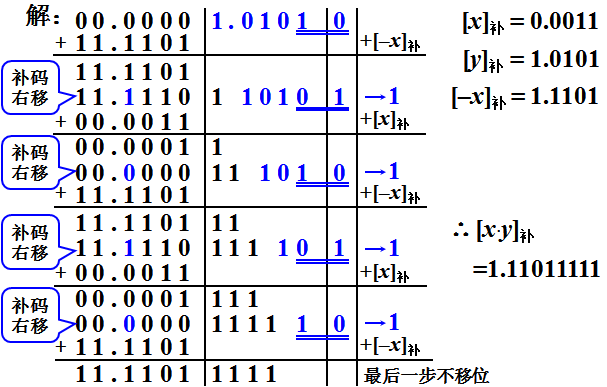
（2）EA=3000+02B0+002B=32DB 而（32DB）=2800H

（3） 002BH

（4）EA=3500 而(3500)=2600H

（5）EA=(PC)+002B=4500+002B=452BH

4、解答：（12分）



四、设计题 （20分）

参考答案：

地址空间描述如下：

ROM对应的空间：（4分）

1111 1111 1111 1111

┊

1111 0000 0000 0000

RAM对应的空间：（4分）

1110 1111 1111 1111

┊

1110 1000 0000 0000

选择ROM芯片为4K×8位的一片，RAM芯片为2K×4位的两片 （4分）

逻辑电路图如下：（8 分）



.

**第五套**

一、选择题 (15分)

1、B 2、B 3、B 4、D 5、A 6、B 7、B 8、C 9、A 10、C 11、A 12.B 13. ①C ②A 14.D

二、简述题 (20分)

1、解答：（8分）

（1）D 完成触发器，代表设备准备就绪、MASK中断屏蔽触发器。（2分）

（2）向量地址：外设的中断服务程序入口地址所存存储单元的地址。

入口地址：中断服务程序的第1条指令所在存储单元的地址。（2分）

（3）假设右边是输入设备键盘，结合中断接口电路，说明工作过程。 （4分）

中断请求 中断判优 中断响应 中断处理（或中断服务） 中断返回

2、解答：（17分）

组合逻辑控制器的设计思想是采用硬连接逻辑，首先根据指令系统，写出对应所有机器指令的全部微操做及其节拍安排，然后列出操作时间表，写出每种微操做的逻辑表达式，化简后画出相应的逻辑电路。

微程序控制器的设计思想是采用存储逻辑，首先根据指令系统，写出对应所以机器指令的全部微操做及其节拍安排，然后列出操作时间表，再根据微操做的数目，进过压缩后确定微指令的控制方式、下地址形成方式、微指令格式及微指令字长、编写出全部微指令的代码，最后将微指令的码点存入到ROM中。

组合逻辑控制器完成ADD X的微操做命令及节拍安排：

取指周期： 

执行周期：

微程序控制器设计：

取指周期： 

执行周期： 

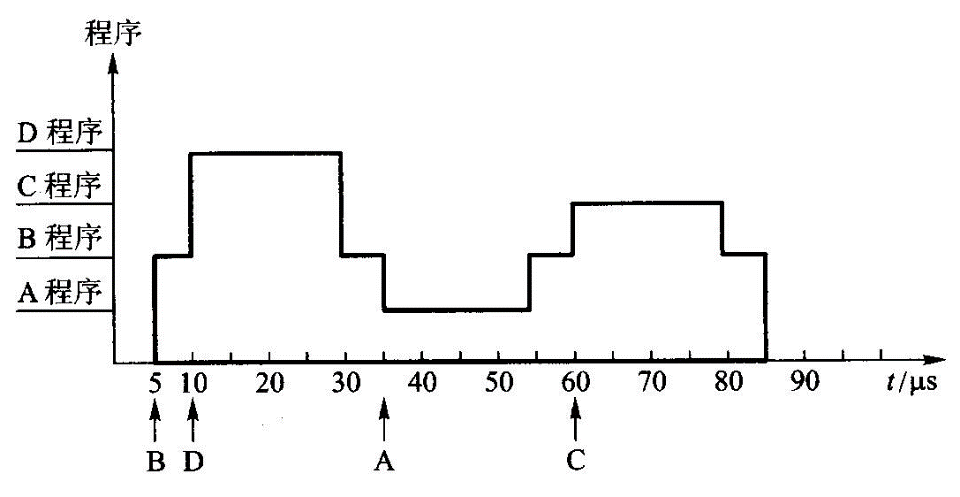
三、分析计算题 （40分）

1、解答：(10分)

1. 中断处理次序改为D>A>C>B后，每个中断源新的屏蔽字为：（4分）

|  |  |
| --- | --- |
| 中断源 | 屏蔽字  A B C D |
| A  B  C  D | 1 1 1 0  0 1 0 0  0 1 1 0  1 1 1 1 |

2)根据新的中断优先级，CPU执行程序的轨迹如图：（6分）



2、解答：（10分，每问2分）

（1）EA=3000+002B=302B, 而 (302B)= 3500H

（2）EA=3000+02B0+002B=32DB 而（32DB）=2800H

（3） 002BH

（4）EA=3500 而(3500)=2600H

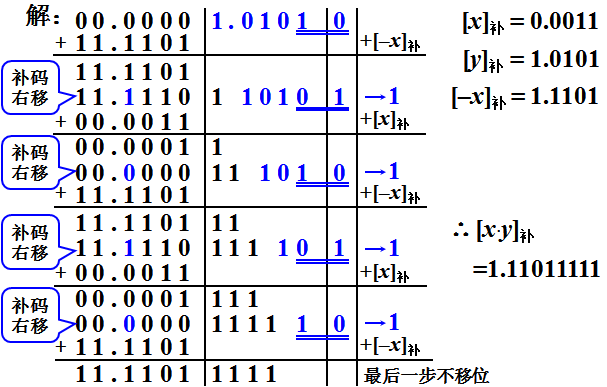
（5）EA=(PC)+002B=4500+002B=452BH

3、解答：

（1）操作控制字段18位，判别测试字段3位，控存容量是27×28=128×28；（3分）

（2） 共24=16条指令，需16×7=112条微指令，112<128，控存合适，能满足需要。（3分）

4、解答：（12分）



四、设计题 （20分）

参考答案：

（1）ROM地址分配如下: (4分)

A15 A11 A7 A3 A0

1 0 0 0 0 0 O 0 0 0 0 0 0 0 0 0

1 0 0 0 0 1 1 1 1 1 1 1 1 1 1 1

2k\*8位的ROM 1片；

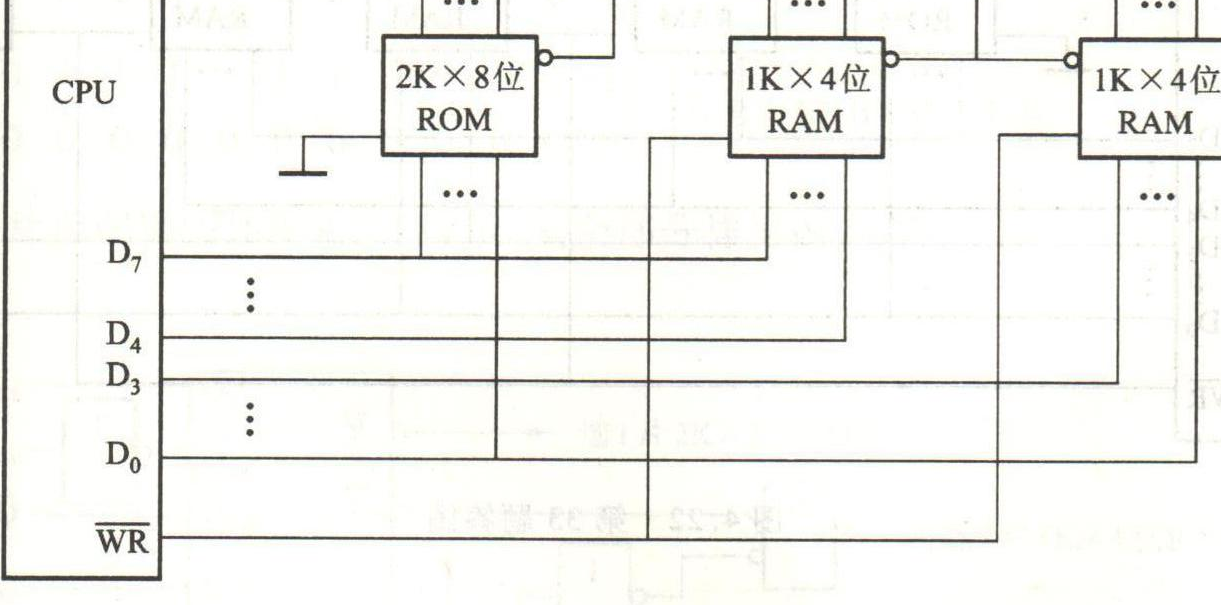
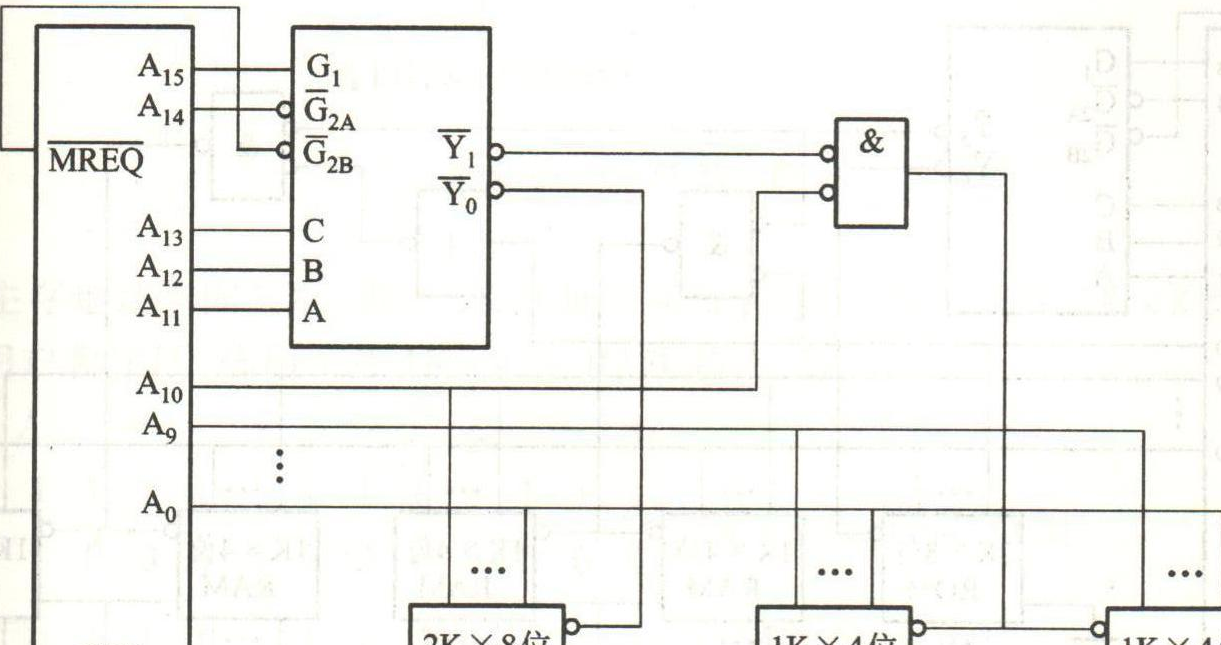
（2）RAM地址分配如下: (4分)

1 0 0 0 1 0 O 0 0 0 0 0 0 0 0 0

1 0 0 0 1 0 1 1 1 1 1 1 1 1 1 1

1k\*4位的RAM 2片；

（3）连接图如下所示： (12分)



**第六套**

一、选择题 (20分)

1-5：AABCC；6-10：CDBDC；11-15：BBABB；16-20：CBCBC

二、简答题 （25分）

1、解答：

（1）CPU向地址线上送地址，通过设备地址译码选中设备；（1分）

（2）CPU看“忙”触发器是否为“0”，若为“0”（表示外设不忙），则发命令字，请求启动外设进行数据输入，同时置“忙”触发器为“1”、置 “就绪”触发器为“0”；然后检测“就绪”触发器何时为“1”（等到外设发送数据）；（3分）

（3）接口接到CPU的命令字后，立即启动外设，开始输入数据；（1分）

（4）外设启动后将数据输入到数据缓冲寄存器； （1分）

（5）外设完成数据输入后，置“就绪”触发器为“1”，通知CPU外设已经处于“ready”；（1分）

（6）CPU从数据缓冲寄存器中读入数据，并将状态标识复位“忙”、“就绪”触发器置“0”； （1分）

2、解答：

取指周期：

T0： PC→MAR 1→R

T1： M(MAR)→MDR (PC)+1→PC

T2： MDR→IR

间址周期：

T0：Ad(IR)→MAR 1→R

T1：M(MAR)→MDR

T2：MDR→Ad(IR)

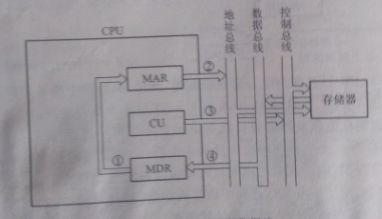
执行周期：

T0：Ad(IR)→MAR 1→R

T1：M(MAR)→MDR

T2：（AC）+(MDR)→AC

3、解答：一条指令存在间址周期的原因是该指令存在访存操作，也就是需要对内存进行访问。

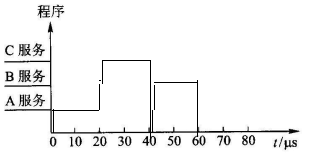


三、分析题 （40分）

1、解答：

（1）改变后的优先级：A,C,B (3分)

（2）CPU执行轨迹如下：（7分）

.

2、解答：

（1）指令字长16位，有120种操作，所以操作码为7位；有四种寻址方式，所以寻址特征位2位；地址码=16-2-7=7位； (2分)

一地址指令格式： （2分）

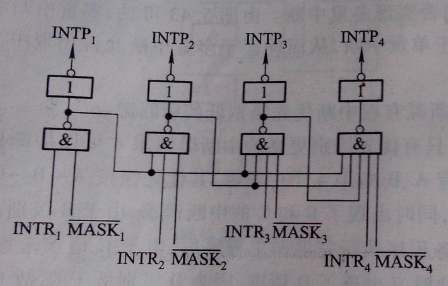
|  |  |  |
| --- | --- | --- |
| OP | 寻址特征位 | 地址码 |
| 7位 | 2位 | 7位 |

（2）直接寻找空间为：27=128，所以寻址空间为：-64~63；(2分)

（3）一次间指寻址范围为：216；(2分)

（4）相对寻址空间：PC为16位，所以相对寻址空间为216．（2分)

3、解答：假设判别测试字段中每一位作为一个判别标志，那么由于有4个转移条件，故该字段为4位。下地址字段9位，因为控存容量为512单元。微命令字段则是（48-4-9）＝35位。 （10分）

4.(10)

三、设计题 （15分）

解答：（1）ROM地址分配如下: (4分)

A15 A11 A7 A3 A0

1 0 0 0 0 0 O 0 0 0 0 0 0 0 0 0

1 0 0 0 0 1 1 1 1 1 1 1 1 1 1 1

2k\*8位的ROM 1片；

（2）RAM地址分配如下: (4分)

1 0 0 0 1 0 O 0 0 0 0 0 0 0 0 0

1 0 0 0 1 0 1 1 1 1 1 1 1 1 1 1

1k\*4位的RAM 2片；

（3）连接图如下所示： (8分)

