

# VLSI-technologie en ontwerp: Cadence design project

Laurens Bogaert

Thomas Deckmyn

Seppe Lenders

## 1 Schematic design

We berekenen eerst de frequentie waaraan ons schuifregister moet werken. Met een refresh rate van 50 Hz en  $800 \cdot 600$  pixels is deze gelijk aan  $50 \cdot 800 \cdot 600 = 24$  MHz. Dit komt overeen met een periode van 41.67 ns.

We simuleren het 1-bit schuifregister bij deze frequentie in Cadence. We noemen  $V_{tussen}$  de spanning aan de uitgang van de eerste invertor. Er treden problemen op bij volgende situatie: We leggen een hoog ingangssignaal aan, waardoor  $V_{tussen}$  in de eerste klokfase laag wordt. Wanneer  $V_{in}$  daalt tijdens de tweede klokfase, wordt  $V_{tussen}$  ongedefinieerd ( $\approx 1.5$  V). Dit is weergegeven in figuur 1a. De omgekeerde transitie levert geen problemen op, zoals te zien in figuur 1b.

De gate capaciteiten van  $T_6$  en  $T_7$  vormen de lastcapaciteiten van de eerste trap van het schuifregister. Om een symmetrische werking te verkrijgen, zorgen we ervoor dat deze lastcapaciteit niet afhangt van het type overgang. We kiezen dus

$$\begin{aligned} C_P &= C_N \\ \Leftrightarrow W_P L_P &= W_N L_N \end{aligned}$$

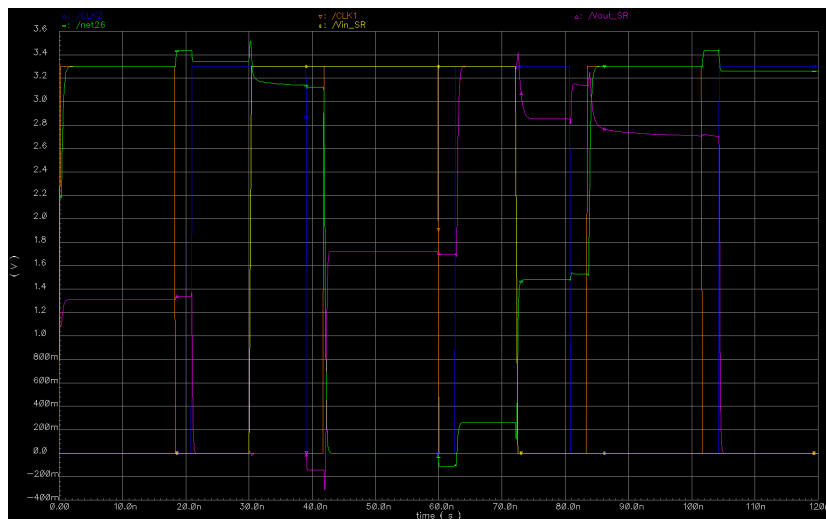
Bovendien willen we de factor  $\frac{W_P/L_P}{W_N/L_N}$  gelijk houden aan 2,7, zoals in de opgave. Wanneer we  $W_P = L_N$  en  $W_N = L_P$  gebruiken, is er nog een vrijheidsgraad die de tijdsconstante van het overgangsverschijnsel bepaalt. We kiezen als oplossing voor onze vergelijkingen:

$$\begin{aligned} W_N &= L_P = 1 \mu\text{m} \\ W_P &= L_N = 1.65 \mu\text{m} \end{aligned}$$

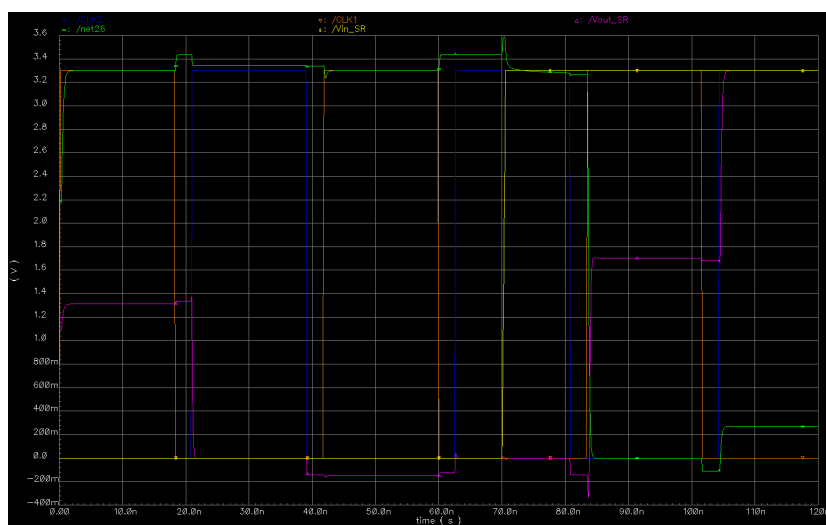
Door alle dimensies te vergroten met een factor 2, is de invloed van een verandering op  $V_{in}$  op  $V_{tussen}$  kleiner. Het nadeel hiervan is dat de tijdsconstante van het overgangsverschijnsel groter wordt, maar dit is bij de gewenste frequentie geen probleem. De uiteindelijke parameters zijn:

$$\begin{aligned} W_N &= L_P = 2 \mu\text{m} \\ W_P &= L_N = 3.3 \mu\text{m} \end{aligned}$$

Figuur 2 toont de waveform van de 5-bit schakeling met deze waarden. Deze werkt nu zoals gewenst. Als maximale werkfrequentie vinden we ongeveer 125 MHz. Om deze frequentie te bereiken, moet ervoor gezorgd worden dat de duty cycle van de kloksignalen voldoende dicht bij 50% ligt.

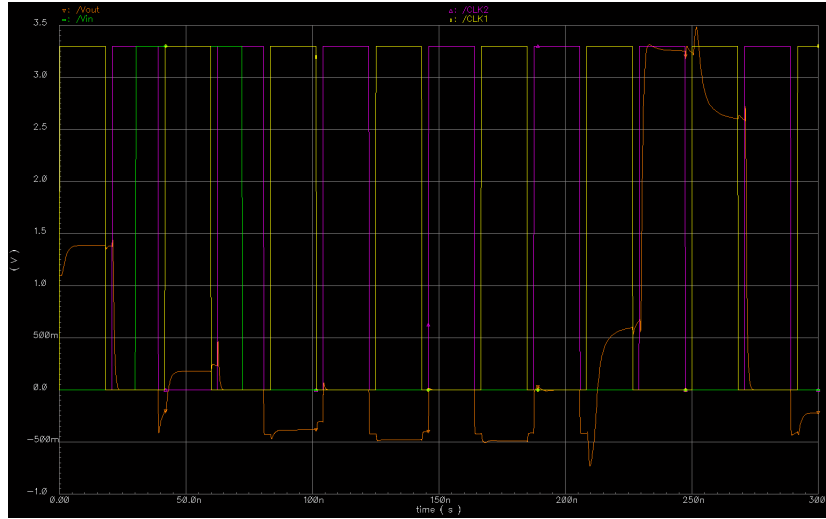


(a)



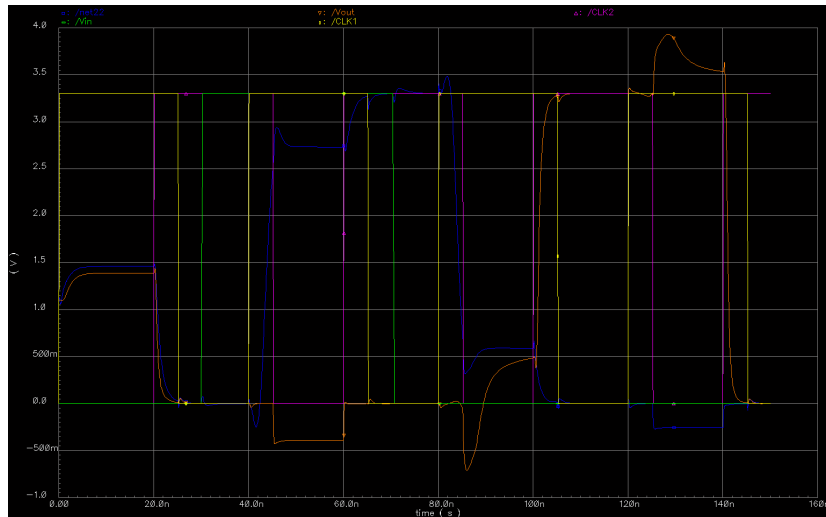
(b)

Figuur 1: De werking van het 1-bit schuifregister voor twee verschillende ingangssignalen. net26 is de spanning  $V_{tussen}$ .



Figuur 2: De werking van het 5-bit register na correctie van de breedte en lengte van de transistors.

Als we de kloksignalen laten overlappen, huppelt het ingangssignaal te snel door de schakeling. Wanneer zowel  $CLK_1$  als  $CLK_2$  hoog is, kan het ingangssignaal van een schuifregister namelijk rechtstreeks doorstromen naar de uitgang. Figuur 3 toont de waveform bij een duty cycle van 0,62.



Figuur 3: De werking van het 5-bit schuifregister bij overlappende kloksignalen. net22 is de uitgangsspanning van het eerste schuifregister.

## 2 Layout design

Tijdens het tekenen van de layout van de invertor komen we één error tegen: de afstand tussen de poly en de naa mag niet groter zijn dan 2,2. We verschuiven de gehele PMOS naar

links om dit te verhelpen.

Bij het dimensioneren van de transistors hebben we geen rekening gehouden met de DRC-regels. Een kanaalbreedte van  $2\text{ }\mu\text{m}$  is hiermee niet realiseerbaar. We herdimensioneren naar

$$W_N = L_P = 2.2\text{ }\mu\text{m}$$

$$W_P = L_N = 3.6\text{ }\mu\text{m}$$

Bij het ontwerp van het elementaire deel van het schuifregister stuitte we op enkele problemen:

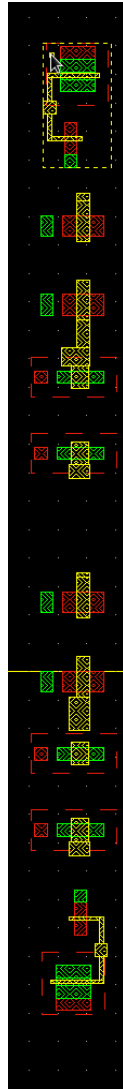
- We zijn er onterecht vanuit gegaan dat voor de metal2-laag dezelfde design regels zouden gelden als voor de metal1-layer. Dit bleek niet het geval: de minimale grootte en afstand zijn groter.
- De labels waren getekend in andere lagen dan de tekst-laag.
- Er stonden een aantal via's te dicht bij poly.
- Alle paa- en naa-gebieden grensden aan elkaar, ook als ze een verschillende potentiaal hadden.

Wanneer we deze fouten oplossen, blijft er nog een error over: de scheiding tussen de PMOS-componenten in de verschillende bitregisters is te klein. Als we de oriëntatie van de PMOS-componenten willen behouden, kunnen we dit probleem enkel verhelpen door de lengte van het PMOS-kanaal te verkleinen naar  $3.1\text{ }\mu\text{m}$ . Dit heeft natuurlijk een nadelig effect op de werking van de schakeling: de symmetrie in de afmetingen van de transistors is verdwenen.

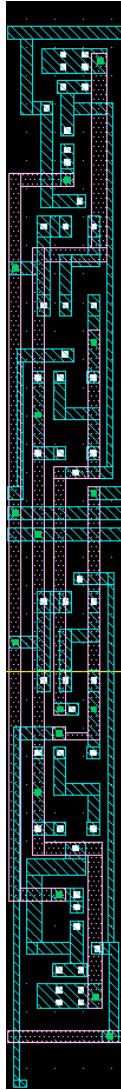
Het afgewerkte ontwerp van de elementaire schuifregister-cel is getekend in figuur 4. Om de breedte van het ontwerp kleiner dan  $20\text{ }\mu\text{m}$  te krijgen, moesten we alle transistors boven elkaar plaatsen. De twee trappen van het schuifregister werden gegroepeerd in respectievelijk de onder- en bovenkant. Zo is de lengte van de verticale verbindingen minimaal gehouden. Binnen elke trap werd dezelfde transistorgroepering gebruikt als in de schakeling in de opgave.

Waar mogelijk werd zowel aan de boven- als onderzijde van de transistor een metaallaag voorzien ter afscherming van licht.

Figuur 5 toont het ontwerp van een bonding pad en het volledig afgewerkte ontwerp.



(a) front end

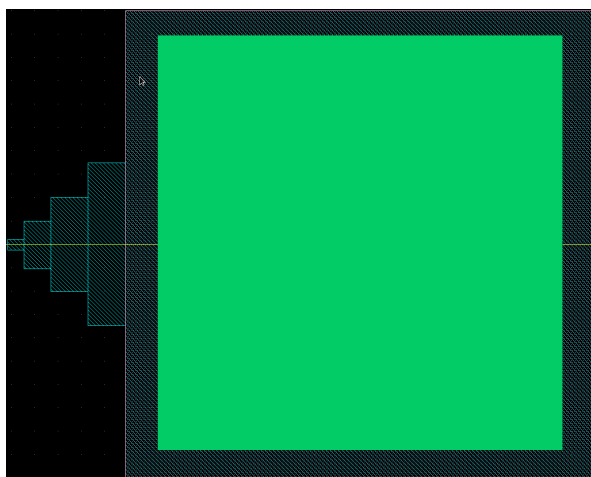


(b) back end

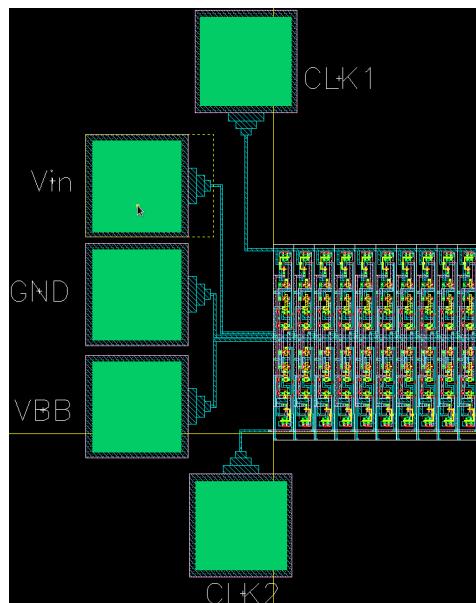


(c) alle lagen

Figuur 4: Het layout ontwerp van de elementaire SR-cel.



(a)



(b)

Figuur 5: De layout van (a) de bonding pad en (b) het volledige 10-bit register.