



## การจัดองค์การคอมพิวเตอร์

# Multi-Bit Buses

---

31110321 Computer Organization

สำหรับนักศึกษาชั้นปีที่ 2 สาขาวิชาวิศวกรรมคอมพิวเตอร์

ทรงฤทธิ์ กิตติศรีวรพันธุ์

songrit@npu.ac.th

สาขาวิชาวิศวกรรมคอมพิวเตอร์  
มหาวิทยาลัยนครพนม

# Lecture plan

---

- 1.1 บูลีน ลอจิก
- 1.2 การสังเคราะห์ฟังก์ชันบูลีน
- 1.3 ลอจิกเกต
- 1.4 ภาษา HDL
- 1.5 โปรแกรมจำลอง Hardware Simulation
- **1.6 โค้ด HDL แบบ Multi-Bit Buses**
- 1.7 โปรเจ็ค 1

# Structure HDL

---

interface

```
/** If the three given bits are equal, sets out to 1; else sets out to 0. */
```

```
CHIP Eq3 {
```

```
  IN  a, b, c;
```

```
  OUT out;
```

```
  PARTS:
```

```
    Xor(a=a, b=b, out=neq1);           // Xor(a,b) → neq1
```

```
    Xor(a=b, b=c, out=neq2);           // Xor(b,c) → neq2
```

```
    Or (a=neq1, b=neq2, out=outOr);    // Or(neq1,neq2) → outOr
```

```
    Not(in=outOr, out=out);            // Not(outOr) → out
```

```
}
```

implementation

# Parts

---

PARTS:

*internal chip part;*

*internal chip part;*

...

*internal chip part;*

# Internal Pins

---

Part1 (... , out=v);

Part2 (in=v, ...);

Part3 (a=v, b=v, ...);

# Input/Output Pins

---

- Input pin มี fan-in เป็น 1 เท่านั้น
  - And ( $in1=v, in2=v, \dots$ )  $\rightarrow$  ได้
  - And ( $in1=v, in1=u, \dots$ )  $\rightarrow$  ไม่ได้
- Output pin
  - ส่งต่อไป input chip อื่นได้
  - ส่งออกเป็น internal pin ได้

# บัส (buses)

---

- ชื่อ pin เดียวแต่ทำงานหลายบิต
- เรียงจากบิตมากไปหาน้อย sel[7],[6],...[0]

```
CHIP Foo {  
    IN in[8] // 8-bit input  
    OUT out[8] // 8-bit output  
  
    PARTS:  
        // ฟังก์ชัน  
  
}
```

# Buses

```
CHIP Foo {  
    IN in[8]    // 8-bit input  
    OUT out[8]  // 8-bit output  
    // Foo's body (irrelevant to the example)  
}
```

PARTS :

Foo(in[2..4]=v, in[6..7]=true, out[0..3]=x, out[2..6]=y)

in:	7	6	5	4	3	2	1	0	(Bit)
	1	1	?	v[2]	v[1]	v[0]	?	?	(Contents)



## PARTS :

Foo(in[2..4]=v, in[6..7]=true, out[0..3]=x, out[2..6]=y)

	7	6	5	4	3	2	1	0	(Bit)
<b>in:</b>	1	1	?	v[2]	v[1]	v[0]	?	?	(Contents)

Now, let us assume that the logic of the Foo chip returns the following output:

	7	6	5	4	3	2	1	0
<b>out:</b>	1	1	0	1	0	0	1	1

In that case, the connections  $\text{out}[0..3]=x$  and  $\text{out}[2..6]=y$  will yield:

	3	2	1	0		4	3	2	1	0
<b>x:</b>	0	0	1	1	<b>y:</b>	1	0	1	0	0

# Coming up: W1.6

## Project overview

---

โปรเจกต์สัปดาห์ 1