

浙江大学

本科生实验报告



课程名称 计算机体系结构

姓 名 吴同

学 院 计算机科学与技术学院

专 业 计算机科学与技术

学 号 3170104848

指导教师 陈文智

浙江大学实验报告

专业： 计算机科学与技术
姓名： 吴同
学号： 3170104848
日期： 2019 年 12 月 18 日
地点： 曹西 301

课程名称： 计算机体系结构 指导老师： 陈文智 电子邮件： wutongcs@zju.edu.cn
实验名称： 多周期访存的流水线 CPU 实验类型： 综合型 同组同学： 徐欣苑

一、 实验目的和要求

1. 实验目的

- 理解 CPU 多周期访存的原理以及对 CPU 的影响
- 掌握多周期访存的流水线 CPU 的设计方法
- 掌握多周期访存的流水线 CPU 的程序验证方法

2. 实验要求

- 设计多周期访存的流水线 CPU 的存储器、数据通路、控制器和 CP0
- 使用程序验证 CPU 并观察程序的执行

二、 实验内容和原理

本次实验的数据通路图如下。两个存储器分别增加 cs 端口和 stall 端口。cs 为控制器读内存使能信号，cs 为高电平时表示 CPU 要访问内存；stall 为存储器的停顿信号。

每次访问内存需要 9 个周期，其中 8 个周期为停顿。

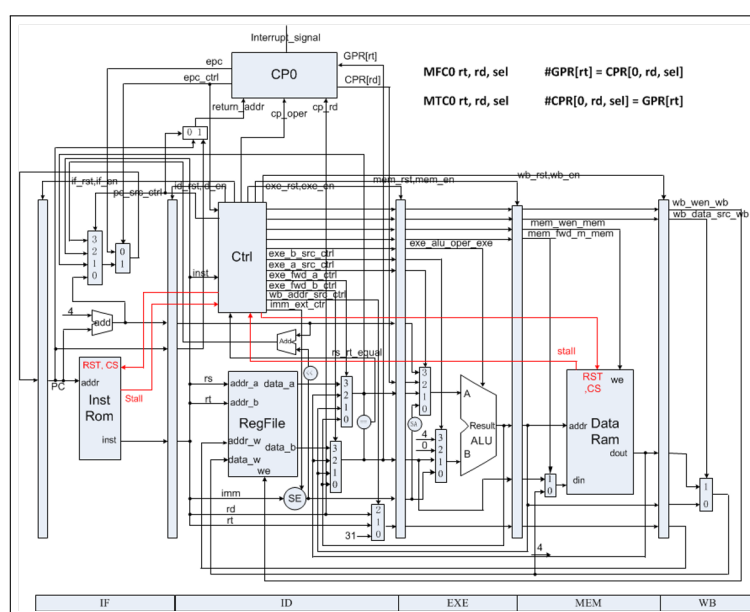


图 1: 多周期访存的数据通路图

三、 实验过程记录

本实验只是模拟存储器的停顿，不真正实现复杂的存储结构。存储器的控制逻辑实现为有限状态机。存储器内有一个锁存器，用于存储地址。

当存储器收到访存的请求信号时，若正处于空闲状态，则转为忙碌状态。转为忙碌状态后，若锁存器内的地址为所请求的地址，则开始进行计数器的每周期加 1，以模拟取数据的过程；若锁存器内的地址不是所请求的地址，则要多停顿 1 个周期，进行地址的记录，以模拟寻址的过程。数据取出后，复位停顿信号和计数器。一次访存完成。

四、 实验结果分析

本次实验使用的测试程序如下：

```

1    lui $1, 0x0
2    addiu $1, $1, 64
3    mtc0 $1, $3
4    add $2, $0, $0
5    add $3, $0, $0
6    mfc0 $4, $9
7    add $5, $0, $0
8    addi $2, $2, 1
9    slti $1, $2, 10000
10   bne $1, $0, -2
11   nop
12   mfc0 $5, $9
13   sub $5, $5, $4
14   addi $2, $2, 1
15   j 34
16   nopaddi $3, $3, 1
17   eret
18   nop

```

仿真 8000ns，即 400 个时钟周期，观察到每次从内存中取指需要停顿八个时钟周期。

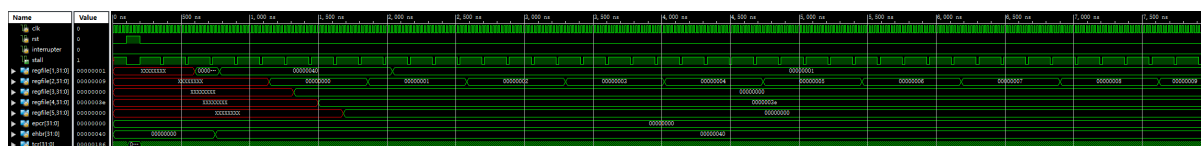


图 2: 仿真 8000ns

仿真 10ms，即 500000 个时钟周期，此时程序已经从 2 号寄存器累加 10000 次的循环中跳出，跳出的时刻为第 360018 (0x57e52) 个时钟周期，现已进入 0x34 地址处的无限循环。

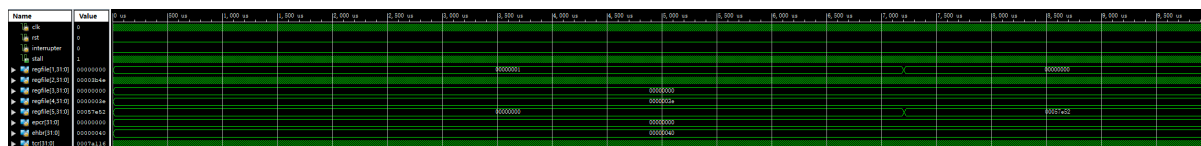


图 3: 仿真 10ms

五、 讨论与心得

本次实验是修改存储器，使每次访问内存耗费多个时钟周期，以模拟真实存储器的情况，实验内容较为简单。通过本次实验，我理解了为什么现在存储器的访问速度成为了制约计算机性能提升的瓶颈因素。在 CPU 内部，通过各种手段已经将五级流水线的停顿情况降低到最多一个周期，且发生这种情况的条件也极其有限。但每次访问存储器，就需要停顿八个周期，而且这种情况极其普遍。如果改良存储架构，以提升访存效率，是计算机体系结构的研究中非常重要的主题。