

Instituto Tecnológico de Costa Rica
Campus Tecnológico Central de Cartago

Escuela de ingeniería en computación
IC-1400 Fundamentos de organización de computadoras
Profesor Ing. Esteban Arias Méndez, M.Sc

Reporte #8 – Semana 15
Lectura semana 15

Realizado por: Ledvin Manuel Leiva Mata
Carné: 2023071280

Semestre 1, año 2023
Fecha de entrega 29 de mayo 2023

Resumen Capítulo 4 del Libro Sivarama P. Dandamudi Guide to Assembly Language Programming in Linux.

Capítulo 4: La arquitectura del IA-32

La arquitectura IA-32 de Intel, que abarca procesadores como Pentium, Celeron, Pentium 4 y Xeon. Al programar en lenguaje de alto nivel como C, no es necesario conocer los detalles del procesador subyacente y el sistema. Sin embargo, al programar en lenguaje ensamblador, es importante comprender cómo está organizado el procesador y el sistema. Se proporcionan detalles sobre los registros y la arquitectura de memoria de la IA-32. La arquitectura admite dos modos de memoria: el modo protegido y el modo real. El modo protegido es el modo nativo, mientras que el modo real emula la arquitectura de memoria de 16 bits del procesador 8086. Ambos modos admiten una arquitectura de memoria segmentada. Se destaca la importancia de comprender la organización segmentada de la memoria para programar en lenguaje ensamblador.

Ciclo de ejecución del procesador.

El procesador realiza un ciclo de ejecución que consiste en tres etapas principales: fetch (obtención), decode (decodificación) y execute (ejecución). En la etapa de fetch, se obtiene una instrucción de la memoria principal, colocando la dirección correspondiente en el bus de direcciones y activando la señal de lectura en el bus de control. La memoria principal lee la instrucción y la coloca en el bus de datos para que el procesador la pueda leer. En la etapa de decode, se identifica la instrucción obtenida mediante un esquema de codificación específico. Finalmente, en la etapa de execute, se ejecuta la instrucción utilizando la unidad de control y la unidad aritmético-lógica (ALU) del procesador.

Registros del procesador.

La arquitectura IA-32 proporciona varios registros en el procesador. Estos registros se dividen en registros generales, de control y de segmento. Los registros generales se dividen a su vez en registros de datos, de puntero y de índice.

Los registros de datos son cuatro registros de 32 bits que se utilizan para operaciones aritméticas y lógicas. Estos registros pueden ser utilizados como cuatro registros de 32 bits (EAX, EBX, ECX, EDX), cuatro registros de 16 bits (AX, BX, CX, DX) o ocho registros de 8 bits (AH, AL, BH, BL, CH, CL, DH, DL). Se

puede acceder a la mitad inferior de un registro de 32 bits utilizando el correspondiente registro de 16 bits.

Los registros de puntero y de índice son cuatro registros de 32 bits que también se pueden utilizar como registros de 16 bits. Estos registros desempeñan un papel especial en las instrucciones de procesamiento de cadenas y también se pueden utilizar como registros de datos de propósito general.

Los registros de control consisten en el registro de puntero de instrucción y el registro de flags. El registro de puntero de instrucción se utiliza para realizar un seguimiento de la ubicación de la siguiente instrucción a ejecutar. El registro de flags contiene banderas que indican información sobre la operación más reciente, como la bandera de cero (ZF) que se establece si una operación de resta produce un resultado cero.

Los registros de segmento son seis registros de 16 bits que se utilizan para soportar la organización de memoria segmentada. Estos registros apuntan a los segmentos de memoria utilizados por un programa, como el segmento de código (CS), el segmento de datos (DS) y el segmento de pila (SS).

Arquitectura de memoria en modo protegido.

La arquitectura de memoria en modo protegido es compatible con el modo real y protegido en la arquitectura IA-32. El modo real utiliza direcciones de 16 bits y está diseñado para ejecutar programas escritos para el procesador 8086. En este modo, se admite la arquitectura de memoria segmentada del procesador 8086. El modo protegido utiliza direcciones de 32 bits y es el modo nativo de la arquitectura IA-32. En el modo protegido, se admiten tanto la segmentación como la paginación. La paginación se utiliza para implementar la memoria virtual y es transparente para el programa de aplicación, pero la segmentación no lo es. En esta sección nos enfocamos en describir la arquitectura de memoria segmentada en modo protegido.

Registros de segmento.

Cada registro de segmento tiene una parte "visible" y una parte "invisible". La parte visible es el selector de segmento de 16 bits y se refiere a los registros de segmento. Hay instrucciones directas para cargar el selector de segmento. La parte invisible de los registros de segmento se carga automáticamente por el procesador desde una tabla de descriptores.

Descriptores de segmento.

Un descriptor de segmento proporciona los atributos de un segmento. Estos atributos incluyen la dirección base de 32 bits, el tamaño del segmento de 20 bits y la información de control y estado. El descriptor de segmento define el nivel de privilegio del segmento y el tipo de segmento (sistema o aplicación). También especifica la dirección base y el límite del segmento, y controla el tamaño predeterminado de los operandos y las direcciones.

Tablas de descriptores de segmento.

Existen tres tipos de tablas de descriptores: la tabla de descriptores globales (GDT), las tablas de descriptores locales (LDT) y la tabla de descriptores de interrupciones (IDT). Estas tablas contienen los descriptores de segmento y se acceden utilizando los registros LDTR y GDTR. La GDT contiene descriptores disponibles para todas las tareas del sistema, mientras que las LDT contienen descriptores para un programa específico.

Modelos de segmentación

Existen dos modelos de segmentación: el modelo de segmento único y el modelo de múltiples segmentos. En el modelo de segmento único, todos los segmentos tienen una dirección base de cero y un tamaño de 4 GB, lo que hace que la segmentación sea invisible. Este modelo se utiliza en entornos de programación como UNIX y Linux. En el modelo de múltiples segmentos, se pueden definir varios segmentos y solo seis de ellos pueden estar activos en un momento dado. Los segmentos activos tienen sus selectores de segmento cargados en los registros de segmento.

Arquitectura de Memoria en Modo Real

En modo real, el procesador IA-32 se comporta como un procesador 8086 y tiene un espacio de direcciones de memoria de 1 MB. La memoria está organizada en segmentos, cada uno de hasta 64 K bytes de tamaño. Para direccionar una posición de memoria, se utiliza una dirección lógica formada por una base de segmento y un offset. La conversión de dirección lógica a dirección física consiste en añadir cuatro bits de cero menos significativos a la base del segmento y, a continuación, añadir el valor del offset. En modo real, el procesador establece el tamaño de cada segmento en 64 KB. Hasta seis segmentos pueden estar activos a la vez, y los registros de segmento apuntan a estos segmentos activos.

Funcionamiento en modo mixto

La operación en modo mixto permite el uso de operandos y direcciones tanto de 16 como de 32 bits. El bit D/B en el descriptor de segmento especifica el tamaño por defecto. El conjunto de instrucciones proporciona prefijos de anulación de tamaño para operandos y direcciones, lo que permite la programación en modo mixto. Estos prefijos facilitan el uso de registros de 32 bits en el modo de operación de 16 bits. En el Capítulo 13 se proporcionan más detalles sobre estos prefijos.

Qué registro de segmento utilizar

En los modos de operación real y protegido, la elección del registro de segmento depende del propósito de la referencia de memoria. Para la obtención de instrucciones, el registro CS proporciona la dirección base del segmento, y el desplazamiento proviene del registro IP o EIP. Para las operaciones de pila, el registro SS se utiliza para la dirección base del segmento, y el valor de desplazamiento se obtiene del registro SP o ESP. Al acceder a los datos, el registro DS es la opción por defecto para la dirección base del segmento de datos, y el valor de desplazamiento depende del modo de direccionamiento utilizado.

Entrada/Salida

Los dispositivos de Entrada/Salida (E/S) se utilizan con fines de comunicación y almacenamiento de datos en un sistema informático. Estos dispositivos interactúan con el bus del sistema a través de un controlador de E/S, que actúa como interfaz entre el sistema y el dispositivo de E/S. El uso de un controlador de E/S permite un manejo eficiente de las diferentes características de los dispositivos y permite largas conexiones de cables para los dispositivos de E/S. Los controladores de E/S suelen tener registros internos para datos, comandos y estado. El procesador se comunica con el dispositivo de E/S a través del controlador de E/S asociado utilizando puertos de E/S. La arquitectura IA-32 proporciona 64 KB de espacio de direcciones de E/S para acceder a puertos de E/S de 8, 16 y 32 bits. La E/S mapeada en memoria y la E/S aislada son dos estrategias para mapear los puertos de E/S. Los sistemas operativos proporcionan rutinas estandarizadas y llamadas al sistema para acceder a los dispositivos de E/S, asegurando un acceso cómodo y controlado a la vez que se evita el abuso de recursos.

Referencias:

[1] S.P. Dandamundi, <Assembly Language Programming in Linux>, Springer, Ottawa.