

实验三：时序逻辑电路设计

一、实验目的

1.理解触发器和计数器的概念，掌握这些时序器件的 Verilog HDL 语言程序设计的方法。

二、实验内容

- 1.同步置位/异步复位的 D 触发器；
- 2.十进制加减法计数器。

三、实验要求

- 1.在 Vivado 环境下进行逻辑仿真；
- 2.完成下载，在实验板上对程序进行验证；
- 3.信号的输入通过 Basys3 上的拨码开关和按键实现，信号的输出通过 Basys3 上的 LED 灯显示。

四、实验步骤

1.编写一段 Verilog 程序,利用 Basys3 实现同步置位/异步复位的 D 触发器。其中，S 对应拨码开关 SW2，R 对应拨码开关 SW1，D 对应拨码开关 SW0，CP 对应拨码开关 SW3；Q 对应 LD1，~Q 对应 LD0。

在各种复杂的数字电路中，不但需要对输入信号进行算术运算和逻辑运算，还经常需要将这些信号和运算结果保存起来。因此，需要使用具有记忆功能的基本逻辑单元，能够存储一位信号的基本单元电路就被称为触发器。根据电路结构形式和控制方式的不同，可以将触发器分为 D 触发器、JK 触发器、T 触发器等等。

在数字电路中，D 触发器是最为简单也是最为常用的一种基本时序逻辑电路，它是构成数字电路系统的基础。大体可分为如下几类：基本的 D 触发器、同步复位的 D 触发器、异步复位的 D 触发器、同步置位/复位的 D 触发器、异步置位/复位的 D 触发器。其中，带有同步置位/异步复位端口的上升沿 D 触发器的逻辑电路符号如图 3.1 所示，它的功能表如表 3.1 所示。可以看出，置位操作：只有在时钟信号的上升沿到来并且同步置位端口的信号有效时，D 触发器才可以进行置位操作；复位操作：只要复位控制端口的信号有效，D 触发器就会立即进行复位操作，可见，这时的复位操作是与时钟信号无关的。

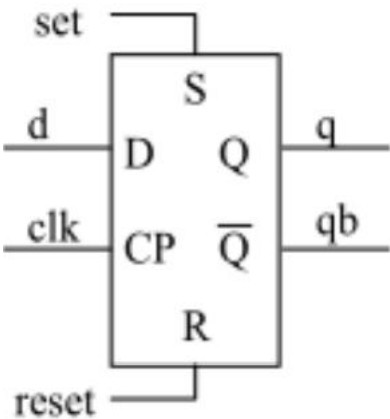


图 3.1 同步置位/异步复位 D 触发器电路符号图

表 3.1 同步置位/异步复位 D 触发器功能表

S	R	D	CP	Q	~Q
---	---	---	----	---	----

X	1	X	X	0	1
1	0	X	上升沿	1	0
1	0	X	0	保持	保持
1	0	X	1	保持	保持
0	0	1	上升沿	1	0
0	0	0	上升沿	0	1
0	0	X	0	保持	保持
0	0	X	1	保持	保持

注意：Basys3 默认 W5 接口为时钟信号端，如果采用别的端口模拟时钟信号，需要在约束文件中添加 “set_property CLOCK_DEDICATED_ROUTE FALSE [get_nets clk_IBUF]” 语句。

2.编写一段 Verilog 程序，利用 Basys3 实现十进制加减法计数器。其中，S 对应拨码开关 SW14，R 对应拨码开关 SW13，Up/Down 对应拨码开关 SW12，Clk 对应拨码开关 SW15；置入数字对应 SW3、SW2、SW1、SW0，输出对应 LD3、LD2、LD1、LD0。

计数器是数字系统中使用的最多的时序电路。计数器不仅能用于对时钟脉冲计数，还可以用于分频、定时、产生节拍脉冲和脉冲序列以及进行数字运算等。

计数器的种类非常繁多。如果按计数器的触发器是否同时翻转分类，可以将计数器分为同步式和异步式两种。如果按计数过程中计数器中的数字增减分类，又可以将计数器分为加法计数器、减法计数器和可逆计数器（或称为加/减计数器）。如果按计数器中数字的编码方式分类，还可以分为二进制计数器、二-十进制计数器、格雷码计数器等。

本实验实现一个十进制加减法计数器的设计：该计数器具有异步清零、同步置数的功能，时钟上升沿为计数触发信号，功能表如表 1 所示：

表 3.2 十进制加减法计数器功能表

Clk(时钟)	R(复位端)	S(置位端)	Up/Down	工作状态
X	1	X	X	置零
上升沿	0	1	X	置数
上升沿	0	0	1	加法
上升沿	0	0	0	减法

注意：(1).置数状态时，置入数字通过拨码开关输入。当置入数字大于 9 时，加法工作状态下从 0 开始加法运算，减法工作状态下从 9 开始减法运算。

(2).Basys3 默认 W5 接口为时钟信号端，如果采用别的端口模拟时钟信号，需要在约束文件中添加 “set_property CLOCK_DEDICATED_ROUTE FALSE [get_nets clk_IBUF]” 语句。