**[EE303A] Digital System Design Lab#5 Report**

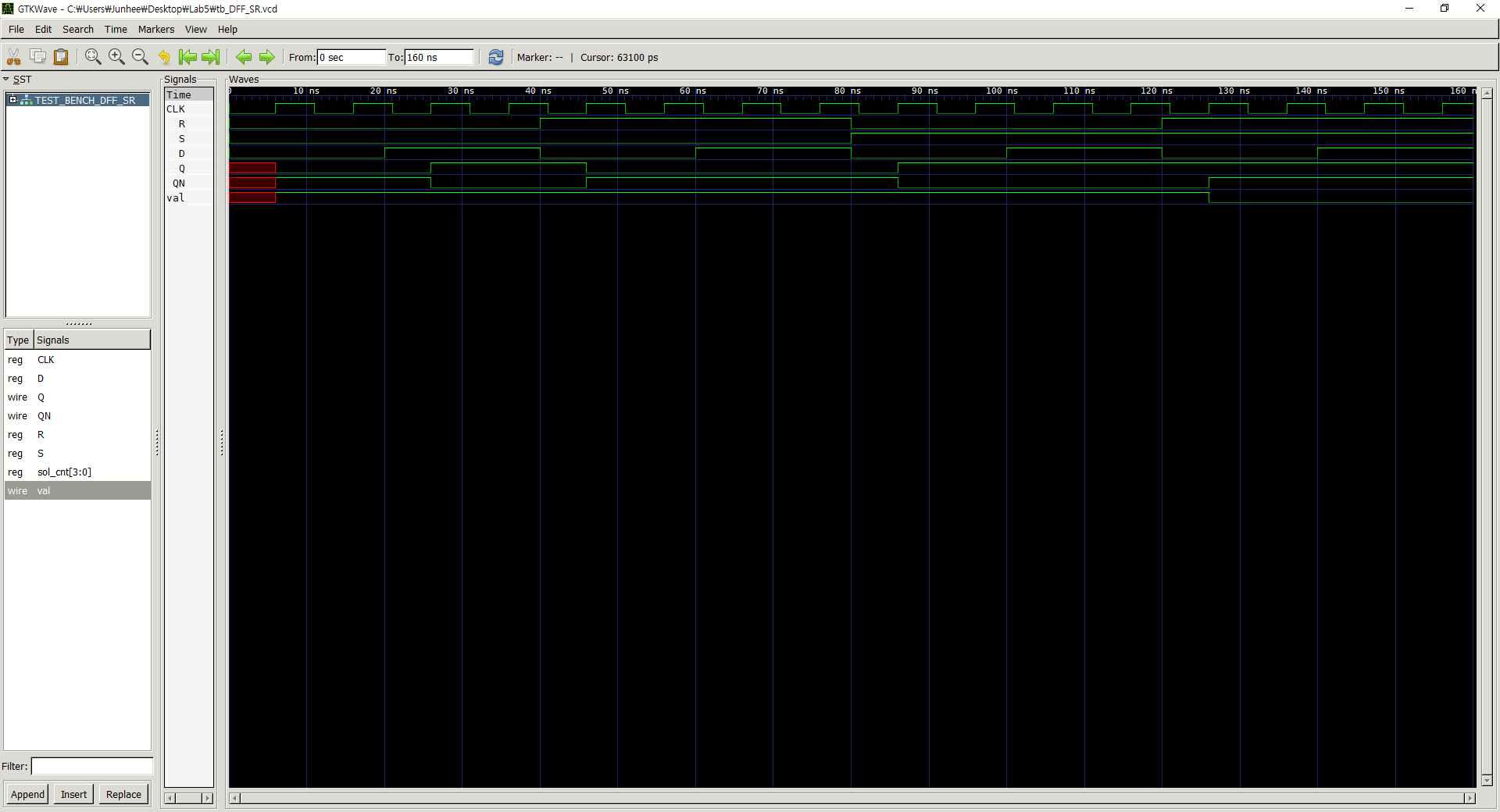
20160521 이준희

RS D-FF의 behavior은 R=S=0일 때, Q = D, QN = D’ 값을 저장하고 R만 1일 때는 Q = 0, QN = 1로 reset, S만 1일 때는 Q = 1, QN = 0으로 set이며 R=S=1은 허용하지 않는다. 이번 코드에서는 허용하지 않음을 val = 0으로 표현하였고 이 때의 Q = QN = 1로 설정했다. Always를 사용해 CLK의 postedge일 때만 값이 변하게 하였고 if문으로 R과 S의 경우의 수를 나누어 각각의 수에 맞게 Q와 QN값을 넣었다. 베릴로그는 값이 0과1만 있는 것이 아니기 때문에 마지막 else는 Q = QN = 0으로 설정했으며 이는 허용하는 경우가 아니다. 이 때, 허용하는 경우에만 Q와 QN이 complement로 들어가기 때문에 val 값은 Q ^ QN으로 assign했다.

Testbench의 경우 먼저 CLK을 위한 무한 피드백을 만들었고 가장 마지막에 #finish를 통해 실행을 끝나게 했다. 다음으로 앞서 코딩한 DFF\_SR을 가져오고 R, S, D의 모든 경우의 수에 대해 DFF\_SR의 output과 예상하는 값이 맞는지 비교하여 맞으면 점수를 오르며 passed를 print하고 틀리면 failed만 print했다. 결과적으로 아래와 같은 print가 되고 원하는 behavior대로 작동함을 확인할 수 있다.



Gtkwave를 통해 waveform을 보면 CLK의 rising edge에 Q, QN, val이 변하는 것을 볼 수 있고 이 때의 값은 rising edge에서의 R, S, D값으로 정해지는 것을 알 수 있다. 따라서, 주어진 설계대로 작동함을 확인할 수 있다.



실제 작성한 코드는 아래와 같다.

