

VLSI מישולבים – מבוא ל-

Lab exercise 1

מגישות:



תאריך הגשה: 21.5.2025

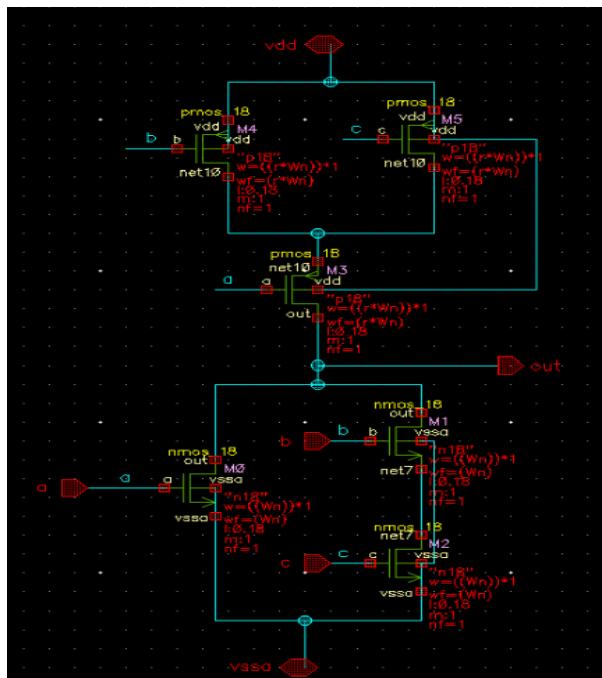
3.1 Logic function schematic design

Submit:

1. Print screen the schematic. (If you are in the lab, go to 'Applications → Graphics → KSnapshot')
2. Explain theoretically how you implement the logic function.

$$f(a, b, c, d) = \overline{a + bc}$$

.1



- . ב- CMOS ההיבור של טרנזיסטורי ה- NMOS בענף הפעיקה הוא מה שקובע את הפונקציה הלוגית, וטרנזיסטורי ה- PMOS בענף הטעינה יחויבו בצורה המשלימה.
- בענף הפעיקה, הטרנזיסטורים מסוג NMOS עם הניתן b ו- c מחוברים זה לזו בטור, על מנת לייצג פעולה הכפל (AND) והענף הזה מחובר במקביל לטרנזיסטור נוסף שכניסתו a על מנת לייצג את פעולה החיבור (OR).
- בענף הטעינה, הטרנזיסטורים מסוג PMOS עם הניתן b ו- c מחוברים במקביל זה לזו, והענף הזה מחובר בטור לטרנזיסטור נוסף שכניסתו a .

3.3 Create Test Circuit

Submit:

3. Explain how you implemented the inputs sequence and include inputs and output waveform, to assure logical correctness. Draw the waveform by your own. **You do not need to simulate in maestro to create this waveform.**
4. Explain what the expected worst-case scenario is, in terms of long $t_{pd,rise}$ and $t_{pd,fall}$, and why so. Consider $t_{pd,rise}$ and $t_{pd,fall}$ as the time from 50% change in input to 50% change in output.

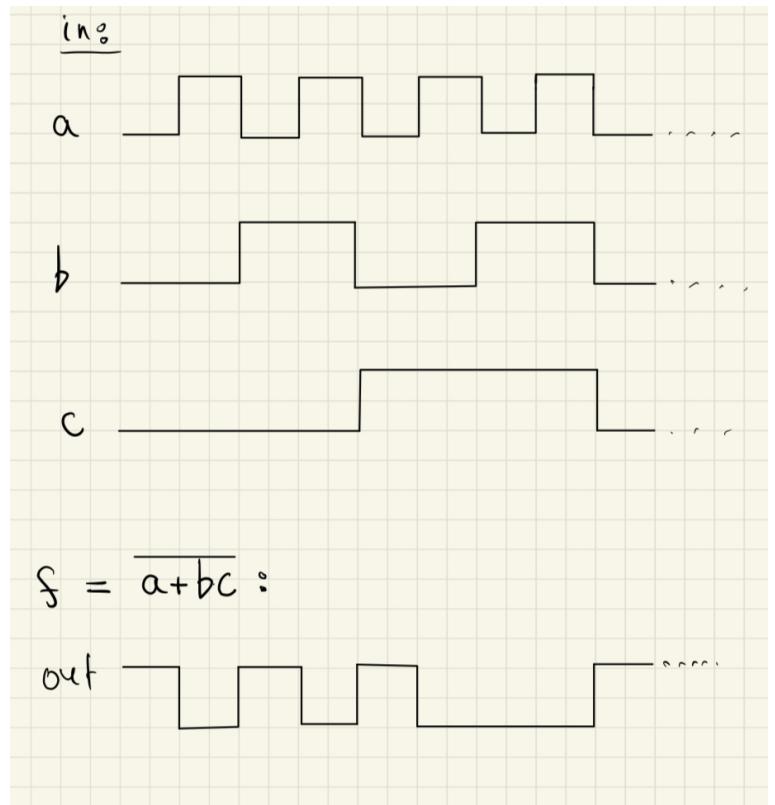
.3

היבור הכניסות של הדרגה השניה:

נחבר את מוצא הדרגה הראשונה, לכניסה הרחוקה ביותר על פי הסכמה, והוא כניסה c . על מנת לקבל ענף טעינה תקין, נדרש שטרנזיסטור ה- nmos בעל כניסה a יהיה על '0' לוגי, ולכן נחבר את a ל- $vssa$. על מנת לאפשר ענף פירקה תקין נדרש שטרנזיסטור ה- nmos בעל כניסה b יהיה על '1' לוגי, ולכן נחבר את b ל- vdd .

היבור הכניסות של הדרגה הראשונה:

הכנסנו פולס לכניסה a בעל זמן מהזור של 2 מיקרו ורוחב פולס של 1 מיקרו. הכנסנו פולס לכניסה b בעל זמן מהזור של 4 מיקרו ורוחב פולס של 2 מיקרו. הכנסנו פולס לכניסה a בעל זמן מהזור של 8 מיקרו ורוחב פולס של 4 מיקרו. יש לנו 3 כניסות ולכן ישנן 8 קומבינציות שונות לכניסה. בעזרת המבנה הבא ניתן לבדוק את כל הקומבינציות האפשרות של הקלטים לאורך הזמן בצורה שיטתיות. מצורף הגרפ' לצורך המחשבה:



.4

$t_{pd,rise}$

על מנת לחשב את $t_{pd,rise}$ נסתכל על ענף הטעינה. המקרה הגורע ביותר מתקבל כאשר ענף טעינה אחד מבין השניים עובד. אנחנו מצפים שענף c יהיה הענף האיטי יותר בהשוואה לענף a,b, וזואת משום טרנזיסטור c נמצא במרקם גדול יותר מהМОץ של הדרגה הקודמת בהשוואה לטרנזיסטור b ולכן טווען קיבול גדול יותר ולכן נדרש זמן רב יותר.

$t_{pd,fall}$

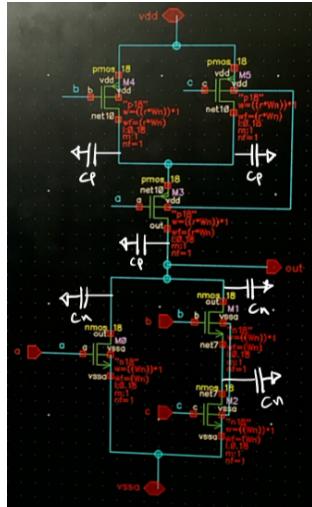
על מנת לחשב את $t_{pd,fall}$ נסתכל על ענף הפריקה. המקרה הגורע ביותר מתקבל כאשר ענף פריקה אחד מבין השניים עובד. אנחנו מצפים שענף c,b יהיה הענף האיטי יותר בהשוואה לענף a, וזואת מפני שני הטרנזיסטורים בטור בעלי אותם מידדים כמו טרנזיסטור a, ולאחר חיבורם בטור מתקבל טרנזיסטור בעל גודל קטן יותר, ולכן חלש יותר בהשוואה לטרנזיסטור a.

Submit:

5. Set r to be 1 and find (**by simulation**) the “slowest” input, i.e., the input whose edges result in the biggest t_{pd} . Pay attention that other inputs' values may influence the performance, so consider and mention the worst case.

For example, if you want to examine the edges of input ‘d’, there might be different combinations for ‘a’, ‘b’ and ‘c’ that will work, e.g., $a=b=c=1$ or $a=b=0, c=1$ (and others). Then, you should choose (and mention) the worst-case combination theoretically for **every** input edge.

Submit waveforms (i.e., graphs of a signal as a function of time) of the inputs and the output showing the input changes you examined. Show the delays you got in the simulation results. Do your results fit your answer to question 4?



$$f = \overline{a+b+c}$$

אילו כיוון:

a	b	c	out	ט'פ'ג'ג'
fall	0→1	1	0 → 1	$3C_n + 2C_p$
	0→1	0	1 → 0	$2C_n + C_p$
	1→0	0	0 → 1	$2C_n + C_p$
	1→0	1	0 → 1	$3C_n + 3C_p$
	1→0	0	1 → 0	$2C_n + 3C_p$
	1→0	0	0 → 1	$2C_n + 3C_p$

אילו כיוון:

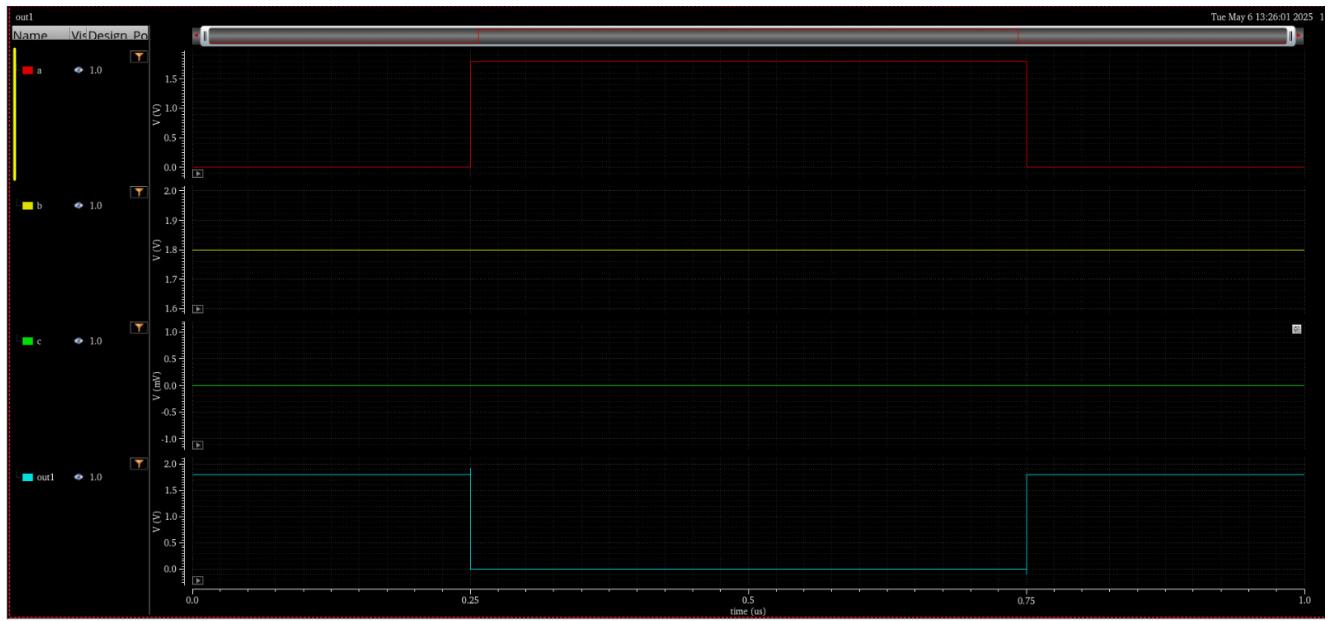
a	b	c	out	ט'פ'ג'ג'
fall	0	1	0 → 1	$3C_n + 3C_p$
	1	0	1 → 0	$2C_n + 3C_p$

אילו כיוון:

a	b	c	out	ט'פ'ג'ג'
fall	0	0→1	1 → 0	$3C_n + 3C_p$
	1	0	0 → 1	$2C_n + 3C_p$

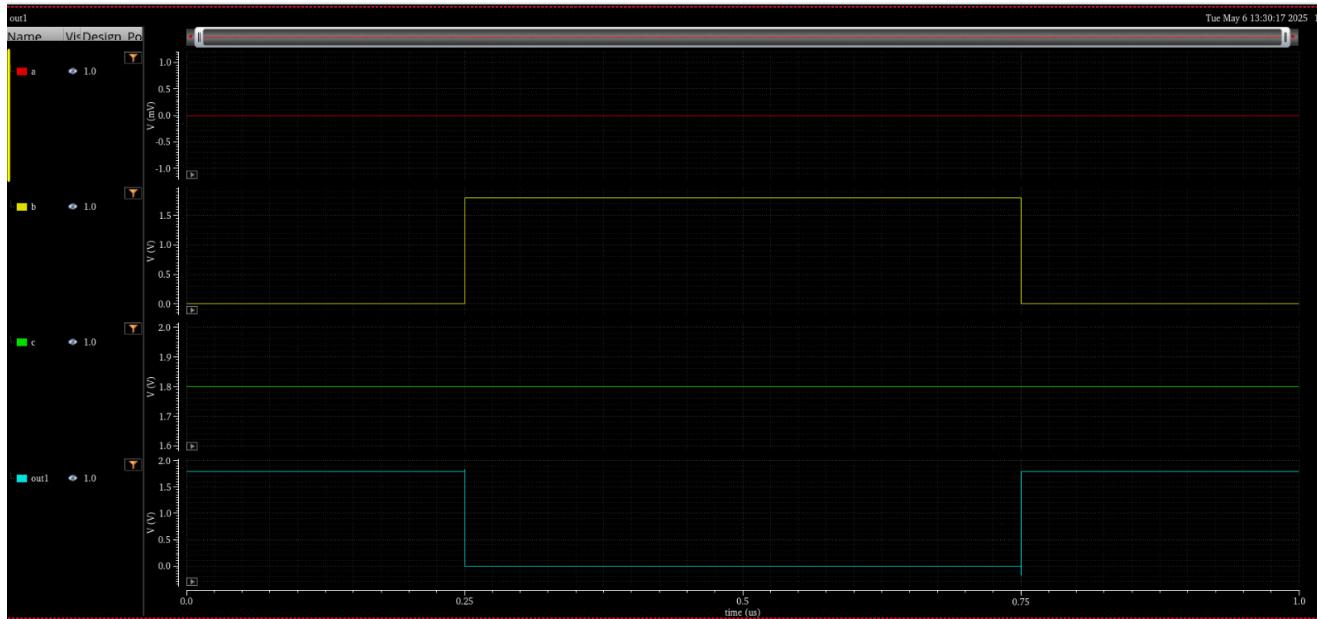
תוצאות הסימולציה:

עבור כניסה a שימושה וכניות 0, b=1, c=0



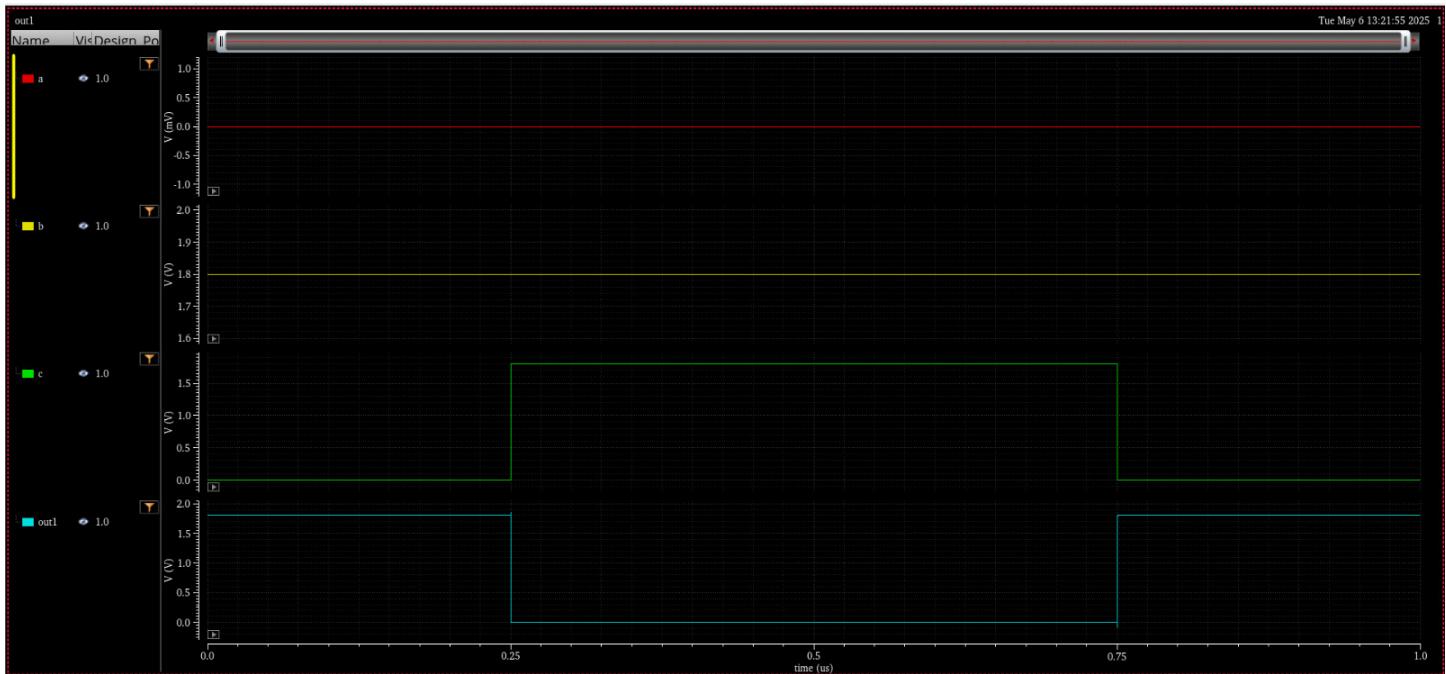
lab1_rg1...	tpd_a	58.17p
lab1_rg1...	tpdr_a	101.3p
lab1_rg1...	tpdf_a	15.04p

עבור כניסה b שימושתנה והכניותות $c=1, a=0$



lab1_rg1...	tpd_b	61.31p	
lab1_rg1...	tpdr_b	95.7p	
lab1_rg1...	tpdf_b	26.92p	

עבור כניסה c שימושה והכניות 0, a=0, b=1



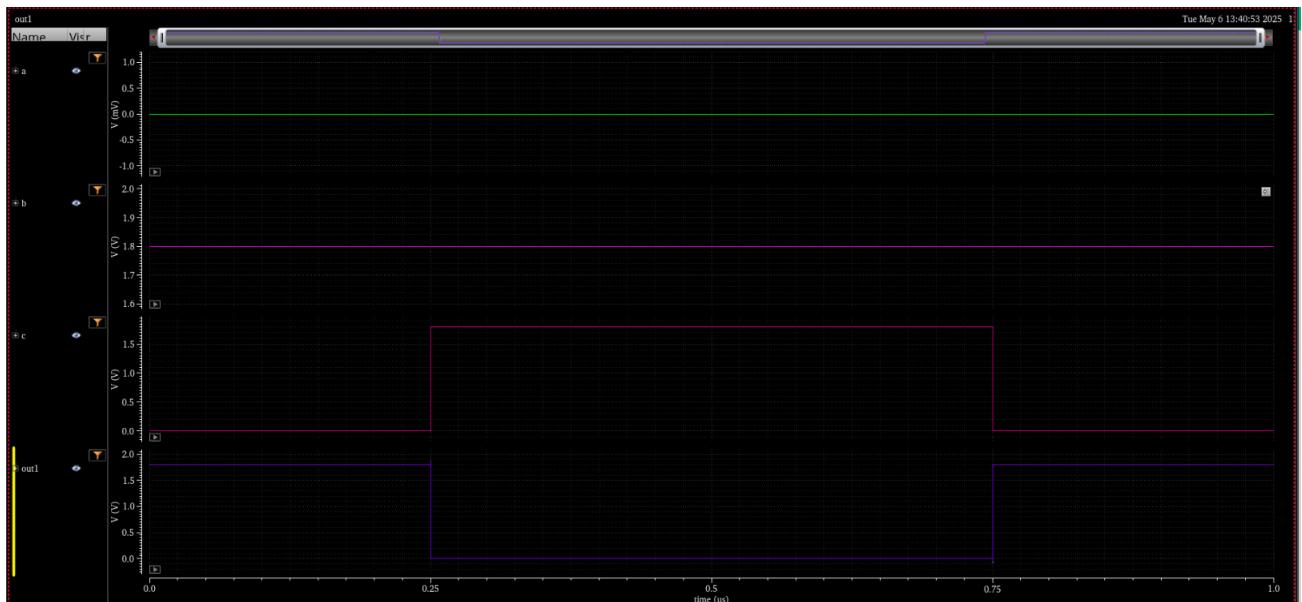
lab1_rg1...	tpd_c	79.75p
lab1_rg1...	tpdr_c	126.4p
lab1_rg1...	tpdf_c	33.11p

על פי תוצאות הסימולציה ההשניה הארוכה ביותר נמזהה כאשר שינו את הכניסה c, בדיק כפי שהזינו בשאלת 4. זאת מכיוון שבמקרה של שינוי ב-d נדרשת טעינה ופරיקה של הקיבול האגדל ביותר בראשת כפי שניתן לראות באירור שרטטנו, וכן זמן ההשניה מתקובל כגובה ביותר עבור קלט זה.

Submit:

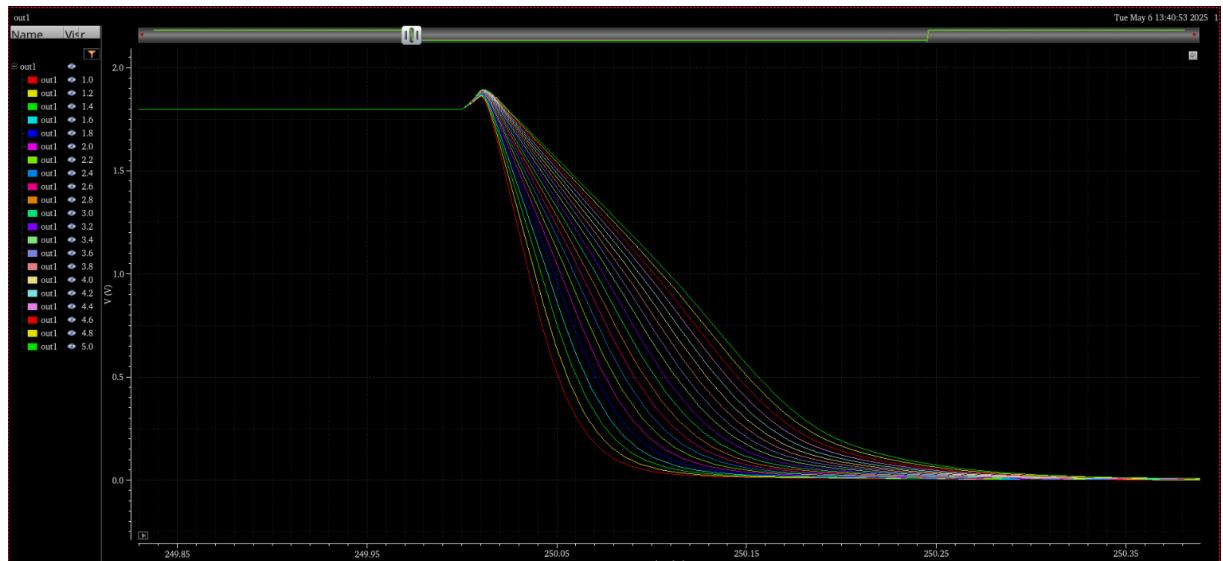
6. After performing a simulation of the *tran* run with a sweep of r , submit the waveform of the output and the "slowest" input, for every r . It is recommended to combine the plots of the input in the same axes, and do the same for the plots of the output but separately from the plots of the input. Also submit another graph of the measured delays ($t_{pd,rise}, t_{pd,fall}, t_{pd}$) as a function of r . These measured delays should be attributed to the "slowest" input, too.
7. Based on the simulations, what is r_{opt} to yield optimal/minimum t_{pd} delay?
8. Based on the simulations, what is r_{sym} to yield symmetric delays? ($t_{pd,rise} = t_{pd,fall}$)

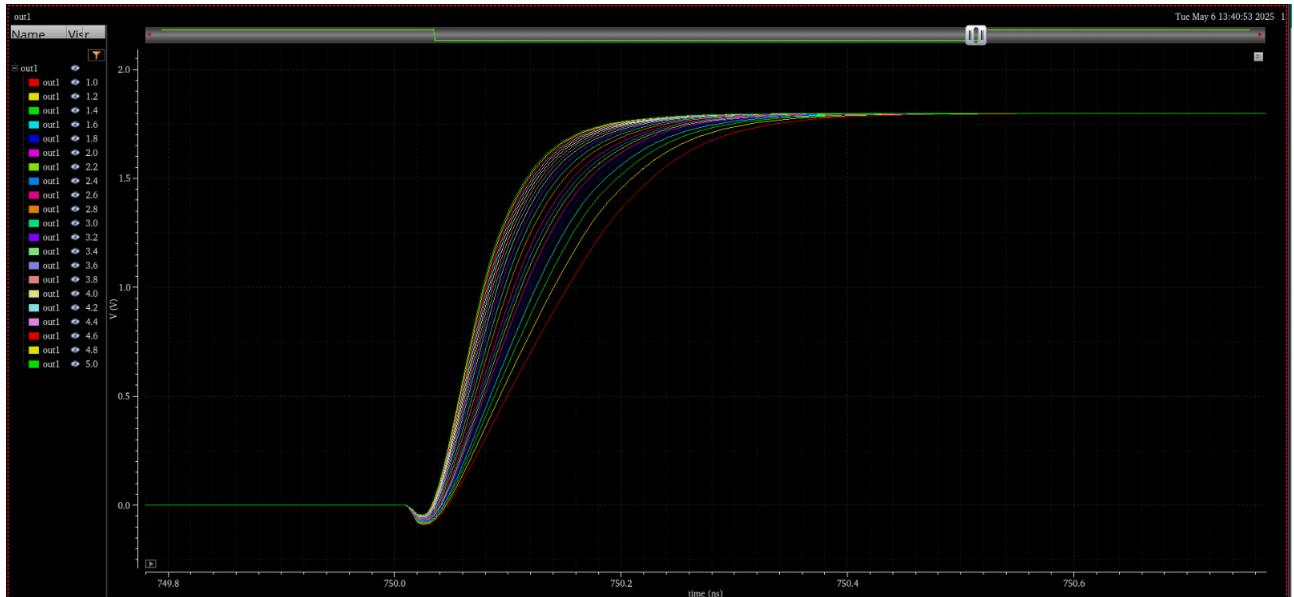
.6



לאחר שבודדנו את הגרף של המוצא *out* וביצענו zoom-in קיבלנו את הגרף :

הירידה :



ההשיות כתלות ב- r :

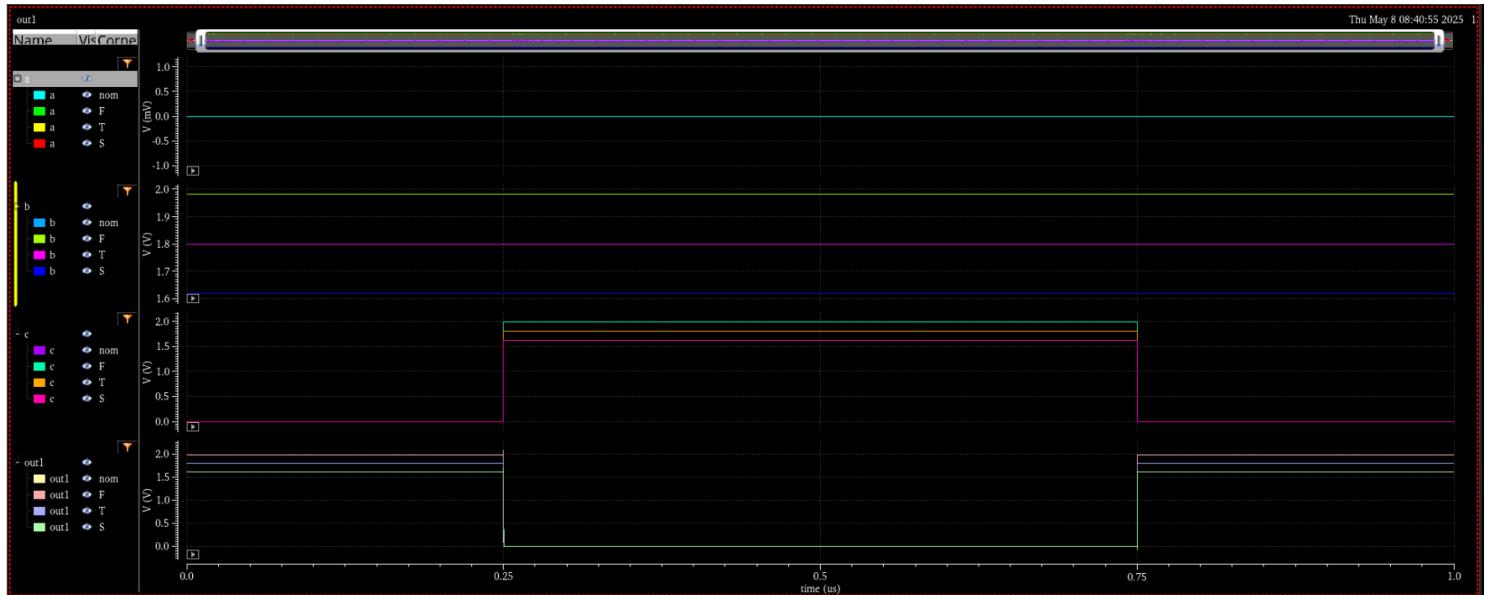
7. על פי הגרף לעיל ניתן לראות עבור $r_{opt} = 2$ מתקבל t_{pd} מינימלי.

8. על פי הגרף לעיל עבור $r_{sym} = 3.1133$ מתקבל $t_{pd,rise} = t_{pd,fall}$

Submit:

9. Waveform screenshot/s of the output and the "slowest" input, for every corner. Avoid combining all the plots in the same axes. Try to combine plots related to the same signal (input/output) or the same corner. Also submit screenshot/s of the numerical results of t_{pd} for every corner.
10. Why do you think the corners yield different results? Explain.
11. Which other device parameter would you reckon simulating under corners conditions?

.9



lab1_rg1...	tpd_c	74.03p		64.14p	99.56p	64.14p	80.13p	99.56p
lab1_rg1...	tpdr_c	74.05p		63.68p	95.77p	63.68p	78.55p	95.77p
lab1_rg1...	tpdf_c	74.01p		64.6p	103.4p	64.6p	81.71p	103.4p

10. השוני בתוצאות בין הקורנרים נובע מהשפעת הטרנסיסטורים והמתה על תכונות הטרנזיסטורים: ב Fast corner הטרנסיסטורה הנמוכה מעלה את מוביליות האלקטרונים והמתה הגבואה מגדייל את זרם ההולכה, במקביל כפי שראינו בהרצתה ככל שהטרנסיסטורה נמוכה יותר ה- V_T גדול יותר, מה שיכول לתרום לזרם נמוך יותר. עם זאת, ההשפעה של עליית המוביליות לרובה דומיננטית, ולכן זמני t_{pd} קצרים. ב- Slow corner הטרנסיסטורה הגבואה מפחיתה את המוביליות והמתה הנמוך מוריד את כושר ההולכה, במקביל ככל שהטרנסיסטורה גבוהה יותר ה- V_T קטן יותר, מה שיכול לתרום לזרם גבואה יותר. עם זאת, ההשפעה של ירידת המוביליות לרובה דומיננטית, מה שמאיריך את tpdf. ובעודה הבניים של Typical corner מתקבלים ערכי מוביליות זרם הולכה ביןוניים המשקפים את ביצועי המעגל בתחום התקן הרגילים.

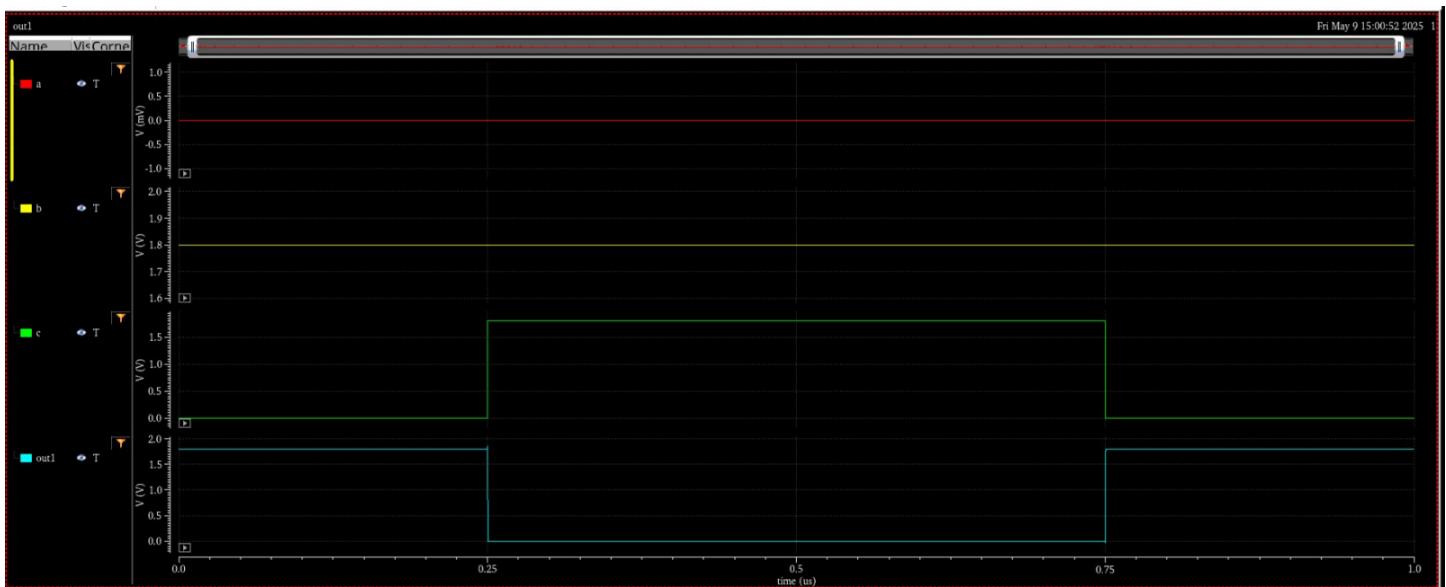
11. שינוי ברוחב התעללה W, משפייע ישירות על זרם הולכה. שכן הגדרת W מגדילה את שטח מעבר האלקטרונים, מקטינה את התנגדות התעללה ומזרזת טעינה ופריקת הקיבולים. כתוצאה לכך tpdf מתקצר עקב זרם גבואה יותר וטעינה מהירה יותר של הצמתים. לעומת זאת W, גדול מדי מגביר קיבולים פרזיטיים וצורכי הספק דינמי, ולכן יש לבצע איזון מדויק.

4.6 Higher load (FO4)

Submit:

12. A waveform screenshot of the first stage output and the "slowest" input, and a screenshot of the numerical result of t_{pd} .
13. Explain why and how t_{pd} changes. Relate to the linear delay model.
14. What is the maximum frequency that can be achieved in a synchronous circuit as in Figure (11) if $t_{setup} = 0$, $t_{clk \rightarrow out} = 0$?

.12



Test	Output	Nominal	Spec	Weight	Pass/Fail	Min	Max	T
lab1_rg18_FO4_1	a							
lab1_rg18_FO4_1	b							
lab1_rg18_FO4_1	c							
lab1_rg18_FO4_1	out1							
lab1_rg18_FO4_1	tpd	127p				127p	137.2p	137.2p
lab1_rg18_FO4_1	tpdr_c	132.8p				132.8p	140.6p	140.6p
lab1_rg18_FO4_1	tpdf_c	121.2p				121.2p	133.8p	133.8p

13. במעבר מ- FO1 ל- FO4, אנחנו מעמיסים יותר על מעגל, ולכן קיובל הכניסה של השערים המונעים גדול. ההשניה t_{pd} שתלויה באופן ישיר בקיובל הכלול שהמושך צרייך לטעון, גדולה גם הוא.

ואכן בהתאם לצפויותינו, כפי שניתן לראות גם בתמונה לעיל, ה- t_{pd} שהתקבל עבור FO1 גדול יותר בהשוואה להשניה שמדדנו עבור FO1.

14. נציב את הנתונות הנתונות: $t_{setup} = 0$, $t_{clk \rightarrow out} = 0$

$$t_{setup} + t_{pd,logic} + t_{clk \rightarrow out} \leq t_{clk}$$

$$0 + t_{pd,logic} + 0 \leq t_{clk}$$

$$t_{pd,logic} \leq t_{clk}$$

$$t_{pd,logic} = t_{pd,FO4} + t_{pd,FO1} = 127 ps + 74.03 ps = 201.03 ps \leq t_{clk}$$

$$4.97 GHz \geq f_{clk}$$

4.7 Sizing

Submit:

15. What is the theoretical optimal a (a_{opt}) for minimum delay? Ignore the parasitic capacitances and use the following technology parameters:

- $\mu_n = 291 \left[\frac{(cm)^2}{V*sec} \right], \mu_p = 71 \left[\frac{(cm)^2}{V*sec} \right]$
- $V_{t,n} = 0.5 [V], V_{t,p} = -0.42 [V]$
- $t_{ox} = 5 [nm], \epsilon_{ox} = 3.85$

16. Simulation results (i.e., waveform screenshot/s of the third stage output and the "slowest" input, and a screenshot of the numerical result of t_{pd}) of three cases (three different values of a), including theoretical a_{opt} . Explain the results when $a = 1$.

$$\beta' = \frac{M_n}{M_p} \frac{(V_{dd} - V_{T_P})}{(V_{dd} - V_{T_P})} = \frac{291}{71} \frac{(1.8 - 0.5)}{(1.8 - 0.42)} = 3.86$$

$$C_1 = \frac{\epsilon_0 \cdot t_{ox}}{t_0} \cdot L \left(W_{min} + \beta' W_{min} \right) =$$

: מינימום גובה נקי $L = 0.18 \text{ mm}$, $W_{min} = 0.22 \text{ mm}$ ו' 3)

$$= \frac{8.85 \cdot 10^{-12} \cdot 3.85 \cdot 0.18 \cdot 10^{-6} \cdot 3 \cdot 0.22 \cdot 10^6}{5 \cdot 10^{-9}} (1 + 3.86)$$

$$\Rightarrow C_1 = 3.934 \cdot 10^{-15} \text{ F} = 3.934 \text{ fF}$$

היכן :

$$t_{pd,1 \rightarrow out} = t_{pd,1 \rightarrow 2} + t_{pd,2 \rightarrow 3} + t_{pd,3 \rightarrow out}$$

$$= R_1 \cdot C_{in,2} + R_2 \cdot C_{in,3} + R_3 \cdot C_{out}$$

כפי שכתוב בפתרון:

$$= R_1 \cdot a \cdot C_1 + \frac{R_1 \cdot a^2}{a} \cdot C_1 + \frac{R_1}{a^2} \cdot C_{out}$$

לעתה, נזכיר את הטענה: a גודל קבוע

∴ $\alpha = \frac{R_1 C_1 + R_1 C_1}{R_1 C_{out}} - \frac{2}{\alpha^2} R_1 C_{out} = 0$

$$\frac{\partial T_{pd, A \rightarrow out}}{\partial \alpha} = R_1 C_1 + R_1 C_1 - \frac{2}{\alpha^2} R_1 C_{out} = 0$$

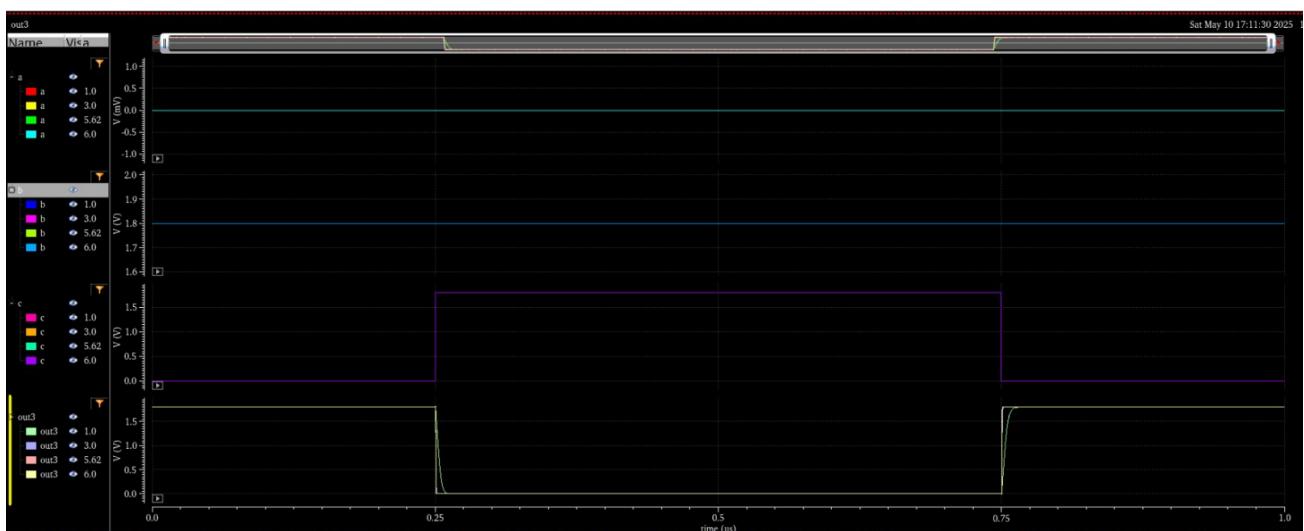
$$\alpha^3 2 R_1 C_1 - 2 R_1 C_{out} = 0$$

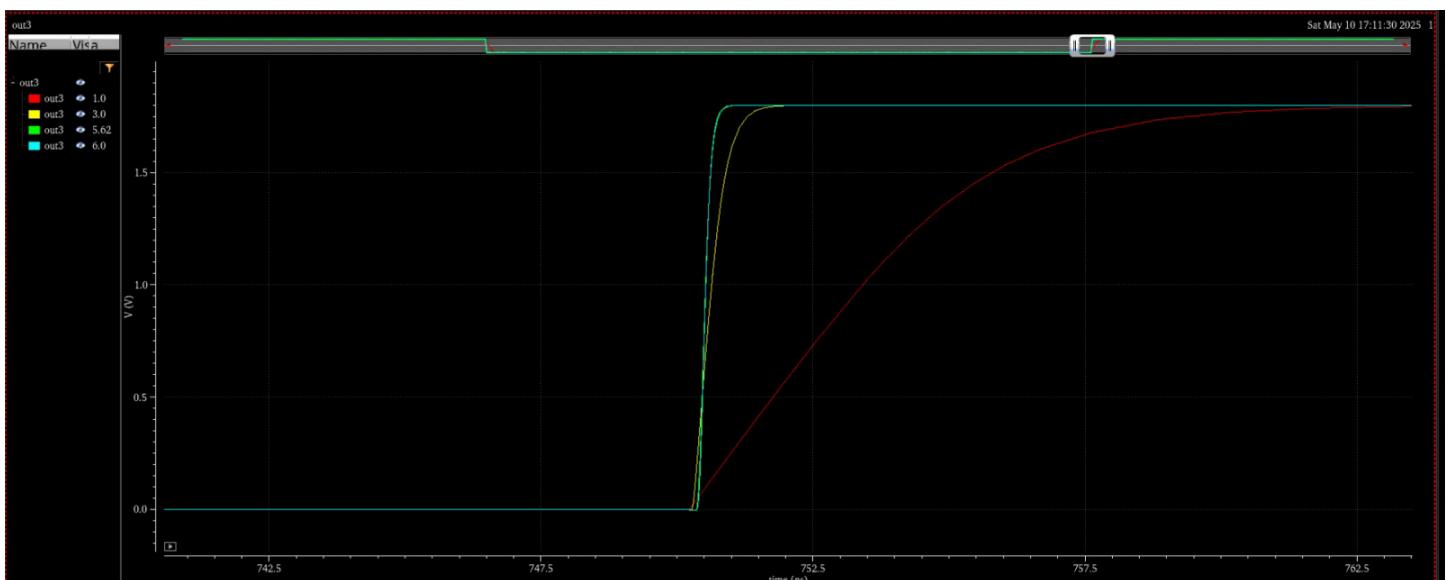
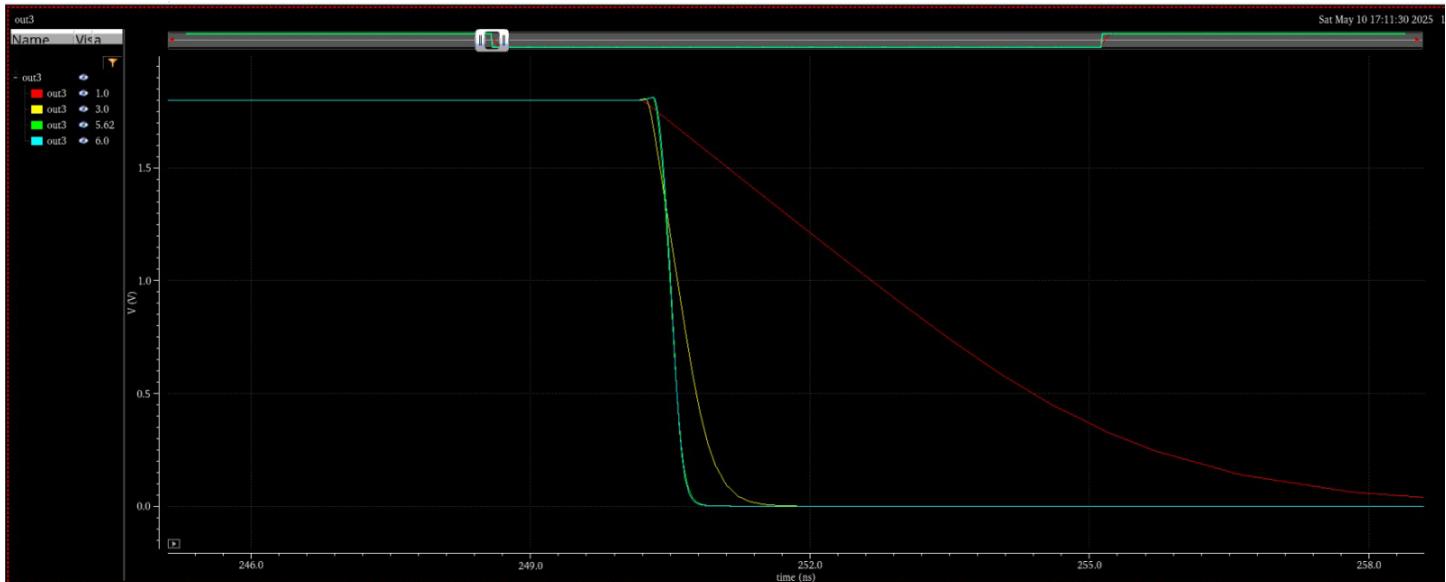
$$\alpha^2 = \frac{C_{out}}{C_1}$$

$$\alpha = \sqrt[3]{\frac{C_{out}}{C_1}}$$

$$\Rightarrow \alpha_{opt} = \sqrt[3]{\frac{700 \text{ fF}}{3.934 \text{ fF}}} = 5.62$$

.16





Point	Test	Output	Nominal	Spec	Weight	Pass/Fail

Parameters: a=1

1	lab1_rg1...	a	☒
1	lab1_rg1...	b	☒
1	lab1_rg1...	c	☒
1	lab1_rg1...	out3	☒
1	lab1_rg1...	tpd_c	3.015n
1	lab1_rg1...	tpdr_c	3.056n
1	lab1_rg1...	tpdf_c	2.975n

Parameters: a=3

2	lab1_rg1...	a	☒
2	lab1_rg1...	b	☒
2	lab1_rg1...	c	☒
2	lab1_rg1...	out3	☒
2	lab1_rg1...	tpd_c	598.4p
2	lab1_rg1...	tpdr_c	585.3p
2	lab1_rg1...	tpdf_c	611.5p

Parameters: a=5.62

3	lab1_rg1... a	↳
3	lab1_rg1... b	↳
3	lab1_rg1... c	↳
3	lab1_rg1... out3	↳
3	lab1_rg1... tpd_c	502.2p
3	lab1_rg1... tpdr_c	496.5p
3	lab1_rg1... tpdf_c	507.9p

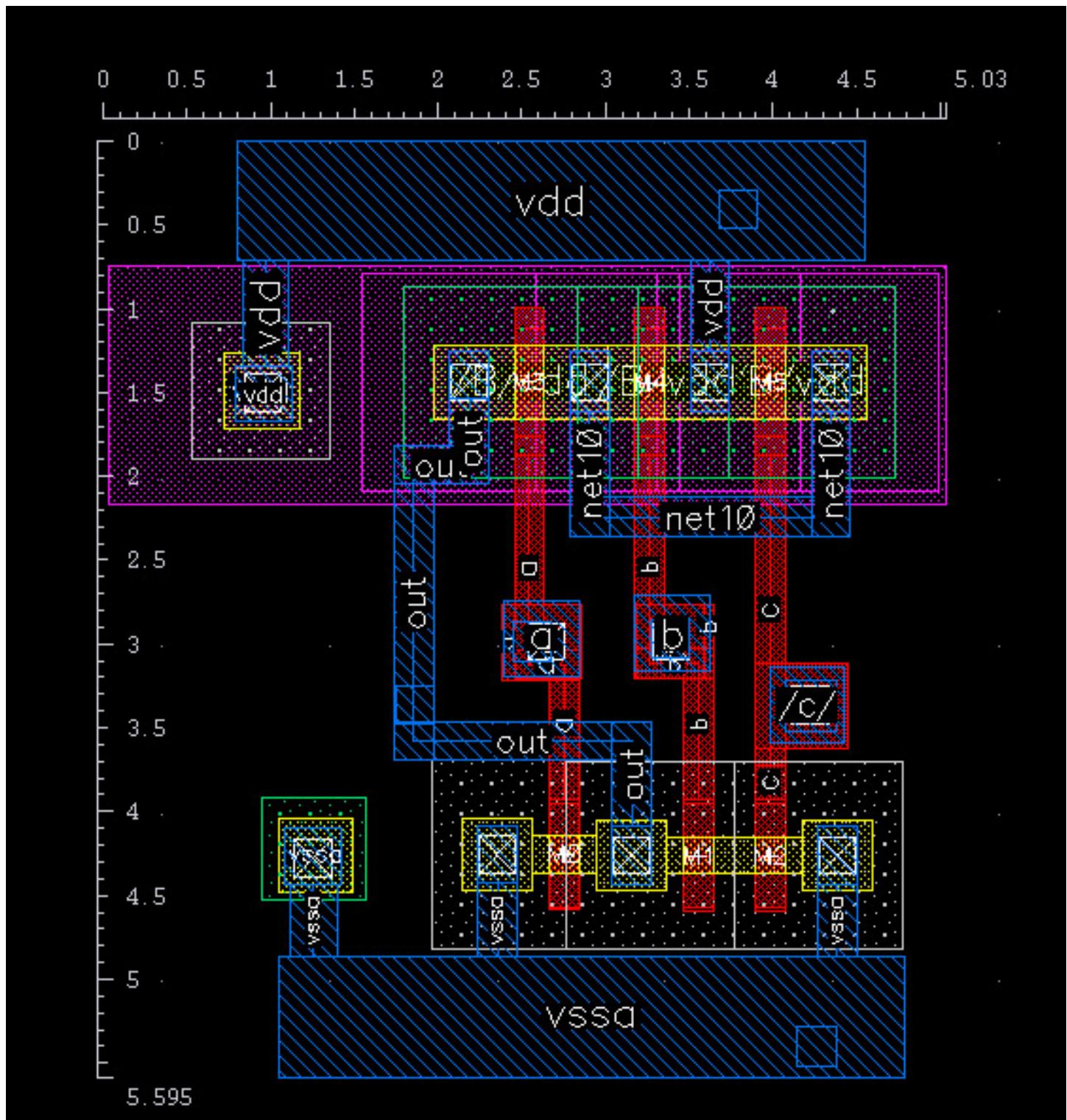
Parameters: a=6

4	lab1_rg1... a	↳
4	lab1_rg1... b	↳
4	lab1_rg1... c	↳
4	lab1_rg1... out3	↳
4	lab1_rg1... tpd_c	507.5p
4	lab1_rg1... tpdr_c	502.4p
4	lab1_rg1... tpdf_c	512.6p

נשים לב, שעבור $a=1$ התקבל זמן השהיה $t_{pd} = 3.015$, שהוא זמן ההשניה הגדול ביותר ביחס לשאר ערכי a שבדקנו. ככלומר לוגל יותר ורוכן יותר להציג לשינויים במבנה כאשר האגדלים של שלושת הדרגות המשורשות, שוות זו לזו. בנוסף, נבחין שאכן כפי שציפינו קיבלנו זמן השהיה t_{pd} מינימלי עבור ערך a האופטימלי שהישבנו בסעיף הקודם.

5.6 Submission of layout section

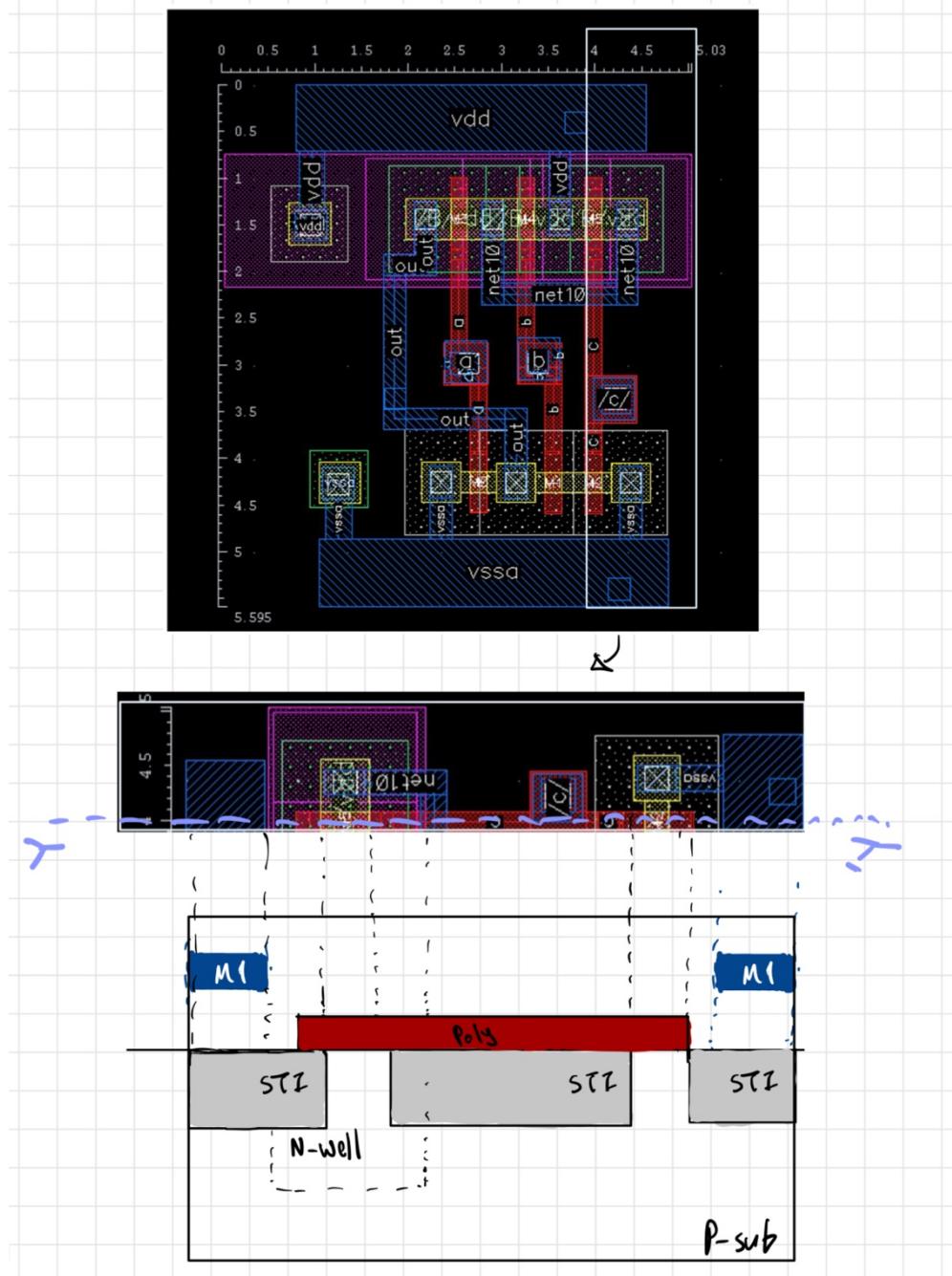
17. Provide layout print-screen, show a distance ruler on each axis showing the cell's dimensions.
18. What is the total area of your cell?
19. Draw a cross-section of the layout that includes at least one NMOS and one PMOS devices.
20. Print screen of the DRC and LVS reports.



.18. השטח הכלול של התא:

$$5.03[\mu\text{m}] \cdot 5.595[\mu\text{m}] = 28.142 [\mu\text{m}]^2$$

YY' cross-section:



XX' cross-section:

