

Neil Scope 3 EPM570 registers map

[illegible]

/ Registers Decim_Low[0:7] / Decim_High_0[0:7] / Decim_High_1[0:7] (address 0x00, 0x01, 0x02) **/**

23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Decimation High 1 Data [0:7]								Decimation High 0 Data [0:7]								Decimation Low Data [0:7]							
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

«младший», «средний», «старший» байты коэффициента прореживания.

Значение регистра рассчитывается исходя из частоты генератора (100МГц) поделенной на частоту семплирования, минус 1.

Decimation coefficient, result register value calc on the basis oscillator frequency (100 MHz) divided by the sampling frequency and minus 1.

Sampling Freq 10MHz: decimation register value = (100 MHz / 10 MHz) – 1 = 9;

Decimation High 1 Data [0:7] = 0x00; Decimation High 0 Data [0:7] = 0x00; Decimation Low Data [0:7] = 0x09

/ Register Trigger_UP[0:7] (address 0x03) – Triggel level (OSC), diff data (LA) **/**

23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																Trigger UP Data [0:7]							
																r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

При синхронизации от аналоговых каналов – данные уровня UP в режимах по фронту/спаду, или верхний предел окна при синхронизации по окну.

В режиме синхронизации от цифрового канала – данные на изменение.

If synchronization source is analog channels –

Front: trigger level data

Rise: trigger level data

Window mode: upper limit of the window

If synchronization of the digital channel – data on the different.

/ Register Trigger_Down[0:7] (address 0x04) – Triggel level (OSC), cond data (LA) **/**

23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																Trigger Down Data [0:7]							
																r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

При синхронизации от аналоговых каналов - данные уровня DOWN в режимах по фронту/спаду, или нижний предел окна при синхронизации по окну.

В режиме синхронизации от цифрового канала - данные на условие.

If synchronization of the analog channels - level DOWN data in modes Front / Rise, or the lower limit of the window in the window mode.

If synchronization of the digital channel - data on the different.

/** Registers **Win_Low[0:7]** / **Win_High_0[0:7]** / **Win_High_1[0:7]** (address 0x05, 0x06, 0x07) — samples write window length **/

23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Sample window Data [16:23]								Sample window Data [8:15]								Sample window Data [0:7]							
r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

«младший», «средний», «старший» байты количества точек для записи в память. Значение данных регистров влияет на количество точек после триггера, то есть «после-история», для записи «пред-истории» сначала запускается запись в память (регистр Write_Control [0] - Write SRAM), затем управляющий МК выдерживает необходимое время для записи «пред-истории» (вычисленного исходя из коэффициента прореживания, частоты генератора, необходимого количества точек) и разрешает срабатывание триггера записывая 1 в регистр Write_Control [1] — EnableTrigger

"lower", "medium", "high" bytes for the number of points stored in SRAM memory. The value of data registers affects the number of points after the trigger, ie "post-history". To write "pre-history" is first started recording in memory (register Write_Control [0] - Write SRAM), then the control IC withstands required recording time "pre-history" (calculate based on the decimation factor, frequency generator, the required number of points) and allows the trigger by writing 1 in register Write_Control [1] - EnableTrigger

/** Register **InternalConfigPin[0:7]** (address 0x08) – internal control signals in CPLD **/

23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																Internal Config Pin Data [0:7]							
																r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

При синхронизации от аналоговых каналов данные уровня синхр. в режимах по фронту/спаду, или верхний предел окна при синхронизации по окну.
В режиме синхронизации от цифрового канала маска на условие.

Bit:0 - SyncCH_Sel

В режиме синхронизации от аналоговых каналов этот бит отвечает за источник синхронизации, при синхронизации от цифрового канала данный бит включает или отключает сжатие RLE для потока данных ЛА.

In analog synchronization mode this bit is responsible for the synchronization source, if synchronization of the digital channel this bit enable or disable RLE compression for LA data flow.

Oscilloscope:

0: channel A

1: channel B

LogicAnalyzer:

0: RLE DISABLE

1: RLE ENABLE

Bit:1 - SyncON

Этот бит включает / отключает синхронизацию во всех режимах.

This bit enables / disables synchronization in all modes.

0: synchronization OFF

1: synchronization ON

Bit:2 - SyncWIN

синхронизация по входу или выходу из окна
input or output mode of the window synchronization

0: IN Window

1: OUT Window

Bit:3 – sClearDecim_Counter

очистка счетчика (пока не используется)
cleaning the counter (is not used now)

0: dont care

1: clear

Bit:4 – Read_SRAM_UP

направление чтения памяти SRAM
reading direction of SRAM

- 0: down
- 1: up

Bit:5 – OSC_LA
 переключение источника данных для записи в память - осциллограф или ЛА
 switching the data source to write memory - an oscilloscope or LA
 0: oscilloscope
 1: logic analyzer

Bit:6 – AND_OR_LA_TRIGG

 0: OR
 1: AND

Bit:7 – LA_OR_OSC_TRIGG
 переключение источника синхронизации - осциллограф(аналоговые каналы) или ЛА
 0: analog channels
 1: LA channel

/** Register **InKeyData[0:5]** (address 0x09) – buttons state data **/

23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																		In Key Data [0:5]					
																		r	r	r	r	r	r

Регистр только для чтения, данные состояния кнопок, регистр хранит инвертированные значения, то есть если нажата кнопка по нулевому биту регистра то в регистре будет значение 0x1E.

Read-only register status buttons data, register holds the inverted values, that is, if you press the zero register bit in the register is the value 0x1E.

button pressed	register value
LEFT	0x1E
RIGHT	0x1D
UP	0x17
DOWN	0x1B
OK	0x0F
ALL OFF	0x1F

/** Register **TriggerDelay[0:7]** (address 0x0A) – trigger delay (lpf) **/

23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																Trigger Delay Data[0:7]							
																r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Регистр для задержки срабатывания триггера, фактически ФНЧ канала синхронизации, задается в точках (семплах).

Register to delay the trigger, lpf, defined in points (samples).

/** регистр **extPin_reg_0[0:7]** (address 0x0B) – out signals from CPLD **/

23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																Reserved				O/C B	O/C A	S2	S1
																				r/w	r/w	r/w	r/w

Биты данного регистра выведены на выхода ПЛИС для управления режимом работы АЦП, и также для управления открытым/закрытым вход по аналоговым каналам.

Bits of the register output to inputs FPGA to control the operating mode of the ADC, and also to control the open / closed input for analog channels.

Bit[0:1] — S1 : S2

Режим работы АЦП

ADC work mode

00: ADC Standby Both Channel

01: ADC NormalOperation

10: ADC Standby Channel B

11: ADC Data Align Enable

Bit:[2:3] - Open/Closed Inputs

Открытый / закрытый вход по аналоговым каналам

Open / closed input for analog channels

0: Open input

1: Closed input

Bit:[4:7] - Reserved

Зарезервированы, не используются

Reserved, not used

/** регистр **extPin_reg_1[0:7]** (address 0x0C) – out signals from CPLD **/

23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																Back light	OSC EN	Analog Divider B [3:5]			Analog Divider A [0:2]		
																r/w	r/w	r/w	r/w	r/w	r/w	r/w	r/w

Биты данного регистра выведены на выхода ПЛИС для управления аналоговыми делителями, включение/отключение генератора 100МГц, подсветка.

Bits of this register is defined to CPLD outputs to control analog divider, enabling / disabling generator 100MHz, LCD backlight.

Bit:[0:2] - A0, A1, A2

74HC4051, channel A

000: divider 1/2x

001: divider 1/10x

010: divider 1/5x

011: divider 1x

100: divider 1/50x

101: GND

110: divider 1/20x

111: GND

Bit:[3:5] - B0, B1, B2

74HC4051, channel B

000: divider 1/2x

001: divider 1/10x

010: divider 1/5x

011: divider 1x

100: divider 1/50x
 101: GND
 110: divider 1/20x
 111: GND

Bit:6 – OSCILLATOR_Enable

Включение/выключение генератора 100МГц
 0: OFF
 1: ON

Bit:7 – BackLight

Подсветка максимум или минимум
 0: MIN
 1: MAX

/** регистр **Write_Control[0:1]** (address 0x0D) – internal control signals in CPLD **/

23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																Reserved						EnableTrigger	Write SRAM
																						r/w	r/w

Данный регистр управляет запуском / остановкой записи в память и разрешением триггера.

Bit:0 — Write SRAM

Запуск / остановка цикла записи в память
 Start / stop memory write cycle
 0: Stop
 1: Start

Bit:1 – Enable_Trigger

Разрешение/запрет на срабатывание триггера
 Enable/Disable trigger
 0: Disable
 1: Enable

Bit:2 – Interlive

Включение/выключение режима интерлива для аналоговых каналов
 Enable / Disable interlive for analog channels
 0: Disable
 1: Enable

Bit:[3:7] - Reserved

Зарезервированы, не используются
 Reserved, not used

/** Register **Sram_Data[0:7]** (address 0x0F) – переключение шины данных **/

23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
																SRAM Data [0:7]							
																r	r	r	r	r	r	r	r

Только для чтения. Переключение шины данных регистров на шину данных памяти SRAM для чтения. Никаких данных писать в этот регистр нельзя, необходимо отправить адрес 0x0F и на шину данных из ПЛИС к микроконтроллеру будет подключена 16-ти битная шина данных SRAM, верхний или нижний байт в зависимости от состояния входа **RS**.

Read-only. Switch data bus registers on the data bus SRAM memory for reading. No data write in this register can not. Be necessary to send the address 0x0F and data bus of the CPLD will be connected to the MCU 16-bit data bus of SRAM, the upper or lower byte as a function of input state **RS**.

Дополнение Appendix

Таблица значений регистров для установки различных видов синхронизации
Table registers values to set the various types of synchronization

Тип синхронизации Synchronization type	register or signal (bit) name	Значение register value
Analog Modes (LA_OR_OSC_TRIGG = 0)		
Analog Rise	Trigger_UP[0:7]	0xFF
	Trigger_Down[0:7]	Trigger Level Value
	Sync_OUT_WIN	0
Analog Fall	Trigger_UP[0:7]	Trigger Level Value
	Trigger_Down[0:7]	0x00
	Sync_OUT_WIN	0
Analog IN Window	Trigger_UP[0:7]	trigger Height limit level
	Trigger_Down[0:7]	trigger Low limit level
	Sync_OUT_WIN	1
Analog OUT Window	Trigger_UP[0:7]	trigger Height limit level
	Trigger_Down[0:7]	trigger Low limit level
	Sync_OUT_WIN	0

Digital Modes (LA_OR_OSC_TRIGG = 1)			
Condition	Trigger_UP[0:7]	condition value	
	Trigger_Down[0:7]	dont care	
	LA_Mask_Cond[0:7]	bits mask, all used bits in 1, not used in 0	
	LA_Mask_Diff[0:7]	0x00	
	AND_OR_LA_TRIGG (InternalConfigPin[6])	0	
	Sync_OUT_WIN (InternalConfigPin[2])	1	
Different		0 → 1	1 → 0
	Trigger_UP[0:7]	dont care	
	Trigger_Down[0:7]	= (0x01 << bit num)	&= ~(0x01 << bit num)
	LA_Mask_Cond[0:7]	0x00	
	LA_Mask_Diff[0:7]	bits mask, all used bits in 1, not used in 0	
	AND_OR_LA_TRIGG InternalConfigPin[6]	1	1
	Sync_OUT_WIN InternalConfigPin[2]	1	1

Digital Modes (LA_OR_OSC_TRIGG = 1)			
Condition & Different		0 → 1	1 → 0
	Trigger_UP[0:7]	condition value	
	Trigger_Down[0:7]	= (0x01 << bit num)	&= ~(0x01 << bit num)
	LA_Mask_Cond[0:7]	bits mask, all used bits in 1, not used in 0	
	LA_Mask_Diff[0:7]	bits mask, all used bits in 1, not used in 0	
	AND_OR_LA_TRIGG (InternalConfigPin[6])	1	
	Sync_OUT_WIN (InternalConfigPin[2])	0	
Condition Different	Trigger_UP[0:7]	condition value	
	Trigger_Down[0:7]	= (0x01 << bit num)	&= ~(0x01 << bit num)
	LA_Mask_Cond[0:7]	bits mask, all used bits in 1, not used in 0	
	LA_Mask_Diff[0:7]	bits mask, all used bits in 1, not used in 0	
	AND_OR_LA_TRIGG (InternalConfigPin[6])	0	
	Sync_OUT_WIN (InternalConfigPin[2])	0	