



SAPIENZA
UNIVERSITÀ DI ROMA

ESERCITAZIONE 6: ELETTRONICA DIGITALE, PORTE LOGICHE

G. Galbato Muscio

L. Gravina

L. Graziotto

27 Novembre 2018

GRUPPO 11

Abstract

Si studiano i livelli di commutazione delle porte logiche TTL dell'integrato 74LS00. Si realizza un circuito XOR con porte NAND e un multiplexer a due ingressi. Si costruisce un flip-flop set-reset con porte NAND.

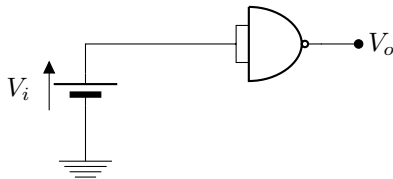
Indice

1	Livello di commutazione delle porte logiche TTL	2
2	Circuito XOR con porte NAND	2
3	Multiplexer a due ingressi	3
4	Flip-Flop Set-Reset	3
5	Appendice	5

1 Livello di commutazione delle porte logiche TTL

Si utilizzerà per tutta l'esperienza l'integrato 74LS00, che è alimentato con una tensione di 5 V, mentre il GND è posto a massa, comune ai generatori di tensione e di segnali e all'oscilloscopio. Per visualizzare rapidamente il livello delle uscite saranno utilizzati dei LED, protetti da resistenze dell'ordine di $500\ \Omega$ verso massa. Inoltre, per realizzare gli ingressi statici si utilizza una resistenza di pull-up di $(111 \pm 111)\text{ k}\Omega$ connessa a 5 V.

Si studia il livello di commutazione di una porta NOT realizzata utilizzando una porta NAND dell'integrato, mandando ad entrambi gli ingressi la stessa tensione V_i , compresa tra 0 e 5 V mediante un alimentatore diverso da quello utilizzato per alimentare l'integrato. Al variare della tensione V_i si studia il conseguente andamento della tensione di uscita V_o , evidenziando i valori per cui si ha il passaggio dal livello logico 0 a 1 o viceversa. Il circuito è il seguente.



Si riportano in Tabella 1 i punti sperimentali individuati, e nel grafico di Figura ?? l'andamento della tensione in uscita in funzione della tensione di ingresso. Si osserva che il valore logico 1 dell'uscita corrisponde ad una tensione di $(111 \pm 111)\text{ V}$, ottenuta dalla media dei primi 111 punti, per i quali V_o è costante all'aumentare di V_i , prima di raggiungere la regione in cui si ha la rapida decrescita. Allo stesso modo, prendendo la media degli ultimi 111 punti, successivi alla regione di decrescita e nella zona di costanza di V_o , si ottiene per il valore logico 0 una tensione corrispondente di $(111 \pm 111)\text{ V}$.

I risultati ottenuti sono compatibili con le definizioni dello standard logico TTL, per le quali si ha un valore di 0 logico (nel caso analiz-

zato corrispondente all'1 in uscita dalla porta NOT) per una tensione di 0.2 V, e un valore di 1 logico (nel caso analizzato corrispondente allo 0 in uscita dalla porta NOT) per una tensione di 5 V.

Tabella 1: Misure per il livello di commutazione delle porte logiche TTL

V_i [V]	V_o [V]
-----------	-----------

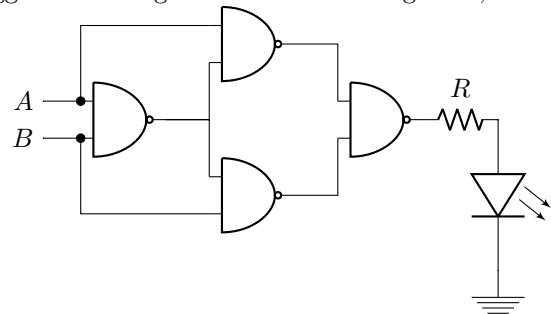
Per controllare se la transizione dipende dal valore di partenza, si costruiscono due cicli di *isteresi*, ovvero si pone $V_i = 0\text{ V}$, la si aumenta fino a 5 V e si ritorna a 0 V; quindi si esegue il procedimento inverso. Si riporta in Figura ?? il grafico per i due differenti cicli.

2 Circuito XOR con porte NAND

Si costruisce un circuito XOR utilizzando le quattro porte NAND dell'integrato, realizzando la funzione logica:

$$Q = \overline{A(\overline{AB})} \cdot \overline{B(\overline{AB})} \\ = (\overline{AB}) + (\overline{AB}),$$

dove l'uguaglianza si ottiene applicando le Leggi di De Morgan. Il circuito è il seguente,



dove la resistenza scelta per proteggere il diodo vale $R = (111 \pm 111)\text{ k}\Omega$, e non ha influenza rilevabile sul comportamento del circuito.

Si verifica che il circuito si comporti come previsto dalla tavola della verità dello XOR applicando i valori logici 0 e 1 mediante livelli in

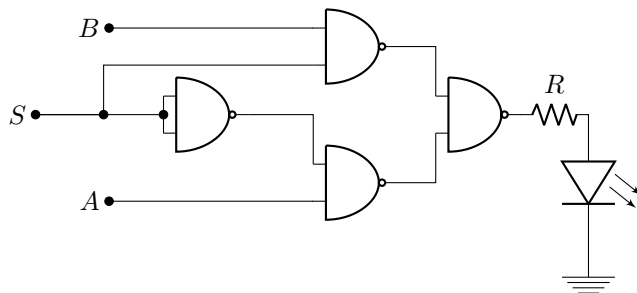
¹Si usa infatti il LED solo come verifica rapida del funzionamento del circuito, ma per compiere le misure ci si rivolge ad uno strumento.

continua (con gli ingressi statici muniti di resistenza di pull-out descritti prima), e misurando con il multimetro la tensione in uscita¹.

Si pone quindi l'ingresso A a 0 logico e si invia all'ingresso B un'onda quadra TTL (con valore di tensione variabile tra 0 e 5 V) mediante il generatore di segnali. Si osserva al canale CH1 dell'oscilloscopio l'ingresso B e al CH2 l'uscita del circuito. Si riporta in Figura ?? uno screenshot dell'oscilloscopio per la configurazione descritta, in cui è possibile osservare come l'uscita riproduca l'onda quadra in ingresso. Ponendo invece l'ingresso A a livello 1 logico, si osserva (si veda la Figura ??) invece come l'onda quadra in uscita sia sfasata di un semiperiodo.

3 Multiplexer a due ingressi

Si realizza un circuito multiplexer a due ingressi, come da schema seguente.



Il circuito implementa la funzione logica ridotta ai minimi termini

$$Q = \bar{S}A + SB.$$

L'ingresso di selezione S permette di scegliere quale tra i livelli logici degli ingressi A e B riportare in uscita, in particolare, se $S = 0$ l'uscita sarà $Q = A$, al contrario, se $S = 1$, l'uscita sarà $Q = B$.

Si connette il canale CH1 dell'oscilloscopio all'ingresso A e il canale CH2 all'uscita Q ; si pone l'ingresso di selezione $S = 0$ e si invia all'ingresso A un'onda quadra TTL mediante il generatore di segnali; l'ingresso B è posto a 0 logico. Si riporta in Figura ?? uno screenshot dell'oscilloscopio per questa configurazione, dal quale si evince che l'uscita riproduce l'ingresso.

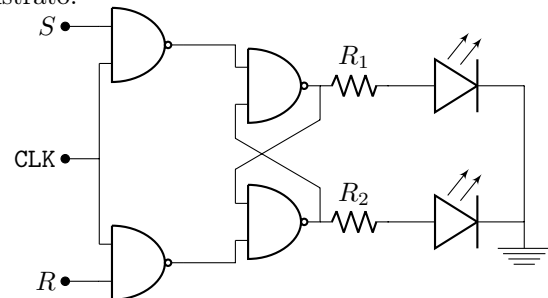
Si ripete l'esperimento ponendo $S = 1$, $A = 0$ e inviando all'ingresso B un'onda quadra TTL. In questo caso il canale CH1 dell'oscilloscopio è collegato all'ingresso B . Si riporta in Figura ?? l'istantanea dell'oscilloscopio per questa configurazione; si osserva anche qui la sovrapposizione tra segnale in ingresso e in uscita.

4 Flip-Flop Set-Reset

Si realizza un *flip-flop* S-R utilizzando tutte e 4 le porte NAND dell'integrato. La tavola della verità è la seguente

S_n	R_n	Q_{n+1}
0	0	Q_n
1	0	1
0	1	0
1	1	?

e viene implementata dal circuito sotto illustrato.



Si utilizzando dei LED per verificare il corretto funzionamento del circuito, protetti verso massa dalle resistenze $R_1 = (111 \pm 111) \text{ k}\Omega$ e $R_2 = (111 \pm 111) \text{ k}\Omega$. Inizialmente si fornisce un impulso di clock manuale all'ingresso CLK mediante il generatore di tensione, utilizzando un ingresso statico con resistenza di pull-up e interruttore verso terra, come già descritto precedentemente. Si controlla dunque che il circuito si comporti come previsto, impostando alternativamente $S = 1, R = 0$ o $S = 0, R = 1$, azionando il clock e osservando il valore logico dell'uscita mediante un multimetro. Si riportano in Tabella 2 i valori di tensione e i corrispondenti valori logici per le diverse configurazioni, ordinati temporalmente (secondo l'indice n).

Tabella 2: Misure per il controllo del flip-flop

n	V_S [V]	V_R [V]	V_Q [V]
---	-----------	-----------	-----------

Si connette quindi il segnale di set S al CH1 dell'oscilloscopio e l'uscita Q al canale CH2. Si pone $R = 0$, il clock $CLK = 1$ e si invia al-

l'ingresso S un'onda quadra TTL. Si riporta in Figura ?? un'istantanea dell'oscilloscopio per questa configurazione, e si osserva che l'uscita è costante e pari al livello logico 1 in quanto i settaggi successivi al primo non influiscono sullo stato del flip-flop, come previsto dalla tavola della verità.

5 Appendice