



SAPIENZA
UNIVERSITÀ DI ROMA

ESERCITAZIONE 6: ELETTRONICA DIGITALE, PORTE LOGICHE

G. Galbato Muscio

L. Gravina

L. Graziotto

27 Novembre 2018

GRUPPO 11

Abstract

Si studiano i livelli di commutazione delle porte logiche TTL dell'integrato SN7400. Si realizza un circuito XOR con porte NAND e un multiplexer a due ingressi. Si costruisce un flip-flop set-reset con porte NAND.

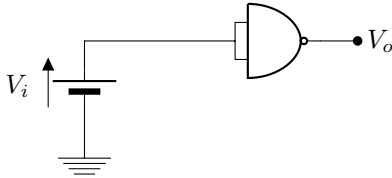
Indice

1	Livello di commutazione delle porte logiche TTL	2
2	Circuito XOR con porte NAND	3
3	Multiplexer a due ingressi	4
4	Flip-Flop Set-Reset	6
5	Appendice	8

1 Livello di commutazione delle porte logiche TTL

Si utilizzerà per tutta l'esperienza l'integrato SN7400, che è alimentato con una tensione di 5 V, mentre il GND è posto a massa, comune ai generatori di tensione e di segnali e all'oscilloscopio. Per visualizzare rapidamente il livello delle uscite saranno utilizzati dei LED, protetti da resistenze dell'ordine di $500\ \Omega$ verso massa. Inoltre, per realizzare gli ingressi statici si utilizza una resistenza di pull-up di $(0.997 \pm 0.005)\ \text{k}\Omega$ connessa a 5 V: questa resistenza è fondamentale sia per poter usare un interruttore verso massa collegato all'ingresso e dunque velocizzare la commutazione degli stati logici (senza questa resistenza ad interruttore chiuso si creerebbe un corto circuito del generatore verso massa), sia perché in sua assenza il circuito costruito con l'integrato può perturbare in maniera non facilmente prevedibile il segnale in ingresso¹.

Si studia il livello di commutazione di una porta NOT realizzata utilizzando una porta NAND dell'integrato, mandando ad entrambi gli ingressi la stessa tensione V_i , compresa tra 0 e 5 V mediante un alimentatore diverso da quello utilizzato per alimentare l'integrato. Al variare della tensione V_i si studia il conseguente andamento della tensione di uscita V_o , evidenziando i valori per cui si ha il passaggio dal livello logico 0 a 1 o viceversa. Il circuito è il seguente.



Si riportano in Tabella 4, in Appendice, i punti sperimentali individuati, e nel grafico di Figura 1 l'andamento della tensione in uscita in funzione della tensione di ingresso: il grafico è in scala semilog per poter apprezzare meglio la curva di discesa per valori vicini allo zero del-

la tensione in ingresso. Si osserva che il valore logico 1 dell'uscita corrisponde ad una tensione di $(3.71 \pm 0.06)\ \text{V}$, ottenuta dalla media dei primi 8 punti, per i quali V_o è circa costante all'aumentare di V_i , prima di raggiungere la regione in cui si ha la rapida decrescita. Allo stesso modo, prendendo la media degli ultimi 10 punti, successivi alla regione di decrescita e nella zona di costanza di V_o , si ottiene per il valore logico 0 una tensione corrispondente di $(58.8 \pm 0.3)\ \text{mV}$.

Si confrontano i risultati ottenuti con le definizioni dello standard logico TTL, per le quali si ha un valore di 0 logico (nel caso analizzato corrispondente all'1 in uscita dalla porta NOT) per una tensione di 0.2 V, e un valore di 1 logico (nel caso analizzato corrispondente allo 0 in uscita dalla porta NOT) per una tensione di 5 V. I valori misurati risultano lontani dallo standard TTL ideale, ma risultano invece compatibili con i valori riportati sul *datasheet* dell'integrato [1].

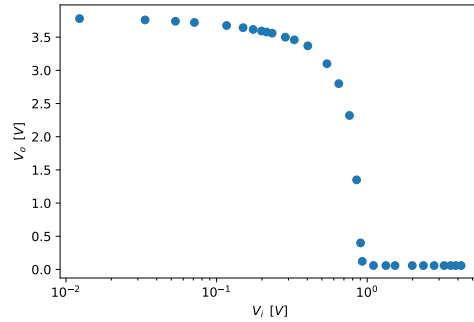


Figura 1: Andamento di V_o in funzione di V_i per il NOT costruito con la porta NAND, scala semilog

Per controllare se la transizione dipende dal valore di partenza, si costruisce un ciclo di *isteresi*, ovvero si pone $V_i = 0\ \text{V}$, la si aumenta fino a 5 V e si ritorna a 0 V. Si riporta in Figura 2 il grafico per il ciclo.

¹Ad esempio, usando il generatore per inviare un'ondata quadra in ingresso ad un multiplexer, senza la resistenza di pull-up il segnale generato verrebbe distorto fortemente, come verificabile sperimentalmente.

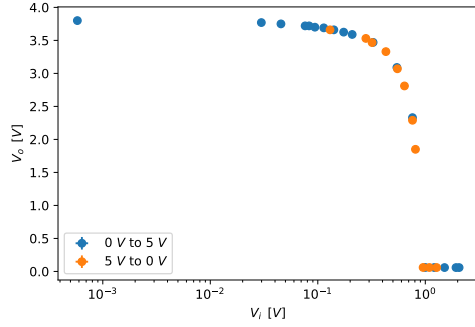


Figura 2: Cicli di *isteresi* per la verifica dei livelli di commutazione della logica TTL, scala semilog

Risulta evidente che le porte NAND dell'integrato non hanno memoria: il ciclo di isteresi risulta completamente analogo all'andamento riportato in Figura 3, inoltre non si riscontrano differenze tra le misure a tensione crescente e quelle a tensione decrescente.

Per vedere la curva caratteristica della porta NAND integralmente e in maniera più immediata, si può mandare al suo ingresso un'onda triangolare che oscilli tra 0 e 5 V e visualizzare il segnale d'uscita su un oscilloscopio, come riportato in Figura 3. Questa curva risulta compatibile con le misure fatte, che per chiarezza del confronto sono riportate fino alla ventiduesima in scala lineare in Figura 4.

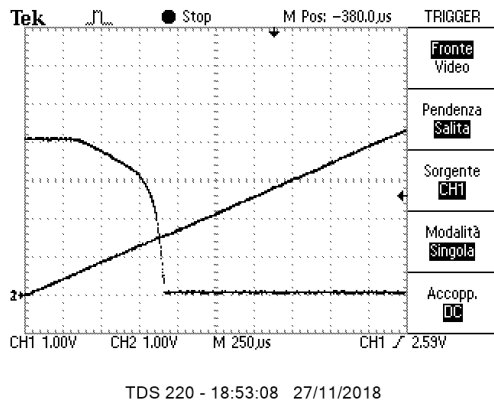


Figura 3: Istantanea dell'oscilloscopio per visualizzare la curva caratteristica di un circuito XOR mandando in ingresso un'onda triangolare

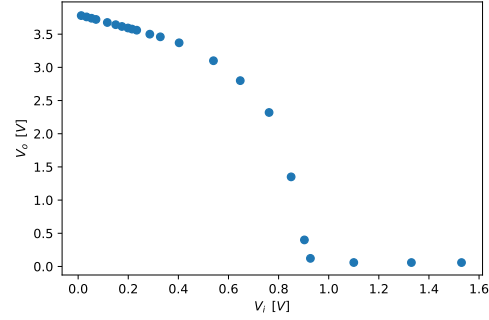


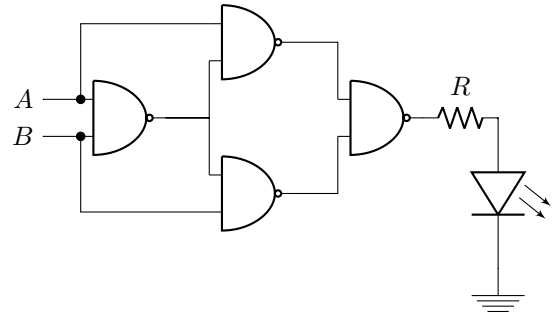
Figura 4: Prime ventidue misure dell'andamento di V_o in funzione di V_i per il NOT costruito con la porta NAND, scala lineare

2 Circuito XOR con porte NAND

Si costruisce un circuito XOR utilizzando le quattro porte NAND dell'integrato, realizzando la funzione logica:

$$Q = \overline{\overline{A}(\overline{A}B)} \cdot \overline{\overline{B}(\overline{A}B)} \\ = (\overline{A}B) + (A\overline{B}),$$

dove l'uguaglianza si ottiene applicando le Leggi di De Morgan. Il circuito è il seguente,



dove la resistenza scelta per proteggere il diodo vale $R = (478 \pm 2) \Omega$, e non ha influenza rilevabile sul comportamento del circuito.

Si verifica che il circuito si comporti come previsto dalla tavola della verità dello XOR applicando i valori logici 0 e 1 mediante livelli in continua (con gli ingressi statici muniti di resistenza di pull-out descritti prima), e misuran-

do con il multimetro la tensione in uscita². Si riportano in Tabella 1 i valori di tensione relativi ai diversi livelli logici. Gli ingressi A e B vengono alimentati con lo stesso generatore di tensione, impostato a $(5.01 \pm 0.03) \text{ V}$ per il livello logico 1; per metterli a livello 0 si utilizza la messa a terra dell'ingresso di pull-up.

Tabella 1: Misure per il circuito XOR

A	B	$V_Q [\text{mV}]$ ($\pm 0.5\%$)
0	0	0.0562
0	1	3.21
1	0	3.21
1	1	0.0563

Si pone quindi l'ingresso A a 0 logico e si invia all'ingresso B un'onda quadra TTL (con valore di tensione variabile tra 0 e 5 V) mediante il generatore di segnali. Si osserva al canale CH1 dell'oscilloscopio l'ingresso B e al CH2 l'uscita del circuito. Si riporta in Figura 5 uno screenshot dell'oscilloscopio per la configurazione descritta, in cui è possibile osservare come l'uscita riproduca l'onda quadra in ingresso. Ponendo invece l'ingresso A a livello 1 logico, si osserva (si veda la Figura 6) invece come l'onda quadra in uscita sia sfasata di un semiperiodo.

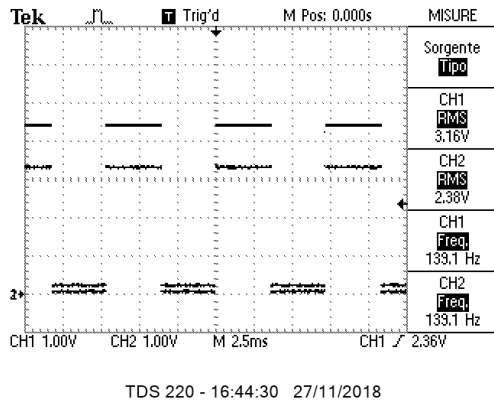


Figura 5: Istantanea dell'oscilloscopio per il circuito XOR, ingresso $A = 0$

²Si usa infatti il LED solo come verifica rapida del funzionamento del circuito, ma per compiere le misure ci si rivolge ad uno strumento.

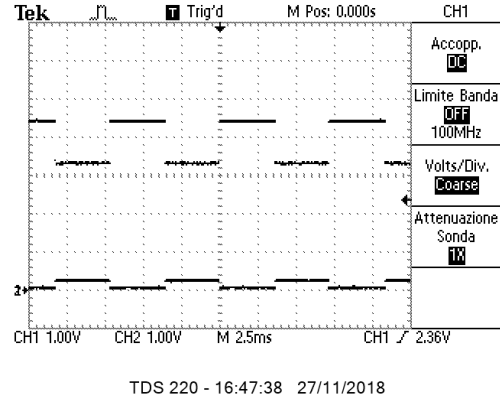
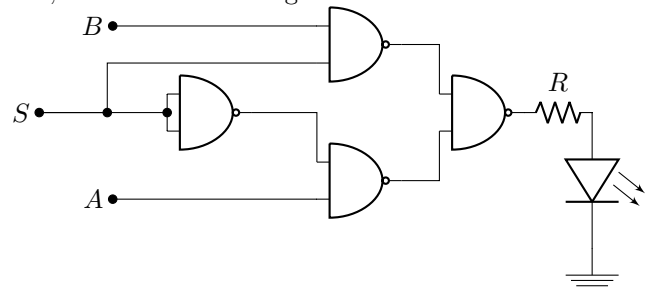


Figura 6: Istantanea dell'oscilloscopio per il circuito XOR, ingresso $A = 1$

I segnali di ingresso e di uscita non si sovrappongono esattamente, ciò è dovuto al fatto che i livelli logici effettivi dell'integrato, misurati nella sezione precedente, differiscono dai valori di tensione tra cui oscilla l'onda quadra in ingresso.

3 Multiplexer a due ingressi

Si realizza un circuito multiplexer a due ingressi, come da schema seguente.



Il circuito implementa la funzione logica ridotta ai minimi termini

$$Q = \bar{S}A + SB.$$

L'ingresso di selezione S permette di scegliere quale tra i livelli logici degli ingressi A e B riportare in uscita, in particolare, se $S = 0$ l'uscita sarà $Q = A$, al contrario, se $S = 1$, l'uscita

sarà $Q = B$. Si riportano in Tabella 2 i valori di tensione dell'uscita in corrispondenza delle diverse combinazioni dei livelli logici.

S	A	B	V_Q [mV] ($\pm 0.5\%$)
0	0	0	56.6
0	0	1	56.2
0	1	0	4.07×10^3
0	1	1	4.07×10^3
1	0	0	56.85
1	0	1	4.07×10^3
1	1	0	56.6
1	1	1	4.07×10^3

Tabella 2: Misure per il multiplexer

Si connette il canale CH1 dell'oscilloscopio all'ingresso A e il canale CH2 all'uscita Q ; si pone l'ingresso di selezione $S = 0$ e si invia all'ingresso A un'onda quadra TTL mediante il generatore di segnali; l'ingresso B è posto a 0 logico. Si riporta in Figura 7 uno screenshot dell'oscilloscopio per questa configurazione, dal quale si evince che l'uscita riproduce l'ingresso.

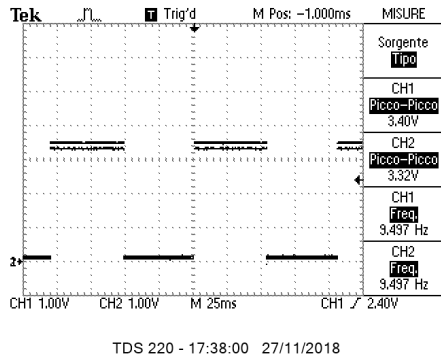


Figura 7: Istantanea dell'oscilloscopio per il multiplexer, $S = 0$

Si ripete l'esperimento ponendo $S = 1$, $A = 0$ e inviando all'ingresso B un'onda quadra TTL. In questo caso il canale CH1 dell'oscilloscopio è collegato all'ingresso B . Si riporta in Figura 8 l'istantanea dell'oscilloscopio per questa configurazione; si osserva anche qui la sovrapposizione tra segnale in ingresso e in uscita.

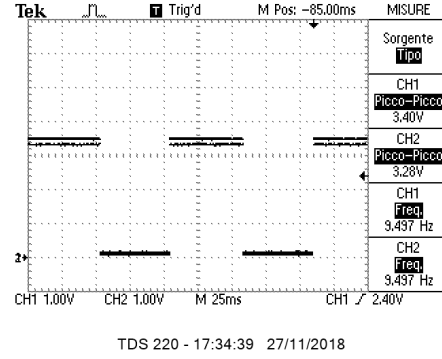


Figura 8: Istantanea dell'oscilloscopio per il multiplexer, $S = 1$

Un'ulteriore verifica del circuito costruito può essere fatta ponendo l'ingresso A a 0 logico e inviando sull'ingresso S e sull'ingresso B due onde quadre di frequenza rispettivamente f_S e f_B , dove $f_S \ll f_B$. Un'istantanea dell'oscilloscopio in questa configurazione è riportata in Figura 9. Ciò che si vede è che l'onda quadra su S fa commutare l'uscita tra il valore di A , che è nullo, e il valore di B , che è a sua volta un'onda quadra ma di frequenza più elevata rispetto a quella su S .

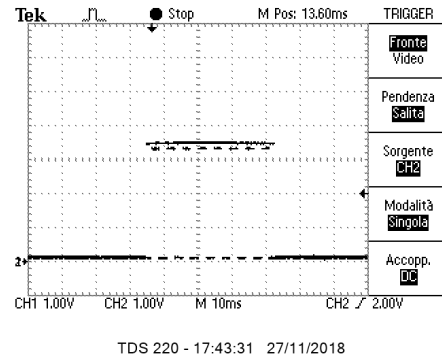


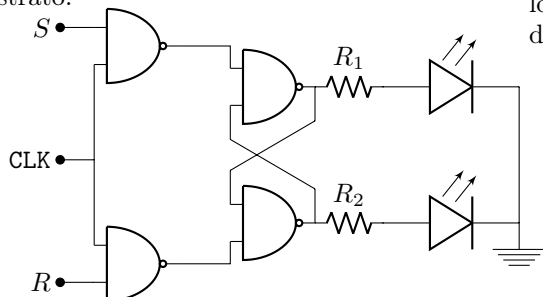
Figura 9: Istantanea dell'oscilloscopio per il multiplexer, $A = 0$, S e B onde quadre

4 Flip-Flop Set-Reset

Si realizza un *flip-flop* S-R utilizzando tutte e 4 le porte NAND dell'integrato. La tavola della verità è la seguente

S_n	R_n	Q_{n+1}
0	0	Q_n
1	0	1
0	1	0
1	1	?

e viene implementata dal circuito sotto illustrato.



Si utilizzano dei LED per verificare il corretto funzionamento del circuito, protetti verso massa da resistenze di ordine $500\ \Omega$. Inizialmente si fornisce un impulso di clock manuale all'ingresso CLK mediante il generatore di tensione, utilizzando un ingresso statico con resistenza di pull-up e interruttore verso terra, come già descritto precedentemente. Si controlla dunque che il circuito si comporti come previsto, impostando alternativamente $S = 1, R = 0$ o $S = 0, R = 1$, azionando il clock e osservando il valore logico dell'uscita mediante un multimetro. Si riportano in Tabella 3 i valori di tensione e i corrispondenti valori logici per le diverse configurazioni, ordinati temporalmente (secondo l'indice n).

Tabella 3: Misure per il controllo del flip-flop

n	V_S [V]	V_R [V]	V_Q [V]
1	2.3×10^{-3}	1.26×10^{-3}	67.5×10^{-3}
2	5.0	1.70×10^{-3}	3.21
3	2.0×10^{-3}	5.0	67.1×10^{-3}

Le misure servono per evidenziare la memoria del circuito: quando entrambi gli ingressi sono sullo zero logico la misura di output dipende dalla storia precedente, ossia dal valore

di output prima che gli ingressi fossero messi a zero.

Si connette quindi il segnale di set S al CH1 dell'oscilloscopio e l'uscita Q al canale CH2. Si pone $R = 0$, il clock $CLK = 1$ e si invia all'ingresso S un'onda quadra TTL. Si riporta in Figura 10 un'istantanea dell'oscilloscopio per questa configurazione, e si osserva che l'uscita è costante e pari al livello logico 1 in quanto i settaggi successivi al primo non influiscono sullo stato del flip-flop, come previsto dalla tavola della verità.

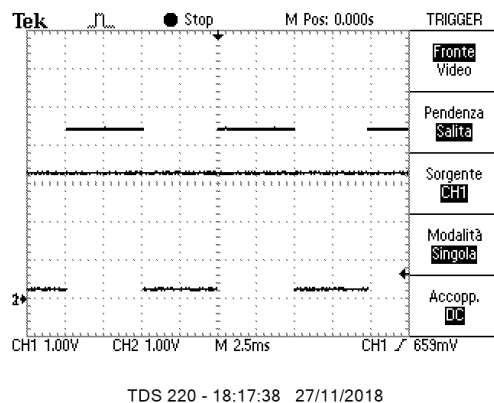
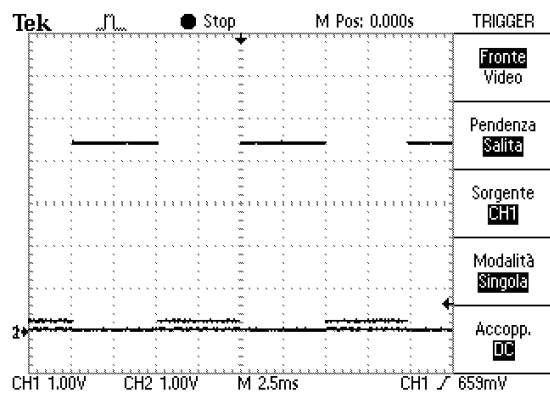


Figura 10: Istantanea dell'oscilloscopio per il flip-flop, onda quadra TTL su S e $CLK = 1$

Analogamente ponendo $S = 0$ e inviando all'ingresso R un'onda quadra TTL si osserva un'uscita costante sullo zero logico, come osservabile in Figura 11.



TDS 220 - 18:18:56 27/11/2018

Figura 11: Istantanea dell'oscilloscopio per il flip-flop, onda quadra TTL su R e $CLK = 1$

Riferimenti bibliografici

- [1] T. INSTRUMENTS, "Sn74000 datasheet." <https://www.unicornelectronics.com/ftp/Data%20Sheets/7400.pdf>, October 2003. Consultato il 27/11/2018.

5 Appendice

Tabella 4: Misure per il livello di commutazione delle porte logiche TTL

V_i [V]	V_o [V]
0.012	3.780
0.034	3.760
0.053	3.740
0.071	3.722
0.116	3.676
0.150	3.643
0.175	3.616
0.199	3.593
0.215	3.577
0.234	3.560
0.286	3.500
0.328	3.460
0.403	3.370
0.540	3.100
0.647	2.800
0.762	2.320
0.850	1.350
0.903	0.400
0.927	0.122
1.100	0.059
1.330	0.059
1.530	0.059
1.990	0.059
2.360	0.059
2.780	0.059
3.240	0.059
3.580	0.059
3.860	0.059
4.200	0.059