



SAPIENZA
UNIVERSITÀ DI ROMA

ESERCITAZIONE 6: ELETTRONICA DIGITALE, PORTE LOGICHE

G. Galbato Muscio

L. Gravina

L. Graziotto

27 Novembre 2018

| |
|-----------|
| GRUPPO 11 |
|-----------|

Abstract

Si studiano i livelli di commutazione delle porte logiche TTL dell'integrato 74LS00. Si realizza un circuito XOR con porte NAND e un multiplexer a due ingressi. Si costruisce un flip-flop set-reset con porte NAND.

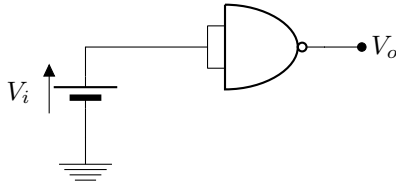
Indice

| | | |
|----------|--|----------|
| 1 | Livello di commutazione delle porte logiche TTL | 2 |
| 2 | Appendice | 3 |

1 Livello di commutazione delle porte logiche TTL

Si utilizzerà per tutta l'esperienza l'integrato 74LS00, che è alimentato con una tensione di 5 V, mentre il GND è posto a massa, comune ai generatori di tensione e di segnali e all'oscilloscopio. Per visualizzare rapidamente il livello delle uscite saranno utilizzati dei LED, protetti da resistenze dell'ordine di $500\ \Omega$ verso massa. Inoltre, per realizzare gli ingressi statici si utilizza una resistenza di pull-up di $(111 \pm 111)\text{ k}\Omega$ connessa a 5 V.

Si studia il livello di commutazione di una porta NOT realizzata utilizzando una porta NAND dell'integrato, mandando ad entrambi gli ingressi la stessa tensione V_i , compresa tra 0 e 5 V mediante un alimentatore diverso da quello utilizzato per alimentare l'integrato. Al variare della tensione V_i si studia il conseguente andamento della tensione di uscita V_o , evidenziando i valori per cui si ha il passaggio dal livello logico 0 a 1 o viceversa. Il circuito è il seguente.



Si riportano in Tabella 1 i punti sperimenta-

li individuati, e nel grafico di Figura ?? l'andamento della tensione in uscita in funzione della tensione di ingresso. Si osserva che il valore logico 1 dell'uscita corrisponde ad una tensione di $(111 \pm 111)\text{ V}$, ottenuta dalla media dei primi 111 punti, per i quali V_o è costante all'aumentare di V_i , prima di raggiungere la regione in cui si ha la rapida decrescita. Allo stesso modo, prendendo la media degli ultimi 111 punti, successivi alla regione di decrescita e nella zona di costanza di V_o , si ottiene per il valore logico 0 una tensione corrispondente di $(111 \pm 111)\text{ V}$.

I risultati ottenuti sono compatibili con le definizioni dello standard logico TTL, per le quali si ha un valore di 0 logico (nel caso analizzato corrispondente all'1 in uscita dalla porta NOT) per una tensione di 0.2 V, e un valore di 1 logico (nel caso analizzato corrispondente allo 0 in uscita dalla porta NOT) per una tensione di 5 V.

Tabella 1: Misure per il livello di commutazione delle porte logiche TTL

| V_i [V] | V_o [V] |
|-----------|-----------|
|-----------|-----------|

Per controllare se la transizione dipende dal valore di partenza, si costruiscono due cicli di *isteresi*, ovvero si pone $V_i = 0\text{ V}$, la si aumenta fino a 5 V e si ritorna a 0 V; quindi si esegue il procedimento inverso. Si riporta in Figura ?? il grafico per i due differenti cicli.

2 Appendice