



SAPIENZA  
UNIVERSITÀ DI ROMA

## ESERCITAZIONE 7: COSTRUZIONE DI UN ADC

G. Galbato Muscio

L. Gravina

L. Graziotto

4 Dicembre 2018

GRUPPO 11
-----------

---

### Abstract

Si realizza un *analog to digital converter*, utilizzando un contatore a 4 bit realizzato con l'integrato SN74LS93N e costruendo un DAC a pesiera a 4 ingressi e un comparatore, con l'amplificatore operazionale LM358N, e un adattatore di livello logico, con l'integrato 74LS00.

## Indice

<b>1</b>	<b>Introduzione</b>	<b>2</b>
<b>2</b>	<b>Contatore a 4 bit</b>	<b>2</b>
<b>3</b>	<b>DAC a 4 bit</b>	<b>3</b>
<b>4</b>	<b>Comparatore analogico</b>	<b>6</b>
<b>5</b>	<b>Adattamento TTL e stop del clock</b>	<b>6</b>
<b>6</b>	<b>Circuito completo</b>	<b>6</b>

# 1 Introduzione

Si realizza un convertitore analogico-digitale (ADC) a 4 bit, ossia un dispositivo che converte una tensione di ingresso  $V_x$  in un numero binario a 4 bit ad essa proporzionale. Si riporta in Figura 1 il circuito completo, nel quale è possibile distinguere un contatore a 4 bit (realizzato con l'integrato SN74LS93N), un comparatore d'ingresso realizzato con un op-amp, attraverso il quale verrà fornita al circuito la tensione  $V_x$ , un convertitore digitale-analogico (DAC) a pesiera a 4 ingressi e un adattatore di livello logico.

La tensione da convertire,  $V_x$ , sarà negativa e tale che

$$V_{in}^{min} \leq V_x \leq 0$$

ed è ottenuta mediante un partitore costruito con un trimmer, collegato alla tensione di  $-15\text{ V}$  erogata dal generatore. La tensione minima  $V_{in}^{min}$  dipende dalla risoluzione dell'ADC, come sarà chiarito in seguito.

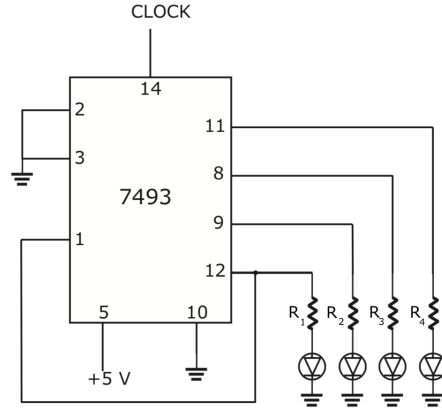
## 2 Contatore a 4 bit

Si realizza un contatore a 4 bit utilizzando l'integrato SN74LS93N; si riporta in Figura 2 il circuito corrispondente. Il componente è alimentato con una tensione continua di  $5\text{ V}$  erogata da uno dei due generatori, e si collegano entrambi gli ingressi di RESET, mediante un interruttore, alternativamente a massa o a  $5\text{ V}$ , per azzerare manualmente il contatore<sup>1</sup>. L'interruttore è realizzato collegando l'alimentatore a  $5\text{ V}$  agli ingressi di reset attraverso una resistenza di *pull-up* dell'ordine del  $\text{k}\Omega$ , quindi per portare gli ingressi a livello logico basso li si collega direttamente a massa<sup>2</sup>.

<sup>1</sup>Questo collegamento è visibile nella figura del circuito completo (Figura 1), non nella Figura 2.

<sup>2</sup>La resistenza di pull-up serve ad evitare di cortocircuitare l'alimentatore.

Figura 2: Contatore a 4 bit



Si connette inoltre il pin 1 al pin 12 in modo da fornire al secondo flip-flop interno all'integrato il segnale in uscita dal primo flip-flop come ingresso di clock. In questo modo, il contatore è effettivamente a 4 bit invece che a 3.

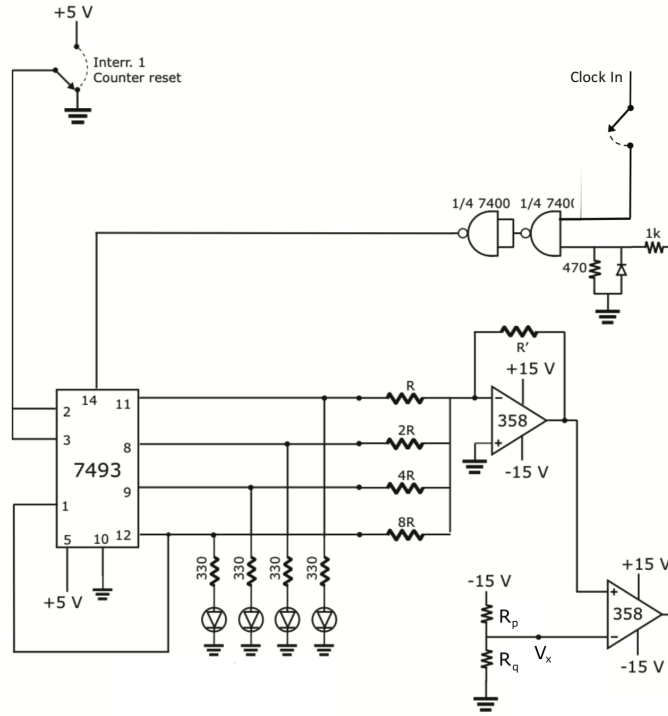
Alle uscite vengono collegati, protetti da resistenze dell'ordine dei  $500\ \Omega$ , dei led, al fine di verificare il corretto funzionamento del dispositivo. Essi sono infatti ordinati dall'output relativo al bit più significativo (corrispondente alla resistenza  $R_4$ ) a quello relativo al bit meno significativo (corrispondente alla resistenza  $R_1$ ), e la loro progressiva e ordinata accensione sarà indice di funzionamento. Si invia dunque all'ingresso di CLOCK un'onda quadra TTL con frequenza nell'ordine degli Hertz<sup>3</sup> mediante il generatore di segnali: si osserva che, come previsto, i LED si accendono in successione per formare la sequenza di numeri da 0 a 15.

Empiricamente si è visto che risulta problematico produrre un segnale manuale di clock a causa della non idealità dell'interruttore: ad un singolo segnale manuale corrispondevano infatti molteplici segnali che raggiungevano il contatore.

Si misurano i livelli di tensione in uscita al contatore mediante il multimetro: si resetta il contatore a 0000 e si misurano le tensioni del-

<sup>3</sup>Una frequenza così bassa è necessaria per poter apprezzare la sequenza di accensione dei led.

Figura 1: Circuito completo dell'ADC



le uscite; quindi, arrestando opportunamente l'onda quadra in ingresso di **CLOCK**, lo si porta a 1111 e si ripete la misura. Si riportano in Tabella 1 le misure di tensione per i livelli logici alto e basso per i quattro output. Si vede che i valori di tensione non corrispondono esattamente a quelli della logica TTL, sono invece compatibili con i valori riportati sul datasheet dell'integrato.

Tabella 1: Misure di tensione sul contatore

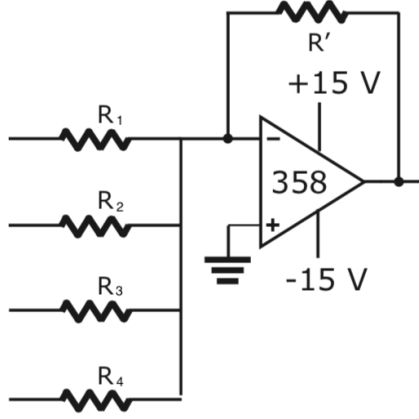
Output	$V$ a 0 logico [V] ( $\pm 0.5\%$ )	$V$ a 1 logico [V] ( $\pm 0.5\%$ )
$Q_0$	0.1281	3.22
$Q_1$	0.1795	3.17
$Q_2$	0.190	3.21
$Q_3$	0.1432	3.33

### 3 DAC a 4 bit

Si costruisce un convertitore digitale-analogico (DAC) invertente a pesiera, utilizzando l'amplificatore operazionale LM358N, alimentato con tensione di  $\pm 15$  V, erogata dal generatore. Si scelgono le resistenze in modo da avere un'uscita compresa nella massima dinamica possibile per l'operazionale, ricordando che in ingresso si fornirà un livello logico TTL, che, da quanto visto nella sezione precedente, avrà come valore di tensione corrispondente a 0 logico ( $0.16 \pm 0.03$ ) V, e tensione corrispondente a 1 logico ( $3.23 \pm 0.06$ ) V, ottenuti come valori medi delle quattro uscite. Inoltre i valori delle resistenze saranno scelti dell'ordine del k $\Omega$ , in modo da evitare eccessi di corrente.

Si riporta in Figura 3 il circuito realizzato.

Figura 3: Convertitore digitale-analogico



Per compiere la regolazione della rete più precisa possibile, si sceglie di utilizzare un resistore fisso in corrispondenza di  $R_1$ , e di utilizzare dei trimmer in luogo di  $R_2$ ,  $R_3$  e  $R_4$ , tali da soddisfare le seguenti relazioni

$$R_2 = 2R_1;$$

$$R_3 = 4R_1;$$

$$R_4 = 8R_1.$$

Ricordando che nel caso ideale (a cui si vuole tendere) la risposta dell'op-amp è

$$V_o = -\frac{R'}{8R} [V(Q_0) + 2V(Q_1) + 4V(Q_2) + 8V(Q_3)], \quad (1)$$

e che si ha, per quanto visto prima,  $V(Q_i) = (3.23 \pm 0.06) \text{ V} \equiv \bar{V}_{\text{in}}$ , si ottiene la relazione

$$V_{\text{out}} = -\frac{R'}{8R} \cdot 15 \cdot \bar{V}_{\text{in}}, \quad (2)$$

che invertita pone una condizione sui valori di  $R'$  ed  $R$  (e conseguentemente sui valori impostati sui trimmer), poiché la tensione di uscita massima dev'essere minore di 15 V, in modo da rimanere entro la dinamica dell'amplificatore invertente:

$$\frac{R'}{R} < \frac{8}{\bar{V}_{\text{in}}} = \frac{8}{3.23} = 2.48. \quad (3)$$

Per  $R'$  viene scelto provvisoriamente un valore inferiore al limite, ovvero  $R' = 1.6R$ . Pertanto si scelgono per le resistenze i valori seguenti, misurati con il multimetro:

- $R_1 = (1.000 \pm 0.005) \text{ k}\Omega$ ;
- $R_2 = (2.01 \pm 0.01) \text{ k}\Omega$ ;
- $R_3 = (4.00 \pm 0.02) \text{ k}\Omega$ ;
- $R_4 = (8.04 \pm 0.04) \text{ k}\Omega$ ;
- $R' = (1.62 \pm 0.04) \text{ k}\Omega$ .

Si verifica quindi che il circuito si comporta correttamente come un DAC, impostando su di uno specifico ingresso una tensione di  $(4.935 \pm 0.002) \text{ V}$ , collegando gli altri a massa e misurando le tensioni in uscita: i valori sperimentali confrontati con i valori teorici ottenuti da (1) sono riportati in Tabella 2, dove la prima colonna rappresenta la configurazione digitale corrispondente, indicata partendo dal bit più significativo.

Tabella 2: Misure sul DAC impostando manualmente gli ingressi

Configurazione	$V_{\text{out}} [\text{V}]$	$V_{\text{out}}^{\text{teo}} [\text{V}]$
1000	$-7.88 \pm 0.04$	$-7.99 \pm 0.08$
0100	$-3.97 \pm 0.02$	$-4.00 \pm 0.04$
0010	$-1.983 \pm 0.010$	$-2.00 \pm 0.02$
0001	$-0.988 \pm 0.005$	$-1.000 \pm 0.010$

I dati sperimentali risultano dunque in buon accordo con le aspettative teoriche, confermando il buon funzionamento del circuito costruito.

Si collegano quindi agli ingressi del DAC le uscite del contatore realizzato nella Sezione 2; quindi si fornisce al contatore un clock mediante un'onda quadra TTL di frequenza  $(595 \pm 17) \text{ Hz}$ . Si riporta in Figura 4 un'istantanea dell'oscilloscopio per questa configurazione: al canale CH1 vi è l'onda quadra di clock, mentre al CH2 l'uscita del DAC. Si osserva come essa sia decrescente, in quanto l'amplificatore è invertente, e presenti un andamento della tensione a gradini. In Figura 5 viene inoltre riportata un'istantanea della stessa configurazione ma con una scala temporale tale da poter vedere l'andamento periodico dell'uscita del DAC. In entrambi i grafici si vede che il contatore commuta il suo valore in corrispondenza della discesa del segnale di clock, coerente con il funzionamento dei flip-flop di tipo *edge triggered* che compongono il circuito integrato.

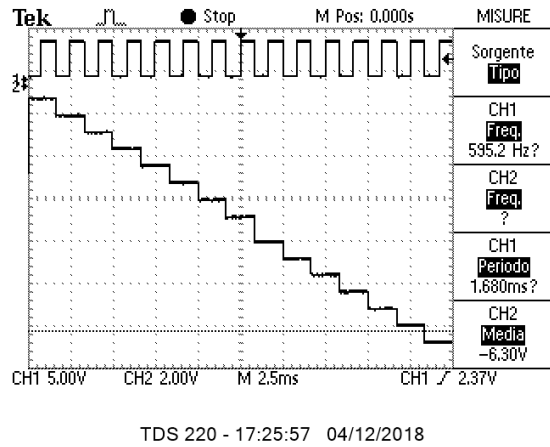


Figura 4: Istantanea dell'oscilloscopio per la tensione di uscita del DAC, singolo periodo

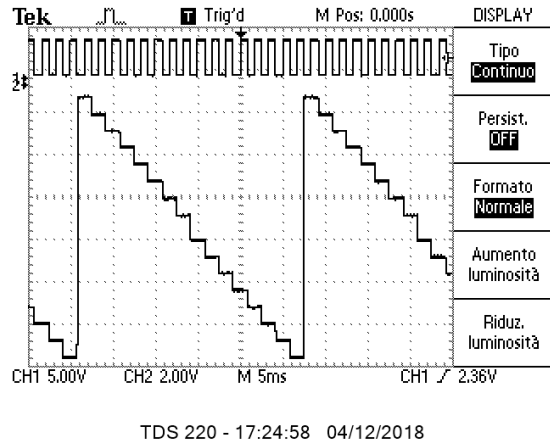


Figura 5: Istantanea dell'oscilloscopio per la tensione di uscita del DAC, si vede l'andamento periodico

Per misurare l'altezza di tali *gradini*, non potendo impostare manualmente il clock per le ragioni suddette, si utilizzano i cursori dell'oscilloscopio. Si riportano in Tabella 3 i punti sperimentali trovati, e la stima dell'altezza di ciascun gradino come differenza del valore misurato con quello precedente.

Tabella 3: Misure sul DAC collegato al contatore

Contatore	$V_{out}$ [V]	$\Delta V_{out}$ [mV]
0	-0.56	0
1	-1.36	-800
2	-2.16	-800
3	-2.92	-760
4	-3.74	-820
5	-4.52	-780
6	-5.32	-800
7	-6.16	-840
8	-7.32	-1160
9	-8.12	-800
10	-8.88	-760
11	-9.64	-760
12	-10.50	-860
13	-11.20	-700
14	-12.10	-900

Il valore medio del gradino è pari a  $\overline{\Delta V_{out}} = (-0.77 \pm 0.23)$  V, compatibile con il valore teorico pari a

$$\Delta V_{out}^{teo} = \frac{\overline{V_{in}}}{8} \frac{R'}{R} = -0.65 \text{ V}.$$

Si riporta inoltre in Figura 6 l'andamento della tensione in uscita dal DAC in funzione del numero dato dal contatore. Si osserva che essa ha pendenza negativa di  $(0.832 \pm 0.006)$  V, come previsto dalla modalità invertente, diversa da 1 in quanto il gradino non è unitario. Inoltre, la linearità dell'andamento è confermata dalla stima del chi-quadro pari a 11.47, contro un numero di gradi di libertà di 14.

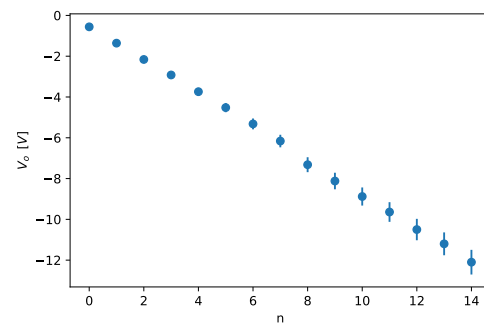
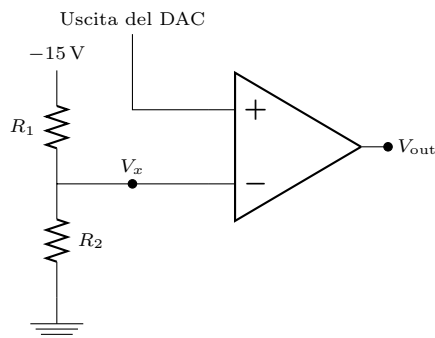


Figura 6: Tensione in uscita al DAC in funzione del numero in ingresso

## 4 Comparatore analogico

Si realizza un comparatore analogico utilizzando un amplificatore operazionale LM358N, alimentato con una tensione di  $\pm 15$  V; il circuito è il seguente.



La tensione  $V_x$  viene dunque prelevata da quella a  $-15$  V fornita dal generatore mediante un trimmer di resistenze  $R_2$  variata mediante un cacciavite:

$$V_x = -15 \frac{R_2}{R_1 + R_2}.$$

Si sceglie come resistenza  $R_1 = (9.92 \pm 0.04) \text{ k}\Omega$  e come trimmer  $R_2$  uno di valore massimo  $5 \text{ k}\Omega$ , in questo modo la tensione massima in ingresso al comparatore è pari a

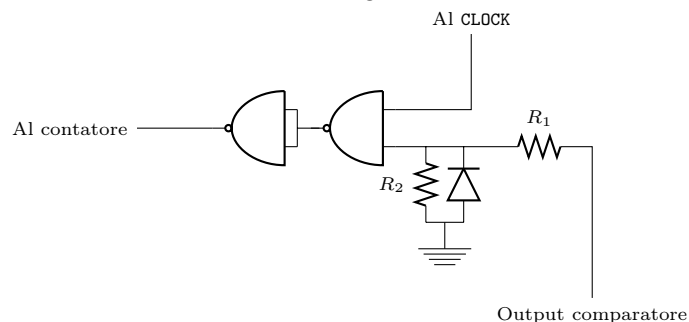
$$V_x^{\max} = -15 \frac{5}{15} = -5 \text{ V},$$

dunque si sceglie una resistenza  $R'$  sul DAC pari a  $(0.788 \pm 0.004) \Omega$  in modo da avere la massima risoluzione disponibile, in accordo con (3). Tale valore di  $R'$  non sarà più cambiato per il resto dell'esperienza.

Il funzionamento del comparatore prevede che fintanto che la tensione in uscita dal DAC è maggiore di  $V_x$  il contatore continui ad incrementare il conteggio; non appena la tensione in uscita dal DAC diventa minore di  $V_x$ , il contatore blocca il conteggio, mediante un altro circuito di stop che sarà analizzato nel seguito. È evidente che la massima tensione comparabile, e dunque convertibile in digitale,  $V_x$  è proprio pari alla massima tensione d'uscita del DAC.

## 5 Adattamento TTL e stop del clock

Si realizza mediante le porte NAND dell'integrato 74LS00 e un diodo 1N4148 l'adattatore di tensione TTL che permette inoltre lo stop del clock quando l'uscita del comparatore analogico si porta a  $-15$  V. Il circuito è il seguente.



I resistori hanno valori, misurati con il multimetro, di

- $R_1 = (1.0045 \pm 0.0050) \text{ k}\Omega$ ;
- $R_2 = (468 \pm 23) \Omega$ ,

e costituiscono un partitore che riporta a  $5$  V l'ingresso della porta NAND. Il diodo è inserito in modo da portarsi in conduzione quando l'uscita del comparatore commuta a  $-15$  V: in tale caso, il potenziale del catodo diventa di  $-0.2$  V, ossia  $0$  logico, perciò tramite le porte NAND, l'ingresso di clock del contatore si porterà anch'esso a  $0$  logico, bloccando il conteggio al numero corrispondente alla conversione digitale discreta della tensione analogica continua  $V_x$ .

## 6 Circuito completo

Si completa il circuito unendo le diverse componenti realizzate nelle sezioni precedenti.

Si connette quindi l'ingresso di **CLOCK** dell'adattatore TTL ad un segnale di onda quadra prelevato dall'uscita TTL del generatore di segnali, con frequenza nell'ordine dei kHz. Si azzerava manualmente il contatore e si imposta un valore di tensione  $V_x$  ( $-5 \text{ V} < V_x < 0 \text{ V}$ ) agendo sul trimmer del partitore; si pone l'interruttore di reset nuovamente a massa, in modo da

permettere il funzionamento del contatore, e si legge il numero corrispondente al valore digitale della tensione mediante i LED.

Variando i valori della resistenza del partitore, si può inviare in ingresso una tensione  $V_x$  differente: si riportano dunque in Tabella 4 i valori di  $V_x$ , le relative uscite digitali (indicate in base 10), le corrispondenti tensioni in uscita del DAC e i valori teorici di confronto. Si riporta nel grafico di Figura 7 l'andamento dell'uscita digitale in funzione dell'ingresso di tensione analogica  $V_x$ . Si osserva la linearità dei dati sperimentali.

Si osserva che, in molti casi, il valore di tensione sul DAC corrisponde al valore di  $V_x$  misurato al bit precedente, ciò è dovuto alla strategia di misura fatta e alla discretizzazione delle tensioni in uscita dal DAC: il trimmer veniva fatto ruotare fino ad osservare il bit successivo sui LED, quindi la tensione  $V_x$  da misurare è stata presa come il valore minimo necessario a far *scattare* il contatore al gradino corrispondente alla tensione appena superiore, di conseguenza la differenza tra il valore di tensione  $V_o$  e il valore  $V_x$  corrisponde sempre a circa l'ampiezza di un gradino.

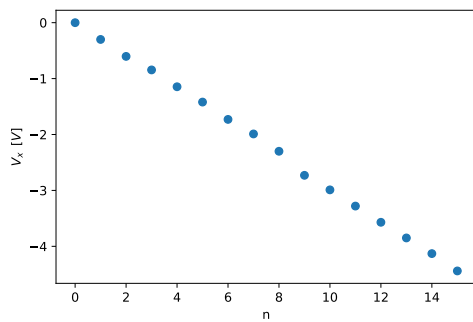


Figura 7: Uscita digitale in funzione del valore di tensione analogica  $V_x$

Tabella 4: Misure per la calibrazione dell'ADC

n	$V_x$ [V]	$V_o$ [V]	$V_{o,teo}$ [V]
0	0.000	-0.239	0.000
1	-0.300	-0.530	-0.318
2	-0.603	-0.823	-0.637
3	-0.845	-1.120	-0.955
4	-1.146	-1.400	-1.274
5	-1.420	-1.700	-1.592
6	-1.730	-1.990	-1.911
7	-1.990	-2.290	-2.229
8	-2.300	-2.700	-2.548
9	-2.730	-2.980	-2.866
10	-2.990	-3.270	-3.185
11	-3.280	-3.560	-3.503
12	-3.570	-3.850	-3.822
13	-3.850	-4.140	-4.140
14	-4.130	-4.430	-4.458
15	-4.440	-4.720	-4.777