



SAPIENZA
UNIVERSITÀ DI ROMA

ESERCITAZIONE 7: COSTRUZIONE DI UN ADC

G. Galbato Muscio

L. Gravina

L. Graziotto

4 Dicembre 2018

GRUPPO 11

Abstract

Si realizza un *analog to digital converter*, utilizzando un contatore a 4 bit realizzato con l'integrato SN74LS93N e costruendo un DAC a pesiera a 4 ingressi e un comparatore, con l'amplificatore operazionale LM358N, e un adattatore di livello logico, con l'integrato 74LS00.

Indice

1	Introduzione	2
2	Contatore a 4 bit	2
3	DAC a 4 bit	3
4	Comparatore analogico	5
5	Adattamento TTL e stop del clock	5
6	Circuito completo	5
7	Appendice	7

1 Introduzione

Si realizza un convertitore analogico-digitale (ADC) a 4 bit, ossia un dispositivo che converte una tensione di ingresso V_x in un numero binario a 4 bit ad essa proporzionale. Si riporta in Figura 1 il circuito completo, nel quale è possibile distinguere un contatore a 4 bit (realizzato con l'integrato SN74LS93N), un comparatore d'ingresso realizzato con un op-amp, attraverso il quale verrà fornita al circuito la tensione V_x , un convertitore digitale-analogico (DAC) a pesiera a 4 ingressi e un adattatore di livello logico.

La tensione da convertire, V_x , sarà negativa e tale che

$$V_{in}^{min} \leq V_x \leq 0$$

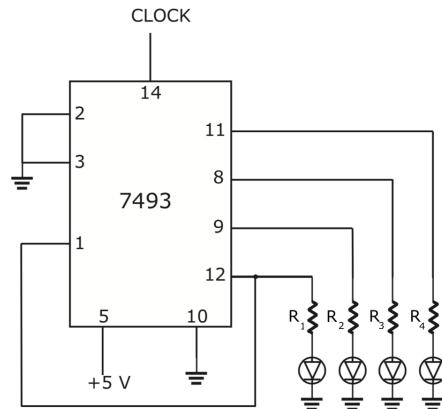
ed è ottenuta mediante un partitore costruito con un trimmer, collegato alla tensione di $-15V$ erogata dal generatore. La tensione minima V_{in}^{min} dipende dalla risoluzione dell'ADC, come sarà chiarito in seguito.

2 Contatore a 4 bit

Si realizza un contatore a 4 bit utilizzando l'integrato SN74LS93N; si riporta in Figura 2 il circuito corrispondente. Il componente è alimentato con una tensione continua di $5V$ erogata da uno dei due generatori, e si collegano entrambi gli ingressi di **RESET**, mediante un interruttore, alternativamente a massa o a $5V$, per azzerare manualmente il contatore¹.

¹Questo collegamento è visibile nella figura del circuito completo (Figura 1), non nella Figura 2.

Figura 2: Contatore a 4 bit



Si connette inoltre il pin 1 al pin 12 in modo da fornire al secondo flip-flop interno all'integrato il segnale in uscita dal primo flip-flop come ingresso di clock. In questo modo, il contatore è effettivamente a 4 bit invece che a 3.

Alle uscite vengono collegati, protetti da resistenze dell'ordine dei 500Ω , dei led, al fine di verificare il corretto funzionamento del dispositivo. Essi sono infatti ordinati dall'output relativo al bit più significativo a quello relativo al bit meno significativo, e la loro progressiva e ordinata accensione sarà indice di funzionamento. Si invia dunque all'ingresso di **CLOCK** un'onda quadra TTL con frequenza di $(111 \pm 111) \text{ Hz}$ e ampiezza variabile tra 0 e $111V^2$, mediante il generatore di segnali.

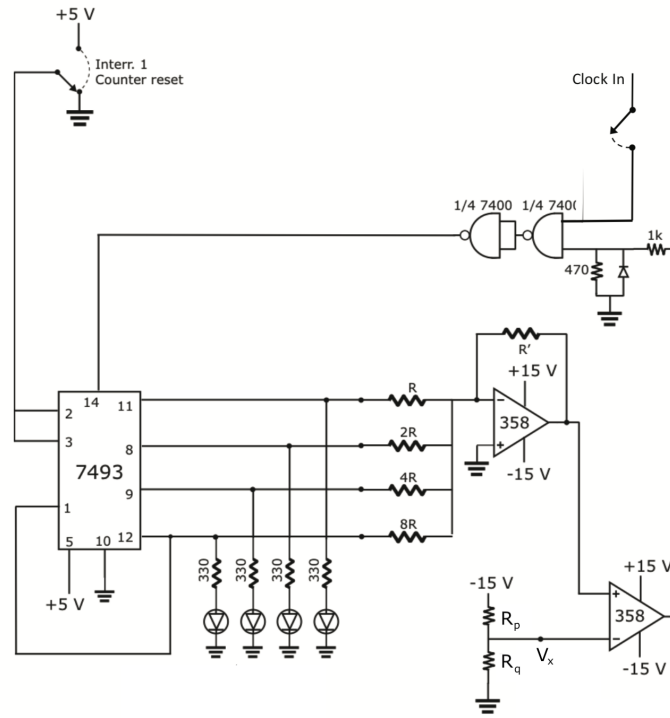
Si osserva che, come previsto, i LED si accendono in successione per formare la sequenza di numeri da 0 a 15 . Le resistenze usate a protezione dei LED, misurate con il multimetro, sono:

- $R_1 = (111 \pm 111) \Omega$;
- $R_2 = (111 \pm 111) \Omega$;
- $R_3 = (111 \pm 111) \Omega$;
- $R_4 = (111 \pm 111) \Omega$.

Si misurano inoltre i livelli di tensione in uscita al contatore mediante il multimetro: si resetta il contatore a 0000 e si misurano le ten-

²Come nella precedente esperienza, si osserva che il generatore di segnali non genera un'onda TTL tra 0 e $5V$, bensì oscillante tra i valori indicati.

Figura 1: Circuito completo dell'ADC



sioni delle uscite; quindi, mediante un clock manuale, lo si porta a 1111 e si ripete la misura. Si riportano in Tabella 1 le misure di tensione per i livelli logici alto e basso per i quattro output.

Tabella 1: Misure di tensione sul contatore

Output	V a 0 logico [V] ($\pm 111\%$)	V a 1 logico [V] ($\pm 111\%$)
Q_0	111	111
Q_1	111	111
Q_2	111	111
Q_3	111	111

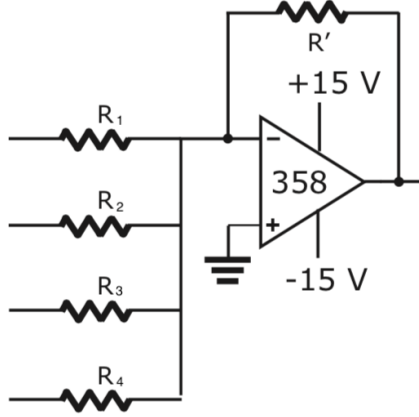
3 DAC a 4 bit

Si costruisce un convertitore digitale-analogico (DAC) invertente a pesiera, utilizzando l'amplificatore operazionale LM358N, alimentato con

tensione di ± 15 V, erogata dal generatore. Si scelgono le resistenze in modo da avere un'uscita compresa nella massima dinamica possibile per l'operazionale, ricordando che in ingresso si fornirà un livello logico TTL, che, da quanto visto nella sezione precedente, avrà come valore di tensione corrispondente a 0 logico 111 V, e tensione corrispondente a 1 logico 111 V, ottenuto dal valore medio per le quattro uscite. Inoltre i valori delle resistenze saranno scelti dell'ordine del k Ω , in modo da evitare eccessi di corrente.

Si riporta in Figura 3 il circuito realizzato.

Figura 3: Convertitore digitale-analogico



Per compiere la regolazione della rete più precisa possibile, si sceglie di utilizzare un resistore fisso in corrispondenza di R_1 , e di utilizzare dei trimmer in luogo di R_2 , R_3 e R_4 , tali da soddisfare le seguenti relazioni

$$R_2 = 2R_1;$$

$$R_3 = 4R_1;$$

$$R_4 = 8R_1.$$

Ricordando che in questo caso la risposta dell'op-amp è

$$V_o = -\frac{R'}{8R} [V(Q_0) + 2V(Q_1) + 4V(Q_2) + 8V(Q_3)],$$

e che si ha, per quanto visto prima, $V(Q_i) = (3.23 \pm 0.06) \text{ V} \equiv \bar{V}_{\text{in}}$, ottenuto dalla media sulle quattro uscite, si ottiene la relazione

$$V_o = -\frac{R'}{8R} \cdot 15 \cdot \bar{V}_{\text{in}},$$

che invertita pone una condizione sui valori di R' ed R (e conseguentemente sui valori impostati sui trimmer), poiché la tensione di uscita massima dev'essere minore di 15 V, in modo da rimanere entro la dinamica dell'amplificatore invertente:

$$\frac{R'}{R} < \frac{8}{\bar{V}_{\text{in}}} = \frac{8}{3.23} = 2.48.$$

Pertanto si scelgono per le resistenze i valori seguenti, misurati con il multimetro:

- $R_1 = (1.000 \pm 0.005) \text{ k}\Omega$;
- $R_2 = (2.01 \pm 0.01) \text{ k}\Omega$;
- $R_3 = (4.00 \pm 0.02) \text{ k}\Omega$;
- $R_4 = (8.04 \pm 0.04) \text{ k}\Omega$;
- $R' = (111 \pm 11) \text{ k}\Omega$.

Si verifica quindi che il circuito si comporti correttamente come un sommatore invertente, osservando l'uscita al canale CH2 dell'oscilloscopio e fornendo manualmente tensioni di 111 V agli ingressi, con un partitore di tensione.

Si collegano quindi agli ingressi del DAC le uscite del contatore realizzato nella Sezione 2; quindi si fornisce al contatore un clock mediante un'onda quadra TTL di frequenza 111 Hz, e ampiezza variabile tra i valori già discussi precedentemente. Si riporta in Figura ?? un'istantanea dell'oscilloscopio per questa configurazione: al canale CH1 vi è l'onda quadra di clock, mentre al CH2 l'uscita del DAC. Si osserva come essa sia decrescente, in quanto l'amplificatore è invertente, e presenti un andamento della tensione *a gradini*.

Per misurare l'altezza di tali *gradini*, si procede impostando manualmente il clock, e facendo avanzare il conteggio da 0 a 15; si misurano quindi con il multimetro i valori della tensione in output all'op-amp. Si riportano in Tabella 2 i punti sperimentali trovati, e la stima dell'altezza di ciascun gradino come differenza del valore misurato con quello precedente.

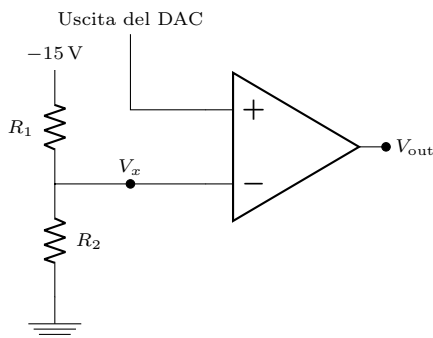
Tabella 2: Misure sul circuito DAC

Contatore	$V_{\text{out}} [\text{V}]$	$\Delta V_{\text{out}} [\text{mV}]$
0	111	111
1	111	111

Si riporta inoltre in Figura ?? l'andamento della tensione in uscita dal DAC in funzione del numero dato dal contatore. Si osserva che essa ha pendenza negativa di 111 V, come previsto dalla modalità invertente, e che al numero 15 corrisponde un'uscita di -15 V , a conferma della copertura con la massima sensibilità dell'intero range a disposizione dell'amplificatore. Inoltre, la linearità dell'andamento è confermata dalla stima del chi-quadro 111, contro un numero di gradi di libertà di 14.

4 Comparatore analogico

Si realizza un comparatore analogico utilizzando un amplificatore operazionale LM358N, alimentato con una tensione di $\pm 15\text{ V}$; il circuito è il seguente.



La tensione V_x viene dunque prelevata da quella a -15 V fornita dal generatore mediante un trimmer, di resistenze R_1 , R_2 variate mediante un cacciavite:

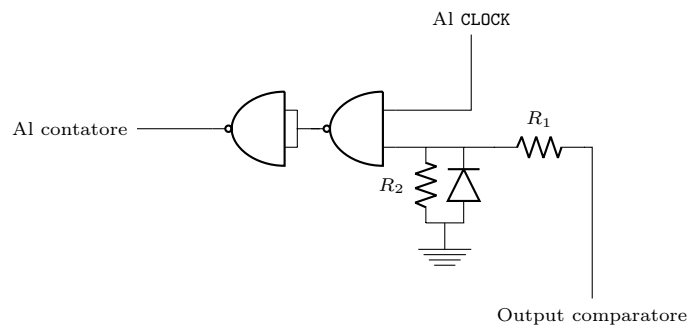
$$V_x = -15\text{ V} \frac{R_2}{R_1 + R_2}.$$

Il trimmer complessivamente prevede una resistenza $R_1 + R_2 = 111\text{ k}\Omega$.

Il funzionamento del comparatore prevede che fintanto che la tensione in uscita dal DAC è maggiore di V_x il contatore continui ad incrementare il conteggio; non appena la tensione in uscita dal DAC diventa minore di V_x , il contatore blocca il conteggio, mediante un altro circuito di stop che sarà analizzato nel seguito. È evidente che la massima tensione comparabile, e dunque convertibile in digitale, V_x è proprio pari alla massima tensione d'uscita del DAC.

5 Adattamento TTL e stop del clock

Si realizza mediante le porte NAND dell'integrato 74LS00 e un diodo 1N4148 l'adattatore di tensione TTL che permette inoltre lo stop del clock quando l'uscita del comparatore analogico si porta a -15 V . Il circuito è il seguente.



I resistori hanno valori, misurati con il multimetro, di

- $R_1 = (1.0045 \pm 111.0000)\text{ k}\Omega$;
- $R_2 = (468.7 \pm 111.0)\text{ }\Omega$,

e costituiscono un partitore che riporta a 5 V l'ingresso della porta NAND. Il diodo è inserito in modo da portarsi in conduzione quando l'uscita del comparatore commuta a -15 V : in tale caso, il potenziale del catodo diventa di -0.2 V , ossia 0 logico, perciò tramite le porte NAND, l'ingresso di clock del contatore si porterà anch'esso a 0 logico, bloccando il conteggio al numero corrispondente alla conversione digitale discreta della tensione analogica continua V_x .

6 Circuito completo

Si completa il circuito unendo le diverse componenti realizzate nelle sezioni precedenti.

Scegliamo $R' = 0.788\text{ k}\Omega$.

Si connette quindi l'ingresso di **CLOCK** dell'adattatore TTL ad un segnale di onda quadrata prelevato dall'uscita TTL del generatore di segnali, con frequenza 111 Hz . Si azzerà manualmente il contatore e si imposta un valore di tensione V_x ($-5\text{ V} < V_x < 0\text{ V}$) agendo sul trimmer del partitore; si pone l'interruttore di reset nuovamente a massa, in modo da permettere il funzionamento del contatore, e si legge il numero corrispondente al valore digitale della tensione mediante i LED.

Variando i valori delle resistenze del partitore, si può inviare in ingresso una tensione V_x differente: si riportano dunque in Tabella 3 i valori di V_x e le relative uscite digitali. Si riporta

Tabella 3: Misure per la calibrazione dell'ADC

R_1 [k Ω]	R_2 [k Ω]	V_x [V]	Contatore
---------------------	---------------------	-----------	-----------

nel grafico di Figura ?? l'andamento dell'uscita digitale in funzione dell'ingresso di tensione analogica V_x . Si osserva la linearità dei dati sperimentali, dai quali, mediante interpolazio-

ne, si ricava una pendenza di 111 V^{-1} e un'intercetta 111. Il chi-quadro di 111, prossimo al valore atteso di 14, conferma la bontà del fit.

7 Appendice